

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-145581

(P2010-145581A)

(43) 公開日 平成22年7月1日(2010.7.1)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 K	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
H01L 51/50 (2006.01)	G09G 3/20 612A	
	G09G 3/30 J	
	G09G 3/20 641P	
審査請求 有 請求項の数 8 O L (全 31 頁) 最終頁に続く		

(21) 出願番号	特願2008-320600 (P2008-320600)	(71) 出願人	000002185
(22) 出願日	平成20年12月17日 (2008.12.17)		ソニー株式会社
			東京都港区港南1丁目7番1号
		(74) 代理人	100094363
			弁理士 山本 孝久
		(74) 代理人	100118290
			弁理士 吉井 正明
		(74) 代理人	100120640
			弁理士 森 幸一
		(72) 発明者	山本 哲郎
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		(72) 発明者	内野 勝秀
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		最終頁に続く	

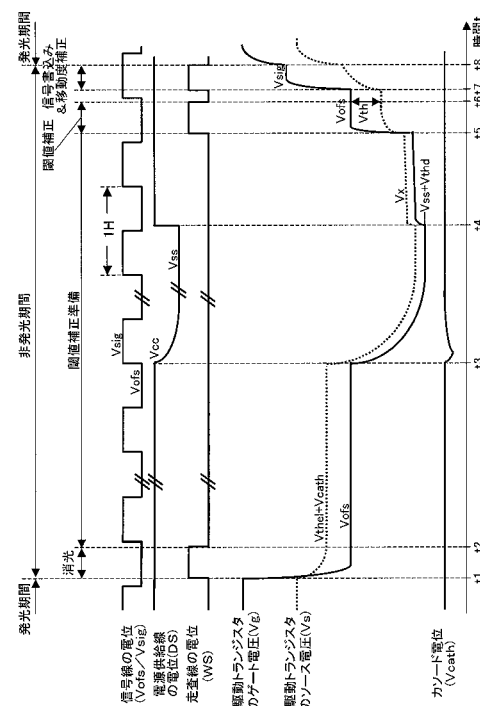
(54) 【発明の名称】 表示装置、表示装置の駆動方法および電子機器

(57) 【要約】

【課題】 閾値補正準備期間での共通電源供給線の電位の揺れを抑え、当該電位の揺れに起因する画質不良の発生を抑制する。

【解決手段】 電源供給線の電位 $D S$ の高電位 V_{cc} から低電位 V_{ss} への遷移、即ち立ち下りの過渡応答（トランジェント）を、低電位 V_{ss} から高電位 V_{cc} への遷移、即ち立ち上りの過渡応答よりも遅くする。これにより、閾値補正準備期間での共通電源供給線の電位（有機EL素子のカソード電位 V_{cath} ）の揺れを抑える。

【選択図】 図4



【特許請求の範囲】**【請求項 1】**

電気光学素子と、映像信号を書き込む書込みトランジスタと、前記書込みトランジスタによって書き込まれた前記映像信号に応じて前記電気光学素子を駆動する駆動トランジスタと、前記駆動トランジスタのゲート電極とソース電極との間に接続され、前記書込みトランジスタによって書き込まれた前記映像信号を保持する保持容量とを有する画素が行列状に配置された画素アレイ部と、

前記駆動トランジスタに電流を供給する第 1 電位と、前記電気光学素子に逆バイアスをかける第 2 電位とを選択的にとる電源電位を前記画素に供給する電源供給線とを備え、

前記駆動トランジスタのゲート電圧を基準電位で初期化したときの初期化電位を基準として、当該初期化電位から前記駆動トランジスタの閾値電圧を減じた電位に向けてソース電圧を変化させる閾値補正処理の準備段階において前記電源供給線の電位が前記第 1 電位から前記第 2 電位へ変化する時間は、前記閾値補正処理前において前記電源供給線の電位が前記第 2 電位から前記第 1 電位へ変化する時間よりも遅い

表示装置。

【請求項 2】

前記電源供給線の電位は、前記第 1 電位から前記第 2 電位へ変化するときに、前記第 1 電位から所定の応答特性をもって前記第 2 電位へ変化する

請求項 1 記載の表示装置。

【請求項 3】

前記電源供給線の電位は、前記第 1 電位から前記第 2 電位へ変化するときに、前記第 1 電位と前記第 2 電位との間の中間電位を経た後、当該中間電位から所定の応答特性をもって前記第 2 電位へ変化する

請求項 1 記載の表示装置。

【請求項 4】

前記電源供給線に対して前記第 1 電位または前記第 2 電位を選択的に出力する走査回路の出力段は、前記第 1 電位の電源と前記第 2 電位の電源との間に接続された C M O S インバータを有し、

前記 C M O S インバータの前記第 2 電位側のトランジスタのサイズは、前記第 1 電位側のトランジスタのサイズよりも小さい

請求項 2 または請求項 3 記載の表示装置。

【請求項 5】

前記所定の応答特性は、前記 C M O S インバータの前記第 2 電位側のトランジスタのサイズ、前記電源供給線の配線抵抗および寄生容量によって決まる

請求項 4 記載の表示装置。

【請求項 6】

前記電源供給線は、複数の画素行を単位として配線されている

請求項 1 記載の表示装置。

【請求項 7】

電気光学素子と、映像信号を書き込む書込みトランジスタと、前記書込みトランジスタによって書き込まれた前記映像信号に応じて前記電気光学素子を駆動する駆動トランジスタと、前記駆動トランジスタのゲート電極とソース電極との間に接続され、前記書込みトランジスタによって書き込まれた前記映像信号を保持する保持容量とを有する画素が行列状に配置された画素アレイ部と、

前記駆動トランジスタに電流を供給する第 1 電位と、前記電気光学素子に逆バイアスをかける第 2 電位とを選択的にとる電源電位を前記画素に供給する電源供給線とを備えた表示装置の駆動に当たって、

前記駆動トランジスタのゲート電圧を基準電位で初期化したときの初期化電位を基準として、当該初期化電位から前記駆動トランジスタの閾値電圧を減じた電位に向けてソース電圧を変化させる閾値補正処理の準備段階において前記電源供給線の電位が前記第 1 電位

10

20

30

40

50

から前記第 2 電位へ変化する時間を、前記閾値補正処理前において前記電源供給線の電位が前記第 2 電位から前記第 1 電位へ変化する時間よりも遅くする

表示装置の駆動方法。

【請求項 8】

電気光学素子と、映像信号を書き込む書込みトランジスタと、前記書込みトランジスタによって書き込まれた前記映像信号に応じて前記電気光学素子を駆動する駆動トランジスタと、前記駆動トランジスタのゲート電極とソース電極との間に接続され、前記書込みトランジスタによって書き込まれた前記映像信号を保持する保持容量とを有する画素が行列状に配置された画素アレイ部と、

前記駆動トランジスタに電流を供給する第 1 電位と、前記電気光学素子に逆バイアスをかける第 2 電位とを選択的にとる電源電位を前記画素に供給する電源供給線とを備え、

前記駆動トランジスタのゲート電圧を基準電位で初期化したときの初期化電位を基準として、当該初期化電位から前記駆動トランジスタの閾値電圧を減じた電位に向けてソース電圧を変化させる閾値補正処理の準備段階において前記電源供給線の電位が前記第 1 電位から前記第 2 電位へ変化する時間は、前記閾値補正処理前において前記電源供給線の電位が前記第 2 電位から前記第 1 電位へ変化する時間よりも遅い

表示装置を有する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置、表示装置の駆動方法および電子機器に関し、特に電気光学素子を含む画素が行列状（マトリクス状）に 2 次元配置された平面型（フラットパネル型）の表示装置、当該表示装置の駆動方法および当該表示装置を有する電子機器に関する。

【背景技術】

【0002】

近年、画像表示を行う表示装置の分野では、発光素子を含む画素（以下、「画素回路」と記述する場合もある）が行列状に 2 次元配置されてなる平面型の表示装置が急速に普及している。平面型の表示装置の一つとして、デバイスに流れる電流値に応じて発光輝度が変化するいわゆる電流駆動型の電気光学素子を画素の発光素子として用いた表示装置がある。電流駆動型の電気光学素子としては、有機薄膜に電界をかけると発光する現象を利用した有機 E L (Electro Luminescence) 素子が知られている。

【0003】

この有機 E L 素子を画素の発光素子として用いた有機 E L 表示装置は次のような特長を持っている。すなわち、有機 E L 素子は、10 V 以下の印加電圧で駆動できるために低消費電力である。有機 E L 素子は、自発光素子であるために、画素ごとに液晶にて光源からの光強度を制御することによって画像を表示する液晶表示装置に比べて、画像の視認性が高く、しかもバックライト等の光源を必要としないために軽量化および薄型化が容易である。さらに、有機 E L 素子の応答速度が数 μs 程度と非常に高速であるために動画表示時の残像が発生しない。

【0004】

有機 E L 表示装置では、液晶表示装置と同様に、その駆動方式として単純（パッシブ）マトリクス方式とアクティブマトリクス方式とを採ることができる。ただし、単純マトリクス方式の表示装置は、構造が簡単であるものの、電気光学素子の発光期間が走査線（即ち、画素数）の増加によって減少するために、大型でかつ高精細な表示装置の実現が難しいなどの問題がある。

【0005】

そのため、近年、電気光学素子に流れる電流を、当該電気光学素子と同じ画素内に設けた能動素子、例えば絶縁ゲート型電界効果トランジスタによって制御するアクティブマトリクス方式の表示装置の開発が盛んに行われている。絶縁ゲート型電界効果トランジスタとしては、一般には、T F T (Thin Film Transistor; 薄膜トランジスタ) が用いられる。

10

20

30

40

50

アクティブマトリクス方式の表示装置は、電気光学素子が 1 フレームの期間に亘って発光を持続するために、大型でかつ高精細な表示装置の実現が容易である。

【 0 0 0 6 】

ところで、一般的に、有機 E L 素子の I (電流) - V (電圧) 特性は、時間が経過すると劣化 (いわゆる、経時劣化) することが知られている。有機 E L 素子を電流駆動するトランジスタ (以下、「駆動トランジスタ」と記述する) として特に N チャネル型の T F T を用いた画素回路では、有機 E L 素子の I - V 特性が経時劣化すると、駆動トランジスタのゲート - ソース間電圧 V_{gs} が変化する。その結果、有機 E L 素子の発光輝度が変化する。これは、有機 E L 素子が駆動トランジスタのソース電極側に接続されることに起因する。

10

【 0 0 0 7 】

このことについてより具体的に説明する。駆動トランジスタのソース電圧は、駆動トランジスタと有機 E L 素子の動作点で決まる。そして、有機 E L 素子の I - V 特性が劣化すると、駆動トランジスタと有機 E L 素子の動作点が変わってしまうために、駆動トランジスタのゲート電極に同じ電圧を印加したとしても駆動トランジスタのソース電圧が変化する。これにより、駆動トランジスタのソース - ゲート間電圧 V_{gs} が変化するために、駆動トランジスタに流れる電流値が変化する。その結果、有機 E L 素子に流れる電流値も変化するために、有機 E L 素子の発光輝度が変化するようになる。

【 0 0 0 8 】

また、特にポリシリコン T F T を用いた画素回路では、有機 E L 素子の I - V 特性の経時劣化に加えて、駆動トランジスタのトランジスタ特性が経時的に変化したり、製造プロセスのばらつきによってトランジスタ特性が画素ごとに異なったりする。すなわち、画素個々に駆動トランジスタのトランジスタ特性にばらつきがある。トランジスタ特性としては、駆動トランジスタの閾値電圧 V_{th} や、駆動トランジスタのチャネルを構成する半導体薄膜の移動度 μ (以下、単に「駆動トランジスタの移動度 μ 」と記述する) 等が挙げられる。

20

【 0 0 0 9 】

駆動トランジスタのトランジスタ特性が画素ごとに異なると、画素ごとに駆動トランジスタに流れる電流値にばらつきが生じるために、駆動トランジスタのゲート電極に画素間で同じ電圧を印加しても、有機 E L 素子の発光輝度に画素間でばらつきが生じる。その結果、画面のユニフォームティ (一様性) が損なわれる。

30

【 0 0 1 0 】

そこで、有機 E L 素子の I - V 特性の経時劣化や、駆動トランジスタのトランジスタ特性の経時変化等の影響を受けることなく、有機 E L 素子の発光輝度を一定に維持するために、各種の補正 (補償) 機能を画素回路に持たせる技術が提案されている (例えば、特許文献 1 参照) 。

【 0 0 1 1 】

補正機能としては、有機 E L 素子の I - V 特性の変動に対する補償機能、駆動トランジスタの閾値電圧 V_{th} の変動に対する補正機能、駆動トランジスタの移動度 μ の変動に対する補正機能などが挙げられる。以下、駆動トランジスタの閾値電圧 V_{th} の変動に対する補正を「閾値補正」と呼び、駆動トランジスタの移動度 μ の変動に対する補正を「移動度補正」と呼ぶこととする。

40

【 0 0 1 2 】

このように、画素回路の各々に、各種の補正機能を持たせることで、有機 E L 素子の I - V 特性の経時劣化や、駆動トランジスタのトランジスタ特性の経時変化の影響を受けることなく、有機 E L 素子の発光輝度を一定に保つことができる。その結果、有機 E L 表示装置の表示品質を向上できる。

【 0 0 1 3 】

また、特許文献 1 記載の従来技術では、駆動トランジスタのドレイン電極が接続された電源供給線の電位を、第 1 電位 V_{cc} と第 2 電位 V_{ss} とで適宜切り替えることで、有機

50

ＥＬ素子の発光／非発光の制御が行なわれる。ここで、第１電位 V_{cc} は駆動トランジスタに電流を供給する電源電位であり、第２電位 V_{ss} は有機ＥＬ素子に逆バイアスをかける電源電位である。

【００１４】

【特許文献１】特開２００７－３１０３１１号公報

【発明の開示】

【発明が解決しようとする課題】

【００１５】

ところで、上述した閾値補正処理を行う前に、その準備のための処理が行われる。この閾値補正準備の処理は、書込みトランジスタが非導通状態にあるときに、電源供給線の電位を第１電位 V_{cc} から第２電位 V_{ss} に切り替え、有機ＥＬ素子のアノードから駆動トランジスタを通して電源供給線へ電流を流すことによって行われる。その詳細については後述する。

10

【００１６】

この閾値補正準備の処理において、電源供給線の電位が第１電位 V_{cc} から第２電位 V_{ss} に切り替わったときに、駆動トランジスタを通して電流が流れることで、当該駆動トランジスタのソース電圧が変動する。すると、有機ＥＬ素子のカソード電極が全画素共通に接続された共通電源供給線の電位（有機ＥＬ素子のカソード電位）が揺れる。具体的には、共通電源供給線の電位が負側に大きく下降し、その後上昇して一定時間経過後に本来の電位に戻る。

20

【００１７】

閾値補正準備は行単位での動作であるために、当該閾値補正準備がある行の閾値補正期間に行われることになる。そのため、ある行の閾値補正処理中に共通電源供給線の電位が揺れることとなる。この共通電源供給線の電位の揺れは、有機ＥＬ素子の寄生容量 C_{el} によるカップリングにより、閾値補正処理中の画素行（ライン）の駆動トランジスタのソース電極に入力され、当該駆動トランジスタのソース電圧を変化させる。

【００１８】

具体的には、共通電源供給線の電位が負側に下降することによって、閾値補正処理中の画素行の駆動トランジスタのソース電圧が低下する。これにより、当該駆動トランジスタのソース－ゲート間電圧 V_{gs} が大きくなる。また逆に、共通電源供給線の電位の上昇によって駆動トランジスタのソース電圧が上昇するために、当該駆動トランジスタのソース－ゲート間電圧 V_{gs} が小さくなる。

30

【００１９】

この共通電源供給線の電位の揺れに起因する駆動トランジスタのソース－ゲート間電圧 V_{gs} の変動については、閾値補正処理の開始付近であればその後の閾値補正処理によって補正することができる。しかし、閾値補正処理の終了付近において駆動トランジスタのソース－ゲート間電圧 V_{gs} が変動してしまうと、本来の閾値補正処理が行われなかったことになるために、発光輝度にムラが生じ、画質不良が発生してしまう。

【００２０】

そこで、本発明は、閾値補正準備期間での共通電源供給線の電位の揺れを抑え、当該電位の揺れに起因する画質不良の発生を抑制することが可能な表示装置、当該表示装置の駆動方法および当該表示装置を有する電子機器を提供することを目的とする。

40

【課題を解決するための手段】

【００２１】

上記目的を達成するために、本発明は、

電気光学素子と、映像信号を書き込む書込みトランジスタと、前記書込みトランジスタによって書き込まれた前記映像信号に応じて前記電気光学素子を駆動する駆動トランジスタと、前記駆動トランジスタのゲート電極とソース電極との間に接続され、前記書込みトランジスタによって書き込まれた前記映像信号を保持する保持容量とを有する画素が行列状に配置された画素アレイ部と、

50

前記駆動トランジスタに電流を供給する第 1 電位と、前記電気光学素子に逆バイアスをかける第 2 電位とを選択的にとる電源電位を前記画素に供給する電源供給線とを備えた表示装置において、

前記駆動トランジスタのゲート電圧を基準電位で初期化したときの初期化電位を基準として、当該初期化電位から前記駆動トランジスタの閾値電圧を減じた電位に向けてソース電圧を変化させる閾値補正処理の準備段階において前記電源供給線の電位が前記第 1 電位から前記第 2 電位へ変化する時間を、前記閾値補正処理前において前記電源供給線の電位が前記第 2 電位から前記第 1 電位へ変化する時間よりも遅くする。

【0022】

閾値補正処理の準備段階において電源供給線の電位が第 1 電位から第 2 電位へ変化する時間が、閾値補正処理前において電源供給線の電位が第 2 電位から第 1 電位へ変化する時間よりも遅いと、駆動トランジスタを通して電源供給線へ流れる電流量が小さくなる。すると、電源供給線の電位の切替え時の駆動トランジスタのソース電圧の変動が小さくなるために、電気光学素子のカソード電極が全画素共通に接続された共通電源供給線の電位の揺れが小さくなる。その結果、閾値補正処理の終了付近にある画素行（ライン）の駆動トランジスタのソース電圧に対して、電気光学素子の寄生容量を通して入力されるカップリング量が小さく抑えられるために、閾値補正処理の終了付近にある画素行において正常に閾値補正処理が行われる。

【発明の効果】

【0023】

本発明によれば、閾値補正準備期間での共通電源供給線の電位の揺れを抑えることで、閾値補正処理の終了付近にある画素行において正常に閾値補正処理を行うことができるために、共通電源供給線の電位の揺れに起因する画質不良の発生を抑制できる。

【発明を実施するための最良の形態】

【0024】

以下、発明を実施するための最良の形態（以下、「実施形態」と記述する）について図面を用いて詳細に説明する。なお、説明は以下の順序で行う。

1. 第 1 実施形態（2 Tr の画素構成の表示装置）

1 - 1. システム構成

1 - 2. 回路動作

1 - 3. 第 1 実施形態の特徴部分

2. 第 2 実施形態（ユニットスキャン方式の表示装置）

2 - 1. システム構成

2 - 2. 回路動作

2 - 3. 第 2 実施形態の特徴部分

3. 変形例

4. 適用例（電子機器）

【0025】

< 1. 第 1 実施形態 >

[1 - 1. システム構成]

図 1 は、本発明の第 1 実施形態に係るアクティブマトリクス型表示装置の構成の概略を示すシステム構成図である。ここでは、一例として、デバイスに流れる電流値に応じて発光輝度が変化する電流駆動型の電気光学素子、例えば有機 EL 素子を画素（画素回路）の発光素子として用いたアクティブマトリクス型有機 EL 表示装置の場合を例に挙げて説明するものとする。

【0026】

図 1 に示すように、本実施形態に係る有機 EL 表示装置 10 A は、発光素子を含む複数の画素 20 と、当該画素 20 が行列状に 2 次元配置された画素アレイ部 30 と、当該画素アレイ部 30 の周辺に配置された駆動部とを有する構成となっている。駆動部は、画素ア

10

20

30

40

50

レイ部 30 の各画素 20 を発光駆動する。

【0027】

画素 20 の駆動部としては、例えば、書込み走査回路 40 および電源供給走査回路 50 からなる走査駆動系と、信号出力回路 60 からなる信号供給系とが設けられている。本適用例に係る有機 EL 表示装置 10A の場合には、画素アレイ部 30 が形成された表示パネル 70 上に信号出力回路 60 が設けられているのに対して、走査駆動系である書込み走査回路 40 および電源供給走査回路 50 はそれぞれ、表示パネル（基板）70 の外部に設けられている。

【0028】

ここで、有機 EL 表示装置 10A が白黒表示対応の場合は、白黒画像を形成する単位となる 1 つの画素が画素 20 に相当する。一方、有機 EL 表示装置 10A がカラー表示対応の場合は、カラー画像を形成する単位となる 1 つの画素は複数の副画素（サブピクセル）から構成され、この副画素が画素 20 に相当する。より具体的には、カラー表示用の表示装置では、1 つの画素は、例えば、赤色（R）光を発光する副画素、緑色（G）光を発光する副画素、青色（B）光を発光する副画素の 3 つの副画素から構成される。

【0029】

ただし、1 つの画素としては、RGB の 3 原色の副画素の組み合わせに限られるものではない。すなわち、3 原色の副画素にさらに 1 色あるいは複数色の副画素を加えて 1 つの画素を構成するようにすることも可能である。より具体的には、例えば、輝度向上のために白色（W）光を発光する副画素を加えて 1 つの画素を構成したり、色再現範囲を拡大するために補色光を発光する少なくとも 1 つの副画素を加えて 1 つの画素を構成したりすることも可能である。

【0030】

画素アレイ部 30 には、m 行 n 列の画素 20 の配列に対して、行方向（画素行の画素の配列方向）に沿って走査線 31 - 1 ~ 31 - m と電源供給線 32 - 1 ~ 32 - m とが画素行ごとに配線されている。さらに、列方向（画素列の画素の配列方向）に沿って信号線 33 - 1 ~ 33 - n が画素列ごとに配線されている。

【0031】

走査線 31 - 1 ~ 31 - m は、書込み走査回路 40 の対応する行の出力端にそれぞれ接続されている。電源供給線 32 - 1 ~ 32 - m は、電源供給走査回路 50 の対応する行の出力端にそれぞれ接続されている。信号線 33 - 1 ~ 33 - n は、信号出力回路 60 の対応する列の出力端にそれぞれ接続されている。

【0032】

画素アレイ部 30 は、通常、ガラス基板などの透明絶縁基板上に形成されている。これにより、有機 EL 表示装置 10A は、平面型（フラット型）のパネル構造となっている。画素アレイ部 30 の各画素 20 の駆動回路は、アモルファスシリコン TFT または低温ポリシリコン TFT を用いて形成することができる。低温ポリシリコン TFT を用いる場合には、書込み走査回路 40 および電源供給走査回路 50 についても、表示パネル 70 上に実装することができる。

【0033】

書込み走査回路 40 は、クロックパルス ck に同期してスタートパルス sp を順にシフト（転送）するシフトレジスタ等によって構成されている。この書込み走査回路 40 は、画素アレイ部 30 の各画素 20 への映像信号の書込みに際して、走査線 31 - 1 ~ 31 - m に順次書込み走査信号 WS（WS1 ~ WS_m）を供給することによって画素アレイ部 30 の各画素 20 を行単位で順番に走査する（線順次走査）。

【0034】

電源供給走査回路 50 は、クロックパルス ck に同期してスタートパルス sp を順にシフトするシフトレジスタ等によって構成されている。この電源供給走査回路 50 は、書込み走査回路 40 による線順次走査に同期して、第 1 電源電位 V_{cc} と当該第 1 電源電位 V_{cc} よりも低い第 2 電源電位 V_{ss} で切り替わる電源電位 DS（DS1 ~ DS_m）を電源

10

20

30

40

50

供給線 32 - 1 ~ 32 - m に供給する。この電源電位 D S の V_{cc} / V_{ss} の切替えにより、画素 20 の発光 / 非発光の制御が行なわれる。

【0035】

信号出力回路 60 は、信号供給源（図示せず）から供給される輝度情報に応じた映像信号の信号電圧（以下、単に「信号電圧」と記述する場合もある） V_{sig} と基準電位 V_{ofs} のいずれか一方を適宜選択して出力する。ここで、信号出力回路 60 から選択的に出力される基準電位 V_{ofs} は、映像信号の信号電圧 V_{sig} の基準となる電位（例えば、映像信号の黒レベルに相当する電位）である。

【0036】

信号出力回路 60 としては、例えば、周知の時分割駆動方式の回路構成を用いることができる。時分割駆動方式は、セクタ方式とも呼ばれ、信号供給源であるドライバ（図示せず）の 1 つの出力端に対して複数の信号線を単位（組）として割り当てる。そして、この複数の信号線を時分割にて順次選択する一方、その選択した信号線に対してドライバの各出力端ごとに時系列で出力される映像信号を時分割で振り分けて供給することによって各信号線を駆動する方式である。

10

【0037】

一例として、カラー表示対応の場合を例に挙げると、隣り合う R, G, B の 3 つの画素列を単位とし、ドライバからは 1 水平期間内に R, G, B の各映像信号が時系列で信号出力回路 60 に入力するようにする。信号出力回路 60 は、R, G, B の 3 つの画素列に対応して設けられたセクタ（選択スイッチ）によって構成され、当該セクタが時分割にて順次オン動作を行うことで、R, G, B の各映像信号を対応する信号線に対して時分割で書き込む。

20

【0038】

ここでは、R, G, B の 3 つの画素列（信号線）を単位としたが、これに限られるものではない。そして、この時分割駆動方式（セクタ方式）を採用することで、時分割数を x （ x は 2 以上の整数）とすると、ドライバの出力数および当該ドライバと信号出力回路 60、ひいては表示パネル 70 との間の配線数を、信号線の本数の $1/x$ に削減できる利点がある。

【0039】

信号出力回路 60 から選択的に出力される信号電圧 V_{sig} / 基準電位 V_{ofs} は、信号線 33 - 1 ~ 33 - n を介して画素アレイ部 30 の各画素 20 に対して行単位で書き込まれる。すなわち、信号出力回路 60 は、信号電圧 V_{sig} を行（ライン）単位で書き込む線順次書込みの駆動形態を採っている。

30

【0040】

（画素回路）

図 2 は、本実施形態に係る有機 EL 表示装置 10 A に用いられる画素（画素回路）20 の具体的な構成例を示す回路図である。

【0041】

図 2 に示すように、画素 20 は、デバイスに流れる電流値に応じて発光輝度が変化する電流駆動型の電気光学素子、例えば有機 EL 素子 21 と、当該有機 EL 素子 21 を駆動する駆動回路とによって構成されている。有機 EL 素子 21 は、全ての画素 20 に対して共通に配線（いわゆる、ベタ配線）された共通電源供給線 34 にカソード電極が接続されている。

40

【0042】

有機 EL 素子 21 を駆動する駆動回路は、駆動トランジスタ 22、書込みトランジスタ（サンプリングトランジスタ）23 および保持容量 24 を有する構成となっている。ここでは、駆動トランジスタ 22 および書込みトランジスタ 23 として N チャネル型の TFT を用いている。ただし、駆動トランジスタ 22 および書込みトランジスタ 23 の導電型の組み合わせは一例に過ぎず、これらの組み合わせに限られるものではない。

【0043】

50

なお、駆動トランジスタ 22 および書込みトランジスタ 23 として N チャネル型の TFT を用いると、アモルファスシリコン (a-Si) プロセスを用いることができる。a-Si プロセスを用いることで、TFT を作成する基板の低コスト化、ひいては本有機 EL 表示装置 10A の低コスト化を図ることが可能になる。また、駆動トランジスタ 22 および書込みトランジスタ 23 を同じ導電型の組み合わせにすると、両トランジスタ 22, 23 を同じプロセスで作成することができるため低コスト化に寄与できる。

【0044】

駆動トランジスタ 22 は、一方の電極 (ソース/ドレイン電極) が有機 EL 素子 21 のアノード電極に接続され、他方の電極 (ドレイン/ソース電極) が電源供給線 32 (32-1 ~ 32-m) に接続されている。

10

【0045】

書込みトランジスタ 23 は、ゲート電極が走査線 31 (31-1 ~ 31-m) に接続され、一方の電極 (ソース/ドレイン電極) が信号線 33 (33-1 ~ 33-n) に接続され、他方の電極 (ドレイン/ソース電極) が駆動トランジスタ 22 のゲート電極に接続されている。

【0046】

駆動トランジスタ 22 および書込みトランジスタ 23 において、一方の電極とは、ソース/ドレイン領域に電氣的に接続された金属配線を言い、他方の電極とは、ドレイン/ソース領域に電氣的に接続された金属配線を言う。また、一方の電極と他方の電極との電位関係によって一方の電極がソース電極ともなればドレイン電極ともなり、他方の電極がドレイン電極ともなればソース電極ともなる。

20

【0047】

保持容量 24 は、一方の電極が駆動トランジスタ 22 のゲート電極に接続され、他方の電極が駆動トランジスタ 22 の他方の電極および有機 EL 素子 21 のアノード電極に接続されている。

【0048】

なお、有機 EL 素子 21 の駆動回路としては、駆動トランジスタ 22 および書込みトランジスタ 23 の 2 つのトランジスタと保持容量 24 の 1 つの容量素子とからなる回路構成のものに限られるものではない。例えば、一方の電極が有機 EL 素子 21 のアノード電極に、他方の電極が固定電位にそれぞれ接続されることで、有機 EL 素子 21 の容量不足分を補う補助容量を必要に応じて設けた回路構成を採ることも可能である。

30

【0049】

上記構成の画素 20 において、書込みトランジスタ 23 は、書込み走査回路 40 から走査線 31 を通してゲート電極に印加される High アクティブの書込み走査信号 WS に応答して導通状態となる。これにより、書込みトランジスタ 23 は、信号線 33 を通して信号出力回路 60 から供給される輝度情報に応じた映像信号の信号電圧 V_{sig} または基準電位 V_{ofs} をサンプリングして画素 20 内に書き込む。この書き込まれた信号電圧 V_{sig} または基準電位 V_{ofs} は、駆動トランジスタ 22 のゲート電極に印加されるとともに保持容量 24 に保持される。

【0050】

40

駆動トランジスタ 22 は、電源供給線 32 (32-1 ~ 32-m) の電位 (以下、「電源電位」と記述する場合もある) D_S が第 1 電源電位 V_{cc} にあるときには、一方の電極がドレイン電極、他方の電極がソース電極となって飽和領域で動作する。これにより、駆動トランジスタ 22 は、電源供給線 32 から電流の供給を受けて有機 EL 素子 21 を電流駆動にて発光駆動する。より具体的には、駆動トランジスタ 22 は、飽和領域で動作することにより、保持容量 24 に保持されている信号電圧 V_{sig} の電圧値に応じた電流値の駆動電流を有機 EL 素子 21 に供給し、当該有機 EL 素子 21 を電流駆動することによって発光させる。

【0051】

駆動トランジスタ 22 はさらに、電源電位 D_S が第 1 電源電位 V_{cc} から第 2 電源電位

50

V s s に切り替わったときは、一方の電極がソース電極、他方の電極がドレイン電極となる。そして、駆動トランジスタ 2 2 は、有機 E L 素子 2 1 への駆動電流の供給を停止し、有機 E L 素子 2 1 を非発光状態にする。すなわち、駆動トランジスタ 2 2 は、有機 E L 素子 2 1 の発光 / 非発光を制御するトランジスタとしての機能をも併せ持っている。

【 0 0 5 2 】

このようにして、駆動トランジスタ 2 2 のスイッチング動作により、有機 E L 素子 2 1 が非発光状態となる期間（非発光期間）を設け、有機 E L 素子 2 1 の発光期間と非発光期間との割合を制御する（いわゆる、デューティ制御）。このデューティ制御により、1 フレーム期間に亘って画素 2 0 が発光することに伴う残像ボケを低減できるために、特に動画の画品位をより優れたものとすることができる。

10

【 0 0 5 3 】

電源供給走査回路 5 0 から電源供給線 3 2 を通して選択的に供給される第 1 , 第 2 電源電位 V c c , V s s のうち、第 1 電源電位 V c c は有機 E L 素子 2 1 を発光駆動する駆動電流を駆動トランジスタ 2 2 に供給するための電源電位である。また、第 2 電源電位 V s s は、有機 E L 素子 2 1 に対して逆バイアスを掛けるための電源電位である。この第 2 電源電位 V s s は、信号電圧の基準となる基準電位 V o f s よりも低い電位、例えば、駆動トランジスタ 2 2 の閾値電圧を V t h とするとき V o f s - V t h よりも低い電位、好ましくは V o f s - V t h よりも十分に低い電位に設定される。

【 0 0 5 4 】

（画素構造）

20

図 3 は、画素 2 0 の断面構造の一例を示す断面図である。図 3 に示すように、画素 2 0 は、駆動トランジスタ 2 2 等を含む駆動回路が形成されたガラス基板 2 0 1 上に形成されている。具体的には、ガラス基板 2 0 1 上に絶縁膜 2 0 2、絶縁平坦化膜 2 0 3 およびウインド絶縁膜 2 0 4 がその順に形成され、当該ウインド絶縁膜 2 0 4 の凹部 2 0 4 A に有機 E L 素子 2 1 が設けられた構成となっている。ここでは、駆動回路の各構成素子のうち、駆動トランジスタ 2 2 のみを図示し、他の構成素子については省略している。

【 0 0 5 5 】

有機 E L 素子 2 1 は、金属等からなるアノード電極 2 0 5 と、当該アノード電極 2 0 5 上に形成された有機層 2 0 6 と、当該有機層 2 0 6 上に全画素共通に形成された透明導電膜等からなるカソード電極 2 0 7 とから構成されている。アノード電極 2 0 5 は、上記ウインド絶縁膜 2 0 4 の凹部 2 0 4 A の底部に形成されている。

30

【 0 0 5 6 】

この有機 E L 素子 2 1 において、有機層 2 0 6 は、アノード電極 2 0 5 上にホール輸送層 / ホール注入層 2 0 6 1、発光層 2 0 6 2、電子輸送層 2 0 6 3 および電子注入層（図示せず）が順次堆積されることによって形成される。そして、図 2 の駆動トランジスタ 2 2 による電流駆動の下に、駆動トランジスタ 2 2 からアノード電極 2 0 5 を通して有機層 2 0 6 に電流が流れることで、当該有機層 2 0 6 内の発光層 2 0 6 2 において電子と正孔が再結合する際に発光するようになっている。

【 0 0 5 7 】

駆動トランジスタ 2 2 は、ゲート電極 2 2 1 と、半導体層 2 2 2 のゲート電極 2 2 1 と対向する部分のチャネル形成領域 2 2 5 と、半導体層 2 2 2 のチャネル形成領域 2 2 5 の両側のドレイン / ソース領域 2 2 3 , 2 2 4 とから構成されている。ソース / ドレイン領域 2 2 3 は、コンタクトホールを介して有機 E L 素子 2 1 のアノード電極 2 0 5 と電氣的に接続されている。

40

【 0 0 5 8 】

そして、図 3 に示すように、駆動トランジスタ 2 2 を含む駆動回路が形成されたガラス基板 2 0 1 上に、絶縁膜 2 0 2、絶縁平坦化膜 2 0 3 およびウインド絶縁膜 2 0 4 を介して有機 E L 素子 2 1 が画素単位で形成される。そして、パッシベーション膜 2 0 8 を介して封止基板 2 0 9 が接着剤 2 1 0 によって接合され、当該封止基板 2 0 9 によって有機 E L 素子 2 1 が封止されることによって表示パネル 7 0 が形成される。

50

【 0 0 5 9 】

〔 1 - 2 . 回路動作 〕

次に、上記構成の画素 2 0 が行列状に 2 次元配置されてなる有機 E L 表示装置 1 0 A の回路動作について、図 4 のタイミング波形図を基に図 5 および図 6 の動作説明図を用いて説明する。

【 0 0 6 0 】

なお、図 5 および図 6 の動作説明図では、図面の簡略化のために、書込みトランジスタ 2 3 をスイッチのシンボルで図示している。また、周知の通り、有機 E L 素子 2 1 は寄生容量（等価容量）C e l を持っている。したがって、ここでは、寄生容量 C e l についても図示している。

10

【 0 0 6 1 】

図 4 のタイミング波形図には、信号線 3 3 の電位（V o f s / V s i g）、電源供給線 3 2 の電位（V c c / V s s）D S、走査線 3 1 の電位（書込み走査信号）W S、駆動トランジスタ 2 2 のゲート電圧 V g およびソース電圧 V s の各変化を示している。なお、信号線 3 3 の電位は、1 H 期間（H は水平走査期間）内において映像信号の信号電圧 V s i g と基準電位 V o f s とが切り替わるようになっている。

【 0 0 6 2 】

〔 前フレームの発光期間 〕

図 4 のタイミング波形図において、時刻 t 1 以前は、前のフレーム（フィールド）における有機 E L 素子 2 1 の発光期間となる。この前フレームの発光期間では、電源供給線 3 2 の電位 D S が第 1 電源電位 V c c にあり、また、走査線 3 1 の電位が低電位状態にあることで、書込みトランジスタ 2 3 がオフ（非導通）状態にある。

20

【 0 0 6 3 】

このとき、駆動トランジスタ 2 2 は飽和領域で動作するように設計されているため、図 5（A）に示すように、電源供給線 3 2 から駆動トランジスタ 2 2 を通して有機 E L 素子 2 1 に電流 I d s が供給され、その電流値に応じた輝度で有機 E L 素子 2 1 が発光する。このとき、有機 E L 素子 2 1 に流れる電流 I d s は、駆動トランジスタ 2 2 のゲート - ソース間電圧 V g s に応じて次式（1）で与えられる値をとる。

【 0 0 6 4 】

$$I d s = (1/2) \cdot \mu (W/L) C o x (V g s - V t h)^2 \quad \dots \dots (1)$$

30

ここで、 μ は駆動トランジスタ 2 2 のキャリア移動度、W はチャネル幅、L はチャネル長、C o x は単位面積当たりのゲート容量である。

【 0 0 6 5 】

〔 現フレームの非発光期間 〕

時刻 t 1 になると、線順次走査の新しいフレーム（現フレーム）に入る。このとき、信号線 3 3 の電位は基準電位 V o f s の状態にある。そして、走査線 3 1 の電位が低電位側から高電位側に遷移し、書込みトランジスタ 2 3 がオン（導通）状態になることで、図 5（B）に示すように、基準電位 V o f s が駆動トランジスタ 2 2 のゲート電極に書き込まれる。因みに、走査線 3 1 の電位が低電位側から高電位側に遷移するということは、書込み走査信号 w s がアクティブ状態になることである。

40

【 0 0 6 6 】

（消光）

駆動トランジスタ 2 2 のゲート電圧 V g が基準電位 V o f s になることで、駆動トランジスタ 2 2 のゲート - ソース間電圧 V g s が閾値電圧 V t h 以下となるために、駆動トランジスタ 2 2 がオフ状態になる。これにより、駆動トランジスタ 2 2 から有機 E L 素子 2 1 に電流が供給されなくなるために有機 E L 素子 2 1 は消光する。このとき、有機 E L 素子 2 1 にかかる電圧は有機 E L 素子 2 1 の閾値電圧 V t h e l となる。これにより、有機 E L 素子 2 1 のアノード電圧は、有機 E L 素子 2 1 の閾値電圧 V t h e l とカソード電圧 V c a t h の和、即ち V t h e l + V c a t h となる。

【 0 0 6 7 】

50

(閾値補正準備)

時刻 t_2 で書込みトランジスタ 23 がオフ状態になり、それから一定時間が経過した時刻 t_3 で電源供給線 32 の電位 (電源電位) D_S が第 1 電源電位 (以下、「高電位」と記述する) V_{cc} から第 2 電源電位 (以下、「低電位」と記述する) V_{ss} に切り替わる。ここで、電源電位 D_S が高電位 V_{cc} から低電位 V_{ss} に変化する時間は、電源電位 D_S が低電位 V_{ss} から高電位 V_{cc} に変化する時間より遅くなるように設定されている。その作用効果については後述する。

【 0068 】

電源電位 D_S が低電位 V_{ss} になると、駆動トランジスタ 22 は電源電位 D_S 側の電極がソース電極となる。このとき、図 5 (C) に示すように、保持容量 24 → 駆動トランジスタ 22 → 電源供給線 32 の経路で電流が流れる。

10

【 0069 】

これにより、有機 EL 素子 21 のアノード電圧は、時間の経過とともに低下してゆく。このとき、書込みトランジスタ 23 がオフ状態にあり、駆動トランジスタ 22 のゲート電極が信号線 33 から電氣的に切り離されてフローティング状態にある。したがって、駆動トランジスタ 22 のゲート電圧 V_g も、有機 EL 素子 21 のアノード電圧に連動して時間の経過とともに低下してゆく。

【 0070 】

このとき、駆動トランジスタ 22 が飽和領域で動作するなら、つまり、 $V_{gs} - V_{th} = V_{ds}$ であるならば、図 5 (C) に示すように、駆動トランジスタ 22 のゲート - ソース間に寄生容量 C_p が発生する。ここで、 V_{th} は駆動トランジスタ 22 のゲート - ソース (電源) 間の閾値電圧、 V_{ds} は駆動トランジスタ 22 のドレイン - ソース間電圧である。

20

【 0071 】

そして、駆動トランジスタ 22 が飽和領域で動作し続ければ、時刻 t_3 から一定時間経過後に、図 5 (D) に示すように、駆動トランジスタ 22 のゲート電圧 V_g は $V_{ss} + V_{th}$ となる。

【 0072 】

次に、時刻 t_4 で電源供給線 32 の電位 D_S が低電位 V_{ss} から高電位 V_{cc} に切り替わる。このとき、駆動トランジスタ 22 のゲート電極に、図 6 (A) に示すように、ゲート - ソース間の寄生容量 C_p を介してカップリングが入る。図 6 (A) では、駆動トランジスタ 22 のゲート電極に入るカップリング量を ΔV_c 、有機 EL 素子 21 のアノード電圧を V_x としている。

30

【 0073 】

電源供給線 32 の電位 D_S が高電位 V_{cc} になることで、駆動トランジスタ 22 の有機 EL 素子 21 側がソース電極となる。これにより、駆動トランジスタ 22 のゲート - ソース間電圧 (ゲート - アノード間電圧) V_{gs} に応じた電流が、電源供給線 32 から駆動トランジスタ 22 を介して有機 EL 素子 21 のアノード電極へ流れる。このとき、駆動トランジスタ 22 のゲート - ソース間電圧 V_{gs} が閾値電圧 V_{th} よりも小さければ、駆動トランジスタ 22 に流れる電流による駆動トランジスタ 22 のゲート電圧 V_g 、ソース電圧 V_s の上昇は殆どない。

40

【 0074 】

(閾値補正)

次に、信号線 33 の電位が基準電位 V_{ofs} の状態にある時刻 t_5 で走査線 31 の電位が低電位側から高電位側に遷移することで、書込みトランジスタ 23 がオン状態になる。これにより、駆動トランジスタ 22 のゲート電圧 V_g が基準電位 V_{ofs} となる。すなわち、駆動トランジスタ 22 のゲート電圧 V_g が基準電位 V_{ofs} に初期化される。この基準電位 V_{ofs} を駆動トランジスタ 22 のゲート電圧 V_g の初期化電圧と呼ぶ。

【 0075 】

この初期化に伴うゲート電圧 V_g の変化量は、保持容量 24、駆動トランジスタ 22 の

50

ゲート - ソース間の寄生容量 C_{gs} 、有機 EL 素子 21 の寄生容量 C_{el} によるある一定比で駆動トランジスタ 22 のソース電極に入力される。このときの入力比を G とする。この入力比 G は、次式 (2) で与えられる値となる。

$$G = (C_{cs} + C_{gs}) / (C_{cs} + C_{gs} + C_{el}) \quad \dots \dots (2)$$

ここで、 C_{cs} は保持容量 24 の容量値である。

【0076】

この状態において、駆動トランジスタ 22 のゲート - ソース間電圧 V_{gs} がその閾値電圧 V_{th} よりも大きければ、図 6 (B) に示すように、電源供給線 32 → 駆動トランジスタ 22 → 保持容量 24 の経路で電流が流れる。換言すれば、このときの駆動トランジスタ 22 のゲート - ソース間電圧 V_{gs} がその閾値電圧 V_{th} よりも大きくなるように、基準電位 V_{ofs} 、低電位 V_{ss} の各値を設定しておく必要がある。

10

【0077】

ここで、有機 EL 素子 21 の等価回路はダイオードと容量で表わされるために、 $V_{el} = V_{cath} + V_{thel}$ である限り、駆動トランジスタ 22 の電流は保持容量 24 と有機 EL 素子 21 の寄生容量 C_{el} を充電するために使われる。ここで、 $V_{el} = V_{cath} + V_{thel}$ ということは、有機 EL 素子 21 のリーク電流が駆動トランジスタ 22 に流れる電流よりも小さいことを意味する。

【0078】

駆動トランジスタ 22 の電流によって保持容量 24 と有機 EL 素子 21 の寄生容量 C_{el} が充電されることで、有機 EL 素子 21 のアノード電圧、即ち駆動トランジスタ 22 のソース電圧 V_s は、図 7 に示すように、時間の経過とともに上昇してゆく。そして、一定時間経過後、駆動トランジスタ 22 のゲート - ソース間電圧 V_{gs} は、その閾値電圧 V_{th} に収束する。このとき、 $V_{el} = V_{ofs} - V_{th} = V_{cath} + V_{thel}$ となっている。

20

【0079】

ここでは、駆動トランジスタ 22 のゲート電圧 V_g の初期化電位 V_{ofs} を基準とし、当該初期化電位 V_{ofs} から駆動トランジスタ 22 の閾値電圧 V_{th} を減じた電位に向けてソース電圧 V_s を変化させる処理を閾値補正処理と呼んでいる。この閾値補正処理が進むと、上述したように、駆動トランジスタ 22 のゲート - ソース間電圧 V_{gs} が駆動トランジスタ 22 の閾値電圧 V_{th} に収束する。この閾値電圧 V_{th} に相当する電圧は保持容量 24 に保持される。

30

【0080】

なお、閾値補正処理を行う期間 (閾値補正期間) において、電流が専ら保持容量 24 側に流れ、有機 EL 素子 21 側には流れないようにする必要がある。そのために、有機 EL 素子 21 がカットオフ状態となるように共通電源供給線 34 の電位 V_{cath} を設定しておくこととする。

【0081】

時刻 t_6 で走査線 31 の電位 W_s が高電位側から低電位側に遷移することで、書込みトランジスタ 23 がオフ状態となる。このとき、駆動トランジスタ 22 のゲート電極が信号線 33 から電氣的に切り離されることによってフローティング状態になる。しかし、ゲート - ソース間電圧 V_{gs} が駆動トランジスタ 22 の閾値電圧 V_{th} に等しいために、当該駆動トランジスタ 22 はカットオフ状態にある。したがって、駆動トランジスタ 22 にドレイン - ソース間電流 I_{ds} は流れない。

40

【0082】

(信号書込み & 移動度補正)

次に、信号線 33 の電位が映像信号の信号電圧 V_{sig} の状態にある時刻 t_7 で、走査線 31 の電位 W_s が低電位側から高電位側に遷移することで、図 6 (C) に示すように、書込みトランジスタ 23 が再びオン状態になって信号電圧 V_{sig} を書き込む。映像信号の信号電圧 V_{sig} は、階調に応じた電圧である。

【0083】

50

書込みトランジスタ 23 による信号電圧 V_{sig} の書込みにより、駆動トランジスタ 22 のゲート電圧 V_g が信号電圧 V_{sig} となる。そして、映像信号の信号電圧 V_{sig} による駆動トランジスタ 22 の駆動の際に、当該駆動トランジスタ 22 の閾値電圧 V_{th} が保持容量 24 に保持された閾値電圧 V_{th} に相当する電圧とキャンセルされる。この閾値キャンセルの原理の詳細については後述する。

【0084】

このとき、有機 EL 素子 21 はカットオフ状態（ハイインピーダンス状態）にある。したがって、映像信号の信号電圧 V_{sig} に応じて電源供給線 32 から駆動トランジスタ 22 に流れる電流（ドレイン - ソース間電流 I_{ds} ）は有機 EL 素子 21 の寄生容量 C_{el} に流れ込む。このドレイン - ソース間電流 I_{ds} により、有機 EL 素子 21 の寄生容量 C_{el} の充電が開始される。

10

【0085】

寄生容量 C_{el} の充電により、駆動トランジスタ 22 のソース電圧 V_s が時間の経過とともに上昇していく。このとき既に、駆動トランジスタ 22 の閾値電圧 V_{th} の画素ごとのばらつきがキャンセルされており、駆動トランジスタ 22 のドレイン - ソース間電流 I_{ds} は当該駆動トランジスタ 22 の移動度 μ に依存（反映）したものとなる。

【0086】

具体的に言うと、図 8 に示すように、移動度 μ が大きい駆動トランジスタ 22 ではそのときの電流量が大きく、ソース電圧 V_s の上昇が早くなる。逆に、移動度 μ が小さい駆動トランジスタ 22 ではそのときの電流量が小さく、ソース電圧 V_s の上昇が遅くなる。これにより、駆動トランジスタ 22 のゲート - ソース間電圧 V_{gs} は移動度 μ を反映して小さくなり、一定時間経過後に完全に移動度 μ を補正する電圧値となる。

20

【0087】

ここで、映像信号の信号電圧 V_{sig} に対する保持容量 24 の保持電圧 V_{gs} の比率が 1（理想値）であると仮定する。この信号電圧 V_{sig} に対する保持電圧 V_{gs} の比率を書込みゲインと呼ぶ場合もある。すると、駆動トランジスタ 22 のソース電圧 V_s が $V_{ofs} - V_{th} + \Delta V$ の電位まで上昇することで、駆動トランジスタ 22 のゲート - ソース間電圧 V_{gs} は $V_{sig} - V_{ofs} + V_{th} - \Delta V$ となる。

【0088】

すなわち、駆動トランジスタ 22 のソース電圧 V_s の上昇分 ΔV は、保持容量 24 に保持されている電圧（ $V_{sig} - V_{ofs} + V_{th}$ ）から差し引かれるように作用する。換言すれば、ソース電圧 V_s の上昇分 ΔV は、保持容量 24 の充電電荷を放電するように作用し、負帰還がかけられたことになる。したがって、駆動トランジスタ 22 のソース電圧 V_s の上昇分 ΔV は負帰還の帰還量となる。

30

【0089】

このように、駆動トランジスタ 22 に流れるドレイン - ソース間電流 I_{ds} に応じた帰還量 ΔV でゲート - ソース間電圧 V_{gs} に負帰還をかけることで、駆動トランジスタ 22 のドレイン - ソース間電流 I_{ds} の移動度 μ に対する依存性を打ち消すことができる。この移動度 μ に対する依存性を打ち消す処理が、駆動トランジスタ 22 の移動度 μ の画素ごとのばらつきを補正する移動度補正処理である。

40

【0090】

より具体的には、駆動トランジスタ 22 のゲート電極に書き込まれる映像信号の信号振幅 V_{in} （ $= V_{sig} - V_{ofs}$ ）が高いほどドレイン - ソース間電流 I_{ds} が大きくなるために、負帰還の帰還量 ΔV の絶対値も大きくなる。したがって、発光輝度レベルに応じた移動度補正処理が行われる。

【0091】

また、映像信号の信号振幅 V_{in} を一定とした場合、駆動トランジスタ 22 の移動度 μ が大きいほど負帰還の帰還量 ΔV の絶対値も大きくなるために、画素ごとの移動度 μ のばらつきを取り除くことができる。したがって、負帰還の帰還量 ΔV は移動度補正の補正量とも言える。移動度補正の原理の詳細については後述する。

50

【 0 0 9 2 】

〔 現 フ レーム の 発 光 期 間 〕

次に、時刻 t_8 で走査線 31 の電位 W_s が高電位側から低電位側に遷移することで、図 6 (D) に示すように、書込みトランジスタ 23 がオフ状態となる。これにより、駆動トランジスタ 22 のゲート電極は、信号線 33 から電氣的に切り離されるためにフローティング状態になる。

【 0 0 9 3 】

ここで、駆動トランジスタ 22 のゲート電極がフローティング状態にあるときは、駆動トランジスタ 22 のゲート - ソース間に保持容量 24 が接続されていることにより、駆動トランジスタ 22 のソース電圧 V_s の変動に連動して (追従して) ゲート電圧 V_g も変動する。このように、駆動トランジスタ 22 のゲート電圧 V_g がソース電圧 V_s の変動に連動して変動する動作を、本明細書では保持容量 24 によるブートストラップ動作と呼ぶこととする。

10

【 0 0 9 4 】

駆動トランジスタ 22 のゲート電極がフローティング状態になり、それと同時に、駆動トランジスタ 22 のドレイン - ソース間電流 $I_{ds'}$ が有機 EL 素子 21 に流れ始める。すると、駆動トランジスタ 22 のドレイン - ソース間電流 $I_{ds'}$ に応じて有機 EL 素子 21 のアノード電圧が上昇する。

【 0 0 9 5 】

そして、有機 EL 素子 21 のアノード電圧が $V_{thel} + V_{cat h}$ を越えると、有機 EL 素子 21 に駆動電流 $I_{ds'}$ が流れ始めるため有機 EL 素子 21 が発光を開始する。また、有機 EL 素子 21 のアノード電圧の上昇は、即ち駆動トランジスタ 22 のソース電圧 V_s の上昇に他ならない。そして、駆動トランジスタ 22 のソース電圧 V_s が上昇すると、保持容量 24 のブートストラップ動作により、駆動トランジスタ 22 のゲート電圧 V_g も連動して上昇する。

20

【 0 0 9 6 】

このとき、ブートストラップゲインが 1 (理想値) であると仮定した場合、駆動トランジスタ 22 のゲート電圧 V_g の上昇量はソース電圧 V_s の上昇量に等しくなる。故に、発光期間中駆動トランジスタ 22 のゲート - ソース間電圧 V_{gs} は $V_{sig} - V_{ofs} + V_{th} - \Delta V$ で一定に保持される。

30

【 0 0 9 7 】

以上説明した一連の回路動作において、閾値補正準備、閾値補正、信号電圧 V_{sig} の書込み (信号書込み) および移動度補正の各処理動作は、1 水平走査期間 (1 H) において実行される。また、信号書込みおよび移動度補正の各処理動作は、時刻 $t_7 - t_8$ の期間において並行して実行される。

【 0 0 9 8 】

なお、ここでは、閾値補正処理を 1 回だけ実行する駆動法を採用する場合を例に挙げて説明したが、この駆動法は一例に過ぎず、この駆動法に限られるものではない。例えば、閾値補正処理を移動度補正および信号書込み処理と共に行う 1 H 期間に加えて、当該 1 H 期間に先行する複数の水平走査期間に分割して複数回実行する、いわゆる分割閾値補正を行う駆動法を採用することも可能である。

40

【 0 0 9 9 】

この分割閾値補正の駆動法を採用することにより、高精細化に伴う多画素化によって 1 水平走査期間に割り当てられる時間が短くなったとしても、閾値補正期間として複数の水平走査期間に亘って十分な時間を確保することができるために、閾値補正処理を確実に行うことができる。

【 0 1 0 0 】

(閾値キャンセルの原理)

ここで、駆動トランジスタ 22 の閾値補正 (即ち、閾値キャンセル) の原理について説明する。閾値補正処理は、先述したように、駆動トランジスタ 22 のゲート電圧 V_g の初

50

期化電位 V_{ofs} を基準として当該電位 V_{ofs} から駆動トランジスタ 22 の閾値電圧 V_{th} を減じた電位に向かって、駆動トランジスタ 22 のソース電圧 V_s を変化させる処理である。

【0101】

駆動トランジスタ 22 は、飽和領域で動作するように設計されているために定電流源として動作する。駆動トランジスタ 22 が定電流源として動作することで、有機 EL 素子 21 に対して駆動トランジスタ 22 から、先述した式 (1) で与えられる一定のドレイン - ソース間電流 (駆動電流) I_{ds} が供給される。

【0102】

図 9 に、駆動トランジスタ 22 のドレイン - ソース間電流 I_{ds} 対ゲート - ソース間電圧 V_{gs} の特性を示す。

10

【0103】

この特性図に示すように、駆動トランジスタ 22 の閾値電圧 V_{th} の画素ごとのばらつきに対する補正を行わないと、閾値電圧 V_{th} が V_{th1} のとき、ゲート - ソース間電圧 V_{gs} に対応するドレイン - ソース間電流 I_{ds} が I_{ds1} になる。

【0104】

これに対して、閾値電圧 V_{th} が V_{th2} ($V_{th2} > V_{th1}$) のとき、同じゲート - ソース間電圧 V_{gs} に対応するドレイン - ソース間電流 I_{ds} が I_{ds2} ($I_{ds2} < I_{ds1}$) になる。すなわち、駆動トランジスタ 22 の閾値電圧 V_{th} が変動すると、当該駆動トランジスタ 22 のゲート - ソース間電圧 V_{gs} が一定であってもドレイン - ソース間電流 I_{ds} が変動する。

20

【0105】

一方、上記構成の画素 (画素回路) 20 では、先述したように、発光時の駆動トランジスタ 22 のゲート - ソース間電圧 V_{gs} が $V_{sig} - V_{ofs} + V_{th} - \Delta V$ であるために、これを式 (1) に代入すると、ドレイン - ソース間電流 I_{ds} は、次式 (3) で表される。

$$I_{ds} = (1/2) \cdot \mu (W/L) C_{ox} (V_{sig} - V_{ofs} - \Delta V)^2 \quad \dots \dots (3)$$

【0106】

すなわち、駆動トランジスタ 22 の閾値電圧 V_{th} の項がキャンセルされており、駆動トランジスタ 22 から有機 EL 素子 21 に供給されるドレイン - ソース間電流 I_{ds} は、駆動トランジスタ 22 の閾値電圧 V_{th} に依存しない。その結果、駆動トランジスタ 22 の製造プロセスのばらつきや経時変化により、駆動トランジスタ 22 の閾値電圧 V_{th} が画素ごとに変動したとしても、ドレイン - ソース間電流 I_{ds} が変動しないために、有機 EL 素子 21 の発光輝度を一定に保つことができる。

30

【0107】

(移動度補正の原理)

続いて、駆動トランジスタ 22 の移動度補正の原理について説明する。移動度補正処理は、先述したように、駆動トランジスタ 22 に流れるドレイン - ソース間電流 I_{ds} に応じた補正量 ΔV で駆動トランジスタ 22 のゲート - ソース間の電位差に負帰還をかける処理である。この移動度補正処理により、駆動トランジスタ 22 のドレイン - ソース間電流 I_{ds} の移動度 μ に対する依存性を打ち消すことができる。

40

【0108】

図 10 に、駆動トランジスタ 22 の移動度 μ が相対的に大きい画素 A と、駆動トランジスタ 22 の移動度 μ が相対的に小さい画素 B とを比較した状態で特性カーブを示す。駆動トランジスタ 22 をポリシリコン薄膜トランジスタなどで構成した場合、画素 A や画素 B のように、画素間で移動度 μ がばらつくことは避けられない。

【0109】

画素 A と画素 B で移動度 μ にばらつきがある状態で、駆動トランジスタ 22 のゲート電極に例えば両画素 A, B に対して同レベルの信号振幅 V_{in} ($= V_{sig} - V_{ofs}$) を

50

書き込んだ場合を考える。この場合、移動度 μ の補正を何ら行わないと、移動度 μ の大きい画素 A に流れるドレイン・ソース間電流 I_{ds1}' と移動度 μ の小さい画素 B に流れるドレイン・ソース間電流 I_{ds2}' との間には大きな差が生じてしまう。このように、移動度 μ の画素ごとのばらつきに起因してドレイン・ソース間電流 I_{ds} に画素間で大きな差が生じると、画面のユニフォーミティが損なわれる。

【0110】

ここで、先述した式 (1) のトランジスタ特性式から明らかなように、移動度 μ が大きいとドレイン・ソース間電流 I_{ds} が大きくなる。したがって、負帰還における帰還量 ΔV は移動度 μ が大きくなるほど大きくなる。図 10 に示すように、移動度 μ の大きな画素 A の帰還量 ΔV_1 は、移動度の小さな画素 B の帰還量 ΔV_2 に比べて大きい。

10

【0111】

そこで、移動度補正処理によって駆動トランジスタ 22 のドレイン・ソース間電流 I_{ds} に応じた帰還量 ΔV でゲート・ソース間電圧 V_{gs} に負帰還をかけることにより、移動度 μ が大きいほど負帰還が大きくなることになる。その結果、移動度 μ の画素ごとのばらつきを抑制することができる。

【0112】

具体的には、移動度 μ の大きな画素 A で帰還量 ΔV_1 の補正をかけると、ドレイン・ソース間電流 I_{ds} は I_{ds1}' から I_{ds1} まで大きく下降する。一方、移動度 μ の小さな画素 B の帰還量 ΔV_2 は小さいために、ドレイン・ソース間電流 I_{ds} は I_{ds2}' から I_{ds2} までの下降となり、それ程大きく下降しない。結果的に、画素 A のドレイン・ソース間電流 I_{ds1} と画素 B のドレイン・ソース間電流 I_{ds2} とはほぼ等しくなるために、移動度 μ の画素ごとのばらつきが補正される。

20

【0113】

以上をまとめると、移動度 μ の異なる画素 A と画素 B があった場合、移動度 μ の大きい画素 A の帰還量 ΔV_1 は移動度 μ の小さい画素 B の帰還量 ΔV_2 に比べて大きくなる。つまり、移動度 μ が大きい画素ほど帰還量 ΔV が大きく、ドレイン・ソース間電流 I_{ds} の減少量が大きくなる。

【0114】

したがって、駆動トランジスタ 22 のドレイン・ソース間電流 I_{ds} に応じた帰還量 ΔV で、ゲート・ソース間電圧 V_{gs} に負帰還をかけることで、移動度 μ の異なる画素のドレイン・ソース間電流 I_{ds} の電流値が均一化される。その結果、移動度 μ の画素ごとのばらつきを補正することができる。すなわち、駆動トランジスタ 22 に流れる電流 (ドレイン・ソース間電流 I_{ds}) に応じた帰還量 ΔV で、駆動トランジスタ 22 のゲート・ソース間電圧 V_{gs} に負帰還をかける処理が移動度補正処理となる。

30

【0115】

ここで、図 2 に示した画素 (画素回路) 20 において、閾値補正、移動度補正の有無による映像信号の信号電位 (サンプリング電位) V_{sig} と駆動トランジスタ 22 のドレイン・ソース間電流 I_{ds} との関係について図 11 を用いて説明する。

【0116】

図 11 において、(A) は閾値補正処理および移動度補正処理を共に行わない場合、(B) は移動度補正処理を行わず、閾値補正処理のみを行った場合、(C) は閾値補正処理および移動度補正処理を共に行った場合をそれぞれ示している。図 11 (A) に示すように、閾値補正処理および移動度補正処理を共に行わない場合には、閾値電圧 V_{th} および移動度 μ の画素 A, B ごとのばらつきに起因してドレイン・ソース間電流 I_{ds} に画素 A, B 間で大きな差が生じることになる。

40

【0117】

これに対して、閾値補正処理のみを行った場合は、図 11 (B) に示すように、ドレイン・ソース間電流 I_{ds} のばらつきをある程度低減できるものの、移動度 μ の画素 A, B ごとのばらつきに起因する画素 A, B 間でのドレイン・ソース間電流 I_{ds} の差は残る。そして、閾値補正処理および移動度補正処理を共に行うことで、図 11 (C) に示すよう

50

に、閾値電圧 V_{th} および移動度 μ の画素 A, B ごとのばらつきに起因する画素 A, B 間でのドレイン - ソース間電流 I_{ds} の差をほぼ無くすることができる。したがって、どの階調においても有機 EL 素子 21 の輝度ばらつきは発生せず、良好な画質の表示画像を得ることができる。

【0118】

また、図 2 に示した画素 20 は、閾値補正および移動度補正の各補正機能に加えて、先述した保持容量 24 によるブートストラップ動作の機能を備えていることで、次のような作用効果を得ることができる。

【0119】

すなわち、有機 EL 素子 21 の $I - V$ 特性の経時変化に伴って駆動トランジスタ 22 のソース電圧 V_s が変化したとしても、保持容量 24 によるブートストラップ動作により、駆動トランジスタ 22 のゲート - ソース間電位 V_{gs} を一定に維持することができる。したがって、有機 EL 素子 21 に流れる電流は変化せず一定となる。その結果、有機 EL 素子 21 の発光輝度も一定に保たれるために、有機 EL 素子 21 の $I - V$ 特性が経時変化したとしても、それに伴う輝度劣化のない画像表示を実現できる。

【0120】

(カソード電位 V_{cath} の揺れに伴う不具合について)

ところで、先述した回路動作の説明から明らかなように、閾値補正準備の処理は、書込みトランジスタ 23 がオフ状態にあるときに、電源供給線 32 の電位 D_S を高電位 V_{cc} から低電位 V_{ss} に切り替えることによって行われる。電源供給線 32 の電位 D_S が低電位 V_{ss} になることで、駆動トランジスタ 22 がスイッチングトランジスタとして機能するために、当該駆動トランジスタ 22 を通して有機 EL 素子 21 のアノード側から電源供給線 32 へ電流が流れる。

【0121】

ここで、従来技術では、図 12 のタイミング波形図に示すように、電源供給線 32 の電位 D_S を高電位 V_{cc} から低電位 V_{ss} に切り替えるときに、低電位 V_{ss} から高電位 V_{cc} に切り替えるときと同じ応答速度で切り替えていた。具体的には、電源電位 D_S が高電位 V_{cc} から低電位 V_{ss} に変化する時間を、電源電位 D_S が低電位 V_{ss} から高電位 V_{cc} に変化する時間と同じになるように設定していた。

【0122】

しかし、電源供給線 32 の電位 D_S が高電位 V_{cc} から低電位 V_{ss} に大きな電位差をもって瞬間的に切り替わると、有機 EL 素子 21 のアノード側から電源供給線 32 へ急激に大きな電流が流れるために、駆動トランジスタ 22 のソース電圧 V_s が大きく変動する。すると、図 12 のタイミング波形図に示すように、共通電源供給線 34 の電位 (カソード電位 V_{cath}) が負側に大きく下降する。

【0123】

共通電源供給線 34 には有機 EL 素子 21 のカソード電極が全画素共通に接続されている。したがって、この共通電源供給線 34 の電位の揺れは、有機 EL 素子 21 の寄生容量 C_{el} によるカップリングにより、閾値補正処理中の画素行 (ライン) の駆動トランジスタ 22 のソース電極に入力され、当該駆動トランジスタ 22 のソース電圧 V_s を変化させる。

【0124】

具体的には、共通電源供給線 34 の電位が負側に下降することによって、閾値補正処理中のラインの駆動トランジスタ 22 のソース電圧 V_s が低下する。これにより、駆動トランジスタ 22 のソース - ゲート間電圧 V_{gs} が大きくなる。また逆に、共通電源供給線 34 の電位が上昇した場合には駆動トランジスタ 22 のソース電圧 V_s が上昇するために、当該駆動トランジスタ 22 のソース - ゲート間電圧 V_{gs} が小さくなる。

【0125】

前にも述べたように、共通電源供給線 34 の電位、即ちカソード電位 V_{cath} の揺れに起因する駆動トランジスタのソース - ゲート間電圧 V_{gs} の変動については、閾値補正

10

20

30

40

50

処理の開始付近であればその後の閾値補正処理によって補正することができる。しかし、閾値補正処理の終了付近において駆動トランジスタ 22 のソース - ゲート間電圧 V_{gs} が変動してしまうと、本来の閾値補正処理が行われなかったことになるために、発光輝度にムラが生じ、画質不良が発生してしまう。

【0126】

以上説明したことから明らかなように、共通電源供給線 34 の電位、即ちカソード電位 V_{cath} が揺れる現象は、電源供給線 32 の電位 D_S の切替えによって画素の発光 / 非発光の制御を行なう画素構成を採る表示装置特有の現象である。

【0127】

[1 - 3 . 第 1 実施形態の特徴部分]

10

そこで、第 1 実施形態に係る有機 EL 表示装置 10 A では、図 4 のタイミング波形図から明らかなように、電源供給線 32 の電位 D_S を高電位 V_{cc} から低電位 V_{ss} へ立ち下げるときに、その立ち上げ時よりも緩やかに変化させるようにしている。具体的には、閾値補正処理の準備段階において電源供給線 32 の電位 D_S が高電位 V_{cc} から低電位 V_{ss} へ変化する時間を、閾値補正処理前において電源供給線 32 の電位 D_S が高電位 V_{cc} から低電位 V_{ss} へ変化する時間よりも遅く設定するようにしている。

【0128】

このように、電源電位 D_S の高電位 V_{cc} から低電位 V_{ss} への遷移、即ち立ち下りの過渡応答 (トランジェント) を、低電位 V_{ss} から高電位 V_{cc} への遷移、即ち立ち上がりの過渡応答よりも遅くすることで、次のような作用効果を得ることができる。すなわち、電源電位 D_S の立ち下りの過渡応答が立ち上がりの過渡応答よりも遅いと、駆動トランジスタ 22 を通して電源供給線 32 へ流れる電流量が小さくなる。

20

【0129】

すると、駆動トランジスタ 22 のソース電圧 V_s の変動が小さくなるために、共通電源供給線 34 の電位の揺れが小さくなる。これにより、閾値補正処理の終了付近にある画素行 (ライン) の駆動トランジスタ 22 のソース電圧 V_s に対して、有機 EL 素子 21 の寄生容量 C_{el} を通して入力されるカップリング量が小さく抑えられる。その結果、閾値補正処理の終了付近にある画素行において正常に閾値補正処理を行うことができるために、共通電源供給線 34 の電位の揺れに起因する画質不良の発生を抑制できる。

【0130】

30

ここで、高電位 V_{cc} から低電位 V_{ss} への遷移、即ち立ち下りの過渡応答が、低電位 V_{ss} から高電位 V_{cc} への遷移、即ち立ち上がりの過渡応答よりも遅い電源電位 D_S は、電源供給走査回路 50 で生成される。電源供給走査回路 50 の具体的な構成について以下に説明する。

【0131】

(電源供給走査回路の出力段の回路例)

図 13 は、電源供給走査回路 50 の出力段の回路構成の一例を示す回路図であり、出力段である出力バッファ部 50 B の回路構成を示している。この出力バッファ部 50 B は、画素アレイ部 30 の各画素行に対応して設けられる。ここでは、ある画素行に対応した 1 つの出力バッファ部 50 B を代表して示している。また、出力バッファ部 50 B として 1 段構成のものを示しているが、出力バッファ部 50 B としては多段構成のものであってもよいことは勿論である。

40

【0132】

出力バッファ部 50 B は、ゲート電極同士およびドレイン電極同士が共通接続された Pch MOS トランジスタ 501 および Nch MOS トランジスタ 502 からなる CMOS インバータ構成となっている。Pch MOS トランジスタ 501 のソース電極は、正側の電源電位 V_{cc} に接続されている。Nch MOS トランジスタ 502 のソース電極には、負側の電源電位 V_{ss} に接続されている。ドレイン共通接続ノード N_{out} には、対応する画素行の電源供給線 32 が接続される。

【0133】

50

上記構成の出力バッファ部 50B において、電源電位 DS の立ち下がり、立ち上がりの応答特性（時定数）は、MOS トランジスタ 501, 502 のオン抵抗、電源供給線 32 の配線抵抗および寄生容量等によって決まる。

【0134】

そこで、Nch MOS トランジスタ 502 のトランジスタサイズを、Pch MOS トランジスタ 501 のトランジスタサイズよりも小さく設定する。これにより、Nch MOS トランジスタ 502 のオン抵抗が Pch MOS トランジスタ 501 のオン抵抗よりも大きくなるために、電源電位 DS の立ち下がりの過渡応答が立ち上がりの過渡応答よりも遅くなる。

【0135】

上記構成によれば、特別な回路を追加しなくても、電源供給走査回路 50 の出力バッファ部 50B を構成する CMOS インバータのトランジスタサイズを変更するだけで、立ち下がりの過渡応答が立ち上がりの過渡応答よりも遅い電源電位 DS を生成できる。図 14 に、出力バッファ部 50B の入力 IN および出力 OUT (DS) の波形を示す。

10

【0136】

< 2. 第 2 実施形態 >

[2 - 1. システム構成]

図 15 は、本発明の第 2 実施形態に係るアクティブマトリクス型表示装置の構成の概略を示すシステム構成図である。ここでも、一例として、デバイスに流れる電流値に応じて発光輝度が変化する電流駆動型の電気光学素子、例えば有機 EL 素子を画素（画素回路）の発光素子として用いたアクティブマトリクス型有機 EL 表示装置の場合を例に挙げて説明するものとする。

20

【0137】

第 1 実施形態に係る有機 EL 表示装置 10A は、電源供給線 32 を画素行（ライン）ごとに 1 本ずつ、即ち 1 つの画素行に 1 本ずつ配線し、電源供給走査回路 50 による電源電位 DS の切替え走査をラインごとに順に行う構成を採っていた。

【0138】

これに対して、第 2 実施形態に係る有機 EL 表示装置 10B は、複数の画素行をユニット（単位）とし、電源供給線 32 をユニットごとに 1 本ずつ、即ち 1 つのユニットに 1 本ずつ配線し、電源電位 DS の切替え走査をユニットごとに順に行う構成を採っている。

30

【0139】

本明細書では、電源電位 DS の切替え走査をユニットごとに順に行うことをユニットスキップと呼ぶこととする。1 つのユニットとする画素行の本数（ライン数）については、数十ライン単位あるいは 100 ライン単位など任意である。

【0140】

具体的には、図 15 に示すように、画素 20 が行列状に配置された画素アレイ部 30 において、走査線 31 が画素行ごとに 1 本ずつ配線されているのに対して、電源供給線 32 が複数の画素行ごと、即ちユニットごとに 1 本ずつ配線されている。ここでは、図面の簡略化のために、3 つの画素行を 1 つのユニット U (1), U (2), ..., U (i) としている。すなわち、3 つの画素行に対して電源供給線 32 が 1 本配線されている。

40

【0141】

電源供給線 32 は、駆動トランジスタ 22 に有機 EL 素子 21 を駆動するための電流を供給する走査線であり、しかもその電源電位 DS が高電位 Vcc と低電位 Vss との間で切替えが行われる。したがって、電源供給線 32 を駆動する電源供給走査回路 50 の 1 つの画素行に対応する回路部分の回路規模は、書込み走査回路 40 に比べて大きくなり得ない。そして、1 つの画素行に対応する回路部分が画素アレイ部 30 の画素行分だけ設けられることになるために、電源供給走査回路 50 全体の規模が非常に大きくなり、その分コストも高くなる。

【0142】

これに対して、本実施形態に係るユニットスキップ方式を採用することで、電源供給走

50

査回路 50 全体の規模を、ユニットスキャン方式を採らない場合に比べて非常に小さくすることができる。第 1 実施形態に係る有機 EL 表示装置 10A において説明したように、電源供給走査回路 50 は、一般的に、シフトレジスタや出力バッファ部 50B などによって構成される。

【0143】

一方、ユニットスキャン方式を採用し、1 ユニット当たりのライン数を増やすことによってユニット数を少なく設定することで、図 15 に示すような簡単な構成を採ることができる。具体的には、電源供給走査回路 50 に代えて出力バッファ部 50B に相当する電源供給部 50(1), 50(2), ..., 50(i) を、ユニット U(1), U(2), ..., U(i) に対応して設けるだけの構成で済む。そして、電源供給部 50(1), 50(2), ..., 50(i) の個々については、タイミング制御部(図示せず)によって書込み走査回路 40 による垂直走査に同期して駆動するようにすればよい。

10

【0144】

このように、ユニットスキャン方式を採用した有機 EL 表示装置 10B によれば、電源供給走査回路 50 に相当する回路部分、即ち電源供給部 50(1), 50(2), ..., 50(i) 全体の回路規模を、電源供給走査回路 50 に比べて非常に小さくできる。また、それに伴って表示装置全体の低コスト化を図ることができる。

【0145】

図 15 において、画素 20 の回路構成および画素構造、ならびに書込み走査回路 40 や信号出力回路 60 の構成については、第 1 実施形態の場合と基本的に同じである。したがって、ここでは重複するのでその説明については省略するものとする。

20

【0146】

[2-2. 回路動作]

上記構成の第 2 実施形態に係る有機 EL 表示装置 10B の回路動作についても、基本的に、第 1 実施形態に係る有機 EL 表示装置 10A と同じである。具体的には、第 1 実施形態に係る有機 EL 表示装置 10A では、電源電位 DS の切替え走査がラインごとに順に行われる。これに対して、第 2 実施形態に係る有機 EL 表示装置 10B では電源電位 DS の切替え走査がユニット U(1), U(2), ..., U(i) ごとに順に行われるだけの違いである。

30

【0147】

すなわち、第 2 実施形態に係る有機 EL 表示装置 10B においても、第 1 実施形態に係る有機 EL 表示装置 10A と同様に、閾値補正動作、移動度補正動作およびブートストラップ動作等が行われる。これにより、駆動トランジスタ 22 に特性ばらつきがあったり、有機 EL 素子 21 の I-V 特性が経時変化したりしたとしても、輝度ムラや輝度劣化のない良質な画像表示を実現できる。

【0148】

(カソード電位 V_{cat} の揺れに伴う不具合について)

ところで、ユニットスキャン方式を採用した有機 EL 表示装置 10B においても、共通電源供給線 34 の電位の揺れ、即ち有機 EL 素子 21 のカソード電位 V_{cat} の揺れに伴う不具合の発生は免れない。逆に、有機 EL 素子 21 のカソード電位 V_{cat} の揺れに伴う不具合は、ユニットスキャン方式を採用した有機 EL 表示装置 10B において特に顕著に現れる。

40

【0149】

何故ならば、電源電位 DS を高電位 V_{cc} から低電位 V_{ss} に切り替えて、有機 EL 素子 21 のアノード側から電源供給線 32 に電流を流すことによって行う閾値補正準備はユニット単位で行われるからである。すなわち、この閾値補正準備の動作は、電源電位 DS の切替えタイミングを共通にしているユニット内のライン全てで同時に行われるために、駆動トランジスタ 22 のソース電圧 V_s の変動が非常に大きくなる。具体的には、駆動トランジスタ 22 のソース電圧 V_s の変動が、電源電位 DS の切替え走査がラインごとに行う場合に比べてユニットのライン数倍になる。

50

【 0 1 5 0 】

ここで、閾値補正準備期間における電源供給線 3 2 の電位（電源電位） $D S$ のタイミングのみを抜き出して考える。図 1 6 に示すように、電源電位 $D S$ (1) のユニットが閾値補正処理を開始する際に、電源電位 $D S$ (4) が立ち下がるタイミングとなっている。このため、電源電位 $D S$ (1) のユニットの閾値補正処理に共通電源供給線 3 4 の電位、即ち有機 E L 素子 2 1 のカソード電位 $V c a t h$ が揺れることとなる。

【 0 1 5 1 】

この揺れは、電源電位 $D S$ の切替え走査がラインごとに行う場合に比べて、駆動トランジスタ 2 2 のソース電圧 $V s$ の変動が大きい分だけ大きくなる。そして、閾値補正処理の終了付近において駆動トランジスタ 2 2 のソース - ゲート間電圧 $V g s$ が変動してしまうと、本来の閾値補正処理が行われなかったことになる。その結果、ユニットスキャン方式の場合には、発光輝度にムラが生じ、明るい帯や暗い帯といった画質不良が発生してしまう。

10

【 0 1 5 2 】

なお、図 1 6 のタイミング波形図において、電源電位 $D S$ (1) は 1 番目のユニット U (1) の電源電位を、電源電位 $D S$ (2) は 2 番目のユニット U (2) の電源電位をそれぞれ表わしている。また、電源電位 $D S$ (3) は 3 番目のユニット U (3) の電源電位を、電源電位 $D S$ (4) は 4 番目のユニット U (4) の電源電位をそれぞれ表わしている。

【 0 1 5 3 】

[2 - 3 . 第 2 実施形態の特徴部分]

20

そこで、第 2 実施形態に係る有機 E L 表示装置 1 0 B において、電源電位 $D S$ を高電位 $V c c$ から低電位 $V s s$ へ立ち下げるときに、その立ち上げ時よりも緩やかに変化させる構成を採る。具体的には、閾値補正処理の準備段階において電源供給線 3 2 の電位 $D S$ が高電位 $V c c$ から低電位 $V s s$ へ変化する時間を、閾値補正処理前において電源供給線 3 2 の電位 $D S$ が高電位 $V c c$ から低電位 $V s s$ へ変化する時間よりも遅く設定する（図 4 参照）。

【 0 1 5 4 】

このように、電源電位 $D S$ の立ち下がりへの過渡応答を立ち上がりの過渡応答よりも遅くすると、駆動トランジスタ 2 2 を通して電源供給線 3 2 へ流れる電流量が小さくなる。すると、駆動トランジスタ 2 2 のソース電圧 $V s$ の変動が小さくなるために、共通電源供給線 3 4 の電位の揺れが小さくなる。これにより、閾値補正処理の終了付近にあるユニットの駆動トランジスタ 2 2 のソース電圧 $V s$ に対して、有機 E L 素子 2 1 の寄生容量 $C e l$ を通して入力されるカップリング量が小さく抑えられる。

30

【 0 1 5 5 】

その結果、閾値補正処理の終了付近にある画素行において正常に閾値補正処理を行うことができるために、共通電源供給線 3 4 の電位の揺れに起因する画質不良の発生を抑制できる。特に、ユニットスキャン方式を採る有機 E L 表示装置 1 0 B では、共通電源供給線 3 4 の電位の揺れが、電源電位 $D S$ の切替え走査がラインごとに行う場合に比べて大きいために、当該揺れを抑えることによって得られる効果は極めて大きいと言える。

【 0 1 5 6 】

40

< 3 . 変形例 >

上記実施形態では、電源電位 $D S$ が高電位 $V c c$ から低電位 $V s s$ へ変化するときに、高電位 $V c c$ から所定の応答特性をもって低電位 $V s s$ へ変化するとしたが、これに限られるものではない。所定の応答特性は、先述したように、出力バッファ部を構成する C M O S トランジスタ 5 0 1 , 5 0 2 （図 1 3 参照）のオン抵抗、電源供給線 3 2 の配線抵抗および寄生容量等によって決まる。

【 0 1 5 7 】

その変形例として、図 1 7 に示すように、電源電位 $D S$ を高電位 $V c c$ 、中間電位 $V m i d$ および低電位 $V s s$ の 3 値の構成とする。そして、閾値補正準備期間において、時刻 $t 3 1$ で電源電位 $D S$ を高電位 $V c c$ から一旦中間電位 $V m i d$ として書込みトランジス

50

タ 2 3 をオン状態にする。このときの電源電位 $D S$ の変化量は、高電位 V_{cc} から低電位 V_{ss} に切り替える場合よりも小さいために、電源供給線 3 2 からの駆動トランジスタ 2 2 のゲート電位 V_g へのカップリングを低減できる。

【0158】

ただし、この場合でも、駆動トランジスタ 2 2 のゲート電位 V_g が僅かなカップリングによって若干低下するために、信号線 3 3 の電位が基準電位 V_{ofs} にある時刻 $t_{32} - t_{33}$ の期間に走査線 3 1 の電位を高電位状態にする。これにより、書込みトランジスタ 2 3 をオン状態になるために、駆動トランジスタ 2 2 のゲート電位 V_g が基準電位 V_{ofs} になる。その後、時刻 t_{34} で中間電位 V_{mid} から所定の応答特性をもって低電位 V_{ss} へ変化させることで、駆動トランジスタ 2 2 のソース電圧 V_s の変動によるカソード電位 V_{cath} の変動を小さく抑えることができる。

10

【0159】

本変形例においても、閾値補正処理の終了付近にあるラインの駆動トランジスタ 2 2 のソース電圧 V_s に電源供給線 3 2 から入力されるカップリング量を小さく抑えることができるために、正常に閾値補正処理を行うことが可能になる。その結果、明るい帯や暗い帯といった画質不良が発生を抑制することができる。

【0160】

また、上記実施形態では、有機 EL 素子 2 1 の駆動回路が、駆動トランジスタ 2 2 および書込みトランジスタ 2 3 の 2 つのトランジスタ (T_r) からなる $2 T_r$ の回路構成の場合を例に挙げて説明した。しかし、本発明はこの $2 T_r$ の回路構成への適用に限られるものではない。

20

【0161】

例えば、駆動トランジスタ 2 2 のゲート電圧 V_g を初期化する基準電位 V_{ofs} を、信号線 3 3 から書込みトランジスタ 2 3 によって書き込むのではなく、専用のスイッチングトランジスタによって書き込む回路構成のものであってもよい。

【0162】

要は、駆動トランジスタ 2 2 に有機 EL 素子 2 1 を駆動するための電流を供給する電源供給線 3 2 の電位を切り替えることによって発光 / 非発光の制御を行なう構成を採る画素構成全般に適用することができる。

【0163】

30

また、上記実施形態では、画素の電気光学素子として、有機 EL 素子を用いた有機 EL 表示装置に適用した場合を例に挙げて説明したが、本発明はこの適用例に限られるものではない。具体的には、本発明は、無機 EL 素子、LED 素子、半導体レーザ素子等、デバイスに流れる電流値に応じて発光輝度が変化する電流駆動型の電気光学素子 (発光素子) を用いた表示装置全般に対して適用可能である。

【0164】

< 4 . 適用例 >

以上説明した本発明による表示装置は、電子機器に入力された映像信号、若しくは、電子機器内で生成した映像信号を、画像若しくは映像として表示するあらゆる分野の電子機器の表示装置に適用することが可能である。

40

【0165】

本発明による表示装置によれば、閾値補正準備期間での共通電源供給線の電位の揺れを抑え、当該電位の揺れに起因する画質不良の発生を抑制することができる。したがって、あらゆる分野の電子機器の表示装置として本発明による表示装置を用いることで、当該電子機器の表示装置の表示品質の向上を図ることができる。

【0166】

本発明による表示装置は、封止された構成のモジュール形状のものをも含む。このモジュール形状のものとしては、例えば、画素アレイ部に透明なガラス等の対向部が貼り付けられて形成された表示モジュールが該当する。この透明な対向部には、カラーフィルタ、保護膜等、さらには、上記した遮光膜が設けられてもよい。なお、表示モジュールには、

50

外部から画素アレイ部への信号等を入出力するための回路部やＦＰＣ（フレキシブルプリントサーキット）等が設けられていてもよい。

【０１６７】

以下に、本発明が適用される電子機器の具体例について説明する。一例として、図１８～図２２に示す様々な電子機器、例えば、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話機等の携帯端末装置、ビデオカメラなどの表示装置に本発明を適用することが可能である。

【０１６８】

図１８は、本発明が適用されるテレビジョンセットの外観を示す斜視図である。本適用例に係るテレビジョンセットは、フロントパネル１０２やフィルターガラス１０３等から構成される映像表示画面部１０１を含んでいる。そして、映像表示画面部１０１として本発明による表示装置を用いることにより、本適用例に係るテレビジョンセットが作製される。

10

【０１６９】

図１９は、本発明が適用されるデジタルカメラの外観を示す斜視図であり、（Ａ）は表側から見た斜視図、（Ｂ）は裏側から見た斜視図である。本適用例に係るデジタルカメラは、フラッシュ用の発光部１１１、表示部１１２、メニュースイッチ１１３、シャッターボタン１１４等を含んでいる。そして、表示部１１２として本発明による表示装置を用いることにより、本適用例に係るデジタルカメラが作製される。

20

【０１７０】

図２０は、本発明が適用されるノート型パーソナルコンピュータの外観を示す斜視図である。本適用例に係るノート型パーソナルコンピュータは、本体１２１に、文字等を入力するときに操作されるキーボード１２２、画像を表示する表示部１２３等を含んでいる。そして、表示部１２３として本発明による表示装置を用いることにより、本適用例に係るノート型パーソナルコンピュータが作製される。

【０１７１】

図２１は、本発明が適用されるビデオカメラの外観を示す斜視図である。本適用例に係るビデオカメラは、本体部１３１、前方を向いた側面に被写体撮影用のレンズ１３２、撮影時のスタート/ストップスイッチ１３３、表示部１３４等を含んでいる。そして、表示部１３４として本発明による表示装置を用いることにより、本適用例に係るビデオカメラが作製される。

30

【０１７２】

図２２は、本発明が適用される携帯端末装置、例えば携帯電話機を示す外観図であり、（Ａ）は開いた状態での正面図、（Ｂ）はその側面図、（Ｃ）は閉じた状態での正面図、（Ｄ）は左側面図、（Ｅ）は右側面図、（Ｆ）は上面図、（Ｇ）は下面図である。

【０１７３】

本適用例に係る携帯電話機は、上側筐体１４１、下側筐体１４２、連結部（ここではヒンジ部）１４３、ディスプレイ１４４、サブディスプレイ１４５、ピクチャーライト１４６、カメラ１４７等を含んでいる。そして、ディスプレイ１４４やサブディスプレイ１４５として本発明による表示装置を用いることにより、本適用例に係る携帯電話機が作製される。

40

【図面の簡単な説明】

【０１７４】

【図１】本発明の第１実施形態に係る有機ＥＬ表示装置の構成の概略を示すシステム構成図である。

【図２】画素の基本的な回路構成を示す回路図である。

【図３】画素の断面構造の一例を示す断面図である。

【図４】第１実施形態に係る有機ＥＬ表示装置の回路動作の説明に供するタイミング波形図である。

【図５】第１実施形態に係る有機ＥＬ表示装置の回路動作の説明に供する動作説明図（そ

50

の 1) である。

【図 6】第 1 実施形態に係る有機 E L 表示装置の回路動作の説明に供する動作説明図 (その 2) である。

【図 7】閾値補正処理時の駆動トランジスタのソース電圧 V_s の時間経過に伴う変化を示す図である。

【図 8】移動度補正処理時の駆動トランジスタのソース電圧 V_s の時間経過に伴う変化を示す図である。

【図 9】駆動トランジスタの閾値電圧 V_{th} のばらつきに起因する課題の説明に供する特性図である。

【図 10】駆動トランジスタの移動度 μ のばらつきに起因する課題の説明に供する特性図である。

【図 11】閾値補正、移動度補正の有無による映像信号の信号電圧 V_{sig} と駆動トランジスタのドレイン・ソース間電流 I_{ds} との関係の説明に供する特性図である。

【図 12】カソード電位 V_{cath} の揺れに伴う不具合についての説明に供するタイミング波形図である。

【図 13】電源供給走査回路の出力段の回路構成の一例を示す回路図である。

【図 14】電源供給走査回路の出力段の入力および出力波形を示すタイミング波形図である。

【図 15】本発明の第 2 実施形態に係る有機 E L 表示装置の構成の概略を示すシステム構成図である。

【図 16】閾値補正準備期間における電源電位 D_S のタイミングのみを抜き出して示したタイミング波形図である。

【図 17】本発明の変形例に係る電源電位 D_S を用いる場合の回路動作の説明に供するタイミング波形図である。

【図 18】本発明が適用されるテレビジョンセットの外観を示す斜視図である。

【図 19】本発明が適用されるデジタルカメラの外観を示す斜視図であり、(A) は表側から見た斜視図、(B) は裏側から見た斜視図である。

【図 20】本発明が適用されるノート型パーソナルコンピュータの外観を示す斜視図である。

【図 21】本発明が適用されるビデオカメラの外観を示す斜視図である。

【図 22】本発明が適用される携帯電話機を示す外観図であり、(A) は開いた状態での正面図、(B) はその側面図、(C) は閉じた状態での正面図、(D) は左側面図、(E) は右側面図、(F) は上面図、(G) は下面図である。

【符号の説明】

【 0 1 7 5 】

1 0 A , 1 0 B ... 有機 E L 表示装置、2 0 ... 画素 (画素回路) 、2 1 ... 有機 E L 素子、2 2 ... 駆動トランジスタ、2 3 ... 書込みトランジスタ、2 4 ... 保持容量、3 0 ... 画素アレイ部、3 1 (3 1 - 1 ~ 3 1 - m) ... 走査線、3 2 (3 2 - 1 ~ 3 2 - m) ... 電源供給線、3 3 (3 3 - 1 ~ 3 3 - n) ... 信号線、3 4 ... 共通電源供給線、4 0 ... 書込み走査回路、5 0 ... 電源供給走査回路、5 0 B ... 出力バッファ部、6 0 ... 信号出力回路、7 0 ... 表示パネル、 W_S ($W_S 1 \sim W_S m$) ... 走査線の電位 (書込み走査信号) 、 D_S ($D_S 1 \sim D_S m$) ... 電源供給線の電位

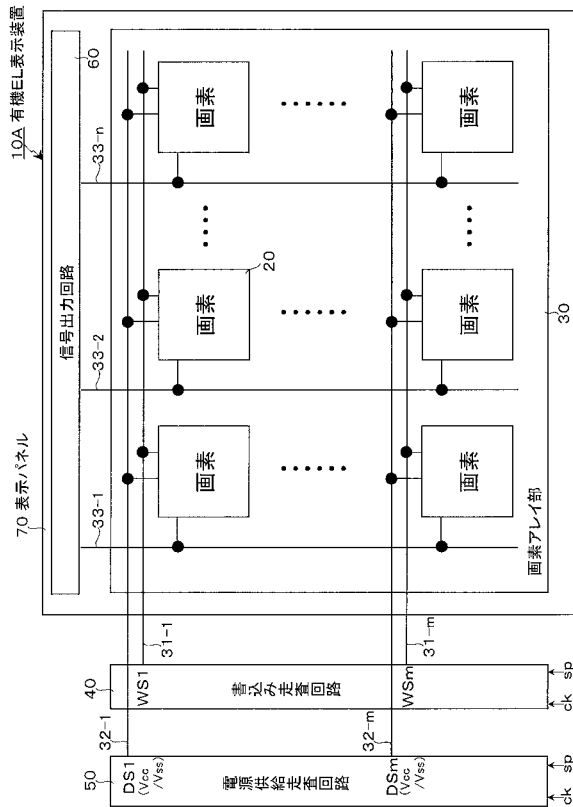
10

20

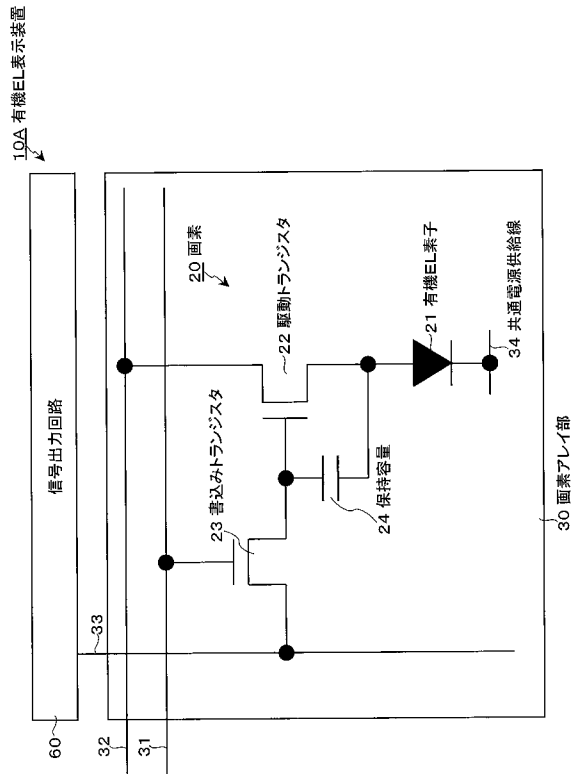
30

40

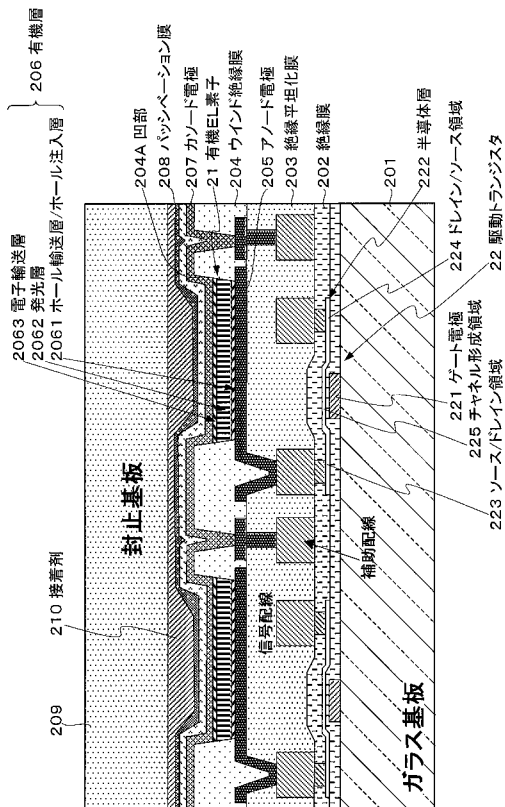
【図 1】



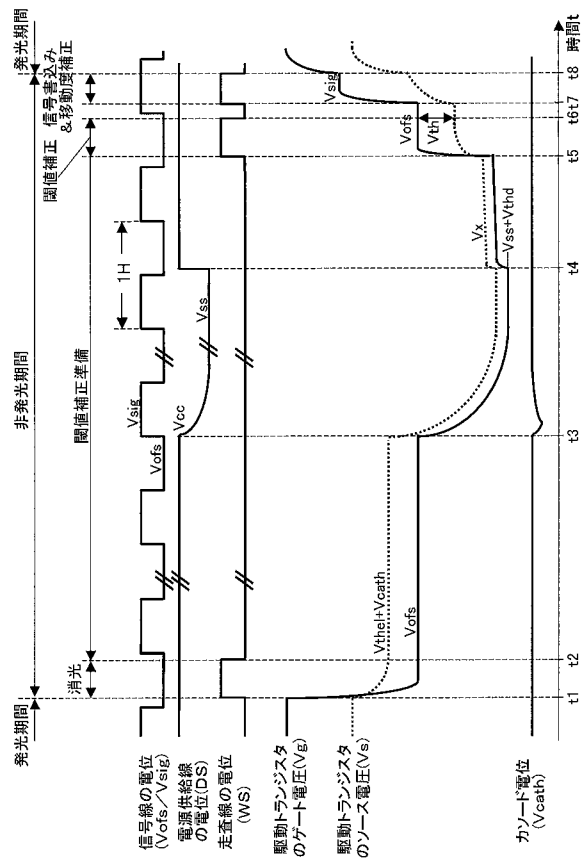
【図 2】



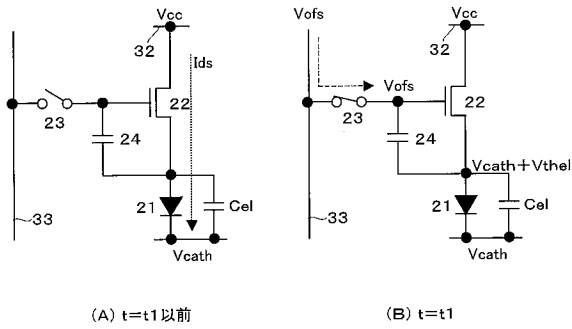
【図 3】



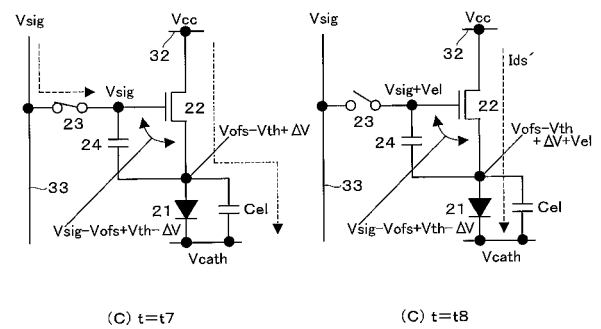
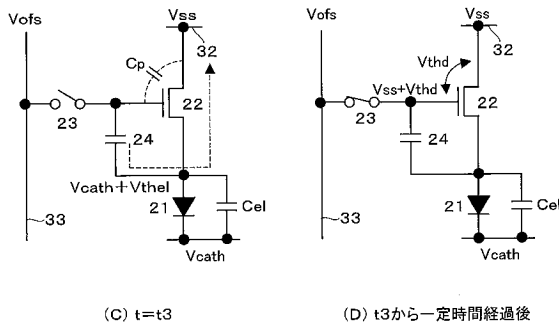
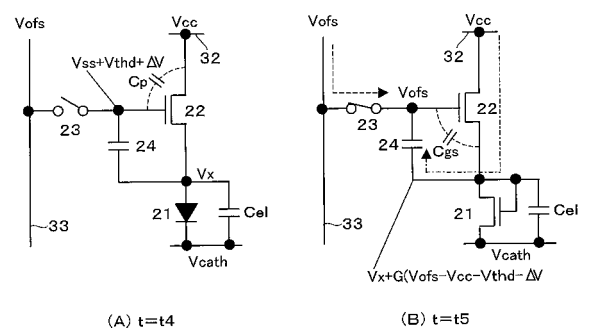
【図 4】



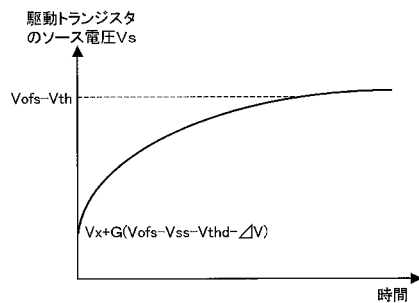
【図 5】



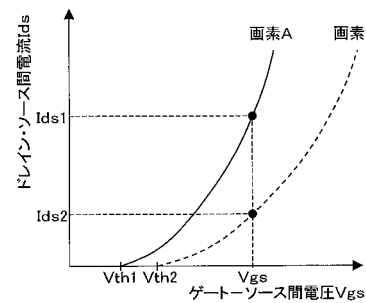
【図 6】



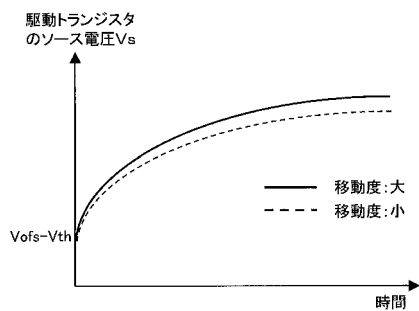
【図 7】



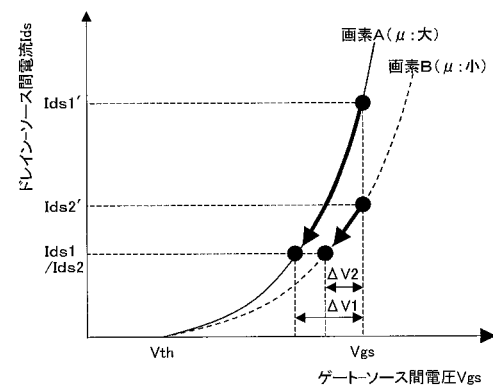
【図 9】



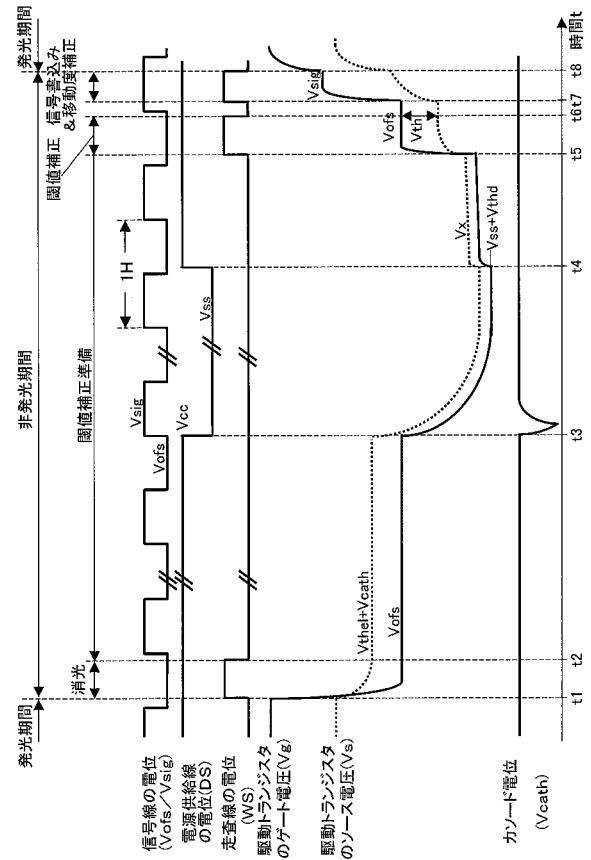
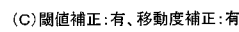
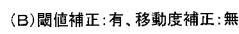
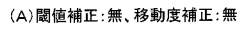
【図 8】



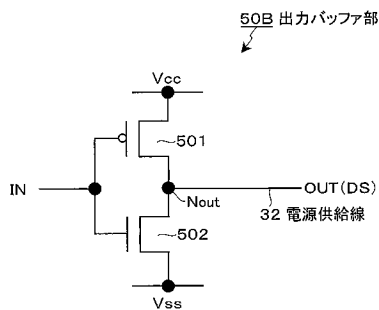
【図 10】



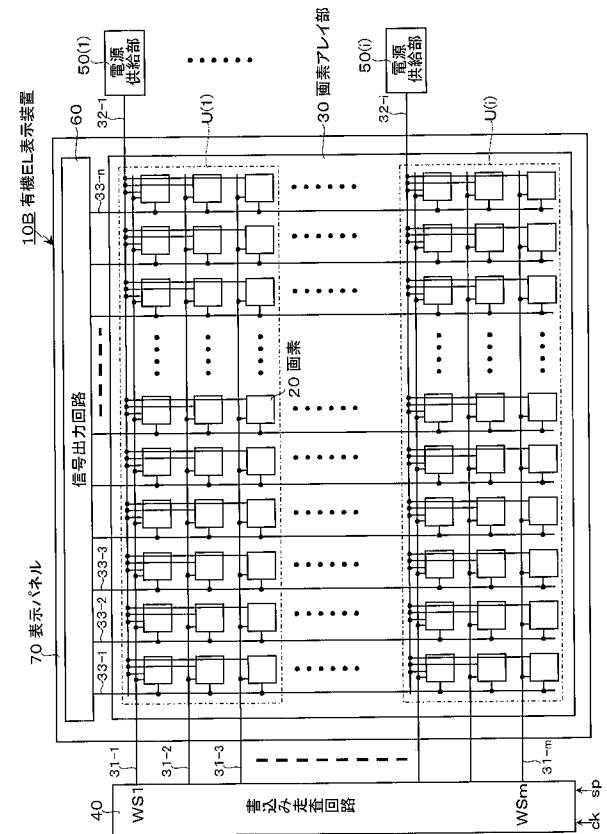
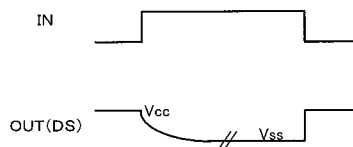
【 図 1 2 】



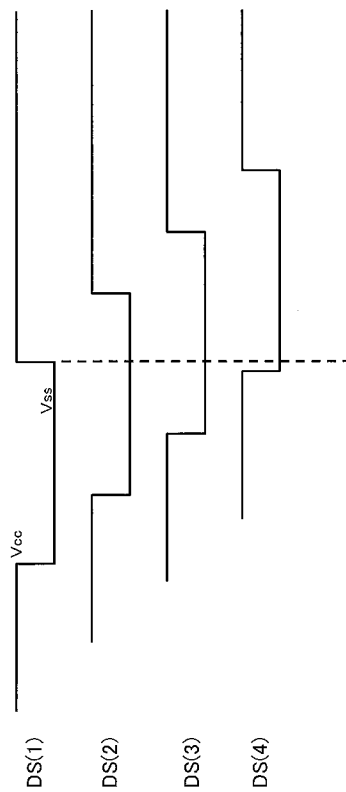
【 ㊦ 1 5 】



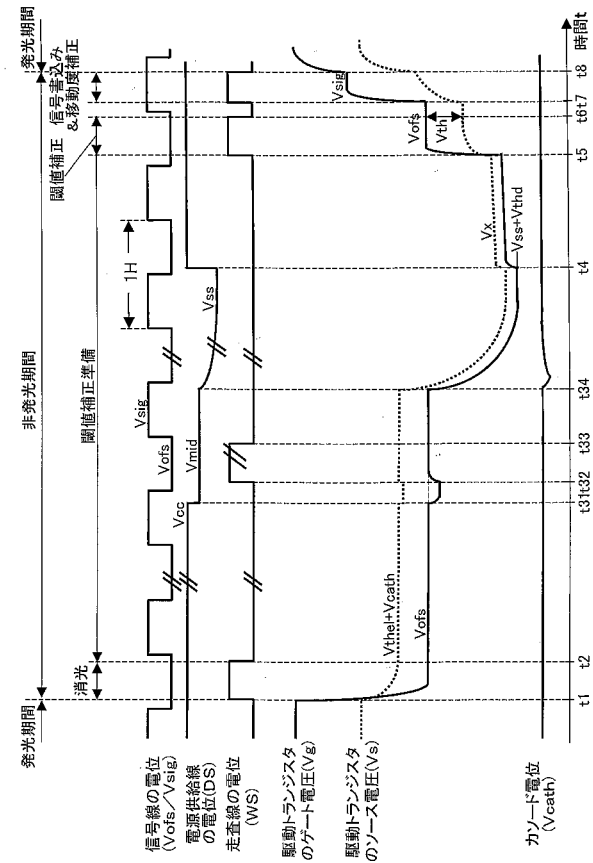
【 図 1 4 】



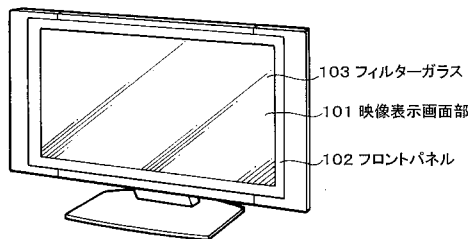
【図 16】



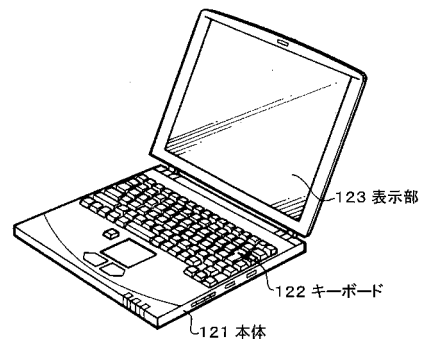
【図 17】



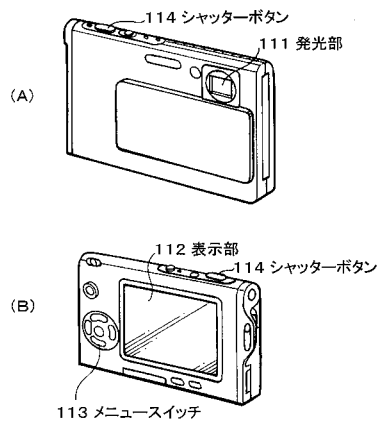
【図 18】



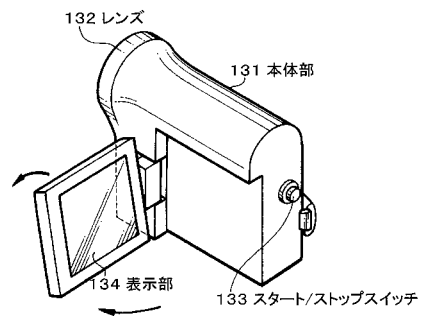
【図 20】



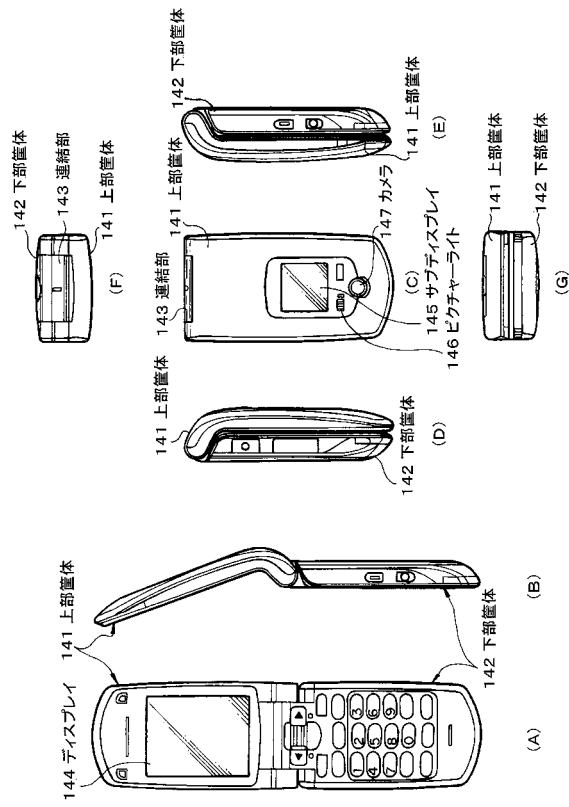
【図 19】



【図 21】



【図 22】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20 6 4 2 A	
	H 0 5 B 33/14 A	

(72)発明者 豊村 直史

東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内

F ターム(参考) 3K107 AA01 BB01 CC33 EE03 HH04

5C080 AA06 BB05 CC03 DD01 DD05 EE28 EE29 EE30 FF07 FF11

HH09 JJ01 JJ02 JJ03 JJ04 JJ05 JJ06 KK43 KK47

专利名称(译)	显示装置，显示装置的驱动方法和电子设备		
公开(公告)号	JP2010145581A	公开(公告)日	2010-07-01
申请号	JP2008320600	申请日	2008-12-17
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	山本哲郎 内野勝秀 豊村直史		
发明人	山本 哲郎 内野 勝秀 豊村 直史		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2320/043 G09G2320/045 G09G2330/021		
FI分类号	G09G3/30.K G09G3/20.624.B G09G3/20.612.A G09G3/30.J G09G3/20.641.P G09G3/20.642.A H05B33/14.A G09G3/3225 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH04 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD01 5C080/DD05 5C080/EE28 5C080/EE29 5C080/EE30 5C080/FF07 5C080/FF11 5C080/HH09 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK43 5C080/KK47 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB22 5C380/AB24 5C380/AB31 5C380/AB34 5C380/AB36 5C380/AB37 5C380/AB46 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/BA11 5C380/BA12 5C380/BA19 5C380/BA20 5C380/BA28 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BD02 5C380/BE03 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CB20 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC05 5C380/CC07 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC41 5C380/CC62 5C380/CD012 5C380/CF07 5C380/CF53 5C380/DA06 5C380/DA34 5C380/DA35 5C380/DA47 5C380/HA13		
代理人(译)	山本隆久 吉井正明 森浩一		
外部链接	Espacenet		

摘要(译)

在阈值校正准备时段期间抑制公共电源线的电位的波动并且抑制由电势的波动引起的图像质量缺陷的发生。从高电位 V_{cc} 到电源线的低电位 V_{ss} 的转变，即，下降瞬态响应（瞬态）从从低电位 V_{ss} 到高电位 V_{cc} 的转变，即，在上升沿处的瞬态响应而变化。也慢下来。结果，抑制了阈值校正准备时段中公共电源线的电位（有机EL元件的阴极电位 V_{cath} ）的波动。点域4

