(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2006-65242
(P2006-65242A)
(43)公開日　平成18年3月9日(2006.3.9)

(51)Int.Cl.		F I			テーマコード（参考）
G09G 3/30	(2006.01)	G09G	3/30	J	3K007
G09G 3/20	(2006.01)	G09G	3/20	611H	5C080
H01L 51/50	(2006.01)	G09G	3/20	623B	
		G09G	3/20	623R	
		G09G	3/20	641D	

審査請求 未請求　請求項の数 1　ＯＬ　（全 266 頁）　最終頁に続く

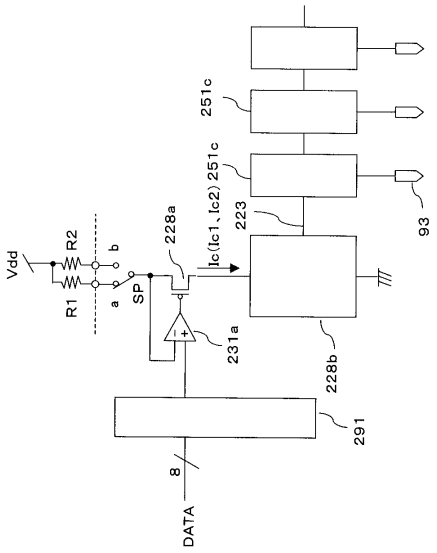
(21)出願番号　特願2004-250790 (P2004-250790)
(22)出願日　平成16年8月30日 (2004.8.30)

(71)出願人　302020207
東芝松下ディスプレイテクノロジー株式会社
東京都港区港南４－１－８
(74)代理人　100092794
弁理士　松田　正道
(72)発明者　高原　博司
東京都港区港南四丁目１番８号　東芝松下ディスプレイテクノロジー株式会社内

Ｆターム(参考)　3K007 AB17 BA06 DB03 GA00
5C080 AA06 BB05 CC03 DD05 DD08 EE28 EE29 FF11 HH09 JJ01 JJ02 JJ03 JJ04 JJ05 JJ06

(54)【発明の名称】ＥＬ表示装置

(57)【要約】
【課題】トランジスタのしきい値ばらつきによる表示むらの発生を抑制することが可能なＥＬ表示装置を提供する。
【解決手段】ソースドライバ回路（ＩＣ）１４に外づけ抵抗Ｒ１、Ｒ２が取り付けられている。Ｒ２＞　Ｒ１なる関係とし、Ｒ１とＲ２のどちらの抵抗を利用するかは、ソースドライバ回路（ＩＣ）１４内に構成されたアナログスイッチＳｐで切り換えることができる。スイッチＳｐによりＲ２を選択した場合の基準電流Ｉｃ２は、Ｒ１を選択した場合の基準電流Ｉｃ１に対して１０倍（Ｉｃ２＝１０・Ｉｃ１）の関係とする。基準電流ＩｃはＲ２を選択したとき、Ｉｃ２となり、トランジスタ群２２８ｂに印加され、端子９３から出力される電流も通常の１０倍となる。プリチャージ期間以外は、スイッチＳｐはａ端子を選択している。したがって、抵抗Ｒ１が選択され、通常の基準電流Ｉｃ１が流れる。
【選択図】　図２５４



【特許請求の範囲】
【請求項１】
ＥＬ素子がマトリックス状に形成された表示パネルと、
プログラム電流を出力するソースドライバ回路と、
前記ソースドライバ回路から出力する電流の大きさを決定する第１の抵抗と第２の抵抗と、
前記第１の抵抗または第２の抵抗を選択するスイッチ回路を具備することを特徴とするＥＬ表示装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、有機または無機エレクトロルミネッセンス（ＥＬ）素子などを用いたＥＬ表示パネル（表示装置）などの自発光表示パネルに関するものである。また、これらの表示パネルなどの駆動回路（ＩＣなど）および駆動方法などに関するものである。
【背景技術】
【０００２】
電気光学変換物質として有機エレクトロルミネッセンス（ＥＬ）材料を用いたアクティブマトリクス型の画像表示装置は画素に書き込まれる電流に応じて発光輝度が変化する。有機ＥＬ表示パネルは各画素に発光素子を有する自発光型である。有機ＥＬ表示パネルは、液晶表示パネルに比べて画像の視認性が高い、バックライトが不要、応答速度が速い等の利点を有する。
【０００３】
有機ＥＬ表示パネルも単純マトリクス方式とアクティブマトリクス方式の構成が可能である。前者は構造が単純であるものの大型かつ高精細の表示パネルの実現が困難である。しかし、安価である。後者は大型、高精細表示パネルを実現できる。しかし、制御方法が技術的に難しい、比較的高価であるという課題がある。現在では、アクティブマトリクス方式の開発が盛んに行われている。アクティブマトリクス方式は、各画素に設けた発光素子に流れる電流を画素内部に設けた薄膜トランジスタ（トランジスタ）によって制御する。
【０００４】
アクティブマトリクス方式の有機ＥＬ表示パネルは、例えば特許文献１に開示されている。この表示パネルの一画素の等価回路を図２に示す。画素１６は発光素子であるＥＬ素子１５、第１のトランジスタ（駆動用トランジスタ）１１ａ、第２のトランジスタ（スイッチング用トランジスタ）１１ｂおよび蓄積容量（コンデンサ）１９からなる。発光素子１５は有機エレクトロルミネッセンス（ＥＬ）素子である。本明細書では、ＥＬ素子１５に電流を供給（制御）するトランジスタ１１ａを駆動用トランジスタ１１と呼ぶ。また、図２のトランジスタ１１ｂのように、スイッチとして動作するトランジスタをスイッチ用トランジスタ１１と呼ぶ。
【０００５】
有機ＥＬ素子１５は多くの場合、整流性があるため、ＯＬＥＤ（有機発光ダイオード）と呼ばれることがある。図１、図２などでは発光素子１５としてダイオードの記号を用いている。
【０００６】
本発明における発光素子１５はＯＬＥＤに限るものではなく、素子１５に流れる電流量によって輝度が制御されるものであればよい。たとえば、無機ＥＬ素子が例示される。その他、半導体で構成される白色発光ダイオードが例示される。また、発光トランジスタでもよい。また、発光素子１５は必ずしも整流性が要求されるものではない。双方向性素子であってもよい。
【０００７】
図２の動作について説明する。ゲート信号線１７を選択状態とし、ソース信号線１８に

輝度情報を表す電圧の映像信号を印加する。トランジスタ１１ａが導通し、映像信号が蓄積容量１９に充電される。ゲート信号線１７を非選択状態とすると、トランジスタ１１ａがオフになる。トランジスタ１１ｂは電気的にソース信号線１８から切り離される。しかし、トランジスタ１１ａのゲート端子電位は蓄積容量（コンデンサ）１９によって安定に保持される。トランジスタ１１ａを介して発光素子１５に流れる電流は、トランジスタ１１ａのゲート／ドレイン端子間電圧Ｖｇｄに応じた値となる。発光素子１５はトランジスタ１１ａを通って供給される電流量に応じた輝度で発光し続ける。

【特許文献１】特開平８－２３４６８３号公報

【発明の開示】

【発明が解決しようとする課題】

【０００８】

有機ＥＬ表示パネルは、低温ポリシリコントランジスタアレイを用いてパネルを構成する。しかし、有機ＥＬ素子は、ポリシリコントランジスタアレイのトランジスタ特性にバラツキがあると、表示ムラが発生する。

【０００９】

図２は電圧プログラム方式の画素構成である。図２に図示する画素構成では、電圧の映像信号をトランジスタ１１ａで電流信号に変換する。したがって、トランジスタ１１ａに特性バラツキがあると、変換される電流信号にもバラツキが発生する。通常、トランジスタ１１ａは５０％以上の特性バラツキが発生している。したがって、図２の構成では表示ムラが発生する。

【００１０】

表示ムラは、電流プログラム方式の構成を採用することにより低減することが可能である。電流プログラムを実施するためには、電流駆動方式のドライバ回路が必要である。しかし、電流駆動方式のドライバ回路にも電流出力段を構成するトランジスタ素子にバラツキが発生する。そのため、各出力端子からの階調出力電流にバラツキが発生し、良好な画像表示ができないという課題があった。また、電流プログラム方式は、低階調領域では、駆動電流が小さい。そのため、ソース信号線１８の寄生容量により良好に駆動できないという課題があった。特に、０階調目の電流は、０（流れない）である。したがって、画像表示を書き換えできないという課題があった。

【課題を解決するための手段】

【００１１】

本発明の表示パネル（表示装置）のドライバ回路は、主として単位電流を出力する複数のトランジスタを具備し、このトランジスタの個数を変化させることにより出力電流を出力するものである。また、各出力端子に接続する単位トランジスタ群を順次切り換える。本発明の表示装置などは、ｄｕｔｙ比制御、基準電流比制御などを実施する。

【発明の効果】

【００１２】

本発明のソースドライバ回路は、基準電流の発生回路を有し、また、ゲートドライバ回路を制御することにより、電流制御、輝度制御を実現する。また、画素は、複数あるいは単独の駆動用トランジスタを有し、ＥＬ素子１５に流れる電流バラツキが発生しないように駆動する。また、各端子に接続する単位トランジスタ群を変化させる。したがって、トランジスタのしきい値ばらつきによる表示むらの発生を抑制することが可能となる。駆動用トランジスタ素子の温度依存性も補償する。また、ｄｕｔｙ比制御などによりダイナミックレンジが広い画像表示を実現できる。

【００１３】

本発明の表示パネル、表示装置等は、高画質、良好な動画表示性能、低消費電力、低コスト化、高輝度化等のそれぞれの構成に応じて特徴ある効果を発揮する。

【００１４】

本発明を用いれば、低消費電力の情報表示装置などを構成できるので、電力を消費しない。また、小型軽量化できるので、資源を消費しない。したがって、地球環境、宇宙環境

に優しいことになる。

【発明を実施するための最良の形態】

【００１５】

本明細書において、各図面は理解を容易するために、また作図を容易にするため、省略および拡大あるいは縮小した箇所がある。たとえば、図４に図示する表示パネルの断面図では薄膜封止膜４１などを十分厚く図示している。一方、図３において、封止フタ４０は薄く図示している。また、省略した箇所もある。たとえば、本発明の表示パネルなどでは、反射防止のために円偏光板などの位相フィルム（３８、３９）が必要である。しかし、本明細書の各図面では円偏光板などを省略している。以上のことは以下の図面に対しても同様である。また、同一番号または、記号等を付した箇所は同一もしくは類似の形態もしくは材料あるいは機能もしくは動作を有する。

【００１６】

本明細書では、駆動用トランジスタ１１、スイッチング用トランジスタ１１は薄膜トランジスタとして説明するが、これに限定するものではない。薄膜ダイオード（ＴＦＤ）、リングダイオードなどでも構成することができる。また、薄膜素子に限定するものではなく、シリコンウエハに形成したトランジスタでもよい。もちろん、ＦＥＴ、ＭＯＳ－ＦＥＴ、ＭＯＳトランジスタ、バイポーラトランジスタでもよい。これらも基本的に薄膜トランジスタである。その他、バリスタ、サイリスタ、リングダイオード、ホトダオード、ホトトランジスタ、ＰＬＺＴ素子などでもよいことは言うまでもない。つまり、本発明のトランジスタ１１、ゲートドライバ回路１２、ソースドライバ回路（ＩＣ）１４などは、これらのいずれでも使用することができる。

【００１７】

ソースドライバ回路（ＩＣ）１４は、単なるドライバ機能だけでなく、電源回路、バッファ回路（シフトレジスタなどの回路を含む）、データ変換回路、ラッチ回路、コマンドデコーダ、シフト回路、アドレス変換回路、画像メモリなどを内蔵させてもよい。

【００１８】

基板３０はガラス基板として説明をするが、シリコンウエハで形成してもよい。また、基板３０は、金属基板、セラミック基板、プラスティックシート（板）などを使用してよい。また、本発明の表示パネルなどを構成するトランジスタ１１、ゲートドライバ回路１２、ソースドライバ回路（ＩＣ）１４などは、ガラス基板などに形成し、転写技術により他の基板（プラスチックシート）に移し変えて構成または形成したものでもよいことは言うまでもない。フタ４０の材料あるいは構成に関しても基板３０と同様である。また、フタ４０、基板３０は放熱性を良好にするため、サファイアガラスなどを用いてもよいことは言うまでもない。

【００１９】

以下、本発明のＥＬ表示パネルについて図面を参照しながら説明をする。有機ＥＬ表示パネルは、図３に示すように、画素電極としての透明電極３５が形成されたガラス板３０（アレイ基板３０）上に、電子輸送層、発光層、正孔輸送層などからなる少なくとも１層の有機機能層（ＥＬ層）２９、及び金属電極（反射膜）（カソード）３６が積層されたものである。透明電極（画素電極）３５である陽極（アノード）にプラス、金属電極（反射電極）３６の陰極（カソード）にマイナスの電圧を加え、透明電極３５及び金属電極３６間に直流を印加することにより、有機機能層（ＥＬ膜）２９が発光する。

【００２０】

本発明では、画素電極である透明電極（ＩＴＯ）の膜厚をRGBのサブピクセルごとに変更している。有機ＥＬ層２９から出る光は、透明電極（ＩＴＯ）層３５界面、有機ＥＬ層２９、金属電極３６界面との間で反射を繰り返すうちに、両界面間の距離に応じて特定の波長の光だけが干渉して強度が高まり、そのほかの波長の光の強度は低下する。透明電極（ＩＴＯ）層３５の厚さを、ＲＧＢの各サブピクセルで変えることで、各ＲＧＢ光の色純度を向上させている。取り出す光の波長（Ｒ＞Ｇ＞Ｂ）が長いものほどＩＴＯ層を厚くしている。本発明の光のスペクトルは、赤（Ｒ）色と青（Ｂ）色でやや鋭いピークを持ち、

緑（Ｇ）色で緩やかなピークになっている。

【００２１】

なお、封止フタ４０とアレイ基板３０との空間には乾燥剤３７を配置する。これは、有機ＥＬ膜２９は湿度に弱いためである。乾燥剤３７によりシール剤を浸透する水分を吸収し有機ＥＬ膜２９の劣化を防止する。また、封止フタ４０とアレイ基板３０とは、周辺部を封止樹脂２５１１で封止する。乾燥剤３７などの水分吸収手段は、封止フタ４０などに直接塗布または蒸着することにより形成してもよい。

【００２２】

封止フタ４０とは、外部からの水分の浸入を防止あるいは抑制する手段であって、フタの形状に限定されるものではない。たとえば、ガラス板あるいはプラスティック板あるいはフィルムなどでもよい。また、融着ガラス、ステンレスなどの金属などでもよい。また、樹脂あるいは無機材料などの構成体であってもよい。また、蒸着技術などを用いて薄膜状の形成（図４を参照のこと）したものであってもよい。乾燥剤３７の表面からＥＬ膜までの距離は、０．２ｍｍ以上開けることが好ましい。

【００２３】

図３の本発明の有機ＥＬ表示パネルは、ガラスのフタ４０を用いて封止する構成である。しかし、本発明はこれに限定するものではない。たとえば、図４に図示するようにフィルム４１（薄膜でもよい。つまり、薄膜封止膜４１である）４１を用いた封止構造であってもよい。

【００２４】

封止フィルム（薄膜封止膜）４１としては電解コンデンサのフィルムにＤＬＣ（ダイヤモンド　ライク　カーボン）を蒸着したものを用いることが例示される。このフィルムは水分浸透性が極めて悪い（防湿性能が高い）。このフィルムを封止膜４１として用いる。また、ＤＬＣ（ダイヤモンド　ライク　カーボン）膜などを電極３６の表面に直接蒸着する構成ものよいことは言うまでもない。その他、樹脂薄膜と金属薄膜を多層に積層して、薄膜封止膜を構成してもよい。

【００２５】

薄膜４１あるいは封止構造を形成する膜の厚みは、上記干渉領域の膜厚には限定されない。５～１０μｍ以上あるいは、１００μｍ以上の厚みを有するように構成あるいは形成してもよいことは言うまでもない。また、封止構成の薄膜４１などが透過性を有する場合は、図４のＡ側が光出射側となり、不透過性あるいは光反射性の機能あるいは構造を有する場合は、Ｂ側が光出射側となる。

【００２６】

Ａ側とＢ側からの両方から光が出射されるように構成してもよい。この構成を採用する場合は、Ａ側からＥＬ表示パネルの画像を見る場合と、Ｂ側からＥＬ表示パネルの画像を見る場合とでは画像が左右反転する。したがって、Ａ側からＥＬ表示パネルの画像を見る場合と、Ｂ側からＥＬ表示パネルの画像を見る場合では、手動であるいはオートマチックに画像の左右を反転させる機能を付加する。この機能の実現は、映像信号の１画素行あるいは複数画素行分をラインメモリに蓄積し、ラインメモリの読み出し方向を反転させればよい。

【００２７】

図４のように封止フタ４０を用いず、封止膜４１で封止する構成を薄膜封止と呼ぶ。基板３０側から光を取り出す「下取り出し（図３を参照のこと。光取り出し方向は図３のＢ矢印方向である）」の場合の薄膜封止４１は、ＥＬ膜を形成後、ＥＬ膜上にカソードとなるアルミ電極を形成する。次にこのアルミ膜上に緩衝層としての樹脂層を形成する。緩衝層としては、アクリル、エポキシなどの有機材料が例示される。また、膜厚は１μｍ以上１０μｍ以下の厚みが適する。さらに好ましくは、膜厚は２μｍ以上６μｍ以下の厚みが適する。この緩衝膜上の封止膜７４を形成する。

【００２８】

緩衝膜がないと、応力によりＥＬ膜の構造が崩れ、筋状に欠陥が発生する。封止膜４１

は前述したように、ＤＬＣ（ダイヤモンド　ライク　カーボン）、あるいは電界コンデンサの層構造（誘電体薄膜とアルミ薄膜とを交互に多層蒸着した構造）が例示される。

【００２９】

有機ＥＬ膜２９側から光を取り出す「上取り出し（図４を参照のこと。光取り出し方向は図４のＡ矢印方向である）」の場合の薄膜封止は、有機ＥＬ膜２９を形成後、有機ＥＬ膜２９上にカソード（もしくはアノード）となるＡｇ－Ｍｇ膜を２０オングストローム以上３００オングストロームの膜厚で形成する。その上に、ＩＴＯなどの透明電極を形成して低抵抗化する。次に、好ましくはこの電極膜上に緩衝層としての樹脂層を形成する。この緩衝膜上に封止膜４１を形成する。

【００３０】

図３などにおいて、有機ＥＬ膜２９から発生した光の半分は、反射膜（カソード電極）３６で反射され、アレイ基板３０と透過して出射される。しかし、反射膜（カソード電極）３６には外光を反射し写り込みが発生して表示コントラストを低下させる。この対策のために、アレイ基板３０にλ／４板（位相フィルム）３８および偏光板（偏光フィルム）３９を配置している。偏光板３９と位相フィルム３８を一体したものは円偏光板（円偏光シート）と呼ばれる。

【００３１】

なお、位相フィルム３８、円偏光板１６５４は、有機樹脂フィルム、有機樹脂板に限定するものではなく、無機材料（水晶結晶、光学薄膜）などで構成してもよいことは言うまでもない。

【００３２】

図３、図４などの構成において、光出射面に、微細な四角錐、三角錐などの、プリズムを形成することにより、表示輝度を向上できる。四角錐の場合は、底辺の１辺は、１００μｍ以下１０μｍ以上にする。さらに好ましくは３０μｍ以下１０μｍ以上にする。三角錐の場合は、底辺の直径を１００μｍ以下１０μｍ以上にする。さらに好ましくは３０μｍ以下１０μｍ以上にする。四角錐、三角錐に限定するものではなく、五角錐以上であってもよい。底面が３角形、６角形、その他の多角形でもよい。また、形状が台形、立方体であってもよい。また、２次元形状（たとえば、３角形の形状が長手方向に連続する形状、一般にプリズムシートとよばれる形状）であってもよい。

【００３３】

画素１６が反射電極の場合はＥＬ膜２９から発生した光は上方向に出射される（図４のＡ方向に光が出射）。したがって、位相板３８および偏光板３９は光出射側に配置することはいうまでもない。

【００３４】

反射型画素１６は、画素電極３５を、アルミニウム、クロム、銀などで構成して得られる。また、画素電極３５の表面に、凸部（もしくは凹凸部）を設けることで有機ＥＬ膜２９との界面が広くなり発光面積が大きくなり、また、発光効率が向上する。なお、カソード３６（アノード３５）となる反射膜を透明電極に形成する、あるいは反射率を３０％以下に低減できる場合は、円偏光板は不要である。写り込みが大幅に減少するからである。また、光の干渉も低減し望ましい。

【００３５】

凸部（もしくは凹凸部）は、回折格子にすることは光取り出しに効果がある。回折格子は２次元あるいは３次元構造にする。回折格子のピッチは０．２μｍ以上２μｍ以下にすることが好ましい。この範囲で光効率が良好な結果が得られる。特に回折格子のピッチは０．３μｍ以上０．８μｍ以下にすることが好ましい。また、回折格子の形状は、サインカーブ状にすることが好ましい。

【００３６】

ＥＬ表示装置のカラー化は、マスク蒸着により行うが、本発明はこれに限定するものではない。たとえば、青色発光のＥＬ層を形成し、発光する青色光を、Ｒ、Ｇ、Ｂの色変換層（ＣＣＭ：カラーチェンジミディアムズ）でＲ、Ｇ、Ｂ光に変換してもよい。たとえば

、図４において、薄膜封止膜４１上あるいは下にカラーフィルターを配置する。もちろん、プレシジェンシャドーマスクを利用したＲＧＢ有機材料（ＥＬ材料）の打ち分け方式を採用してもよい。本発明のカラーＥＬ表示パネルはこれらのいずれの方式を用いても良い。

【００３７】

本発明のＥＬ表示パネル（ＥＬ表示装置）の画素１６の構造は、図１などに示すように、１つの画素１６が４つのトランジスタ１１ならびにＥＬ素子１５により形成される。画素電極３５はソース信号線１８と重なるように構成する。ソース信号線１８上に絶縁膜あるいはアクリル材料からなる平坦化膜３２を形成して絶縁し、平坦化膜３２上に画素電極３５を形成する。このようにソース信号線１８上の少なくとも１部に画素電極３５を重ねる構成をハイアパーチャ（ＨＡ）構造と呼ぶ。不要な干渉光などが低減し、良好な発光状態が期待できる。

【００３８】

平坦化膜３２は層間絶縁膜としても機能する。平坦化膜３２は、０．４μｍ以上２．０μｍ以下の膜厚に構成あるいは形成する。平坦化膜３２の膜厚が０．４μｍ以下であれば、層間絶縁が不良になりやすい（歩留まり低下）。２．０μｍ以上であればコンタクト接続部３４の形成が困難になり、コンタクト不良が発生しやすい（歩留まり低下する）。

【００３９】

本明細書ではＥＬ素子１５として有機ＥＬ素子（ＯＥＬ、ＰＥＬ、ＰＬＥＤ、ＯＬＥＤなど多種多様な略称で記述される）を例にあげて説明するがこれに限定するものではなく、無機ＥＬ素子にも適用されることは言うまでもない。

【００４０】

有機ＥＬ表示パネルに用いられるアクティブマトリックス方式は、特定の画素を選択し、必要な表示情報を与えられること。１フレーム期間を通じてＥＬ素子に電流を流すことができることという２つの条件を満足させなければならない。

【００４１】

この２つの条件を満足させるため、図２に図示する従来の有機ＥＬの画素構成では、第１のトランジスタ１１ｂは画素を選択するためのスイッチング用トランジスタとして機能させる。また、第２のトランジスタ１１ａはＥＬ素子１５に電流を供給するための駆動用トランジスタとして機能させている。

【００４２】

この構成を用いて階調を表示させる場合、駆動用トランジスタ１１ａのゲート電圧として階調に応じた電圧を印加する必要がある。したがって、駆動用トランジスタ１１ａのオン電流のばらつきがそのまま表示に現れる。

【００４３】

トランジスタのオン電流は単結晶で形成されたトランジスタであれば、きわめて均一であるが、安価なガラス基板に形成することのできる形成温度が４５０度以下の低温ポリシリ技術で形成した低温多結晶トタンジスタでは、そのしきい値のばらつきが±０．２Ｖ～±０．５Ｖの範囲でばらつきがある。そのため、駆動用トランジスタ１１ａを流れるオン電流がこれに対応してばらつき、表示にムラが発生する。これらのムラは、しきい値電圧のばらつきのみならず、トランジスタの移動度、ゲート絶縁膜の厚みなどでも発生する。また、トランジスタ１１の劣化によっても特性は変化する。

【００４４】

この現象は、低温ポリシリコン技術に限定されるものではなく、プロセス温度が４５０度（摂氏）以上の高温ポリシリコン技術でも、固相（ＣＧＳ）成長させた半導体膜を用いてトランジスタなどを形成したものでも発生する。その他、有機トランジスタでも発生する。アモルファスシリコントランジスタでも発生する。

【００４５】

図２のように、電圧を書き込むことにより、階調を表示させる方法では、均一な表示を得るために、デバイスの特性を厳密に制御する必要がある。しかし、現状の低温多結晶ポ

リシリコントランジスタなどではこのバラツキを所定範囲以内の抑えることができない。

【００４６】

本発明の表示パネルの画素１６を構成するトランジスタ１１は、ｐ－チャンネルポリシリコン薄膜トランジスタに構成される。また、トランジスタ１１ｂは、デュアルゲート以上であるマルチゲート構造としている。

【００４７】

本発明の表示パネルの画素１６を構成するトランジスタ１１ｂは、トランジスタ１１ａのソース－ドレイン間のスイッチとして作用する。したがって、トランジスタ１１ｂは、できるだけＯＮ／ＯＦＦ比の高い特性が要求される。トランジスタ１１ｂのゲートの構造をデュアルゲート構造以上のマルチゲート構造とすることによりＯＮ／ＯＦＦ比の高い特性を実現できる。

【００４８】

本明細書ではＥＬ素子１５として有機ＥＬ素子（ＯＥＬ、ＰＥＬ、ＰＬＥＤ、ＯＬＥＤなど多種多様な略称で記述される）を例にあげて説明するがこれに限定するものではなく、無機ＥＬ素子にも適用されることは言うまでもない。

【００４９】

図１の画素回路は、１画素内に４つのトランジスタ１１を有している。駆動用トランジスタ１１ａのゲート端子はトランジスタ１１ｂのソース端子に接続されている。トランジスタ１１ｂおよびトランジスタ１１ｃのゲート端子はゲート信号線１７ａに接続されている。トランジスタ１１ｂのドレイン端子はトランジスタ１１ｃのソース端子ならびにトランジスタ１１ｄのソース端子に接続され、トランジスタ１１ｃのドレイン端子はソース信号線１８に接続されている。トランジスタ１１ｄのゲート端子はゲート信号線１７ｂに接続され、トランジスタ１１ｄのドレイン端子はＥＬ素子１５のアノード電極に接続されている。

【００５０】

図１ではすべてのトランジスタはＰチャンネルで構成している。Ｐチャンネルは多少Ｎチャンネルのトランジスタに比較してモビリティが低いが、耐圧が大きくまた劣化も発生しにくいので好ましい。しかし、本発明はＥＬ素子構成をＰチャンネルで構成することのみに限定するものではない。Ｎチャンネルのみで構成してもよい。また、ＮチャンネルとＰチャンネルの両方を用いて構成してもよい。

【００５１】

パネルを低コストで作製するためには、画素を構成するトランジスタ１１をすべてＰチャンネルで形成し、内蔵ゲートドライバ回路１２もＰチャンネルで形成することが好ましい。このようにアレイをＰチャンネルのみのトランジスタで形成することにより、マスク枚数が５枚となり、低コスト化、高歩留まり化を実現できる。

【００５２】

ゲート信号線１７ｂに印加するトランジスタ１１ｄのオン電圧は、ゲート信号線１７ａに印加するトランジスタ１１ｂのオン電圧よりも低くする。具体的にはゲート信号線１７ａに印加するオン電圧は－９Ｖであるが、ゲート信号線１７ｂに印加するオン電圧は、－２～０Ｖである。ゲート信号線１７ｂに印加するトランジスタ１１ｄのオン電圧を、ゲート信号線１７ａに印加するトランジスタ１１ｂのオン電圧よりも低くすることにより、トランジスタ１１ｄのリークが減少し良好な黒表示を実現できる。ゲート信号線１７ａと１７ｂに印加するオフ電圧は同一にする。オフ電圧は８Ｖである。ゲート信号線１７ａと１７ｂに印加するオフ電圧は同一にすることにより電源回路の構成が簡略化させる。

【００５３】

図１のように画素１６の駆動用トランジスタ１１ａ、選択トランジスタ（１１ｂ、１１ｃ）がＰチャンネルトランジスタの場合は、突き抜け電圧が発生する。これは、ゲート信号線１７ａの電位変動が、選択トランジスタ（１１ｂ、１１ｃ）のＧ－Ｓ容量（寄生容量）を介して、コンデンサ１９の端子に突き抜けるためである。Ｐチャンネルトランジスタ１１ｂがオフするときにはＶｇｈ電圧となる。そのため、コンデンサ１９の端子電圧がＶ

ｄｄ側に少しシフトする。そのため、トランジスタ１１ａのゲート（Ｇ）端子電圧は上昇し、より黒表示となる。したがって、良好な黒表示を実現できる。

【００５４】

以上の実施例は、トランジスタ１１ｂのＧ－Ｓ容量（寄生容量）を介して、コンデンサ１９の電位を変動させ、コンデンサ１９の電位変動により、黒表示を良好にする構成である。しかし、本発明はこれに限定するものではない。たとえば、コンデンサ１９ｂを素子で形成してもよいことは言うまでもない。コンデンサ１９ｂはトランジスタ１１のゲート信号線１７を構成する電極層と、ソース信号線１８を構成（形成）する電極層を２つの電極として形成することが好ましい。コンデンサ１９ｂの容量はコンデンサ１９ａの容量の１／４以上１／１以下とすることが好ましい。

【００５５】

コンデンサ１９ｂなどによる突き抜け電圧のシフト量は一定であり、また、Ｖｇｈ電圧、Ｖｇｌ電圧が一定値であるからである。電流駆動方式（電流プログラム方式）では、低階調ではプログラム電流が小さくなり、ソース信号線１８の寄生容量の充放電が困難である。しかし、コンデンサ１９ｂになどよる突き抜け電圧を利用することにより、ソース信号線１８に印加するプログラム電流を比較的大きくでき、駆動用トランジスタ１１ａがＥＬ素子１５に流す電流はプログラム電流よりも小さくすることができる。つまり、微小なプログラム電流を画素１６に書き込むことができる。

【００５６】

逆に、突き抜け電圧を可変するには、Ｖｇｈ電圧またはＶｇｌ電圧もしくはＶｇｈ電圧とＶｇｌ電圧の電位差を変化すればよい。たとえば、点灯率（後に説明する）に応じて、Ｖｇｈ電圧、Ｖｇｌ電圧を変化あるいは操作する駆動方法が例示される。また、コンデンサ１９ｂの容量を変化すればよい。また、アノード電圧Ｖｄｄを変化させればよい。たとえば、点灯率（後に説明する）に応じて、アノード電圧（Ｖｄｄ）を変化あるいは操作する駆動方法が例示される。これらを変化あるいは変更することにより突き抜け電圧の大きさを制御でき、駆動用トランジスタ１１ａが流す電流量を制御でき、良好な黒表示を実現できる。

【００５７】

突き抜け電圧の大きさは階調番号によらず、一定値であるため、低階調領域では、相対的に減少するプログラム電流量の割合が大きくなる。したがって、低階調領域になるほど、良好な黒表示を実現できる。

【００５８】

以下、さらに本発明の理解を容易にするために、本発明のＥＬ素子構成について図５を用いて説明する。本発明のＥＬ素子構成は２つのタイミングにより制御される。第１のタイミングは必要な電流値を記憶させるタイミングである。このタイミングでトランジスタ１１ｂならびにトランジスタ１１ｃがＯＮすることにより、等価回路として図５（ａ）となる。ここで、信号線より所定の電流Ｉｗが書き込まれる。これによりトランジスタ１１ａはゲートとドレインが接続された状態となり、このトランジスタ１１ａとトランジスタ１１ｃを通じて電流Ｉｗが流れる。したがって、トランジスタ１１ａのゲートーソースの電圧はＩ１が流れるような電圧となる。

【００５９】

第２のタイミングはトランジスタ１１ａとトランジスタ１１ｃが閉じ、トランジスタ１１ｄが開くタイミングであり、そのときの等価回路は図５（ｂ）となる。トランジスタ１１ａのソースーゲート間の電圧は保持されたままとなる。この場合、トランジスタ１１ａは常に飽和領域で動作するため、Ｉｗの電流は一定となる。

【００６０】

以上の動作を図示すると、図６に図示するようになる。図６（ａ）の６１ａは、表示画面６４における、ある時刻での電流プログラムされている画素（行）（書き込み画素行）を示している。画素（行）６１ａは、図５（ｂ）に図示するように非点灯（非表示画素（行））とする。

【００６１】
図１の画素構成の場合は、図５（ａ）に示すように、電流プログラム時は、プログラム電流Ｉｗがソース信号線１８に流れる。この電流Ｉｗが駆動用トランジスタ１１ａを流れ、プログラム電流Ｉｗを流す電流が保持されるように、コンデンサ１９に電圧設定（プログラム）される。このとき、トランジスタ１１ｄはオープン状態（オフ状態）である。なお、図１などのコンデンサ１９の一方の端子は、前段（1行まえの画素）あるいは後段（次に選択される画素）のゲート信号線１７ａに接続してもよい。
【００６２】
次に、ＥＬ素子１５に電流を流す期間は図５（ｂ）のように、トランジスタ１１ｃ、１１ｂがオフし、トランジスタ１１ｄが動作する。つまり、ゲート信号線１７ａにオフ電圧（Ｖｇｈ）が印加され、トランジスタ１１ｂ、１１ｃがオフする。一方、ゲート信号線１７ｂにオン電圧（Ｖｇｌ）が印加され、トランジスタ１１ｄがオンする。
【００６３】
図６の駆動方法のタイミングチャートを図７に図示する。図７でわかるように、各選択された画素行（選択期間は、１Ｈとしている）において、ゲート信号線１７ａにオン電圧（Ｖｇｌ）が印加されている時（図７（ａ）を参照）には、ゲート信号線１７ｂにはオフ電圧（Ｖｇｈ）が印加されている（図７（ｂ）を参照）。この期間は、ＥＬ素子１５には電流が流れていない（非点灯状態）。
【００６４】
選択されていない画素行において、ゲート信号線１７ａにオフ電圧（Ｖｇｈ）が印加され、ゲート信号線１７ｂにはオン電圧（Ｖｇｌ）が印加されている。また、この期間は、ＥＬ素子１５に電流が流れている（点灯状態）。また、点灯状態では、ＥＬ素子１５は所定のＮ倍の輝度（Ｎ・Ｂ）で点灯し、その点灯期間は１Ｆ／Ｎである。したがって、１Ｆを平均した表示パネルの表示輝度は、（Ｎ・Ｂ）×（１／Ｎ）＝Ｂ（所定輝度）となる。なお、Ｎは１以上であればいずれの値でもよい。
【００６５】
つぎに、図８を用いて、本発明のＥＬ表示パネルで使用する電源（電圧）について説明をする。ゲートドライバ回路１２は、バッファ回路８２とシフトレジスタ回路８１で構成される。バッファ回路８２はオフ電圧（Ｖｇｈ）とオン電圧（Ｖｇｌ）を電源電圧として使用する。一方、シフトレジスタ回路８１はシフトレジスタの電源ＶＧＤＤとグラント（ＧＮＤ）電圧を使用し、また、入力信号（ＣＬＫ、ＵＤ、ＳＴ）の反転信号を発生させるためのＶＲＥＦ電圧を使用する。また、ソースドライバ回路（ＩＣ）１４は、電源電圧Ｖｓとグランド（ＧＮＤ）電圧を使用する。
【００６６】
ゲートドライバ回路１２ａは、シフトレジスタ回路８１ａとバッファ回路８２を具備している。したがって、ゲートドライバ回路１２ａはゲート信号線１７ａをオンオフ制御する。ゲート信号線１７ｂは、用のシフトレジスタ回路８１ｂ（図示せず）とバッファ回路８２（図示せず）を内蔵する。なお、説明を容易にするため、画素構成は図１を例にあげて説明をする。
【００６７】
各シフトレジスタ回路８１は正相と負相のクロック信号ＣＬＫｘ（ＣＬＫｘＰ、ＣＬＫｘＮ）、スタートパルス（ＳＴｘ）で制御される。なお、ｘは添え字である。その他、ゲート信号線の出力、非出力を制御するイネーブル（ＥＮＡＢＬ）信号、シフト方向を上下逆転するアップダウン（ＵＰＤＷＭ）信号を付加することが好ましい。他に、スタートパルスがシフトレジスタ回路８１にシフトされ、そして出力されていることを確認する出力端子などを設けることが好ましい。
【００６８】
シフトレジスタ回路８１のシフトタイミングはコントロールＩＣ７２２（後述する）からの制御信号で制御される。また、外部データのレベルシフトを行うレベルシフト回路８１を内蔵する。なお、クロック信号は正相のみとしてもよい。正相のみのクロック信号と

することにより信号線数が削減でき、狭額縁化を実現できる。

【００６９】

シフトレジスタ回路８１のバッファ容量は小さいため、直接にはゲート信号線１７を駆動することができない。そのため、シフトレジスタ回路８１の出力とゲート信号線１７を駆動する出力ゲート間には少なくとも２つ以上のインバータ回路が形成されている。

【００７０】

ソースドライバ回路（ＩＣ）１４を低温ポリシリなどのポリシリ技術で基板３０上に直接形成する場合も同様であり、ソース信号線１８を駆動するトランスファーゲートなどのアナログスイッチのゲートとソースドライバ回路（ＩＣ）１４のシフトレジスタ間には複数のインバータ回路が形成される。

【００７１】

以下の事項（シフトレジスタの出力と、信号線を駆動する出力段（出力ゲートあるいはトランスファーゲートなどの出力段間に配置されるインバータ回路に関する事項）は、ソースドライブおよびゲートドライバ回路に共通の事項である。

【００７２】

ここで理解を容易にするため、電圧値を規定する。まず、アノード電圧Ｖｄｄを６（Ｖ）とし、カソード電圧Ｖｓｓを－９（Ｖ）とする（図１などを参照のこと）。ＧＮＤ電圧は０（Ｖ）とし、ソースドライバ回路のＶｓ電圧はＶｄｄ電圧と同一の６（Ｖ）とする。ＶｇｈｌとＶｇｈ２電圧はＶｄｄより０．５（Ｖ）以上３．０（Ｖ）以下とすることが好ましい。ここでは、Ｖｇｈ１＝Ｖｇｈ２＝８（Ｖ）とする。

【００７３】

ゲートドライバ回路１２のＶｇｌ１は、図１のトランジスタ１１ｃのオン抵抗を十分に小さくするため、低くする必要がある。ここでは、回路構成を容易にするため、Ｖｇｈ１と絶対値が逆であるＶｇｌ１＝－８（Ｖ）にする。ＶＧＤＤ電圧は、Ｖｇｈよりも低く、ＧＮＤ電圧よりも高くする必要がある。ここでは、発生電圧回路を容易にし、回路コストを低減するため、Ｖｇｈ電圧の１／２の４（Ｖ）にする。一方で、Ｖｇｌ２電圧は、余り低くすると、トランジスタ１１ｂのリークを発生する危険性があるため、したがって、ＶＧＤＤ電圧とＶｇｌ１電圧の中間電圧にすることが好ましい。ここでは、電圧回路を容易にし、回路コストを低減するため、ＶＧＤＤ電圧と絶対値が等しく、また反対極性である－４（Ｖ）にする。

【００７４】

以上の実施例は、１画素行ごとに１本の選択画素行を配置（形成）する構成であった。本発明は、これに限定するものではなく、複数の画素行で１本のゲート信号線１７ａを配置（形成）してもよい。

【００７５】

図１０はその実施例である。なお、説明を容易にするため、画素構成は図１の場合を主として例示して説明をする。図１０ではゲート信号線１７ａは３つの画素（１６Ｒ、１６Ｇ、１６Ｂ）を同時に選択する。Ｒの記号とは赤色の画素関連を意味し、Ｇの記号とは緑色の画素関連を意味し、Ｂの記号とは青色の画素関連を意味するものとする。

【００７６】

ゲート信号線１７ａの選択により、画素１６Ｒ、画素１６Ｇおよび画素１６Ｂが同時に選択されデータ書き込み状態となる。画素１６Ｒはソース信号線１８Ｒから映像データをコンデンサ１９Ｒに書き込み、画素１６Ｇはソース信号線１８Ｇから映像データをコンデンサ１９Ｇに書き込む。画素１６Ｂはソース信号線１８Ｂから映像データをコンデンサ１９Ｂに書き込む。

【００７７】

画素１６Ｒのトランジスタ１１ｄはゲート信号線１７ｂＲに接続されている。また、画素１６Ｇのトランジスタ１１ｄはゲート信号線１７ｂＧに接続され、画素１６Ｂのトランジスタ１１ｄはゲート信号線１７ｂＢに接続されている。画素１６ＲのＥＬ素子１５Ｒ、画素１６ＧのＥＬ素子１５Ｇ、画素１６ＢのＥＬ素子１５Ｂは別個にオンオフ制御するこ

とができる。つまり、ＥＬ素子１５Ｒ、ＥＬ素子１５Ｇ、ＥＬ素子１５Ｂはそれぞれのゲート信号線１７ｂＲ、１７ｂＧ、１７ｂＢを制御することにより、点灯時間、点灯周期を個別に制御可能である。

【００７８】

図１０の表示パネルの構成において、ゲート信号線１７ｂＲにオンオフ電圧を印加することにより、Ｒ画素１６Ｒをオンオフ制御することができる。ゲート信号線１７ｂＧにオンオフ電圧を印加することにより、Ｇ画素１６Ｇをオンオフ制御することができる。ゲート信号線１７ｂＢにオンオフ電圧を印加することにより、Ｂ画素１６Ｂをオンオフ制御することができる。

【００７９】

また、以上の駆動を実現するためには、図１１に図示するように、ゲート信号線１７ｂＲを制御するゲートドライバ回路１２ｂＲ、ゲート信号線１７ｂＧを制御するゲートドライバ回路１２ｂＧ、ゲート信号線１７ｂＢを制御するゲートドライバ回路１２ｂＢを形成または配置すればよい。

【００８０】

以上の実施例は、主としてシリコンチップからなるＩＣでソースドライバ回路（ＩＣ）１４を構成するものであった。しかし、本発明はこれに限定するものではなく、アレイ基板３０に直接にポリシリコン技術（ＣＧＳ技術、低温ポリシリコン技術、高温ポリシリコン技術など）を用いて出力段回路９１など（ポリリシコン電流保持回路９２）を形成または構成してもよい。

【００８１】

図９はその実施例である。Ｒ、Ｇ、Ｂの出力段回路９１（Ｒ用は９１Ｒ、Ｇ用は９１Ｇ、Ｂ用は９１Ｂ）と、ＲＧＢの出力段回路９１を選択するスイッチＳがポリシリコン技術で形成（構成）されている。スイッチＳは１Ｈ期間を時分割して動作する。基本的には、スイッチＳは、１Ｈの１／３期間がＲの出力段回路９１Ｒに接続され、１Ｈの１／３期間がＧの出力段回路９１Ｇに接続され、残りの１Ｈの１／３期間がＢの出力段回路９１Ｂに接続される。

【００８２】

図９に図示するように、シフトレジスタ回路、サンプリング回路などを有するソースドライバ（回路）１４は、出力端子９３でソース信号線１８と接続される。ポリシリコンからなるスイッチＳが時分割で切り換えられ、出力段回路９１ＲＧＢに接続される。出力段回路９１ＲＧＢはＲＧＢの映像データからなる電流が保持される。なお、図９ではポリリシコン電流保持回路９２は１段分しか図示していないが、実際には２段構成されていることは言うまでもない。

【００８３】

図９では、スイッチＳは、１Ｈの１／３期間がＲの出力段回路９１Ｒに接続され、１Ｈの１／３期間がＧの出力段回路９１Ｇに接続され、残りの１Ｈの１／３期間がＢの出力段回路９１Ｂに接続されると説明したが本発明はこれに限定するものではない。Ｒ、Ｇ、Ｂを選択する期間は異なっていてもよい。これは、Ｒ、Ｇ、Ｂのプログラム電流Ｉｗの大きさが異なっているためである。Ｒ、Ｇ、ＢでＥＬ素子１５の効率が異なるため、Ｒ、Ｇ、Ｂでプログラム電流の大きさが異なる。プログラム電流の大きさが小さいと、ソース信号線１８の寄生容量の影響を受けやすいため、プログラム電流の印加期間を長くし、十分にソース信号線１８の寄生容量の充放電期間を確保する必要がある。一方で、ソース信号線１８の寄生容量の大きさは、Ｒ、Ｇ、Ｂで同一であることが多い。

【００８４】

以上の実施例では、ＲＧＢそれぞれに対応する画素１６を同時に走査する構成であった。本発明はこの構成に限定するものではない。フレーム（フィールド）ないで、ＲＧＢを個別に選択して画像表示を行っても良い。図１２はその実施例である。

【００８５】

図１２（ａ）は１フレーム（１フィールド）期間にＲ表示領域６３Ｒ、Ｇ表示領域６３

Ｇ、Ｂ表示領域６３Ｂを画面の上から下方向（下方向から上方向でもよい）に走査する。ＲＧＢの表示領域以外の領域は非表示領域６２とする。つまり、間欠駆動を実施する。Ｒ、Ｇ、Ｂの表示領域６３は個別に間欠表示が実施される。

【００８６】

図１２（ｂ）は１フィールド（１フレーム）期間にＲ、Ｇ、Ｂ表示領域６３を複数発生するように実施した実施例である。この駆動方法は、図２３の駆動方法と類似である。したがって、説明を必要としないであろう。図１２（ｂ）に表示領域６３を複数に分割することにより、フリッカの発生はより低フレームレートでもなくなる。

【００８７】

図１３（ａ）は、ＲＧＢの表示領域６３で表示領域６３の面積を異ならせたものである。なお、表示領域６３の面積は点灯期間に比例することは言うまでもない。図１３（ａ）では、Ｒ表示領域６３ＲとＧ表示領域６３Ｇと面積を同一にしている。Ｇ表示領域６３ＧよりＢ表示領域６３Ｂの面積を大きくしている。

【００８８】

有機ＥＬ表示パネルでは、Ｂの発光効率が悪い場合が多い。図１３（ａ）のようにＢ表示領域６３Ｂを他の色の表示領域６３よりも大きくすることにより、効率よくホワイトバランスをとることができるようになる。また、Ｒ、Ｇ、Ｂ表示領域６３の面積を変化させることにより、ホワイトバランス調整、色温度調整を容易に実現できる。

【００８９】

図１３（ｂ）は、１フィールド（フレーム）期間で、Ｂ表示期間６３Ｂが複数（６３Ｂ１、６３Ｂ２）となるようにした実施例である。図１３（ａ）は１つのＢ表示領域６３Ｂを変化させる方法であった。変化させることによりホワイトバランスを良好に調整できるようにする。図１３（ｂ）は、同一面積のＢ表示領域６３Ｂを複数表示させることにより、ホワイトバランス調整（補正）を良好にする。また、色温度補正（調整）を良好にする。たとえば、屋外と屋内で色温度を変化させることは有効である。たとえば、屋内では、色温度を低下させ、屋外では色温度を高くする。

【００９０】

本発明の駆動方式は図１２、図１３のいずれに限定するものではない。また、図１２、図１３の駆動方法では、Ｒ、Ｇ、Ｂの表示領域６３を発生し、間欠表示する。結果として動画ボケを解消でき、画素１６への書き込み不足を改善する。

【００９１】

図１３（ａ）と図１３（ｂ）とは組み合わせてもよいことはいうまでもない。たとえば、図１３（ａ）のＲＧＢの表示面積６３を変化し、かつ図１３（ｂ）のＲＧＢの表示領域６３を複数発生させる駆動方法の実施である。

【００９２】

図６では表示領域６３を１つにした方式である。しかし、本発明はこれに限定するものではない。たとえば、図１４に図示するように、表示領域６３と非表示領域６２とを複数に分散させてもよい。

【００９３】

また、図１４に図示するように、間欠する間隔（非表示領域６２／表示領域６３）は等間隔に限定するものではない。たとえば、ランダムでもよい（全体として、表示期間もしくは非表示期間が所定値（一定割合）となればよい）。また、ＲＧＢで異なっていてもよい。つまり、白（ホワイト）バランスが最適になるように、Ｒ、Ｇ、Ｂ表示期間もしくは非表示期間が所定値（一定割合）となるように調整（設定）すればよい。

【００９４】

非表示領域６２とは、ある時刻において非点灯ＥＬ素子１５の画素１６領域である。表示領域６３とは、ある時刻において点灯ＥＬ素子１５の画素１６領域である。非表示領域６２、表示領域６３は、水平同期信号に同期して、１画素行ずつ位置がシフトしていく。

【００９５】

本発明の駆動方法の説明を容易にするため、１／Ｎとは、１Ｆ（１フィールドまたは１

フレーム）を基準にしてこの１Ｆを１／Ｎにするとして説明する。しかし、１画素行が選択され、電流値がプログラムされる時間（通常、１水平走査期間（１Ｈ））があるし、また、走査状態によっては誤差も生じることは言うまでもない。もちろん、ゲート信号線１７ａからの突き抜け電圧によっても、理想状態から変化する。ここでは説明を容易にするため、理想状態として説明をする。

【００９６】

液晶表示パネルは、１Ｆ（１フィールドあるいは１フレーム）の期間の間は、画素に書き込んだ電流（電圧）を保持する。そのため、動画表示を行うと表示画像の輪郭ぼけが発生するという課題が発生する。

【００９７】

有機（無機）ＥＬ表示パネル（表示装置）も１Ｆ（１フィールドあるいは１フレーム）の期間の間は、画素に書き込んだ電流（電圧）を保持する。したがって、液晶表示パネルと同様の課題が発生する。一方、ＣＲＴのように電子銃で線表示の集合として画像を表示するディスプレイは、人間の眼の残像特性を用いて画像表示を行うため、動画表示画像の輪郭ぼけは発生しない。

【００９８】

本発明の駆動方法では、１Ｆ／Ｎの期間の間だけ、ＥＬ素子１５に電流を流し、他の期間（１Ｆ（Ｎ－１）／Ｎ）は電流を流さない。本発明の駆動方式を実施し画面の一点を観測した場合を考える。この表示状態では１Ｆごとに画像データ表示、黒表示（非点灯）が繰り返し表示される。つまり、画像データ表示状態が時間的に間欠表示状態となる。動画データ表示を、間欠表示状態でみると画像の輪郭ぼけがなくなり良好な表示状態を実現できる。つまり、ＣＲＴに近い動画表示を実現することができる。

【００９９】

本発明の駆動方法では、間欠表示を実現する。しかし、間欠表示を実施するにあたり、トランジスタ１１ｄは最大でも１Ｈ周期でオンオフ制御するだけでよい。したがって、回路のメインクロックは従来と変わらないため、回路の消費電力が増加することもない。液晶表示パネルでは、間欠表示を実現するために画像メモリが必要である。本発明は、画像データは各画素１６に保持されている。そのため、本発明の駆動方法において、間欠表示を実施するための画像メモリは不要である。

【０１００】

本発明の駆動方法はスイッチングのトランジスタ１１ｄ（図１などを参照のこと）などをオンオフさせるだけでＥＬ素子１５に流す電流を制御する。つまり、ＥＬ素子１５に流れる電流Ｉｗをオフしても、画像データはそのまま画素１６のコンデンサ１９の保持されている。したがって、次のタイミングでスイッチング素子１１ｄなどをオンさせ、ＥＬ素子１５に電流を流せば、その流れる電流は前に流れていた電流値と同一である。

【０１０１】

本発明では黒挿入（黒表示などの間欠表示）を実現する際においても、回路のメインクロックをあげる必要がない。また、時間軸伸張を実施する必要もないための画像メモリも不要である。また、有機ＥＬ素子１５は電流を印加してから発光するまでの時間が短く、高速に応答する。そのため、動画表示に適し、さらに間欠表示を実施することのより従来のデータ保持型の表示パネル（液晶表示パネル、ＥＬ表示パネルなど）の問題である動画表示の問題を解決できる。

【０１０２】

さらに、大型の表示装置でソース信号線１８の配線長が長くなり、ソース信号線１８の寄生容量が大きくなる場合は、Ｎ値を大きくすることのより対応できる。ソース信号線１８に印加するプログラム電流値をＮ倍にした場合、ゲート信号線１７ｂ（トランジスタ１１ｄ）の導通期間を１Ｆ／Ｎとすればよい。これによりテレビ、モニターなどの大型表示装置などにも適用が可能である。

【０１０３】

電流駆動では特に黒レベルの画像表示では２０ｎＡ以下の微小電流で画素のコンデンサ

１９をプログラムする必要がある。したがって、寄生容量が所定値以上の大きさで発生すると、１画素行にプログラムする時間（基本的には１Ｈ以内である。ただし、２画素行を同時に書き込む場合もあるので１Ｈ以内に限定されるものではない。）内に寄生容量を充放電することができない。１Ｈ期間で充放電できなれば、画素への書き込み不足となり、解像度がでない。

【０１０４】

図１の画素構成の場合、図５（ａ）に示すように、電流プログラム時は、プログラム電流Ｉｗがソース信号線１８に流れる。この電流Ｉｗがトランジスタ１１ａを流れ、Ｉｗを流す電流が保持されるように、コンデンサ１９に電圧設定（プログラム）される。このとき、トランジスタ１１ｄはオープン状態（オフ状態）である。

【０１０５】

次に、ＥＬ素子１５に電流を流す期間は図５（ｂ）のように、トランジスタ１１ｃ、１１ｂがオフし、トランジスタ１１ｄが動作する。つまり、ゲート信号線１７ａにオフ電圧（Ｖｇｈ）が印加され、トランジスタ１１ｂ、１１ｃがオフする。一方、ゲート信号線１７ｂにオン電圧（Ｖｇｌ）が印加され、トランジスタ１１ｄがオンする。

【０１０６】

プログラム電流Ｉｗが本来流す電流（所定値）のＮ倍であるとすると、図５（ｂ）のＥＬ素子１５に流れる電流Ｉｅも１０倍になる。したがって、所定値の１０倍の輝度でＥＬ素子１５は発光する。つまり、図１８に図示するように、倍率Ｎを高くするほど、画素１６の瞬時の表示輝度Ｂも高くなる。基本的には倍率Ｎと画素１６の輝度とは比例関係となる。

【０１０７】

なお、本発明は、画素構成が電流プログラム方式のみに限定されない。たとえば、図２６のような電圧プログラム方式の画素構成にも適用できる。１フレーム（フィールド）の所定期間を高い輝度で表示し、他の期間を非点灯状態にすることが、電圧駆動方式においても、動画表示性能の向上などに有効だからである。また、電圧駆動方式においても、ソース信号線１８の寄生容量の影響は無視できない。特に大型ＥＬ表示パネルにおいて、寄生容量が大きいため、本発明の駆動方法を実施することは効果がある。以上の事項は、本発明の他の実施例においても同様である。

【０１０８】

図６（ｂ）に図示するように、書き込み画素行６１ａを含む画素行が非点灯領域６２とし、書き込み画素行６１ａよりも上画面のＳ／Ｎ（時間的には１Ｆ／Ｎ）の範囲を表示領域６３とする（書き込み走査が画面の上から下方向の場合、画面を下から上に走査する場合は、その逆となる）。画像表示状態は、表示領域６３が帯状になって、画面の上から下に移動する。

【０１０９】

図６の表示では、１つの表示領域６３が画面の上から下方向に移動する。フレームレートが低いと、表示領域６３が移動するのが視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。

【０１１０】

この課題に対しては、図１４に図示するように、表示領域６３を複数に分割するとよい。この分割された総和がＳ（Ｎ－１）／Ｎの面積となれば、図６の明るさと同等になる。なお、分割された表示領域６３は等しく（等分に）する必要はない。また、分割された非表示領域６２も等しくする必要はない。

【０１１１】

以上のように、表示領域６３を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。しかし、分割するほど動画表示性能は低下する。

【０１１２】

図１５はゲート信号線１７の電圧波形およびＥＬの発光輝度を図示している。図１５で

明らかなように、ゲート信号線１７ｂをＶｇｌにする期間（１Ｆ／Ｎ）を複数に分割（分割数Ｋ）している。つまり、Ｖｇｌにする期間は１Ｆ／（Ｋ・Ｎ）の期間をＫ回実施する。このように制御すれば、フリッカの発生を抑制でき、低フレームレートの画像表示を実現できる。

【０１１３】

画像の分割数は可変できるように構成することが好ましい。たとえば、ユーザーが明るさ調整スイッチを押すことにより、あるいは明るさ調整ボリウムを回すことにより、この変化を検出してＫの値を変更してもよい。また、ユーザーが輝度を調整するように構成してもよい。表示する画像の内容、データにより手動で、あるいは自動的に変化させるように構成してもよい。

【０１１４】

図１５などにおいて、ゲート信号線１７ｂをＶｇｌにする期間（１Ｆ／Ｎ）を複数に分割（分割数Ｋ）し、Ｖｇｌにする期間は１Ｆ／（Ｋ・Ｎ）の期間をＫ回実施するとしたがこれ限定するものではない。１Ｆ／（Ｋ・Ｎ）の期間をＬ（Ｌ≠Ｋ）回実施してもよい。つまり、本発明は、ＥＬ素子１５に流す期間（時間）を制御することにより表示画面６４を表示するものである。したがって、１Ｆ／（Ｋ・Ｎ）の期間をＬ（Ｌ≠Ｋ）回実施することは本発明の技術的思想に含まれる。また、Ｌの値を変化させることにより、表示画面６４の輝度をデジタル的に変更することができる。たとえば、Ｌ＝２とＬ＝３では５０％の輝度（コントラスト）変化となる。また、画像の表示領域６３を分割する時、ゲート信号線１７ｂをＶｇｌにする期間は同一期間に限定するものではない。

【０１１５】

図１６は２画素行を同時に選択する駆動方法の実施例である。理想的には、２画素（行）のトランジスタ１１ａが、それぞれがＩｗ×５（Ｎ＝１０の場合。つまり、Ｋ＝２であるから、ソース信号線１８に流れる電流はＩｗ×Ｋ×５＝Ｉｗ×１０となる）の電流をソース信号線１８に流す。そして、各画素１６のコンデンサ１９には、５倍の電流がプログラムされ保持される。

【０１１６】

同時に選択する画素行が２画素行（Ｋ＝２）であるから、２つの駆動用トランジスタ１１ａが動作する。つまり、１画素あたり、１０／２＝５倍の電流がトランジスタ１１ａに流れる。ソース信号線１８には、２つのトランジスタ１１ａのプログラム電流を加えた電流が流れる。

【０１１７】

たとえば、書き込み画素行６１ａに、本来、書き込む電流Ｉｄとし、ソース信号線１８には、Ｉｗ×１０の電流を流す。書き込み画素行６１ｂは後に正規の画像データが書き込まれるので問題がない。画素行６１ｂは、１Ｈ期間の間は６１ａと同一表示である。そのため、書き込み画素行６１ａと電流を増加させるために選択した画素行６１ｂとを少なくとも非表示状態６２とするのである。

【０１１８】

次の、１Ｈ後には、ゲート信号線１７ａ（１）は非選択となり、ゲート信号線１７ｂにはオン電圧（Ｖｇｌ）が印加される。また、同時に、ゲート信号線１７ａ（３）が選択され（Ｖｇｌ電圧）、選択された画素行（３）のトランジスタ１１ａからソースドライバ１４に向かってソース信号線１８にプログラム電流が流れる。このように動作することのより、画素行（１）には正規の画像データが保持される。

【０１１９】

次の、１Ｈ後には、ゲート信号線１７ａ（２）は非選択となり、ゲート信号線１７ｂにはオン電圧（Ｖｇｌ）が印加される。また、同時に、ゲート信号線１７ａ（４）が選択され（Ｖｇｌ電圧）、選択された画素行（４）のトランジスタ１１ａからソースドライバ１４に向かってソース信号線１８にプログラム電流が流れる。このように動作することのより、画素行（２）には正規の画像データが保持される。以上の動作と１画素行ずつシフト（もちろん、複数画素行ずつシフトしてもよい。たとえば、擬似インターレース駆動であ

れば、２行ずつシフトするであろう。また、画像表示の観点から、複数の画素行に同一画像を書き込む場合もあるであろう）しながら走査することにより１画面が書き換えられる。

【０１２０】

図１６（ａ）（ｂ）に図示するように、２本の書き込み画素行６１（６１ａ、６１ｂ）が選択され、画面６４の上辺から下辺に順次選択されていく。しかし、図１６（ｂ）のように、画面の下辺までくると書き込み画素行６１ａは存在するが、６１ｂはなくなる。つまり、選択する画素行が１本しかなくなる。そのため、ソース信号線１８に印加された電流は、すべて画素行６１ａに書き込まれる。したがって、画素行６１ａに比較して、２倍の電流が画素にプログラムされてしまう。

【０１２１】

この課題に対して、本発明は、図１６（ｂ）に図示するように画面６４の下辺にダミー画素行１６１を形成（配置）している。したがって、選択画素行が画面６４の下辺まで選択された場合は、画面６４の最終画素行とダミー画素行１６１が選択される。そのため、図１６（ｂ）の書き込み画素行には、規定どおりの電流が書き込まれる。なお、ダミー画素行１６１は表示領域６４の上端あるいは下端に隣接して形成したように図示したが、これに限定するものではない。表示領域６４から離れた位置に形成されていてもよい。また、ダミー画素行１６１は、図１のスイッチングトランジスタ１１ｄ、ＥＬ素子１５などは形成する必要はない。形成しないことにより、ダミー画素行１６１のサイズは小さくなるからパネルの額縁を短くすることができる。

【０１２２】

図１７は図１６（ｂ）の状態を示している。図１７で明らかのように、選択画素行が画面６４の下辺の画素１６ｃ行まで選択された場合は、画面６４の最終画素行１６１が選択される。ダミー画素行１６１は表示領域６４外に配置する。つまり、ダミー画素行１６１は点灯しない、あるいは点灯させない、もしくは点灯しても表示として見えないように構成する。たとえば、画素電極とトランジスタ１１とのコンタクトホールをなくすとか、ダミー画素行にはＥＬ素子１５を形成しないとかである。図１７のダミー画素行１６１はＥＬ素子１５、トランジスタ１１ｄ、ゲート信号線１７ｂを図示しているが、駆動方法の実施には不必要である。実際に開発した本発明の表示パネルでは、ダミー画素行１６１にはＥＬ素子１５、トランジスタ１１ｄ、ゲート信号線１７ｂを形成していない。ただし、画素電極を形成することが好ましい。画素内の寄生容量が他の画素１６と同一にならず、保持されるプログラム電流に差異が発生する場合があるからである。

【０１２３】

図１６（ａ）（ｂ）では、画面６４の下辺にダミー画素（行）１６１を設ける（形成する、配置する）としたが、これに限定するものではない。たとえば、上下逆転走査する場合は、画面６４の上辺にもダミー画素行１６１を形成すべきである。つまり、画面６４の上辺を下辺のそれぞれにダミー画素行１６１を形成（配置）する。以上のように構成することにより、画面の上下反転走査にも対応できるようになる。

【０１２４】

以上の実施例は、２画素行を同時選択する場合であった。本発明はこれに限定するものではなく、たとえば、５画素行を同時選択する方式でもよい。つまり、５画素行同時駆動の場合は、ダミー画素行１６１は４行分形成すればよい。

【０１２５】

ダミー画素行１６１数は、同時に選択する画素行数Ｍ－１の画素行を形成すればよい。たとえば、同時に選択する画素行が５画素行であれば、書き込み画素行６１は４画素行である。同時に選択する画素行が１０画素行であれば、１０－１＝９画素行である。

【０１２６】

図１６はダミー画素行１６１を形成する場合において、ダミー画素行の配置位置の説明図である。基本的に、表示パネルは上下反転駆動するとして、ダミー画素行１６１を画面６４の上下に配置している。

【０１２７】
図１６などのように、同時に複数の画素行を選択する駆動方式では、図２４４などに図示するように駆動用トランジスタ１１ａを配置することが好ましい。同時に選択する複数の画素行に同一の駆動用トランジスタ１１ａを選択することができるため、１つの駆動用トランジスタ１１ａの特性にバラツキが発生していても複数の駆動用トランジスタ１１ａで平均化されるためである。図２４４などでは、説明を容易にするために駆動用トランジスタ１１ａをトランジスタ２４３１と図示している。
【０１２８】
図２４４では、図示するように、駆動用トランジスタ２４３１は複数の画素１６にまたがって形成されている。なお、トランジスタ２４３１が隣接した画素にまたがって形成されているとしたが、トランジスタ２４３１のチャンネルが上下に隣接した画素にまたがって形成されていると考えても良い。
【０１２９】
図２４４では、画素１６ａには、トランジスタ２３４１ａ、２３４１ｂ、２３４１ｃが形成されている。画素１６ａの次に選択される画素１６ｂにも同様に、トランジスタ２３４１ａ、２３４１ｂ、２３４１ｃが形成されている。画素１６ａと１６ｂでは、トランジスタ２４３１ａと２４３１ｃが共通になっている。トランジスタ２４３１ｂはさらに次の画素１６ｃと共通になっている。
【０１３０】
以上のように、トランジスタ２４３１を上下に隣接した画素で共通にすることにより、図１６の駆動方法のように複数の画素１６を選択する方式では、各画素１６の駆動用トランジスタの特性バラツキが平均化され、良好な画像表示を実現できる。
【０１３１】
図２４５は図２４４の変形例である。図２４４と図２４５の差違は、図２４５では、３画素に渡りトランジスタ２４３１が共通になるように形成または配置されている点である。画素１６ａ、１６ｂ、１６ｃには、トランジスタ２３４１ａ、２３４１ｂ、２３４１ｃが形成されている。画素１６ａと１６ｂでは、トランジスタ２４３１ａと２４３１ｃが共通になっている。画素１６ｂと１６ｃでは、トランジスタ２４３１ｂと２４３１ｃが共通になっている。画素１６ｃと１６ｄでは、トランジスタ２４３１ｂが共通になっている。また、画素１６ａ、１６ｂ、１６ｃでは、トランジスタ２４３１ｃが共通になっている。
【０１３２】
以上のように、トランジスタ２４３１を上下に隣接した複数の画素で共通にすることにより、図１６の駆動方法のように複数の画素１６を選択する方式では、各画素１６の駆動用トランジスタの特性バラツキが平均化され、良好な画像表示を実現できる。
【０１３３】
図２４６では、２画素に渡りトランジスタ２４３１ａ、２４３１ｂが共通になるように形成または配置されている。画素１６ａ、１６ｂ・・・・・には、トランジスタ２３４１ａ、２３４１ｂが形成されている。画素１６ａと１６ｂでは、トランジスタ２４３１ｂが共通になっている。同様に画素１６ｂと１６ｃでは、トランジスタ２４３１ｂが共通になっている。
【０１３４】
以上のように、トランジスタ２４３１を上下に隣接した複数の画素で共通にすることにより、図１６の駆動方法のように複数の画素１６を選択する方式では、各画素１６の駆動用トランジスタの特性バラツキが平均化され、良好な画像表示を実現できる。
【０１３５】
図２４４～図２４６の実施例において、図２４７に図示するように、レーザーアニール時のレーザーショットの長手方向（ａａ’）はソース信号線１８の形成方向に一致させることが好ましい。レーザーヘッドは、図２４７に図示するように、ｂｂ’方向に走査する。画素列方向に駆動用トランジスタ１１ａ（２４３１）の特性が一致しやすいからである。

【０１３６】
図１５の駆動方式でも発生するが、特に図６のように、非表示領域６２を一括で挿入する方式では、外光との干渉によるフリッカが発生しやすい。たとえば、外光の蛍光灯の周波数が６０Ｈｚで、表示パネルの１フレームが６０Ｈｚのように、一致あるいは近似するときに、干渉が発生する。また、カソード電極３６での外光反射による干渉も問題となる。この課題は、以下に説明するように、表示パネルの非表示領域６２もしくは表示領域６３の１サイクルが、外光（蛍光灯）の点滅サイクルに一致しないようにすることで解決する。表示パネルの非表示領域の１サイクルが、外光（蛍光灯）の点滅サイクルに一致しないようにすることで解決する。
【０１３７】
図２５０（ａ）に図示するように、ゲートドライバ１２ａを制御することにより、ゲート信号線１７ａを順次選択走査し、ソース信号線１８に印加された映像データを画素１６（画素行６１）に書き込む（図２５０（ｂ）のＡで図示している）。この映像データの書きこみ周期である１フレームは固定である。また、ゲートドライバ１２ｂを制御することにより、ゲート信号線１７ｂを順次選択走査し、画面６４の非表示領域６２または表示表域６３を制御する（図２５０（ｂ）のＢで図示している）。この１サイクルの制御は、ゲートドライバ１２ａの動作と独立で制御できる。
【０１３８】
ゲートドライバ１２ａは、１フレーム（１フィールド）の走査線数で１画素行シフト動作する時間が決定されている（１水平走査期間）。デジタル映像信号で１フレームは５２５水平走査期間であり、１フィールド（偶数フィールドと奇数フィールドでは異なる）は、２６２水平走査期間である。図２４９（ａ）のＡはゲートドライバ１２ａの動作を図示している。図２４９（ａ）のＡに図示するように、ゲートドライバ１２ａの動作を制御するカウンタ（カウンタの値は、選択するゲート信号線１７ａを示す）の値は、０から２６１である。この０から２６１である２６２水平走査期間が１フィールドである。
【０１３９】
ゲートドライバ１２ｂは、図２４９（ａ）のＢに図示するように、カウンタの値によって、画素行シフト動作する時間が決定されている。カウンタＢは８ビットで構成されている。したがって、０から２５５の値がカウントできる。８ビットにしているのは、カウンタＡでカウントする値が０～２６２（２６３）であるため、その値に最も近く、かつ最大の２の乗数から決定している。カウンタＢは選択されるゲート信号線１７ｂを示しているのではない。カウンタＢに同期してゲートドライバ１２ｂへのスタートパルスのオンオフが制御される。スタートパルスは、ＬレベルまたはＨレベルが入力される（入力データ）。この入力データはゲートドライバ１２ｂのシフトレジスタ内を順次シフトされる。シフトされる入力データがＨレベルの時、その入力データ位置に対応するゲート信号線１７ｂにはオン電圧が印加され、対応する画素行が表示領域６３となる。シフトされる入力データがＬレベルの時、その入力データ位置に対応するゲート信号線１７ｂにはオフ電圧が印加され、対応する画素行が非表示領域６２となる。表示領域６３および非表示領域６２は、ゲートドライバ１２ｂ内をシフトする入力データにより位置が変化する。
【０１４０】
カウンタＢはゲートドライバ１２ｂの動作を図示している。図２４９（ａ）のＢに図示するように、ゲートドライバ１２ｂの動作を制御するカウンタ（カウンタの値は、ゲートドライバ１２ｂへのスタートパルスの順番（位置）を示す）の値は、０から２５５である。この０から２５５、つまり、２５６水平走査期間が１サイクルである。なお、ゲートドライバ１２の制御は図８など参照のこと。
【０１４１】
以上の実施例より、ゲートドライバ１２ａを制御する１周期は２６２（２６３）水平走査期間であり、ゲートドライバ１２ｂを制御する１周期は２５６水平走査期間である。したがって、走査期間が異なる。つまり、画素行６１に映像データを書き込む周期と、表示領域６３あるいは非表示領域６２制御する周期とが異なる。したがって、外光の蛍光灯の

周波数の６０Ｈｚと表示パネルの１フレームが６０Ｈｚと一致あるいは近似していても、表示パネルの非表示領域６２もしくは表示領域６３の１サイクルが、外光（蛍光灯）の点滅サイクルに一致しないようにしているため、外光（蛍光灯）との干渉が発生しない。

【０１４２】

本発明は、図２４９（ｂ）に図示するように実施しても良い。図２４９（ａ）と図２４９（ｂ）との差違は、カウンタＢの動作である。カウンタＢは、カウンタＡの１サイクル（０～２６１（２６２））でリセットされ、カウンタ０となる。つまり、カウンタＢはカウンタＡと同期が取られている。カウンタＢは、２５５の次のクロックで０にクリアされ、さらにカウントアップされて、５までカウントされる（１フィールドが２６２水平走査期間の場合）。Ａカウンタが２６１までカウントされると、次のクロックでＡカウンタ、Ｂカウンタは０にクリアされる。

【０１４３】

ゲートドライバ１２ｂは、図２４９（ｂ）のＢに図示するように、カウンタの値によって、画素行シフト動作する時間が決定されている。図２４９（ａ）と同様に、カウンタＢは８ビットで構成されている。したがって、０から２５５の値がカウントできる。

【０１４４】

以上の図２４９（ｂ）の実施例より、ゲートドライバ１２ａを制御する１周期は２６２（２６３）水平走査期間であり、ゲートドライバ１２ｂを制御する１周期は結果的にＡカウンタと同一の２６２（２６３）水平走査期間である。ＡカウンタとＢカウンタとは、起点（最初はカウンタＡとカウンタＢともに０クリアされている）は一致するが、画素行６１に映像データを書き込む周期と、表示領域６３あるいは非表示領域６２制御する周期とが異なる。したがって、外光の蛍光灯の周波数の６０Ｈｚが表示パネルの１フレームの６０Ｈｚと一致あるいは近似していても、表示パネルの非表示領域６２もしくは表示領域６３の１サイクルが、外光（蛍光灯）の点滅サイクルに一致しないようにしているため、外光（蛍光灯）との干渉が発生しない。

【０１４５】

以上のようにゲートドライバ１２ｂを制御するカウンタは２５５などの２の乗数にすることにより制御が容易になる。カウンタの値が最高値までカウントされれば、次のクロックで０にクリアされるからである。また、図２４９（ａ）のゲートドライバ１２ａを制御するＡのカウンタと、ゲートドライバ１２ｂを制御するＢのカウンタとを同一のクロックで動作させることにより、ハード構成が容易になり、ゲートドライバ１２（１２ａ、１２ｂ）の制御が容易になる。

【０１４６】

なお、図２４９に図示するように、ゲートドライバ１２ｂの動作タイミングは、ゲートドライバ１２ａと一定の同期をとる（開始タイミングを一致させるなど）ことに限定するのではなく、ゲートドライバ１２ｂの動作タイミングは、ランダム化してもよい。また、フレームまたはフィールドごとに動作タイミングを変化させてもよい。また、点灯率あるいはｄｕｔｙ比、基準電流比により、動作タイミング、ゲートドライバ１２ｂのシフトレジスタのシフト周波数、スタートパルスの入力数あるいは入力タイミングを変化あるいは調整または可変してもよいことは言うまでもない。また、ゲートドライバ１２ａの動作クロックと、ゲートドライバ１２ｂの動作クロックとを変化させてもよい。たとえば、水晶によるクロック周波数をゲートドライバ１２ａと１２ｂで別回路とすることが例示される。

【０１４７】

図２４８、図２４９などの実施例は、図７、図１２、図１３、図１４、図１６、図１１４～図１３２などで説明した駆動方式と組み合わせてもよいことは言うまでもない。

【０１４８】

以上の事項は、非表示または表示領域制御を、画素行に映像データを書き込む書きこみ周期と独立制御することにより実現できる。つまり、画素行に映像データを書き込むゲートドライバ１２ａと、非表示または表示領域制御するゲートドライバ１２ｂとを具備する

ことにより実現できる。もしくは、ＥＬ素子１５と駆動用トランジスタ１１ａ間に供給電流をオンオフ制御できるスイッチ用トランジスタ１１ｄなどを具備することにより実現できる。したがって、電流プログラム方式の１つであるカレントミラー方式であっても、図１１に図示するように、駆動用トランジスタ１１ｂとＥＬ素子１５間にスイッチング素子としてのトランジスタ１１ｅを形成または配置することにより、ＥＬ素子１５に流れる電流をオンオフすることができる。したがって、前述の駆動方式を実現できる。　図１８などのカレントミラーの画素構成にも適用することができる。また、図２１（ａ）（ｂ）（ｃ）にも適用できることは言うまでもない。

【０１４９】

以上の実施例は、１画素行を順次選択し画素に電流プログラムを行う方式、あるいは、複数の画素行を順次選択し画素に電流プログラムを行う方式である。しかし、本発明はこれに限定するものではない。画像データに応じて１画素行を順次選択し画素に電流プログラムを行う方式と、複数の画素行を順次選択し画素に電流プログラムを行う方式を組み合わせてもよい。

【０１５０】

以上の事項は、電流プログラム方式の１つであるカレントミラー方式であっても、図１１に図示するように、駆動用トランジスタ１１ｂとＥＬ素子１５間にスイッチング素子としてのトランジスタ１１ｅを形成または配置することにより、ＥＬ素子１５に流れる電流をオンオフすることができる。したがって、前述の駆動方式を実現できる。もちろん、電圧プログラム方式の画素構成であっても、本発明の駆動方式を実施できることはいうまでもない。

【０１５１】

図１などで説明した画素構成では、駆動用トランジスタ１１ａは各画素１６に１つの構成である。しかし、本発明において、駆動用トランジスタ１１ａは１つに限定されるものでない。たとえば、図１９の画素構成が例示される。

【０１５２】

図１９は画素１６を構成するトランジスタ数を６個とし、プログラム用トランジスタ１１ａｎはトランジスタ１１ｂ２とトランジスタ１１ｃの２個のトランジスタを経由してソース信号線１８に接続されるように構成し、駆動用トランジスタ１１ａ１はトランジスタ１１ｂ１とトランジスタ１１ｃの２個のトランジスタを経由してソース信号線１８に接続されるように構成した実施例である。

【０１５３】

図１９において、駆動用トランジスタ１１ａ１のゲート端子とプログラム用トランジスタ１１ａｎのゲート端子とを共通にしている。トランジスタ１１ｂ１は電流プログラム時に駆動用トランジスタ１１ａ１のドレイン端子とゲート端子とを短絡するように動作する。トランジスタ１１ｂ２は電流プログラム時にプログラム用トランジスタ１１ａｎのドレイン端子とゲート端子とを短絡するように動作する。

【０１５４】

トランジスタ１１ｃは駆動用トランジスタ１１ａ１のゲート端子に接続されており、トランジスタ１１ｄは駆動用トランジスタ１１ａ１とＥＬ素子１５間に形成または配置され、ＥＬ素子１５に流れる電流を制御する。また、駆動用トランジスタ１１ａ１のゲート端子とアノード（Ｖｄｄ）端子間には付加コンデンサ１９が形成または配置されており、駆動用トランジスタ１１ａ１とプログラム用トランジスタ１１ａｎのソース端子はアノード（Ｖｄｄ）端子に接続されている。

【０１５５】

以上のように、駆動用トランジスタ１１ａ１とプログラム用トランジスタ１１ａｎが同一数のトランジスタを通過するように構成することにより、精度を向上させることができる。つまり、駆動用トランジスタ１１ａ１を流れる電流は、トランジスタ１１ｂ１、トランジスタ１１ｃを通じてソース信号線１８に流れる。また、プログラム用トランジスタ１１ａｎを流れる電流は、トランジスタ１１ｂ２、トランジスタ１１ｃを通じてソース信号

線１８に流れる。したがって、駆動用トランジスタ１１ａ１の電流と、プログラム用トランジスタ１１ａｎの電流は、同数の２つのトランジスタを通過してソース信号線１８に流れるように構成されている。

【０１５６】

図１９では、駆動用トランジスタ１１ａｎを１つのトランジスタとして図示しているが、これに限定するものではない。駆動用トランジスタ１１ａｎは、同一チャンネル幅Ｗ、同一チャンネル長Ｌあるいは同一ＷＬ比の複数のトランジスタから構成してもよい。また、駆動用トランジスタ１１ａ１の駆動用トランジスタ１１ａｎと、同一チャンネル幅Ｗ、同一チャンネル長Ｌあるいは同一ＷＬ比にすることが好ましい。同一ＷＬあるいはＷＬ比のトランジスタを複数形成する方が、各トランジスタ１１ａの出力バラツキが小さくなり、また画素１６間のばらつきも少なくなり好ましい。

【０１５７】

ゲート信号線１７ａに選択電圧（オン電圧）が印加されると、トランジスタ１１ａｎとトランジスタ１１ａ１からの電流が合成されたものがプログラム電流Ｉｗとなる。このプログラム電流Ｉｗを、駆動用トランジスタ１１ａ１からＥＬ素子１５に流れる電流Ｉｅの所定倍率にする。

【０１５８】

Ｉｗ＝ｎ・Ｉｅ（ｎは１以上の自然数）

上式において、表示パネルの最大白ラスターでの表示輝度Ｂ（ｎｔ）、表示パネルの画素面積Ｓ（平方ミリメートル）（画素面積は、ＲＧＢを１単位として取り扱う。したがって、各Ｒ、Ｇ、Ｂの絵素が縦０．１ｍｍ、横０．０５ｍｍであれば、Ｓ＝０．１×（０．０５×３）（平方ミリメートル）である）、表示パネルの１画素行選択期間（１水平走査（１Ｈ）期間）をＨ（ミリ秒）としたとき、以下の条件を満足するようにする。なお、表示輝度Ｂは、パネル仕様に規定する表示できる最大輝度である。

【０１５９】

５　≦　（Ｂ・Ｓ）／（ｎ・Ｈ）　≦　２２２

さらに好ましくは、以下の条件と満足するようにする。

【０１６０】

１０　≦　（Ｂ・Ｓ）／（ｎ・Ｈ）　≦　１００

Ｉｗはソースドライバ回路（ＩＣ）１４が出力するプログラム電流であり、このプログラム電流に対応する電圧が、画素１６のコンデンサ１９にホールドされる。また、Ｉｅは駆動用トランジスタ１１ａ１がＥＬ素子１５に流す電流である。

【０１６１】

トランジスタ１１ａ１、トランジスタ１１ａｎの出力ばらつきに関しては、トランジスタ１１ａｎと駆動用トランジスタ１１ａ１を近接させて形成または配置することにより改善できる。また、トランジスタ１１ａｎ、トランジスタ１１ａ１の特性は形成方向によっても特性が異なる場合がある。したがって、同一方向に形成することが好ましい。

【０１６２】

ゲート信号線１７ａが選択されると、駆動用トランジスタ１１ａ１およびプログラム用トランジスタ１１ａｎの両方がオンする。駆動用トランジスタ１１ａ１が流す電流Ｉｗ１と、プログラム用トランジスタ１１ａ１が流す電流Ｉｗ２とは、略一致させることが好ましい。最もこのましくは、プログラム用トランジスタ１１ａｎと駆動用トランジスタ１１ａ１のサイズ（Ｗ、Ｌ）を一致させることである。つまり、Ｉｗ１＝Ｉｗ２、Ｉｗ＝２Ｉｅの関係を満足させることが好ましい。もちろん、Ｉｗ１＝Ｉｗ２の関係を満足させるには、トランジスタサイズ（Ｗ、Ｌ）を一致させることに限定されるものではなく、サイズを変化することにより一致させてもよい。これは、トランジスタのＷＬを調整することにより容易に実現できる。略Ｉｗ２／Ｉｗ１＝１であれば、トランジスタ１１ｂ１とトランジスタ１１ｂ１のサイズは略一致して構成あるいは形成することができる。

【０１６３】

なお、Ｉｗ２／Ｉｗ１は、１以上１０以下の関係を満足させておくことが好ましい。Ｉ

ｗ２／Ｉｗ１は、１以上１０以下の関係を満足させておくことが好ましい。さらに好ましくは、１．５以上５以下の関係を満足させておくことが好ましい

Ｉｗ２／Ｉｗ１が１以下では、ほとんど、ソース信号線１８の寄生容量の影響を改善する効果は見込めない。一方Ｉｗ２／Ｉｗが１０以上となると、Ｉｗに対するＩｅの関係に画素ごとにばらつきが発生し、均一な画像表示が実現できない。また、トランジスタ１１ｂのオン抵抗の影響を大きく受けるようになり、画素設計も困難になる。

【０１６４】

プログラム用トランジスタ１１ａｎが流す電流Ｉｗ２が、駆動用トランジスタ１１ａ１が流す電流Ｉｗ１に比較して一定以上大きい場合は（Ｉｗ２　＞　Ｉｗ１）、スイッチング用トランジスタ１１ｂ２のオン抵抗を、スイッチング用トランジスタ１１ｂ１のオン抵抗よりも小さくする必要がある。スイッチング用トランジスタ１１ｂ２は、トランジスタ１１ｂ１よりも大きな電流を、同一のゲート信号線１７ａの電圧にたいして流すように構成する必要があるからである。

【０１６５】

つまり、駆動用トランジスタ１１ａ１の出力電流の大きさに対するトランジスタ１１ｂ１の大きさと、プログラム用トランジスタ１１ａｎの出力電流の大きさに対するトランジスタ１１ｂ２の大きさをマッチングさせる必要がある。

【０１６６】

言い換えれば、プログラム電流Ｉｗ２、プログラム電流Ｉｗ１に対して、トランジスタ１１ｂのオン抵抗を変化させる必要がある。また、プログラム電流Ｉｗ２、プログラム電流Ｉｗ１に対して、トランジスタ１１ｂ１と１１ｂ２のサイズを変化させる必要がある。

【０１６７】

プログラム電流Ｉｗ２がプログラム電流Ｉｗ１よりも大きければ、トランジスタ１１ｂ２のオン抵抗はトランジスタ１１ｂ１のオン抵抗よりも小さくする必要がある（トランジスタ１１ｂ１とトランジスタ１１ｂ２のゲート端子電圧が同一の場合である）。プログラム電流Ｉｗ２がプログラム電流Ｉｗ１よりも大きければ、トランジスタ１１ｂ２のオン電流（Ｉｗ２）はトランジスタ１１ｂ１のオン電流（Ｉｗ１）よりも大きくする必要がある（トランジスタ１１ｂ１とトランジスタ１１ｂ２のゲート端子電圧が同一の場合である）。

【０１６８】

Ｉｗ２：Ｉｗ１＝ｎ：１とし、ゲート信号線１７ａにオン電圧が印加され、トランジスタ１１ｂ１とトランジスタ１１ｂ２がオンしたときのトランジスタ１１ｂ２のオン抵抗をＲ２、トランジスタ１１ｂ１のオン抵抗をＲ１とする。この時、Ｒ２は、Ｒ１／（ｎ＋５）以上、Ｒ１／（ｎ）以下の関係を満足するように構成する。構成するとは、トランジスタ１１ｂの所定のサイズに形成するあるいは配置するもしくは動作させる意味である。ただし、ｎは１よりも大きな値である。

【０１６９】

上記事項は、トランジスタ１１ｂ１とトランジスタ１１ｂ２のオン抵抗Ｒあるいは、プログラム電流Ｉｗの説明である。したがって、上記条件を満足するように画素構成を実現すればいずれの構成でもよい。たとえば、トランジスタ１１ｂ１のゲート端子に接続されたゲート信号線１７と、トランジスタ１１ｂ２のゲート端子に接続されたゲート信号線１７とが異なる信号線の場合は、各ゲート信号線に印加する電圧を変化させれば、オン抵抗などを変化でき、本発明の条件を満足させることできる。

【０１７０】

図２０は図１９の画素構成の動作の説明図である。図２０（ａ）は電流プログラム状態であり、図１９（ｂ）はＥＬ素子１５に電流を供給している状態である。なお、図２０（ｂ）の状態で、トランジスタ１１ｄをオンオフさせて間欠表示を実施してもよいことは言うまでもない。

【０１７１】

図２０（ａ）では、ゲート信号線１７ａにオン電圧が印加され、トランジスタ１１ｂ１

、１１ｂ２、１１ｃがオンする。トランジスタ１１ａ１は電流Ｉｅを供給し、トランジスタ１１ａｎは電流Ｉｗ－Ｉｅを供給し、合成した電流ＩｗがソースドライバＩｃにプログラム電流となる。以上の動作により、プログラム電流Ｉｗに対応する電圧がコンデンサ１９に保持される。電流プログラム時にはトランジスタ１１ｄはオフ状態に保持される（ゲート信号線１７ｂにはオフ電圧が印加されている）。

【０１７２】

ＥＬ素子１５に電流を流す場合が、図２０（ｂ）の動作状態にされる。ゲート信号線１７ａにオフ電圧が印加され、ゲート信号線１７ｂにオン電圧が印加される。この状態では、トランジスタ１１ｂ１、１１ｂ２、１１ｃがオフ状態になり、トランジスタ１１ｄがオン状態になる。ＥＬ素子１５にＩｅ電流が供給される。

【０１７３】

以上の実施例は、主として図１の変形例の実施例であった。本発明はこれに限定するものではなく、図１８などのカレントミラーの画素構成にも適用することができる。また、図２１（ａ）（ｂ）（ｃ）にも適用できることは言うまでもない。

【０１７４】

また、図１などの画素構成は、トランジスタ１１ｄによりＥＬ素子１５に流す電流をトランジスタ１１ｄにより制御するものであったが、本発明はこれに限定するものではない。たとえば、図２１５に図示するように、トランジスタ１１ｄがなくともＥＬ素子１５に印加する電流をオンオフ制御することができる。

【０１７５】

図２１５では、ゲートドライバ回路１２ｂは、ゲート信号線１７ｂを制御し、ゲート信号線１７ｂの電位は、Ｖｄｄ電圧と、それより低い電圧であるＥＬ素子１５に電流が流れない電圧Ｖｇで駆動される。つまり、ゲート信号線１７ｂには、Ｖｄｄ電圧とＶｇ電圧が出力される。ゲート信号線１７ｂにＶｄｄ電圧が印加されたときは、ＥＬ素子１５に電流が流れ、ゲート信号線１７ｂにＶｇ電圧が印加されたときには、ＥＬ素子１５には電流が流れない。図２１５の画素構成では、トランジスタ１１ｄがなくとも、ゲートドライバ１１ｂの制御によりＤｕｔｙ比制御、基準電流比制御、点灯率制御が実現できる。

【０１７６】

理解を容易にするため、映像データとプログラム電流は比例の関係で変換されるとして説明する。実際はさらに容易に、映像データとプログラム電流とを変換できる。図２２に図示するように本発明は単位トランジスタ２２４の単位電流が、映像データの１に該当するからである。さらに、単位電流は基準電流回路を調整することにより、容易に任意の値に調整できるからである。また、基準電流はＲ、Ｇ、Ｂ回路ごとに設けられており、ＲＧＢ回路に基準電流回路を調整することにより全階調範囲にわたりホワイトバランスをとることができるからである。このことは電流プログラム方式で、かつ本発明のソースドライバ回路（ＩＣ）１４、表示パネル構成の相乗効果である。

【０１７７】

ＥＬ表示パネルでは、プログラム電流とＥＬ素子１５の発光輝度が線形の関係にあるという特徴がある。このことは電流プログラム方式の大きな特徴である。つまり、プログラム電流の大きさを制御すれば、リニアにＥＬ素子１５の発光輝度を調整できる。

【０１７８】

駆動用トランジスタ１１ａはゲート端子に印加した電圧と、駆動用トランジスタ１１ａが流す電流とは非線形である（２乗カーブになることが多い）。したがって、電圧プログラム方式では、プログラム電圧と発光輝度とは非線形の関係にあり、きわめて発光制御が困難である。電圧プログラムに比較して電流プログラム方式では極めて発光制御が容易である。

【０１７９】

以下、図２２、図２３を参照しながら、本発明のソースドライバ回路（ＩＣ）１４について説明をする。ソースドライバ回路（ＩＣ）１４は、出力端子数に対応する出力段（トランジスタ群）２５１ｃが形成または配置されている。各出力段２５１ｃには、映像信号

のビット数に対応するトランジスタ（電流源（１単位）電流）２２４が形成または配置されている。たとえば、映像信号が６ビット（Ｄ０～Ｄ５）の場合は、２の６乗－１＝６３個のトランジスタ２２４が形成される。映像信号が８ビット（Ｄ０～Ｄ７）の場合は、２の８乗－１＝２５５個のトランジスタ２２４が形成される。

【０１８０】

各トランジスタ２２４は、映像データビット（Ｄ０～Ｄ５）ごとに配置される。Ｄ０ビットには１つのトランジスタ２２４が配置される。Ｄ１ビットには２つのトランジスタ２２４が配置される。Ｄ２ビットには４つのトランジスタ２２４が配置され、Ｄ３ビットには８つのトランジスタ２２４が配置され、Ｄ４ビットには１６つのトランジスタ２２４が配置される。同様に、Ｄ５ビットには３２つのトランジスタ２２４が配置される。

【０１８１】

各ビットのトランジスタ２２４の出力電流が出力端子９３に出力されるか否かは、アナログスイッチ２２１（２２１ａ～２２１ｆ）によるオンオフ制御で実現される。アナログスイッチ２２１ａ～２２１ｆは映像信号の各ビット（一例として６ビット）に対応する。Ｄ０ビットに対応するスイッチ２２１ａが閉じると、１単位電流が出力端子９３から出力（入力）される。出力端子９３には、ソース信号線１８が接続されている。同様に、Ｄ１ビットに対応するスイッチ２２１ｂが閉じると、２単位電流が出力端子９３から出力（入力）される。以下、Ｄ２ビットに対応するスイッチ２２１ｃが閉じると、４単位電流が出力端子９３から出力（入力）され、Ｄ３ビットに対応するスイッチ２２１ｃが閉じると、８単位電流が出力端子９３から出力（入力）され、Ｄ４ビットに対応するスイッチ２２１ｄが閉じると、１６単位電流が出力端子９３から出力（入力）され、Ｄ５ビットに対応するスイッチ２２１ｃが閉じると、３２単位電流が出力端子９３から出力（入力）される。以上のように、映像信号のビットに対応して、デジタル的にスイッチ２２１がクローズまたはオープンし、映像信号に応じて電流（プログラム電流）が出力端子９３から出力される。

【０１８２】

また、プログラム電流は内部配線２２２を流れる。内部配線２２２の電位Ｖｗは、ソース信号線１８の電位となる。ソース信号線１８の電位は、電流プログラム時は、画素１６の駆動用トランジスタ１１ａのゲート電圧である。

【０１８３】

単位トランジスタ２２４はトランジスタ２２８ｂとカレントミラー回路を構成している。なお、図２２、図２３では、単位トランジスタ２２４とカレントミラー回路を構成するトランジスタ２２８ｂを１つと図示しているが、実際は、複数のトランジスタ（トランジスタ群）で構成（形成）（図２８を参照のこと）される。トランジスタ２２８ｂとトランジスタ群２５１ｃとは所定のカレントミラー比でカレントミラー回路を構成する。

【０１８４】

トランジスタ２２８ｂには基準電流Ｉｃが流れ、この基準電流Ｉｃのカレントミラー比に応じた電流が単位トランジスタ２２４に流れる。図２２の６３個の単位トランジスタ２２４はすべて同一の単位電流を出力する。ただし、単位電流が流れるためには、該当のスイッチ２２１が閉じ、電流経路を構成する必要がある。

【０１８５】

基準電流Ｉｃはオペアンプ２３１ａと抵抗Ｒ１からなる定電流回路で発生する。基準電流Ｉｃは基準電圧Ｖｓを安定化かつ高精度化することにより一定化する。基準電流Ｉｃを設定する電圧ＶｉとＶｓが抵抗Ｒ１の両端に印加される。したがって、基準電流Ｉｃ＝（Ｖｓ－Ｖｉ）／Ｒ１となる。基準電流ＩｃはＲＧＢごとに設定することができる。つまり、ＲＧＢごとにトランジスタ群２５１ｃが構成（形成）されている。前記トランジスタ群２５１ｃのトランジスタ２２８ｂに流れる電流Ｉｃを設定（調整）できる。

【０１８６】

図２３（ａ）は基準電流Ｉｃを、Ｖｓ電圧を用いて発生する回路構成である。図２３（ｂ）はＧＮＤとオペアンプ２３１ａの－端子間に配置（挿入）された抵抗Ｒ１を用いて基

本的な電流を発生させ、トランジスタ２３２ｂとトランジスタ２２８ａからなるカレントミラー回路で折り返し、トランジスタ２２８ｂに基準電流Ｉｃを流す構成である。図２３（ｂ）の方が、基準電流のＩｃの大きさを調整しやすい。しかし、トランジスタ２３２ｂとトランジスタ２２８ａからなるカレントミラー回路で折り返すために、バラツキが発生しやすい。

【０１８７】

本発明は図２２（ｂ）に図示するように、各ビット（最下位ビットを除く）に複数の単位トランジスタ２２４を形成または配置するとした。しかし、本発明はこれに限定するものではない。たとえば、各ビットに、各ビットに応じた電流を出力する１つのトランジスタ２２４を形成または配置してもよいことは言うまでもない。

【０１８８】

６４階調（ＲＧＢ各６ビット）の場合は、６３個の単位トランジスタ２２４を形成するとした。したがって、２５６階調（ＲＧＢ各８ビット）の場合、２５５個の単位トランジスタ２２４が必要になることになる。

【０１８９】

電流駆動方式では、電流の加算ができるという特徴ある効果がある。また、単位トランジスタ２２４において、チャンネル長Ｌを一定にし、チャンネル幅Ｗを１／２にすれば、単位トランジスタ２２４が流す電流がおよそ１／２になるという特徴ある効果がある。同様に、チャンネル長Ｌを一定にし、チャンネル幅Ｗを１／４にすれば、単位トランジスタ２２４が流す電流がおよそ１／４になるという特徴ある効果がある。

【０１９０】

図２４（ａ）は、各ビットに対して同一のサイズの単位トランジスタ２２４を配置したトランジスタ群２５１ｃの構成である。説明を容易にするため、図２４（ａ）は６３個の単位トランジスタ２２４が構成され、６ビットのトランジスタ群２５１ｃを構成（形成）しているとする。また、図２４（ｂ）は８ビットであるとする。

【０１９１】

図２４（ｂ）では、下位２ビット（Ａで示す）は、単位トランジスタ２２４よりも小さいサイズのトランジスタで構成している。最小ビット目の第０ビット目は、単位トランジスタ２２４のチャンネル幅Ｗの１／４で形成している（単位トランジスタ２２４ｂで示す）。また、第１ビット目は、単位トランジスタ２２４のチャンネル幅Ｗの１／２で形成している（単位トランジスタ２２４ａで示す）。なお、単位トランジスタ２２４ａは、単位トランジスタ２２４のチャンネル幅Ｗの１／４である単位トランジスタ２２４ｂを２個で形成してもよい。

【０１９２】

以上の実施例では、単位トランジスタ２２４ｂのＷは、単位トランジスタ２２４のＷの１／４であるとした。たとえば、単位トランジスタ２２４のＷが６μｍであれば、単位トランジスタ２２４ｂのＷは１／４の１．５μｍとなる。しかし、これは理想的な特性を示す場合である。本発明では、１．５μｍより大きくしている。つまり、２．０μｍなど大きくしている。大きくすることにより、単位トランジスタ２２４ｂの４倍の電流が単位トランジスタ２２４の電流と一致するように構成することができる。以上の事項は後にさらに詳しく説明をする。

【０１９３】

単位トランジスタ２２４ａ、２２４ｂ、２２４のゲート端子は同一のゲート配線２２２に接続される。ゲート配線２２３はトランジスタ２２８ｂのゲート端子と接続されている。

【０１９４】

以上のように、下位２ビットは上位の単位トランジスタ２２４よりも小さいサイズの単位トランジスタ（２２４ａ、２２４ｂ）で形成している。また、正規の単位トランジスタ２２４の個数は６３個で変化がない。したがって、６ビットから８ビットに変更しても、トランジスタ群２５１ｃの形成面積は図２４（ａ）と図２４（ｂ）で大差はない。

【０１９５】
図２４（ｂ）に図示するように、６ビットから８ビット仕様に変化させても出力段のトランジスタ群２５１ｃのサイズが大きくならないのは、電流の加算ができるという点、単位トランジスタ２２４において、チャンネル長Ｌを一定にし、チャンネル幅Ｗを１／ｎにすれば、単位トランジスタ２２４が流す電流がおよそ１／ｎになるという点をうまく利用しているからである。
【０１９６】
また、図２４（ｂ）に図示するように、単位トランジスタ２２４ａ、２２４ｂのようにトランジスタサイズが小さくなると、出力電流バラツキも大きくなる。しかし、いかにバラツキが大きくとも、単位トランジスタ２２４ａまたは２２４ｂの出力電流は加算される。したがって、図２４（ａ）の６ビット仕様より、図２４（ｂ）の８ビット仕様のほうが高階調出力を実現できる。もちろん、単位トランジスタ２２４ａ、２２４ｂの出力バラツキが大きいから、正確な８ビット表示を実現することはできない可能性はある。でも、かならず、図２４（ａ）よりは高精細表示を実現できる。
【０１９７】
実際にはチャンネル幅Ｗを１／２にしても出力電流は正確には１／２にはならない。多少の補正が必要である。検討の結果では、チャンネル幅Ｗを１／２にすると、トランジスタのゲート端子電圧を同一とした場合、出力電流は、１／２以下となる。そのため、本発明は、下位ビットを構成するトランジスタと、上位ビットを構成するトランジスタのサイズと変化させる場合、以下のようにトランジスタサイズを設定している。
【０１９８】
まず、ソースドライバ回路（ＩＣ）１４の単位トランジスタ２２４を２種類のサイズのように、少ない形状で構成する。複数の単位トランジスタ２２４のチャンネル長Ｌは同一にする。つまり、チャンネル幅Ｗのみを変化させる。第１の単位トランジスタの第１の単位出力電流と、第２の単位トランジスタの第２の単位出力電流の比をｎ（第１の単位出力電流：第２の単位出力電流＝１：ｎ、ただし、ｎは１より小さい値）とするとき、第１の単位トランジスタのチャンネル幅Ｗ１　＜　第２の単位トランジスタのチャンネル幅Ｗ２×ｎ×ａ（ａ＝１）の関係となるように構成する。
【０１９９】
Ｗ１×ｎ×ａ＝Ｗ２とした場合、１．０５＜　ａ　＜１．３の関係が成り立つようにすることが好ましい。補正ａは、テストトランジスタを形成し、測定することにより補正係数を容易に把握することができる。
【０２００】
本発明は、下位のビットを作製（構成）するために、上位のビットの単位トランジスタ２２４に比較して小さい小単位トランジスタを形成または配置するものである。この小さいという概念は、上位ビットを構成する単位トランジスタ２２４の出力電流よりも小さいという意味である。したがって、単位トランジスタ２２４に比較してチャンネル幅Ｗが小さいだけでなく、同時にチャンネル長Ｌも小さい場合も含まれる。また、他の形状も含まれる。
【０２０１】
図２４はトランジスタ群２５１ｃを構成する単位トランジスタ２２４のサイズを複数種類とするものであった。図２４では２種類としている。この理由は、先に説明したように、単位トランジスタ２２４のサイズが異なると出力電流の大きさが形状に比例しないため、設計が難しくなるからである。したがって、トランジスタ２５１ｃを構成する単位トランジスタ２２４のサイズは低階調用と高階調用の２種類とすることが好ましい。しかし、本発明はこれに限定するものではない。３種類以上であってもよいことは言うまでもない。
【０２０２】
図４３でも図示しているように、トランジスタ群２５１ｃを構成する単位トランジスタ２２４のゲート端子は、１つのゲート配線２２３で接続されている。ゲート配線２２３に

印加された電圧により単位トランジスタ２２４の出力電流が決定される。したがって、トランジスタ群２５１ｃ内の単位トランジスタ２２４の形状が同一であれば、各単位トランジスタ２２４は同一の単位電流を出力する。

【０２０３】

本発明は、トランジスタ群２５１ｃを構成する単位トランジスタ２２４のゲート配線２２３を共通にすることには限定されない。たとえば、図２５（ａ）のように構成してもよい。図２５（ａ）において、トランジスタ２２８ｂ１とカレントミラー回路を構成する単位トランジスタ２２４と、トランジスタ２２８ｂ２とカレントミラー回路を構成する単位トランジスタ２２４とが配置されている。

【０２０４】

トランジスタ２２８ｂ１はゲート配線２２３ａで接続されている。トランジスタ２２８ｂ２はゲート配線２２３ｂで接続されている。図２５（ａ）の一番上の１個の単位トランジスタ２２４はＬＳＢ（０ビット目）であり、２段目の２個の単位トランジスタ２２４は１ビット目、３段目の４個の単位トランジスタ２２４は２ビット目である。また、４段目の組の８個の単位トランジスタ２２４は３ビット目である。

【０２０５】

図２５（ａ）において、ゲート配線２２３ａとゲート配線２２３ｂの印加電圧を変化させることにより、各単位トランジスタ２２４のサイズ、形状が同一であっても、各単位トランジスタ２２４の出力電流をゲート配線２２３の印加電圧により変化（変更）することができる。

【０２０６】

図２５（ａ）において、単位トランジスタ２２４のサイズなどを同一にして、ゲート配線２２３ａ、２２３ｂの電圧を異ならせるとしたが、本発明はこれに限定するものではない。単位トランジスタ２２４のサイズなどを異ならせ、印加するゲート配線２２３ａ、２２３ｂの電圧を調整することにより、異なる形状の単位トランジスタ２２４の出力電流を同一となるようにしてもよい。

【０２０７】

図２４では、低階調のビットを構成する単位トランジスタ２２４サイズは、高階調を構成する単位トランジスタ２２４よりも小さくした。単位トランジスタ２２４のサイズが小さくなると、出力バラツキが大きくなる。この課題を解決するため、実際には、低階調の単位トランジスタ２２４はチャンネル長Ｌを高階調よりも大きくし、単位トランジスタ２２４の面積を小さくならないようにしてバラツキを抑制している。

【０２０８】

ソースドライバ回路（ＩＣ）１４の単位トランジスタ２２４の最小出力電流は０．５ｎＡ以上１０ｎＡにしている。特に単位トランジスタ２２４の最小出力電流は２ｎＡ以上２０ｎＡにすることがよい。ドライバＩＣ１４内の単位トランジスタ群２５１ｃを構成する単位トランジスタ２２４の精度を確保するためである。

【０２０９】

以上のように構成することにより、各出力端子９３の出力バラツキを低減することができる。特に、各端子間の隣接バラツキを低減することができる。さらに、出力バラツキを低減するためには、図１５３のように構成する。

【０２１０】

図１５３と、図２６、図２７、図２９、図３１などとの差異は、出力段２５１ｃの出力側に、出力選択回路１５３１を有する構成である。出力選択回路は１５３１、主として選択回路とアナログスイッチから構成される。出力選択回路１５３１は、任意の出力段２５１ｃの出力電流を、任意の出力端子９３から出力させることができる。たとえば、出力段２５１ｃ１の出力電流は、出力端子９３ａに出力することができるし、出力端子９３ｃ、９３ｎにも出力することができる。つまり、出力段２５１ｃ１のプログラム電流をどの出力端子９３にでも出力させることができる。出力選択回路１５３１の切り換えタイミング（動作タイミング）は、コントローラ７２２により制御される。たとえば、出力選択回路

１５３１の制御により、出力段２５１ａの出力信号を、１水平走査期間の前半に出力端子９３ａに出力し、後半に出力端子９３ｂに出力することができる。また、出力選択回路１５３１は、出力段２５１ｃに設定される階調番号により動作を変化させることができる。

【０２１１】

出力選択回路１５３１は、１つまたは複数の出力段２５１ｃからの出力信号（電圧または電流）を１つまたは複数の出力端子９３から出力されるように動作させることができることは言うまでもない。たとえば、出力段２５１ｃ１、２５１ｃ３、２５１ｃ５の出力電流を合成して、出力端子９３ａに出力することができる。また、出力段２５１ｃ１、２５１ｃ３、２５１ｃ５の出力電流を合成して、出力端子９３ａと出力端子９３ｂの両方に出力することができる。また、出力段２５１ｃ１の出力電流を合成して、出力端子９３ａと出力端子９３ｂの両方に出力することができる。

【０２１２】

本発明の出力選択回路１５３１の説明は、出力段２５１ｃが電流出力であるとして説明するが、これに限定するものではない。たとえば、出力段２５１ｃが電圧出力であってもよい。つまり、ソースドライバ回路（ＩＣ）１４が液晶表示パネルのように、電圧駆動を実施する場合が例示される。なお、ＥＬ表示パネルが電圧駆動である場合も同様に適用される。また、出力選択回路１５３１は、ソースドライバ回路（ＩＣ）１４がシリコンチップとして構成され、前記チップ１４に内蔵されているとして説明するが、これに限定するものではない。たとえば、出力選択回路１５３１を、ポリシリコン技術などでガラス基板３０に直接形成してもよい。また、別チップに形成または構成してもよい。

【０２１３】

出力段２５１ｃは単位トランジスタ２２４で構成されるため、各出力段２５１の出力電流バラツキは小さい。しかし、ソースドライバ回路（ＩＣ）のチップには、穏やかなモビリティ特性、Ｖｔ特性のうねりがある。このうねりにより出力段２５１ｃから出力電流は変化する。

【０２１４】

このうねりの影響がない様にするには、１つの出力段２５１ｃを構成する単位トランジスタ２２４の形成領域をうねりの周期にまたがる大きさ（範囲あるいは面積）に形成すればよい。しかし、この場合は、単位トランジスタ２２４の形成面積が大きく、巨大なチップサイズとなってしまう。本発明はこの課題に対して、１つに出力端子９３に出力する電流を、チップ１４内の比較的広い領域から選択肢、選択する領域を一定条件で変化させることにより形成（発生）させる。たとえば、出力端子９３ａに、３８階調目のプログラム電流を出力させ、ある画素１６に３２階調目のプログラム電流を書き込む場合を例示する。１フィールド（フレーム）目では、出力選択回路１５３１は、出力段２５１ｃ１から、３８階調目のプログラム電流を出力されるように制御し、この出力段２５１ｃ１からプログラム電流を出力端子９３ａから出力する。

【０２１５】

次のフィールド（フレーム）では、出力段２５１ｃ２から、３８階調目のプログラム電流を出力されるように制御し、この出力段２５１ｃ２からプログラム電流を出力端子９３ａから出力する。さらに次のフィールド（フレーム）では、出力選択回路１５３１は、出力段２５１ｃ３から、３８階調目のプログラム電流を出力されるように制御し、この出力段２５１ｃ３からプログラム電流を出力端子９３ａから出力する。以降、この動作を順次繰り返す。また、各出力端子９３からは、対応する（書き込む）画素に応じて各出力段２５１ｃの階調設定がなされ、プログラム電流がソース信号線１８に出力される。

【０２１６】

図１５４は以上の動作を表にまとめたものである。図１５４は、出力端子９３と、水平走査期間（Ｈ）の関係を示している。ただし、理解を容易にするため、階調に関する記載は省略している。つまり、単に出力端子９３には、各Ｈにどの出力段２５１ｃからのプログラム電流が出力されているかを示している。

【０２１７】

図１５４において、出力端子９３ａには、出力選択回路１５３１により、１Ｈ目に出力段２５１ｃ１が選択される。なお、表では出力段２５１ｃ１の１を図示している。２Ｈ目に出力段２５１ｃ２が選択され（表では２と図示している）、３Ｈ目に出力段２５１ｃ３（図１５４の表では３と図示している）が選択される。さらに、次の４Ｈ目では出力段２５１ｃ４が選択され（図１５４の表では４を図示している）、５Ｈ目では、出力段２５１ｃ５が選択される。

【０２１８】

同様に、出力端子９３ｂには、出力選択回路１５３１により、１Ｈ目に出力段２５１ｃｎ（最終段の出力段）が選択される。なお、表では出力段２５１ｃｎのｎを図示している。２Ｈ目に出力段２５１ｃ１が選択され（表では１と図示している）、３Ｈ目に出力段２５１ｃ２（図１５４の表では２と図示している）が選択される。さらに、次の４Ｈ目では出力段２５１ｃ３が選択され（図１５４の表では３を図示している）、５Ｈ目では、出力段２５１ｃ４が選択される。以下、同様である。

【０２１９】

同様に出力端子９３ｃには、出力選択回路１５３１により、１Ｈ目に出力段２５１ｃｎ－１が選択される。なお、表ではｎ－１と図示している。２Ｈ目に出力段２５１ｃｎが選択され（表ではｎと図示している）、３Ｈ目に出力段２５１ｃ１（図１５４の表では１と図示している）が選択される。さらに、次の４Ｈ目では出力段２５１ｃ２が選択され（図１５４の表では２を図示している）、５Ｈ目では、出力段２５１ｃ３が選択される。以下同様である。

【０２２０】

以上のように、たとえば、出力端子９３ａには、Ｈごとに異なる出力段２５１ｃからのプログラム電流が出力され、ソース信号線１８を介して画素に順次印加される。

【０２２１】

さらに理解を容易にするため、出力端子９３ａを例示して説明する。１Ｈ目ではソース信号線１８ａ（出力端子９３ａに接続されたソース信号線）に印加される（出力される）出力段は２５１ｃ１である。１Ｈ目では、第１画素行目で、かつソース信号線１８ａに接続された画素に出力段２５１ｃ１からの信号が印加される。２Ｈ目ではソース信号線１８ａ（出力端子９３ａに接続されたソース信号線）に印加される（出力される）出力段は２５１ｃ２である。２Ｈ目では、第２画素行目で、かつソース信号線１８ａに接続された画素に出力段２５１ｃ２からの信号が印加される。同様に、３Ｈ目ではソース信号線１８ａ（出力端子９３ａに接続されたソース信号線）に印加される（出力される）出力段は２５１ｃ３である。３Ｈ目では、第３画素行目で、かつソース信号線１８ａに接続された画素に出力段２５１ｃ３からの信号が印加される。以上の動作を順次最終のｍ画素行（ｍは最終の画素行番号）の画素に実施していく。画素の選択はゲートドライバ回路１７ａにより選択される。

【０２２２】

最終画素行まで以上の動作を実施すると、また、第１画素行に対して以上の動作を行う。ただし、第１画素行の画素には、出力段２５１ｃ１以外の出力信号が印加される。たとえば、出力段２５１ｃ２の出力信号が印加される。つまり、フィールド（フレーム）ごとに異なる出力段２５１ｃの出力信号が印加されるようにし、各画素１６に書き込まれる信号を平均化し出力段２５１ｃの出力ムラ分布が反映されないようにしている。各画素１６に書き込まれる出力段２５１ｃからの信号はランダム化することが好ましいが、これが不可能な場合は、少なくとも２つの出力段２５１ｃの出力が書き込まれて平均化されるように制御する。以上の事項は、第２画素行の画素以降にも同様に適用される。また、出力端子９３ａ以外（９３ｂ～９３ｎ）に対しても同様の動作が実施される。

【０２２３】

以上のように、基本的には１つの出力段２５１ｃの出力と１つの出力端子とが、出力選択回路１５３１により選択され、各出力段２５１ｃの出力がソース信号線１８に印加される。ソース信号線１８から出力される信号は、正規の（正常な）画像表示となるように、

ラッチ回路３５１にラッチ保持される。

【０２２４】

１画面あるいは一定の表示周期が終了すると、出力端子９３から出力される出力段５２１ｃの順番を入れ替えることが好ましい。たとえば、図１５４の表の状態が、１フレーム目とする。次の２フレーム目では、図１５４の表の出力端子９３ａの出力段２５１ｃの選択状態（２５１ｃ１、２５１ｃ２、２５１ｃ３、２５１ｃ４・・・・・・）を、出力端子９３ｂの出力段２５１ｃの選択状態（２５１ｃｎ、２５１ｃ１、２５１ｃ２、２５１ｃ３、２５１ｃ４・・・・・・）とする。図１５４の表の出力端子９３ｂの出力段２５１ｃの選択状態（２５１ｃｎ、２５１ｃ１、２５１ｃ２、２５１ｃ３、２５１ｃ４・・・・・・）を、出力端子９３ｃの出力段２５１ｃの選択状態（２５１ｃｎ－１、２５１ｃｎ、２５１ｃ１、２５１ｃ２、２５１ｃ３、２５１ｃ４・・・・・・）とする。図１５４の表の出力端子９３ｃの出力段２５１ｃの選択状態（２５１ｃｎ－１、２５１ｃｎ、２５１ｃ１、２５１ｃ２、２５１ｃ３、２５１ｃ４・・・・・・）を、出力端子９３ｄの出力段２５１ｃの選択状態（２５１ｃｎ－２、２５１ｃｎ－１、２５１ｃｎ、２５１ｃ１、２５１ｃ２、２５１ｃ３、２５１ｃ４・・・・・・）とする。以後同様にシフトさせる。

【０２２５】

次の３フレーム目では、出力端子９３ａの出力段２５１ｃの選択状態（２５１ｃｎ、２５１ｃ１、２５１ｃ２、２５１ｃ３、２５１ｃ４・・・・・・）を、出力端子９３ｂの出力段２５１ｃの選択状態（２５１ｃｎ－１、２５１ｃｎ、２５１ｃ１、２５１ｃ２、２５１ｃ３、２５１ｃ４・・・・・・）とする。出力端子９３ｂの出力段２５１ｃの選択状態（２５１ｃｎ－１、２５１ｃｎ、２５１ｃ１、２５１ｃ２、２５１ｃ３、２５１ｃ４・・・・・・）を、出力端子９３ｃの出力段２５１ｃの選択状態（２５１ｃｎ－１、２５１ｃｎ－１、２５１ｃｎ、２５１ｃ１、２５１ｃ２、２５１ｃ３、２５１ｃ４・・・・・・）とする。出力端子９３ｃの出力段２５１ｃの選択状態（２５１ｃｎ－２、２５１ｃｎ－１、２５１ｃｎ、２５１ｃ１、２５１ｃ２、２５１ｃ３、２５１ｃ４・・・・・・）を、出力端子９３ｄの出力段２５１ｃの選択状態（２５１ｃ－３、２５１ｃｎ－２、２５１ｃｎ－１、２５１ｃｎ、２５１ｃ１、２５１ｃ２、２５１ｃ３、２５１ｃ４・・・・・・）とする。以後同様にシフトさせる。

【０２２６】

なお、本発明では説明を容易にするため、１フレームまたは１フィールドで出力端子９３から出力される状態を入れ替えるとして説明するが、これに限定するものではない。複数フレームまたはフィールドで入れ替えてもよい。また、複数画素行（複数水平走査期間）ごとに入れ替えてもよい。また、フレームまたは画素行（水平走査期間）に限定されるものではなく、一定周期もしくはランダム周期で入れ替えてもよい。以上の事項は本発明の他の実施例にも適用されることは言うまでもない。

【０２２７】

シフトさせることにより、画面９４の表示状態は、出力段２５１ｃの特性の影響を受けず、均一な表示を実現できる。シフトの方式には他の方法も例示される。

【０２２８】

たとえば、フレームごとに、出力端子９３ａと出力端子９３ｎの状態を入れ替える。出力端子９３ｂと出力端子９３ｎ－１の状態を入れ替える。出力端子９３ｃと出力端子９３ｎ－２の状態を入れ替える。以下同様で入れ替える。つまり、画面の左右を入れ替える。

【０２２９】

また、他の方法も例示される。たとえば、フレームごとに、奇数番目の出力端子９３と偶数番目の出力端子９３の状態とを入れ替える。もちろん、ランダムに入れ替えてもよい。

【０２３０】

また、第１のフレームでは、出力端子９３ａと出力端子９３ｂの状態とを入れ替える。次の第２のフレームでは、出力端子９３ａと出力端子９３ｃの状態とを入れ替える。次の第３のフレームでは、出力端子９３ａと出力端子９３ｄの状態とを入れ替える。次の第４

のフレームでは、出力端子９３ａと出力端子９３ｃｅ状態とを入れ替える。以下、他の出力端子も同様に入れ替える方法が例示される。

【０２３１】

また、第１、第３のフレームなどの奇数番目のフレームでは、奇数番目の出力端子９３間で入れ替え、偶数番目の出力端子９３間で入れ替える。第２、第４のフレームなどの偶数番目のフレームでは、隣接した奇数番目と偶数番目の出力端子９３間で入れ替える方式が例示される。

【０２３２】

また、ソースドライバ回路（ＩＣ）１４では、４ｍｍ～８ｍｍの周期で特性周期が分布する。これは、ＩＣ製造時の拡散工程により発生する。したがって、出力端子９３の入れ替え範囲は、４ｍｍ以上の範囲で実施する。たとえば、出力段２５１ａ～２５１ｎの形成長さが２０ｍｍあり、４ｍｍ周期で特性分布が発生する恐れがある場合は、少なくとも２０／５＝５ブロック以下の範囲内で出力端子９３と出力段２５１ｃとの接続を出力選択回路１３５１により入れ替えることが好ましい。

【０２３３】

また、先の説明では、最終画素行まで以上の動作を実施すると、また、第１画素行に対して同一の動作を行うとしたが、これに限定されるものではない。たとえば、最終画素行－１画素行までに１周期を完了させ、最終画素行から次の周期を開始してもよい。つまり、出力端子９３ａを例示すれば、１画素行目の画素には、出力段２５１ｃ１からの信号が印加される。２画素行目の画素には、出力段２５１ｃ２からの信号が印加され、３画素行目の画素には、出力段２５１ｃ３からの信号が印加され、４画素行目の画素には、出力段２５１ｃ４からの信号が印加される。以上の動作を順次行い、最終の画素行から１つ前の画素行に、たとえば、出力段２５１ｎの信号が印加されたとすると、最終の画素行には、出力段２５１ｃ１の信号が印加される。したがって、次のフレームである１画素行目の画素には、出力段２５１ｃ２からの信号が印加される。２画素行目の画素には、出力段２５１ｃ３からの信号が印加され、３画素行目の画素には、出力段２５１ｃ４からの信号が印加される。このように駆動することにより、フレーム（フィールド）周期では、１画素行あるいはそれ以上がずれて、出力段２５１ｃ選択が行われることになり、各画素に印加する出力段２５１ｃが長期間で変化させることができる。したがって、各画素１６は多数の出力段２５１ｃからの信号で駆動されることになり、画像表示は均一化される。なお、他の出力端子９３においても同様の制御が実施される。

【０２３４】

また、画面の第１画素行から最終画素行まで選択された後、今度は、最終画素行から第１画素行の方向に選択される出力段２５１ｃを変化させてもよい。つまり、出力端子９３ａを例示すれば、１画素行目の画素には、出力段２５１ｃ１からの信号が印加される。２画素行目の画素には、出力段２５１ｃ２からの信号が印加され、３画素行目の画素には、出力段２５１ｃ３からの信号が印加され、４画素行目の画素には、出力段２５１ｃ４からの信号が印加される。以上の動作を順次行い、最終の画素行に、たとえば、出力段２５１ｎの信号が印加されたとすると、次のフレームである１画素行目の画素には、出力段２５１ｃｎからの信号が印加される。２画素行目の画素には、出力段２５１ｃｎ－１からの信号が印加され、３画素行目の画素には、出力段２５１ｃｎ－３からの信号が印加される。このように駆動することにより、フレーム（フィールド）周期で、各画素に印加する出力段２５１ｃが長期間で変化させることができる。したがって、各画素１６は多数の出力段２５１ｃからの信号で駆動されることになり、画像表示は均一化される。なお、他の出力端子９３においても同様の制御が実施される。

【０２３５】

出力端子９３を順次選択する出力段２５１ｃの順番をランダム化してもよい。また、２とばしや、３以上とばしで出力段２５１ｃを選択してもよい。

【０２３６】

以上の事項あるいは方法は、図１５８～図１６４の方式においても適用できることは言

うまでもない。

【０２３７】

なお、出力段２５１の個数は、行方向のドット数（ソース信号線１８の本数）以上の個数を形成または構成しておき、そのうち、必要な個数（基本的にはソース信号線１８の本数）を選択して各ソース信号線１８に出力段２５１ｃからの出力信号を印加してもよい。

【０２３８】

以上の実施例では、Ｒ、Ｇ、Ｂの各出力段２５１については、説明していないが、Ｒ、Ｇ、Ｂの各出力段２５１ｃの出力にも出力選択回路１５３１が形成または構成されている。Ｒ、Ｇ、Ｂの各出力選択回路１５３１の制御により、各出力端子９３から出力される信号が、出力段２５１ｃを選択して出力される。本発明はこれに限定するものではなく、Ｒ、Ｇ、Ｂで共通の出力選択回路１５３１を形成または構成し、出力段２５１ｃがＲＧＢの区別なく選択されて各出力端子９３から出力されるように構成しても良いことは言うまでもない。

【０２３９】

他の構成は、図２６、図２７、図２９、図３１あるいはその他の実施例と同様であるので説明を省略する。

【０２４０】

以下、図面を参照しながら、本発明の他の実施例について説明を行う。図１５５は本発明の第２の実施例を表にまとめたものである。回路構成は図１５３と同様あるいは類似である。図１５５は、図１５４と同様に、出力端子９３と、水平走査期間（Ｈ）の関係を示している。出力端子９３には、各Ｈにどの出力段２５１ｃからのプログラム電流が出力されているかを示している。

【０２４１】

図１５５において、出力端子９３ａには、出力選択回路１５３１により、１Ｈ目に出力段２５１ｃ１が選択される。２Ｈ目に出力段２５１ｃ３が選択され、３Ｈ目に出力段２５１ｃ５が選択される。さらに、次の４Ｈ目では出力段２５１ｃ７が選択され、５Ｈ目では、出力段２５１ｃ９が選択される。つまり、出力端子９３ａには、順次、奇数番目の出力段２５１ｃが選択され、各画素１６に印加される。

【０２４２】

同様に、出力端子９３ｂには、出力選択回路１５３１により、１Ｈ目に出力段２５１ｃｎが選択される。２Ｈ目に出力段２５１ｃ２が選択され、３Ｈ目に出力段２５１ｃ４が選択される。さらに、次の４Ｈ目では出力段２５１ｃ６が選択され、５Ｈ目では、出力段２５１ｃ８が選択される。つまり、出力端子９３ｂには、順次、偶数番目の出力段２５１ｃが選択され、各画素１６に印加される。

【０２４３】

出力端子９３ｃには、出力選択回路１５３１により、１Ｈ目に出力段２５１ｃｎ－１が選択される。２Ｈ目に出力段２５１ｃ１が選択され、３Ｈ目に出力段２５１ｃ３が選択される。さらに、次の４Ｈ目では出力段２５１ｃ５が選択され、５Ｈ目では、出力段２５１ｃ７が選択される。つまり、出力端子９３ｃには、出力端子９３ａとは、１Ｈ遅れた奇数番目の出力段２５１ｃが選択され、各画素１６に印加される。

【０２４４】

図１５５の実施例のように、奇数番目の出力端子９３には奇数番目の出力段２５１ｃが選択されて出力されるとし、偶数番目の出力端子９３には偶数番目の出力段２５１ｃが選択されて出力されるように構成することにより、出力選択回路１５３１の回路構成、映像信号を順次ラッチするラッチ回路の構成が簡単になり、回路規模を小さくでき、低コスト化することができる。なお、他の動作は、図１５４と同様あるいは類似であるので説明を省略する。

【０２４５】

以上の実施例は、プログレッシブ表示を前提として説明した。図１５７は、インターレース表示の場合の実施例である。インターレース表示では、奇数フィールドと偶数フィー

ルドで１フレームが構成され、１画面表示が実現される。

【０２４６】

図１５７はインターレース表示の出力選択回路１５３１の動作を示している。なお、図１５７において、偶数フィールド（図１５７（ａ））では、奇数番目の画素行が順次選択されて、画像が書きかえられるとし、奇数フィールド（図１５７（ｂ））では、偶数番目の画素行が順次選択されて、画像が書きかえられるとする。

【０２４７】

図１５７（ａ）の偶数Ｆ（偶数フィールド）において、出力端子９３ａには、出力選択回路１５３１により、１Ｈ目に出力段２５１ｃ１が選択される。３Ｈ目に出力段２５１ｃ２が選択される。５Ｈ目に出力段２５１ｃ３が選択される。さらに、次の７Ｈ目では出力段２５１ｃ４が選択され、９Ｈ目では、出力段２５１ｃ５が選択される。

【０２４８】

同様に、出力端子９３ｂには、出力選択回路１５３１により、１Ｈ目に出力段２５１ｃｎが選択される。３Ｈ目に出力段２５１ｃ１が選択される。５Ｈ目に出力段２５１ｃ３が選択される。さらに、次の７Ｈ目では出力段２５１ｃ４が選択され、９Ｈ目では、出力段２５１ｃ５が選択される。出力端子９３ｃ～も同様である。

【０２４９】

図１５７（ｂ）の奇数Ｆ（奇数フィールド）においては、偶数フィールドと同様に、出力端子９３ａには、出力選択回路１５３１により、２Ｈ目に出力段２５１ｃ１が選択される。４Ｈ目に出力段２５１ｃ２が選択される。６Ｈ目に出力段２５１ｃ３が選択される。さらに、次の８Ｈ目では出力段２５１ｃ４が選択され、１０Ｈ目では、出力段２５１ｃ５が選択される。

【０２５０】

同様に、出力端子９３ｂには、出力選択回路１５３１により、２Ｈ目に出力段２５１ｃｎが選択される。４Ｈ目に出力段２５１ｃ１が選択される。６Ｈ目に出力段２５１ｃ３が選択される。さらに、次の８Ｈ目では出力段２５１ｃ４が選択され、１０Ｈ目では、出力段２５１ｃ５が選択される。出力端子９３ｃ～も同様である。なお、他の動作、構成などは、図１５４と同様あるいは類似であるので説明を省略する。

【０２５１】

図１５７の実施例のように、奇数番目フィールドと偶数番目のフィールドで、各出力端子９３から出力される出力段２５１ｃの選択を同一にすることにより、回路規模を小さくでき、低コスト化することができる。

【０２５２】

なお、図１５６のような方式としてもよいことは明らかである。図１５６（ａ）の偶数Ｆ（偶数フィールド）において、出力端子９３ａには、出力選択回路１５３１により、１Ｈ目に出力段２５１ｃ２が選択される。３Ｈ目に出力段２５１ｃ４が選択される。５Ｈ目に出力段２５１ｃ６が選択される。さらに、次の７Ｈ目では出力段２５１ｃ８が選択され、９Ｈ目では、出力段２５１ｃ１０が選択される。

【０２５３】

同様に、出力端子９３ｂには、出力選択回路１５３１により、１Ｈ目に出力段２５１ｃｎが選択される。３Ｈ目に出力段２５１ｃ２が選択される。５Ｈ目に出力段２５１ｃ４が選択される。さらに、次の７Ｈ目では出力段２５１ｃ６が選択され、９Ｈ目では、出力段２５１ｃ８が選択される。出力端子９３ｃ～も同様である。

【０２５４】

図１５６（ｂ）の奇数Ｆ（奇数フィールド）においては、偶数フィールドと同様に、出力端子９３ａには、出力選択回路１５３１により、２Ｈ目に出力段２５１ｃ１が選択される。４Ｈ目に出力段２５１ｃ３が選択される。６Ｈ目に出力段２５１ｃ５が選択される。さらに、次の８Ｈ目では出力段２５１ｃ７が選択され、１０Ｈ目では、出力段２５１ｃ９が選択される。

【０２５５】

同様に、出力端子９３ｂには、出力選択回路１５３１により、２Ｈ目に出力段２５１ｃｎ－１が選択される。４Ｈ目に出力段２５１ｃ１が選択される。６Ｈ目に出力段２５１ｃ３が選択される。さらに、次の８Ｈ目では出力段２５１ｃ５が選択され、１０Ｈ目では、出力段２５１ｃ７が選択される。出力端子９３ｃ～も同様である。なお、他の動作、構成などは、図１５４と同様あるいは類似であるので説明を省略する。

【０２５６】

以上の実施例は、水平走査期間を主とする制御（駆動方法）であった。しかし、本発明はこれに限定するものではない。１Ｆ（フレームあるいはフィールド）で制御（駆動）してもよい。図１５８はその実施例である。

【０２５７】

図１５８は、図１５４などと同様に出力端子９３ｃに接続される出力段２５１ｃの番号を示している。たとえば、図１５４のソース信号線１８ａに接続される出力段９３ａは、１Ｆ目の期間には、出力段２５１ｃ１（表では1と記載）が選択されている。次の２Ｆ目の期間には、出力段２５１ｃ２（表では2と記載）が選択されている。３Ｆ目の期間には、出力段２５１ｃ３（表では3と記載）が選択され、さらに次の４Ｆ目の期間には、出力段２５１ｃ４（表では4と記載）が選択されている。以下同様である。

【０２５８】

ソース信号線１８ａに隣接したソース信号線１８ｂに接続される出力段９３ｂは、１Ｆ目の期間には、出力段２５１ｃｎ（表ではｎと記載）が選択されている。次の２Ｆ目の期間には、出力段２５１ｃ１（表では1と記載）が選択されている。３Ｆ目の期間には、出力段２５１ｃ２（表では2と記載）が選択され、さらに次の４Ｆ目の期間には、出力段２５１ｃ３（表では3と記載）が選択されている。以下同様である。他の端子も同様に１つまたは場合によっては複数の出力段２５１ｃが選択され出力端子９３から出力される。

【０２５９】

なお、以上の実施例では１Ｆ周期としたがこれに限定されるものではなく、複数周期で選択する出力段２５１ｃを変化（変更）してもよい。また、１Ｆ単位の周期に限定されるものではなく、０．５Ｆ、１．５Ｆ周期などの周期で選択する出力段２５１ｃを変化（変更）してもよい。以上の事項は本発明の他の実施例にも適用できることは言うまでもない。また、他の実施例と組み合わせることができることも言うまでもない。

【０２６０】

以上の実施例では、選択する出力段２５１ｃを変化させることにより、出力段２５１ｃの特性バラツキを平均化し、均一な画像表示を実現するという駆動方式であった。しかし、本発明はこれに限定されるものではない。

【０２６１】

均一の方式として、基準電流を変化させるという方法がある。図１５３などに図示する基準電流Ｉｃにより出力段２５１ｃの特性が変化するからである。複数の基準電流Ｉｃにより、出力段２５１ｃの信号（出力電流または出力電圧）を変化させることにより、より均一が画像表示を実現できる。なお、この方式では、出力選択回路１５３１は必要ないが、出力選択回路１５３１により、選択する出力段２５１ｃを変化させることにより、より均一な画像表示を実現できることは言うまでもない。

【０２６２】

基準電流Ｉｃの大きさと出力段２５１ｃから出力されるプログラム電流は基本的には比例する。しかし、選択される単位トランジスタ数などによりプログラム電流Ｉｃは変化する。以上のことから、基準電流を変化させ、画素１６に書き込まれるプログラム電流が平均的に目標値となるように駆動することにより、均一は画像表示を実現できる。

【０２６３】

図１５９はその実施例である。図１５９の実施例では、一例として基準電流Ｉｃ１とＩｃ２で駆動する場合を例示している。また、図１５９では、水平走査期間ごとに基準電流Ｉｃ１とＩｃ２とを変化させている。なお、目標の基準電流ＩｃとＩｃ１、Ｉｃ２とは、Ｉｃ＝（Ｉｃ１＋Ｉｃ２）／２の関係に調整されている。

【０２６４】
なお、以下の実施例では、基準電流を一定の周期で変化させるとして説明している。基準電流の変化させるのは、図２９などの電子ボリウム２９１を変化させる方法がある。他にも、カスケード接続を行う場合に、マスターチップ（ソースドライバ回路（ＩＣ）１４）からスレーブチップ（ソースドライバ回路（ＩＣ）１４）に基準電流（この場合はカスケード電流）を受け渡す構成がある。基準電流（カスケード電流）はトランジスタ群２５１ｂに印加され、このカスケード電流に対応して出力段２５１ｃからプログラム電流が出力される。したがって、基準電流を変化することは、カスケード電流が変化することと同義である。

【０２６５】
１つの表示領域９４を構成するのに、３つ以上のソースドライバ回路（ＩＣ）１４を用いる場合は、カスケード接続において、スレーブチップが複数のマスターチップから基準電流（カスケード電流）を受け取る構成が実施される。この場合は、基準電流（カスケード電流）を発生するマスターチップが複数存在することになる。したがって、スレーブチップは、複数のマスターチップからの基準電流（カスケード電流）が入力されることになる。つまり、基準電流は複数になる。スレーブチップでは、入力される複数の基準電流を平均化することにより、良好なカスケード接続を実現する。つまり、スレーブチップは、画像表示に基準電流を切り換えるという動作を行う。この動作は以下に説明する基準電流を変化させる実施例で実現する。

【０２６６】
図１５９において、第１Ｆ（フレームまたはフィールド）では、最初の１Ｈ（第１画素行目）は、基準電流Ｉｃ１（第１のマスターチップからのカスケード電流と考えてもよい）を印加し、出力端子９３から基準電流Ｉｃ１に対応するプログラム電流が各ソース信号線１８に出力される。次の２Ｈ（第２画素行目）は、基準電流Ｉｃ２（第２のマスターチップからのカスケード電流と考えてもよい）を印加し、出力端子９３から基準電流Ｉｃ２に対応するプログラム電流が各ソース信号線１８に出力される。以下同様に、３Ｈ（第３画素行目）は、基準電流Ｉｃ１を印加し、出力端子９３から基準電流Ｉｃ１に対応するプログラム電流が各ソース信号線１８に出力される。第４画素行目）は、基準電流Ｉｃ２を印加し、出力端子９３から基準電流Ｉｃ２に対応するプログラム電流が各ソース信号線１８に出力される。

【０２６７】
第１Ｆ（フレームまたはフィールド）の次の第２Ｆは、基準電流が平均化されて目標の基準電流Ｉｃとなるように、最初の１Ｈ（第１画素行目）は、基準電流Ｉｃ２を印加し、出力端子９３から基準電流Ｉｃ２に対応するプログラム電流が各ソース信号線１８に出力される。次の２Ｈ（第２画素行目）は、基準電流Ｉｃ１を印加し、出力端子９３から基準電流Ｉｃ１に対応するプログラム電流が各ソース信号線１８に出力される。以下同様に、３Ｈ（第３画素行目）は、基準電流Ｉｃ２を印加し、出力端子９３から基準電流Ｉｃ２に対応するプログラム電流が各ソース信号線１８に出力される。第４画素行目）は、基準電流Ｉｃ１を印加し、出力端子９３から基準電流Ｉｃ１に対応するプログラム電流が各ソース信号線１８に出力される。

【０２６８】
なお、基準電流の変化は２つに限定するものではなく、３以上としてもよいことは言うまでもない。また、基準電流は１Ｈごとに限定するものではなく、複数Ｈ（複数水平走査期間）ごとに変化させてもよい。また、水平走査期間に限定するものではなく、Ｆ（フレームまたはフィールド）周期で基準電流を変化させてもよい。また、１Ｈあるいは１Ｆ単位の変化に限定するものではない。１．５Ｈや１．５Ｆなどで、基準電流を変化させてもよい。

【０２６９】
図１６０は１Ｈを前半の期間Ｂと後半の期間Ａに分けている。かつ、前半と後半に印加する基準電流の大きさを変化させている。図１６０において、最初の１Ｈ（第１画素行目

）の前半（１Ｂ）は、基準電流Ｉｃ１を印加し、出力端子９３から基準電流Ｉｃ１に対応するプログラム電流が各ソース信号線１８に出力される。１Ｈ（第１画素行目）の後半（１Ａ）は、基準電流Ｉｃ２を印加し、出力端子９３から基準電流Ｉｃ２に対応するプログラム電流が各ソース信号線１８に出力される。

【０２７０】

次の２Ｈ（第２画素行目）の前半（２Ｂ）は、基準電流Ｉｃ１を印加し、出力端子９３から基準電流Ｉｃ１に対応するプログラム電流が各ソース信号線１８に出力される。２Ｈ（第２画素行目）の後半（２Ａ）は、基準電流Ｉｃ２を印加し、出力端子９３から基準電流Ｉｃ２に対応するプログラム電流が各ソース信号線１８に出力される。

【０２７１】

以下同様に、次の３Ｈ（第３画素行目）の前半（３Ｂ）は、基準電流Ｉｃ１を印加し、出力端子９３から基準電流Ｉｃ１に対応するプログラム電流が各ソース信号線１８に出力される。３Ｈ（第３画素行目）の後半（３Ａ）は、基準電流Ｉｃ２を印加し、出力端子９３から基準電流Ｉｃ２に対応するプログラム電流が各ソース信号線１８に出力される。

【０２７２】

なお、以上の実施例においても、基準電流の変化は２つに限定するものではなく、３以上としてもよいことは言うまでもない。また、基準電流の変化は１Ｈごとに限定するものではなく、複数Ｈ（複数水平走査期間）ごとに変化させてもよい。また、水平走査期間に限定するものではなく、Ｆ（フレームまたはフィールド）周期で基準電流を変化させてもよい。また、１Ｈあるいは１Ｆ単位の変化に限定するものではない。１．５Ｈや１．５Ｆなどで、基準電流を変化させてもよい。

【０２７３】

以上の実施例は、水平走査期間を基準として、基準電流を変化させる実施例であった。しかし、本発明はこれに限定されるものではない。図１６１に示す実施例は、１Ｆ（フィールド又はフレーム）周期で基準電流を変化させるものである。

【０２７４】

第１Ｆ（フレームまたはフィールド）では、基準電流Ｉｃ１（第１のマスターチップからのカスケード電流と考えてもよい）を印加する。出力端子９３から基準電流Ｉｃ１に対応するプログラム電流が各ソース信号線１８に出力される。次の第２Ｆは、基準電流Ｉｃ２（第２のマスターチップからのカスケード電流と考えてもよい）を印加し、出力端子９３から基準電流Ｉｃ２に対応するプログラム電流が各ソース信号線１８に出力される。以下同様に、第３Ｆは、基準電流Ｉｃ１を印加し、出力端子９３から基準電流Ｉｃ１に対応するプログラム電流が各ソース信号線１８に出力される。第４Ｆは、基準電流Ｉｃ２を印加し、出力端子９３から基準電流Ｉｃ２に対応するプログラム電流が各ソース信号線１８に出力される。

【０２７５】

以上の実施例は、１Ｆを基準として、基準電流を変化させる実施例であった。しかし、本発明はこれに限定されるものではない。０．５あるいは１．５（フィールド又はフレーム）周期で基準電流を変化させてもよい。

【０２７６】

以上の実施例は、図１５３に図示するトランジスタ群２５１ｂに印加される基準電流Ｉｃを変化させるものであった。本発明はこれに限定するものでない。たとえば、図１６２に図示するように、トランジスタ群２５１ｃ（出力段２５１ｃ）の両側にトランジスタ群２５１ｂ（チップの左端にトランジスタ群２５１ｂ１、チップの右端にトランジスタ群２５１ｂ２）を配置または形成し、トランジスタ群２５１ｂ１に基準電流Ｉｃ１を印加し、トランジスタ群２５１ｂ２に基準電流Ｉｃを印加する構成としてもよい。

【０２７７】

基準電流Ｉｃ１を選択するか、基準電流Ｉｃ２を選択するかは、スイッチＳ１とスイッチＳ２を制御することにより実現する。スイッチＳ１をクローズし、スイッチＳ２をオープンすれば、出力段２５１ｃからは、基準電流Ｉｃ１に対応するプログラム電流が出力さ

れる。スイッチＳ２をクローズし、スイッチＳ１をオープンすれば、出力段２５１ｃからは、基準電流Ｉｃ２に対応するプログラム電流が出力される。

【０２７８】

図１６２の構成を用いれば、図１６３の駆動方式の実現は容易である。スイッチＳ１とスイッチＳ２の制御により、基準電流Ｉｃ１とＩｃ２が容易に切り換えることができるからである。

【０２７９】

図１６３において、第１Ｆ（フレームまたはフィールド）では、最初の１Ｈ（第１画素行目）は、基準電流Ｉｃ１（第１のマスターチップからのカスケード電流と考えてもよい）を印加し、出力端子９３から基準電流Ｉｃ１に対応するプログラム電流が各ソース信号線１８に出力される。次の２Ｈ（第２画素行目）は、基準電流Ｉｃ２（第２のマスターチップからのカスケード電流と考えてもよい）を印加し、出力端子９３から基準電流Ｉｃ２に対応するプログラム電流が各ソース信号線１８に出力される。以下同様に、３Ｈ（第３画素行目）は、基準電流Ｉｃ１を印加し、出力端子９３から基準電流Ｉｃ１に対応するプログラム電流が各ソース信号線１８に出力される。第４画素行目）は、基準電流Ｉｃ２を印加し、出力端子９３から基準電流Ｉｃ２に対応するプログラム電流が各ソース信号線１８に出力される。

【０２８０】

第１Ｆ（フレームまたはフィールド）の次の第２Ｆは、基準電流が平均化されて目標の基準電流Ｉｃとなるように、最初の１Ｈ（第１画素行目）は、基準電流Ｉｃ２を印加し、出力端子９３から基準電流Ｉｃ２に対応するプログラム電流が各ソース信号線１８に出力される。次の２Ｈ（第２画素行目）は、基準電流Ｉｃ１を印加し、出力端子９３から基準電流Ｉｃ１に対応するプログラム電流が各ソース信号線１８に出力される。以下同様に、３Ｈ（第３画素行目）は、基準電流Ｉｃ２を印加し、出力端子９３から基準電流Ｉｃ２に対応するプログラム電流が各ソース信号線１８に出力される。第４画素行目）は、基準電流Ｉｃ１を印加し、出力端子９３から基準電流Ｉｃ１に対応するプログラム電流が各ソース信号線１８に出力される。

【０２８１】

なお、基準電流の変化は２つに限定するものではなく、３以上としてもよいことは言うまでもない。この場合は、トランジスタ２５１ｂの個数を増加させればよい。基準電流は１Ｈごとに限定するものではなく、複数Ｈ（複数水平走査期間）ごとに変化させてもよい。また、水平走査期間に限定するものではなく、Ｆ（フレームまたはフィールド）周期で基準電流を変化させてもよい。たとえば、図１６４の実施例が例示される。図１６４では、２Ｆ周期で基準電流を変化させている。また、１Ｈあるいは１Ｆ単位の変化に限定するものではない。１．５Ｈや１．５Ｆなどで、基準電流を変化させてもよい。

【０２８２】

以上の図１５３から図１６４で説明した駆動方法あるいは構成は、相互に組み合わせることができることは言うまでもない。たとえば、図１５７と、図１６０、図１６１、図１６２などとの組み合わせが例示される。また、図１６２と図１５３の組み合わせ、図１５３と図１６０、図１６１などの組み合わせが例示される。以上のように本発明は相互に組み合わせることができる。

【０２８３】

本発明において、ソースドライバ回路（ＩＣ）１４は半導体シリコンチップで形成し、ガラスオンチップ（ＣＯＧ）技術で基板３０のソース信号線１８の端子と接続されている。一方、ゲートドライバ回路１２は低温ポリシリコン技術で形成している。つまり、画素のトランジスタと同一のプロセスで形成している。これは、ソースドライバ回路（ＩＣ）１４に比較して内部の構造が容易で、動作周波数も低いためである。したがって、低温ポリシリ技術で形成しても容易に形成することができ、また、表示パネルの狭額縁化を実現できる。もちろん、ゲートドライバ回路１２をシリコンチップで形成し、ＣＯＧ技術などを用いて基板３０上に実装してもよいことは言うまでもない。また、ゲートドライバ回路

（ＩＣ）１２、ソースドライバ回路（ＩＣ）１４をＣＯＦあるいはＴＡＢ技術で実装してもよい。また、画素トランジスタなどのスイッチング素子、ゲートドライバなどは高温ポリシリコン技術で形成してもよく、有機材料で形成（有機トランジスタ）してもよい。

【０２８４】

画素１６を構成するトランジスタ１１をＰチャンネルで構成すると、プログラム電流は画素１６からソース信号線１８に流れ出す方向になる。そのため、ソースドライバ回路の単位トランジスタ２２４は、Ｎチャンネルのトランジスタで構成する必要がある。つまり、ソースドライバ回路（ＩＣ）１４はプログラム電流Ｉｗを引き込むように回路構成する必要がある。

【０２８５】

画素１６の駆動用トランジスタ１１ａ（図１の場合）がＰチャンネルトランジスタの場合は、必ず、ソースドライバ回路（ＩＣ）１４はプログラム電流Ｉｗを引き込むように、単位トランジスタ２２４をＮチャンネルトランジスタで構成する。

【０２８６】

ソースドライバ回路（ＩＣ）１４をアレイ基板３０に形成するには、Ｎチャンネル用マスク（プロセス）とＰチャンネル用マスク（プロセス）の両方を用いる必要がある。概念的に述べれば、画素１６とゲートドライバ回路１２をＰチャンネルトランジスタで構成し、ソースドライバの引き込み電流源のトランジスタはＮチャンネルで構成するのが本発明の表示パネル（表示装置）である。

【０２８７】

本発明の１実施形態は、画素１６のトランジスタ１１をＰチャンネルトランジスタで形成し、ゲートドライバ回路１２をＰチャンネルトランジスタで形成する。このように画素１６のトランジスタ１１とゲートドライバ回路１２の両方をＰチャンネルトランジスタで形成することにより、基板３０を低コスト化できる。

【０２８８】

ソースドライバ回路（ＩＣ）１４は、単位トランジスタ２２４をＮチャンネルトランジスタで形成することが必要になる。しかし、Ｐチャンネルのみのプロセスでは、ソースドライバ回路（ＩＣ）１４は基板３０に直接形成することができない。そこで別途、シリコンチップなどでソースドライバ回路（ＩＣ）１４を作製し、基板３０に積載する。つまり、本発明は、ソースドライバＩＣ１４（映像信号としてのプログラム電流を出力する手段）を外付けする構成である。

【０２８９】

また、単位トランジスタ２２４の面積を同一とした場合、Ｎチャンネルで形成した単位トランジスタ２２４のばらつきは、Ｐチャンネルで形成した単位トランジスタのばらつきに比較して、７０％になる。つまり、Ｎチャンネルで単位トランジスタ２２４を形成する方が、同一トランジスタ形成面積でバラツキを小さくすることができる。検討の結果によれば、Ｐチャンネルの単位トランジスタのバラツキをＮチャンネルの単位トランジスタと同一にするためには、２倍の形成面積が必要であった。

【０２９０】

ソースドライバ回路（ＩＣ）１４はシリコンチップで構成するとしたがこれに限定するものではない。たとえば、低温ポリシリコン技術などでガラス基板に多数個を同時に形成し、チップ状に切断して、基板３０に積載してもよい。

【０２９１】

また、基板３０にソースドライバ回路を積載するとして説明しているが、積載に限定するものではない。ソースドライバ回路（ＩＣ）１４の出力端子２５１を基板３０のソース信号線１８に接続するのであればいずれの形態でもよい。たとえば、ＴＡＢ技術でソースドライバ回路（ＩＣ）１４をソース信号線１８に接続する方式が例示される。シリコンチップなどに別途ソースドライバ回路（ＩＣ）１４を形成することにより、出力電流のバラツキが低減し、良好な画像表示を実現できる。また、低コスト化が可能である。

【０２９２】

また、画素１６の選択トランジスタをＰチャンネルで構成し、ゲートドライバ回路をＰチャンネルトランジスタで構成するという構成は、有機ＥＬなどの自己発光デバイス（表示パネルあるいは表示装置）に限定されるものではない。たとえば、液晶表示デバイス、ＦＥＤ（ Field Emission Display（フィールドエミッションディスプレイ））、SED（Surface-conductionElectron-emitter Display）カーボンナノチューブ（Carbon nano tube、CNTと略されることがある）を用いた表示装置にも適用することができる。

【０２９３】

以上の構成を、図２６に模式的に示す。単位トランジスタ群２５１ｃが出力端子数分、並列に配置される。単位トランジスタ群２５１ｃの両脇にトランジスタ群２５１ｂが複数ブロック形成されている。トランジスタ群２５１ｂのトランジスタ２２８ｂのゲート端子と、単位トランジスタ群２５１ｃの単位トランジスタ２２４のゲート端子とはゲート配線２２３で接続される。

【０２９４】

以上の説明は、説明を容易にするため、単色のソースドライバＩＣ１４のように説明した。しかし、トランジスタ群２５１ｂおよび単位トランジスタ群２５１ｃは赤（Ｒ）、緑（Ｇ）、青（Ｂ）のトランジスタ群が交互に配置される。以上のように、ＲＧＢ用のトランジスタ群を交互に配置することによりＲＧＢ間の出力バラツキが低減する。この構成もソースドライバ回路（ＩＣ）１４内のレイアウトとして重要な要件である。

【０２９５】

図２７では、基準電流を流すトランジスタ群２５１ｂ（トランジスタ２２８ｂ）は、ＩＣチップの外側近傍に配置している。トランジスタ２２８ｂは１つではなく、複数個が形成されトランジスタ群を構成する。ここでは説明を容易にするため、トランジスタ群２５１ｂはトランジスタ２２８ｂとして説明をする。この事項は本発明の他の実施例においても同様である（たとえば、図２６が該当する）。

【０２９６】

図６１などの回路構成ではホワイトバランス調整が容易である。まず、ＲＧＢの電子ボリウム２９１を同一の設定値に調整する。次に外付け抵抗Ｒ１ｒ、Ｒ１ｇ、Ｒ１ｂを調整してホワイトバランスを調整する。

【０２９７】

ソースドライバ回路（ＩＣ）１４では、いずれかの電子ボリウムの設定値でホワイトバランスをとれば電子ボリウム２９１の値を同一にすればホワイトバランスを維持したまま、表示画面６４の輝度調整を行えるという特徴がある。

【０２９８】

図２６は、トランジスタ群２５１ｃの両側から給電する構成であるが、上記事項はこれに限定するものではない。図２７、図２９に図示するように、片側給電構成でも同様である。まず、Ｒ、Ｇ、Ｂの電子ボリウム２９１が同一の設定値で、外付け抵抗Ｒ１ｒ、Ｒ１ｇ、Ｒ１ｂを調整してホワイトバランスをとる。一般的にＲ回路のＩｃｒ、Ｇ回路のＩｃｇ、Ｂ回路のＩｃｂを各ＲＧＢのＥＬ素子の発光効率を考慮して所定の比率とすることによりホワイトバランスをとる。

【０２９９】

ソースドライバ回路（ＩＣ）１４では、どこかの電子ボリウムの設定値でホワイトバランスをとれば電子ボリウム２９１の値を同一にすればホワイトバランスを維持したまま、表示画面６４の輝度調整を行えるという特徴がある。なお、ＲＧＢの電子ボリウムは、Ｒ、Ｇ、Ｂ独立に形成または配置することが好ましいが、これに限定するものではない。たとえば、Ｒ、Ｇ、Ｂで１つの電子ボリウム２９１でもホワイトバランスを維持したまま画面輝度を調整することが可能である。

【０３００】

本発明では、ソースドライバ回路（ＩＣ）１４の内部に電子ボリウムを形成または配置することのより、ソースドライバ回路（ＩＣ）１４の外部からのデジタルデータ制御により基準電流を可変あるいは変更することができる。この事項は、電流駆動ドライバにおい

て重要な事項である。電流駆動では、映像データがＥＬ素子１５に流れる電流に比例する。したがって、映像データをロジック処理することにより全ＥＬ素子に流れる電流を制御できる。基準電流もＥＬ素子１５に流れる電流に比例するから、基準電流をデジタル制御することにより、全ＥＬ素子１５に流れる電流を制御できる。以上のことから、映像データに基づき、基準電流比制御を実施することにより、表示輝度のダイナミックレンジの拡大などを容易に実現できる。

【０３０１】

基準電流の変更あるいは変化させることにより、単位トランジスタ２２４の出力電流を変化することができる。たとえば、基準電流Ｉｃが１００μＡの時に、１つの単位トランジスタ２２４がオン状態での出力電流が１μＡとする。この状態で、基準電流Ｉｃを５０μＡにすれば、１つの単位トランジスタ２２４の出力電流は０．５μＡとなる。同様に、基準電流Ｉｃを２００μＡにすれば、１つの単位トランジスタ２２４の出力電流は２．０μＡとなる。つまり、基準電流Ｉｃと単位トランジスタ２２４の出力電流Ｉｄは比例関係を満足することが好ましい。

【０３０２】

基準電流Ｉｃを設定する設定データと基準電流Ｉｃとは比例関係となるように構成することが好ましい。たとえば、設定データが１の時、基準電流Ｉｃが１００μＡとし、これと基底とするならば、設定データが１００の時、基準電流Ｉｃが２００μＡとなるようにする。つまり、設定データが１増加すると、基準電流Ｉｃが１μＡ増加するように構成することが好ましい。

【０３０３】

以上のように構成することにより、電子ボリウム２９１の設定データにより、ＲＧＢの基準電流（Ｉｃｒ、Ｉｃｇ、Ｉｃｂ）は線形関係を保持したまま変化することができる。したがって、線形関係を保持していることから、いずれかの設定データ時に、ホワイトバランスを調整すれば、どの設定データの時でもホワイトバランスが維持される。この構成において、先に説明した外付け抵抗Ｒ１ｒ、Ｒ１ｇ、Ｒ１ｂを調整してホワイトバランスを構成は重要性がある（特徴ある構成である）。

【０３０４】

以上の実施例では、外付け抵抗でホワイトバランスを調整するとしたが、抵抗Ｒ１はＩＣチップに内蔵させてもよいことは言うまでもない。

【０３０５】

たとえば、電子ボリウム２９１内にはソースドライバ回路（ＩＣ）１４内蔵の抵抗Ｒが直列に形成または配置する。また、スイッチＳ１と基準電圧Ｖｓｔｄ間は内蔵抵抗Ｒａで接続させている。スイッチＳｎとグランド電圧ＧＮＤ間は内蔵抵抗Ｒｂで接続されている。基準電圧Ｖｓｔｄは、精密な固定電圧である。したがって、ＥＬ表示パネルのＶｄｄ電圧が変動してもＶｓｔｄ電圧は変動しない。Ｖｓｔｄが変化すると基準電流Ｉｃが変動するため、この変動を防止し、表示パネルの輝度を一定にするためである。

【０３０６】

以上のように、抵抗Ｒａ、抵抗Ｒ、抵抗Ｒｂをソースドライバ回路（ＩＣ）１４の内蔵抵抗（ポリシリ抵抗）で形成しているため、抵抗Ｒａ、抵抗Ｒ、抵抗Ｒｂの相対値は個々のソースドライバ回路（ＩＣ）１４のポリシリ（ポリシリコン）抵抗のシート抵抗値が変動しても変動しない。したがって、ソースドライバ回路（ＩＣ）１４では基準電流Ｉｃのバラツキが発生しない。

【０３０７】

Ｒの基準電流Ｉｃｒは電子ボリウム２９１の出力電圧と抵抗Ｒ１ｒで決定される。Ｇの基準電流Ｉｃｇは電子ボリウム２９１の出力電圧と抵抗Ｒ１ｇで決定される。Ｂの基準電流Ｉｃｂは電子ボリウム２９１の出力電圧と抵抗Ｒ１ｂで決定される。基準電圧ＶｓｔｄをＲＧＢで共通にし、抵抗Ｒ１ｒ、抵抗Ｒ１ｇ、抵抗Ｒ１ｂでホワイトバランスが調整される。また、電子ボリウム２９１には、内蔵抵抗Ｒａ、抵抗Ｒ、抵抗Ｒｂの相対値を一致させ、電子ボリウム２９１の電圧もＶｓｔｄとしている。したがって、基準電流Ｉｃｒ、

Ｉｃｇ、Ｉｃｂはソースドライバ回路（ＩＣ）１４間で精度よく一定に維持することができる。基準電流Ｉｃを変化させるＩＤＡＴＡはコントローラ回路（ＩＣ）７２２で制御する。

【０３０８】

抵抗Ｒ１ｒ、抵抗Ｒ１ｇ、抵抗Ｒ１ｂは外づけ抵抗あるいは外づけの可変抵抗である。また、基準電圧Ｖｓｔｄを用いない場合、あるいはＶｓｔｄに該当する電圧を変化あるいは調整したい場合は、スイッチＳＷ１で外部電圧Ｖｓを印加できるように構成しておくことが好ましい。さらに、Ｓ１スイッチの電位を変化あるいは変更できるように、スイッチＳＷ２で外部電圧Ｖａを印加できるように構成することが好ましい。また、スイッチＳｎの出力電圧も変更できるように、電圧印加端子をソースドライバ回路（ＩＣ）１４外部に引き出しておくことが好ましい。

【０３０９】

基準電圧Ｖｓｔｄも図３０に図示するように、ＤＡ変換回路２９１ｂに印加するデータにより、変更あるいは可変できるように構成することが好ましい。また、トランジスタ２２８とオペアンプからなる定電流回路で電流Ｉｒを発生し、この電流Ｉｒを電子ボリウム２９１の内蔵抵抗Ｒに流して、ｂ端子から出力される電圧を変化できるように構成してもよい。

【０３１０】

図３１において、各ソースドライバＩＣ１４の左右には基準電流を流すトランジスタ（トランジスタ群）２２８ｂが形成または構成されている。ソースドライバＩＣ１４はスイッチＳにより、トランジスタ２２８ｂを選択して基準電流を印加する。選択されなかったトランジスタ２２８ｂはオープン状態に構成される。

【０３１１】

ソースドライバＩＣ１４ａにおいては、基準電流は右端のトランジスタ２２８ｂ２に流されている。スイッチＳａ２がクローズされ、スイッチＳａ１がオープンされている。スイッチＳａ、Ｓｂはマスタースレーブ端子に印加されるロジック信号によりいずれがオープンにするか制御される。ソースドライバＩＣ（回路）１４ａでは、右端に基準電流が流されており、左端はオープン状態となっている。したがって、基準電流Ｉｃ１はトランジスタ２２８ｂ２に流れる（ゲート配線２２３ａには単位トランジスタ２２４のゲート端子に流れ込む電流のみが流れる）。

【０３１２】

ソースドライバＩＣ１４ｂにおいては、基準電流は左端のトランジスタ２２８ｂ１に流されている。スイッチＳｂ１がクローズされ、スイッチＳｂ２がオープンされている。スイッチＳａ、Ｓｂはマスタースレーブ端子に印加されるロジック信号によりいずれがオープンにするか制御される。隣接するソースドライバＩＣ１４では、スイッチＳ＊１とスイッチＳ＊２ではオープンクローズが逆の関係となる。なお、＊は記号ａまたはｂである。

【０３１３】

ソースドライバＩＣ（回路）１４ｂでは、左端に基準電流が流されており、右端はオープン状態となっている。したがって、基準電流Ｉｃ２はトランジスタ２２８ｂ１に流れる。

【０３１４】

図３１では、トランジスタ２２８ｂは１つのトランジスタであるように図示しているが、実際は、図２８などに図示するように、複数のトランジスタからなるトランジスタ群２５１ｂで構成される。

【０３１５】

基準電流Ｉｃ１とＩｃ２は等しいとして説明をする。出力端子９３ａ１はカレントミラー回路を構成するトランジスタ２２８ｂ２とカレントミラー精度がよい電流が出力される。

【０３１６】

ソースドライバＩＣ１４ｂは基準電流を流すトランジスタ２２８ｂ１が左端に構成され

ており、右端はオープン状態となっている。したがって、基準電流Ｉｃ１はトランジスタ２２８ｂ１に流れる（ゲート配線２２３ｂには単位トランジスタ２２４のゲート端子に流れ込む電流のみが流れる）。出力端子９３ａ２はカレントミラー回路を構成するトランジスタ２２８ｂ１とカレントミラー精度がよい電流が出力される。したがって、基準電流Ｉｃ１とＩｃ２が等しいとすると、ソースドライバＩＣ１４ａの出力端子９３ａ１から出力される階調電流と、ソースドライバＩＣ１４ｂの出力端子９３ａ２から出力される階調電流とは同一となる。以上の理由により２つのソースドライバＩＣ１４ａとソースドライバＩＣ１４ｂとは良好にカスケード接続される。以上の構成は、１６０ＲＧＢ出力のソースドライバＩＣ１４を２個使用する３２０ＲＧＢ×２４０ドットなどのＱＶＧＡパネルなどに有効である。

【０３１７】

図３１ではソースドライバＩＣ１４ａの右端の出力端子９３ａ３から出力される階調電流（プログラム電流）と、ソースドライバＩＣ１４ａの左端の出力端子９３ａ１から出力される階調電流（プログラム電流）とは一致するとはかぎらない。ＩＣチップ１４ａ内の単位トランジスタ２２４の特性のより変化するからである。

【０３１８】

また、ソースドライバＩＣ１４ｂの右端の出力端子９３ａ２から出力される階調電流と、ソースドライバＩＣ１４ｂの左端の出力端子９３ａ３から出力される階調電流とは一致するとはかぎらない。ＩＣチップ１４ｂ内の単位トランジスタ２２４の特性のより変化するからである。しかし、カスケードするソースドライバＩＣ１４は２チップであるから、ソースドライバＩＣ１４ａの出力端子９３ａ１からの階調電流と、ソースドライバＩＣ１４ｂの出力端子９３ａ２からの階調電流とが一致していれば問題はない。したがって、ゲート配線２２３は低抵抗の配線で形成してもよい。

【０３１９】

図３１の構成を実現するためには、ＩＣチップ１４ａのゲート配線２２３の両端に位置するトランジスタ２２８ｂの一方をオープン状態（トランジスタ２２８ｂに電流が流れない状態）にする必要がある。

ミングしやすいように、複数に分割されている（ドレイン端子３２３ａ、３２３ｂ、３２３ｃ・・・・）。図３２（ａ）のＡ線でカットすることにより、ドレイン端子３２３ｅはカットされ、トランジスタ３２３の出力電流を減少させることができる。

【０３２０】

図３２（ｂ）はドレイン端子３２３のトリミングする間隔を変化させたものである。減少させる電流の大きさに応じて、１箇所以上のドレイン端子３２３をトリミングし、出力電流を調整する。図３２（ｂ）ではＢ線の箇所とトリミングしている。

【０３２１】

図３２などのトリミング方式は特に、カスケード接続を担当する素子（トランジスタなど）に対して実施すると効果がある。カスケード接続で受け渡す電流の大きさをトリミングにより調整できるため、良好なカスケード接続を実現できるからであす。以上の事項は本発明の他の実施例にも適用できる。

【０３２２】

以上の実施例では、ドレイン端子３２３あるいはソース端子３２１を１箇所あるいは複数箇所をトリミングするとしたが、本発明はこれに限定するものではない。たとえば、ゲート端子３２２をトリミングしてもよい。また、トリミングだけに限定するものではなく、トランジスタ３２４の半導体膜に、レーザー光あるいは熱的エネルギーを照射し、トランジスタ３２４を劣化させることにより、出力電流などを調整してもよいことは言うまでもない。また、図３２などの実施例はトランジスタだけに限定されるものではなく、ダイオード、水晶、サイリスタ、コンデンサ、抵抗などに適用してもよいことはいうまでもない。

【０３２３】

また、図２４に図示するように、各ビットでトランジスタサイズが異なる場合（ビット

の大きさに比例する場合など）は、トリミングする長さ（ドレインなどの長さ）もビットの大きさに比例するように構成することが好ましい。

【０３２４】

ソースドライバ回路（ＩＣ）１４は、ソース信号線１８の電荷を強制的に放出または充電するプリチャージ回路を内蔵する。ソース信号線１８の電荷を強制的に放出または充電するプリチャージあるいはディスチャージ回路の電圧（電流）出力値は、Ｒ、Ｇ、Ｂで独立に設定できるように構成することが好ましい。ＥＬ素子１５の閾値がＲＧＢで異なるからである。

【０３２５】

図３３はプリチャージ部の構成図である。Ｖｐはプリチャージ電圧である。プリチャージ電圧は映像データＤ０～Ｄ５により出力期間範囲が決定される。プリチャージ電圧は、クロックＣＬＫに同期して出力される。プリチャージ電圧を出力する時間は、水平同期信号ＨＤを基点としてカウンタ３３２の設定値で決定される。カウンタ３３２はクロックＣＬＫ信号に同期してカウントアップされる。プリチャージ電圧出力期間は、ＨＤの最初から開始される。カウンタ３３２はカウントしたカウント値と設定値が一致すると、プリチャージ電圧の出力期間が終了する。カウンタ回路３３２の出力はアンド（ＡＮＤ）回路３３３のａ端子入力となる。なお、説明を容易にするため、映像データは６ビットであるとして説明をする。

【０３２６】

図３３の構成では、どの電圧範囲までプリチャージするかは、一致回路３３１で決定される。一致回路３３１には、映像データＤ０～Ｄ５が印加される。一致回路はプリチャージ範囲がメモリされている。メモリされた値よりも、映像データＤ０～Ｄ５が小さい時、プリチャージ電圧が出力される。一致回路３３１はクロックＣＬＫで同期して動作する。また、イネーブル信号ＥＮがＨの時、プリチャージ電圧は出力され、Ｌの時は映像データの値によらず、プリチャージ電圧は出力されない。一致回路３３１の出力はアンド回路３３３のｂ端子入力となる。

【０３２７】

アンド回路３３３のａ端子入力がＨで、ｂ端子入力がＨの時、スイッチ２２１ａが閉じ、プリチャージ電圧Ｖｐが内部配線２２２に印加され、かつＨＩ信号がＨの時、スイッチ２２１ｂが閉じて出力端子９３からプリチャージ電圧が出力される。

【０３２８】

電流出力回路３３４は、映像データＤ０～Ｄ５に基づく、プログラム電流を出力する。本発明では、プリチャージ電圧とプログラム電流を同時に出力する。ただし、プリチャージ電圧はＨＤの最初から一定の期間である。

【０３２９】

プリチャージ電圧は、駆動用トランジスタ１１ａのゲート（Ｇ）端子に立ち上がり電圧あるいは立ち上がり電圧以下の電圧を印加する方法とも考えることができる。つまり、駆動用トランジスタ１１ａをオフ状態にすることによりプログラム電流Ｉｗが０になる状態を発生させ、ＥＬ素子１５に電流が流れないようにする。

【０３３０】

本発明のソースドライバ回路は、図７５に図示するように、電子ボリウム２９１を具備している。したがって、電子ボリウム２９１を制御することにより、容易にプリチャージ電圧を変化させることができる。なお、電子ボリウム２９１による制御だけでなく、ソースドライバ回路（ＩＣ）１４の外部のＤＡ回路などでプリチャージ電圧を発生させて印加してもよいことはいうまでもない。

【０３３１】

図３５は、ソースドライバ回路（ＩＣ）１４のプリチャージ回路（プリチャージ電圧を出力する回路構成部）３５３を中心とするブロック図である。プリチャージ回路３５３とは、プリチャージ制御回路によりプリチャージ制御信号ＰＣ信号（赤（ＲＰＣ）、緑（ＧＰＣ）、青（ＢＰＣ））が出力される。

【０３３２】
セレクタ回路３５２は、メインクロックに同期して出力段に対応するラッチ回路３５１に順次ラッチしていく。ラッチ回路３５１はラッチ回路３５１ａとラッチ回路３５１ｂの２段構成である。ラッチ回路３５１ｂは水平走査クロック（１Ｈ）に同期してプリチャージ回路３５３にデータを送出する。つまり、セレクタは、１画素行分の画像データおよびＰＣデータを順次ラッチしていき、水平走査クロック（１Ｈ）に同期して、ラッチ回路３５１ｂでデータをストアする。
【０３３３】
なお、図３５では、ラッチ回路３５１のＲ、Ｇ、ＢはＲＧＢの画像データ６ビットのラッチ回路であり、Ｐはプリチャージ信号（ＲＰＣ、ＧＰＣ、ＢＰＣ）の３ビットをラッチするラッチ回路である。
【０３３４】
プリチャージ回路３５３は、ラッチ回路３５１ｂの出力がＨレベルの時、スイッチ２２１ａをオンさせ、ソース信号線１８にプリチャージ電圧を出力する。電流出力回路３３４は画像データに応じて、プログラム電流をソース信号線１８に出力する。
【０３３５】
図３５の構成では、各ＲＧＢ画像データに対応して、プリチャージコントロール（ＰＣ）信号を発生させている。プリチャージの印加は、以上のようにＲＧＢごとに行うことが好ましい。しかし、動画表示、自然画表示では、ＲＧＢごとにプリチャージするかしないかを判断する必要がない場合が多い。つまり、ＲＧＢを輝度信号に変換し（換算し）、輝度によりプリチャージをするかしないかを判断してもよい。
【０３３６】
図３６の構成では、ＰＣ信号は３ビット必要である（ＲＰＣ、ＧＰＣ、ＢＰＣ）が、図７９の構成では、ＰＣ信号はＲＧＢＰＣの１ビットでよい。したがって、図３５のラッチ回路３５１においても、Ｐは１ビットのラッチでよい。なお、以降の説明では、説明を容易にする点、作図を容易にする観点から、ＲＧＢを考慮せずに説明を行う。
【０３３７】
以上の本発明の構成は、コントローラ回路（ＩＣ）が画像データに基づいてＰＣ信号（プリチャージ制御信号）を発生する点、ソースドライバＩＣ１４がＰＣ信号をラッチし１Ｈの同期信号に同期してソース信号線１８に印加する点に特徴がある。プリチャージモード（ＰＭＯＤＥ）信号により、プリチャージ信号の発生を容易に変更することができる。
【０３３８】
たとえば、ＰＭＯＤＥとは、階調０のみをプリチャージするモード、階調０－７など一定の階調範囲をプリチャージするモード、画像データが明るい画像データから暗い画像データに変化する時にプリチャージするモード、一定のフレームで連続して低階調表示となる時に、プリチャージするモードなどが例示される。
【０３３９】
１画素のデータについてプリチャージするかしないかを判断することに限定するものではない。たとえば、複数画素行の画像データにもとづいてプリチャージ判断をおこなってもよい。また、プリチャージを行う周辺画素の画像データを勘案して（たとえば、重み付け処理など）プリチャージ判断を行っても良い。また、動画と静止画でプリチャージ判断を変化する方法も例示される。以上事項は、画像データに基づき、コントローラがプリチャージ信号を発生することにより、良好な汎用性が発揮される点が重要である。以降、このプリチャージ判断とプリチャージモードを中心に説明をする。
【０３４０】
プリチャージをするかしないかの判定は、１画素行前の画像データ（あるいは、直前にソース信号線に印加された画像データ）にもとづいて行っても良い。たとえば、あるソース信号線１８に印加される画像データが白→黒→黒であれば、白から黒になる時は、プリチャージ電圧を印加する。黒階調は書込みにくいからである。黒から黒の場合は、プリチャージ電圧を印加しない。先に黒表示でソース信号線１８の電位が次に書き込む黒表示の

電位となっているからである。以上の動作は、コントローラ８１に１画素行分（ＦＩＦＯのため２ラインのメモリが必要）のラインメモリを形成（配置）することのより容易に実現できる。

【０３４１】

また、本発明において、プリチャージ駆動では、プリチャージ電圧を出力するとして説明をするが、これに限定するものではない。１水平走査期間よりも短く、プログラム電流よりも大きい電流をソース信号線１８に書き込む方式でもよい。つまり、プリチャージ電流をソース信号線１８に書込み、その後にプログラム電流をソース信号線１８に書き込む方式でもよい。プリチャージ電流も物理的には電圧変化を引き起こしていることには差異はない。プリチャージをプリチャージ電流で行う方式も本発明のプリチャージ駆動の技術的範疇である（本発明の範囲内である）。

【０３４２】

本発明のプリチャージ駆動では所定電圧をソース信号線１８に印加する。また、ソースドライバＩＣはプログラム電流を出力するとした。しかし、本発明は、プリチャージ駆動を階調に応じて出力電圧を変化させてもよい。つまり、ソース信号線１８に出力するプリチャージ電圧はプログラム電圧をなる。ソースドライバＩＣ内にこのプリチャージ電圧のプログラム電圧回路３７１を導入した回路構成が図３７である。

【０３４３】

図３７は１つのソース信号線１８に対応する１出力回路ブロック図である。階調に応じてプログラム電流を出力する電流階調回路３３４と、階調に応じたプリチャージ電圧を出力する電圧階調回路３７１で構成される。電流階調回路３３４と電圧階調回路３７１には映像データが印加される。電圧階調回路３７１の出力はスイッチ２２１ａ、２２１ｂがオンすることによりソース信号線１８に印加される。スイッチ２２１ａはプリチャージイネーブル（プリチャージＥＮＢＬ）信号と、プリチャージ信号（プリチャージＳＩＧ）で制御される。

【０３４４】

電圧階調回路３７１は、サンプルホールド回路、ＤＡ回路などで構成される（図３８を参照のこと）。デジタルの映像データに基づいて、ＤＡ回路によりプリチャージ電圧に変換される。この変換されたプリチャージ電圧は、サンプルホールド回路３８１によりサンプルホールドされ、オペアンプを介してスイッチ２２１ａの一端子に印加される。なお、ＤＡ回路は電圧階調回路３７１ごとに構成または形成する必要がなく、ソースドライバ回路（ＩＣ）１４の外部にＤＡ回路を構成し、このＤＡ回路の出力を電圧階調回路３７１内でサンプルホールドしてもよい。また、ポリシリコン技術で形成してもよい。

【０３４５】

図３８に図示するように、８ビットの映像ＤＡＴＡに対応する電圧（プログラム電圧）が、映像クロックに同期して電子ボリウム２９１から出力される。プログラム電圧は、駆動用トランジスタ１１ａにプリチャージ電圧として印加される電圧である。また、プログラム電圧は、この電圧を印加することにより、階調にほぼ対応した電流がＥＬ素子１５に印加されるように駆動用トランジスタ１１ａのゲート端子に保持される電圧である。

【０３４６】

プログラム電圧はＣｃ容量に一時的に保持され、バッファアンプ２３１ａから出力される。出力だれた電圧は、サンプルホールド回路（この実施例では切り換え回路のように図示している）３８１により、各出力端子９３に順次振り分けられる（出力端子９３ａ、９３ｂ、９３ｃ、９３ｄ・・・・、９３ｎ、９３ａ、９３ｂ、９３ｃ、・・・・・・９３ｎ・・・・・）。振り分けはクロックＣＬＫに同期して実施される。なお、本発明では、８ビットのアドレス信号ＰＡＤＲＳにより、任意の端子にプログラム電圧を振り分けできるように構成されている。このように、アドレス信号ＰＡＤＲＳにより任意の出力端子９３に振り分け（８ビットであるから２５６本の端子のいずれかに振り分け可能である）できるように構成することにより、プログラム電圧を書き換えが必要な端子のみ新規のプログラム電圧を印加することができる。また、プログラム電圧の振り分けをランダム化

することができる。プログラム電圧は容量Ｃに保持され（サンプリングされ）、バッファ回路２３１ｂの出力は、スイッチＳｐの制御により出力端子９３に印加されたり、遮断されたりする。スイッチＳｐは図３７では、スイッチ２２１ａが該当する。以上の構成が図３７の電圧階調回路３７１に該当する。

【０３４７】

電流階調回路３３４は、具体的には図２２の回路構成が該当する。電流階調回路３３４のプログラム電流出力はスイッチＳｉにより制御される。以上のように、電流階調回路３３４と電圧階調回路３７１の出力はスイッチＳｉ、Ｓｐにより制御され、プリチャージ駆動（電圧プログラム）＋電流プログラミングが実現される。以上の信号は、出力端子９３からソース信号線端子３８２に印加される。プログラム電圧はソース信号線１８の寄生容量Ｃａを短期間で充放電させる。

【０３４８】

電圧階調回路３７１の出力は、図４１に図示するように、１Ｈの最初に印加される（記号Ａで示す）。その後、電流出力回路３３４によりソース信号線にプログラム電流が供給される（記号Ｂで示す）。つまり、プリチャージ電圧により概略のソース信号線電位まで電圧設定される。したがって、駆動用トランジスタ１１ａは目的電流に近い値まで、高速に設定される。その後、電流階調回路３３４が出力するプログラム電流により駆動用トランジスタ１１ａの特性バラツキを補償する目的電流（＝プログラム電流）まで設定される。

【０３４９】

プリチャージ電圧信号が印加されるＡ期間は、１Ｈの１／１００以上１／５以下の期間が好ましい。または、０．２μｓｅｃ以上１０μｓｅｃ以下の期間に設定することが好ましい。したがって、Ａ期間以外がＢ期間のプログラム電流の印加期間である。Ａ期間が短いとソース信号線１８の電荷の充放電が十分に行われないため、書き込み不足が発生する。一方、長すぎると電流印加期間（Ｂ）が短くなり十分にプログラム電流を印加することができない。したがって、駆動用トランジスタ１１ａの電流補正不足となる。

【０３５０】

電圧印加期間（Ａ期間）は、１Ｈの最初から実施することが好ましいが、これに限定されない。たとえば、１Ｈの終わりのブランキング期間から開始してもよい。また、１Ｈの途中にＡ期間を実施してもよい。つまり、１Ｈのいずれかの期間に電圧印加期間を実施すればよい。しかし、好ましくは、電圧印加期間は、１Ｈの最初から１／４Ｈ（０．２５Ｈ）の期間内に実施することが好ましい。

【０３５１】

図４１の実施例では、電圧プリチャージ（Ａ）の期間後、電流を印加（Ｂ期間）するとしたがこれに限定するものではない。たとえば、図４２（ａ）に図示するように、１Ｈの期間のすべてを（あるいは大半を、あるいは過半数を）電圧プリチャージ（＊Ａ）期間としてもよい。

【０３５２】

図４２（ａ）の＊Ａの期間は、１Ｈの期間が電圧プログラムを実施している。＊Ａの期間は、低階調の領域である。低階調の領域で電流プログラムを実施してもプログラムされる電流が微小のため、ソース信号線１８の寄生容量の影響により、ソース信号線１８の電位変更を実施することができない。つまり、ＴＦＴ１１ａ（駆動用トランジスタ）の特性補償を行うことができない。また、電流プログラム方式では、プログラム電流Ｉと輝度Ｂとが線形の関係にある。そのため、低階調領域で１階調に対する輝度変化が大きすぎる。したがって、低階調領域で階調飛びが発生しやすい。

【０３５３】

この課題に対して本発明では、図４２（ａ）に図示するように、低階調領域で１Ｈの期間にわたり電圧プログラムを実施している（＊Ａで図示している）。低階調領域における領域で電圧プログラムの電圧ステップきざみを小さくしている。画素１６のＴＦＴ１１ａに印加する電圧を一定ステップにすると、ＴＦＴ１１ａのＥＬ素子１５への出力電流は概

略２乗特性となる。したがって、印加電圧に対する輝度Ｂ（輝度ＢはＥＬ素子１５への出力電流に比例する）は、人間の視感度は直線的となる（人間の視感度は、２乗特性の時に低ステップで変化していると認識するためである）。

【０３５４】

電圧プログラム方式では、ＴＦＴ１１ａの特性補償を良好に実施することができない。しかし、低階調領域では、表示画面６４の表示輝度が低いため、特性補償不足による表示ムラが発生しても視覚的に認識されることはない。一方で、電圧プログラム方式では、ソース信号線１８の充放電を良好に実施することができる。そのため、低階調領域でも十分にソース信号線１８の充放電を実施でき、適正な階調表示を実現できる。

【０３５５】

図４２（ａ）でも理解できるように、ソース信号線１８の電位がアノード電位（Ｖｄｄ）に近い場合に、１Ｈの期間のすべてに（大半に）電圧が印加される。ソース信号線１８の電位が０（Ｖ）に近くなると、電圧プログラム（Ａ期間）と電流プログラム（Ｂ）が１Ｈの期間内に実施される。なお、ソース信号線１８の電位が０（Ｖ）に近い場合（高階調領域）では、１Ｈの期間中のすべての期間にわたり、電流プログラムを実施してもよい。

【０３５６】

図４２（ａ）の＊Ａ以外の期間は、１Ｈの一定期間（Ａで示す）に電圧プログラムによる電圧をソース信号線１８に印加し、その後、Ｂの期間に電流プログラムによる電流を印加している。以上のようにＡ期間の電圧の印加により画素１６のＴＦＴ１１ａのゲート電位に所定電圧を印加し、概略ＥＬ素子１５に流す電流が所望値になるようにしている。その後、Ｂ期間のプログラム電流により、ＥＬ素子１５に流れる電流が所定値となるようにしている。＊Ａ期間は、１Ｈ期間の全般にわたり電圧プログラムが実施されている（電圧が印加されている）。

【０３５７】

図４２（ａ）は、画素１６のＴＦＴ１１ａ（駆動用トランジスタ）がＰチャンネルの場合のソース信号線１８への印加信号波形である。しかし、本発明はこれに限定するものではない。画素１６のＴＦＴ１１ａがＮチャンネルであってもよい。この場合は、図４２（ｂ）に図示するように、ソース信号線１８の電位が０（Ｖ）に近い場合に、１Ｈの期間のすべてに（大半に）電圧が印加される。ソース信号線１８の電位がアノード電圧（Ｖｄｄ）に近くなると、電圧プログラム（Ａ期間）と電流プログラム（Ｂ）が１Ｈの期間に実施される。

【０３５８】

なお、ソース信号線１８の電位がＶｄｄに近い場合（高階調領域）では、１Ｈの期間中のすべての期間にわたり、電流プログラムを実施してもよい。

【０３５９】

本発明では、駆動用トランジスタ１１ａはＰチャンネルとして説明するがこれに限定するものではなく、駆動用トランジスタ１１ａはＮチャンネルであってもよいことはいうまでもない。説明を容易にするために、駆動用トランジスタ１１ａがＰチャンネルトランジスタであるとして説明を行うだけである。

【０３６０】

図４２などの本発明の実施例では、主として低階調領域は電圧プログラムが主で画素に書き込みがされる。中高階調領域は、電流プログラムが主で書き込みが行われる。つまり、電流と電圧駆動の両方のよいところの融合を実現できる。なぜなら、低階調領域は、電圧により所定階調表示される。これは、電流駆動では書き込み電流が微小のため、１Ｈ最初に印加した電圧（電圧駆動あるいはプリチャージ駆動による。プリチャージ駆動と電圧駆動は概念的には同一である。大きく差別化するならば、プリチャージ駆動は印加する電圧に種類が比較的少なく、電圧駆動は印加する電圧の種類が多いと言うべきである）が支配的となるからである。

【０３６１】

中階調領域は、電圧により書き込んだ後、電圧のずれ量を、プログラム電流で補償する

。つまり、プログラム電流が支配的となる（電流駆動が支配的である）。高階調領域は、プログラム電流で書き込む。プログラム電圧印加は不要である。印加した電圧がプログラム電流で書き換えられるからである。つまり、電流駆動が圧倒的に支配的である（図４３（ｂ）、図４４などを参照のこと）。もちろん、電圧を印加してもよいことは言うまでもない。

【０３６２】

電圧階調回路の出力と電流階調回路（プリチャージ回路も含む）の出力とを出力端子９３でショートして構成することができるのは、電流階調回路は高インピーダンスであることによる。つまり、電流階調回路は高インピーダンスのため、電圧階調回路からの電圧が電流階調回路に印加されても、回路に問題点（短絡で過電流が流れるなど）が発生することがない。

【０３６３】

したがって、本発明で電圧出力と電流出力状態とを切り換えるとしたがこれに限定するものではない。電流階調回路３３４からプログラム電流の出力した状態で、スイッチ２２１（図３７を参照のこと）をオンして、電圧階調回路３７１の電圧を出力端子９３に印加してもよいことは言うまでもない。

【０３６４】

スイッチ２２１を閉じて出力端子９３に電圧と印加した状態で、電流階調回路３３４からプログラム電流を出力してもよい。電流階調回路３３４は高インピーダンスであるので回路的には問題がない。以上の状態も本発明は電圧駆動状態と電流駆動状態とを切り換えているという動作の範疇である。本発明は電流回路と電圧回路の性質をうまく利用している。このことは、他のドライバ回路にない特徴ある構成である。

【０３６５】

図４３に図示するように、１Ｈ期間に印加するプログラムを電圧または電流の一方にしてもよいことは言うまでもない。図４３において、＊Ａの期間は電圧プログラムが実施された１Ｈ期間であり、Ｂの期間は電流プログラムが実施されている１Ｈ期間である。主として低階調領域では電圧プログラムが実施され（＊Ａで示す）、中間調以上の領域では電流プログラムが実施される（Ｂで示す）。以上のように、階調あるいはプログラム電流の大きさに応じて、電圧駆動を選択するか電流駆動を選択するかを切り換えても良い。

【０３６６】

図３７の本発明の実施例では、電圧階調回路３７１と電流階調回路３３４には、同一の映像Ｄａｔａが入力されている。したがって、映像Ｄａｔａのラッチ回路は電圧階調回路３７１と電流階調回路３３４と共通でよい。つまり、映像Ｄａｔａのラッチ回路は電圧階調回路３７１と電流階調回路３３４とに独立に設ける必要はない。共通の映像Ｄａｔａラッチ回路からのデータに基づき、電流階調回路３３４または（および）電圧階調回路３７１がデータを出力端子９３に出力する。

【０３６７】

図４５は本発明の駆動方法のタイミングチャートである。図４５において、（ａ）のＤＡＴＡは画像データである。（ｂ）のＣＬＫは回路クロックである。（ｃ）のＰｃｎｔｌは、プリチャージのコントロール信号である。Ｐｃｎｔｌ信号がＨレベルの時は、電圧駆動のみモード状態になり、Ｌレベルの時、電圧＋電流駆動モードになる。（ｄ）のＰｔｃはプリチャージ電圧あるいは電圧階調回路３７１からの出力の切り換え信号である。Ｐｔｃ信号がＨレベルの時は、プリチャージ電圧などの電圧出力がソース信号線１８に印加される。Ｐｔｃ信号がＬレベルの時は、電流階調回路３３４からのプログラム電流がソース信号線に出力される。

【０３６８】

たとえば、データＤ（２）、Ｄ（３）、Ｄ（８）の時は、Ｐｃｎｔｌ信号がＨレベルであるから、ソース信号線１８に電圧階調回路３７１から電圧が出力される（Ａ期間）。Ｐｃｎｔｌがレベルの時は、ソース信号線１８にはまず、電圧が出力され、その後、プログラム電流が出力される。電圧が出力される期間をＡで示し、電流が出力される期間をＢ

で示す。電圧を出力する期間Ａは、Ｐｔｃ信号で制御される。Ｐｔｃ信号は、図３７のスイッチ２２１のオンオフを制御する信号である。

【０３６９】

Ｐｃｎｔｌ信号がＨレベルの時は、電圧駆動のみモード状態になり、Ｌレベルの時、電圧＋電流駆動モードになると説明した。電圧を印加する期間は、点灯率あるいは階調に応じて変化させることが好ましい。低階調の時は、電流駆動では画素にプログラム電流を完全に書き込むことができない。したがって、電圧駆動を実施することが好ましい。電圧を印加する期間を長くすることによって、電圧＋電流駆動モードであっても、電圧駆動モードが支配的になり、良好に画素に低階調状態を書き込むことができる。低点灯率の場合は、低階調状態の画素が多い。したがって、低階調状態（低点灯率）の場合も、電圧を印加する期間を長くすることによって、電圧＋電流駆動モードであっても、電圧駆動モードが支配的になり、良好に画素に低階調状態を書き込むことができる。

【０３７０】

以上のように、電圧＋電流駆動モードであっても、点灯率あるいは画素に書き込む階調データ（映像データ）に応じて、電圧駆動状態の期間を変化させることが好ましい。つまり、ＥＬ素子１５に流す電流を小さくするときは（本発明では低点灯率範囲）、電圧駆動モード期間を長くし、ＥＬ素子１５に流す電流を大きくするときは（本発明では高点灯率範囲）、電圧駆動モード期間を短くするか、もしくは’なし’にするように制御あるいは調整もしくは装置を構成する。なお、点灯率の意味あるいは点灯率状態に関しては、本明細書内で詳細に説明しているので省略する。また、電圧＋電流駆動モードにおいて電圧駆動モードに印加（動作）期間を、ｄｕｔｙ比、基準電流比などを制御あるいは調整もしくは装置を構成してもよいことは言うまでもない。以上の事項は本発明の他の実施例においても適用できることは言うまでもない。

【０３７１】

図４５において、電圧出力期間Ａと電流出力期間Ｂとを切り換えるとしたが、これに限定するものではない。プログラム電流の出力した状態で、スイッチ２２１（図３７を参照）をオンして、電圧階調回路３７１の電圧を出力端子９３に印加してもよいことは言うまでもない。また、スイッチ２２１を閉じて出力端子９３に電圧と印加した状態で、電流階調回路３３４からプログラム電流を出力してもよい。Ａ期間後にスイッチ２２１をオープンにする。以上のように電流階調回路３３４は高インピーダンスであるので電圧回路と短絡状態にしても回路的には問題がない。

【０３７２】

図４６はＰｔｃ信号のＨ期間を変化させることにより、ソース信号線１８に電圧を出力する期間を可変するものである。Ｈ期間は、階調番号などにより変化させる。たとえば、Ｄ（７）では、Ｐｔｃ信号は１Ｈの期間Ｌレベルである。したがって、図３７のスイッチ２２１は１Ｈの期間オープン状態である。したがって、１Ｈ期間には電圧は印加されず、常時電流プログラム状態である。また、Ｄ（５）ではＰｔｃ期間は他の１Ｈ期間よりも長くなっている。したがって、電圧を印加するＡ期間は長く設定されている。

【０３７３】

以上の実施例では、電流駆動状態と電圧駆動状態とを切り換えるものである。しかし、本発明はこれに限定されない。図４７の実施例では、Ｐｔｃ信号はない。したがって、Ｐｃｎｔｌ信号で制御される。そのため、Ｈ期間は電圧駆動が実施され、Ｌ期間は電流駆動が実施される。

【０３７４】

電圧プログラムは、ＲＧＢのＥＬ素子１５の発光効率により、ソース信号線１８に出力する電圧値を変更する必要がある。図１の画素構成を例示すれば駆動用トランジスタ１１ａのゲート端子に印加する電圧（プログラム電圧）は駆動用トランジスタ１１ａが出力する電流により異なるからである。駆動用トランジスタ１１ａの出力電流はＥＬ素子１５の発光効率で異ならせる必要がある。本発明のソースドライバＩＣ１４を汎用性があるものとするためには、ＥＬ表示パネルの画素サイズが異なっていても、あるいはＥＬ素子１５

の発光効率が異なっていても、設定あるいは調整により対応する必要がある。

【０３７５】

電圧階調回路３７１は、アノード電圧（Ｖｄｄ）を原点として電圧を出力する。この状態を図４８に示す。アノード電圧（Ｖｄｄ）は駆動用トランジスタ１１ａの動作原点である。なお、説明を容易にするため、図１に図示するような駆動用トランジスタ１１ａがＰチャンネルの構成であるとして説明をする。駆動用トランジスタ１１ａがＮチャンネルの場合も、原点位置が変化するだけであるので説明を省略する。したがって、説明を容易にするため、駆動用トランジスタ１１ａはＰチャンネルの場合を例にあげて説明をする。

【０３７６】

図４８において、横軸は階調である。本発明では電圧階調回路３７１の出力階調は２５６（８ビット）階調であるとして説明をする。縦軸はソース信号線１８への出力電圧である。図４８では、階調番号に比例してソース信号線１８の電位は低くなる。

【０３７７】

ソース信号線１８の電圧は、駆動用トランジスタ１１ａのゲート端子電圧である。駆動用トランジスタ１１ａの出力電流は、ゲート端子電圧に非線形で変化する。一般的に図４８のようにソース信号線１８に電圧を印加すると、駆動用トランジスタ１１ａの出力電流は、印加電圧に対して２乗特性で変化する。つまり、図４８では階調に対するソース信号線１８の電位は比例しているが、駆動用トランジスタ１１ａの出力電流（ＥＬ素子１５に流れる電流）は、ほぼ２乗特性となる。

【０３７８】

図４８の回路構成は、回路構成などが容易である。しかし、ＥＬ素子１５に流れる電流は階調番号に比例しない。駆動用トランジスタ１１ａに線形に変化する電圧を印加（図４８の実施例の場合など）すると、トランジスタ１１ａの２乗特性により、出力電流は印加電圧の２乗に比例して出力されるからである。したがって、階調番号が小さい時はトランジスタ１１ａの出力電流の変化が小さく、階調番号が大きくなるにつれて、急激に大きくなる。したがって、階調番号に対する出力電流の精度が変化する。

【０３７９】

この課題を解決する構成が図４９である。図４９では、階調番号が小さい時には、ソース信号線１８への出力電圧の変化が大きい。また、階調番号が小さくなるほどソース信号線１８への電圧変化割合は大きくなる。一方、階調番号が大きく（２５６番目に近づく）なると、ソース信号線１８への出力電圧の変化が小さくなるように構成している。したがって、階調番号に対するソース信号線出力電流の関係は非線形となる。この非線形特性は、駆動用トランジスタ１１ａのゲート端子電圧に対するＥＬ素子１５への出力電流特性と組合せることにより、線形になるようにしている。つまり、階調番号の変化に対する駆動用トランジスタ１１ａのＥＬ素子１５への出力電流は線形となるように調整している。

【０３８０】

電流プログラム方式は、階調番号に対するＥＬ素子１５に流れる電流は線形の関係にある。図４９の構成（方式）は電圧プログラム方式である。図４９では電圧プログラム方式であるが、階調番号に対するＥＬ素子１５に流れる電流は線形の関係である。したがって、図３７のように電流プログラム方式と電圧プログラム方式とを組み合わせた構成（方式）において、マッチングがよい。

【０３８１】

図４９は階調番号に対する駆動用トランジスタ１１ａの出力電流Ｉｅがほぼリニアに変化するようにしている。したがって、階調番号に対するソース信号線出力電圧の関係は、階調番号が小さい時はあらく、大きくなるにつれて細かく変化するようにしている。階調番号をＫとし、ソース信号線Ｖｓとした時、変化カーブ式は、図４９に図示するようにソース信号線電圧Ｖｓ＝Ａ／（Ｋ・Ｋ）となるようにする。なお、Ａは比例定数である。もしくは、ソース信号線電圧Ｖｓ＝Ａ／（Ｂ・Ｋ・Ｋ＋Ｃ・Ｋ＋Ｄ）もしくはＶｓ＝Ａ／（Ｂ・Ｋ・Ｋ＋Ｃ）となるようにする。なお、Ｄ、Ｂ、Ｃ、Ａは定数である。

【０３８２】

以上のように、変化カーブ式を構成することにより、変化カーブ式とソース信号線電圧Ｖｓに対する駆動用トランジスタの出力電流Ｉｅを掛け合わせた時に、Ｖｓに対するＩｅが線形の関係とすることができる。

【０３８３】

図４９では、変化カーブ式が曲線となる。そのため、変化カーブを作成することが比較的困難である。この課題に対しては、図５０に図示するように複数の直線で変化カーブ式を構成することが適切である。つまり、２つ以上の傾きの直線で変化カーブを構成する。

【０３８４】

図４９では、階調番号が小さい範囲では、ソース信号線１８の出力電圧のきざみは大きくし（Ａで示す）、階調番号が大きい範囲では、ソース信号線１８の出力電圧のきざみは小さくする（Ｂで示す）。図４９の変化カーブでは、階調番号Ｋに対する駆動用トランジスタ１１ａの出力電流Ｉｅは非線形の関係となり、また、複数の非線形の出力を組み合わせたものとなる。しかし、階調番号Ｋに対する出力電流Ｉｅの関係は線形に近い範囲が多くなる。したがって、電流プログラム駆動との組み合わせも容易である。

【０３８５】

図４９において、電圧階調回路３７１と電流階調回路３３４を１つのソースドライバ回路（ＩＣ）１４内に形成するように図示しているがこれに限定するものではない。本発明は、電圧階調回路３７１と電流階調回路３３４とを有することを特徴としている。したがって、１本のソース信号１８に一端に電圧階調回路（用ＩＣ）３７１を配置または形成もしくは実装し、前記ソース信号線の他端に電流階調回路（用ＩＣ）３３４を配置または形成もしくは実装してもよい。つまり、本発明は、任意の画素に電流プログラムと電圧プログラムを実施できる構成もしくは方法であればいずれの構成でもよい。

【０３８６】

電圧プログラムを実施するドライバ回路（ＩＣ）１４は逆１．５乗から３．０乗のガンマ特性とする。つまり、駆動用トランジスタ１１ａのゲート電圧の変化ステップに対応して等間隔の電流増加を実現できるようにする。駆動用トランジスタ１１ａのＶ－Ｉ特性は略２乗特性であるからである（電圧Ｖ変化に対して、出力電流Ｉは略２乗特性で変化するからである）。さらに、電圧プログラムを実施するドライバ回路（ＩＣ）のガンマ特性は逆１．８乗から２．４乗のガンマ特性とすることが好ましい。

【０３８７】

電圧プログラムを実施するドライバ回路（ＩＣ）のガンマ特性はプログラムブルに構成しておくことが好ましい。また、駆動用トランジスタ１１ａがＰチャンネルトランジスタの場合は、ガンマ特性カーブの原点はアノード電圧ＶｄｄあるいはＶｄｄ近傍とする。駆動用トランジスタ１１ａがＮチャンネルトランジスタの場合は、ガンマ特性カーブの原点はカソード電圧Ｖｓｓまたは回路１４のグランドもしくはこれらの近傍電位とする。

【０３８８】

電圧階調回路３７１（プリチャージ回路）の変化と電流階調回路３３４とは同期させる。つまり、電圧階調回路３７１（プリチャージ回路）の変化が電流階調回路３３４の変化に対応するように変化させる。電圧階調回路３７１による画素１６の駆動用トランジスタ１１ａの出力電流の目標値（期待値）が１μＡであれば、電流階調回路３３４による画素１６の駆動用トランジスタ１１ａの目標値（期待値）が１μＡとなるように階調制御する。したがって、電流階調回路３３４の階調データの値と電圧階調回路（プリチャージ回路）３７１の階調データとが一致するように構成することが好ましい。以上の事項は本発明の他の実施例にも適用できることは言うまでもない。また、同期をさせることが好ましい。

【０３８９】

本発明はすべてのソース信号線１８に電圧プログラム（プリチャージ）と電流プログラムの両方を実施することに限定するものではない。いずれか一方を実施できるものでもよい。たとえば、奇数画素列に電圧プログラム（プリチャージ）を実施し、偶数画素列に電流プログラムを実施できるものでもよい。このような構成であっても画質の低下はほとん

どない。以上の事項は本発明の他の実施例にも適用できることは言うまでもない。

【０３９０】

図４８の実施例では、階調番号が０の時は、ソース信号線１８の電位がアノード電位（Ｖｄｄ）となっていない。駆動用トランジスタ１１ａは立ち上がり電圧までは出力電流が０またはほぼ０である。この立ち上がり電圧までの範囲がＣの領域である。したがって、Ｃの領域はブランクとなるので、階調番号数が一定の場合、図４８などに比較して相対的にソース信号線の出力電圧きざみを細かくすることができる。

【０３９１】

階調番号０の時、ソース信号線１８の電位は原点（アノード電位）でない関係と、図４９の非直線の関係、図５０の複数の関係式を組合せる関係、図４８の直線の関係などは、相互に組合せても良いことは言うまでもない。

【０３９２】

電圧プログラムは、Ｒ、Ｇ、ＢのＥＬ素子１５の発光効率により、ソース信号線１８に出力する電圧値を変更する必要がある。図１の画素構成を例示すれば駆動用トランジスタ１１ａのゲート端子に印加する電圧（プログラム電圧）は駆動用トランジスタ１１ａが出力する電流により異なるからである。駆動用トランジスタ１１ａの出力電流はＥＬ素子１５の発光効率で異ならせる必要がある。本発明のソースドライバＩＣ１４を汎用性があるものとするためには、ＥＬ表示パネルの画素サイズが異なっていても、あるいはＥＬ素子１５の発光効率が異なっていても、設定あるいは調整により対応する必要がある。

【０３９３】

図４４は、電圧駆動において、電圧の基準はＶｄｄであるという点を利用した回路構成である。図４８の縦軸である電圧の大きさＶｄｄを固定して変化させる。したがって、階調番号の範囲（２５６階調＝２５６きざみ）を一定とした場合でも、縦軸の電圧の大きさを調整することができ、ソースドライバ回路（ＩＣ）１４を汎用的にすることができる。

【０３９４】

図４４は電子ボリウム２９１の電圧範囲は、ＶｄｄからＶｂｖである。したがって、オペアンプ２３１ａの出力電圧ＶａｄはＶｄｄからＶｂｖの値が出力される。Ｖｂｖはソースドライバ回路（ＩＣ）１４の外部より入力される。また、ＩＣ（回路）１４内部で発生させてもよい。電子ボリウム２９１のスイッチＳは８ビットの制御データ（階調番号）をデコーダ回路５３２でデコードされ該当のスイッチＳが閉じ、電圧ＶｄｄからＶｂｖ間の電圧がＶａｄから出力される。

【０３９５】

図４４などはアノード電圧Ｖｄｄを原点とするものであった。図８１はアノード電位に該当する電圧も調整できるようにするものである。電子ボリウム２９１の端子Ｖｄｄにオペアンプ２３１ｃからの電圧を印加している。印加する電圧はＶｂｖｈである。電子ボリウム２９１の下限電圧は、Ｖｂｖｌである。したがって、ソース信号線１８に印加される電圧範囲は、図８２に図示するようにＶｂｖｈ以下Ｖｂｖｌ以上となる。他の事項は他の実施例と同一あるいは類似であるので説明を省略する。

【０３９６】

図３９は、図３７、図３８の電流階調回路３３４と電圧階調回路３７１の構成部分をさらに詳細に記載したブロック図である。シフトレジスタ回路（セレクタ回路）３５２はスタート信号（ＳＴ１）、クロック（ＣＬＫ１）により順次シフト動作する。シフト動作により、第１のラッチ回路（保持回路）３５１ａに、ＤＡＴＡ９ビットの保持位置を指定する。ＤＡＴＡ９ビットとは、映像信号８ビットとプリチャージ信号１ビットの計９ビットである。ラッチ回路３５１ａは１水平期間に順次ＤＡＴＡを保持していく。

【０３９７】

第１のラッチ回路に保持されたＤＡＴＡは、ロード信号（ＬＤ）により２段目の第２のラッチ回路３５１ｂにロードされる。ラッチ回路３５１ｂに保持されたＤＡＴＡは、電圧階調回路３７１の入力と、電流階調回路３３４の入力となる。プリチャージ信号の１ビットは、電圧階調回路３７１のプログラム電圧と、電流階調回路３３４のプログラム電流の

切り換え信号である。プリチャージ信号は、切り換え回路（図３７のスイッチ２２１などが該当する）３９１を時間的に制御し、出力端子９３からプリチャージ信号がオンのときはまずプリチャージ電圧を出力し、その後プログラム電流を出力する。

【０３９８】

なお、電圧階調回路のサンプルホールド回路は比較的低速でしか動作しないため、ラッ電圧階調回路のサンプルホールド用として１段のラット回路を追加し、３段のラッチ回路で構成してもよいことは言うまでもない。また、切り換え回路３９１は基板３０にポリシリコン技術で形成してもよい。

【０３９９】

図４０はプリチャージ電圧発生回路からの出力（一例としてＶｐａ、Ｖｐｂ、Ｖｐｃ）をＩＣチップ１５の配線で伝達した構成である。配線は、ＩＣチップの長手方向に形成される（各出力段２５１と垂直）。プリチャージ電圧（プログラム電圧と同義あるいは類似）Ｖｐ（Ｖｐａ、Ｖｐｂ、Ｖｐｃ、ｏｐｅｎ）を伝達するプリチャージ電圧（プログラム電圧と同義あるいは類似）配線ＰＳ（ＰＳａ、ＰＳｂ、ＰＳｃ、ＰＳｄ）がソース信号線１８に直交するように配線される。プリチャージ電圧（プログラム電圧と同義あるいは類似）配線ＰＳと内部配線２２２とは直交し、各交点にスイッチＳｐが配置されている。スイッチＳｐはＳＥＬ信号（プリチャージ電圧の選択信号、ｏｐｅｎを含む）で切り換えられる。ｏｐｅｎがスイッチＳｐ０ａで選択された場合は、プリチャージ電圧は出力されない。スイッチＳｐは出力端子９３ごとに自由に設定できる。スイッチＳｐは映像信号の大きさ、変化などにより適切なものが選択され制御される。

【０４００】

図３８と図４０との差異は、図３８が映像信号ごとに対応するプリチャージ電圧をサンプルホールドして発生させる構成である。サンプルホールドしたプリチャージ電圧は、出力端子ごとに、プリチャージビット（プリチャージ電圧を印加するか否かの判断ビット）により判断され印加される。図３９は複数のプリチャージ電圧を発生させておき、１つのプリチャージ電圧を選択する構成である。選択するプリチャージ電圧は、プリチャージビット（ＳＥＬ信号：どのプリチャージ電圧を印加するかの指定ビット。ただし、プリチャージ電圧を印加しない（ｏｐｅｎ）場合もある）により判断され、ソース信号線１８に印加される。

【０４０１】

なお、プリチャージ電圧（プログラム電圧と同義あるいは類似）は１Ｈの最初の期間に全ソース信号線１８に一斉に印加される。したがって、ＳＥＬ信号もラッチして保持しておく必要がある。

【０４０２】

以上の実施例は、ソースドライバＩＣ１４を介して、プリチャージ電圧（プログラム電圧と同義あるいは類似）を印加するものであったが、本発明はこれに限定するものではない。たとえば、アレイ３０基板に形成したプリチャージ電圧（プログラム電圧と同義あるいは類似）用トランジスタ素子を形成し、このトランジスタ素子をオンオフ制御することにより、プリチャージ電圧（プログラム電圧と同義あるいは類似）線に印加されたプリチャージ電圧（プログラム電圧と同義あるいは類似）をソース信号線１８に印加するように構成してもよいことは言うまでもない。

【０４０３】

図４０などで、オープン機能（ｏｐｅｎの選択）を設けている。しかし、これは説明を容易にするためであって、必ずしも構成あるいは形成することに限定するものではない。たとえば、図９０に図示するように、プログラム電圧（プリチャージ電圧）の電圧出力回路３７１の出力側にスイッチ２２１ｂ（セレクタ回路）を配置または形成し、プリチャージ電圧などを出力端子９３から出力するモード（駆動方式）の場合は、スイッチ２２１ｂをａ端子側にし、他のモードではスイッチ２２１ｂをｂ端子側に設定（ａ端子を選択しない）するように構成してもよい。

【０４０４】

以上の実施例では、プリチャージ電圧（プログラム電圧と同義あるいは類似）はアノード電圧に近い電圧であるとして説明をした、しかし、画素構成によっては、プリチャージ電圧（プログラム電圧と同義あるいは類似）がカソード電圧に近い場合がある。たとえば、駆動用トランジスタ１１ａがＮチャンネルトランジスタで形成している場合、駆動用トランジスタ１１ａが、Ｐチャンネルトランジスタで吐き出し電流（図１の画素構成は吸い込み（シンク）電流）で電流プログラムが実施される場合である。この場合は、プリチャージ電圧（プログラム電圧と同義あるいは類似）はカソード電圧に近い電圧とする必要がある。

【０４０５】

図５１は本発明の他の実施例である。電子ボリウムの０階調目に該当するプリチャージ電圧（プログラム電圧）Ｖ０は図６２に図示するようにＲＧＢで固定電圧を印加する。もちろん、ＲＧＢで変化させてもよい。抵抗Ｒは図に示すように電子ボリウム２９１の外づけとしてもよい。抵抗Ｒを変化あるいは取り替えることにより自由に各Ｖｐｃ電圧を変化できる。

【０４０６】

なお、抵抗値Ｒ１＞Ｒ２＞・・・・・・＞Ｒｎの関係を維持するように構成する。また、少なくともＲ１＞Ｒｎの関係を維持させる（Ｒｎは最後のスイッチから出力されるＶｐｃ電圧を決定する抵抗である。また、Ｒ１は低階調側でありＲｎは高階調側である。また、Ｒ１は駆動用トランジスタ１１ａの立ち上がり電圧近傍の電圧発生用であり、Ｒｎは白表示電圧を発生するものである）。特に、Ｒ１＞Ｒ２（Ｒ１の端子間電圧＞Ｒ２の端子間電圧）の関係は維持することが好ましい。駆動用トランジスタ１１ａの特性から、Ｖ０電圧の次の１階調目の電圧との差が、１階調目と２階調目の電圧との差が大きいからである。

【０４０７】

スイッチＳ（図５１ではＳ１～Ｓ７）はＶＤＡＴＡをデコードすることにより指定される。なお、選択できるＶｐｃの電圧の個数は、表示装置が６インチ以上の場合は、表示装置の階調数の１／８以上にすることが好ましい（２５６階調の場合は、３２階調以上）。特に、１／４以上とすることが好ましい（２５６階調の場合は、６４階調以上）。比較的高階調領域までプログラム電流の書き込み不足が発生するからである。６インチ以下の比較的小型の表示パネル（表示装置）では、選択できるＶｐｃの電圧の個数は、２以上にすることが好ましい。ＶｐｃがＶ０の１つであっても良好な黒表示を実現できるが、低階調領域で階調表示することが困難な場合があるからである。Ｖｐｃが２以上であれば、ＦＲＣ制御により複数の階調を発生することができ、良好な画像表示を実現できる。

【０４０８】

ｂ点の電位を決定するＳＤＡＴＡは基準電流Ｉｃに相関する。好ましくはＩｃの１／１．５乗以上１／３乗に比例するように制御される。基準電流Ｉｃが大きい時は、ｂ点電位が降下するように制御され、基準電流Ｉｃが小さい時はｂ点電位が高くなる。したがって、基準電流Ｉｃが大きい時は、各抵抗Ｒ間の電位差が大きくなり、各Ｖｐｃの差が大きくなる（プログラム電圧のステップ変化が大きくなる）。逆に、基準電流Ｉｃが小さい時は、各抵抗Ｒ間の電位差が小さくなり、各Ｖｐｃの差が小さくなる。

【０４０９】

図５８の実施例のように、Ｖ２電圧、Ｖ８電圧、Ｖ３２電圧、Ｖ１２８電圧と、４倍の階調に対応するように電圧端子を構成すると、図５２に図示するように、折れ線ガンマのプリチャージ電圧回路を構成することができる。Ｖ２電圧とＶ８電圧との電位差、Ｖ８電圧とＶ３２電圧との電位差、Ｖ３２電圧とＶ１２８電圧との電位差、Ｖ１２８電圧とＶ２５５電圧との電位差はほぼ等しくなる。また、図５２の折れ線ガンマは駆動用トランジスタ１１ａのＶ－Ｉ特性と一致する。

【０４１０】

以上のことから、図５８、図５２の実施例のように、構成することにより良好なプリチャージ駆動（プリチャージ電圧＋プログラム電流駆動など）を実現することができる。図

５８の回路構成から出力されるプリチャージ電圧により、目標のソース信号線１８電位近傍に変化し、わずかなずれ量をプログラム電流により補正できるから、均一性が非常に良好な画像表示を実現できる。

【０４１１】

図５８の構成は、電圧端子はＶ０、Ｖ１、Ｖ２、Ｖ８、Ｖ３２、Ｖ１２８、Ｖ２５５の７端子の実施例である。しかし、本発明はこれに限定されるものではない。たとえば、端子位置を０、８、３２、１２８、５１２としてもよい。つまり、Ｖ０電圧端子、Ｖ８電圧端子、Ｖ３２電圧端子、Ｖ１２８電圧端子、Ｖ５１２電圧端子を形成した実施例である。また、端子位置を０、１、２、８、３２、１２８としてもよい。つまり、Ｖ０電圧端子、Ｖ１電圧端子、Ｖ２電圧端子、Ｖ８電圧端子、Ｖ３２電圧端子、Ｖ１２８電圧端子を形成してもよい。もちろん、近傍であればよく、たとえば、Ｖ０電圧端子、Ｖ１電圧端子、Ｖ３電圧端子、Ｖ７電圧端子、Ｖ３１電圧端子、Ｖ１２７電圧端子などであってもよい。

【０４１２】

以上のように、本発明は、少なくとも電圧端子の１組が４の倍数あるいはその近傍にしたものが本発明である。なお、４倍といっても、０階調から開始されるか、１階調から開始されるかにより異なる。たとえば、Ｖ０、Ｖ１、Ｖ２、Ｖ８、Ｖ３２、Ｖ１２８としても、Ｖ１、Ｖ２、Ｖ７、Ｖ３１、Ｖ１２７などであってもよい。つまり、Ｖｎ／Ｖｎ－１が４近傍になればよい。たとえば、Ｖ１２７／Ｖ３１も４近傍であるので本発明の技術的範疇である。Ｖ１、Ｖ３、Ｖ１２、Ｖ３１、Ｖ２５５などであっても１つの組み合わせであるＶ１２とＶ３の関係、つまりＶ１２／Ｖ３が４であるから本発明の技術的範疇である。

【０４１３】

各電圧端子間の電位差は、基準電流比などにより変化できるように構成することが好ましい。図６０は各電圧端子間をボリウムＶＲで可変できるように構成した実施例である。もちろん、ＶＲの替わりにＤＡコンバータで可変してもよい。電圧ＶｄｄとＧＮＤ間に抵抗Ｒ０～Ｒ６が配置されている。基準電流比の変化に伴い、抵抗Ｒ６の端子電圧は、ボリウムＶＲで変化させる。ボリウムＶＲによりＲ０～Ｒ６の各抵抗端子の電圧は変化し、この変化は、電圧端子Ｖ１～Ｖ２５６の電圧を変化させる。Ｖ０電圧は階調０の電圧であるため、所定電圧Ｖａに固定している。電圧端子Ｖ１～Ｖ２５６の電位は、複数のソースドライバ回路（ＩＣ）１４に共通に印加される。

【０４１４】

以上の実施例は、電圧端子Ｖ１～Ｖ２５６基準電流比に対応して変化させるとしたが、点灯率など他の変動により変化させてもよいことは言うまでもない。

【０４１５】

図６０の実施例は、ソースドライバ回路（ＩＣ）１４の外づけ抵抗Ｒにより電圧端子に印加する電圧を変化させる構成である。しかし、本発明はこれに限定するものではない。たとえば、図５５に図示するように、ソースドライバ回路（ＩＣ）１４の内蔵抵抗Ｒａにより、電圧端子間（Ｖ２電圧とＶ８電圧間、Ｖ８電圧とＶ３２電圧間、Ｖ３２電圧とＶ１２８電圧間）に所定電圧が印加されるように構成してもよい。

【０４１６】

図５５などでは、Ｖ１電圧とＶ２電圧とを分離しているが、図５６に図示するように、Ｖ１電圧をプリチャージ電圧Ｖｐｃ１とし、また、オペアンプ２３１ｃを介してプリチャージ電圧Ｖｐｃ２以降を発生するように構成してもうよいことは言うまでもない。

【０４１７】

図５４などでは、電子ボリウム２９１の抵抗Ｒは同一として説明している。抵抗Ｒの抵抗値を同一にすることによりＩＣチップを小サイズ化できる。しかし、本発明はこれに限定するものではない。抵抗Ｒは変化させてもよい。たとえば、低階調側の抵抗値を大きくし（図５２に図示するように、Ｖ０～低階調領域では、階調に対応する電位の電位差が大きいからである）、高階調側の抵抗値を相対的にあるいは絶対値的に小さくしてもよい。また、抵抗の抵抗値は、低階調側と高階調側の２種類あるいは複数種類で構成してもよい

。

【０４１８】

たとえば、図５２に図示するガンマカーブを発生するためには、プリチャージ電圧Ｖｐｃ端子間に配置する抵抗値を２乗特性にする。この実施例を図５７に図示する。プリチャージ電圧Ｖｐｃ端子間電圧は、１、３、５、７、９・・・・・・・と抵抗値を変化させている。

【０４１９】

図５７などにおいて、Ｖ１電圧、Ｖ２電圧などを変化させることにより、適切なプリチャージ電圧を発生することができる。電圧の変化は、ＤＡ回路を用いてもよい。ＤＡ回路は、コントローラ回路（ＩＣ）が出力する８ビットデータＩＤで制御する。

【０４２０】

以上の実施例は、プリチャージ駆動方式の実施例として説明したが、本発明はこれに限定されるものではない。電圧駆動方式（たとえば、図２などの画素構成を有するＥＬ表示パネルの駆動方法）にも適用できることは言うまでもない。電圧駆動では、ＲＧＢのＥＬ素子のガンマカーブが異なるため、ＲＧＢ独立のガンマ回路が必要である。

【０４２１】

図５８の構成と、図５７の構成とを組み合わせて構成してもよい。図５８は、たとえば、Ｖ１電圧とＶ２電圧間のタップ間の抵抗値を一定の抵抗ではなく、４Ｒ、２Ｒ、Ｒなど変化させている。変化することにより、図５２のカーブが、曲線状となり、よりトランジスタ１１ａのＶＩ特性と一致するようになる。

【０４２２】

以上のように、本発明のソースドライバ回路（ＩＣ）１４において、プリチャージ電圧を発生する回路構成は、多種多様な構成が含まれる。また、以上の事項は、プリチャージ電流あるいは過電圧Ｉｄを発生する回路構成にも適用できることは言うまでもない。

【０４２３】

図６１は、以前に説明した本発明のプリチャージ電圧回路を電圧駆動方式に適用した実施例である。ＲＧＢのＶ０電圧は共通である。電子ボリウム２９１ＲはＲの電圧発生回路である。また、電子ボリウム２９１ＧはＧの電圧発生回路である。電子ボリウム２９１ＢはＢの電圧発生回路である。図６１に構成することによりＲＧＢ独立ガンマカーブを発生することができ、良好なホワイトバランスを実現することができる。

【０４２４】

以上のように、プリチャージ電圧を発生する本発明の回路構成、駆動方式は電圧駆動方式にも適用できることは言うまでもない。つまり、電圧＋電流駆動に限定されるものではない。

【０４２５】

図５４では、全階調範囲において、プリチャージ電圧Ｖｐｃを対応させるとしているが、本発明はこれに限定するものではない。書き込み電流あるいは書き込み電圧が不足する領域に限定してプリチャージ電圧Ｖｐｃ発生回路を構成または配置してもよい。たとえば、図５４では、電流駆動であり、低階調領域で書き込み不足が発生する（と想定する）。したがって、低階調の該当するＶ０～Ｖ１２８までプリチャージ電圧発生回路を構成し、それ以上は、省略してもよいことは言うまでもない。また、０階調目と偶数階調目のみにプリチャージ発生回路を構成したりするように、対応する階調を間欠にしてもよいことは言うまでもない。また、階調１２８以上のプリチャージ電圧はＶｐｃ２５５のみであってもよい。プログラム電流が支配的に動作するからである。以上の事項は本発明の他の実施例においても適用できることは言うまでもない。

【０４２６】

図５４に図示するように構成することも好ましい。図５４は図５３の変形例（簡略化した実施例でもある）である。図５４は４点折れガンマの実施例であるが、これは説明を容易にするためであって、４点折れガンマ以下であっても、４点折れガンマ以下以上であってもよい。

【０４２７】
図５４の特徴は、Ｖ０～Ｖ１、Ｖ１～Ｖ２、Ｖ２～Ｖ４間のプリチャージ電圧Ｖｐｃ数が一定でないことである。一例としてＶ０～Ｖ１はＶｐｃ０とＶｐｃ１の２個、Ｖ１～Ｖ２は３２－１＝３１個のプリチャージ電圧Ｖｐｃ、Ｖ２～Ｖ３は１２８－３２＝９６個のプリチャージ電圧Ｖｐｃ、Ｖ３～Ｖ４は２５５－３２＝２２３個のプリチャージ電圧Ｖｐｃとしている。つまり、高階調になるにしたがって、プリチャージ電圧数を多くしている。
【０４２８】
階調０対応するプリチャージ電圧Ｖ０はＲＧＢで共通であり、アノード電圧Ｖｄｄに近い。また、階調１対応するプリチャージ電圧Ｖ１はＲＧＢで異なり、Ｖ１とＶ０電圧の電位差は大きい。また、Ｖ１電圧は低階調であるため、電流プログラム方法において書き込み不足が発生しやすく、ＥＬ素子の発光効率も低いため、電圧駆動を支配的にする必要がある。この理由から、図５４では、Ｖ０電圧とＶ１電圧とをソースドライバ回路（ＩＣ）１４の外部より入力している。
【０４２９】
一方、Ｖ３電圧からＶ４電圧の範囲は、グランド（ＧＮＤ）電圧に近い。また、プログラム電流も大きいため、電流駆動が支配的となるため、基本的には、プリチャージ電圧Ｖｐｃの印加は必要でない。また、高階調側では、ソース信号線電位（駆動用トランジスタ１１ａのゲート電位）に対する出力電流は直線的な関係になり、少しの電位変化で出力電流は大きくなる。また、電流値も大きい。したがって、プリチャージ電圧Ｖｐｃの精度は必要ない。この理由から、Ｖ３電圧とＶ４電圧の間に対応する階調数を多くしても問題ない。
【０４３０】
好ましくは、Ｖ０～Ｖ１の電位差、Ｖ１～Ｖ２の電位差、Ｖ２～Ｖ３の電位差、Ｖ３～Ｖ４の電位差は同一あるいは近傍の電圧差にすることが好ましい。近傍の電位差とは、１Ｖ以内である。このように近傍の電位差にすることにより、電圧Ｖ０～Ｖ４の発生回路が容易になり、電子ボリウム２９１の構成も簡略化することができる。
【０４３１】
以上のように、本発明は、外部から（内部で発生してもよいことは言うまでもない）印加する電圧Ｖ０～Ｖ４のそれぞれ間に対応するプリチャージ電圧数が異なっていることに特徴がある。
【０４３２】
Ｖ０電圧は、基準電流比が変化しても固定でよい。しかし、Ｖ１電圧位置は、基準電流比の変化に大きく依存する。画素１６の駆動用トランジスタ１１ａの立ち上がり電流が小さいため、基準電流比に対応して駆動用トランジスタ１１ａのゲート端子電位（プログラム時のソース信号線１８電位）を大きく変化させる必要があるからである。駆動用トランジスタ１１ａがＰチャンネルトランジスタの場合は、基準電流比が大きくするにしたがって、ソース信号線１８電位を低下させる必要がある。また、基準電流比による電圧の変化は、Ｖ２電圧よりもＶ４電圧の方を大きくする必要がある。
【０４３３】
以上のように本発明は、基準電流比を変化させる駆動を実施する場合は、Ｖ０電圧を固定または、所定電圧近傍の電位を維持したまま、Ｖ１電圧以降あるいはＶ２電圧以降の電位を変化させることに特徴がある。なお、駆動用トランジスタ１１ａがＮチャンネルトランジスタの場合は、ＧＮＤ電位側にＶ０電圧（立ち上がり電圧）が位置する。
【０４３４】
したがって、図５４の電位関係をＮチャンネル用に変更すればよい。変更は当業者であれば容易であるので説明を省略する。以上のように、本発明は、駆動用トランジスタ１１ａがＰチャンネルトランジスタであるとして説明をするがこれに限定するものではない。Ｎチャンネルトランジスタであってもよいことは言うまでもない。
【０４３５】

図５４はＶ０とＶ１電圧間にソースドライバ回路（ＩＣ）１４の内蔵抵抗を形成または配置した構成である。もちろん、抵抗Ｒは外づけ抵抗であってもよい。また、抵抗Ｒの抵抗値はトリミングにより調整してもよい。

【０４３６】

Ｖ０電圧は固定であり、Ｖ１あるいはＶ２電圧と連動しないのであれば、図５８に図示するように、抵抗Ｒを形成する必要がない。また、Ｖ０電圧とＶ１電圧とは比較的電位差が大きいため、Ｖ０電圧とＶ１電圧間には大きな抵抗を形成する必要がある。大きな抵抗は、抵抗のパーツ数が増大し、ソースドライバ回路（ＩＣ）１４チップのサイズ拡大に直結する。

【０４３７】

図５８はこの課題を解決するため、Ｖ０電圧とＶ１電圧とを独立させている。つまり、Ｖ０電圧端子とＶ１電圧端子間に抵抗を形成していない。また、Ｖ１電圧端子とＶ２電圧端子間にも抵抗を形成していない。一方、Ｖ２電圧端子とＶ８電圧端子間には抵抗Ｒを配置し、Ｖｐｃ２とＶｐｃ３間、Ｖｐｃ３とＶｐｃ４間、Ｖｐｃ４とＶｐｃ５間など１つのプリチャージ電圧端子間には、抵抗Ｒの８倍の抵抗（８Ｒ）を形成している。これは、Ｖ２電圧端子とＶ３電圧端子間は比較的電位差が大きく、抵抗Ｒの形成数が少ないと貫通電流が多く流れ消費電力が大きくなるからである。

【０４３８】

Ｖ８電圧端子とＶ３２電圧端子間には抵抗Ｒを配置し、Ｖｐｃ８とＶｐｃ９間、Ｖｐｃ９とＶｐｃ１０間、Ｖｐｃ１０とＶｐｃ１１間など１つのプリチャージ電圧端子間には、抵抗Ｒの４倍の抵抗（８Ｒ）を形成している。これは、Ｖ８電圧端子とＶ３２電圧端子間も比較的電位差が大きく、抵抗Ｒの形成数が少ないと貫通電流が多く流れ消費電力が大きくなるからである。Ｖ３２電圧端子とＶ１２８電圧端子間のＶｐｃ端子間には抵抗Ｒを配置している。１パーツの抵抗で構成できるのは、Ｖ３２電圧端子とＶ１２８電圧端子間に形成されるプリチャージ電圧端子数が多いため、抵抗Ｒの構成数も多く、貫通電流が流れないからである。以上の事項は、Ｖ１２８電圧端子とＶ２５５電圧端子間も同様である。

【０４３９】

各電圧端子間の電位差は、基準電流比などにより変化できるように構成することが好ましい。図６０は各電圧端子間をボリウムＶＲで可変できるように構成した実施例である。もちろん、ＶＲの替わりにＤＡコンバータ２９１で可変してもよい。電圧ＶｄｄとＧＮＤ間に抵抗Ｒ０～Ｒ６が配置されている。基準電流比の変化に伴い、抵抗Ｒ６の端子電圧は、ボリウムＶＲで変化させる。ボリウムＶＲによりＲ０～Ｒ６の各抵抗端子の電圧は変化し、この変化は、電圧端子Ｖ１～Ｖ２５６の電圧を変化させる。Ｖ０電圧は階調０の電圧であるため、所定電圧Ｖａに固定している。電圧端子Ｖ１～Ｖ２５６の電位は、複数のソースドライバ回路（ＩＣ）１４に共通に印加される。

【０４４０】

以上の実施例は、電圧端子Ｖ１～Ｖ２５６基準電流比に対応して変化させるとしたが、点灯率など他の変動により変化させてもよいことは言うまでもない。

【０４４１】

図６０の実施例は、ソースドライバ回路（ＩＣ）１４の外づけ抵抗Ｒにより電圧端子に印加する電圧を変化させる構成である。しかし、本発明はこれに限定するものではない。たとえば、図５５に図示するように、ソースドライバ回路（ＩＣ）１４の内蔵抵抗Ｒａにより、電圧端子間（Ｖ２電圧とＶ８電圧間、Ｖ８電圧とＶ３２電圧間、Ｖ３２電圧とＶ１２８電圧間）に所定電圧が印加されるように構成してもよい。

【０４４２】

図５５などでは、Ｖ１電圧とＶ２電圧とを分離しているが、図５６に図示するように、Ｖ１電圧をプリチャージ電圧Ｖｐｃ１とし、また、オペアンプ２３１ｃを介してプリチャージ電圧Ｖｐｃ２以降を発生するように構成してもうよいことは言うまでもない。

【０４４３】

図５４などでは、電子ボリウム２９１の抵抗Ｒは同一として説明している。抵抗Ｒの抵

抗値を同一にすることによりＩＣチップを小サイズ化できる。しかし、本発明はこれに限定するものではない。抵抗Ｒは変化させてもよい。たとえば、低階調側の抵抗値を大きくし、高階調側の抵抗値を相対的にあるいは絶対値的に小さくしてもよい。また、抵抗の抵抗値は、低階調側と高階調側の２種類あるいは複数種類で構成してもよい。

【０４４４】

たとえば、図５２に図示するガンマカーブを発生するためには、プリチャージ電圧Ｖｐｃ端子間に配置する抵抗値を２乗特性にする。この実施例を図５７に図示する。プリチャージ電圧Ｖｐｃ端子間電圧は、１、３、５、７、９・・・・・・・と抵抗値を変化させている。

【０４４５】

以上の実施例は、プリチャージ駆動方式の実施例として説明したが、本発明はこれに限定されるものではない。電圧駆動方式（たとえば、図２などの画素構成を有するＥＬ表示パネルの駆動方法）にも適用できることは言うまでもない。電圧駆動では、ＲＧＢのＥＬ素子のガンマカーブが異なるため、ＲＧＢ独立のガンマ回路が必要である。

【０４４６】

以上のように、本発明のソースドライバ回路（ＩＣ）１４において、プリチャージ電圧を発生する回路構成は、多種多様な構成が含まれる。また、以上の事項は、プリチャージ電流あるいは過電圧Ｉｄを発生する回路構成にも適用できることは言うまでもない。

【０４４７】

図６１は、以前に説明した本発明のプリチャージ電圧回路を電圧駆動方式に適用した実施例である。ＲＧＢのＶ０電圧は共通である。電子ボリウム２９１ＲはＲの電圧発生回路である。また、電子ボリウム２９１ＧはＧの電圧発生回路である。電子ボリウム２９１ＢはＢの電圧発生回路である。図６１に構成することによりＲＧＢ独立ガンマカーブを発生することができ、良好なホワイトバランスを実現することができる。

【０４４８】

以上のように、プリチャージ電圧を発生する本発明の回路構成、駆動方式は電圧駆動方式にも適用できることは言うまでもない。つまり、電圧＋電流駆動に限定されるものではない。

【０４４９】

図５４では、全階調範囲において、プリチャージ電圧Ｖｐｃを対応させるとしているが、本発明はこれに限定するものではない。書き込み電流あるいは書き込み電圧が不足する領域に限定してプリチャージ電圧Ｖｐｃ発生回路を構成または配置してもよい。たとえば、図５４では、電流駆動であり、低階調領域で書き込み不足が発生する（と想定する）。したがって、低階調の該当するＶ０～Ｖ１２８までプリチャージ電圧発生回路を構成し、それ以上は、省略してもよいことは言うまでもない。また、０階調目と偶数階調目のみにプリチャージ発生回路を構成したりするように、対応する階調を間欠にしてもよいことは言うまでもない。また、階調１２８以上のプリチャージ電圧はＶｐｃ２５５のみであってもよい。プログラム電流が支配的に動作するからである。以上の事項は本発明の他の実施例においても適用できることは言うまでもない。

【０４５０】

図６０の実施例は、ソースドライバ回路（ＩＣ）１４の外づけ抵抗Ｒにより電圧端子に印加する電圧を変化させる構成である。しかし、本発明はこれに限定するものではない。たとえば、図５９に図示するように、ソースドライバ回路（ＩＣ）１４の内蔵抵抗Ｒａにより、電圧端子間（Ｖ２電圧とＶ８電圧間、Ｖ８電圧とＶ３２電圧間、Ｖ３２電圧とＶ１２８電圧間）に所定電圧が印加されるように構成してもよい。

【０４５１】

図５９などでは、Ｖ１電圧とＶ２電圧とを分離しているが、Ｖ１電圧をプリチャージ電圧Ｖｐｃ１とし、また、オペアンプ２３１ｃを介してプリチャージ電圧Ｖｐｃ２以降を発生するように構成してもうよいことは言うまでもない。

【０４５２】

図６３に図示するプリチャージ電圧（Ｖ０、Ｖ１・・・・）は、表示パネルの温度により変化させることが好ましい。駆動用トランジスタ１１ａが駆動電圧に対して温度依存性があるからである。この温度依存性に対応するには、図６３に図示するように、温度により変化する素子（ポジスタ、サーミスタ）Ｒｂ、Ｒｂ２、Ｒｃ２などを付加し、温度によりＶ０、Ｖ１、Ｖ２電圧が適正な電圧に変化するように構成すればよい。

【０４５３】

以上の実施例は、主としてプリチャージ電圧を外部から設定する（印加する）ものであった。以下の実施例は、プリチャージ電圧をパネル内部で発生させるものである。以前にも説明したように、アレイは、アレイごとにレーザーアニール条件の差異により駆動用トランジスタ１１ａなどのＶｔ特性がばらつく。Ｖｔ特性が異なれば、電圧駆動であるプリチャージ電圧も変化する。したがって、プリチャージ電圧を外部から印加するようにした構成では、パネルごと（アレイごと）にプリチャージ電圧を調整して設定しなければならない。

【０４５４】

電流駆動方式では、駆動用トランジスタ１１ａにプログラム電流を印加する。一例として図１の画素構成では、プログラム電流はアノード端子から駆動用トランジスタ１１ａをとおって、ソース信号線１８に流れ込む。プログラム電流によりソース信号線１８電位は変化する。ソース信号線１８の電位は、駆動用トランジスタ１１ａのゲート端子電位と同一である。たとえば、駆動用トランジスタ１１ａに階調１０に対応するプログラム電流が流れれば、ソース信号線１８の電位（駆動用トランジスタ１１ａのゲート端子電位）は、階調１０に対応するプログラム電流が流れるように変化する。たとえば、この電位をＶ１０とすれば、Ｖ１０の電圧をプリチャージ電圧としてソース信号線１８に印加すれば、駆動用トランジスタ１１ａは、階調１０の電流を流すようにプログラムされることになる。

【０４５５】

本発明では、ソースドライバ回路（ＩＣ）１４内にトランジスタ群２５１ｃを有し、このトランジスタ群２５１ｃは階調の対応した単位電流（プログラム電流）を出力できる。したがって、トランジスタ群２５１ｃから所定の階調に該当するプログラム電流を出力し、駆動用トランジスタ１１ａを動作させて、前記プリチャージ電圧に該当するプログラム電流が流れるように動作させ、この時のソース信号線１８の電位を測定することにより、前記所定の階調に該当するプリチャージ電圧を取得することができる。つまり、プリチャージ電圧の設定に必要な階調に該当するプログラム電流をソースドライバ回路（ＩＣ）１４から出力し、アレイ特性が反映された駆動用トランジスタ（テストトランジスタ）のゲート端子電圧を変化させる。このゲート端子電圧を測定してプリチャージ電圧としてフィードバックするのである。このように動作あるいは設定させることにより、ソースドライバ回路（ＩＣ）１４の特性とアレイの特性をフィードバックして精度のよいプリチャージ電圧を設定することができる。以上の動作には、アレイなどの特性だけでなく、温度特性も補償している。したがって、プリチャージ電圧を外部設定する必要がないし、温度補償を実施する必要もない。

【０４５６】

図１６９（ａ）は、説明を容易にするため、階調に対応するプリチャージ電圧の関係を示している。図１６９（ａ）に図示するように、一例として、階調０に対応するプリチャージ電圧をＶ０とする。階調１に対応するプリチャージ電圧をＶ１、階調８に対応するプリチャージ電圧をＶ２、階調３２に対応するプリチャージ電圧をＶ３、階調１２８に対応するプリチャージ電圧をＶ４、階調２５５に対応するプリチャージ電圧をＶ５とする。もちろん、他の階調をＶ０～Ｖ５に設定してもよい。また、Ｖ０～Ｖ５の６つに限定するものではなく、６つ以上であってもよいし、６つ以下でもよい。

【０４５７】

図１６９（ｂ）は、プリチャージ電圧を発生するための駆動用トランジスタ１１ａを有する測定画素１６ｓを示している。測定画素１６ｓは、プログラム電流を発生させるものであるから、ＥＬ素子１５を形成する必要はない。したがって、図１におけるトランジス

タ１１ｄは不要であり、また、ゲート信号線１７ｂも必要ない。プログラム電流が流れれば目的を達するからである。もちろん、画像を表示する画素１６と同様に、ＥＬ素子１５を形成してもよい。寄生容量などが画素１６と同一をなり、プリチャージ電圧の測定が良好になるからである。なお、プリチャージ電圧を測定するために用いる測定画素１６ｓを測定画素１６ｓと呼ぶ。

【０４５８】

測定画素１６ｓは、ゲート信号線１７ａにオン電圧が印加され、ソース信号線１８にプログラム電流が印加されることにより、駆動用トランジスタ１１ａが動作し、駆動用トランジスタ１１ａのゲート端子電圧が変化する。この時のソース信号線１８電位を読み取ることにより、プリチャージ電圧が取得することができる。

【０４５９】

たとえば、階調１のプリチャージ電圧Ｖ１を取得する場合には、階調１に該当するプログラム電流（通常、１個の単位トランジスタからの出力電流）をソース信号線１８に印加し、測定画素１６ｓの駆動用トランジスタ１１ａを動作させる。この動作が完了時のソース信号線１８の電位を測定すれば、プリチャージ電圧Ｖ１を取得することができる。なお、電圧を測定するとしたが、測定の概念は、電圧を保持するあるいは、得る、を含む概念である。つまり、取得したソース信号線電位をプリチャージ電圧として活用できる方式であれば、いずれの構成、形式、方法であってもよい。たとえば、ソース信号線１８ｓの電位をサンプルホールドして活用する構成が例示される。また、ソース信号線１８ｓのアナログ電位をアナログ－デジタル変換（ＡＤ変換）し、デジタルデータをそのまま、プリチャージ電圧Ｖ０～Ｖ５として活用する構成あるいはアナログ変換してＶ０～Ｖ５として活用する構成が例示される。また、単に、ソース信号線１８ｓの電位をそのまま、フィードバックし、Ｖ０～Ｖ５として活用する構成が例示される。また、取得または測定したソース信号線１８ｓの電位あるいは電圧もしくは電位変化をかさ上げしたり、一定の比率と演算したり、重み付け処理をしたり、レベルシフトしたり、また、所定の加工あるいは他の電圧値と、加算あるいは減算などをしてもよいことはいうまでもない。また、複数回の測定値を平均して所望値を得てもよいことは言うまでもない。また、ソース信号線１８ｓの電位変化から目的電圧を予測あるいは推測する動作あるいは処理を含む。本明細書では、説明を容易にするため、これらの概念、方式あるいは構成を含む概念として’測定’として説明する。

【０４６０】

また、プリチャージ電圧Ｖ０～Ｖ５は、プリチャージ電圧の発生だけではなく、電圧駆動あるいは、ガンマ曲線を発生することにも用いることができる。したがって、本発明の技術的思想は、電流プログラム方式（駆動）だけではなく、電圧プログラム方式（駆動）としても適用することができるものである。

【０４６１】

図１６９（ｂ）において、コンデンサ１９ｂを付加することにより、駆動用トランジスタ１１ａが流す電流をレベルシフトすることができる。また、ゲート信号線１２ａの電位の振幅値を変化させることにより、駆動用トランジスタ１１ａが流す電流をレベルシフトすることができる。以上の事項は、図１で説明を行ったので説明を省略する。コンデンサ１９ｂの大きさなどの画像を表示する画素１６と異ならせることにより、プリチャージ電圧を適正な値にアナログ的に変化させることができる。

【０４６２】

図１７０は本発明のプリチャージ電圧の測定回路の説明図である。プリチャージ電圧の電圧測定回路１７０１はソースドライバＩＣ１４内に形成または構成されている。もちろん、ポリシリコン技術を用いてアレイ基板３０に直接に形成または構成してよいことは言うまでのない。ソースドライバＩＣ１４内に電圧測定回路を構成することにより、ソース信号線１８ｓに接続された端子９３ｓからプリチャージ電圧を取得することができる。したがって、プリチャージ電圧を測定するために新たな端子９３の形成は不要である。また、ソースドライバＩＣ１４では、サンプルホールド回路、オペアンプ、アナログスイッチ

などプリチャージ電圧を測定するための回路が小面積で高精度に作製あるいは形成もしくは構成することができる。

【０４６３】

プリチャージ電圧を測定するために出力するプログラム電流の発生回路は、プログラム電流を出力する電流階調回路３３４の構成と同様である。電流階調回路は、図３３などで説明しているので説明を省略する。

【０４６４】

ゲートドライバ回路１２ａは、測定画素１６ｓを選択するゲート信号線１７ａ１と、画像を表示する画素１６を順次選択するゲート信号線１７ａ２（図１などでは、ゲート信号線１７ａが該当する）を制御する。ゲート信号線１７ａ１は画像表示に関係なく、選択あるいは非選択動作にされる。プリチャージ電圧を測定する時は、ゲート信号線１７ａ１が選択される。それ以外の期間は、非選択とされる。

【０４６５】

電流階調回路３３４は、階調０に対応するプログラム電流を出力する。ただし、階調０に対応するプログラム電流は０である。したがって、スイッチ２２１ｂ（図３３を参照のこと）はオープン状態を同一である。つまり、ソース信号線１８ｓにはプログラム電流は供給されず、ゲート信号線１７ａ１が選択される。測定画素１６ｓの駆動用トランジスタ１１ａはソース信号線１８ｓに電流が流れない状態まで、ソース信号線１８ｓに電荷を充電あるいは放電させる。ソース信号線１８ｓの電位が一定値に落ち着くと、電圧測定回路１７０１を動作させて、ソース信号線１８ｓの電位を測定する。もちろん、電圧測定回路１７０１はたえず、動作させておき、ソース信号線１８ｓの電位を安定後した後、プリチャージ電圧としてもよいことは言うまでもない。

【０４６６】

なお、電圧測定回路１７０１が電圧Ｖ０を測定している時は、ゲート信号線１７ａ１を非選択状態にすることを基本とするが、たえず、ゲート信号線１７ａ１を選択状態としてもよいことは言うまでもない。

【０４６７】

電圧測定回路１７０１は、ソース信号線１８ｓの電圧を測定し、電圧階調回路３７１に保持する。保持されたプリチャージ電圧Ｖ０は、図５１～図５９、図６３、図９０などのＶ０電圧となる。

【０４６８】

同様に、電流階調回路３３４は、階調１に対応するプログラム電流を出力する。階調１に対応するプログラム電流は１個の単位トランジスタ２２４の出力電流（１単位電流）である。ソース信号線１８ｓには１単位のプログラム電流が供給され、ゲート信号線１７ａ１が選択される。ただし、プリチャージ電圧Ｖ０～Ｖ５を連続して測定する場合は、ゲート信号線１７ａ１は連続して選択状態を維持してもよい。測定画素１６ｓの駆動用トランジスタ１１ａはソース信号線１８ｓに１単位のプログラム電流が定常的に流れるように動作する。定常の単位電流が流れることにより、また、定常の単位電流が流れるように、ソース信号線１８ｓの電位が変化する。また、駆動用トランジスタ１１ａは、１単位電流が安定して流れるように状態に、ソース信号線１８ｓに電荷を充電あるいは放電させる。

【０４６９】

ソース信号線１８ｓの電位が一定値に落ち着くと、電圧測定回路１７０１を動作させて、ソース信号線１８ｓの電位Ｖ１を測定する。もちろん、電圧測定回路１７０１はたえず、動作させておき、ソース信号線１８ｓの電位を安定後した後に測定した電圧Ｖ１を、プリチャージ電圧としてもよいことは言うまでもない。

【０４７０】

なお、電圧測定回路１７０１が電圧Ｖ１を測定している時は、ゲート信号線１７ａ１を非選択状態にすることを基本とするが、たえず、ゲート信号線１７ａ１を選択状態としてもよいことは言うまでもない。電圧測定回路１７０１は、ソース信号線１８ｓの電圧Ｖ１を測定し、電圧階調回路３７１に保持する。保持されたプリチャージ電圧Ｖ１は、図５１

～図５９、図６３、図９０などのＶ１電圧となる。
【０４７１】
プリチャージ電圧Ｖ２も同様である。流階調回路３３４は、階調８に対応するプログラム電流を出力する（図１６９（ａ）を参照のこと）。階調２に対応するプログラム電流は８個の単位トランジスタ２２４の出力電流（８単位電流）である。図２２では図示していないが、スイッチ２２１ｄがクローズし、他のスイッチ２２１はオープン状態に制御される。
【０４７２】
ソース信号線１８ｓには８単位のプログラム電流が供給され、ゲート信号線１７ａ１が選択される。測定画素１６ｓの駆動用トランジスタ１１ａはソース信号線１８ｓに８単位のプログラム電流が定常的に流れるように動作する。定常の単位電流が流れることにより、また、定常の単位電流が流れるように、ソース信号線１８ｓの電位が変化する。
【０４７３】
ソース信号線１８ｓの電位が一定値に落ち着く、あるいは、一定値をなることが推定される時間後に、電圧測定回路１７０１を動作させて、ソース信号線１８ｓの電位を測定する。もちろん、電圧測定回路１７０１はたえず、動作させておき、ソース信号線１８ｓの電位を安定後した後あるいは安定すると推定される時間経過後に測定してもよい。測定した電圧は、プリチャージ電圧Ｖ２電圧となる。　電圧測定回路１７０１は、ソース信号線１８ｓの電圧（プリチャージ電圧Ｖ２）を測定し、電圧階調回路３７１に保持する。保持されたプリチャージ電圧Ｖ２は、図５１～図５９、図６３、図９０などのＶ２電圧となる。
【０４７４】
同様の操作あるいは動作または駆動を、階調３２に対応するプリチャージ電圧をＶ３、階調１２８に対応するプリチャージ電圧をＶ４、階調２５５に対応するプリチャージ電圧をＶ５として実施する。
【０４７５】
なお、以上の実施例では、プリチャージ電圧はＶ０からＶ５まで順次測定するとしたが、この順序に限定するものではない、プリチャージ電圧Ｖ５からＶ０に順次測定してもよい。また、ランダムに測定してもよい。また、ソース信号線１８ｓに一定の電圧（黒電圧あるいはリセット電圧）を印加し、ソース信号線１８ｓの電位を所定電位にしてから、各プリチャージ電圧に対応する単位電流をソース信号線１８ｓに印加してもよい。また、プリチャージ電圧Ｖ０～Ｖ５の測定は複数回行って平均化してもよい。
【０４７６】
また、プリチャージ電圧Ｖ０を測定する時間を長くし、プリチャージ電圧Ｖ５を測定する時間を短くするなど、各プリチャージ電圧測定に、設定する測定時間を可変してもよい。プリチャージ電圧Ｖ１などは、ソース信号線１８ｓに流れ込む電流が小さく、ソース信号線１８ｓの電位変化が遅いからである。一方、プリチャージ電圧Ｖ５などは、ソース信号線１８ｓに流れ込む電流が大きく、ソース信号線１８ｓの電位変化が速いからである。
【０４７７】
図５１～図５９、図６３、図９０などでは、ポイントとなるプリチャージ電圧は、ソースドライバ回路（ＩＣ）１４の外部で発生し、もしくは、ソースドライバ回路（ＩＣ）１４に印加された基準電圧などを分圧して発生することを想定して説明をした。この場合、アレイ基板３０のロットが異なれば、駆動用トランジスタ１１ａの特性が異なり、プリチャージ電圧Ｖ０～Ｖ５の値を調整する必要がった。また、アレイ３０（駆動用トランジスタ１１ａ）の温度依存性により、プリチャージ電圧Ｖ０～Ｖ５を再調整あるいは設定する必要があった。
【０４７８】
図１７０の本発明では、画素１６の駆動用トランジスタ１１ａの特性を反映する測定画素１６ｓの駆動用トランジスタ１１ａはアレイ基板３０内に形成されている。つまり、測定画素１６ｓの駆動用トランジスタ１１ａはアレイ基板３０のトランジスタの特性バラツ

キを反映している。この測定画素１６ｓの駆動用トランジスタ１１ａに、ソースドライバ回路（ＩＣ）１４からプログラム電流を供給し、プリチャージ電圧を測定する。したがって、図５１～図５９、図６３、図９０の電子ボリウム２９１に供給するプリチャージ電圧Ｖ０～Ｖ５はアレイ基板３０の画素１６の駆動用トランジスタ１１ａの特性バラツキを反映したものとなっている。また、温度依存に関しても、本発明の表示パネルを駆動している温度を反映したものとなっている。したがって、プリチャージ電圧Ｖ０～Ｖ５は再調整あるいは、ロットごとに設定する必要がない。

【０４７９】

以上のように、本発明は、ソースドライバＩＣ１４から、精度のよいプログラム電流を発生し（このプログラム電流を実際に表示装置の画像表示するための階調に対応する電流である）させる。したがって、全体としてソースドライバ回路（ＩＣ）１４の小型化、低コスト化を実現できる。また、測定画素１６ｓは、画素１６を形成するアレイ基板３０に作製あるいは形成する。測定画素１６ｓは画像を表示する画素１６と同時に形成する（同一プロセスあるいは工程）。また、同一のプログラム電流を画素１６と、測定画素１６ｓに印加したとき、ソース信号線１８とソース信号線１８ｓの電位は略同一になるようにする。つまり、画素１６の駆動用トランジスタ１１ａと測定画素１６ｓの駆動用トランジスタ１１ａとは、同一特性になるように構成あるいは形成する。同一特性にするには、基本的には、画素１６と画素１６ｓを同一構成あるいはレイアウトにすればよい。駆動用トランジスタ１１ａのチャンネル幅Ｗ、チャンネル長Ｌに構成するのが最も簡単である。

【０４８０】

図１７１は、アナログ－デジタル（ＡＤ）変換回路１７１１を用いた構成である。電流階調回路３３４内のトランジスタ群２５１ｓ（図２２、図２６などで説明したトランジスタ群２５１ｃと同一の構成である）から、プログラム電流がソース信号線１８ｓに出力される。

【０４８１】

なお、プログラム電流は、吸い込み電流であるが、本発明はこれに限定するものではない。画素１６の駆動用トランジスタ１１ａがＮチャンネルトランジスタなどの場合は、吐き出し電流にする。もの場合は、トランジスタ群２５１ｃを構成する単位トランジスタ２２４はＰチャンネルトランジスタで構成する。

【０４８２】

測定画素１６ｓの駆動用トランジスタ１１ａは、プログラム電流により動作し、ソース信号線１８ｓの電位が変化する。プログラム電流に対応するソース信号線１８の電位をＶｓとする。Ｖｓ電圧は電圧測定回路１７０１により測定される。この電圧はＡＤ変換回路１７１１でデジタルデータに変換され、メモリあるいは保持回路（ラッチ回路など）により蓄積または保持される。保持されたデータはデジタルデータのＶｓとして、電圧階調回路３７１に印加される。他の構成などは、図１６９、図１７０などと同様であるので説明を省略する。

【０４８３】

なお、Ｖｓ電圧は、電圧測定回路１７０１を介さず、直接にＡＤ変換回路１７１１によりデジタルデータに変換してもよい。つまり、本発明では、電圧測定回路１７０１を形成または配置し、この回路１７０１を使用あるいは動作させるとしたが、何らかの構成あるいは手段あるいは方法により、ソース信号線１８ｓあるいはソース信号線１８の電圧を取得できるものあればいずれの構成あるいは手段でもよい。

【０４８４】

また、ソース信号線１８ｓにプログラム電流を流すトランジスタ群２５１ｓ、電圧測定回路１７０１などは、ソースドライバ回路（ＩＣ）１４と分離し、別チップ（ＩＣ）としてもよい。この別チップ（ＩＣ）をアレイ基板３０にＣＯＧ技術で実装する。また、ＴＡＢ技術で実装してもよい。

【０４８５】

図１７０の実施例では、測定画素１６ｓは１つの場合と図示した。しかし、本発明はこ

れに限定するものではない。たとえば、図１７２に図示するように、複数の測定画素１６ｓ（１６ｓ１、１６ｓ２、１６ｓ３、１６ｓ４、・・・・・・・）を形成又は構成し、測定画素１６ｓをゲート信号線１７ａ（１７ａ１、17a2、１７ａ３、１７ｓ４、・・・・・・・）で順次選択する。各測定画素１６ｓはそれぞれプリチャージ電圧Ｖ０～Ｖ５を測定する。複数の測定画素１６ｓで測定したプリチャージ電圧Ｖ０～Ｖ５を平均化し、平均値としてのＶ０～Ｖ５を求めることにより、より精度のよいプリチャージ電圧を求めることができる。

【０４８６】

また、測定画素１６ｓ１はプリチャージ電圧Ｖ０を測定する画素とし、測定画素１６ｓ２はプリチャージ電圧Ｖ１を測定する画素をし、測定画素１６ｓ３はプリチャージ電圧Ｖ２を測定する画素をし、・・・・・・・・・、測定画素１６ｓ６はプリチャージ電圧Ｖ５を測定する画素とする、というように、各測定画素１６ｓが受け持つプリチャージ電圧を設定してもよい。

【０４８７】

また、各測定画素１６ｓが受け持つプリチャージ電圧は、一定の周期で変更してもよい。たとえば、１周期目は、測定画素１６ｓ１はプリチャージ電圧Ｖ０を測定する画素とし、測定画素１６ｓ２はプリチャージ電圧Ｖ１を測定する画素をし、測定画素１６ｓ３はプリチャージ電圧Ｖ２を測定する画素をし、・・・・・・・・・、測定画素１６ｓ６はプリチャージ電圧Ｖ５を測定する画素とし、２周期目は、測定画素１６ｓ１はプリチャージ電圧Ｖ５を測定する画素とし、測定画素１６ｓ２はプリチャージ電圧Ｖ４を測定する画素をし、測定画素１６ｓ３はプリチャージ電圧Ｖ３を測定する画素をし、・・・・・・・・・、測定画素１６ｓ６はプリチャージ電圧Ｖ０を測定する画素とする、というように制御する。周期は、１フレーム周期でもよいし、それ以上あるいはそれ以下でもよい。また、ゲート信号線１７ｂの走査と同期を取って、ゲート信号線１７ａを順次選択してもよい。つまり、１つのゲート信号線１７ａの選択期間は、１水平走査期間となる。

【０４８８】

図１７３に図示するように、電圧測定回路１７０１は測定信号に同期してプリチャージ電圧を測定する。図１７３では、Ｈレベルの時にプリチャージ電圧を測定し、Ｌレベルの時には、プリチャージ電圧は測定しない。図１７３では、上段は、トランジスタ群２５１ｓが出力する単位電流の大きさを示している。０は、すべての単位トランジスタ２２４が選択されていない状態である（階調０）。１は単位トランジスタ２２４が１個選択された状態である（階調１）。２は単位トランジスタ２２４が２個選択された状態である（階調２）。以下同様に、４は単位トランジスタ２２４が４個選択された状態である（階調４）であり、・・・・・・３２は単位トランジスタ２２４が３２個選択された状態である（階調３２）。

【０４８９】

図１７３の実施例では、出力電流は、１、２、４、８、１６、・・・・・・・と２の乗数で変化させている。つまり、図２２において、スイッチ２２１ａ、２２１ｂ、２２１ｃ、２２１ｄ・・・・・・・と順次クローズしていく方式である。プリチャージ電圧の階調の２の乗数で測定し取得される。図１７３の構成では、トランジスタ群２５１ｓの制御が容易であり、プリチャージ電圧の測定精度も高い。

【０４９０】

トランジスタ群２５１ｓからの出力電流により、駆動用トランジスタ１１ａなどが動作して、ソース信号線１８ｓの電位が変化する。本発明の構成では、単位電流の大きさ（プログラム電流の大きさ）が大きくなるにつれてソース信号線１８ｓの電位は低下する。

【０４９１】

プログラム電流の大きさが変化すると、ソース信号線１８ｓの電位は変化する。ソース信号線１８ｓには寄生容量があるため、目標電位まで変化するのに一定の期間が必要である。図１７３ではこの期間は、測定信号はＬレベルであり、電圧測定回路１７０１は動作しない。ソース信号線１８ｓの寄生容量を充放電し、目標電位まで変化すると、測定信号

はＨレベルとなり、プリチャージ電圧（ソース信号線１８ｓの電位）が測定される。以上の測定がソース信号線１８ｓに印加されるプログラム電流に対応して順次繰り返され、プリチャージ電圧が測定し保持される。

【０４９２】

図１７３はプログラム電流を２の乗数倍で変化させ、プリチャージ電圧を測定するものである（取得するものである）。図１７４は、図１６９で説明したように、プリチャージ電圧Ｖ０、Ｖ１、Ｖ２、Ｖ３、Ｖ４、Ｖ５を測定（取得）する方法である。トランジスタ群２５１ｓから、プログラム電流、０、１、８、３２、１２８、２５５が順次ソース信号線１８ｓに印加される。このプログラム電流に対応して、ソース信号線１８ｓの電位が変化する。電圧測定回路１７０１は変化後のソース信号線１８ｓの電位を測定する。

【０４９３】

なお、プリチャージ電圧は、決められた階調に対応して測定あるいは取得するとしたが、本発明はこれに限定するものではない。すべての階調（たとえば、２５６階調の場合は、０階調目から２５５階調目）に対してプリチャージ電圧を測定（取得）してもよい。このプリチャージ電圧を階調信号として使用すれば、良好な電圧駆動を実現できる。

【０４９４】

以上の実施例では、３つ以上のプリチャージ電圧を測定するものであった。しかし、最大階調の階調２５５（２５６階調の時）と、最低階調の階調０を測定し、この両者から中間のプリチャージ電圧を発生させてもよい。

【０４９５】

図１７６は、プリチャージ電圧Ｖ０と、Ｖ２５５を電圧測定回路１７０１で測定し、測定したプリチャージ電圧を切り換え回路（Ｖ０電圧をＶ２５５電圧の振り分け回路）１７６１で、Ｖ０電圧を平均化回路１７６２ａに入力する。また、測定したプリチャージ電圧を切り換え回路（Ｖ０電圧をＶ２５５電圧の振り分け回路）１７６１で、Ｖ２５５電圧を平均化回路１７６２ｂに入力する。平均化回路１７６２ａは交互にあるいは連続して測定されたプリチャージ電圧Ｖ０、プリチャージ電圧Ｖ２５５を平均化し、安定したプリチャージ電圧Ｖ０、プリチャージ電圧２５５をするものである。

【０４９６】

平均化回路１７６２の出力はオペアンプ２３１に入力され、インピーダンスを低減して、電子ボリウム２９１に入力される。電子ボリウム２９１では、図５１～図５９、図６３、図９０などで説明したように、抵抗Ｒで分圧され、階調に対応するプリチャージ電圧（Ｖ０～Ｖ２５５）が発生させられる。

【０４９７】

図１７５に図示するように、トランジスタ群２５１ｓからの出力電流（０または２５５）により、駆動用トランジスタ１１ａなどが動作して、ソース信号線１８ｓの電位が変化する。プログラム電流の大きさが変化すると、ソース信号線１８ｓの電位は変化する。ソース信号線１８ｓには寄生容量があるため、目標電位まで変化するのに一定の期間が必要である。そのため、ソース信号線１８ｓの電位変化は曲線を描く。階調に対するプリチャージ電圧（ソース信号線１８ｓの電位）と、階調２５５に対するプリチャージ電圧が、電圧測定回路１７０１により測定される。以上の測定がソース信号線１８ｓに印加されるプログラム電流に対応して順次繰り返され、測定された、プリチャージ電圧Ｖ０とＶ２５５が図１７６に図示する切り換え回路１７６１に伝送（伝達）される。

【０４９８】

図１７５は、プリチャージ電圧Ｖ０とＶ２５５の場合であった。本発明はこれに限定するものではない。図１７７に図示するように、プリチャージ電圧Ｖ０～Ｖ５を順次、電圧測定回路１７０１で測定し、順次、切り換え回路１７６１に伝送する。切り換え回路１７６１は受信したプリチャージ電圧Ｖ０～Ｖ５を平均化回路１７６２に振り分ける。平均化回路１７６２はそれぞれのプリチャージ電圧を平均化する。Ｖ０～Ｖ５電圧は、Ｖ０（Ａ）～Ｖ５（Ａ）として安定化され、電子ボリウム２９１などに印加される。

【０４９９】

図１６９（ｂ）で説明したように、ＥＬ素子１５を有しない測定画素１６ｓを形成し、プリチャージ電圧を測定するとした。しかし、もっと簡単には、図１７８に図示するように、駆動用トランジスタ１１ａからなる測定画素１６ｓを形成し、この測定画素１６ｓを動作させてプリチャージ電圧を測定してもよい。図１７８の測定画素１６ｓのゲート端子とドレイン端子は短絡して形成されている。ソース端子は画素１６の駆動用トランジスタと同様にアノード電圧Ｖｄｄに接続されている。

【０５００】

測定画素１６ｓは、図１７９に図示するように、アレイ基板３０の複数箇所に形成し、複数箇所に形成された測定画素１６ｓの駆動用トランジスタ１１ａを動作させてプリチャージ電圧を測定することが好ましい。アレイ基板３０内の各部分で作製された駆動用トランジスタ１１ａの特性バラツキがあるからである。複数箇所の測定画素１６ｓで測定されたプリチャージ電圧は平均化して、所望のプリチャージ電圧Ｖ０～Ｖ５を取得する。また、複数箇所に測定画素１６ｓを形成しておけば、そのうち１つの測定画素１６ｓが不良であっても、他の測定画素１６ｓからプリチャージ電圧Ｖ０～Ｖ５を取得することができる。

【０５０１】

図１８０に図示するように、画像を表示するためのトランジスタ群２５１ｃと同様に、プリチャージ電圧を測定するためのトランジスタ群２５１ｓを形成し、トランジスタ群２５１ｓの単位トランジスタ２２４数を選択して、測定画素１６ｓに印加してもよい。なお、図１８０などのトランジスタ群２５１ｃ（２５１ｓ）の数字は、単位トランジスタ２２４の個数を示している。つまり、１は単位トランジスタ２２４が１個であり、２は単位トランジスタ２２４が２個であり、４は単位トランジスタ２２４が４個であり、８は単位トランジスタ２２４が８個・・・・・・・１２８は単位トランジスタ２２４が１２８個である。単位トランジスタ２２４の個数をスイッチ２２１で切り換え、各単位トランジスタ２２４の個数に対する（階調に対する）プリチャージ電圧を測定する。

【０５０２】

図１８０などの構成では、ソース信号線１８にプログラム電流を出力するトランジスタ群２５１ｃと、ソース信号線１８ｓにプログラム電流を出力するトランジスタ群２５１ｓとは、共通のトランジスタ群２５１ｂ（トランジスタ２２８ｂ）とカレントミラー回路を構成した実施例である（図２８、図２６、図２７、図２５、図２２などを参照のこと）。したがって、トランジスタ群２５１ｓとトランジスタ２５１ｃの単位トランジスタが出力する単位電流は同一である。しかし、本発明はこれに限定するものではない。たとえば、図１８１に図示するように、トランジスタ群２５１ｓとカレントミラー回路を構成するトランジスタ群またはトランジスタ２２８ｂに流れる基準電流を、トランジスタ群２５１ｃとは別に発生させてもよい。

【０５０３】

図１８１の電子ボリウム２９１は、電圧Ｖを変化させる８ビットのＤＡＴＡにより制御される。ＤＡＴＡは、コントローラ７２２で制御される。この電圧Ｖと抵抗Ｒ１によりトランジスタ２２８ｂに流れる基準電流Ｉｃを変更（可変）することができる。トランジスタ２２８ｂはトランジスタ群２２８ｂとカレントミラー回路を構成する。なお、以上の構成あるいは動作は、図２８、図２６、図２７、図２５、図２２などと同様であるので、説明を省略する。

【０５０４】

図２１２は、ソースドライバ回路（ＩＣ）１４にスイッチＳ（Ｓ１、Ｓ２、Ｓ３、・・・・・・）が形成されている。１つのスイッチＳが選択されることにより、選択されたスイッチＳに接続された端子９３のソース信号線１８の電位が、ソース信号線電位検出線２１２１に印加される。

【０５０５】

図２１２では、各端子９３に接続されたトランジスタ群２５１ｃからプログラム電流Ｉ０（階調０に対応する）が出力される。すると、各ソース信号線１８の電位は、プログラ

ム電流Ｉ０に対応する電位に変化する。この状態でスイッチＳ０からＳｎ（ｎは端子９３の最大番号値）まで、順次クローズし、各ソース信号線１８の電位がソース電位検出線２１２１に印加され、この電圧はＶｓｄとして測定されてコントローラ７２２に伝送される。コントローラ７２２では、プログラム電流Ｉ０に対する各ソース信号線１８の電位は、Ｖｓｔ０電圧として、メモリ２１２２に記憶される。このＶｓｔ０がプリチャージ電圧Ｖ０に該当する。

【０５０６】

また、プリチャージ電圧Ｖ１に対しては、各端子９３に接続されたトランジスタ群２５１ｃからプログラム電流Ｉ１が出力される。すると、各ソース信号線１８の電位は、プログラム電流Ｉ１に対応する電位に変化する。この状態でスイッチＳ０からＳｎ（ｎは端子９３の最大番号値）まで、順次クローズし、各ソース信号線１８の電位がソース電位検出線２１２１に印加され、この電圧はＶｓｄ１として測定されてコントローラ７２２に伝送される。コントローラ７２２では、プログラム電流Ｉ１に対する各ソース信号線１８の電位Ｖｓｔ１として、メモリ２１２２に記憶される。このＶｓｔ１がプリチャージ電圧Ｖ１に該当する。

【０５０７】

プリチャージ電圧Ｖ２に対しては、各端子９３に接続されたトランジスタ群２５１ｃからプログラム電流Ｉ２が出力され、この状態でスイッチＳ０からＳｎ（ｎは端子９３の最大番号値）まで、順次クローズし、各ソース信号線１８の電位がソース電位検出線２１２１に印加され、この電圧はＶｓｄ２として測定されてコントローラ７２２に伝送される。以下同様である。

【０５０８】

以上のように測定されたプリチャージ電圧Ｖ０～Ｖ５は、プリチャージ電圧の設定値Ｖｓｔとして、必要に応じて、ソースドライバ回路（ＩＣ）１４に伝送され、電子ボリウム２９１などの設定値として使用される。

【０５０９】

以上のように構成すれば、プリチャージ電圧を測定するためのプログラム電流を、トランジスタ群２５１ｃと変化させることができる。したがって、より柔軟にかつ適正なプリチャージ電圧を測定することができる。

【０５１０】

プリチャージ電圧の測定回路は、図１８２に図示するように、ソースドライバ回路（ＩＣ）１４と別回路またはＩＣとしてもよい。図１８２では、電圧測定回路機能を有する電圧測定回路ＩＣ１８２１をアレイ基板３０にＣＯＧ実装した実施例である。また、図１８６は３つのソースドライバ回路（ＩＣ）１４に電圧測定回路１７０１からの出力を印加した構成である。また、図１８９は３つのソースドライバ回路（ＩＣ）１４にＡＤ変換回路からのデジタル信号にされたプリチャージ電圧を印加した構成である。

【０５１１】

複数のソースドライバ回路（ＩＣ）１４を用いる場合は、各ソースドライバ回路（ＩＣ）１４内に電圧測定回路１７０１を構成あるいは形成し、複数のソースドライバ回路（ＩＣ）１４のうち、１つの電圧測定回路１７０１を動作させ、この電圧測定回路１７０１からのプリチャージ電圧電圧を他のソースドライバ回路（ＩＣ）１４に供給あるいは印加すればよい。図１８７はこの構成の説明図である。３つのソースドライバ回路（ＩＣ）１４は、マスタースレーブ選択端子（Ｍ／Ｓ）により、マスターとスレーブ設定がロジック的に設定される。マスターモードの時は、Ｍ／Ｓ端子はロジックレベル１とされ、スレーブモードの時は、Ｍ／Ｓ端子はロジックレベル０と設定される。

【０５１２】

図１８７ではソースドライバ回路（ＩＣ）１４ａがマスターモードに設定され、ソースドライバ回路（ＩＣ）１４ｂと１４ｃがスレーブモードに設定されている。マスターモードでは、ソースドライバ回路（ＩＣ）１４ａ内の電圧測定回路１７０１が動作し、ソース信号線１８ｓの電位を測定してプリチャージ電圧Ｖ０～Ｖ５を出力する。出力されたプリ

チャージ電圧Ｖ０～Ｖ５はスレーブモードのソースドライバ回路（ＩＣ）１４（１４ｂ、１４ｃ）の電子ボリウム回路などに印加される。スレーブモードに設定されたソースドライバ回路（ＩＣ）１４（１４ｂ、１４ｃ）の電圧測定回路１７０１は動作しないように構成されている。

【０５１３】

以上のように、マスターモードとスレーブモードがソースドライバ回路（ＩＣ）１４に設定されるのは、プリチャージ電圧を測定するソース信号線１８ｓまたは測定画素１６ｓが表示領域６４以外の箇所に形成されるためである。したがって、これらは、表示領域６４の端に構成されることになる。したがって、プリチャージ電圧を測定するソースドライバ回路（ＩＣ）１４は、表示画面６４の端に位置するものが選択されることになる（図１８７ではソースドライバ回路（ＩＣ）１４ａが該当する）。この選択をＭ／Ｓ端子で設定する。

【０５１４】

表示領域６４の両端にソース信号線１８ｓ、測定画素１６ｓが形成できる場合は、図１８８に図示するように、画面６４の両端に位置するソースドライバ回路（ＩＣ）１４（１４ａ、１４ｄ）をマスターモードに設定する。ソースドライバ回路（ＩＣ）１４ａが出力するプリチャージ電圧を選択するか、ソースドライバ回路（ＩＣ）１４ｄが出力するプリチャージ電圧を選択してスレーブモードのソースドライバ回路（ＩＣ）１４に印加するかは、スイッチＳａとＳｂにより行う。

【０５１５】

ソースドライバ回路（ＩＣ）１４ａをマスターモードにする時は、スイッチＳａをクローズし、ソースドライバ回路（ＩＣ）１４ｄをスレーブモードにして、スイッチＳｂをオープンにする。他のソースドライバ回路（ＩＣ）１４（１４ｂ、１４ｃ）はスレーブモードとして使用する。ソースドライバ回路（ＩＣ）１４ｄをマスターモードにする時は、スイッチＳｂをクローズし、ソースドライバ回路（ＩＣ）１４ａをスレーブモードにして、スイッチＳａをオープンにする。他のソースドライバ回路（ＩＣ）１４（１４ｂ、１４ｃ）は常時スレーブモードとして使用する。

【０５１６】

ソースドライバ回路（ＩＣ）１４ａを常時マスターモードするか、もしくはソースドライバ回路（ＩＣ）１４ｄを常時マスターモードするかを固定する方法も例示されるが、ソースドライバ回路（ＩＣ）１４ａとソースドライバ回路（ＩＣ）１４ｄを交互にマスターモードにして使用するほうが、プリチャージ電圧が平均化され、良好な結果が得られる。切り換えは、１フィールドあるいは１フレームなど周期的に行う。もちろん、１水平走査期間などの周期で切り換えてもよい。また、マスターモードにするソースドライバ回路（ＩＣ）１４は、２つ以上であってもよい。たとえば、４つであれば、４つのソースドライバ回路（ＩＣ）１４から１つのスイッチＳを制御してプリチャージ電圧を他のソースドライバ回路（ＩＣ）１４に印加すればよい。

【０５１７】

たとえば、第１フレームで、ソースドライバ回路（ＩＣ）１４ａをマスターモードにし、スイッチＳａをクローズし、ソースドライバ回路（ＩＣ）１４ｄをスレーブモードにし、スイッチＳｂをオープンにする。他のソースドライバ回路（ＩＣ）１４（１４ｂ、１４ｃ）はスレーブモードとして使用する。第１フレームの次の第２フレームでは、ソースドライバ回路（ＩＣ）１４ｄをマスターモードにし、スイッチＳｂをクローズし、ソースドライバ回路（ＩＣ）１４ａをスレーブモードにし、スイッチＳａをオープンにする。同様に、第２フレームの次の第３フレームでは、ソースドライバ回路（ＩＣ）１４ａをマスターモードにし、スイッチＳａをクローズし、ソースドライバ回路（ＩＣ）１４ｄをスレーブモードにし、スイッチＳｂをオープンにする。他のソースドライバ回路（ＩＣ）１４（１４ｂ、１４ｃ）はスレーブモードとして使用する。

【０５１８】

また、図２０８に図示するように、２ビットのセレクタ信号（ＣＳ）で切り換える。た

とえば、図２０８において、ＣＳ＝１の時は、チップ１４ａの左側のトランジスタ群２５１Ｓａが動作する。チップ１４ｃは、ＣＳ＝２であり、ＣＳ＝２の時は、チップ１４ｃの右側のトランジスタ群２５１Ｓａが動作する。チップ１４ｂは、ＣＳ＝０であり、ＣＳ＝０の時は、チップ１４ｂの両方のトランジスタ群２５１Ｓは選択されない。

【０５１９】

電圧測定回路ＩＣ１８２１は、トランジスタ群２５１ｓを内部に有してもよい。また、ＡＤ変換回路１７１１を内部に有してもよい。電圧測定回路ＩＣ１８２１が測定したプリチャージ電圧Ｖ０～Ｖ５は、アナログデータあるいはデジタルデータとして、ソースドライバ回路（ＩＣ）１４に供給（印加）される。ソースドライバ回路（ＩＣ）１４が複数ある場合は、複数のソースドライバ回路（ＩＣ）１４に共通に印加される。

【０５２０】

以上の実施例は、１つのトランジスタ群２５１ｓからのプログラム電流を１つの測定画素１６ｓに印加し、複数のプリチャージ電圧を取得する方式であった。本発明はこれに限定するものではない。図１８３に図示するように、１つのトランジスタ群２５１ｓからのプログラム電流を複数の測定画素１６ｓに印加し、プリチャージ電圧を取得してもよい。

【０５２１】

図１８３の構成では、トランジスタ群２５１ｓのプリチャージ電圧Ｖ０～Ｖ５に対応する単位トランジスタ２２４から構成されている。図１８３において、トランジスタ群２５１ｓの１は、プリチャージ電圧Ｖ０を発生させる０個の単位トランジスタ（単位トランジスタ群０）を意味している（実際にはトランジスタ２２４はない）。トランジスタ群２５１ｓの１は、プリチャージ電圧Ｖ１を発生させる１個の単位トランジスタ（単位トランジスタ群１）を意味している。同様に、トランジスタ群２５１ｓの８は、プリチャージ電圧Ｖ２を発生させる８個の単位トランジスタ（単位トランジスタ群８）を意味している。以下同様に、トランジスタ群２５１ｓの３２は、プリチャージ電圧Ｖ３を発生させる３２個の単位トランジスタの集合（単位トランジスタ群３２）を意味し、トランジスタ群２５１ｓの１２８は、プリチャージ電圧Ｖ４を発生させる１２８個の単位トランジスタの集合（単位トランジスタ群１２８）を意味し、トランジスタ群２５１ｓの２５５は、プリチャージ電圧Ｖ５を発生させる２５５個の単位トランジスタの集合（単位トランジスタ群２５５）を意味する。

【０５２２】

トランジスタ群２５１ｓ１はプログラム電流Ｉ１を出力する。トランジスタ群２５１ｓ８はプログラム電流Ｉ８を出力する。同様に、トランジスタ群２５１ｓ３２はプログラム電流Ｉ３２を出力し、　トランジスタ群２５１ｓ１２８はプログラム電流Ｉ１２８を出力し、トランジスタ群２５１ｓ２５５はプログラム電流Ｉ２５５を出力する。

【０５２３】

単位トランジスタ群０だけは特殊で、単位トランジスタは配置されておらず、プリチャージ電圧Ｖ０を測定する電圧測定回路１７０１ａがソース信号線１８ｓ０に接続されている。また、測定画素１６ｓ０が接続されている。測定画素１６ｓ０はプリチャージ電圧Ｖ０に対応する電圧をソース信号線１８ｓ０に設定し、電圧測定回路１７０１ａはプリチャージ電圧Ｖ０を測定し出力する。

【０５２４】

単位トランジスタ群１は、単位トランジスタが１個形成または配置されている。もしくは、階調１に該当するプログラム電流が出力できるように構成されている。単位トランジスタ群１には、プリチャージ電圧Ｖ１を測定する電圧測定回路１７０１ｂがソース信号線１８ｓ１に接続されている。また、測定画素１６ｓ１が接続されている。測定画素１６ｓ１は、階調１に対応するプログラム電流の印加により、プリチャージ電圧Ｖ１に対応する電圧をソース信号線１８ｓ１に設定あるいは調整あるいは動作し、電圧測定回路１７０１ｂはプリチャージ電圧Ｖ１を測定し出力する。

【０５２５】

単位トランジスタ群８は、単位トランジスタが８個形成または配置されている。もしく

は、階調８に該当するプログラム電流が出力できるように構成されている。たとえば、単位トランジスタの８倍のチャンネル幅を有するトランジスタが１個形成されている。ただし、トランジスタ群２５１ｓもトランジスタ２５１ｃと同様に同一の単位トランジスタの集合で構成するほうが、バラツキが少なく遊離である。

【０５２６】

単位トランジスタ群８には、プリチャージ電圧Ｖ２を測定する電圧測定回路１７０１ｃがソース信号線１８ｓ２に接続されている。また、測定画素１６ｓ２が接続されている。測定画素１６ｓ２は、階調８に対応するプログラム電流の印加により、プリチャージ電圧Ｖ２に対応する電圧をソース信号線１８ｓ２に設定あるいは調整あるいは動作し、電圧測定回路１７０１ｃはプリチャージ電圧Ｖ２を測定し出力する。

【０５２７】

同様に、単位トランジスタ群３２には、プリチャージ電圧Ｖ３を測定する電圧測定回路１７０１ｄがソース信号線１８ｓ３に接続されている。また、測定画素１６ｓ３が接続されている。測定画素１６ｓ３は、階調３２に対応するプログラム電流の印加により、プリチャージ電圧Ｖ３に対応する電圧をソース信号線１８ｓ３に設定あるいは調整あるいは動作し、電圧測定回路１７０１ｄはプリチャージ電圧Ｖ３を測定し出力する。

【０５２８】

同様に、単位トランジスタ群３２には、プリチャージ電圧Ｖ３を測定する電圧測定回路１７０１ｄがソース信号線１８ｓ３に接続されている。また、測定画素１６ｓ３が接続されている。測定画素１６ｓ３は、階調３２に対応するプログラム電流の印加により、プリチャージ電圧Ｖ３に対応する電圧をソース信号線１８ｓ３に設定あるいは調整あるいは動作し、電圧測定回路１７０１ｄはプリチャージ電圧Ｖ３を測定し出力する。

【０５２９】

単位トランジスタ群１２８には、プリチャージ電圧Ｖ４を測定する電圧測定回路１７０１ｅがソース信号線１８ｓ４に接続されている。また、測定画素１６ｓ４が接続されている。測定画素１６ｓ４は、階調１２８に対応するプログラム電流Ｉ１２８の印加により、プリチャージ電圧Ｖ４に対応する電圧をソース信号線１８ｓ４に設定あるいは調整あるいは動作し、電圧測定回路１７０１ｅはプリチャージ電圧Ｖ４を測定し出力する。

【０５３０】

同様に、単位トランジスタ群２５５には、プリチャージ電圧Ｖ５を測定する電圧測定回路１７０１ｆがソース信号線１８ｓ５に接続されている。また、測定画素１６ｓ５が接続されている。測定画素１６ｓ５は、階調２５５に対応するプログラム電流Ｉ２５５の印加により、プリチャージ電圧Ｖ５に対応する電圧をソース信号線１８ｓ５に設定あるいは調整あるいは動作し、電圧測定回路１７０１ｆはプリチャージ電圧Ｖ５を測定し出力する。

【０５３１】

図１８３は、プリチャージ電圧Ｖ０～Ｖ５の場合であったが、本発明はＶ０～Ｖ５に限定するものではない。図１８４に図示するようにプリチャージ電圧Ｖ０～Ｖ８としてもよい。他の構成は、図１８３と同様であるので説明を省略する。

【０５３２】

以上の実施例では、ソース信号線１８ｓおよび測定画素１６ｓを形成し、ソース信号線１８ｓにプログラム電流を印加して、ソース信号線１８ｓの電位を電圧測定回路１７０１で測定するものであった。しかし、本発明はこれに限定するものではない。たとえば、表示領域６４に形成されたソース信号線１８および画素１６にプログラム電流を印加し、ソース信号線１８の電位を測定してプリチャージ電圧を取得してよい。

【０５３３】

この回路構成などを図１８５に示している。基本的な構成は、以前に説明した構成と同一であり、動作も同一である。単にソース信号線１８ｓをソース信号線１８に、測定画素１８ｓを画素１６に置き換えればよい。したがって、構成、動作は以前に説明した内容と同一あるいは類似であるため説明は省略する。

【０５３４】

図１８５は、これらの構成に加えて、各ソース信号線１８から測定されるプリチャージ電圧をスイッチＳ（Ｓａ、Ｓｂ、Ｓｃ、・・・・・・・・Ｓｎ）により選択する。たとえば、トランジスタ群２５１ｃ１からプリチャージ電圧を測定のためのプログラム電流を出力した場合は、スイッチＳａを選択し、電圧測定回路１７０１に印加する。トランジスタ群２５１ｃ２からプリチャージ電圧を測定のためのプログラム電流を出力した場合は、スイッチＳｂを選択し、電圧測定回路１７０１に印加する。

【０５３５】

もちろん、すべてのソース信号線１８あるいは、複数のソース信号線１８にプリチャージ電圧を測定するためのプログラム電流を印加した場合は、該当するソース信号線に接続さえたスイッチＳを選択してあるいは、順次選択して電圧測定回路１７０１に印加する。

【０５３６】

スイッチＳの選択は１つに限定されるものではない。複数のスイッチＳを同時に選択し、電圧測定回路１７０１に印加してもよい。たとえば、すべてのトランジスタ群２５１ｃから階調１に対応するプログラム電流を出力し、ゲート信号線１７ａを選択して、階調１のプログラム電流を印加したソース信号線１８に接続された画素１６の駆動用トランジスタ１１ａを動作させる。各画素１６の駆動用トランジスタ１１ａは各ソース信号線１８に階調１に対応するプログラム電流を出力する。このとき、階調１のプログラム電流を印加したソース信号線１８に接続されたスイッチをクローズする。すると、各ソース信号線は電圧配線１８５１で短絡される。したがって、各ソース信号線１８の電位は同一電圧になる。この同一電圧となった電圧Ｖ１は、各ソース信号線１８の階調１のプリチャージ電圧を平均化した値となる。したがって、電圧配線１８５１のプリチャージ電圧Ｖ１を電圧測定回路１７１０１で測定すれば、良好なプリチャージ電圧Ｖ１を取得することができる。他の階調のプリチャージ電圧の測定にあっても同様である。

【０５３７】

以上の実施例では、すべてのソース信号線１８に階調に対応するプログラム電流を印加し、すべてのスイッチＳをクローズさせてプリチャージ電圧を取得するとしたが、これに限定するものではない。任意の複数のソース信号線１８に階調に対応するプログラム電流を印加し、前記選択した任意のスイッチＳをクローズさせてプリチャージ電圧を取得してもよいことは言うまでもない。

【０５３８】

また、すべてのソース信号線１８に同一の階調に対応するプログラム電流を印加する必要はない。たとえば、奇数番目に位置するトランジスタ群２５１には、階調１に対応するプログラム電流を印加し、偶数番目に位置するトランジスタ群２５１には、階調３２に対応するプログラム電流を印加し、奇数番目に位置するソース信号線１８に接続されたスイッチをクローズして、階調１に対応するプリチャージ電圧Ｖ１を測定し、偶数番目に位置するソース信号線１８に接続されたスイッチをクローズして、階調３２に対応するプリチャージ電圧Ｖ３を測定するとしてもよい。

【０５３９】

また、ソース信号線１８の選択数と、選択するスイッチの個数とが一致している必要はない。プログラム電流を印加するソース信号線１８が３２本であっても、そのうち、１６本のソース信号線１８に接続されたスイッチを選択してクローズ動作させてもよい。

【０５４０】

また、各ソース信号線１８に印加する階調に対応するプログラム電流は、順次変化させ、順次プリチャージ電圧を測定していってもよいことは言うまでもない。また、１つのソース信号線１８を固定して特定の階調のプリチャージ電圧を測定するよりは、周期的に変化させて各プリチャージ電圧を測定するように構成あるいは動作させることが好ましい。

【０５４１】

また、測定するプリチャージ電圧は、階調ごとに測定期間あるいはウエイト期間を異なられることが好ましい。Ｖ１電圧は、プログラム電流が小さいためソース信号線１８の電位変化が完了するのに時間を必要とするからである。階調２５５に対応するＶ５電圧は、

プログラム電流が大きいためソース信号線１８の電位変化は短時間で完了するので、ウエイト時間はほとんど必要ない。

【０５４２】

図１８５の実施例では、表示領域６４の画素１６を用いて、プリチャージ電圧を測定する。したがって、画像表示させている期間には、プリチャージ電圧を測定できない。ただし、表示画像の階調のプログラム電流が、プリチャージ電圧を取得するためのプログラム電流と一致している時は、プリチャージ電圧を取得できることは言うまでもない。

【０５４３】

基本的は、プリチャージ電圧の取得は、図１９０に図示するように、１フィールドまたは１フレームのブランキング期間あるいは、１水平走査期間のブランキング期間に実施する。ブランキング期間に、プリチャージ電圧に該当するプログラム電流をソース信号線１８に印加し、電圧測定回路１７１０でプリチャージ電圧を測定する。

【０５４４】

また、図１９１に図示するように、画像表示を行う前、つまり、表示装置の電源をオンし、画像表示を行うまえに、リチャージ電圧に該当するプログラム電流をソース信号線１８に印加し、電圧測定回路１７１０でプリチャージ電圧を測定する。また、一度測定した、プリチャージ電圧はデジタル化して表示装置のメモリに格納し、次回からはこの格納したデジタルデータを用いてプリチャージ電圧を発生させてもよい。

【０５４５】

図１９１の実施例では、画像表示を行う前に、プリチャージ電圧を測定するとしたが、これに限定するものではない。たとえば、表示装置の電源をオフする前に、プリチャージ電圧を測定し、測定したデータをフラシュメモリに書き込んで保持してよい。つまり、本発明はプリチャージ電圧の測定は、何らかのタイミングにおいて測定し、測定したプリチャージ電圧を使用するものであればいずれでもよい。

【０５４６】

なお、以上の事項は、図１６９から図１８４で説明した構成などにも適用できることは言うまでもない。また、図１６９から図１８４で説明した事項は図１８５にも適用できることは言うまでもない。

【０５４７】

また、本発明の実施例において、電圧測定回路１７０１は、ソース信号線１８の電圧を測定するとした。しかし、本発明はこれに限定するものではない。ソース信号線１８に限定されず、擬似的にソース信号線１８のように電位変化を発生できるものであればいずれのものでもよい。たとえば、別途形成した配線でもよい。また、測定画素１６ｓの駆動用トランジスタ１１ａのゲート端子と電圧測定回路１７１０とを直接結線するように構成してもよい。

【０５４８】

また、ソース信号線１８などの電位を測定することに限定するものではなく、ソース信号線１８の電荷、あるいは電界からプリチャージ電圧を求めるものであってもよい。あるいは、これらの変化速度からプリチャージ電圧を求めるものであってもよい。

【０５４９】

以上の実施例では、１つの測定画素１６ｓにプログラム電流を印加し、ソース信号線１８の電位を電圧測定回路１７０１で測定するものであった。本発明はこれに限定するものでない。たとえば、図１９２に図示するように、複数の画素１６（１６ａ～１６ｎ）を動作させ、各ソース信号線１８の電圧を電圧測定回路１７０１で測定させてもよい。

【０５５０】

図１９２では、表示画素１６に各トランジスタ群２５１ｃからプログラム電流を印加し、また、表示画素１６の駆動用トランジスタ１１ａを動作させる。たとえば、トランジスタ群２５１ｃａは、画素１６ａに所定の測定すべきプリチャージ電圧に対応するプログラム電流を印加する。画素１６ａの駆動用トランジスタ１１ａはプリチャージ電流を流し、ソース信号線１８ａはプログラム電流に該当する電圧に充電または放電される。

【０５５１】
また、トランジスタ群２５１ｃｂは、画素１６ｂに所定の測定すべきプリチャージ電圧に対応するプログラム電流を印加する。画素１６ｂの駆動用トランジスタ１１ａはプリチャージ電流を流し、ソース信号線１８ｂはプログラム電流に該当する電圧に充電または放電される。以下、同様に、トランジスタ群２５１ｃｃは、画素１６ｃに所定の測定すべきプリチャージ電圧に対応するプログラム電流を印加する。画素１６ｃの駆動用トランジスタ１１ａはプリチャージ電流を流し、ソース信号線１８ｃはプログラム電流に該当する電圧に充電または放電される。
【０５５２】
電圧測定回路１７０１は、スイッチＳａをクローズすることにより、ソース信号線１８ａに保持されたプリチャージ電圧を測定する。また、スイッチＳｂをクローズすることにより、ソース信号線１８ｂに保持されたプリチャージ電圧を測定する。以下、同様に、スイッチＳｃをクローズすることにより、ソース信号線１８ｃに保持されたプリチャージ電圧を測定する。
【０５５３】
また、電圧測定回路１７０１は、同時に複数のスイッチＳ（Ｓａ～Ｓｎ）のいずれかを選択する。複数のスイッチＳを選択することにより、選択された複数のソース信号線１８に保持されたプリチャージ電圧が平均化し、表示領域の駆動用トランジスタ１１ａの特性を反映したプリチャージ電圧を測定できるようになる。
【０５５４】
以上のように、本発明は、複数の画素１６を選択し、各ソース信号線１８に保持されたプリチャージ電圧を測定してもよい。また、複数のソース信号線１８を選択してプリチャージ電圧を測定してもよい。また、１つあるいは複数の画素１６にｎ倍（ｎは１以上の整数）のプログラム電流を印加し、前記画素１６の駆動用トランジスタ１１ａを動作させて、ソース信号線１８を充放電させ、このソース信号線１８の電位を測定してもよい。測定したソース信号線１８の電位は、演算処理などによりプリチャージ電圧を取得する。
【０５５５】
本発明は、ソース信号線１８の電位（内部配線２２２の電位）を測定することにより、プリチャージ電圧を取得する。しかし、電圧測定回路１７１０で測定された（取得された）プリチャージ電圧はそのままプリチャージ電圧として、使用できない場合がある。たとえば、０階調あるいは１階調に該当するプリチャージ電圧は、完全な黒表示を実現するため、トランジスタ群２５１から０階調または１階調に該当するプリチャージ電流を印加して取得したプリチャージ電圧よりもアノード側に寄せる（アノード電圧に近い方にシフトさせる）必要がある（駆動用トランジスタ１１ａがＰチャンネルトランジスタの場合で、前記トランジスタのソース端子がアノード端子に接続されている場合）。
【０５５６】
以上の課題を解決する方式を、図１９３に図示している。電圧測定回路１７０１で測定されたプリチャージ電圧は、ＡＤ変換回路１７１１でデジタルデータＭＤＡＴＡに変換される。一方、どの程度アノード電圧側に電位シフトするかであるデータＨＤＡＴＡはラッチ回路３５１に保持されている。　演算回路１９３１はＨＤＡＴＡとＭＤＡＴＡとを加算し、目標のＶＤＡＴＡが得られる。ＶＤＡＴＡがＤＡ変換されて、アナログデータとなり、電子ボリウム２９１などに印加される。なお、ＨＤＡＴＡとＭＤＡＴＡとを加算するとしたが、場合によっては減算により、ＶＤＡＴＡを求める場合もある。また、ＨＤＡＴＡあるいはＭＤＡＴＡに一定の割合で重み付け処理をしてＶＤＡＴＡを求めてもよいことは言うまでもない。以上の事項は本発明の他の実施例にも適用されることはいうまでもない。
【０５５７】
以上の場合は、測定データなどをデジタル信号処理する方法である。しかし、本発明はこれに限定するものではない。図１９４に図示するようにアナログ的に処理を実施してもよい。電圧測定回路１７０１で測定されたプリチャージ電圧は、アナログデータＭＤＡＴ

Ａとして演算回路１９３１に印加される。一方、どの程度アノード電圧側に電位シフトするかを示すデータＨＤＡＴＡは、可変抵抗ＶＲで発生される。この場合、ＨＤＡＴＡはアナログ値である。演算回路１９３１はＨＤＡＴＡとＭＤＡＴＡとを加算し、目標のＶＤＡＴＡが得られる。ＶＤＡＴＡがＤＡ変換されて、アナログデータとなり、電子ボリウム２９１などに印加される。

【０５５８】

図１９３、図１９４などのＨＤＡＴＡ、ＶＤＡＴＡは温度により可変してもよい。また、パネルの表示輝度に応じて変化させてもよい。温度は温度センサで検出し、表示輝度は、アノードに流れる電流により検出する。

【０５５９】

プリチャージ電圧Ｖ０～Ｖ５は、対応するプログラム電流を、画素１６に印加することにより取得する。図１９５では、トランジスタ群２５１ｃｂよりプログラム電流を出力し、画素１６が動作する。プログラム電流は、電圧Ｖ０に相当する電流を出力し、電圧測定回路１７０１は電圧Ｖ０を測定し、出力する。次にトランジスタ群２５１ｃｂは、電圧Ｖ１に相当するプログラム電流を出力し、電圧測定回路１７０１は電圧Ｖ１を測定し出力する。同様に、トランジスタ群２５１ｃｂは、電圧Ｖ２に相当するプログラム電流を出力し、電圧測定回路１７０１は電圧Ｖ２を測定し出力する。以上の動作をＶ５まで繰り返し、Ｖ５まで実施すると、再びＶ０より実施する。

【０５６０】

図１９５は、電圧測定回路１７０１は端子９３ｂと接続されている。トランジスタ群２５１ｃｂは端子９３ｂと接続されている。端子９３ｂはアレイ基板３０の電極３８２ａと接触し、電気的接続が取られている。端子９３ｂはアレイ基板３０の電極３８２ｂと接触し、電気的接続が取られている。図１８０などでは、電圧測定回路１７０１の端子とトランジスタ群２５１の端子９３ｓは共通である。図１９５ではトランジスタ群２５１ｃの端子９３ｂと、電圧測定回路１７０１の端子９３ｂは分離されている。図１９５のように構成すれば、端子数９３は増加するが、電圧測定回路１７０１とトランジスタ群２５１ｃとを分離して検査を行うことができる。

【０５６１】

以上の実施例は、電圧測定手段１７０１でプリチャージ電圧を測定するものであった。電圧測定回路１７０１の概念には、図１９６で図示するように、サンプルホールド回路も含まれる。一例としてのサンプルホールド回路は、スイッチＳ１、Ｓ２、コンデンサＣ、オペアンプ２３１で構成されている。

【０５６２】

図１９６に図示するように、トランジスタ２５１ｃから出力されたプログラム電流は、内部配線２２２、端子９３を通じてソース信号線１８に印加され、画素１６に供給される。ソース信号線１８にプログラム電流に対応したプリチャージ電圧Ｖが出力され、プリチャージ電圧Ｖは内部配線２２２に印加させる。スイッチＳ２が閉じることによりプリチャージ電圧はコンデンサＣに印加され、その後、スイッチＳ２が閉じてもプリチャージ電圧は保持される。プリチャージ電圧はオペアンプ２３１により低インピーダンス化されて出力される。スイッチＳ１が閉じることによりプリチャージ電圧はＣｎに保持される。保持されたプリチャージ電圧は電子ボリウム２９１などに印加される。以上のような構成あるいは方式も電圧測定回路である。

【０５６３】

以上の構成は、トランジスタ群２５１ｓなどを半導体チップとして構成したものである。しかし、図１９７に図示するように、トランジスタ群２５１ｃ、電圧測定回路１７０１をアレイ基板３０に直接に構成あるいは形成してもよい。また、図１９７に図示するように画素１６あるいは測定画素１６ｓの駆動用トランジスタ１１ａはＰチャンネルトランジスタではなく、Ｎチャンネルトランジスタであってもよい。

【０５６４】

図１９７に図示するように、トランジスタ群２５１ｃから出力されてプリチャージ電流

Ｉにより駆動用トランジスタ１１ａが動作する。ソース信号線１８はプリチャージ電圧に相当する電圧が印加され、この電圧が、アレイ基板３０に形成された電圧測定回路１７０１により測定される。もちろん、トランジスタ群２５１ｃをアレイ基板３０に直接形成し、電圧測定回路１７０１を半導体チップとして構成し、アレイ基板３０に実装してもよい。

【０５６５】

表示パネルでは、ＲＧＢのトランジスタ群２５１ｃを形成する。プリチャージ電圧もＶ０は、ＲＧＢで共通にできるが、Ｖ１～Ｖｎは別のプリチャージ電圧に設定する。ＲＧＢでプログラム電流に対する発光効率が異なるからである。もちろん、ＲＧＢのプログラム電流が同一の時あるいは略一致する場合に、ホワイトバランスがとれるときは、プリチャージ電圧はＲＧＢで共通としてもよい。

【０５６６】

ＲＧＢでプリチャージ電圧を異ならせる場合は、図１９８のように構成する。トランジスタ群２５１ｃ（２５１ｃＲ、２５１ｃＧ、２５１ｃＢ）はスイッチＳａ（ＳａＲ、ＳａＧ、ＳａＢ）により選択させて、内部配線２２２に接続される。スイッチＳａ、Ｓｂはアナログスイッチやトランジスタが例示される。スイッチＳａ、Ｓｂは選択手段である。内部配線２２２は端子９３により測定画素１６Ｓに接続されている。したがって、スイッチＳａ（ＳａＲ、ＳａＧ、ＳａＢ）によりトランジスタ群２５１ｃ（２５１ｃＲ、２５１ｃＧ、２５１ｃＢ）が選択されて、各トランジスタ群２５１ｃからのプログラム電流Ｉが電圧測定画素１６Ｓ（または画素１６）に印加される。

【０５６７】

トランジスタ群２５１ｃＲからのプログラム電流はスイッチＳａＲがクローズすることにより、測定画素１６Ｓに印加される。スイッチＳａＲがクローズする時は、スイッチＳｂＲがクローズし、ソース信号線１８の電位がＲの電圧測定回路１７０１Ｒに印加され、電圧測定回路１７０１Ｒはプリチャージ電圧Ｖ０Ｒ～ＶｍＲ（ｍはプリチャージ電圧の最大番号値）を測定あるいは取得する。

【０５６８】

トランジスタ群２５１ｃＧからのプログラム電流はスイッチＳａＧがクローズすることにより、測定画素１６Ｓに印加される。スイッチＳａＧがクローズする時は、スイッチＳｂＧがクローズし、ソース信号線１８の電位がＧの電圧測定回路１７０１Ｇに印加され、電圧測定回路１７０１Ｇはプリチャージ電圧Ｖ０Ｇ～ＶｍＧを測定あるいは取得する。

【０５６９】

トランジスタ群２５１ｃＢからのプログラム電流はスイッチＳａＢがクローズすることにより、測定画素１６Ｓに印加される。スイッチＳａＢがクローズする時は、スイッチＳｂＢがクローズし、ソース信号線１８の電位がＢの電圧測定回路１７０１Ｂに印加され、電圧測定回路１７０１Ｂはプリチャージ電圧Ｖ０Ｂ～ＶｍＢを測定あるいは取得する。

【０５７０】

なお、電圧測定回路１７０１Ｒ、１７０１Ｇ、１７０１Ｂは、共通にして、１つの電圧測定回路１７０１で兼用してもよい。また、内部配線２２２、測定画素１６ＳもＲＧＢごとに分離してもよい。また、図２０１に図示するように、スイッチＳｂを形成しなくともよい。

【０５７１】

図２００は、ＲＧＢでプリチャージ電圧を異ならせた場合の構成図である。電子ボリウム２９１にはデジタル化されたプリチャージ電圧が印加される。電子ボリウム２９１Ｒには、プリチャージ電圧Ｖ０Ｒ～Ｖ５Ｒが印加される。電子ボリウム２９１Ｇには、プリチャージ電圧Ｖ０Ｇ～Ｖ５Ｇが印加される。電子ボリウム２９１Ｂには、プリチャージ電圧Ｖ０Ｂ～Ｖ５Ｂが印加される。なお、プリチャージ電圧とその構成については、図６１などでも説明しているので参照されたい。

【０５７２】

トランジスタ群２５１ｓから出力するプログラム電流Ｉはｎ倍にして出力してもよい。

ｎ倍にすることは図６などで説明している。ｎ倍のプログラム電流を印加し、プリチャージ電圧を取得する場合は、図１９９に図示するように、測定画素１６ｓも駆動用トランジスタ１１ａをｎ個形成する。もしくは、ｎ倍のプログラム電流で、既定のプリチャージ電圧Ｖ（画素１６が１つの駆動用トランジスタ１１ａで構成されている場合に取得されるプリチャージ電圧）が得られるように構成または形成する。

【０５７３】

図１９９に図示するように、プリチャージ電圧を測定するための画素１６ｓをｎ個の駆動用トランジスタ１１ａで構成することにより、駆動用トランジスタ１１ａの特性バラツキによるプリチャージ電圧Ｖのバラツキを低減することができる。つまり、プリチャージ電圧の精度を向上できる。

【０５７４】

図１９９において、トランジスタ２５１ｓから出力されたプログラム電流は、内部配線２２２、端子９３を通じてソース信号線１８に印加され、画素１６ｓに供給される。画素１６ｓのｎ個の駆動用トランジスタ１１ａからソース信号線１８にプログラム電流ｎＩに対応したプリチャージ電圧Ｖが出力され、プリチャージ電圧Ｖは内部配線２２２に印加される。なお、図１９９ではｎ＝４とし、画素１６ｓには４つの駆動用トランジスタ１１ａを形成している。

【０５７５】

図１９９では、４Ｉのプログラム電流が印加させ、４個の駆動用トランジスタ１１ａが動作する。したがって、個々の駆動用トランジスタ１１ａはＩの大きさのプログラム電流を流すことになる。トランジスタ群２５１ｃからは４Ｉのプログラム電流を出力するが、１つの駆動用トランジスタ１１ａはＩのプログラム電流を流すことになり、結局、画素１６が１個の駆動用トランジスタ１１ａで構成されている場合に、トランジスタ２５１ｃからＩのプログラム電流を流し、画素１６の駆動用トランジスタ１１ａがＩの電流を流す場合と同一になる。しかし、画素１１ｓには駆動用トランジスタ１１ａが複数形成されているため、多少駆動用トランジスタ１１ａにバラツキが発生していても、精度のよりプリチャージ電圧を取得することができる。他の構成あるいは動作は、本発明の他の実施例と同様であるので説明を省略する。

【０５７６】

以上のように本発明は測定画素１６ｓまたは画素１６を用いてプリチャージ電圧を取得する方式である。しかし、課題はプリチャージ電圧を取得する画素１６などに欠陥が発生している場合である。欠陥が発生した画素は正常なプリチャージ電圧を出力しない。また、プリチャージ電圧を取得する駆動用トランジスタ１１ａの特性が異常の場合も問題となる。

【０５７７】

本発明はこの課題に対して、プリチャージ電圧を取得する画素１６ｓを複数個形成し、この複数個の画素１６ｓから正常な画素を選択することにより解決している。図２０２はその説明図である。図２０２において、プリチャージ電圧を取得する測定画素１６ｓが４個形成されている。どの測定画素１６ｓを選択するかは、スイッチＳ（Ｓ１～Ｓ４）により決定される。図２０２では、スイッチＳ１がクローズされ、他のスイッチＳ２～Ｓ４をオープンにすることにより、測定画素１６ｓ１が選択される。したがって、トランジスタ群２５１ｃからのプログラム電流は測定画素１６ｓ１に印加される。

【０５７８】

どの測定画素１６ｓを選択するかは、事前に複数の画素１６ｓの特性を測定し選択しておく。選択した情報はスイッチＳのクローズ情報として不揮発性のメモリに保持する。また、デフォルトで選択するスイッチＳを決めておく。

【０５７９】

なお、図１９９のように、ｎ個のスイッチＳをクローズさせ、ｎ倍のプログラム電流を印加してもよいことは言うまでもない。また、複数の測定画素１６ｓが正常の場合は、正常な測定画素１６ｓが接続されたスイッチＳを順次切り換えてプリチャージ電圧Ｖを取得

してもよい。

【０５８０】

測定画素１６ｓは図２０３に図示するようにマトリックス状に形成してもよい。また、１画素列あるいは１画素行として形成してもよい。図２０３は４画素行、６画素列のマトリックス状に測定画素１６ｓを形成した場合を示している。マトリックス状に形成された測定画素１６ｓの構成は、表示領域６４の構成と同様である。測定画素１６ｓの画素行方向には、ゲートドライバ回路１２ｓが接続または形成され、測定画素１６ｓの画素列方向には、ソースドライバ回路（ＩＣ）１４のトランジスタ群２５１ｓが接続または形成されている。どの測定画素１６ｓを選択するかは、選択するソース信号線１８とゲートドライバ１２ｓの制御により決定される。また、どのソース信号線１８のプリチャージ電圧を測定するかは、電圧測定回路１７０１の制御により決定される。

【０５８１】

ゲートドライバ回路１２ｓがどの測定画素行を選択するかは、ゲートドライバ回路１２のＳＴ１、ＣＬＫ１（図８も参照のこと）の制御と同様に、ＳＴ３とＣＬＫ３により実施される。ゲートドライバ回路１２ｓはゲート信号線１７ｓ（ゲート信号線１７ａと同様の機能を有する）を順次選択し、選択した画素行の駆動用トランジスタ１１ａを動作させる。

【０５８２】

もしくは、ゲートドライバ回路１２ｓはあらかじめ指定（決定）されたゲート信号線１７ｓ（ゲート信号線１７ａと同様の機能を有する）を選択し、選択した画素行の駆動用トランジスタ１１ａを動作させる。この場合はどの測定画素行を選択し、また、どの測定画素を選択するかは、事前に複数の画素１６ｓの特性を測定し選択しておく。選択した情報は不揮発性のメモリに保持する。また、デフォルトで測定画素行あるいは測定画素１６ｓを決めておく。また、ソースドライバ回路（ＩＣ）１４の制御により、測定画素行にプログラム電流を印加する。

【０５８３】

図１９９と同様に、ｎ個の測定画素１６ｓを選択し、ｎ倍のプログラム電流を印加してもよいことは言うまでもない。また、ゲートドライバ１２ｓを走査し、プリチャージ電圧を測定する測定画素１６ｓを順次切り換えてプリチャージ電圧Ｖを取得してもよい。また、図２０３において、ゲートドライバ回路１２ｓとゲートドライバ１２は別回路のように図示したが、これに限定するものではなく、１つの回路として構成してもよい。この１つのゲートドライバ回路の走査により、たとえば、１Ｆの最初のブランキング時間にゲートドライバ回路により測定画素行を選択し、その後、表示領域６４の画素行を選択するように構成してもよい。また、図２０３において、ソースドライバ回路（ＩＣ）１４の測定画素用と表示領域用の２つを別回路のように図示したが、これに限定するものではなく、１つの回路として構成し、この１つのソースドライバ回路（ＩＣ）１４の制御により、たとえば、１Ｆの最初のブランキング時間にソースドライバ回路（ＩＣ）１４により測定画素行にプログラム電流を印加し、その後、表示領域６４の画素行にプログラム電流を印加するように構成してもよい。

【０５８４】

図２０４は、プリチャージ電圧Ｖ０～Ｖ５を測定する測定画素１６ｓと電圧測定回路１７０１とを形成または配置して構成である。また、プリチャージ電圧を取得するトランジスタ群２５１ｓと画像を表示するトランジスタ群２５１ｃと、共通のトランジスタ群２５１ｂとでカレントミラー回路を構成した実施例である。

【０５８５】

図２０４において、トランジスタ群２５１ｓは、プリチャージ電圧Ｖ０～Ｖ５に対応するプログラム電流を順次出力する。プリチャージ電圧Ｖ０に対応するプログラム電流がソース信号線１８ｓに印加させたときは、測定画素１６ｓ０が選択され、電圧測定回路１７０１ａでプリチャージ電圧Ｖ０が測定され、電子ボリウム２９１などに印加される。

【０５８６】

プリチャージ電圧Ｖ１に対応するプログラム電流がソース信号線１８ｓに印加させたときは、測定画素１６ｓ１が選択され、電圧測定回路１７０１ｂでプリチャージ電圧Ｖ１が測定され、電子ボリウム２９１などに印加される。同様に、プリチャージ電圧Ｖ２に対応するプログラム電流がソース信号線１８ｓに印加させたときは、測定画素１６ｓ２が選択され、電圧測定回路１７０１ｃでプリチャージ電圧Ｖ２が測定され、プリチャージ電圧Ｖ３に対応するプログラム電流がソース信号線１８ｓに印加させたときは、測定画素１６ｓ３が選択され、電圧測定回路１７０１ｄでプリチャージ電圧Ｖ３が測定され、プリチャージ電圧Ｖ４に対応するプログラム電流がソース信号線１８ｓに印加させたときは、測定画素１６ｓ４が選択され、電圧測定回路１７０１ｅでプリチャージ電圧Ｖ４が測定され、プリチャージ電圧Ｖ５に対応するプログラム電流がソース信号線１８ｓに印加させたときは、測定画素１６ｓ５が選択され、電圧測定回路１７０１ｆでプリチャージ電圧Ｖ５が測定され、電子ボリウム２９１などに印加される。

【０５８７】

当然であるが、図２０４の構成に本発明が限定されるものではなく、図２０５のように、電圧測定回路１７０１は１つで構成してもよい。また、図２０６に図示するように、ＲＧＢごとにトランジスタ群２６１ｓ、電圧測定回路１７０１を構成してもよいことは言うまでもない。

【０５８８】

以上の実施例ではプリチャージ電圧は、測定画素１６ｓまたは画素１６を動作させて取得するとした。しかし、プリチャージ電圧はパネル外部で発生して印加してもよい。たとえば、図２０７に図示するように、外部で発生したプリチャージ電圧Ｖ０ｂ～Ｖ５ｂと、測定画素１６ｓまたは画素１６を動作させて取得したプリチャージ電圧Ｖ０ａ～Ｖ５ａとをスイッチＳで選択または切り換えできるように構成する。外部で発生したプリチャージ電圧Ｖ０ｂ～Ｖ５ｂを選択する場合はスイッチをｂ側に切り換える。測定画素１６ｓまたは画素１６を動作させて取得したプリチャージ電圧Ｖ０ａ～Ｖ５ａ（内部で発生したプリチャージ電圧）を選択する場合はスイッチＳをａ側に切り換える。スイッチＳの切り換えは、ユーザーが手動で切り換えてもよいし、外光センサ、温度センサなどの出力結果により自動で切り換えてもよい。

【０５８９】

プリチャージ電圧を測定するタイミング、測定時間、測定画素１６ｓの指定、プリチャージ電圧の印加期間、タイミングなどの制御は図２０９に図示するようにコントローラ７２２で実施する。図２０９において、ＲＤＡＴＡは赤の映像データ、ＧＤＡＴＡは緑の映像データ、ＢＤＡＴＡは青の映像データである。ＰＣはプリチャージをするしないを制御する信号、ＰＴはプリチャージ期間信号、ＶＣは、プリチャージ電圧の測定信号、ＶＮＯはＶ０～Ｖ５のどのプリチャージ電圧を測定するかの指定信号、ＶＴはプリチャージ電圧の測定期間を指定する信号である。

【０５９０】

なお、本発明の実施例において、プリチャージ電流を画素１６に印加して、プリチャージ電圧を測定するとした。しかし、本発明は、プリチャージ電圧を求めるものであるから、プリチャージ電流を印加する対象は、画素１６の駆動用トランジスタ１１ａだけに限定されるものではない。たとえば、プリチャージ電流の印加により、所定の電流を供給できるトランジスタをアレイ３０に形成または配置し、このトランジスタを用いてプリチャージ電圧を取得してもよい。本発明において、重要な点は、画素１６の駆動用トランジスタ１１ａをアレイ基板３０に形成し、同一のアレイ基盤３０にプリチャージ電圧を取得（測定）するトランジスタを形成又は配置することが構成の条件である。さらには、駆動用トランジスタ１１ａにプログラム電流を供給するあるいは、プログラム電流に近いまたは類似する電流を供給するトランジスタ（群）で、画素１６に電流を印加し、プリチャージ電圧を測定するものである。

【０５９１】

なお、以上の事項は、図１６９から図２０９で説明した構成、方式などは相互に組みあ

わて、また単独で本発明の表示パネル、表示装置あるいはそれを用いた装置などに適用できることは言うまでもない。

【０５９２】

０階調に該当するＶ０電圧は、画素１６の駆動用トランジスタ１１ａによって決定される。通常、駆動用トランジスタ１１ａは、ＲＧＢで共通のサイズあるいは大きさである。したがって、ＲＧＢではＶ０電圧は一致している。寄生容量Ｃｓの充放電はＶ０電圧を基準になる場合が多い。

【０５９３】

したがって、Ｖ０電圧は電流駆動あるいは電圧駆動方式において原点の位置づけとなる。Ｖ０電圧の取得は、図２１６から図２２１でも取得できる。

【０５９４】

図２１６は、カソード電流を測定することにより取得する方法である。図２１６は各ソース信号線１８を短絡し、短絡した状態でソース信号線に設定するＶ０’電圧を印加する。この状態で、ゲートドライバ１２ａ、１２ｂを走査し、ソース信号線１８に印加されたＶ０’電圧を画素１６に書きこむ。一方、抵抗Ｒｍ１８電位を電圧測定手段１７０１で測定する。なお、図２１６では、電圧測定手段１７０１を用いて、カソード端子に直列接続した抵抗Ｒ０に分流抵抗Ｒｍを接続し、前記抵抗Ｒｍの端子電圧を測定するとしたが、本発明の目的は、カソードに流れる電流を測定するものである。したがって、カソード端子に直接電流測定手段を配置して測定してもよい。また、電流の測定は、アノード端子側でもよい。

【０５９５】

ソース信号線１８に印加されたＶ０’電圧を画素１６に書きこむ。Ｖ０’電圧は、Ｉｍ（つまりＩ０）の値が目標値（以下）となるように調整する。Ｉ０が目標値となったときのソース信号線１８に印加するＶ０’電圧をＶ０電圧とする。図２１６の画素構成では、Ｖ０’電圧をアノード端子側にすれば、Ｉ０電流は減少する。しかし、Ｖ０’電圧を必要以上にアノード電圧よりにすると、階調０に対応するＶ０電圧を印加したときは、良好な黒表示を実現できるが、階調０電位が深すぎ、階調０から階調１などに変化する時に、階調１が書き込みにくくなる。

【０５９６】

適正なＶ０電圧が得られるＩ０電流は、表示パネルの表示領域の対角長をｄ（インチ）とし、Ｉ０（ｍＡ）するとき、Ｋ＝Ｉ０／ｄとした時、Ｋは０．２以上２以下とすることが好ましい。さらに好ましくは、Ｋは、０．３以上１．０以下とすることが好ましい。良好な黒表示を実現でき、かつ０階調から他の階調にプリチャージ駆動（過電流駆動）を実施する場合でも良好な階調変化を実現できるからである。

【０５９７】

以上のように、Ｖ０’電圧を変化させ、変化に対応して、Ｉ０電流を測定する。Ｉ０電流がＫの範囲を満足した時点で、ソース信号線１８に印加しているＶ０’電圧をプリチャージ電圧Ｖ０とする、

プリチャージ電圧Ｖ０は図２１７で取得することも好ましい。図２１７では、複数のソース信号線１８は、短絡配線２１７１で短絡されている。短絡配線２１７１は黒電圧（プリチャージ電圧Ｖ０）を測定した後、ａ－ａ’線で割断される。

【０５９８】

図２１７においては、すべてのソース信号線１８は短絡配線２１７１で短絡されている。したがって、各ソース信号線１８はフローティング状態である。短絡配線２１７１には端子電極２１７２が形成または配置されている。端子電極２１７２にはプローブ２１７３が圧接されている。プローブ２１７３には、配線２１７５を介して定電流源２１７４が接続されている。定電流源２１７４はプリチャージ電圧Ｖ０の場合は、出力する電流は０である。

【０５９９】

配線２１７５には、配線２１７５の電位を測定する電圧測定手段１７０１が接続されて

いる。電圧測定手段１７０１はプローブ２１７３を介してソース信号線１８の電位を測定していることになる。今、定電流源２１７４の出力電流は０であるから、ソース信号線１８には電流が印加されていない。つまり、ソース信号線１８はプリチャージ電圧Ｖ０（階調０）の状態である。

【０６００】

図２１７はあらかじめ配線２１７１で複数のソース信号線１８を短絡する方式であった。図１７２のように、ソース信号線１８が配線２１７１で短絡されていない構成の場合は、図２１８に図示するように、導電体を用いて短絡すればよい。

【０６０１】

図２１７、図２１９、図２２１に説明するように、プログラム電流、検査電流など１ｍＡ以下の比較的小さな電流を、アレイ３０もしくは表示パネルに印加／供給して検査あるいは評価を実施する場合、アレイ３０もしくは表示パネルから１ｍＡ以下の比較的小さな出力電流を受け取り検査あるいは評価を実施する場合は、図２４８に図示するように、端子３８２（２１７２）と接触するプローブ２１７３に電圧を印加することが好ましい。特に、端子３８２（２１７２）がＩＴＯで形成あるいは構成されている場合に必須である。ＩＴＯ表面は接触抵抗が高く、わずかな酸化物あるいは無機物、有機物によるバリアにより接触が不完全となるからである。

【０６０２】

交流電圧発生器２４８１は、ＧＮＤに対して正、負電圧印加手段である。交流電圧発生器（電圧印加手段）２４８１で、ゲートドライバ回路１２の出力オン電圧、出力オフ電圧あるいは近似する電圧を１周期以上の期間印加する。具体的には、±５Ｖ～±１５Ｖの電圧を印加する。１周期以上好ましくは１０周期以上の電圧印加により、端子３８２（２１７２）表面の障害物（酸化物あるいは無機物、有機物によるバリア）がやぶれ、あるいは除去される。除去などにより接触を完全にした後、検査あるいは評価を実施する。電圧の印加により不要な酸化膜が除去されるからである。

【０６０３】

なお、電圧を印加するとしたが、これに限定するものではない。電流を印加してもよい。たとえば、１０μＡ程度の定電流源を端子３８２（２１７２）に接続し、この電流が流れるようになるまで、継続させて印加する。電流の印加はパルス的でも、連続的でもよい。また、±５Ｖ～±１５Ｖの電圧を、１周期以上好ましくは１０周期以上印加するとしたが、これに限定するものではない。＋５Ｖ～＋１５Ｖの電圧を継続させて印加してもよい。もちろん、電圧の印加はパルス的でも、連続的でもよい。

【０６０４】

図２４８に図示するように、まず、電圧印加手段２４８１などにより、端子３８２（２１７２）にに電流／電圧を印加し（ＳＷはａ端子に接続する）、接続酸化物あるいは無機物、有機物によるバリアを除去してから、ＳＷをｂ端子に切り換え、定電流源２１７４に接続して、パネルの評価／検査などを実施する。

【０６０５】

図２１８のようにバンプ６６４で端子３８２と接触をとる場合でも同様に、図２４８で説明したように、バンプ６６４に交流電圧波形を印加し、完全な接触を取ることが好ましいことは言うまでもない。

【０６０６】

以上のように、本発明は、プログラム電流、検査電流など１ｍＡ以下の比較的小さな電流を、アレイ３０もしくは表示パネルに印加／供給して検査あるいは評価を実施する場合、アレイ３０もしくは表示パネルから１ｍＡ以下の比較的小さな出力電流を受け取り検査あるいは評価を実施する場合においてアレイ３０などの端子と電気接触が必要な場合は、電圧印加手段２４８１で、ゲートドライバ回路１２の出力オン電圧、出力オフ電圧あるいは近似する電圧を１周期以上の期間印加する。１周期以上好ましくは１０周期以上の電圧印加により、端子３８２（２１７２）と接触を完全にした後、検査あるいは評価を実施する。特に、端子３８２（２１７２）にＩＴＯなどの酸化物が形成されている場合に実施す

ることが好ましい。電圧の印加により不要な酸化膜が除去されるからである。また、接触を実施する前に、ごく薄いふっ酸、アルコールなどで、端子３８２（２１７２）上の有機物を除去することが好ましい。

【０６０７】

図２１８はソース信号線１８の各端子電極３８２に、バンプ６６４を介して短絡チップ１４ｃで短絡し、ソース信号線１８の電位からＶ０電圧を得る方法である。短絡チップ１４ｃの端子配置はソースドライバＩＣ１４と同一である。短絡チップ１４ｃは導電体で構成されている。したがって、短絡チップ１４ｃによりアレイ３０上のソース信号線１８は共通電位に設定される。したがって、図２１７と同様に短絡チップ１４ｃの電位を電圧測定手段１７０１で測定することにより、Ｖ０電圧を測定できる。

【０６０８】

図２２０は、ソース信号線１８を配線２１７１で共通にし、アノード配線２１０１にアノード電圧Ｖｄｄを印加し、カソード配線２１０２に電流測定手段２２０１を接続した構成である。図２２０では、図２１６と同様に、配線２１７１でＶ０’電圧と印加し、電流測定手段２２０１で電流Ｉ０を測定する。印加する電圧Ｖ０’は電圧測定手段１７０１で測定する。他の構成あるいは方式は、図２１６または図２１７と同様である。

【０６０９】

図２２１は、ＲＧＢごとにＶ０電圧を取得する方法である。図２１７と同様に、Ｒ用のソース信号線を短絡する配線２１７１Ｒを形成している。また、図２１８で説明したように短絡チップ１４ｃを用いても良い。また、Ｇに関しても図２１７と同様に、Ｇ用のソース信号線を短絡する配線２１７１Ｇを形成している。同様に、Ｂについても、Ｂ用のソース信号線を短絡する配線２１７１Ｂを形成している。

【０６１０】

図２２１においても、図２２０と同様に、Ｖ０’電圧をソース信号線１８に印加し、Ｉ０電流が目標電流となるように調整してＶ０電圧を得る。図２２０との差異は、Ｖ０電圧をＲＧＢごとに得る点である。つまり、Ｒ用のソース信号線１８を配線２１７１Ｒで共通にし、アノード配線２１０１にアノード電圧Ｖｄｄを印加し、カソード配線２１０２に電流測定手段２２０１を接続する。この時、Ｇ用とＢ用のソース信号線１８はオープン状態にする。図２２１では、図２１６と同様に、配線２１７１ＲでＶ０’電圧と印加し、電流測定手段２２０１（図示せず）で電流Ｉ０を測定する。印加する電圧Ｖ０’は電圧測定手段１７０１Ｒで測定する。他の構成あるいは方式は、図２１６または図２１７と同様である。以上の動作を行うことにより、Ｒ用のプリチャージ電圧Ｖ０を得ることができる。

【０６１１】

Ｇに対しても同様である。Ｇ用のソース信号線１８を配線２１７１Ｇで共通にし、アノード配線２１０１にアノード電圧Ｖｄｄを印加し、カソード配線２１０２に電流測定手段２２０１を接続する。この時、Ｒ用とＢ用のソース信号線１８はオープン状態にする。図２２１では、配線２１７１ＧでＶ０’電圧と印加し、電流測定手段２２０１（図示せず）で電流Ｉ０を測定する。印加する電圧Ｖ０’は電圧測定手段１７０１Ｇで測定する。以上の動作を行うことにより、Ｇ用のプリチャージ電圧Ｖ０を得ることができる。

【０６１２】

Ｂの場合は、Ｂ用のソース信号線１８を配線２１７１Ｂで共通にし、アノード配線２１０１にアノード電圧Ｖｄｄを印加し、カソード配線２１０２に電流測定手段２２０１を接続する。この時、Ｒ用とＧ用のソース信号線１８はオープン状態にする。配線２１７１ＢでＶ０’電圧と印加し、電流測定手段２２０１（図示せず）で電流Ｉ０を測定する。印加する電圧Ｖ０’は電圧測定手段１７０１Ｂで測定する。以上の動作を行うことにより、Ｂ用のプリチャージ電圧Ｖ０を得ることができる。

【０６１３】

各階調（プログラム電流）に対するプリチャージ電圧Ｖの測定は、図２２１において、電流設定手段２１７４で実施できる。電流設定手段は、各階調に対応するプログラム電流Ｉを出力できる。ただし、ｎ本のソース信号線１８が配線２１７１で短絡されている場合

は、プログラム電流Ｉは、Ｉ×ｎである。

【０６１４】

電流設定手段２１７４ＲはＲ用のプログラム電流を出力するものである。電流設定手段２１７４ＧはＧ用のプログラム電流を出力するものである。電流設定手段２１７４ＢはＢ用のプログラム電流を出力するものである。

【０６１５】

Ｒのプリチャージ電圧Ｖ０～Ｖ５を得る場合は、電流設定手段２１７４Ｒからプリチャージ電圧Ｖ０～Ｖ５に対応するプログラム電流×ｎをＲのｎ本のソース信号線１８に印加する。Ｇのプリチャージ電圧Ｖ０～Ｖ５を得る場合は、電流設定手段２１７４Ｇからプリチャージ電圧Ｖ０～Ｖ５に対応するプログラム電流×ｎをＧのｎ本のソース信号線１８に印加する。Ｂのプリチャージ電圧Ｖ０～Ｖ５を得る場合は、電流設定手段２１７４Ｂからプリチャージ電圧Ｖ０～Ｖ５に対応するプログラム電流×ｎをＢのｎ本のソース信号線１８に印加する。以上の動作あるいは処理により、ＲＧＢごとにプリチャージ電圧Ｖ０～Ｖ５を得ることができる。

【０６１６】

図２１９は、取得されたＶ０電圧から補正し、正規のＶ０電圧を得る方法の説明図である。得られたプリチャージ電圧Ｖ０は一定の補正をすることが好ましい。たとえば、より黒表示を実現したいと言う場合である。

【０６１７】

図２１９において、プローブ２１７３などの構成は、図２１７などが該当する。つまり、図２１９のプローブ２１７３が端子２１７２に接続される。配線２１７１の電位は電圧測定手段１７０１で８ビットのデジタルデータに変換される。一方補正する大きさはＲＯＭ２１２２に保持されている。ＲＯＭデータは、ＲＤａＴａとして、外部より書き換えることができる。

【０６１８】

ＲＯＭ２１２２に保持されたデータも８ビットである。このＲＯＭデータと電圧測定手段１７０１のデータが加算（減算の場合もある）回路１９３１で加算される。一般的に加算データにより、アノード電圧側にデータはシフトされる。

【０６１９】

加算されたデータは９ビットになる。このデータはＤＡ（デジタルーアナログ変換）回路１７１１でアナログデータに変換され、パネル温度を検出する温度補償回路２１９１で温度補償されて、ソースドライバ回路（ＩＣ）１４に印加される。温度補償回路２１９１を必要とするのは、プリチャージ電圧は電圧駆動であるため、温度依存性があるからである。

【０６２０】

なお、図２１９ではＶ０電圧を補正するとしたが、他のプリチャージ電圧Ｖにおいても同様の処理を実施すればよいことは言うまでもない。

【０６２１】

ＥＬ表示装置は、液晶表示装置にはないカソード配線、アノード配線が必要である。また、図８に図示するように、ゲートドライバ回路はゲートドライバ回路１２ａ（ゲート信号線１７ａの駆動用）、ゲートドライバ回路１２ｂ（ゲート信号線１７ｂの駆動用）の２つのゲートドライバ回路が必要である。したがって、ＥＬ表示装置は、配線数が多く結線が複雑である。そのため、配線の引き回しのためにパネルの額縁が大きくなる。信号線をパネルに入力するためのフレキ基板のサイズが大きくなり高コスト化に直結する。

【０６２２】

図６５はこの課題を解決する構成の説明図である。なお、説明を容易にするため、図６５などでは、ゲートドライバ回路１２の制御信号線はＳＴ（スタートパルスを印加あるいは伝送する信号線）、ＣＬＫ（クロック（シフト）パルスを印加あるいは伝送する信号線）、ＥＮＢＬ（イネーブルパルスを印加あるいは伝送する信号線）しか図示していない。実際には、ＵＤ（アップダウン方向の信号を印加あるいは伝送する信号線）、Ｖｇｈ電圧

あるいはＶｇｌ電圧を伝送あるいは供給する信号線などがあることは言うまでもない。

【０６２３】

なお、説明を容易にするため、ＳＴ（スタートパルスを印加あるいは伝送する信号線）、ＣＬＫ（クロック（シフト）パルスを印加あるいは伝送する信号線）、ＥＮＢＬ（イネーブルパルスを印加あるいは伝送する信号線）、ＵＤ（アップダウン方向の信号を印加あるいは伝送する信号線）などの制御信号を伝送などする信号線を制御信号線と呼び、Ｖｇｈ電圧あるいはＶｇｌ電圧を伝送あるいは供給する信号線などを電圧信号線と呼ぶ。

【０６２４】

ソースドライバＩＣ１４は、シリコンチップで形成または構成され、アレイ基板３０にＣＯＧ（チップオンガラス）技術で実装されている。一方、ゲートドライバ回路１２は、低温ポリシリコン、高温ポリシリコンあるいはＣＧＳなどのポリシリコン技術でアレイ基板３０に直接に形成されている。

【０６２５】

制御信号線（もしくは電力信号線も）は、ソースドライバＩＣ１４の裏面あるいはソースドライバＩＣ１４の配線パターンを介してゲートドライバ回路１２などに接続される。以上のように制御信号線、電力信号線はソースドライバＩＣ１４を介して供給することにより前記信号線などを接続するフレキ基板の幅をソースドライバＩＣ１４のチップ幅程度にすることができる。したがって、低コスト化が可能である。

【０６２６】

図６５の構成を実現するために、本発明のソースドライバＩＣ１４は図６４のように構成（形成）している。図６４は、本発明のソースドライバＩＣ１４を裏面からみた図である。チップ１４の両端に配線６４５などが形成されている。図６４にあって、配線は通常のアルミ配線であり、ＩＣ製造工程で形成させる。しかし、配線６４５などの形成方法はこれに限定するものではなく、ＩＣ１４完成後、スクリーン印刷技術などで形成してもよい。なお、配線６４５などはチップ１４の一方のみに形成してもよいことは言うまでもない。

【０６２７】

ＩＣ１４は制御信号線などの入力端子６４３と、ソース信号線１８と接続する端子６４４が形成されている。チップ１４の端に制御信号線を接続する端子６４１ａが形成または配置される。また、端子６４１ａには配線６４５が接続され、配線６４５の他端は端子６４１ｂに接続されている。したがって、Ｇ１ａの範囲に接続された制御信号線はチップの側辺の端子６４１ｂと接続されている。また、端子６４２ａに接続された電力信号線は配線６４５を介して端子６４２ｂに接続される。端子６４２はアノードあるいはカソード配線が接続されることを想定している。したがって、電力信号線はＩＣチップをブリッジし、ＩＣ１４の出力側（ソース信号線１８との接続側）に出力される。

【０６２８】

このようにＩＣ１４上において、配線６４５でブリッジするのは、アノード配線１８１５などがＩＣ１４の遮光膜として、ＩＣ１４の裏面に形成されていることが多いからである。アノード配線１８１５を遮光膜としてＩＣ裏面に形成することにより、ＩＣがホトコンダクタ現象により以上動作することがない。配線６４５で制御信号線あるいは電力信号線を接続することにより、アレイ基板３０上で配線を交差する必要がなく、交差部での短絡などが減少し、製造歩留まりを向上させることができる。

【０６２９】

なお、図６４の実施例では、ＩＣチップ１４の裏面（実装時にアレイ基板３０と対面する面）に配線６４５などを形成するとしたがこれに限定するものではない。配線６４５などをＩＣチップ１４に表面に形成または配置してもよい。また、ＩＣチップ１４とアレイ基板３０との隙間に、配線６４５などを形成したフレキを配置してもよいことは言うまでもない。

【０６３０】

また、以上の実施例ではソースドライバＩＣ１４に配線６４５などを形成し、信号線を

ブリッジするとした。しかし、本発明はこれに限定するものではなく、ゲートドライバ回路１２をシリコンチップ（ゲートドライバＩＣ１２）などで形成し、ゲートドライバＩＣ１２の裏面などに配線６４５などを形成してもよいことは言うまでもない。

【０６３１】

また、配線６４５上には無機材料あるいは有機材料からなる薄膜（厚膜）を形成することが好ましい。薄膜（厚膜）の厚みは少なくとも０．１μｍ以上必要である。しかし、３μｍ以下にすることが好ましい。薄膜（厚膜）の形成により配線６４５が保護され、腐食などの課題が発生しなくなる。薄膜（厚膜）の比誘電率は、３．５以上６．０以下のものを使用することが好ましい。

【０６３２】

図６５は本発明のソースドライバＩＣ１４をアレイ基板３０に実装した状態である。電力信号線（実施例ではアノード配線）は配線６４５を介して端子６４２ｂに出力され、表示領域６４の画素１６部に分岐される。カソード配線のＩＣチップの右端の端子６４２ｂから出力されカソード接続点でカソード電極３６と接続される。制御信号線もＩＣ１４の配線６４５を介して端子６４１ｂから出力されゲートドライバ回路１２に入力される。

【０６３３】

図６６はＩＣ１４をアレイ基板３０に実装した場合の断面図である。ＩＣチップ１４の裏面には配線６４５が形成され、端子６４２ａと端子６４２ｂ間を接続している。端子６４２には金バンプ６６４が形成されている。金バンプ６６４はアレイ基板３０の端子６６２とＩＣ１４の端子６４２とを接続している。したがって、信号線６６１に印加された信号はＩＣ１４の配線６４５を介して信号線６２２と電気的に接続されるため、アノード配線６６３などの導体線がアレイ基板３０上に形成されていても交差することがない。

【０６３４】

図６４に図示するように、ソースドライバ回路（ＩＣ）１４からゲートドライバ回路（ＩＣ）１２に引き渡される配線６２２が交差することがないように、出力端子位置を設定する。以上のように構成することにより、ＩＣチップ１４の裏面部を有効に利用することができ、また、パネルを狭額縁化することができる。

【０６３５】

以上のように、ＩＣ１４の配線６４５を介して電力信号線あるいは制御信号線をブリッジすることのより、基板３０に形成された配線と交差することがなくなるという効果が発揮される。他の大きな効果として、図６７に図示するように、信号線などをパネルに印加するフレキシブル基板６７１の大きさを小さくできるという効果も発揮される。一般的にフレキシブル基板６７１は高価であるのでサイズが小さいほどコストメリットは大きい。

【０６３６】

図６７に図示するように、ＩＣ１４への入力信号線にはフレキシブル基板６７１からストレートに信号などが入力される。ＩＣ１４の配線６４５がなければ制御信号線は基板３０の入力面でＩＣ１４を避けて折り曲げる必要がある。折り曲げればパネルの額縁が大きくなる。本発明のようにＩＣチップ１４の配線６４５を介して接続することにより、額縁を小さくすることができる。

【０６３７】

図６４などで説明した実施例は、端子６４１ａと端子６４１ｂ間などを配線６４５などで結線した実施例である。つまり、端子６４１ａから入力された信号はそのまま端子６４１ｂに出力される。しかし、本発明はこれに限定するものではない。たとえば、入力された信号を分岐したり、遅延したり、変化させる回路あるいは配線を端子６４１間に形成または配置してもよいことは言うまでもない。

【０６３８】

図６８は一例として端子６４１ａと端子６４１ｂ間に変換回路６８１を形成または配置した構成である。図６８の実施例における変換回路６８１は反転出力発生回路である。反転出力発生回路６８１は入力された信号の反転信号を発生させる。たとえば、ＳＴ信号であれば、ネガティブのＳＴ信号を発生させる。このネガティブのＳＴ信号をＮＳＴと記載

する。より具体的には、ＳＴが１フレームの期間の１Ｈの期間、３Ｖとなり、他の期間は０Ｖであれば、ＮＳＴ信号は１フレームの期間の１Ｈの期間、０Ｖとなり、他の期間は３Ｖとなる。以上の事項は、ＣＬＫ、ＥＮＢＬ信号にも適用される。

【０６３９】

つまり、図６８では端子６４１ａに入力された信号は、反転出力回路６８１でポジティブ信号とネガティブ信号に変換されて端子６８１ｂから出力される。したがって、ソースドライバＩＣ１４には入力信号を少なくできる。

【０６４０】

図６８は反転出力を発生する回路であったが、本発明はこれに限定するものではない。図６９はフリップフロップ回路（ＦＦ回路）からなる遅延回路６９１をソースドライバＩＣ１４内に形成してものである。

【０６４１】

図６９では一例として、ＦＦ回路６９１は端子６４１ａと端子６４１ｂ間に配置されている。ＦＦ回路６９１によりＳＴ信号などは遅延される。ゲートドライバ回路１２の制御信号（ＳＴ、ＣＬＫなど）は、ソースドライバ回路（ＩＣ）１４のラッチ回路３８１などと同期をとり、ソース信号線１８に印加するプログラム電流のタイミングと、ゲート信号線１７ａにオン電圧を印加するタイミングとを調整する必要がある。このタイミング調整をＦＦ回路６９１などで行う。以上のように構成することによりコントローラ回路（ＩＣ）７２２から出力する制御信号のタイミング調整が容易になる。

【０６４２】

以上の実施例のほかに、図７０に図示するように、ＨＤ（水平走査信号）、ＶＤ（垂直走査信号）から制御信号（ＳＴ、ＣＬＫ、ＥＮＢＬなど）を発生させてもよい。つまり、ソースドライバ回路（ＩＣ）１４内に信号発生回路７０１を形成または配置する。ＨＤ（水平走査信号）、ＶＤ（垂直走査信号）などから信号発生回路７０１で制御信号（ＳＴ、ＣＬＫ、ＥＮＢＬなど）を発生する。以上のように構成することにより、さらにソースドライバＩＣ１４への信号線本数を削減することができる。

【０６４３】

映像信号などを差動信号にしてソースドライバ回路（ＩＣ）１４に供給することにより信号線数を削減することができる。また、ノイズにも強くすることができる。同様に図７１に図示するようにゲート信号（ゲートドライバ回路１２の制御信号（ＳＴ、ＥＮＢＬなど））も差動信号として、ソースドライバＩＣ１４に印加してもよい。差動信号は差動－パラレル信号変換回路６２１でパラレル信号に変換される。

【０６４４】

図７１の実施例では、電力信号としてのアノード電圧、カソード電圧は端子６４２ａに入力され、ゲートドライバ回路１２を制御するゲート信号（差動）は端子６４１ａに入力される。映像信号（差動）および制御信号（差動）は端子６４３に入力される。なお、ゲート信号、映像信号および制御信号は、ツイストペアーの差動信号としてもよいことは言うまでもない。また、ゲート信号などは細線同軸ケーブルで伝送してもよい。

【０６４５】

以上の実施例は他の端子（６４３、６４４、６４２など）についても適用できることは言うまでもない。

【０６４６】

図７１などに差動信号として印加することにより信号線数の削減できる。図６４、図６６などのようにＩＣ１４に配線６４５を形成することにより信号線などが交差することをなくすことができる。以上の構成は、アレイ基板３０にポリシリコン技術によりゲートドライバ回路１２などを形成し、ソースドライバＩＣ１４をシリコンチップなどで形成してアレイ基板３０にＣＯＧ技術を用いて実装することにより発揮できる効果である。

【０６４７】

以上の実施例は、１つのＩＣ１４をパネルに用いた実施例であった。しかし、本発明はこれに限定するものではない。たとえば、図７６に図示するように、また、２つ（複数）

のＩＣチップ１４をアレイ基板３０に実装し、表示パネル１３３４を構成してもよい。ＩＣ１４の両方の端には、電力信号線または制御信号線もしくは両方の信号線が出力されるように形成あるいは配置され、ＩＣ１４の両方の端には、差動－パラレル信号変換回路６２１が形成あるいは配置されている。

【０６４８】

どちらの差動－パラレル信号変換回路６２１が動作させるかは、セレクタ信号ＧＳＥＬに印加するロジック信号（電圧レベル）で切り換えられる。図７６では、ＩＣチップ１４ａは差動－パラレル信号変換回路６２１ａ１が動作し、差動－パラレル信号変換回路６２１ａ１からゲートドライバ回路１２ａの制御信号などが出力される。また、ＩＣチップ１４ｂは差動－パラレル信号変換回路６２１ｂ２が動作し、差動－パラレル信号変換回路６２１ｂ２からゲートドライバ回路１２ｂの制御信号などが出力される。

【０６４９】

図７６において、ソースドライバ回路（ＩＣ）１４ａは、選択信号ＧＳＥＬによりゲートドライバ１２ａの制御信号を出力するが、ゲートドライバ１２ｂの制御信号に出力は停止（出力はハイインピーダンス状態、図７８なども参照のこと）する。ソースドライバ回路（ＩＣ）１４ｂは、選択信号ＧＳＥＬによりゲートドライバ１２ｂの制御信号を出力するが、ゲートドライバ１２ａの制御信号に出力は停止（出力はハイインピーダンス状態）する。つまり、ソースドライバ回路（ＩＣ）１４は制御信号あるいはロジック信号またはコマンド入力により、ゲートドライバ１２ａ、１２ｂへの信号を出力するか否かを設定あるいは調整もしくは制御することができる。ただし、３つ以上のＩＣチップ１４をアレイ基板３０に実装した場合は、ゲートドライバ回路１２を制御しないソースドライバ回路（ＩＣ）１４が発生する。また、ゲートドライバ回路１２が１つしかない場合は、２個のソースドライバ回路（ＩＣ）１４の場合であっても、ゲートドライバ回路１２を制御しないソースドライバ回路（ＩＣ）１４が発生する。これらも本発明の範疇である。つまり、ゲートドライバ回路１２を制御するあるいは制御しないことをきりかえられることに本発明の技術的思想がある。

【０６５０】

なお、ソースドライバ回路（ＩＣ）１４内にコントローラ７２２機能あるいは一部の機能を組みこんでもよい。また、図７７のように、ソースドライバ回路（ＩＣ）１４内にカスケード接続をするか否かを選択する機能を組み込んでもよい。

【０６５１】

差動信号は図７３に図示するように、本体回路のＡ信号（判別信号）のＨとＬに同期して出力される。Ａ信号がＬの時は、プログラム電圧（ＶＲ、ＶＧ、ＶＢ）が出力され、Ａ信号がＨの時は、プログラム電流（ＩＲ、ＩＧ、ＩＢ）が出力される。

【０６５２】

また、映像信号としてのプログラム電流（ＩＲ、ＩＧ、ＩＢ）およびプログラム電圧（ＶＲ、ＶＧ、ＶＢ）と、データ信号ＤＭ、ＤＳが伝送される。つまり、差動信号は、Ｒ映像信号、Ｇ映像信号、Ｂ映像信号、Ｄデータ信号の４相が多重される（ＶＲ、ＩＲ、ＶＧ、ＩＧ、ＶＢ、ＩＢ、ＤＭ、ＤＳ、ＶＲ、ＩＲ、・・・・・）。なお、映像のブランキング期間は、ＤＭとＤＳ信号が連続して伝送される。

【０６５３】

なお、プリチャージ時間は、ＴＴＬあるいはＣＭＯＳのロジックの波形信号などで、コントローラ回路（ＩＣ）７２２などからソースドライバ回路（ＩＣ）１４に印加してもよいことは言うまでもない。例えば、ロジックの波形信号のＨレベルの期間に、プリチャージ電圧（プリチャージ電流）がソース信号線１８に印加され、ロジックの波形信号のＬレベルの期間は、プリチャージ電圧（プリチャージ電流）がソース信号線１８に出力されないように制御あるいは構成される。また、プリチャージ時間は点灯率により制御（可変）してもよいことは言うまでもない。点灯率が低い時は、低階調の画素が多いことを意味している。したがって、プリチャージ時間を長くする。逆に点灯率が高い時は、高階調の画素が多いことを意味している。この場合は、プログラム電流の書き込み不足は発生しない

か、もしくは目立たない（認識されない）。したがって、プリチャージ時間は短くてもよい。

【０６５４】

図７４は、スタート（ＳＴ）信号との関係を記載したものである。ＣＬＫ、ＳＴ、映像信号のＲＧＢもしくは（ＲＧＢＤ）も０Ｖ（ＧＮＤ）を中心にＤｉｆｆ電圧の振幅で送出（伝送）される。なお、振幅としてのＤｉｆｆ電圧は終端抵抗などで設定あるいは可変もしくは調整される。

【０６５５】

図７４に図示するように、映像信号としてのＲＧＢと同期をとるＣＬＫは同一の周波数になるようにしている。つまり、ＣＬＫの立ち上がりと立下りでＤＡＴＡ内容を識別する。このようなＤＡＴＡとＣＬＫの関係を保つことにより周波数を定常的にし、不要輻射を低減している。一方、Ｓｔ信号は、ＣＬＫの２倍の幅を持ち、ＣＬＫの立ち上がりまたは立下りで検出する。ＣＬＫはＰＬＬ回路７２１で位相制御される。以上のように差動信号は送出され、送受信が行われる。

【０６５６】

図７４は、一例としてたとえば、ＲＧＢＤを１対の差動信号として伝送する構成であったが、本発明はこれに限定するものではなく、図７２に図示するように、赤の映像データ（ＲＤＡＴＡ）を１対の差動信号とし、緑の映像データ（ＧＤＡＴＡ）を１対の差動信号とし、青の映像データ（ＢＤＡＴＡ）を１対の差動信号としてもよい。各ＲＧＢの差動信号には、プリチャージビットを付加する。つまり、赤のＲＤＡＴＡは赤の該当データをプリチャージするか否かのビットＰｒＲビットを付加（ＲＤＡＴＡ８ビット＋ＰｒＲ１ビット）する。緑のＧＤＡＴＡは赤の該当データをプリチャージするか否かのビットＰｒＧビットを付加（ＧＤＡＴＡ８ビット＋ＰｒＧ１ビット）する。青のＢＤＡＴＡは青の該当データをプリチャージするか否かのビットＰｒＢビットを付加（ＢＤＡＴＡ８ビット＋ＰｒＢ１ビット）する。

【０６５７】

本発明では、図７９に図示するように、一例としてコントローラ回路（ＩＣ）７２２から差動信号を出力し、ソースドライバ回路（ＩＣ）１４で受信するとして説明する。コントローラ回路（ＩＣ）７２２に定電流回路Ｉｃｏｎが構成され、トランジスタＭ１、Ｍ２が制御されることにより、ＴｘＶ＋、ＴｘＶ－信号が端子６４３ｃから出力される。端子６４３ｃから出力された信号は、フレキ基板の配線、プリント基板の配線、ケーブル線、同軸配線などで伝達され、ソースドライバ回路（ＩＣ）１４の入力端子６４３ａに印加される。

【０６５８】

端子６４３ａに印加された信号は、差動信号（ＲｘＶ＋、ＲｘＶ－）としてコンパレータ７９１に印加され、論理信号ＴＤＡＴＡに復元される。抵抗ＲＴ１、ＲＴ２はソースドライバ回路（ＩＣ）１４の外づけ抵抗である。Ｉｃｏｎ電流の経路を終端する。

【０６５９】

抵抗ＲＴ１、ＲＴ２はソースドライバ回路（ＩＣ）１４に内蔵させてもよい。また、ソースドライバ回路（ＩＣ）１４は、ポリシリコン技術（低温ポリシリコン技術、高温ポリシリコン技術、ＣＧＳ技術）などで基板３０に直接形成したものでもよいことは言うまでもない。

【０６６０】

抵抗ＲＴ１などの値は、伝送路のインピーダンスなどに適合させて選択する。本発明の構成では、抵抗ＲＴの値は、１００Ω以上３００Ω以下に構成している。

【０６６１】

ソースドライバ回路（ＩＣ）１４に内蔵されたスイッチ（ＳＴ１、ＳＴ２）はアナログスイッチなどが例示される。スイッチＳＴがオン状態にするかオフ状態にするかは、ソースドライバ回路（ＩＣ）１４の切り換え入力端子（図示せず）に印加するロジックレベルにより操作する。

【０６６２】
スイッチＳＴは、スイッチに限定するものではない。ＩＣプロセス工程で、表示パネルに入力される信号仕様に応じて、アルミ配線で選択して短絡するものであってもよい。図８０で説明する差動入力構成か、図８１で説明するＣＭＯＳレベル入力構成かは、表示パネルに印加する信号仕様であらかじめ決定されるからである。つまり、スイッチＳＴを用いてＣＭＯＳレベル信号か、差動信号かを適時切り換える必要がある構成は稀であるからである。
【０６６３】
もちろん、図８０に図示するように、スイッチＳＴを設けず、コンパレータ７９１の入力端子あるいは、コントローラ回路（ＩＣ）７２２の出力端子の経路に終端抵抗ＲＴを接続してもよいことは言うまでもない。終端抵抗ＲＴは、ソースドライバ回路（ＩＣ）１４が複数であっても１つの配線に１つの終端抵抗ＲＴを配置あるいは設置もしくは構成すればよい。終端抵抗ＲＴはボリウムで構成して、抵抗値を可変あるいは変更できるように構成してもよい。また、抵抗ＲＴをトリミングすることにより抵抗値を目標値に調整してもよい。
【０６６４】
図７９の構成では、スイッチＳＴ（ＳＴ１、ＳＴ２）がオン（閉じる）することにより、ソースドライバ回路（ＩＣ）１４への入力は差動信号入力となる。スイッチＳＴがオフ（開く）と、ＣＭＯＳあるいはＴＴＬロジック信号入力となる。ＣＭＯＳレベルあるいはＴＴＬレベル入力とする場合は、図８１に図示するようにコンパレータ７９１の－端子にロジックレベルを判定する一定のＤＣ電圧を印加し、＋端子にロジック信号を印加する。＋端子に印加された信号レベルが－端子に印加されたＤＣ電圧以上の時、Ｈレベルロジックと判断され、＋端子に印加された信号レベルが－端子に印加されたＤＣ電圧以下の時、Ｌレベルロジックと判断される。ただし、ロジックの判断はヒステリシス特性をもつようにコンパレータ７９１を構成することが好ましい。なお、本発明では説明を容易にするため、ＣＭＯＳレベルの信号であるとして説明をする。
【０６６５】
図７９の構成では、コントローラ回路（ＩＣ）７２２からの出力信号は１つのソースドライバ回路（ＩＣ）１４に印加されるように図示した。しかし、実用上は、図８０、図８１などに図示するように、コントローラ回路（ＩＣ）７２２からの出力信号は複数のソースドライバ回路（ＩＣ）１４に印加される。
【０６６６】
図８０は、差動信号入力の場合である。コントローラ回路（ＩＣ）７２２からの出力配線（一例として、差動信号Ｄ０＋／Ｄ０－、Ｄ１＋／Ｄ１－～Ｄ７＋／Ｄ７－の８ビットとしている。）には、終端抵抗ＲＴが配置されている。コントローラ回路（ＩＣ）７２２は、複数のソースドライバ回路（ＩＣ）１４を駆動する。ソースドライバ回路（ＩＣ）１４内のコンパレータ７９１は各ビットの差動信号から各ビットのロジック信号（ＴＤＡＴＡ）に変換する。ＴＤＡＴＡは駆動（処理）回路８１１に入力される。駆動回路８１１で処理あるいは制御された信号は、出力端子９３から出力され、表示パネルのソース信号線１８に印加される。
【０６６７】
図８１はＣＭＯＳレベル信号（ロジック信号）の場合である。コンパレータ７９１の－端子（＋端子でもよい）には、直流電圧（ＤＣ電圧）Ｖ０が印加されている。ロジック信号Ｄ０～Ｄ７の信号レベルがＶ０電圧以上の時、Ｈレベルと判断される。ロジック信号Ｄ０～Ｄ７の信号レベルがＶ０電圧以下の時、Ｌレベルとして判断される。したがって、図８１の構成ではコンパレータ７９１は、バッファとして機能する。
【０６６８】
以上の図７９、図８０の構成のソースドライバ回路（ＩＣ）１４は、図８２に図示するように差動インターフェース（差動ＩＦ）６２１ａとＣＭＯＳ（ＴＴＬ）インターフェース（ＣＭＯＳ　ＩＦ）６２１ｂの両方を具備している。したがって、使用状態に応じて、

ＩＦ仕様を選択することができる。図８２（ａ）は、コントローラ回路（ＩＣ）７２２はＣＭＯＳレベルの信号を出力する。ソースドライバ回路（ＩＣ）１４は、図８１の構成であるＣＭＯＳ－ＩＦを使用している。

【０６６９】

図８２（ｂ）でも、コントローラ回路（ＩＣ）７２２は、ＣＭＯＳレベルの信号を出力する。図８２（ｂ）の構成では、モード変換回路（ＩＣ）８２１を具備している。モード変換回路（ＩＣ）８２１は、ＣＭＯＳ信号を差動信号に変換する機能を有する。コントローラ回路（ＩＣ）７２２はＣＭＯＳ－ＩＦ６２１ｂよりＣＭＯＳ信号を出力し、モード変換回路８２１はＣＭＯＳ－ＩＦ６２１ｂで受信した信号を、差動信号に変換して差動ＩＦ６２１ａから出力する。差動ＩＦ６２１ａから出力した差動信号は、ソースドライバ回路（ＩＣ）１４の差動ＩＦ６２１ａに入力される。

【０６７０】

差動ＩＦとは、ＬＶＤＳ、ｍｉｎｉ－ＬＶＤＳ、ＲＳＤＳ、ＣＭＤＳなどすべての差動信号伝送の方式が該当する。

【０６７１】

図７５に図示するように、ソースドライバ回路（ＩＣ）１４からゲートドライバ回路（ＩＣ）１２に引き渡される配線６２２が交差することがないように、出力端子位置を設定する。

【０６７２】

以上のように、ソースドライバ回路（ＩＣ）１４は、図８０の回路構成を具備することにより、差動信号とＣＭＯＳ（ＴＴＬ）レベル信号の両方を受信することができる。

【０６７３】

図７５は、１つのソースドライバ回路（ＩＣ）１４を用いる構成である。図７６は、複数のソースドライバ回路（ＩＣ）１４を用いる構成である。

【０６７４】

図７５、図７６ではＩＣチップ１４の両端に差動－パラレル信号変換回路６２１を配置するように図示したが、これに限定するものではない。差動－パラレル信号変換回路６２１は１つで、配線７０１で制御信号線などをチップ１４の両端に分岐できるように構成してもよい。重要なのは、ＩＣチップ１４の両端に電力信号線または制御信号線が出力できることであり、また、図７６のようにアレイ基板３０に複数のＩＣチップ１４を実装した場合、ＩＣチップ１４の両端の電力信号線または制御信号線の出力が出力されるか否かを切り換えることができることである（もしくは両方から信号などが出力されていても画像表示に影響がないようにすることができることである）。切り換えはＧＥＳＬ信号によって行う。

【０６７５】

カスケード配線７７１はアレイ基板７１上で形成することに限定するものではない。たとえば、図７７に図示するように、フレキ基板６７１あるいはプリント基板でカスケード配線パターン７７１を形成し、フレキ基板６７１などを介してカスケード接続を行っても良い。

【０６７６】

図７８に図示するように、Ｇｃｎｔｌ信号でソースドライバ回路（ＩＣ）１４ごとにゲートドライバ１２への出力信号６２２を制御してもよい。図７８において、ソースドライバ回路（ＩＣ）１４ａのＧｃｎｔｌ１ａ信号をＨレベルにすることにより、ソースドライバ回路（ＩＣ）１４ａの出力端子６４１ｂ１よりゲートドライバ回路１２ａへの制御信号が出力される。

【０６７７】

ソースドライバ回路（ＩＣ）１４ａのＧｃｎｔｌ１ａ信号をＬレベルにすることにより、ソースドライバ回路（ＩＣ）１４ａの出力端子６４１ｂ１はハイインピーダンスとなる。また、ソースドライバ回路（ＩＣ）１４ａのＧｃｎｔｌ１ｂ信号をＬレベルにすることにより、ソースドライバ回路（ＩＣ）１４ａの出力端子６４１ｂ２はハイインピーダンス

状態となる。図７８では、ソースドライバ回路（ＩＣ）１４ａの出力端子６４１ｂ２には出力する信号はないため、Ｇｃｎｔｌ１１ｂ信号はＬレベルに固定される。

【０６７８】

ソースドライバ回路（ＩＣ）１４ｂは、ソースドライバ回路（ＩＣ）１４ｂのＧｃｎｔｌ２ｂ信号をＨレベルにすることにより、ソースドライバ回路（ＩＣ）１４ｂの出力端子６４１ｂ２よりゲートドライバ回路１２ｂへの制御信号が出力される。なお、ソースドライバ回路（ＩＣ）１４ｂのＧｃｎｔｌ２ａ信号をＬレベルにすることにより、ソースドライバ回路（ＩＣ）１４ｂの出力端子６４１ｂ１はハイインピーダンスとなる。図７８では、ソースドライバ回路（ＩＣ）１４ｂの出力端子６４１ｂ１には出力する信号はないため、Ｇｃｎｔｌ２ａ信号はＬレベルに固定される。

【０６７９】

以上の実施例は、１つの表示パネルに２個のソースドライバ回路（ＩＣ）１４を使用する構成である。しかし、本発明はこれに限定するものではない。使用するソースドライバ回路（ＩＣ）１４は３個以上であってもよい。３個以上の場合は、少なくも１つのソースドライバ回路（ＩＣ）１４の２箇所の出力端子６４１ｂはハイインピーダンス状態となる。ハイインピーダンス状態は、ＧＳＥＬ信号、Ｇｃｎｔｌ信号を操作することにより実現できることは言うまでもない。

【０６８０】

したがって、本発明のソースドライバＩＣ１４は、アレイ３０に１個実装する場合でも、複数実装する場合でも同一のソースドライバＩＣ１４を用いることができる。また、１個用いた場合で、ゲートドライバ回路１２が画面６４の一方の端に形成または配置されている場合でも適用することができる。

【０６８１】

場合によっては入力方向であってもよい。たとえば、ゲートドライバ回路１２からのスタートパルス（ＳＴ）の出力パルスが端子２８２１ｂに入力され、端子２８２１ａから出力されるように構成あるいは形成してもよい。この出力パルスはコントロールＩＣ７２２に入力される。この出力パルスによりコントロールＩＣ７２２は、ゲートドライバ回路１２の動作を監視あるいは正常性を判断できる。

【０６８２】

本発明は、ソースドライバＩＣ１４をシリコンなどで形成し、ＣＯＧ技術などを用いて基板３０に実装するとしたが、これに限定するものではない。ＴＡＢあるいはＣＯＦ技術を用いて実装してもよい。また、ソースドライバＩＣの回路１４はポリシリコン技術を用いてアレイ基板３０に直接形成してもよい。特に図７６などの構成に有効である。また、ＩＣチップ１４はアレイ基板３０（画素電極などが形成された基板）に実装するとしたが、これに限定するものではなく、対向基板側に形成し、アレイ基板３０などに形成されたソース信号線１８などと接続してもよい。以上の事項は、本発明の他の実施例においても適用できることは言うまでもない。

【０６８３】

電流駆動方式では、低階調領域においてプログラム電流が小さくなり、書き込み不足が発生することが課題である。この課題の対策のために本発明では、プリチャージ駆動、電圧＋電流駆動、基準電流比制御などを実施する。

【０６８４】

電流駆動で書き込み不足が発生する原因は、図８３に図示するようにソース信号線１８の寄生容量Ｃｓによる影響が大きい。寄生容量Ｃｓはゲート信号線１７とソース信号線１８との交差部などで発生する。

【０６８５】

以下の説明は説明を容易にするために、画素１６の駆動用トランジスタ１１ａがＰチャンネルトランジスタで、かつ吸い込み電流（ソースドライバ回路（ＩＣ）１４に吸い込む電流）で電流プログラムを実施する場合であるとして説明をする。画素１６の駆動用トランジスタ１１ａがＮチャンネルトランジスタの場合あるいは駆動用トランジスタ１１ａを

吐き出し電流（ソースドライバＩＣ１４から吐き出す電流）で電流プログラムを実施する場合は逆の関係にする。逆の関係に変更あるいは読み変えることは当業者であれば容易であるので説明を省略する。

【０６８６】

以下の説明は画素１６の駆動用トランジスタ１１ａがＰチャンネルに限定されるものではない。また、画素構成は図１の画素構成を例示して説明をするが、これに限定するものではなく、他の電流駆動の画素構成であればいずれでもよいことも言うまでもない。なお、以上の事項は、以前あるいはこれ以降に記載する本発明に適用されることはいうまでもない。

【０６８７】

図８３（ａ）に図示するように、黒表示（低階調表示）から白表示（高階調表示）に変化する時は、ソースドライバ回路（ＩＣ）１４がシンク電流で駆動することが主体である。ソースドライバ回路（ＩＣ）１４がプログラム電流Ｉｄ１（Ｉｗ）で寄生容量Ｃｓの電荷を吸い込む。電流を吸い込むことにより、寄生容量Ｃｓの電荷を放電し、ソース信号線１８の電位が低下する。したがって、画素１６の駆動用トランジスタ１１ａのゲート端子電位が低下し、プログラム電流Ｉｗを流すように電流プログラムが行われる。

【０６８８】

白表示（高階調表示）から黒表示（低階調表示）に変化する時は、画素１６の駆動用トランジスタ１１ａの動作が主体である。ソースドライバ回路（ＩＣ）１４は黒表示の電流を出力するが、微小であるため実効的に動作しない。駆動用トランジスタ１１ａが動作し、プログラム電流Ｉｄ２（Ｉｗ）の電位に一致するように寄生容量Ｃｓを充電する。寄生容量Ｃｓに電荷を充電することにより、ソース信号線１８の電位が上昇する。したがって、画素１６の駆動用トランジスタ１１ａのゲート端子電位が上昇し、プログラム電流Ｉｗを流すように電流プログラムが行われる。

【０６８９】

しかし、図８３（ａ）の駆動は低階調領域では電流Ｉｄ１が小さく、また、定電流動作のため、寄生容量Ｃｓの電荷の放電に非常に長時間を必要とする。特に白輝度に到達するまでの時間が長いため白ウインドウ表示で上辺の輝度が所定輝度より低い。そのため、視覚的にめだつ。図８３（ｂ）は駆動用トランジスタ１１ａが非線形動作するため、比較的電流Ｉｄ２が大きい。そのため、Ｃｓの受電時間が比較的はやい。また、特に黒輝度に到達するまでの時間が短いため白ウインドウ表示で下辺の輝度が低下しやすく、視覚的にめだたない。

【０６９０】

プログラム電流の書き込み不足の課題を解決するために、電圧＋電流駆動、突き抜け電圧駆動、ｄｕｔｙ駆動、プリチャージ駆動を実施する。しかし、この方法だけでは、パネルが大型になれば、図８３（ａ）の黒から白表示の実現が困難になる場合がある。この対策として、本発明では、１Ｈの前半にソースドライバ回路（ＩＣ）１４からのプログラム電流を増加させる。なお、後半は正規のプログラム電流Ｉｗを出力する。つまり、所定条件の時は、１Ｈの最初に所定のプログラム電流よりも大きな電流をソース信号線１８に流し、後半に正規のプログラム電流をソース信号線１８に流す。以下この実施例について説明をする。

【０６９１】

以下に説明する駆動方法（駆動装置あるいは駆動方式）を過電流（プリチャージ電流もしくはディスチャージ電流）駆動と呼ぶ。また、過電流（プリチャージ電流もしくはディスチャージ電流）駆動は本発明の他の駆動方式あるいは駆動装置（電圧＋電流駆動、突き抜け電圧駆動、ｄｕｔｙ駆動、プリチャージ駆動など）と組み合すことができることは言うまでもない。また、図８１などの差動信号ＩＦなどの他の実施例と組み合わせることができることも言うまでもない。

【０６９２】

図８４は本発明の過電流（プリチャージ電流もしくはディスチャージ電流）駆動方式を

実施したソースドライバ回路（ＩＣ）１４の説明図である。基本構成は図２２、図２３、図２４、図２６、図２７、図２８、図２８などの構成である。ただし、図示を容易とするため、単位トランジスタ２２４が１個の電流回路はトランジスタ群８４１ａとし、’１’で図示している。以下同様に、単位トランジスタ２２４が２個の電流回路はトランジスタ群８４１ｂとし、’２’で図示している。また、単位トランジスタ２２４が４個の電流回路はトランジスタ群８４１ｃとし、’４’で図示している。単位トランジスタ２２４が８個の電流回路はトランジスタ群８４１ｄとし、’８’で図示している。また、これらのトランジスタ群８４１の１出力段が電流出力回路２５１ｃである。なお、作図を容易にするため、ＲＧＢは各６ビットとしている。

【０６９３】

図８４の構成は、過電流（プリチャージ電流もしくはディスチャージ電流）のプログラム電流を流すトランジスタ群はトランジスタ群８４１ｆとしている。つまり、階調データの最上位ビットのスイッチＤ５をオンオフ制御することにより、過電流（プリチャージ電流もしくはディスチャージ電流）をソース信号線１８に流す。過電流（プリチャージ電流もしくはディスチャージ電流）を流すことにより寄生容量Ｃｓの電荷を短時間で放電させることができる。

【０６９４】

最上位ビットを過電流（プリチャージ電流もしくはディスチャージ電流）制御に使用するのは、以下の理由による。まず、説明を容易にするため、１階調から４階調に変化させるとする。また、階調数は２５６階調（ＲＧＢ各８ビット）とする。

【０６９５】

１階調から白階調に変化させる場合であっても、１階調から中間調以上（１２８階調以上）に変化させる場合は、プログラム電流の書き込み不足は発生しない。プログラム電流が比較的大きく、寄生容量Ｃｓの充放電が比較的早いからである。

【０６９６】

しかし、１階調から中間調以下に変化する場合は、プログラム電流が小さく、１Ｈ期間に寄生容量Ｃｓを十分に充放電させることができない。したがって、１階調から４階調などのように、中間調以下に階調変化させることを改善させる必要がある。この場合に、本発明の過電流（プリチャージ電流もしくはディスチャージ電流）駆動を実施する。

【０６９７】

以上のように変化する階調が中間調以下であるから、プログラム電流の指定に最上位ビットは使用しない。つまり、１階調から変化させる場合、目標の階調は、’０１１１１１’以下である（最上位ビットのスイッチＤ５は絶えずオフ状態である。本発明はたえず、オフ状態の最上位ビットを制御して過電流（プリチャージ電流もしくはディスチャージ電流）駆動を実施する。

【０６９８】

最初の階調（変化前の階調）が１であれば、スイッチＤ０がオンで単位トランジスタ２２４ｃが１個動作する。目標の階調が４であれば、スイッチＤ２が動作し、単位トランジスタ２２４ｃが４個動作する。しかし、単位トランジスタ２２４ｃが４個では十分に寄生容量Ｃｓの電荷を目標値まで放電させることができない。そこで、スイッチＤ５を閉じトランジスタ群８４１ｆを動作させる。なお、Ｄ５スイッチの動作は、Ｄ２スイッチの動作に加えて実施してもよいし（１Ｈの前半をＤ５とＤ２スイッチをオンさせ、後半はＤ２スイッチのみをオンさせる）、１Ｈの前半はスイッチＤ５のみをオンさせ、後半はスイッチＤ２のみをオンさせてもよい。

【０６９９】

スイッチＤ５がオンすれば、単位トランジスタ２２４ｃが３２個動作する。したがって、Ｄ２スイッチのみの動作に比較して３２／４＝８であるから８倍の速度で寄生容量Ｃｓの電荷を放電させることができる。したがって、プログラム電流の書き込み改善が可能である。

【０７００】

スイッチＤ５をオンさせるか否かは、ＲＧＢの映像データごとにコントローラ回路（ＩＣ）７２２で判断する。コントローラ回路（ＩＣ）７２２からは判断ビットＫＤＡＴＡがソースドライバ回路（ＩＣ）１４に印加される。ＫＤＡＴＡは一例として４ビットである。ＫＤＡＴＡ＝０の時は、過電流（プリチャージ電流もしくはディスチャージ電流）駆動は実施しない。ＫＤＡＴＡ＝１の時はプリチャージ駆動（電圧＋電流駆動）を実施する。ＫＤＡＴＡ＝２～１５が過電流（プリチャージ電流もしくはディスチャージ電流）駆動を実施し、ＫＤＡＴＡの大きさは、Ｄ５ビットをオンさせる時間を示す。

【０７０１】

ＫＤＡＴＡはラッチ回路３３１で１Ｈ期間保持される。カウンタ回路３３２はＨＤ（１Ｈの同期信号）でリセットされ、クロックＣＬＫでカウントされる。カウンタ回路３３２とラッチ回路３３１のデータが比較され、カウンタ回路３３２のカウント値が、ラッチ回路３３１のデータ値（ＫＤＡＴＡ）よりも小さいとき、ＡＮＤ回路３３３は内部配線２２２ｂにオン電圧を出力しつづけ、スイッチＤ５のオン状態が維持される。したがって、トランジスタ群８４１ｆの単位トランジスタ２２４ｃの電流が内部配線２２２ａおよびソース信号線１８に流れる。なお、電流プログラム時はスイッチ２２２ｂが閉じ、プリチャージ駆動時は、スイッチ２２１ａが閉じ、スイッチ２２１ｂがオープン状態となる。

【０７０２】

図９１はコントローラＩＣ（回路）７２２の動作の説明図である。ただし、１画素列（ＲＧＢの組）の処理の説明図である。映像データＤＡＴＡ（８ビット×ＲＧＢ）は内部クロックに同期してラッチ回路３５１ａと３５１ｂに２段ラッチされる。したがって、ラッチ回路３５１ｂには、１Ｈ前の映像データが保持され、ラッチ回路３５１ａには現在の映像データが保持される。

【０７０３】

比較回路９１１は１Ｈ前の映像データと現在の映像データを比較し、ＫＤＡＴＡの値を導出する。また、映像データＤＡＴＡはソースドライバ回路（ＩＣ）１４に転送される。また、コントローラ回路（ＩＣ）７２２はカウンタ３３２の上限カウント値ＣＮＴをソースドライバ回路（ＩＣ）１４に転送する。

【０７０４】

ＫＤＡＴＡは比較回路９１１で決定される。決定は、変化前の映像データ（１Ｈ前のデータ）と変化後の映像データ（現在のデータ）から決定される。１Ｈ前のデータとは、現在のソース信号線１８の電位を示す。現在のデータとは、変化させるソース信号線１８の目標電位を示す。

【０７０５】

図８３に図示して説明したように、プログラム電流の書き込みは、ソース信号線１８の電位を考慮して行うことが重要である。書き込み時間ｔは、Ｔ＝ＡＣＶ／Ｉ（Ａ：比例定数、Ｃ：寄生容量の大きさ、Ｖ：変化する電位差、Ｉ：プログラム電流）で表すことができる。したがって、変化する電位差Ｖが大きければ書き込み時間が長くなる。一方、プログラム電流Ｉ＝Ｉｗが大きくすれば書き込み時間は短くなる。

【０７０６】

本発明では、過電流（プリチャージ電流もしくはディスチャージ電流）駆動でＩを大きくする。しかし、いずれの場合でもＩを大きくすると、目標のソース信号線１８電位を越える場合が発生する。したがって、過電流（プリチャージ電流もしくはディスチャージ電流）駆動を実施する場合には、電位差Ｖを考慮する必要がある。現在のソース信号線１８の電位と、次の映像データ（現在の映像データ（次に印加する映像データ＝（変化後：図９２の縦方向））から決定される目標のソース信号線１８電位から、ＫＤＡＴＡを求める。

【０７０７】

ＫＤＡＴＡはＤ５スイッチをオンさせる時間の場合もあるが、過電流（プリチャージ電流もしくはディスチャージ電流）駆動での電流の大きさでもよい。また、Ｄ５スイッチのオン時間（時間が長いほどソース信号線１８に印加する過電流（プリチャージ電流もしく

はディスチャージ電流）印加時間が長くなり、過電流（プリチャージ電流もしくはディスチャージ電流）の実効値が大きくなる）と、過電流（プリチャージ電流もしくはディスチャージ電流）の大きさ（大きさが大きいほどソース信号線１８に印加する過電流（プリチャージ電流もしくはディスチャージ電流）の実効値が大きくなる）の両方を組み合わせてもよい。説明を容易にするため、最初、ＫＤＡＴＡはＤ５スイッチのオン時間であるとして説明をする。

【０７０８】

比較回路９１１は１Ｈ前と変化後（図９２を参照のこと）の映像データを比較してＫＤＡＴＡの大きさを決定する。ＫＤＡＴＡに０以上のデータが設定される場合は以下の条件に合致する場合である。

【０７０９】

１Ｈ前の映像データが低階調領域である場合（０階調以上全階調の１／８以下の領域であることが好ましい。たとえば、６４階調の場合は、０階調以上８階調以下である。）で、かつ、変化後の映像データが中間調領域以下である場合（１階調以上全階調の１／２以下の領域であることが好ましい。

【０７１０】

たとえば、６４階調の場合は、１階調以上３２階調以下の領域である。）にＫＤＡＴＡを設定する。設定するデータは、駆動用トランジスタ１１ａのＶＩ特性カーブを考慮して決定する。ソース信号線１８のＶｄｄ電圧から、０階調目の電圧であるＶ０（完全黒表示）までの電位差は大きい。また、Ｖ０電圧から、１階調目のＶ１までの電位差は大きい。次の２階調目であるＶ２電圧とＶ１電圧までの電位差は、Ｖ０電圧からＶ１電圧までの電位差よりもかなり小さい。以降、Ｖ３とＶ２、Ｖ４とＶ３になるにつれて電位差は小さくなる。以上のように高階調側になるにしたがって、電位差が小さくなるのは、駆動用トランジスタ１１ａのＶＩ特性が非線形であることにほかならない。

【０７１１】

階調間の電位差は、寄生容量Ｃｓの電荷の放電量に比例する。したがって、プログラム電流の印加時間つまり、過電流（プリチャージ電流もしくはディスチャージ電流）駆動では過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄの印加時間と大きさに連動する。たとえば、１Ｈ前のＶ０（階調０）と変化後のＶ１（階調１）の階調差が小さいからといって、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄの印加時間を短くすることはできない。電位差が大きいからである。

【０７１２】

逆に、階調差が大きくとも過電流（プリチャージ電流もしくはディスチャージ電流）を大きくする必要がない場合もある。たとえば、階調１０と階調３２では、階調１０の電位Ｖ１０と階調３２の電位３２の電位差も小さく、階調３２のプログラム電流Ｉｗも大きいため、寄生容量Ｃｓを短時間で充放電できるからである。

【０７１３】

図９２は横軸に１Ｈ前（変化前、つまり現在のソース信号線１８電位を示す）の映像データの階調番号を示している。また、縦軸に現在の映像データの階調番号（変化後、つまり変化させる目標のソース信号線１８電位を示す）を示している。

【０７１４】

０階調目（１Ｈ前）から０階調目（変化後）に変化させるのは、電位変化がないため、ＫＤＡＴＡは０でよい。ソース信号線１８の電位変化がないからである。０階調目（１Ｈ前）から１階調目（変化後）に変化させるのは、Ｖ０電位からＶ１電位に変化させる必要がある。Ｖ１－Ｖ０電圧は大きいから、ＫＤＡＴＡは最高値の１５（例である）に設定する。ソース信号線１８の電位変化が大きいからである。１階調目（１Ｈ前）から２階調目（変化後）に変化させるのは、Ｖ１電位からＶ２電位に変化させる必要があり、Ｖ２－Ｖ１電圧は比較的大きいから、ＫＤＡＴＡは最高値近傍の１２（一例である）に設定する。ソース信号線１８の電位変化が大きいからである。３階調目（１Ｈ前）から４階調目（変化後）に変化させるのは、Ｖ３電位からＶ４電位に変化させる必要がある。しかし、Ｖ４

－Ｖ３電圧は比較的小さいため、ＫＤＡＴＡは小さい値の２に設定する。ソース信号線１８の電位変化が小さくてすみ、寄生容量Ｃｓの充放電が短時間で実施でき、目標のプログラム電流を画素１６に書き込むことができるからである。

【０７１５】

変化前が低階調領域であっても、変化後の階調が中間調以上の場合は、ＫＤＡＴＡの値は０である。変化後の階調に対応するプログラム電流が大きく、１Ｈ期間内にソース信号線１８の電位を目標電位または近傍の電位まで変化させることができるからである。たとえば、２階調から３８階調目に変化させる場合は、ＫＤＡＴＡ＝０である。

【０７１６】

変化後が変化前より低階調の場合において、過電流（プリチャージ電流もしくはディスチャージ電流）駆動は実施しない。３８階調から２階調目に変化させる場合は、ＫＤＡＴＡ＝０である。この場合は、図８３（ｂ）が該当し、主として画素１６の駆動用トランジスタからプログラム電流Ｉｄが寄生容量Ｃｓに供給されるからである。図８３（ｂ）の場合は、過電流（プリチャージ電流もしくはディスチャージ電流）駆動方式は実施せず、電圧＋電流駆動方式あるいはプリチャージ電圧駆動を実施することが好ましい。

【０７１７】

本発明の過電流（プリチャージ電流もしくはディスチャージ電流）駆動方式において、基準電流を増加させる駆動方式あるいは基準電流比とｄｕｔｙを制御する駆動方式と組み合わせることは効果がある。基準電流の増加により、図８４の構成では過電流（プリチャージ電流もしくはディスチャージ電流）も増加させることができるからである。したがって、寄生容量Ｃｓの充放電時間も短くなる。基準電流の大きさあるいは基準電流比の制御により、過電流（プリチャージ電流もしくはディスチャージ電流）駆動方式の過電流（プリチャージ電流もしくはディスチャージ電流）の大きさを制御することができる点も本発明の特徴ある構成である。

【０７１８】

以上のように、ＫＤＡＴＡがコントロールＩＣ（回路）７２２で決定され、ＫＤＡＴＡがソースドライバ回路（ＩＣ）１４に差動信号で伝送される。伝送されたＫＤＡＴＡは図８４のラッチ回路３３１で保持され、Ｄ５スイッチが制御される。

【０７１９】

図９２の表の関係は、マトリックスＲＯＭテーブルを用いてＫＤＡＴＡを設定してもよいが、計算式を用いてコントローラ回路（ＩＣ）７２２の乗算器を用いてＫＤＡＴＡの算出（導出）を行ってもよい。その他、コントローラ回路（ＩＣ）７２２の外部電圧の変化によりＫＤＡＴＡを定めてもよい。また、コントローラ回路（ＩＣ）７２２で実施することに限定されるものではなく、ソースドライバ回路（ＩＣ）１４で実施してもよいことは言うまでもない。

【０７２０】

本発明は、基準電流の大きさによりプログラム電流Ｉｗの大きさが基準電流に比例して変化する。したがって、図８４などの過電流（プリチャージ電流もしくはディスチャージ電流）駆動の過電流（プリチャージ電流もしくはディスチャージ電流）の大きさも基準電流の大きさに比例して変化する。図９２で説明したＫＤＡＴＡの大きさも基準電流の大きさの変化に連動させる必要があることは言うまでもない。つまり、ＫＤＡＴＡの大きさは、基準電流の大きさに連動させるあるいは基準電流の大きさを考慮することが好ましい。

【０７２１】

本発明の過電流（プリチャージ電流もしくはディスチャージ電流）駆動方式の技術的思想は、プログラム電流の大きさ、駆動用トランジスタ１１ａからの出力電流などに対応して過電流（プリチャージ電流もしくはディスチャージ電流）の大きさ、印加時間、実効値を設定するものである。

【０７２２】

比較回路９１１または比較手段などではＲＧＢの映像データごとに比較を実施するが、ＲＧＢデータから輝度（Ｙ値）を求めて、ＫＤＡＴＡを算出してもよいことは言うまでも

ない。つまり、単に、各ＲＧＢで比較するのではなく、色度変化、輝度変化を考慮し、また、階調データの連続性、周期性、変化割合を考慮してＫＤＡＴＡを算出あるいは決定もしくは演算する。また、１画素単位でなく、周辺の画素の映像データもしくは映像データに類するデータを考慮してＫＤＡＴＡを導出してもよいことは言うまでもない。たとえば、画面６４を複数のブロックに分割し、各ブロック内の映像データなどを考慮してＫＤＡＴＡを決定する方式が例示される。

【０７２３】

また、以上の事項は、本発明の表示装置、表示パネルなど他の実施例にも組み合わせて適用できることは言うまでもない。また、Ｎ倍パルス駆動方式（図６など）、Ｎ倍電流駆動画素方式（たとえば、図１９など）、非表示領域分割駆動方式（図１４など）、フィールドシーケンシャル駆動方式（たとえば、図９、図１２など）、電圧＋電流駆動方式（たとえば、図３３、図３４など）、突き抜け電圧駆動方式（明細書の突き抜け電圧に関する事項を参照のこと）、プリチャージ駆動方式（たとえば、図８４など）、複数ライン同時選択駆動方式（たとえば、図１６など）など他の駆動方式と組み合わせて実施できることは言うまでもない。

【０７２４】

図８４などにおいて、Ｄ５スイッチが選択される時間は、１Ｈ（１水平走査期間）の３／４期間以下１／３２期間以上に設定することが好ましい。さらに好ましくは１Ｈ（１水平走査期間）の１／２期間以下１／１６期間以上に設定することが好ましい。過電流（プリチャージ電流もしくはディスチャージ電流）を印加する期間が長いと、正規のプログラム電流を印加する期間が短くなり、電流補償が良好にならない場合がある。

【０７２５】

過電流（プリチャージ電流もしくはディスチャージ電流）を印加する期間が短いと、目標のソース信号線１８の電位まで到達することができない。過電流（プリチャージ電流もしくはディスチャージ電流）駆動では、目標の階調のソース信号線１８電位まで行うことが好ましいのは言うまでもない。しかし、過電流（プリチャージ電流もしくはディスチャージ電流）駆動ののみで完全に目標のソース信号線電位にする必要はない。１Ｈの前半の過電流（プリチャージ電流もしくはディスチャージ電流）駆動後に、正規の電流駆動を実施し、過電流（プリチャージ電流もしくはディスチャージ電流）駆動により生じた誤差は、正規の電流駆動によるプログラム電流で補償されるからである。

【０７２６】

図８５は、過電流（プリチャージ電流もしくはディスチャージ電流）駆動方式を実施した場合の、ソース信号線１８の電位変化を図示している。図８５（ａ）はＤ５スイッチを１／（２Ｈ）期間オン状態にした場合である。１水平走査期間（１Ｈ）の最初であるｔ１よりＤ５スイッチをオンし、３２個分の単位トランジスタ２２４ｃの単位電流が出力端子９３から吸い込まれる。Ｄ５スイッチは１／（２Ｈ）のｔ２期間までの間、オン状態が維持され、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ２がソース信号線１８に流れる。したがって、ソース信号線１８の電位は目標電位のＶｎ電位近傍のＶｍ電位まで低下する。その後（ｔ２後）、Ｄ５スイッチはオフ状態となり、正規のプログラム電流Ｉｗが１Ｈの終了（ｔ３）まで、ソース信号線１８に流れて、ソース信号線１８電位は目標のＶｎ電位となる。

【０７２７】

ソースドライバ回路（ＩＣ）１４は定電流動作する。したがって、ｔ２～ｔ３期間には定電流のプログラム電流Ｉｗが流れる。このプログラム電流Ｉｗにより、寄生容量Ｃｓが目標電位になるまで充放電されると、画素１６の駆動用トランジスタ１１ａから電流Ｉが流れ、ソース信号線１８の電位は目標プログラム電流Ｉｗが流れるように保持される。したがって、駆動用トランジスタ１１ａは所定プログラム電流Ｉｗが流れるように保持される。以上のように、過電流（プリチャージ電流もしくはディスチャージ電流）駆動の過電流（プリチャージ電流もしくはディスチャージ電流）の精度は必要ない。精度がなくとも、画素１６の駆動用トランジスタ１１ａにより補正される。

【０７２８】
図８５（ｂ）はＤ５スイッチを１／（４Ｈ）期間オン状態にした場合である。１水平走査期間（１Ｈ）の最初であるｔ１よりＤ５スイッチをオンし、３２個分の単位トランジスタ２２４ｃの単位電流が出力端子９３から吸い込まれる。Ｄ５スイッチは１／（４Ｈ）のｔ４期間までの間、オン状態が維持され、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ２がソース信号線１８に流れる。したがって、ソース信号線１８の電位は目標電位のＶｎ電位近傍のＶｍ電位まで低下する。その後（ｔ４後）、Ｄ５スイッチはオフ状態となり、正規のプログラム電流Ｉｗが１Ｈの終了（ｔ３）まで、ソース信号線１８に流れて、ソース信号線１８電位は目標のＶｎ電位となる。
【０７２９】
ソースドライバ回路（ＩＣ）１４は定電流動作する。したがって、ｔ４～ｔ３期間には定電流のプログラム電流Ｉｗが流れる。このプログラム電流Ｉｗにより、寄生容量Ｃｓが目標電位になるまで充放電されると、画素１６の駆動用トランジスタ１１ａから電流Ｉが流れ、ソース信号線１８の電位は目標プログラム電流Ｉｗが流れるように保持される。したがって、駆動用トランジスタ１１ａは所定プログラム電流Ｉｗが流れるように保持される。以上のように、過電流（プリチャージ電流もしくはディスチャージ電流）駆動の過電流（プリチャージ電流もしくはディスチャージ電流）の精度は必要ない。精度がなくとも、画素１６の駆動用トランジスタ１１ａにより補正される。
【０７３０】
図８５（ｃ）はＤ５スイッチを１／（８Ｈ）期間オン状態にした場合である。１水平走査期間（１Ｈ）の最初であるｔ１よりＤ５スイッチをオンし、３２個分の単位トランジスタ２２４ｃの単位電流が出力端子９３から吸い込まれる。Ｄ５スイッチは１／（８Ｈ）のｔ５期間までの間、オン状態が維持され、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ２がソース信号線１８に流れる。したがって、ソース信号線１８の電位は目標電位のＶｎ電位近傍のＶｍ電位まで低下する。その後（ｔ５後）、Ｄ５スイッチはオフ状態となり、正規のプログラム電流Ｉｗが１Ｈの終了（ｔ３）まで、ソース信号線１８に流れて、ソース信号線１８電位は目標のＶｎ電位となる。
【０７３１】
以上のように、単位トランジスタ２２４ｃの動作個数と、１つの単位トランジスタ２２４ｃの単位電流の大きさが固定値である。したがって、Ｄ５スイッチのオン時間により、比例して寄生容量Ｃｓの充放電時間を操作することができ、ソース信号線１８の電位を操作することができる。なお、説明を容易にするため、寄生容量Ｃｓを過電流（プリチャージ電流もしくはディスチャージ電流）により充放電させるとしているが、画素１６のスイッチトランジスタなどのリークもあるから、Ｃｓの充放電に限定されるものではない。
【０７３２】
以上のように、過電流（プリチャージ電流もしくはディスチャージ電流）の大きさが単位トランジスタ２２４の動作個数により把握できる点が図８４の本発明の特徴ある構成である。書き込み時間ｔは、Ｔ＝ＡＣＶ／Ｉ（Ａ：比例定数、Ｃ：寄生容量の大きさ、Ｖ：変化する電位差、Ｉ：プログラム電流）で表すことができるから、ＫＤＡＴＡも値も、寄生容量（アレイ設計時に把握できる）、駆動用トランジスタ１１ａのＶＩ特性（アレイ設計時に把握できる）などから理論値にＫＤＡＴＡの値を決定できる。
【０７３３】
図８５の実施例は、最上位ビットＤ５スイッチを操作することにより、過電流（プリチャージ電流もしくはディスチャージ電流）駆動の過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄの大きさ、印加時間を制御するものであった。本発明はこれに限定するものではない。最上位ビット以外のスイッチを操作あるいは制御してもよいことは言うまでもない。
【０７３４】
図８６は、ソースドライバ回路（ＩＣ）１４が各ＲＧＢ８ビット構成である場合において、最上位ビットのスイッチＤ７と最上位ビットから２番目のスイッチＤ６をＫＤＡＴＡ

により制御した構成である。なお、説明を容易にするため、Ｄ７ビットには１２８個の単位トランジスタ２２４ｃが形成または配置されているとし、Ｄ６ビットには６４個の単位トランジスタ２２４ｃが形成または配置されているとする。

【０７３５】

図８６（ａ１）はＤ７スイッチの動作を示している。図８６（ａ２）はＤ６スイッチの動作を示している。図８６（ａ３）はソース信号線１８の電位変化を示している。図８６（ａ）ではＤ７、Ｄ６のスイッチを同時に動作するため、単位トランジスタ２２４ｃは１２８＋６４個が同時に動作し、出力端子９３からソースドライバ回路（ＩＣ）１４に流れ込む。したがって、階調０のＶ０電圧から階調３のＶ３電圧まで高速にソース信号線１８電位を変化させることができる。なお、ｔ２後は、正規のスイッチＤが閉じ、正規のプログラム電流Ｉｗが出力端子９３からソースドライバ回路（ＩＣ）１４に吸い込まれる。

【０７３６】

同様に、図８６（ｂ１）はＤ７スイッチの動作を示している。図８６（ｂ２）はＤ６スイッチの動作を示している。図８６（ｂ３）はソース信号線１８の電位変化を示している。図８６（ｂ）ではＤ７スイッチのみが動作するため、単位トランジスタ２２４ｃは１２８個が同時に動作し、出力端子９３からソースドライバ回路（ＩＣ）１４に流れ込む。したがって、階調０のＶ０電圧から階調２のＶ２電圧まで高速にソース信号線１８電位を変化させることができる。図８６（ａ）より変化速度は小さい。しかし、変化する電位がＶ０からＶ２であるから、適正である。なお、ｔ２後は、正規のスイッチＤが閉じ、正規のプログラム電流Ｉｗが出力端子９３からソースドライバ回路（ＩＣ）１４に吸い込まれる。

【０７３７】

同様に、図８６（ｃ１）はＤ７スイッチの動作を示している。図８６（ｃ２）はＤ６スイッチの動作を示している。図８６（ｃ３）はソース信号線１８の電位変化を示している。図８６（ｃ）ではＤ６スイッチのみが動作するため、単位トランジスタ２２４ｃは６４個が同時に動作し、出力端子９３からソースドライバ回路（ＩＣ）１４に流れ込む。したがって、階調０のＶ０電圧から階調１のＶ１電圧まで高速にソース信号線１８電位を変化させることができる。図８６（ｂ）より変化速度は小さい。しかし、変化する電位がＶ０からＶ１であるから、適正である。なお、ｔ２後は、正規のスイッチＤが閉じ、正規のプログラム電流Ｉｗが出力端子９３からソースドライバ回路（ＩＣ）１４に吸い込まれる。

【０７３８】

以上のようにＫＤＡＴＡにより、スイッチのオン期間だけでなく、複数のスイッチを操作あるいは動作させ、動作させる単位トランジスタ２２４ｃ個数を変化させることにより、適正なソース信号線電位を達成できる。

【０７３９】

図８６では、過電流（プリチャージ電流もしくはディスチャージ電流）駆動によるスイッチＤ（Ｄ６、Ｄ７）をｔ１からｔ２の期間に動作させるとしたが、これに限定するものではなく、図８５に図示あるいは説明したように、ｔ２、ｔ３、ｔ４などのようにＫＤＡＴＡの値によって変化あるいは変更してもよいことは言うまでもない。また、過電流（プリチャージ電流もしくはディスチャージ電流）を印加している期間に基準電流あるいは基準電流の大きさを制御あるいは変更し、過電流（プリチャージ電流もしくはディスチャージ電流）の大きさを調整してもよい。なお、正規のプログラム電流を印加している期間は基準電流あるいは基準電流の大きさは正規の値にする。

【０７４０】

操作するスイッチはＤ７、Ｄ６に限定するものではなく、Ｄ５など他のスイッチも同時にあるいは選択して動作あるいは制御してもよいことは言うまでもない。たとえば、図８８が実施例である。ａ期間の例では、過電流（プリチャージ電流もしくはディスチャージ電流）駆動として１／（２Ｈ）の期間Ｄ７スイッチをオン状態にして、１２８個の単位電流からなる過電流（プリチャージ電流もしくはディスチャージ電流）をソース信号線１８に印加している。

【０７４１】
ｂ期間の例では、過電流（プリチャージ電流もしくはディスチャージ電流）駆動として１／（２Ｈ）の期間Ｄ７、Ｄ６スイッチをオン状態にして、１２８＋６４個の単位電流からなる過電流（プリチャージ電流もしくはディスチャージ電流）をソース信号線１８に印加している。
【０７４２】
ｃ期間の例では、過電流（プリチャージ電流もしくはディスチャージ電流）駆動として１／（２Ｈ）の期間Ｄ７、Ｄ６、Ｄ５スイッチをオン状態にして、１２８＋６４＋３２個の単位電流からなる過電流（プリチャージ電流もしくはディスチャージ電流）をソース信号線１８に印加している。
【０７４３】
ｄ期間の例では、過電流（プリチャージ電流もしくはディスチャージ電流）駆動として１／（２Ｈ）の期間Ｄ７、Ｄ６、Ｄ５スイッチと前記スイッチに該当しない映像データのスイッチ（たとえば、映像データが４であれいば、Ｄ２スイッチ）をオン状態にして、１２８＋６４＋３２＋α個の単位電流からなる過電流（プリチャージ電流もしくはディスチャージ電流）をソース信号線１８に印加している。
【０７４４】
以上の実施例は、過電流（プリチャージ電流もしくはディスチャージ電流）を流す期間が１Ｈの最初からとしたが、本発明はこれに限定するものではない。図８７で（ａ１）（ａ２）では、スイッチを１Ｈの最初のｔ１から１／（２Ｈ）のｔ２まで動作させる方法である。図８７で（ｂ１）（ｂ２）では、スイッチをｔ４から１／（２Ｈ）のｔ５まで動作させる方法である。過電流（プリチャージ電流もしくはディスチャージ電流）の印加時間は図８７（ａ）と同一である。ソース信号線１８の電位は、寄生容量Ｃｓの充放電で規定されるから、過電流（プリチャージ電流もしくはディスチャージ電流）の印加期間がいずれにあっても実効値は等しくなる。ただし、１Ｈの最後は、正規のプログラム電流の印加期間にする必要がある。正規のプログラム電流の印加により、正確な目標電位（駆動用トランジスタ１１ａが精度のよいプログラム電流を流せる）に設定できるからである。
【０７４５】
図８７（ｃ１）（ｃ２）では、スイッチを１Ｈの最初のｔ１から１／（４Ｈ）のｔ４まで動作させ、スイッチを１Ｈのｔ２から１／（４Ｈ）のｔ５まで動作させている。過電流（プリチャージ電流もしくはディスチャージ電流）の印加時間の実効値は図８７（ａ）と同一になる。以上のように、本発明は、過電流（プリチャージ電流もしくはディスチャージ電流）の印加時間は複数に分散してもよい。また、過電流（プリチャージ電流もしくはディスチャージ電流）の印加開始時間は１Ｈの最初からに限定するものではない。
【０７４６】
以上のように本発明の過電流（プリチャージ電流もしくはディスチャージ電流）駆動方法は、過電流（プリチャージ電流もしくはディスチャージ電流）の印加タイミングに限定されるものではない。ただし、該当画素１６の電流プログラムが終了する時点で、プログラム電流が印加されている期間にする必要がある。ただし、画素１６の電流プログラムに精度を必要としない時は、これに限定されることがないことは言うまでもない。つまり、過電流（プリチャージ電流もしくはディスチャージ電流）印加状態で１Ｈ期間が終了してもよい。
【０７４７】
Ｃ期間を変化あるいは調整することにより、階調の変化量（ソース信号線１８電位の変化量）あるいは階調位置（プリチャージ（過電流あるいはプリチャージ電圧）を開始する階調番号、目的の階調番号）に対応して最適な制御を実施できる。
【０７４８】
過電流駆動方法において、図８７（ｄ）に図示するように、プリチャージ期間は、Ｃ＝ａｘ＋ｂとなるように制御してもよい。過電流を印加する期間（または、プリチャージ電圧を印加する期間）Ｃは、ｔ１（基本的には水平走査期間の開示位置（０））と同時また

は、ｔ４の期間から開始し、水平走査期間の終了時刻ｔ３（１Ｈ）より以前のｔ６の期間に終了するように設定される。なお、ｔ６＝ｔ３であれば、図４２の＊Ａの期間となる。

【０７４９】

過電流（プリチャージ電圧）の開始時間ｔ４、終了時間のｔ６は、カウンタにより制御される。カウンタ（図示せず）は、ＲＧＢごとに独立に設けられる。つまり、Ｒのカウンタ、Ｇのカウンタ、Ｂのカウンタがソースドライバ回路（ＩＣ）１４内に形成される。ＲＧＢのカウンタは、同一クロック（ドットクロック）で動作する。ＲＧＢのカウンタは独立に分周周期を設定できる。たとえば、Ｒのカウンタは１ドットクロックで１ずつカウントアップされるが、Ｇのカウンタは２ドットクロックで１ずつカウントアップされ、Ｂのカウンタは３ドットクロックで１ずつカウントアップされる。分周期は、ＲＧＢのカウンタに対してコマンドで設定される。

【０７５０】

ｂの期間は、図８７（ｆ１）（ｆ２）（ｆ３）で共通である。たとえば、図８７（ｆ１）は、階調番号０から階調番号３に変化させる時に実施する過電流（プリチャージ電圧）駆動であり、図８７（ｆ２）は、階調番号０から階調番号４に変化させる時に実施する過電流（プリチャージ電圧）駆動であり、図８７（ｆ３）は、階調番号０から階調番号５に変化させる時に実施する過電流（プリチャージ電圧）駆動である。つまり、図８７（ｆ１）（ｆ２）（ｆ３）で理解できるように、ｂは、過電流（プリチャージ電圧）駆動で共通にする変数である。階調の変化量（ソース信号線１８電位の変化量）あるいは階調位置（プリチャージ（過電流あるいはプリチャージ電圧）を開始する階調番号、目的の階調番号）に対しても一定値である。もちろん、変化させてもよいことは言うまでもない。

【０７５１】

なお、図８７（ｅ）に図示するように、ｂ期間は設定しなくともよい。ｂの開始位置ｔ４はｔ１から開始してもよい。また、ＲＧＢのカウンタにより、カウンタ値によりｔ４位置を可変してもよい。ｔ４位置は、ＲＧＢで共通にしてもよいし、ＲＧＢごとに変化させてもよい。

【０７５２】

ｘは、図８７（ｆ１）（ｆ２）（ｆ３）でも明らかなように、階調の変化量（ソース信号線１８電位の変化量）あるいは階調位置（プリチャージ（過電流あるいはプリチャージ電圧）を開始する階調番号、目的の階調番号）に対応して最適な値に設定する。設定するｘの値は、コントローラ７２２によりソースドライバ回路（ＩＣ）１４に伝送される。ｘの時間は、ソースドライバ回路（ＩＣ）１４内に形成したカウンタにより既定される。カウンタはＲＧＢごとに保有している。たとえば、図８７（ｆ１）は、ｘ＝５と設定された実施例であり、図８７（ｆ２）は、ｘ＝６と設定された実施例であり、図８７（ｆ３）は、ｘ＝７と設定された実施例である。図８７（ｆ１）（ｆ２）（ｆ３）で理解できるように、ｘは、、階調の変化量（ソース信号線１８電位の変化量）あるいは階調位置（プリチャージ（過電流あるいはプリチャージ電圧）を開始する階調番号、目的の階調番号）に対応して設定される値である。ａは、ＲＧＢごとに設定される値である。

【０７５３】

以上のように、過電流を印加する時間あるいは幅をＣ＝ａｘ＋ｂとし、変化あるいは調整する機能を付加することにより、階調あるいは階調変化で、過電流の書き込み時間を調整などすることができ、書き込み不足がなくなり、目的の階調に良好に設定することができる。また、ＲＧＢでＥＬ素子１５の発光効率が異なり、同一階調であっても、ＲＧＢでプログラム電流の大きさが異なることによるホワイトバランスずれが発生するという課題を解決できる。

【０７５４】

また、ＲＧＢごとに独立して、Ｃ＝ａｘ＋ｂの定数、ｘの長さを可変あるいは設定できるように構成してもよいことは言うまでもない。たとえば、図８７（ｄ）において、Ｒではａの値を２とし、Ｇではａの値を３とし、Ｂではａの値を１．５と設定する方式が例示される。また、図８７（ｄ）において、Ｒではｂの値を０（μｓｅｃ）とし、Ｇではａの

値を３（μｓｅｃ）とし、Ｂではａの値を２．５（μｓｅｃ）と設定する方式が例示される。

【０７５５】

以上の事項は、図８４から図１１１の過電流駆動方法だけに適用されるものではない。図４１、図４２、図４５、図４６のＡ期間（プリチャージ電圧印加期間）にも適用できる。つまり、Ａ＝ａｘ＋ｂとし、図３３～図６３の駆動方式に適用できることは言うまでもない。

【０７５６】

なお、図８６、図８７などで説明したプリチャージを印加する幅（Ｃ＝ａｘ＋ｂ）は、パネル温度、点灯率、ｄｕｔｙ比、基準電流比などに対応して変化あるいは調整してもよいことは言うまでもない。ａｘ＋ｂと一次方程式に限定するものではない。２次多項式あるいは、多次元多項式として実施してもよいことは言うまでもない。

【０７５７】

プリチャージを印加する期間（Ｃ＝ａｘ＋ｂ）において、ＲＧＢごとに、基準電流を変化させてもよい。図２９、図３０で図示するように、ＲＧＢの基準電流はＲ１（Ｒ１ｒ、Ｒ１ｇ、Ｒ１ｂ）で設定あるいは調整され、Ｒ回路（トランジスタ（群）２２８ｂ１、２５１ｃ）には基準電流Ｉｃｒ、Ｇ回路（トランジスタ（群）２２８ｂ１、２５１ｃ）には基準電流Ｉｃｇ、Ｂ回路（トランジスタ（群）２２８ｂ１、２５１ｃ）には基準電流Ｉｃｂが印加される。図２９、図３０の基準電流Ｉｃ発生回路と同様あるいは類似のプリチャージ基準電流Ｉｐ発生回路をソースドライバＩＣ１４内に形成する。プリチャージ基準電流Ｉｐは、外付け抵抗Ｒ１と同様に、外付け抵抗Ｒｐ（図示せず）で調整あるいは設定する。

【０７５８】

ソースドライバＩＣ１４内には、プリチャージ基準電流Ｉｐを選択して、トランジスタ２２８１ｂ１に印加するか、基準電流Ｉｃを選択して、トランジスタ２２８１ｂ１に印加するかを選択するスイッチＳｐ（Ｒ用はＳｐｒ、Ｇ用はＳｐｇ、Ｂ用はＳｐｂ、ともに図示せず）が形成または構成されている。プリチャージを印加する期間（Ｃ＝ａｘ＋ｂ）において、スイッチＳｐはプリチャージ基準電流Ｉｐを選択して、トランジスタ２２８１ｂ１に印加するように動作する。プリチャージを印加する期間（Ｃ＝ａｘ＋ｂ）以外において、スイッチＳｐは基準電流Ｉｃを選択して、トランジスタ２２８１ｂ１に印加するように動作する。プリチャージ基準電流Ｉｐ　＞　基準電流Ｉｃなる関係とすることにより、Ｃ期間を短縮できる。

【０７５９】

以上にように、Ｃ期間には、プリチャージ基準電流Ｉｐを使用し、Ｃ期間以外では、正規の基準電流Ｉｃを使用する。このように構成あるいは制御することにより、より良好な過電流駆動あるいはプリチャージ電圧駆動を実現できる。

【０７６０】

なお、Ｃ期間にプリチャージ基準電流Ｉｐを使用し、プリチャージ基準電流Ｉｐを、階調の変化量（ソース信号線１８電位の変化量）あるいは階調位置（プリチャージ（過電流あるいはプリチャージ電圧）を開始する階調番号、目的の階調番号）に対応して設定あるいは調整できる構成では、Ｃ期間は一定値（固定値）としてもよいことは言うまでもない。

【０７６１】

また、プリチャージ基準電流Ｉｐ（Ｉｐｒ、Ｉｐｇ、Ｉｐｂ）はＲＧＢで共通に設定あるいは調整してもよいことは言うまでもない。また、プリチャージ基準電流Ｉｐは、階調の変化量（ソース信号線１８電位の変化量）あるいは階調位置（プリチャージ（過電流あるいはプリチャージ電圧）を開始する階調番号、目的の階調番号）に対応して設定あるいは調整してもよい。また、プリチャージ基準電流Ｉｐは、パネル温度、点灯率、ｄｕｔｙ比、基準電流比などに対応して変化あるいは調整してもよいことは言うまでもない。調整あるいは設定は、コントローラＩＣ７２２で演算し、ソースドライバＩＣ１４に伝送し、

電子ボリウム２９１などを動作させて実施する。

【０７６２】

以上の事項は本発明の他の実施例（表示パネル、表示装置、駆動方法など）にも、適用あるいは組み合わせることができることは言うまでもない。

【０７６３】

本発明の過電流（プリチャージ電流もしくはディスチャージ電流）駆動では過電流（プリチャージ電流もしくはディスチャージ電流）をソース信号線１８に流す動作が重要であって、過電流（プリチャージ電流もしくはディスチャージ電流）を発生するものが単位トランジスタ２２４ｃに限定されるものではない。たとえば、出力端子９３に接続されて定電流回路、可変電流回路を形成または構成し、これらの電流回路を動作させて過電流（プリチャージ電流もしくはディスチャージ電流）を発生させてもよいことは言うまでもない。

【０７６４】

図８４はソースドライバ回路（ＩＣ）１４の階調表示に用いる（電流プログラム駆動に用いる）構成物あるいは構造を過電流（プリチャージ電流もしくはディスチャージ電流）駆動に用いるものであった。本発明はこれに限定するものではない。図８９に図示するように、過電流（プリチャージ電流もしくはディスチャージ電流）駆動に用いる過電流（プリチャージ電流もしくはディスチャージ電流）発生用の過電流（プリチャージ電流もしくはディスチャージ電流）トランジスタ８９１を別途形成または構成してもよい。

【０７６５】

過電流（プリチャージ電流もしくはディスチャージ電流）トランジスタ８９１は、単位トランジスタ２２４ｃと同一サイズにし、この単位トランジスタ２２４を複数個形成して構成してもよい。また、単位トランジスタ２２４ｃとサイズあるいはＷＬ比、ＷＬの形状を異ならせてもよい。ただし、すべての出力段で同一にする。

【０７６６】

図８９では過電流（プリチャージ電流もしくはディスチャージ電流）トランジスタ８９１のゲート端子電位は、単位トランジスタ２２４ｃのゲート端子電位と同一にした。同一にすることにより、基準電流比制御により、過電流（プリチャージ電流もしくはディスチャージ電流）トランジスタ８９１から出力する過電流（プリチャージ電流もしくはディスチャージ電流）の大きさを容易に制御することができる。また、過電流（プリチャージ電流もしくはディスチャージ電流）トランジスタ８９１のサイズなどの出力過電流（プリチャージ電流もしくはディスチャージ電流）が予測できるため設計が容易になる。しかし、本発明はこれに限定するものではない。過電流（プリチャージ電流もしくはディスチャージ電流）トランジスタ８９１のゲート端子電位は単位トランジスタ２２４ｃと別の端子電位となるように構成してもよい。別になるように構成した過電流（プリチャージ電流もしくはディスチャージ電流）トランジスタ８９１のゲート端子電位を操作することにより、過電流（プリチャージ電流もしくはディスチャージ電流）の大きさを制御することができる。

【０７６７】

過電流（プリチャージ電流もしくはディスチャージ電流）トランジスタ８９１のドレイン端子（Ｄ）を単位トランジスタ２２４ｃのドレイン（Ｄ）端子と分離して、印加する電圧を制御あるいは調整してもよい。ドレイン端子電位の調整あるいは制御によっても過電流（プリチャージ電流もしくはディスチャージ電流）トランジスタ８９１から出力される過電流（プリチャージ電流もしくはディスチャージ電流）の大きさを調整あるいは制御することができる。

【０７６８】

以上のことは、本発明の他の実施例においても適用できる。たとえば、図８４においても、ドレイン端子の電位を制御あるいは調整することにより過電流（プリチャージ電流もしくはディスチャージ電流）の大きさを調整あるいは制御することができる。

【０７６９】

図８９では、２２２ｂに印加する信号によりスイッチＤｃをオンオフ制御し、本発明の過電流（プリチャージ電流もしくはディスチャージ電流）駆動を実現する。図８９の構成を採用することにより、映像データの大きさに左右されずに、過電流（プリチャージ電流もしくはディスチャージ電流）駆動を実施することができる。

【０７７０】

特に、図８４、図８９で説明した過電流（プリチャージ電流もしくはディスチャージ電流）駆動は、電圧＋電流駆動（プリチャージ駆動）と組み合わせて実施することが好ましい。図９３はその実施例の説明図である。図９３において、映像データとは画素１６に書き込まれる階調の変化（映像データの変化）を示している。ソース信号線電位とはソース信号線１８の電位変化を示している。また、階調数は２５６階調の場合である。

【０７７１】

映像データが２５５（白）階調から０階調に変化する場合は、図８３（ｂ）の状態である。この場合は、まず、ソース信号線１８にプリチャージ電圧が印加される。画素１６の駆動用トランジスタ１１ａのプログラム電流Ｉｗが０であるから、電流が流れないように、ゲート端子電位がＶｄｄ電圧方向に上昇する。なお、０階調では突き抜け電圧駆動により、完全に黒表示状態にする。過電流（プリチャージ電流もしくはディスチャージ電流）駆動は実施しない。

【０７７２】

映像データが０（黒）階調から２階調に変化する場合は、図８３（ａ）の状態である。この場合は、まず、ソース信号線１８に過電流（プリチャージ電流もしくはディスチャージ電流）がｔ３からｔ４の期間印加される。画素１６の駆動用トランジスタ１１ａは、一般的に動作しない。ｔ４からｔ５の期間ではプログラム電流駆動が行われる。過電流（プリチャージ電流もしくはディスチャージ電流）駆動により、ソース信号線１８の電位が低下しすぎている場合は、画素１６の駆動用トランジスタ１１ａが動作し、図９３に示すようにソース信号線１８の電位をアノード電圧側に上昇させてＶ２電圧になる。

【０７７３】

以上の動作により駆動用トランジスタ１１ａのゲート端子電圧はＶ２電圧になり、精度のよいプログラム電流をＥＬ素子１５に流すことができる。

【０７７４】

映像データが２階調から１６階調に変化する場合の比較的低階調領域でプログラム電流が小さい。動作は図８３（ａ）の状態である。この場合は、まず、ソース信号線１８に過電流（プリチャージ電流もしくはディスチャージ電流）がｔ５からｔ６の期間印加される。画素１６の駆動用トランジスタ１１ａは、一般的に動作しない。ｔ６からｔ７の期間ではプログラム電流駆動が行われる。過電流（プリチャージ電流もしくはディスチャージ電流）駆動により、ソース信号線１８の電位が適正な場合は、図９３に図示するようにソース信号線１８の電位は変化しない。つまり、画素１６の駆動用トランジスタ１１ａも動作しない。ソース信号線１８の電位が目標値よりも低い場合は、ｔ６からｔ７の期間にソースドライバ回路（ＩＣ）１４がプログラム電流を引き込み、目標のソース信号線１８電位になる。

【０７７５】

以上の動作により、図９３に示すようにソース信号線１８の電位を駆動用トランジスタ１１ａのゲート端子電圧はＶ１６電圧になり、精度のよいプログラム電流をＥＬ素子１５に流すことができる。

映像データが１６階調から９０階調に変化する場合はプログラム電流が大きい。動作は図８３（ａ）の状態である。この場合は、ｔ７からｔ８の全期間に渡り、プログラム電流駆動が行われる。つまり、プリチャージ電圧駆動、過電流（プリチャージ電流もしくはディスチャージ電流）駆動は実施されない。以上のように、本発明は、階調データの変化割合、変化前の大きさによりＫＤＡＴＡ値が変化させ、また、駆動方法を変更する。

【０７７６】

以下、図面を参照しながら、本発明の他の実施例について説明をする。図９６は、本発

明の過電流（プリチャージ電流もしくはディスチャージ電流）駆動方式の他の実施例である。図８９では過電流トランジスタ８９１は１つであった。図９６では、過電流トランジスタ８９１は複数個形成または配置しており、過電流トランジスタ８９１のゲート端子はトランジスタ２５１ｃと別のゲート配線と接続をしている。

【０７７７】

図９６のように構成することにより、過電流（プリチャージ電流もしくはディスチャージ電流）の大きさを基準電流Ｉｃの大きさに制約されず、自由に設定あるいは調整することができる。また、複数の過電流（プリチャージ電流もしくはディスチャージ電流）トランジスタ８９１から構成することにより、スイッチＤＣにより過電流（プリチャージ電流もしくはディスチャージ電流）の大きさを自由に設定できる。

【０７７８】

過電流トランジスタ８９１は、ＲＧＢ回路で共通にしている。Ｒの基準電流Ｉｃｒであり、ＩｃｒはＲ（赤）の基準電流の設定値ＩＲＤＡＴＡで変更あるいは調整される。同様にＧの基準電流Ｉｃｇであり、ＩｃはＧ（緑）の基準電流の設定値ＩＧＤＡＴＡで変更あるいは調整される。また、Ｂの基準電流Ｉｃｂであり、ＩｃｂはＢ（青）の基準電流の設定値ＩＢＤＡＴＡで変更あるいは調整される。

【０７７９】

一方、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄは、ＲＧＢで共通である。つまり、Ｒの出力段回路のＩｄ（図９６などを参照のこと）と、Ｇの出力段回路のＩｄ、Ｂの出力段回路のＩｄは同一である。Ｉｄの大きさおよび／またはＩｄの変化タイミングは過電流（プリチャージ電流もしくはディスチャージ電流）の設定データＩＫＤＡＴＡ４ビットによりコントローラ回路（ＩＣ）７２２で設定される。このＩｄが図９６に図示するように１つのトランジスタ２２８ｄまたは複数のトランジスタ２２８ｄから構成されるトランジスタ群からなるカレントミラーの親回路に流れる。なお、図９６では、トランジスタ２２８ｄは１つとして図示しているが、複数のトランジスタ２２８ｄで構成あるいは形成してもよいことは言うまでもない。

【０７８０】

図８９では、ＲＧＢ回路で個別にプログラム電流の大きさを設定することができる。しかし、過電流（プリチャージ電流もしくはディスチャージ電流）はＲＧＢ個別に設定することは好ましくない。図８３で説明したように、過電流（プリチャージ電流もしくはディスチャージ電流）は寄生容量Ｃｓの充放電を制御するものだからである。寄生容量ＣｓはＲＧＢにおいてソース信号線１８では同一である。したがって、ＲＧＢの過電流（プリチャージ電流もしくはディスチャージ電流）が異なっていれば、図９８に図示するように、過電流（プリチャージ電流もしくはディスチャージ電流）の書き込み速度がことなり、１Ｈ終了時のソース信号線電位が異なってしまう。

【０７８１】

図９８では、一点鎖線のＢの過電流（プリチャージ電流もしくはディスチャージ電流）が最も大きい。したがって、１Ｈの期間で階調０に相当するＶ０電圧から階調２に相当するＶ２電圧に達している。点線のＧの過電流（プリチャージ電流もしくはディスチャージ電流）が最も小さい。したがって、１Ｈの期間では、階調０に相当するＶ０電圧から階調２に相当するＶ２電圧には到達しない。Ｒは実線で示す。図９８に図示するように、ＧとＢの中間状態である。以上のような状態では、１Ｈ後は、ホワイトバランスがずれていることになる。ただし、図９８は低階調の領域であるので、ホワイトバランスがずれていても実用上は問題ない。

【０７８２】

寄生容量をＲＧＢで異ならせれば、図９８で説明した課題を解決できることは言うまでもない。つまり、図９８の状態では、Ｒのソース信号線１８の寄生容量Ｃｓを、Ｇのソース信号線１８の寄生容量Ｃｓよりも大きくする。また、Ｂのソース信号線１８の寄生容量Ｃｓを、Ｒのソース信号線１８の寄生容量Ｃｓよりも大きくする。寄生容量Ｃｓを大きくする方法として、ＲＧＢごとにソース信号線１８端にコンデンサをポリシリコン回路で形

成あるいは構成する方式が例示される。

【０７８３】

また、ＲＧＢでソース信号線１８の寄生容量を小さくする構成も例示される。Ｇのソース信号線１８の寄生容量Ｃｓを、Ｒのソース信号線１８の寄生容量Ｃｓよりも小さくする。また、Ｒのソース信号線１８の寄生容量Ｃｓを、Ｂのソース信号線１８の寄生容量Ｃｓよりも小さくする。寄生容量Ｃｓを小さくする方式として、ＲＧＢごとにソース信号線１８の配線幅を変化させる構成が例示される。

【０７８４】

ソース信号線１８の幅が狭くなれば、寄生容量Ｃｓの大きさは小さくなる。電流駆動方式では、ソース信号線１８に流れる電流はμＡオーダーである。したがって、ソース信号線１８幅が細く、ソース信号線１８の抵抗値が高くとも電流駆動方法を実現することに支障はない。

【０７８５】

以上のように、本発明では、ＲＧＢのソース信号線１８のうち１つ以上の寄生容量Ｃｓを、他のソース信号線１８の寄生容量Ｃｓと異ならせたものである。また、その実現には、ソース信号線１８の線幅を変化させる構成が例示される。容量となるコンデンサを作製あるいは配置し、該当ソース信号線１８に電気的に接続させる構成が例示される。

【０７８６】

０階調に該当するＶ０電圧は、画素１６の駆動用トランジスタ１１ａによって決定される。通常、駆動用トランジスタ１１ａは、ＲＧＢで共通のサイズあるいは大きさである。したがって、ＲＧＢではＶ０電圧は一致している。寄生容量Ｃｓの充放電はＶ０電圧を基準になる場合が多い。

【０７８７】

ＲＧＢ回路で過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄを共通にすることにより、図９８に図示ように各ＲＧＢでソース信号線１８の充放電曲線が異なることはない。つまり、過電流（プリチャージ電流もしくはディスチャージ電流）ＩｄはＲＧＢで同一にすることが好ましい。

【０７８８】

過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄの調整回路は、電子ボリウム回路２９１ｂで行う。電子ボリウム２９１ｂはＩＫＤＡＴＡにより、フレームごとあるいは画素行ごとに変化あるいは変更できる。また、画面６４を複数領域に分割し、分割した領域ごとに電子ボリウム２９１ｂを配置し、分割した領域ごとに電流Ｉｄを変化あるいは調整する構成も例示される。以上の事項は、基準電流Ｉｃの電子ボリウム回路２９１ａなどにも適用できることは言うまでもない。

【０７８９】

図９５（ａ）は、本発明のソースドライバ回路（ＩＣ）１４における過電流（プリチャージ電流もしくはディスチャージ電流）回路の構成例である。トランジスタ２２８ｄと過電流トランジスタ８９１とはカレントミラー回路を構成している。過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｋの大きさは２つのスイッチＤｃで制御される。スイッチＤｃ０は１個の過電流トランジスタ８９１が接続されており、スイッチＤｃ１は２個の過電流トランジスタ８９１が接続されている。

【０７９０】

過電流トランジスタ８９１は図１５などで説明した単位トランジスタ２２４と同一の構成である（同一の技術思想で形成あるいは構成されている）。したがって、過電流トランジスタ８９１の構成あるいは説明は、単位トランジスタ２２４で説明した事項がそのままあるいは準用される。したがって、説明を省略する。

【０７９１】

プリチャージ電圧Ｖｐｃを出力端子９３に印加するスイッチＤｐの制御と、過電流（プリチャージ電流もしくはディスチャージ電流）を出力端子９３に印加するスイッチＤｃの制御は２ビットで制御される。このビットをＫビット（１ビット目）、Ｐビット（０ビッ

ト目：ＬＳＢ）とする。したがって、４つの状態を制御できる。

【０７９２】

４つの状態を図９５（ｂ）の表に図示している。（Ｋ、Ｐ）＝０の時、（Ｄｐ、Ｄｃ０、Ｄｃ１）＝（０、０、０）に制御される。なお、０はスイッチがオープン状態、１はスイッチがクローズ状態を示す。

【０７９３】

（Ｋ、Ｐ）＝０の時、プリチャージ電圧（プログラム電圧）制御スイッチＤｐはオープンであり、過電流制御スイッチＤｃもオープンである。したがって、出力端子９３からはプリチャージ電圧も過電流（プリチャージ電流もしくはディスチャージ電流）も出力（印加）されない。

【０７９４】

（Ｋ、Ｐ）＝１の時、（Ｄｐ、Ｄｃ０、Ｄｃ１）＝（１、０、０）に制御される。プリチャージ電圧（プログラム電圧）制御スイッチＤｐはクローズ（ｃｌｏｓｅ）状態であり、過電流制御スイッチＤｃは両方ともオープン状態である。したがって、出力端子９３からはプリチャージ電圧Ｖｐｃが出力されるが、過電流（プリチャージ電流もしくはディスチャージ電流）は出力（印加）されない。

【０７９５】

（Ｋ、Ｐ）＝２の時、（Ｄｐ、Ｄｃ０、Ｄｃ１）＝（０、１、０）に制御される。プリチャージ電圧（プログラム電圧）制御スイッチＤｐはオープン（ｏｐｅｎ）状態であり、過電流制御スイッチＤｃはＤｃ０がクローズ状態であり、Ｄｃ１はオープン状態である。したがって、出力端子９３からはプリチャージ電圧Ｖｐｃは出力されない。また、過電流（プリチャージ電流もしくはディスチャージ電流）は１つ分の過電流トランジスタ８９１の出力電流がソース信号線１８に印加される。

【０７９６】

（Ｋ、Ｐ）＝３の時、（Ｄｐ、Ｄｃ０、Ｄｃ１）＝（０、０、１）に制御される。プリチャージ電圧（プログラム電圧）制御スイッチＤｐはオープン（ｏｐｅｎ）状態であり、過電流制御スイッチＤｃはＤｃ０、Ｄｃ１がクローズ状態である。したがって、出力端子９３からはプリチャージ電圧Ｖｐｃは出力されない。また、過電流（プリチャージ電流もしくはディスチャージ電流）は２つ分の過電流トランジスタ８９１の出力電流がソース信号線１８に印加される。

【０７９７】

以上のように、２ビットの信号（Ｋ、Ｐ）により、プリチャージ電圧、過電流（プリチャージ電流もしくはディスチャージ電流）を制御することができる。

【０７９８】

図９５（ｂ）では、（Ｋ、Ｐ）のデコード回路が必要である。デコード回路を不要にした構成表を図９４に図示する。図９４において、Ｋ０、Ｋ１は過電流（プリチャージ電流もしくはディスチャージ電流）を制御するスイッチの信号である。Ｋ０はＤｃ０をオープン、クローズを制御するビットである。Ｋ１はＤｃ１をオープン、クローズを制御するビットである（図９５（ａ）を参照のこと）。図９４において、Ｐはプリチャージ電圧を制御するスイッチの信号である。Ｄｐをオープン、クローズを制御するビットである（図９５（ａ）を参照のこと）。

【０７９９】

（Ｐ、Ｋ０、Ｋ１）＝（０、０、０）の時、（Ｄｐ、Ｄｃ０、Ｄｃ１）＝（０、０、０）に制御される。プリチャージ電圧（プログラム電圧）制御スイッチＤｐはオープン（ｏｐｅｎ）状態であり、過電流制御スイッチはＤｃ０、Ｄｃ１もオープン状態である。したがって、出力端子９３からはプリチャージ電圧Ｖｐｃは出力されない。また、過電流（プリチャージ電流もしくはディスチャージ電流）も出力されない。

【０８００】

（Ｐ、Ｋ０、Ｋ１）＝（１、０、０）の時、（Ｄｐ、Ｄｃ０、Ｄｃ１）＝（１、０、０）に制御される。プリチャージ電圧（プログラム電圧）制御スイッチＤｐはクローズ（ｃ

ｌｏｓｅ）状態であり、過電流制御スイッチはＤｃ０、Ｄｃ１もオープン状態である。したがって、出力端子９３からはプリチャージ電圧ＶｐｃとＩｐｃが出力されるが、過電流（プリチャージ電流もしくはディスチャージ電流）は出力されない。

【０８０１】

たとえば、（Ｐ、Ｋ０、Ｋ１）＝（１、１、１）の時、（Ｄｐ、Ｄｃ０、Ｄｃ１）＝（１、１、１）に制御される。プリチャージ電圧（プログラム電圧）制御スイッチＤｐはクローズ（ｃｌｏｓｅ）状態であり、過電流制御スイッチはＤｃ０、Ｄｃ１もクローズ状態である。したがって、出力端子９３からはプリチャージ電圧Ｖｐｃと過電流（プリチャージ電流もしくはディスチャージ電流）が出力される。

【０８０２】

以下、同様に（Ｐ、Ｋ０、Ｋ１）の値に応じて、プリチャージ電圧（プログラム電圧）制御スイッチＤｐと、過電流制御スイッチはＤｃ０、Ｄｃ１が独立に制御される。したがって、プリチャージ電圧印加と過電流（プリチャージ電流もしくはディスチャージ電流）印加を同時に実施できる。

【０８０３】

図９４、図９５において、スイッチ（Ｄｐ、Ｄｃ０、Ｄｃ１）をクローズさせるビットを付加することによりさらに精度のよい過電流（プリチャージ電流もしくはディスチャージ電流）、プリチャージ電圧の制御を実施することができることは言うまでもない。

【０８０４】

図９６は、過電流（プリチャージ電流もしくはディスチャージ電流）を制御するスイッチを３ビットにした実施例である。Ｄｃ０スイッチのオン（クローズ）により、１つの過電流トランジスタ８９１の電流がソース信号線１８に印加される。Ｄｃ１スイッチのオン（クローズ）により、２つの過電流トランジスタ８９１の電流がソース信号線１８に印加される。Ｄｃ２スイッチのオン（クローズ）により、４つの過電流トランジスタ８９１の電流がソース信号線１８に印加される。同様に、Ｄｃ０、Ｄｃ１、Ｄｃ２スイッチのオン（クローズ）により、７つの過電流トランジスタ８９１の電流がソース信号線１８に印加される。

【０８０５】

図９６において、出力端子９３に過電流（プリチャージ電流もしくはディスチャージ電流）を印加している期間は、ソースドライバ回路（ＩＣ）１４の端子６４３に印加する信号のｔｄ期間により制御する。ｔｄ期間とはスイッチ２２１ｃをオン（クローズ）させる期間である。

【０８０６】

ｄ期間の制御は、ソースドライバ回路（ＩＣ）１４内部に構成あるいは形成したカウンタ回路（図示せず）により実施してもよい。

【０８０７】

図９５、図９６、図８９では、各スイッチＤｃに単位過電流（プリチャージ電流もしくはディスチャージ電流）を流す複数の過電流トランジスタなどで構成するとしたが、本発明はこれに限定するものではない。たとえば、図９７（ｂ）に図示するように、各スイッチＤｃに１つの過電流トランジスタ８９１を形成または配置してもよいことは言うまでもない。図９７（ｂ）において、スイッチＤｃ０には１つの過電流トランジスタ８９１ａが配置または形成されている。スイッチＤｃ１にも１つの過電流トランジスタ８９１ｂが配置または形成されている。また、スイッチＤｃ２には１つの過電流トランジスタ８９１ｃが配置または形成されている。過電流トランジスタ８９１ａ～８９１ｃは出力する過電流（プリチャージ電流もしくはディスチャージ電流）の大きさを異ならせている。過電流（プリチャージ電流もしくはディスチャージ電流）の大きさは、過電流トランジスタ８９１のＷＬ比あるいはサイズ、形状によって容易に調整あるいは設計できる。もちろん、図９７（ａ）に図示するように、各ビットをビットに対応する個数の過電流トランジスタ８９１を形成または配置してもよい。

【０８０８】

図１０１では、基準電流Ｉｃと過電流（プリチャージ電流もしくはディスチャージ電流）の基準電流Ｉｄは、電子ボリウム２９１に入力されるＩＤＡＴＡにより変化する。基準電流Ｉｃと過電流（プリチャージ電流もしくはディスチャージ電流）の基準電流Ｉｄの大きさの比率は、基準電流Ｉｃを流すトランジスタ２２８ａと過電流（プリチャージ電流もしくはディスチャージ電流）の基準電流Ｉｄを流すトランジスタ２２８ｃの形状などを異ならせることにより実現する。

【０８０９】

図１０１では、基準電流Ｉｃを流すトランジスタ２２８ａは１個であり、過電流（プリチャージ電流もしくはディスチャージ電流）の基準電流Ｉｄを流すトランジスタ２２８ｃは４個であるから、トランジスタ２２８ａとトランジスタ２２８ｃが同一形状の場合でも、基準電流Ｉｃ×４＝基準電流Ｉｄの関係を構成できる。

【０８１０】

図１０１では、スイッチＤｃに対応する過電流トランジスタ８９１を４つ形成または配置されている。小さい過電流（プリチャージ電流もしくはディスチャージ電流）を流す複数の過電流トランジスタ８９１で出力段を構成することにより出力バラツキが減少させることができる。以上のことは図１５などでも説明をしているので説明を省略する。

【０８１１】

図１０１では図９６に図示するように内部配線２２２ｂに印加するオンオフ信号によりスイッチＤｃを時間制御し、出力端子９３から出力する実効電流を制御している。また、スイッチ２２１ａと２２１ｂはオンオフ状態を反対の関係としている。したがって、プリチャージ電圧Ｖｐｃが出力端子９３に印加されている時は、過電流（プリチャージ電流もしくはディスチャージ電流）が出力端子９３に印加されないように制御されている。

【０８１２】

図１０２は８ビットのソースドライバ回路（ＩＣ）１４において、プログラム電流Ｉｗ（Ｄ０～Ｄ７のスイッチのオンオフ状態により発生する）と、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ（説明を容易するため、トランジスタ２２８ｄと過電流トランジスタ８９１はカレントミラー比１のカレントミラー回路を構成しているとし、過電流（プリチャージ電流もしくはディスチャージ電流）の基準電流Ｉｄと同一の過電流（プリチャージ電流もしくはディスチャージ電流）が出力端子９３に印加されるとする）との発生関係あるいはその状態もしくは駆動方法を説明するための説明図である。

【０８１３】

図１０２（ａ）は過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄの印加している状態である。過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄは、１Ｈの１／（２Ｈ）期間など一定の期間印加される。ただし、１Ｈの１／（２Ｈ）期間というのは一実施例であり、これに限定するものではない。制御信号などにより１Ｈの１／（２Ｈ）期間、１Ｈの１／（４Ｈ）期間、１Ｈの２／（３Ｈ）期間、１Ｈの１／（８Ｈ）期間など切り換えできるように構成することが好ましいことは言うまでもない。図１０２（ｂ）は過電流（プリチャージ電流もしくはディスチャージ電流）印加時間後の状態である。図１０２（ｂ）は一例として、データＤ（Ｄ７～Ｄ０）が”１０００００００１”つまり、Ｄ７ビットとＤ０ビットがオン（クローズ）状態でのプログラム電流Ｉｗの出力状態を示している。

【０８１４】

以上のように、図１０２の実施例では、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄを印加している状態と、プログラム電流Ｉｗの出力状態とは独立している。

【０８１５】

図１０３（ａ）は過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄの印加している状態である。過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄは、１Ｈの１／（２Ｈ）期間など一定の期間印加される。

【０８１６】

ただし、図１０２で説明したように、１Ｈの１／（２Ｈ）期間というのは一実施例であり、これに限定するものではない。制御信号などにより１Ｈの１／（２Ｈ）期間、１Ｈの１／（４Ｈ）期間、１Ｈの２／（３Ｈ）期間、１Ｈの１／（８Ｈ）期間など切り換えできるように構成することが好ましいことは言うまでもない。

【０８１７】

また、映像データの大きさ、１画面の映像データの総和の大きさ、１Ｈ前のソース信号線１８電位の大きさ、各フレームの画像状態の変化、静止画あるいは動画などの画像の性質などにより、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄの印加時間などは変化あるいは変更もしくは制御してもよいことは言うまでもない。以上の事項は本発明の他の実施例にも適用できることは言うまでもない。

【０８１８】

図１０３（ａ）ではプログラム電流Ｉｗを発生させるスイッチＤ０～Ｄ７がすべてオン（クローズ）状態にしている。そのため、出力端子９３から出力される過電流（プリチャージ電流もしくはディスチャージ電流）は、本来の過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄに、最大のプログラム電流Ｉｗを加えたものとなる。以上のように図１０３（ａ）のようにスイッチＤ０～Ｄ７、Ｄｃを制御することにより、大きな過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄをソース信号線１８に印加することができる。そのため、寄生容量Ｃｓの電荷放電時間を短くすることができる。

【０８１９】

図１０３（ｂ）は過電流（プリチャージ電流もしくはディスチャージ電流）印加時間後の状態である。図１０３（ｂ）は図１０２（ｂ）と同様に一例として、データＤ（Ｄ７～Ｄ０）が”１００００００１”つまり、Ｄ７ビットとＤ０ビットがオン（クローズ）状態でのプログラム電流Ｉｗの出力状態を示している。

【０８２０】

以上のように、図１０３の実施例では、過電流（プリチャージ電流もしくはディスチャージ電流）を流す期間に大きな過電流（プリチャージ電流もしくはディスチャージ電流）を印加することができる。なお、図１０３（ａ）において、すべてのスイッチＤ０～Ｄ７をオン（クローズ）することに限定するものではない。ソース信号線１８の電位、水平走査期間の長さ、寄生容量Ｃｓの大きさなどに対応してスイッチＤ０～Ｄ７のオンオフ状態を変化あるいは制御してもよいことは言うまでもない。

【０８２１】

図１０２、図１０３では過電流トランジスタ８９１を制御し、ソース信号線１８に過電流（プリチャージ電流もしくはディスチャージ電流）を印加するとした。しかし、本発明はこれに限定するものではない。この実施例を図１０４に図示する。

【０８２２】

図１０４（ａ）ではプログラム電流Ｉｗを発生させるスイッチＤ０～Ｄ７がすべてオン（クローズ）状態にしている。しかし、過電流トランジスタ８９１を制御するスイッチＤｃはオープン状態である。したがって、出力端子９３には過電流（プリチャージ電流もしくはディスチャージ電流）であるＩｄは印加されない。図１０４（ａ）では、映像データに基づくプログラム電流Ｉｗ以上の電流とスイッチＤ７～Ｄ０を制御することにより発生させた実施例である。一般的に書き込み不足が発生するのは、映像データが小さい領域（低階調領域）である。したがって、この領域ではＤ７ビットなどのスイッチがオンすることがない。この映像データではオンすることがないスイッチ（Ｄ７など）をオンさせて、大きなプログラム電流（＝過電流（プリチャージ電流もしくはディスチャージ電流））を発生させて、この電流でソース信号線１８の電位を制御あるいは操作する。

【０８２３】

以上のように、出力端子９３から出力される過電流（プリチャージ電流もしくはディスチャージ電流）は、最大のプログラム電流Ｉｗである。以上のように図１０４（ａ）のようにスイッチＤ０～Ｄ７、Ｄｃを制御することにより、大きな過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄをソース信号線１８に印加することができる。そのた

め、寄生容量Ｃｓの電荷放電時間を短くすることができる。

【０８２４】

図１０４（ｂ）は過電流（プリチャージ電流もしくはディスチャージ電流）印加時間後の状態である。図１０４（ｂ）は図１０２（ｂ）、図１０３（ｂ）と同様に一例として、データＤ（Ｄ７～Ｄ０）が”１００００００１”つまり、Ｄ７ビットとＤ０ビットがオン（クローズ）状態でのプログラム電流Ｉｗ（正規の映像データの大きさに対応する）の出力状態を示している。

【０８２５】

以上のように、図１０４の実施例では、過電流（プリチャージ電流もしくはディスチャージ電流）を流す期間に大きな過電流（プリチャージ電流もしくはディスチャージ電流）を印加することができる。なお、図１０４（ａ）において、すべてのスイッチＤ０～Ｄ７をオン（クローズ）することに限定するものではない。ソース信号線１８の電位、水平走査期間の長さ、寄生容量Ｃｓの大きさなどに対応してスイッチＤ０～Ｄ７のオンオフ状態を変化あるいは制御してもよいことは言うまでもない。

【０８２６】

図１０３では、過電流トランジスタ８９１を設けているが本発明はこれに限定するものではない。過電流トランジスタ８９１を形成または配置しなくともよい。

【０８２７】

図１０３などにおいて、プリチャージ電流を印加するときは、すべてのスイッチＤ０～Ｄ７をクローズさせるとしたが、本発明はこれに限定するものではない。プリチャージ電流を印加すると時は、上位ビットのＤ７ビットのみをオンさせてもよい。また、上位ビットに該当するＤ４～Ｄ７ビットをオンさせてもよい。つまり、本発明は、所定の映像データに該当するときよりも、大きい出力電流となるようにスイッチＤｎを操作するものである。

【０８２８】

図１０４（ａ）ではプログラム電流Ｉｗを発生させるスイッチＤ０～Ｄ７がすべてオン（クローズ）状態にしている。しかし、過電流トランジスタ８９１を制御するスイッチＤｃはオープン状態である。したがって、出力端子９３には過電流（プリチャージ電流もしくはディスチャージ電流）であるＩｄは印加されない。

【０８２９】

図１０４（ａ）では、映像データに基づくプログラム電流Ｉｗ以上の電流とスイッチＤ７～Ｄ０を制御することにより発生させた実施例である。一般的に書き込み不足が発生するのは、映像データが小さい領域（低階調領域）である。したがって、この領域ではＤ７ビットなどのスイッチがオンすることがない。この映像データではオンすることがないスイッチ（Ｄ７など）をオンさせて、大きなプログラム電流（＝過電流（プリチャージ電流もしくはディスチャージ電流））を発生させて、この電流でソース信号線１８の電位を制御あるいは操作する。

【０８３０】

以上のように、出力端子９３から出力される過電流（プリチャージ電流もしくはディスチャージ電流）は、最大のプログラム電流Ｉｗである。以上のように図１０４（ａ）のようにスイッチＤ０～Ｄ７、Ｄｃを制御することにより、大きな過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄをソース信号線１８に印加することができる。そのため、寄生容量Ｃｓの電荷放電時間を短くすることができる。

【０８３１】

図１０４（ｂ）は過電流（プリチャージ電流もしくはディスチャージ電流）印加時間後の状態である。図１０４（ｂ）は図１０２（ｂ）、図１０３（ｂ）と同様に一例として、データＤ（Ｄ７～Ｄ０）が”１００００００１”つまり、Ｄ７ビットとＤ０ビットがオン（クローズ）状態でのプログラム電流Ｉｗ（正規の映像データの大きさに対応する）の出力状態を示している。

【０８３２】

以上のように、図１０４の実施例では、過電流（プリチャージ電流もしくはディスチャージ電流）を流す期間に大きな過電流（プリチャージ電流もしくはディスチャージ電流）を印加することができる。なお、図１０４（ａ）において、すべてのスイッチＤ０～Ｄ７をオン（クローズ）することに限定するものではない。ソース信号線１８の電位、水平走査期間の長さ、寄生容量Ｃｓの大きさなどに対応してスイッチＤ０～Ｄ７のオンオフ状態を変化あるいは制御してもよいことは言うまでもない。

【０８３３】

図１０１～図１０４などは、出力端子９３から吸い込む方向の過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄを発生させる構成あるいは方法である。しかし、本発明はこれに限定するものではない。出力端子９３から過電流（プリチャージ電流もしくはディスチャージ電流）を吐き出す構成であってもよい。

【０８３４】

また、出力端子９３から過電流（プリチャージ電流もしくはディスチャージ電流）を吸い込む回路と、出力端子９３から過電流（プリチャージ電流もしくはディスチャージ電流）を吐き出す回路の両方を形成または構成もしくは配置してもよいことは言うまでもない。

【０８３５】

図１０１～図１０４などとの差異は、過電流（プリチャージ電流もしくはディスチャージ電流）を吐き出す回路を有する点である。過電流（プリチャージ電流もしくはディスチャージ電流）の吐き出し回路は、トランジスタ２２８ｄ２と過電流トランジスタ８９１からなるカレントミラー回路で構成される。このカレントミラー回路で過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ２（カレントミラー比が１の時）を出力端子９３に印加する。

【０８３６】

図１０３、図１０４などの構成では、１Ｈ（１水平走査期間）の最初の期間に、映像データなどから判断され、必要な時はスイッチ２２１ａがクローズされ、プリチャージ電圧Ｖｐｃが出力端子９３に印加されて、ソース信号線１８に印加される。基本的には、プリチャージ電圧Ｖｐｃが印加されている時は、スイッチ２２１ｂはオープン状態に制御される。

【０８３７】

また、１Ｈの最初あるいはプリチャージ電圧の印加した後に、映像データなどから判断され、必要な時はスイッチＤｎがクローズされ、プリチャージ電流が出力端子９３に印加されて、ソース信号線１８に印加される。プリチャージ電流の印加後、正規の映像データに該当するスイッチＤがクローズされてプログラム電流Ｉｗがソース信号線１８に印加される。

【０８３８】

図１０３、図１０４などにおいて、プリチャージ電流Ｉｄを印加する期間を長くするほど、ソース信号線１８の電位変化を大きくすることができる。つまり、プリチャージ電流が印加される期間を制御することにより、ソース信号線１８の電位変化を大きくすることができる。

【０８３９】

図１０３、図１０４では、吸い込み電流方向のプリチャージ電流を発生する構成であった。本発明はこれに限定するものではない。たとえば、ソースドライバ回路（ＩＣ）１４内にシンク電流のプログラム電流出力段２５１ｃａと、吐き出し電流を出力するプログラム電流出力段２５１ｃｂを形成または構成してよい。シンク電流のプリチャージ電流を発生する場合は、出力段２５１ｃａのスイッチＤｎを制御あるいは操作する。吐き出し電流を発生する場合は、出力段２５１ｃｂスイッチＤｎを制御あるいは操作する。いずれかのプリチャージ電流は、スイッチ２２１ｂ１とスイッチ２２１ｂ２を制御することにより実現する。

【０８４０】

図９９は、本発明の表示パネル（表示装置）の駆動方法（駆動方式）を説明するための説明図である。電圧プリチャージおよびプログラム電流によるソース信号線１８に電位状態を示している。図９９の実施例では、ソースドライバ回路（ＩＣ）１４が発生するプリチャージ電圧は、階調０の電位Ｖ０（黒電圧プリチャージ）と、最大の階調２５５の電位Ｖ２５５（白電圧プリチャージ）とを発生する。

【０８４１】

図９９では、プリチャージ電圧を印加する期間は一例として１μｓｅｃとしている。したがって、１Ｈ時間－１μｓｅｃが電流プログラム期間である。しかし、本発明はこれに限定するものではない。他の構成あるいは状態あるいは時間などでもよいことは言うまでもない

図９９などの実施例は、ＲＧＢが各８ビット（２５６階調表示）として説明をする。なお、本発明は、以前にも説明したようにＲＧＢに限定されるものではない。単色でもよく、また、シアン、イエロー、マゼンダなどでもよく、ＲＧＢに加えて、白色（Ｗ）の４色などでもよい。図９９（ａ）は階調０から階調２５５に変化させる実施例である。階調０と階調２５５などの電位差が大きい時は、白電圧プリチャージ（Ｖ２５５電圧を印加）が実施される。図９９（ａ）に図示するように１Ｈの最初の期間（なお、１Ｈの最初の期間に限定するものではない）から１μｓｅｃの期間に白電圧プリチャージが実施される。白電圧プリチャージの実施により、ソース信号線１８に電圧が印加されて、ソース信号線１８電位はＶ２５５となる。その後、電流プログラムが実施され、画素１６の駆動用トランジスタ１１ａの特性に応じてソース信号線１８電位が補正される。一例として図９９（ａ）では、ソース信号線１８電位がアノード電位Ｖｄｄの方向に上昇する。

【０８４２】

図９９（ｂ）は階調２５５から階調０に変化させる実施例である。階調２５５と階調０などの電位差が大きい時は、黒電圧プリチャージ（Ｖ０電圧を印加）が実施される。図９９（ｂ）に図示するように１Ｈの最初の期間（なお、１Ｈの最初の期間に限定するものではない）から１μｓｅｃの期間に黒電圧プリチャージが実施される。黒電圧プリチャージの実施により、ソース信号線１８に電圧Ｖ０が印加されて、ソース信号線１８電位はＧＮＤ電圧に近いＶ０となる。その後、電流プログラムが実施され、画素１６の駆動用トランジスタ１１ａの特性に応じてソース信号線１８電位が目標のプログラム電流に等しい電流が流れるように補正される。一例として図９９（ｂ）では、ソース信号線１８電位がグランド（ＧＮＤ）電位の方向に下降する。

【０８４３】

図９９（ｃ）は階調０から階調２００に変化させる実施例である。階調０と階調２００などの比較的電位差が大きい時は、白電圧プリチャージ（Ｖ２５５電圧を印加）が実施される。なお、黒電圧プリチャージは、全階調の１／４より低階調領域に変化する時に実施される。白電圧プリチャージは、全階調の１／２より高階調領域に変化する時に実施される。図９９（ｃ）に図示するように１Ｈの最初の期間（なお、１Ｈの最初の期間に限定するものではない）から１μｓｅｃの期間に白電圧プリチャージが実施される。白電圧プリチャージの実施により、ソース信号線１８に電圧が印加されて、ソース信号線１８電位はＶ２５５となる。その後、電流プログラムが実施され、画素１６の駆動用トランジスタ１１ａが主に動作して、目標の階調電流２００に相当するソース信号線１８電位に補正される。

【０８４４】

図１００は過電流駆動（プリチャージ電流駆動）と電圧駆動（プリチャージ電圧駆動）の両方を実施する駆動方法の説明図である。なお、回路構成は一例としてスイッチ２２１はＯＮでクローズ状態、ＯＦＦでオープン状態とする。スイッチ２２１ａがＯＮでプリチャージ電圧Ｖｐｃが出力端子９３に印加される（ソース信号線１８に印加される）。スイッチ２２１ｂがＯＮでプログラム電流Ｉｗが出力端子９３に印加される（ソース信号線１８に印加される）。また、スイッチＤｃがＯＮで過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｗが出力端子９３に印加される（ソース信号線１８に印加される）。

【０８４５】
図１００（ａ）に図示するように、スイッチ２２１ａがＯＮでプリチャージ電圧Ｖｐｃが出力端子９３に印加される状態と、スイッチ２２１ｂがＯＮでプログラム電流Ｉｗが出力端子９３に印加される状態が同時に発生しても動作上は問題がない。定電流回路２５１ｃなどは内部インピーダンスが高く、定電圧回路（プリチャージ電圧回路）と短絡しても正常動作を実施できるからである。ただし、図１００（ｂ）（ｃ）に図示するように、スイッチＤｃがＯＮ状態の時は、スイッチ２２１ａはＯＦＦ状態にすることが好ましい。過電流（プリチャージ電流もしくはディスチャージ電流）回路からの電流が定電圧回路に突入電流として流れる場合があるからである。図１００（ａ）に図示するように、スイッチＤｃがＯＦＦ状態の時は、スイッチ２２１ａがＯＮ状態であっても問題はない。

【０８４６】
図１００（ｂ）（ｃ）に図示するように、スイッチＤｃがＯＮする期間を制御することにより、出力端子９３に過電流（プリチャージ電流もしくはディスチャージ電流）が印加される期間を調整することができる。図１００（ｂ）では、過電流（プリチャージ電流もしくはディスチャージ電流）が印加される期間は１／（３Ｈ）であり、図１００（ｃ）では、過電流（プリチャージ電流もしくはディスチャージ電流）が印加される期間は１／（４Ｈ）である。図１００（ｃ）の方が、図１００（ｂ）よりもソース信号線１８の電位変化を大きくすることができる。

【０８４７】
図１０３、図１０４では、プログラム電流Ｉｗを制御するＤ０～Ｄ７スイッチを操作する構成を説明した。図１０５はさらに詳しい実施例あるいは他の実施例である。

【０８４８】
過電流（プリチャージ電流もしくはディスチャージ電流）を流すスイッチＤｃは内部配線２２２ｂに印加するオンオフ信号によりオンする期間を制御することができる。図１０５の実施例では、１Ｈの０、８２／４、３／４の４つの期間で制御できる。同様に、強制的にプログラム電流Ｉｗを制御するスイッチＤ０～Ｄを操作（制御）する期間（強制制御と記載する）も、図１０５の実施例では、１Ｈの０、８２／４、３／４の４つの期間で制御できる。なお、図１０５では正規のプログラム電流を流す期間はデータ制御として記載し階調４から階調５（４→５と記載）などと記載している。図１０５の実施例では、少なくとも１Ｈの１／２の期間は、正規のプログラム電流を流す期間である。

【０８４９】
正規のプログラム電流を流す期間（正規のプログラム電流となるように映像信号に該当するスイッチＤ０～Ｄ７が設定（操作あるいは制御）されている状態）は、１Ｈのすべての期間であってもよい。つまり、１Ｈ以下１／（４Ｈ）以上の期間であればいずれでもよい。

【０８５０】
Ｄｃスイッチと強制性によるＤ７～Ｄ０スイッチの操作（制御）は、階調の変化に応じて実施される。Ｄｃスイッチと強制性によるＤ７～Ｄ０スイッチの操作（制御）は、コントローラＩＣ（回路）７２２で、１Ｈごとの映像信号変化あるいは１Ｆ（１フレーム）内の映像信号変化あるいは変化割合などに基づいて判断される。判断されたデータあるいは制御信号は差動信号などに変換されてソースドライバ回路（ＩＣ）１４に伝送される。

【０８５１】
図１０５（ａ）では、過電流（プリチャージ電流もしくはディスチャージ電流）を流すスイッチＤｃは１Ｈの最初から１／（４Ｈ）の期間オン（クローズ）される。したがって、１Ｈの最初から１／（４Ｈ）期間、ソース信号線１８には過電流（プリチャージ電流）が印加される。また、プログラム電流を流すスイッチＤ０～Ｄ７は１Ｈの最初から１／（２Ｈ）の期間、強制的に（クローズ）される。したがって、Ｄｃスイッチの動作により流れる過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄに加算されて、１Ｈの最初から１／（２Ｈ）期間、ソース信号線１８にはスイッチＤ０～Ｄ７によるプリチャージ電流が印加される。

【０８５２】
過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄと加算される期間は、１Ｈの最初から１／（４Ｈ）期間であり、比較的短い。正規のプログラム電流を流す期間（正規のプログラム電流となるように映像信号に該当するスイッチＤ０～Ｄ７が設定（操作あるいは制御）されている状態）は、１Ｈの後半１／（２Ｈ）期間に実施される。以上の動作により、ソース信号線１８の電位が１Ｈの最初から１／（２Ｈ）期間に階調４から階調５レベルに変化し、１Ｈの後半の１／（２Ｈ）期間に、正規のプログラム電流により補正されて画素１６の駆動用トランジスタ１１ａが目標のプログラム電流Ｉｗを流すように電流プログラムが実施される。
【０８５３】
図１０５（ｂ）では、過電流（プリチャージ電流もしくはディスチャージ電流）を流すスイッチＤｃは１Ｈの最初から１／（２Ｈ）の期間オン（クローズ）される。したがって、１Ｈの最初から１／（２Ｈ）期間、ソース信号線１８には過電流（プリチャージ電流）が印加される。また、プログラム電流を流すスイッチＤ０～Ｄ７は１Ｈの最初から１／（２Ｈ）の期間、強制的に（クローズ）される。したがって、Ｄｃスイッチの動作により流れる過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄに加算されて、１Ｈの最初から１／（２Ｈ）期間、ソース信号線１８にはスイッチＤ０～Ｄ７によるプリチャージ電流が印加される。
【０８５４】
正規のプログラム電流を流す期間（正規のプログラム電流となるように映像信号に該当するスイッチＤ０～Ｄ７が設定（操作あるいは制御）されている状態）は、１Ｈの後半１／（２Ｈ）期間に実施される。
【０８５５】
以上の動作により、ソース信号線１８の電位が１Ｈの最初から１／（２Ｈ）期間に階調１から階調２レベルに変化し、１Ｈの後半の１／（２Ｈ）期間に、正規のプログラム電流により補正されて画素１６の駆動用トランジスタ１１ａが目標のプログラム電流Ｉｗを流すように電流プログラムが実施される。以上のように、動作開始のソース信号線１８の電位が階調１レベルである時は、Ｄｃスイッチをオンする期間を長くし、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄを長時間、ソース信号線１８に印加する必要がある。図１０５（ｃ）では、過電流（プリチャージ電流もしくはディスチャージ電流）を流すスイッチＤｃは１Ｈの最初から３／（４Ｈ）の期間オン（クローズ）される。したがって、１Ｈの最初から３／（４Ｈ）期間、ソース信号線１８には過電流（プリチャージ電流）が印加される。また、プログラム電流を流すスイッチＤ０～Ｄ７は１Ｈの最初から１／（４Ｈ）の期間、強制的に（クローズ）される。したがって、Ｄｃスイッチの動作により流れる過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄに加算されて、１Ｈの最初から１／（４Ｈ）期間、ソース信号線１８にはスイッチＤ０～Ｄ７によるプリチャージ電流が印加される。
【０８５６】
正規のプログラム電流を流す期間（正規のプログラム電流となるように映像信号に該当するスイッチＤ０～Ｄ７が設定（操作あるいは制御）されている状態）は、１Ｈの後半１／（４Ｈ）期間に実施される。
【０８５７】
以上の動作により、ソース信号線１８の電位が１Ｈの最初から３／（４Ｈ）期間に階調０から階調１レベルに変化し、１Ｈの後半の１／（４Ｈ）期間に、正規のプログラム電流により補正されて画素１６の駆動用トランジスタ１１ａが目標のプログラム電流Ｉｗを流すように電流プログラムが実施される。以上のように、動作開始のソース信号線１８の電位が階調０レベルである時は、Ｄｃスイッチをオンする期間を最も長くし、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄを長時間、ソース信号線１８に印加する必要がある。
【０８５８】

図１０５（ｄ）では、過電流（プリチャージ電流もしくはディスチャージ電流）を流すスイッチＤｃは動作しない。プログラム電流を流すスイッチＤ０～Ｄ７は１Ｈの最初から１／（２Ｈ）の期間、強制的に（クローズ）される。したがって、Ｄｃスイッチの動作により流れる過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄに加算されて、１Ｈの最初から１／（２Ｈ）期間、ソース信号線１８にはスイッチＤ０～Ｄ７によるプリチャージ電流が印加される。

【０８５９】

正規のプログラム電流を流す期間（正規のプログラム電流となるように映像信号に該当するスイッチＤ０～Ｄ７が設定（操作あるいは制御）されている状態）は、１Ｈの後半１／（２Ｈ）期間に実施される。以上の動作により、ソース信号線１８の電位が１Ｈの最初から１／（２Ｈ）期間に階調０から階調１レベルにほぼ変化し、１Ｈの後半の１／（２Ｈ）期間に、正規のプログラム電流により補正されて画素１６の駆動用トランジスタ１１ａが目標のプログラム電流Ｉｗを流すように電流プログラムが実施される。以上のように、過電流（プリチャージ電流もしくはディスチャージ電流）を流すＤｃスイッチを動作させないのは、階調変化が１６階調目から１８階調目のように、変化前の階調が比較的大きく（ソース信号線１８電位が高く）、１６から１８階調目と比較的変化が小さいためである。

【０８６０】

以上の実施例では、Ｄｃスイッチは連続してオン状態を維持させるとしたが、本発明はこれに限定するものではない。図１０５（ｅ）は、Ｄｃスイッチを１Ｈ期間は連続してオン状態を維持させるとしたが、本発明はこれに限定するものではない。図１０５（ｅ）は、Ｄｃスイッチを１Ｈ期間で複数回（２回）オンさせた実施例である。図１０５（ｅ）では、過電流（プリチャージ電流もしくはディスチャージ電流）を流すスイッチＤｃは１Ｈの最初から１／（４Ｈ）の期間と、１／（２Ｈ）経過後の１／（４Ｈ）の期間にオン（クローズ）される。したがって、全体として１Ｈの１／（２Ｈ）期間、ソース信号線１８には過電流（プリチャージ電流）が印加される。また、プログラム電流を流すスイッチＤ０～Ｄ７は１Ｈの最初から１／（２Ｈ）の期間、強制的に（クローズ）される。

【０８６１】

したがって、Ｄｃスイッチの動作により流れる過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄに加算されて、１Ｈの最初から１／（４Ｈ）期間に、ソース信号線１８にはスイッチＤ０～Ｄ７によるプリチャージ電流が印加される。正規のプログラム電流を流す期間（正規のプログラム電流となるように映像信号に該当するスイッチＤ０～Ｄ７が設定（操作あるいは制御）されている状態）は、１Ｈの後半１／（４Ｈ）期間に実施される。

【０８６２】

以上の動作により、ソース信号線１８の電位が１Ｈの最初から３／（４Ｈ）期間に階調２から階調３レベルに変化し、１Ｈの後半の１／（４Ｈ）期間に、正規のプログラム電流により補正されて画素１６の駆動用トランジスタ１１ａが目標のプログラム電流Ｉｗを流すように電流プログラムが実施される。以上のように、電流駆動では、定電流は加算することができる。したがって、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄは１Ｈの後半以外（最終以外）のいずれの期間に印加してもよい。また、複数回に分割して印加してもよい。以上の事項は、Ｄ０～Ｄ７スイッチの強制制御に対しても適用できることは言うまでもない。

【０８６３】

以上の実施例では、Ｄｃスイッチは１Ｈの最初からオン状態にするとしたが、本発明はこれに限定するものではない。図１０５（ｆ）は、Ｄｃスイッチを最初から１／（４Ｈ）期間経過後にオンさせた実施例である。また、プログラム電流を流すスイッチＤ０～Ｄ７は１Ｈの最初から３／（４Ｈ）の期間、強制的に（クローズ）される。

【０８６４】

したがって、Ｄｃスイッチの動作により流れる過電流（プリチャージ電流もしくはディ

スチャージ電流）Ｉｄに加算されて、１Ｈの最初から１／（４Ｈ）期間に、ソース信号線１８にはスイッチＤ０～Ｄ７によるプリチャージ電流が印加される。

【０８６５】

正規のプログラム電流を流す期間（正規のプログラム電流となるように映像信号に該当するスイッチＤ０～Ｄ７が設定（操作あるいは制御）されている状態）は、１Ｈの後半１／（４Ｈ）期間に実施される。以上の動作により、ソース信号線１８の電位が１Ｈの最初から３／（４Ｈ）期間に階調５から階調６レベルに変化し、１Ｈの後半の１／（４Ｈ）期間に、正規のプログラム電流により補正されて画素１６の駆動用トランジスタ１１ａが目標のプログラム電流Ｉｗを流すように電流プログラムが実施される。以上のように、電流駆動では、定電流は加算することができる。したがって、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄは、１Ｈの最初から印加することに限定されるものではない。１Ｈの後半以外（最終以外）のいずれの期間に印加してもよい。また、複数回に分割して印加してもよい。以上の事項は、Ｄ０～Ｄ７スイッチの強制制御に対しても適用できることは言うまでもない。

【０８６６】

なお、以上の実施例の制御期間あるいは操作期間は１Ｈとしたが、本発明はこれに限定するものではない。１Ｈ以上の特定の期間内に実施してもよいことは言うまでもない。また、過電流（プリチャージ電流もしくはディスチャージ電流）駆動とプリチャージ電圧（プログラム電圧）駆動とを組み合わせて実施してもよいことは言うまでもない。以上の事項は本発明の他の実施例にも適用できることは言うまでもない。

【０８６７】

図１０６は、過電流（プリチャージ電流もしくはディスチャージ電流）駆動とプリチャージ電圧（プログラム電圧）駆動とを組み合わせた実施例である。また、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ印加期間も変化させた実施例である。

【０８６８】

図１０６は、プリチャージ電圧は０階調に対応するＶ０電圧の場合である。まず、図１０６（ａ１）（ａ２）（ａ３）について説明をする。図１０６（ａ１）では、プリチャージ電圧を１Ｈの最初に１μｓｅｃ印加している。また、図１０６（ａ２）に示すように１Ｈの最初から１／（２Ｈ）の期間に過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄをソース信号線１８に印加している。したがって、図１０６（ａ３）に示すように、ｔ１～ｔ０の期間は、ソース信号線１８の電位は０階調の電圧電位Ｖ０である。また、ｔ０～ｔ３の期間は、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ（吸い込み電流方向）により、ソース信号線電位１８は降下する。ｔ３～ｔ２（１Ｈの最後）までの期間は、映像データによる電流プログラムが実施される。

【０８６９】

したがって、ソース信号線１８の電位は、画素１６の駆動用トランジスタ１１ａがプログラム電流に一致する電流が流れるように低下する。以上の図１０６（ａ）の実施例では、プリチャージ電圧Ｖ０を印加することによりソース信号線１８の電位を所定値にした後、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄによる電流プリチャージを実施する。したがって、適切な過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄの大きさ、過電流（プリチャージ電流もしくはディスチャージ電流）の印加時間を理論的に予測し、コントローラＩＣ（回路）７２２（図示せず）で制御あるいは設定することが容易である。そのため、良好で精度のよい電流プログラムを実施することができる。

【０８７０】

次に、本発明の他の実施例における駆動方法について図１０６（ｂ１）（ｂ２）（ｂ３）をもちいて説明をする。図１０６（ｂ１）では、プリチャージ電圧を１Ｈの最初からｔｘμｓｅｃの時間印加している。また、図１０６（ｂ２）に示すように１Ｈの最初から１／（２Ｈ）の期間に過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄをソース信号線１８に印加している。したがって、図１０６（ｂ３）に示すように、ｔ１～ｔ０

の期間は、ソース信号線１８の電位は０階調の電圧電位Ｖ０である。また、ｔ０～ｔ３の期間は、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ（吸い込み電流方向）により、ソース信号線電位１８は降下する。ｔ３～ｔ２（１Ｈの最後）までの期間は、映像データによる電流プログラムが実施される。したがって、ソース信号線１８の電位は、画素１６の駆動用トランジスタ１１ａがプログラム電流に一致する電流が流れるように低下する。

【０８７１】

以上の図１０６（ｂ）の実施例では、プリチャージ電圧Ｖ０を印加する期間ｔｘを制御することにより、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄによる電流プリチャージの印加期間を調整することができる。したがって、適切な過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄの大きさ、過電流（プリチャージ電流もしくはディスチャージ電流）の印加時間を理論的に予測し、コントローラＩＣ（回路）７２２（図示せず）で制御あるいは設定することが容易である。そのため、良好で精度のよい電流プログラムを実施することができる。

【０８７２】

図１０６（ａ）（ｂ）はプリチャージ電圧を印加する回数は１回の場合であった。しかし、本発明は、プリチャージ電圧を印加する期間は、１回に限定するものではない。プリチャージ電圧を印加することにより、ソース信号線１８電位をリセットすることができ、リセットにより過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ駆動によるソース信号線１８の電位制御（調整）が容易になるからである。

【０８７３】

図１０６（ｃ１）（ｃ２）（ｃ３）は、１Ｈ期間（所定の時間間隔）に複数回、ソース信号線１８にプリチャージ電圧を印加した実施例である。図１０６（ｃ１）では、プリチャージ電圧を１Ｈの最初からと、ｔ３時間からの２回１μｓｅｃ印加している。また、図１０６（ｃ２）に示すように１Ｈの最初から４／（５Ｈ）の期間に過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄをソース信号線１８に印加している。したがって、図１０６（ｃ３）に示すように、ｔ１～ｔ０の期間は、ソース信号線１８の電位は０階調の電圧電位Ｖ０である。ｔ０～ｔ３の期間は過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄによりソース信号線１８の電位は降下する。しかし、ｔ３～ｔ４の期間に、プリチャージ電圧を印加するために、ソース信号線１８の電位はＶ０にリセットされる。ｔ４～ｔ５の期間は過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄによりソース信号線１８の電位は再び降下する。ｔ５～ｔ２（１Ｈの最後）までの期間は、映像データによる電流プログラムが実施される。したがって、ソース信号線１８の電位は、画素１６の駆動用トランジスタ１１ａがプログラム電流に一致する電流が流れるように低下する。

【０８７４】

以上の図１０６（ｃ）の実施例では、プリチャージ電圧Ｖ０を印加することによりソース信号線１８の電位を所定値にリセットし、最終のプリチャージ電圧印加した時点から電流プログラムの動作が開始される。したがって、プリチャージ電圧を印加するタイミングを制御あるいは調整することにより、適切な過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄの大きさ、過電流（プリチャージ電流もしくはディスチャージ電流）の印加時間を理論的に制御することが可能である。そのため、コントローラＩＣ（回路）７２２（図示せず）で制御あるいは設定することが容易であり、良好で精度のよい電流プログラムを実施することができる。

【０８７５】

図１０６は、一定のプリチャージ電圧（プログラム電圧）を印加した実施例であった。図１０７はプリチャージ電圧を変化させた実施例である。なお、一例として図１０７における過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄは１Ｈの最初から１／（２Ｈ）の期間印加しているとする（ｔ１～ｔ３期間）。

【０８７６】

図１０７（ａ１）は、プリチャージ電圧は０階調に対応するＶ０電圧の場合である。図１０７（ｂ１）は、プリチャージ電圧は１階調に対応するＶ１電圧の場合である。図１０７（ｃ１）は、プリチャージ電圧は２階調に対応するＶ２電圧の場合である。

【０８７７】

図１０７（ａ１）（ａ２）（ａ３）について説明をする。図１０７（ａ１）では、プリチャージ電圧Ｖ０を１Ｈの最初に１μｓｅｃ印加している。また、図１０７（ａ２）に示すように１Ｈの最初から１／（２Ｈ）の期間に過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄをソース信号線１８に印加している。したがって、図１０７（ａ３）に示すように、ｔ１～ｔ０の期間は、ソース信号線１８の電位は０階調の電圧電位Ｖ０である。

【０８７８】

また、ｔ０～ｔ３の期間は、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ（吸い込み電流方向）により、ソース信号線電位１８は降下する。ｔ３～ｔ２（１Ｈの最後）までの期間は、映像データによる電流プログラムが実施される。したがって、ソース信号線１８の電位は、画素１６の駆動用トランジスタ１１ａがプログラム電流に一致する電流が流れるように低下する。

【０８７９】

図１０７（ａ）の実施例では、プリチャージ電圧Ｖ０を印加することによりソース信号線１８の電位を所定値にした後、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄによる電流プリチャージを実施する。したがって、適切な過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄの大きさ、過電流（プリチャージ電流もしくはディスチャージ電流）の印加時間を理論的に予測し、コントローラＩＣ（回路）７２２（図示せず）で制御あるいは設定することが容易である。そのため、良好で精度のよい電流プログラムを実施することができる。

【０８８０】

次に、図１０７（ｂ１）（ｂ２）（ｂ３）について説明をする。図１０７（ｂ１）では、１階調目に該当するプリチャージ電圧Ｖ１を１Ｈの最初に１μｓｅｃ印加している。また、図１０７（ｂ２）に示すように１Ｈの最初から１／（２Ｈ）の期間に過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄをソース信号線１８に印加している。したがって、図１０７（ｂ３）に示すように、ｔ１～ｔ０の期間は、ソース信号線１８の電位は１階調の電圧電位Ｖ１である。また、ｔ０～ｔ３の期間は、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ（吸い込み電流方向）により、ソース信号線電位１８は降下する。ｔ３～ｔ２（１Ｈの最後）までの期間は、映像データによる電流プログラムが実施される。したがって、ソース信号線１８の電位は、画素１６の駆動用トランジスタ１１ａがプログラム電流に一致する電流が流れるように低下する。

【０８８１】

図１０７（ｂ）の実施例では、プリチャージ電圧Ｖ１を印加することによりソース信号線１８の電位を所定値にした後、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄによる電流プリチャージを実施する。プリチャージ電圧Ｖ１はＶ０よりもソース信号線１８に書き込む電位が低い。一方、過電流（プリチャージ電流）の印加時間は一定で、かつ過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄの大きさもＩｄ０と一定である。したがって、図１０７（ａ）よりソース信号線１８の電位を低くすることができるから、より高輝度表示を実現できる。

【０８８２】

また、適切な過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄの大きさ、過電流（プリチャージ電流もしくはディスチャージ電流）の印加時間を理論的に予測し、コントローラＩＣ（回路）７２２（図示せず）で制御あるいは設定することが容易である。そのため、良好で精度のよい電流プログラムを実施することができる。

【０８８３】

さらに、図１０７（ｃ１）（ｃ２）（ｃ３）について説明をする。図１０７（ｃ１）で

は、２階調目に該当するプリチャージ電圧Ｖ２を１Ｈの最初に１μｓｅｃ印加している。また、図１０７（ｃ２）に示すように１Ｈの最初から１／（２Ｈ）の期間に過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄをソース信号線１８に印加している。したがって、図１０７（ｃ３）に示すように、ｔ１～ｔ０の期間は、ソース信号線１８の電位は２階調目の電圧電位Ｖ２である。

【０８８４】

また、ｔ０～ｔ３の期間は、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ（吸い込み電流方向）により、ソース信号線電位１８は降下する。ｔ３～ｔ２（１Ｈの最後）までの期間は、映像データによる電流プログラムが実施される。したがって、ソース信号線１８の電位は、画素１６の駆動用トランジスタ１１ａがプログラム電流に一致する電流が流れるように低下する。

【０８８５】

図１０７（ｃ）の実施例では、プリチャージ電圧Ｖ２を印加することによりソース信号線１８の電位を所定値にした後、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄによる電流プリチャージを実施する。プリチャージ電圧Ｖ２はＶ１よりもさらにソース信号線１８に書き込む電位が低い。一方、過電流（プリチャージ電流）の印加時間は一定で、かつ過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄの大きさもＩｄ０と一定である。したがって、図１０７（ｂ）よりソース信号線１８の電位を低くすることができるから、より高輝度表示を実現できる。

【０８８６】

また、適切な過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄの大きさ、過電流（プリチャージ電流もしくはディスチャージ電流）の印加時間を理論的に予測し、コントローラＩＣ（回路）７２２（図示せず）で制御あるいは設定することが容易である。そのため、良好で精度のよい電流プログラムを実施することができる。

【０８８７】

以上のように、プリチャージ電圧Ｖｐｃの大きさあるいは電位を変化させることにより、１Ｈ経過した時の、ソース信号線１８電位を容易に制御することができる。

【０８８８】

図１０７は、一定のプリチャージ電圧（プログラム電圧）と変化させた実施例であった。図１０８は、過電流（プリチャージ電流）を変化させた実施例である。なお、プリチャージ電流を変化させることは、図９２、図９３、図９４のＤｃ０、Ｄｃ１スイッチなどを制御することにより実現することができる。図１０８（ａ１）（ｂ１）では、プリチャージ電圧はＶ０と固定している。図１０８（ｃ１）ではプリチャージ電圧を印加していない実施例である。

【０８８９】

図１０８（ａ１）（ａ２）（ａ３）について説明をする。図１０８（ａ１）では、プリチャージ電圧Ｖ０を１Ｈの最初に１μｓｅｃ（ｔ１～ｔ０の期間）印加している。また、図１０８（ａ２）に示すように１Ｈの最初（ｔ１）～ｔ４の期間に過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ０をソース信号線１８に印加している。ｔ４～ｔ３の期間に過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ１をソース信号線１８に印加している。

【０８９０】

図１０８（ａ３）に示すように、ｔ１～ｔ０の期間は、ソース信号線１８の電位は０階調の電圧電位Ｖ０である。また、ｔ０～ｔ４の期間は、大きな過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ０（吸い込み電流方向）により、ソース信号線電位１８は急激に降下する。ｔ４～ｔ３の期間は、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ０よりも小さい過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ１（吸い込み電流方向）により、ソース信号線電位１８は比較的緩やかに降下する。ｔ３～ｔ２（１Ｈの最後）までの期間は、映像データによる電流プログラムが実施される。したがって、ソース信号線１８の電位は、画素１６の駆動用トランジスタ１１ａがプ

ログラム電流に一致する電流が流れるように低下する。

【０８９１】

図１０８（ａ）の実施例では、プリチャージ電圧Ｖ０を印加することによりソース信号線１８の電位を所定値にした後、まず、第１の過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ０による電流プリチャージを実施してソース信号線の電位を急変させる。次に第２の過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ１による電流プリチャージを実施してソース信号線の電位を目標電位近くまでさせる。最後は、目的の映像信号に該当するプログラム電流で駆動用トランジスタ１１ａが所定電流を流すように電流プログラムを行う。以上のように複数の過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄを制御に用い、これらの過電流（プリチャージ電流もしくはディスチャージ電流）の大きさ、過電流（プリチャージ電流もしくはディスチャージ電流）の印加時間を調整することにより精度のよい電流プログラムを実現できる。

【０８９２】

また、ソース信号線１８の電位変化を理論的に予測あるいは推測することができるから、コントローラＩＣ（回路）７２２（図示せず）で制御あるいは設定することが容易である。そのため、良好で精度のよい電流プログラムを実施することができる。

【０８９３】

次に、図１０８（ｂ１）（ｂ２）（ｂ３）について説明をする。図１０８（ｂ１）では、プリチャージ電圧Ｖ０を１Ｈの最初に１μｓｅｃ（ｔ１～ｔ０の期間）印加している。また、図１０８（ｂ２）に示すように１Ｈの最初（ｔ１）～ｔ３の期間に過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ１をソース信号線１８に印加している。

【０８９４】

図１０８（ｂ３）に示すように、ｔ１～ｔ０の期間は、ソース信号線１８の電位は０階調の電圧電位Ｖ０である。また、ｔ０～ｔ３の期間は、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ１（吸い込み電流方向）により、ソース信号線電位１８は降下する。ｔ３～ｔ２の期間は、映像データによる電流プログラムが実施される。したがって、ソース信号線１８の電位は、画素１６の駆動用トランジスタ１１ａがプログラム電流に一致する電流が流れるように低下する。

【０８９５】

図１０８（ｂ）の実施例では、プリチャージ電圧Ｖ０を印加することによりソース信号線１８の電位を所定値にした後、比較的小さな過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ１による電流プリチャージを実施してソース信号線の電位を変化させる。最後は、目的の映像信号に該当するプログラム電流で駆動用トランジスタ１１ａが所定電流を流すように電流プログラムを行う。

【０８９６】

以上のように、目標プログラム電流あるいはソース信号線１８電位から適切な大きさの過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄを制御に用い、過電流（プリチャージ電流もしくはディスチャージ電流）の印加時間を調整することにより精度のよい電流プログラムを実現できる。また、ソース信号線１８の電位変化を理論的に予測あるいは推測することができるから、コントローラＩＣ（回路）７２２（図示せず）で制御あるいは設定することが容易である。そのため、良好で精度のよい電流プログラムを実施することができる。

【０８９７】

さらに、図１０８（ｃ１）（ｃ２）（ｃ３）について説明をする。図１０８（ｃ１）では、プリチャージ電圧を印加していない。したがって、ソース信号線１８の電位は１Ｈ前の電位である。また、図１０８（ｃ２）に示すように１Ｈの最初（ｔ１）～ｔ４の期間に第２の過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ１をソース信号線１８に印加している。ｔ４～ｔ３の期間に第２の過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ０をソース信号線１８に印加している。

【０８９８】

図１０８（ｃ３）に示すように、ｔ０～ｔ４の期間は、比較的小さな過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ１（吸い込み電流方向）により、ソース信号線電位１８は変化する。ｔ４～ｔ３の期間は、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ１よりも大きな過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ０（吸い込み電流方向）により、ソース信号線電位１８は急激に降下する。ｔ３～ｔ２（１Ｈの最後）までの期間は、映像データによる電流プログラムが実施される。したがって、ソース信号線１８の電位は、画素１６の駆動用トランジスタ１１ａがプログラム電流に一致する電流が流れるように低下する。

【０８９９】

図１０８（ｃ）の実施例では、まず、第２の過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ１による電流プリチャージを実施してソース信号線の電位を変化させる。次に第１の過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ０による電流プリチャージを実施してソース信号線の電位を目標電位近くまでさせる。最後は、目的の映像信号に該当するプログラム電流で駆動用トランジスタ１１ａが所定電流を流すように電流プログラムを行う。

【０９００】

以上のように複数の過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄを制御に用い、これらの過電流（プリチャージ電流もしくはディスチャージ電流）の大きさ、過電流（プリチャージ電流もしくはディスチャージ電流）の印加時間を調整することにより精度のよい電流プログラムを実現できる。また、プリチャージ電圧を印加しないため、前画素行に印加した電位から相対的に電位を変化させることができる。前画素行に印加したソース信号線１８の電位は理論的に予測あるいは推測することができる。コントローラＩＣ（回路）７２２（図示せず）で制御あるいは設定することが容易である。そのため、良好で精度のよい電流プログラムを実施することができる。

【０９０１】

図１０８では過電流（プリチャージ電流もしくはディスチャージ電流）（プリチャージ電流）を１Ｈ期間（所定期間）で変化させるとしたが、本発明はこれに限定するものではない。たとえば、１Ｈ期間（所定期間）にプリチャージ電圧を変化してもよい。また、プリチャージ電流とプリチャージ電圧の両方の大きさを変化させてもよいことは言うまでもない。また、プリチャージ電流とプリチャージ電圧の両方の印加時間を変化させてもよいことは言うまでもない。

【０９０２】

図１０９はプリチャージ電圧の印加タイミングを変化させた実施例である。過電流（プリチャージ電流）は同一であるとしている。図１０８（ａ１）（ｂ１）（ｃ１）では、プリチャージ電圧はＶ０と固定している。

【０９０３】

図１０９（ａ１）（ａ２）（ａ３）について説明をする。図１０９（ａ１）では、プリチャージ電圧Ｖ０を１Ｈの最初に１μｓｅｃ（ｔ１～ｔ０の期間）印加している。また、図１０９（ａ２）に示すように１Ｈの最初（ｔ１）～ｔ５の期間に過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ０をソース信号線１８に印加している。

【０９０４】

図１０９（ａ３）に示すように、ｔ１～ｔ０の期間は、ソース信号線１８の電位は０階調の電圧電位Ｖ０である。また、ｔ０～ｔ５の期間は、Ｉｄ０（一例として吸い込み電流方向としている。以上の事項は本発明の他の実施例でも同様である）により、ソース信号線電位１８は急激に降下する。ｔ５～ｔ２（１Ｈの最後）までの期間は、映像データによる電流プログラムが実施される。したがって、ソース信号線１８の電位は、画素１６の駆動用トランジスタ１１ａがプログラム電流に一致する電流が流れるように低下する。

【０９０５】

以上のように、目標プログラム電流あるいはソース信号線１８電位から適切な大きさの過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄを制御に用い、過電流（プ

リチャージ電流もしくはディスチャージ電流）の印加時間あるいは大きさを調整することにより精度のよい電流プログラムを実現できる。また、ソース信号線１８の電位変化を理論的に予測あるいは推測することができるから、コントローラＩＣ（回路）７２２（図示せず）で制御あるいは設定することが容易である。そのため、良好で精度のよい電流プログラムを実施することができる。

【０９０６】

同様に、図１０９（ｂ１）（ｂ２）（ｂ３）について説明をする。図１０９（ｂ１）では、プリチャージ電圧Ｖ０をｔ０から１μｓｅｃ（ｔ０～ｔ３の期間）印加している。また、図１０９（ｂ２）に示すように１Ｈの最初（ｔ１）～ｔ５の期間に過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ０をソース信号線１８に印加している。

【０９０７】

図１０９（ｂ３）に示すように、ｔ１～ｔ０の期間は、ソース信号線１８の電位は１Ｈ前の電位（前画素行に電流プログラムを行うために印加したソース信号線１８電位）から変化が開始する。その後、ｔ０時にプリチャージ電圧Ｖ０をｔ０から１μｓｅｃ（ｔ０～ｔ１期間）印加している。したがって、ソース信号線１８電位は、Ｖ０電圧にリセットされる。

【０９０８】

ｔ３～ｔ５の期間は、Ｉｄ０（一例として吸い込み電流方向としている。以上の事項は本発明の他の実施例でも同様である）により、ソース信号線電位１８は急激に降下する。ｔ５～ｔ２（１Ｈの最後）までの期間は、映像データによる電流プログラムが実施される。したがって、ソース信号線１８の電位は、画素１６の駆動用トランジスタ１１ａがプログラム電流に一致する電流が流れるように低下する。

【０９０９】

以上のように、任意の時間にプリチャージ電圧を印加することにより、任意のタイミングで規定されたソース信号線１８電位（図１０９ではＶ０電圧）から適切な大きさの過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄを制御に用い、過電流（プリチャージ電流もしくはディスチャージ電流）の印加時間あるいは大きさを調整することにより精度のよい電流プログラムを実現できる。また、ソース信号線１８の電位変化を理論的に予測あるいは推測することができるから、コントローラＩＣ（回路）７２２（図示せず）で制御あるいは設定することが容易である。そのため、良好で精度のよい電流プログラムを実施することができる。

【０９１０】

図１０９（ｃ）も図１０９（ｂ）と同様である。図１０９（ｃ１）では、プリチャージ電圧Ｖ０をｔ３から１μｓｅｃ（ｔ３～ｔ４の期間）印加している。また、図１０９（ｂ２）に示すように１Ｈの最初（ｔ１）～ｔ５の期間に過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ０をソース信号線１８に印加している。

【０９１１】

図１０９（ｃ３）に示すように、ｔ１～ｔ３の期間は、ソース信号線１８の電位は１Ｈ前の電位（前画素行に電流プログラムを行うために印加したソース信号線１８電位）から変化が開始する。その後、ｔ３時にプリチャージ電圧Ｖ０をｔ３から１μｓｅｃ（ｔ３～ｔ４期間）印加している。したがって、ソース信号線１８電位は、Ｖ０電圧にリセットされる。

【０９１２】

ｔ４～ｔ５の期間は、Ｉｄ０（一例として吸い込み電流方向としている。以上の事項は本発明の他の実施例でも同様である）により、ソース信号線電位１８は急激に降下する。ｔ５～ｔ２（１Ｈの最後）までの期間は、映像データによる電流プログラムが実施される。したがって、ソース信号線１８の電位は、画素１６の駆動用トランジスタ１１ａがプログラム電流に一致する電流が流れるように低下する。

【０９１３】

以上のように、任意の時間にプリチャージ電圧を印加することにより、ソース信号線１

８電位は一定の値に変更することができる。また、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄの大きさは同一である。したがって、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄによる変化カーブは一定の傾斜角度となる。任意のタイミングで規定されたソース信号線１８電位（図１０９ではＶ０電圧）から、規定された適切な大きさの過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄを制御に用い、過電流（プリチャージ電流もしくはディスチャージ電流）の印加時間あるいは大きさを調整することによりソース信号線１８電位を目標電位近傍まで変化することができる。電位が近傍になった以降は、プログラム電流により補正するだけであるので精度のよい電流プログラムを実現できる。また、ソース信号線１８の電位変化を理論的に予測あるいは推測することができるから、コントローラＩＣ（回路）７２２（図示せず）で制御あるいは設定することが容易である。

【０９１４】

図１０６～図１０９などは、過電流（プリチャージ電流）の方向は、ソースドライバ回路（ＩＣ）１４に吸い込む方向の電流（シンク電流）を例示して説明をした。しかし、本発明はこれに限定するものではなく、過電流（プリチャージ電流）は吐き出し方向であってもよい。また、過電流（プリチャージ電流もしくはディスチャージ電流）は吐き出し電流と吸い込み電流の両方を有してもよい。

【０９１５】

以上の実施例は、吸い込み電流方向のプリチャージ電流を発生する構成であった。本発明はこれに限定するものではない。たとえば、図２２２に図示するように、ソースドライバ回路（ＩＣ）１４内にシンク電流のプログラム電流出力段２５１ｃａと、吐き出し電流を出力するプログラム電流出力段２５１ｃｂを形成または構成してよい。シンク電流を発生するプログラム電流出力段２５１ｃａはＮチャンネルトランジスタで構成される。吐き出し電流を発生するプログラム電流出力段２５１ｃｂはＰチャンネルトランジスタで構成される。

【０９１６】

シンク電流のプリチャージ電流を発生する場合は、出力段２５１ｃａのスイッチＤｎを制御あるいは操作する。吐き出し電流を発生する場合は、出力段２５１ｃｂスイッチＤｎを制御あるいは操作する。いずれかのプリチャージ電流は、スイッチ２２１ｂ１とスイッチ２２１ｂ２を制御することにより実現する。また、プリチャージする階調あるいは現在と目標の電位差などに応じて、シンク電流によるプリチャージ駆動（過電流駆動）を実施するか、吐き出し電流によるプリチャージ（過電流駆動）を実施するかを切り換えてもよい。

【０９１７】

以上のように、本発明のプリチャージ電流は、シンク電流でも、吐き出し電流のいずれでもよい。また、トランジスタ群２５１ｃはＰチャンネルトランジスタで構成しても、Ｎチャンネルトランジスタで構成してもよい。また、トランジスタ群２５１ｃは、Ｐチャンネルトランジスタ２２４とＮチャンネルトランジスタ２２４の両方を用いて構成してもよい。また、図２２２のように組み合わせてもよい。以上の事項は本発明の他の実施例にも適用できることはいうまでもない。たとえば、図３３～図６３で説明した駆動方式にも適用できる。また、組み合わせることができる。

【０９１８】

図１１１は、過電流（プリチャージ電流もしくはディスチャージ電流）が吐き出し電流と吸い込み電流の両方を用いる場合の駆動方法の説明図である。回路構成としては図１１０の構成が例示される。図１１１において、スイッチ２２１ａはプリチャージ電圧のオンオフ制御に用いる。オンの時、出力端子９３にプリチャージ電圧が印加される。スイッチＤｃ２は吐き出し方向のプリチャージ電流のオンオフ制御に用いる。オンの時、出力端子９３に吐き出し方向のプリチャージ電流が印加される。また、スイッチＤｃ１は吸い込み方向のプリチャージ電流のオンオフ制御に用いる。オンの時、出力端子９３に吸い込み方向のプリチャージ電流が印加される。

【０９１９】
図１１１のａの期間では、プリチャージ電圧Ｖ０を１Ｈの最初に１μｓｅｃ印加している。また、図１１１のＤｃ１スイッチはｔ１～ｔａ期間オンしている。したがって、吸い込み方向の過電流Ｉｄ１が流れる。ｔ１から１μｓｅｃの期間は、ソース信号線１８の電位は０階調の電圧電位Ｖ０である。以降ｔａまでの期間は、過電流（プリチャージ電流）Ｉｄ０により、ソース信号線電位１８は急激に降下する。ｔａ～ｔ２までの期間は、映像データによる電流プログラムが実施される。したがって、ソース信号線１８の電位は、画素１６の駆動用トランジスタ１１ａがプログラム電流に一致する電流が流れるように低下する。
【０９２０】
図１１１のｂの期間では、プリチャージ電圧は印加していない。また、図１１１のＤｃ２スイッチはｔ２～ｔｂ期間オンしている。したがって、吐き出し方向の過電流Ｉｄ２が流れる。過電流（プリチャージ電流）Ｉｄ２により、ソース信号線電位１８は急激に上昇する。ｔｂ～ｔ３までの期間は、映像データによる電流プログラムが実施される。したがって、ソース信号線１８の電位は、画素１６の駆動用トランジスタ１１ａがプログラム電流に一致する電流が流れるように低下する。
【０９２１】
図１１１のｃの期間は低階調領域の書き込みのため、プリチャージ電圧Ｖ０を１Ｈの最初に１μｓｅｃ印加している。図１１１のＤｃ１、Ｄｃ２スイッチはオフ状態である。ｔ３から１μｓｅｃの期間は、ソース信号線１８の電位は０階調の電圧電位Ｖ０である。以降ｔ４までの期間は、映像データによる電流プログラムが実施される。したがって、ソース信号線１８の電位は、画素１６の駆動用トランジスタ１１ａがプログラム電流に一致する電流が流れるように低下する。
【０９２２】
図１１１のｄの期間では、プリチャージ電圧Ｖ０を１Ｈの最初に１μｓｅｃ印加している。また、図１１１のＤｃ１スイッチはｔ４～ｔｄ期間オンしている。したがって、吸い込み方向の過電流Ｉｄ１が流れる。ｔ４から１μｓｅｃの期間は、ソース信号線１８の電位は０階調の電圧電位Ｖ０である。
【０９２３】
以降ｔｄまでの期間は、過電流（プリチャージ電流）Ｉｄ０により、ソース信号線電位１８は急激に降下する。ｔｄ～ｔ５までの期間は、映像データによる電流プログラムが実施される。したがって、ソース信号線１８の電位は、画素１６の駆動用トランジスタ１１ａがプログラム電流に一致する電流が流れるように低下する。
【０９２４】
図１１１のｅの期間では、プリチャージ電圧は印加していない。また、図１１１のＤｃ２スイッチはｔ５～ｔｅ期間オンしている。したがって、吐き出し方向の過電流Ｉｄ２が流れる。過電流（プリチャージ電流）Ｉｄ２により、ソース信号線電位１８は急激に上昇する。ｔｅ～ｔ６までの期間は、映像データによる電流プログラムが実施される。したがって、ソース信号線１８の電位は、画素１６の駆動用トランジスタ１１ａがプログラム電流に一致する電流が流れるように低下する。
【０９２５】
以上の実施例では、プリチャージ期間に過電流を印加するとした。過電流はスイッチＤを制御することにより印加する。しかし、本発明はこれに限定するものではない。本発明は、過電流、あるいはプリチャージ電流は、図２９、図３０に図示するように基準電流Ｉｃを基準として発生している。基準電流Ｉｃは一例としてソースドライバ回路（ＩＣ）１４の外づけ抵抗Ｒの値により調整する。
【０９２６】
プリチャージ（電流）を印加する期間に、基準電流Ｉｃを大きくすること、あるいは、プリチャージの程度により基準電流を可変あるいは調整できれば、より良好なプリチャージを実現できる。図２５４はその実施例である。また、階調表示あるいは画面表示に必要

な輝度に対応させて基準電流Ｉｃを変更あるいは調整もしくは可変できれば、柔軟なあるいは良好な画像表示を実現できる。

【０９２７】

図２５４は、基準電流を変化させる実施例である。一例としてソースドライバ回路（ＩＣ）１４に外づけ抵抗Ｒ１、Ｒ２が取り付けられている。Ｒ２　＞　Ｒ１なる関係とし、Ｒ１とＲ２のどちらの抵抗を利用するかは、ソースドライバ回路（ＩＣ）１４内に構成されたアナログスイッチＳｐで切り換えることができる。一例として、Ｒ２　＝１０・Ｒ１なる関係とする。つまり、スイッチＳｐによりＲ２を選択した場合の基準電流Ｉｃ２は、Ｒ１を選択した場合の基準電流Ｉｃ１に対して１０倍（Ｉｃ２＝１０・Ｉｃ１）の関係となる。つまり、基準電流を通常より大きく設定することができる。

【０９２８】

基準電流ＩｃはＲ２を選択したとき、Ｉｃ２となり、トランジスタ群２２８ｂに印加され、端子９３から出力される電流も通常の１０倍となる。基準電流ＩｃはＲ１を選択したとき、Ｉｃ１となり、トランジスタ群２２８ｂに印加され、端子９３から出力される電流は通常どおりとなる。

【０９２９】

端子９３から出力される電流はトランジスタ群２５１ｃを制御するスイッチＤの状態により異なる。Ｉｃ２がトランジスタ群２２８に印加されるときは、プログラム電流は１０倍となる。図２５５に図示するように、プリチャージ期間にはスイッチＳｐはｂ端子を選択している。したがって、抵抗Ｒ２が選択され、一例として通常の１０倍の基準電流Ｉｃ２が流れる。プリチャージ期間以外は、スイッチＳｐはａ端子を選択している。したがって、抵抗Ｒ１が選択され、一例として通常の基準電流Ｉｃ１が流れる。なお、プリチャージ期間は、コントローラ７２２からの制御信号により可変することが可能である。プリチャージ期間が長ければ、ソース信号線１８への電流（電圧）印加期間が長くなる。プリチャージ期間が短ければ、ソース信号線１８への電流（電圧）印加期間が短くなる。

【０９３０】

したがって、図２５４の実施例では、プリチャージ期間は、基準電流が大きくなるため、プリチャージによるソース信号線１８の電荷の充放電を短期間で実施できる。ただし、プリチャージビットが選択されていない場合は、プリチャージ期間にはプログラム電流を出力するスイッチＤ（２２１）（図２２を参照のこと）がすべてオープン状態となる。したがって、端子９３からは電流が出力されない。つまり、プリチャージ電流はソース信号線１８に印加されない。この期間は図２５５のＡ期間である。プリチャージビットは０である。したがって、スイッチＳｐは選択されているが、スイッチＤ（２２１）がオープン状態のためプリチャージ電流（Ｐ電流）は出力されない。図２５５のＢおよびＣ期間は、プリチャージビットは１である。したがって、スイッチＳｐはｂ端子を選択し、スイッチＤ（２２１）が制御信号に対応して制御され、プリチャージ電流（Ｐ電流）がプリチャージ期間にソース信号線１８に出力される。基準電流がＩｃ１の期間は、画素への電流プログラムが実施されている期間である。この期間は、映像データに対応するプログラム電流（映像電流）またはプログラム電圧が各画素１６に書き込まれる。以上の動作は、端子ごとに、また、映像データごとに実施されることが好ましい。また、プリチャージ期間も、端子ごとに、また、映像データごとに変化あるいは可変してもよいことは言うまでもない。もちろん、ソースドライバ回路（ＩＣ）１４全体で、プリチャージ期間の長さ、プリチャージ期間の基準電流Ｉｃ２の大きさなどを同一動作させてもよい。

【０９３１】

図２５４は、外付け抵抗Ｒ（Ｒ１、Ｒ２）を選択して基準電流を可変するとした。しかし、本発明はこれに限定するものではない。図２５６に記載するように、ソースドライバ回路（ＩＣ）１４に内蔵の抵抗Ｒ（Ｒａ、Ｒｂ）を形成し、この抵抗をスイッチＳｒで切り換えることにより基準電流Ｉｃの大きさを変化させてもよい。スイッチＳｒがクローズすることにより、内蔵抵抗はＲａとなり、スイッチＳｒをオープンさせれば内蔵抵抗はＲａ＋Ｒｂとなる。また、外付け抵抗は、図２５４のように２つに限定するものではなく、

図２５６に図示するように３つ以上から選択してもよい。

【０９３２】

また、図２５８に図示するように、ソースドライバ回路（ＩＣ）１４内に内蔵抵抗を複数直列または並列に接続して構成し、スイッチＳｐ（Ｓｐａ～Ｓｐｎ）を選択することにより基準電流Ｉｃを多様に変化あるいは変更してもよい。

【０９３３】

図２５４の外付け抵抗は、図２５７に図示するように、ＲＧＢで変更できるように構成することが好ましい。ＥＬ表示パネルでは、ＲＧＢで発光効率が異なるため、ＲＧＢの基準電流Ｉｃ（Ｉｃｒ、Ｉｃｇ、Ｉｃｂ）が異なるからである。したがって、ＲＧＢごとに、プリチャージ期間に印加するプリチャージ電流の大きさも異なる。図２５７のように構成することにより、ＲＧＢで最適なプログラム電流、プリチャージ電流に設定できる。図２５７の事項は、図２５４のように、以上の事項は図２５６などの内蔵抵抗にも適用される。つまり、ＲＧＢで内蔵抵抗の値を変化させたソースドライバ回路（ＩＣ）１４を形成すればよい。

【０９３４】

以上の説明では、抵抗Ｒの値を変化させることにより、基準電流Ｉｃの大きさを変化するとして説明した。しかし、本発明は、プリチャージ期間の基準電流と、プログラム期間（通常期間）の基準電流とを変化させることを技術的思想としている。したがって、図２５２に図示する構成も本発明の技術的範疇である。

【０９３５】

図２５２はトランジスタ群２２８ｂを複数のトランジスタで構成している。各トランジスタには選択するスイッチＳ（Ｓ１～Ｓ４）が形成されている。スイッチＳのクローズ数を変更することにより、基準電流Ｉｃを分流するトランジスタ２２８ｂ数を変更できる。変更により、トランジスタ２２８ｂとカレントミラー回路を構成するトランジスタ群２５１ｃとのミラー比を変更できる。ミラー比を変更することにより、端子９３から出力する電流を変更（可変）することができる。したがって、図２５４と同様に、プリチャージ期間に出力電流（プリチャージ電流）を大きくし、通常期間に出力電流（プログラム電流）を映像データに最適な大きさにすることができる。

【０９３６】

図２５９はトランジスタ群２２８ｂを複数のトランジスタ群（２２８ｂ１、２２８ｂ２）で構成している。トランジスタ群２２８ｂ１（一例として２個のトランジスタ２２８ｂ１で構成されている）には基準電流Ｉｃ１が印加され、トランジスタ群２２８ｂ２（一例として２個のトランジスタ２２８ｂ２で構成されている）には基準電流Ｉｃ２が印加される。それぞれの基準電流Ｉｃ１、Ｉｃ２の大きさを変化させることにより、また、それぞれの基準電流Ｉｃ１、Ｉｃ２をオンオフさせることにより、トランジスタ２２８ｂとカレントミラー回路を構成するトランジスタ群２５１ｃとのミラー比を変更できる。ミラー比を変更することにより、端子９３から出力する電流を変更（可変）することができる。したがって、図２５４と同様に、プリチャージ期間に出力電流（プリチャージ電流）を大きくし、通常期間に出力電流（プログラム電流）を映像データに最適な大きさにすることができる。

【０９３７】

図２５３はトランジスタ群２２８ａを複数のトランジスタで構成した実施例である。各トランジスタには選択するスイッチＳａ（Ｓａ１～Ｓａ３）が形成されている。スイッチＳａのクローズ数を変更することにより、基準電流Ｉｃの大きさを変更できる。スイッチＳａの設定変更により、トランジスタ２２８ｂに流れる基準電流Ｉｃの大きさが変化し、端子９３から出力する電流を変更（可変）することができる。したがって、図２５４と同様に、プリチャージ期間に出力電流（プリチャージ電流）を大きくし、通常期間に出力電流（プログラム電流）を映像データに最適な大きさにすることができる。

【０９３８】

なお、以上の実施例は、外付け抵抗Ｒの一端子をＶｄｄ電圧など高電圧側に接続する実

施例であった。しかし、本発明はこれに限定するものではない。図２６０に図示するように、外付け抵抗Ｒの一端子をＧＮＤ側に接続する構成であってもよい。つまり、基準電流の発生方式に制約はない。図２６０の他の構成は他の実施例と同様である。また、図２５２から図２６０の実施例は相互に組み合わせできることも言うまでのない。

【０９３９】

以上のことは、本発明のソースドライバ回路（ＩＣ）１４のすべてに適用できることは言うまでもない。また、端子９３から出力されるプリチャージ電流、プログラム電流の方向は、吐き出し電流方向、吸い込み（シンク）電流方向のいずれでもよいことは言うまでもない。

【０９４０】

以上のように、目標プログラム電流あるいはソース信号線１８電位から適切な大きさの過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄを制御に用い、過電流（プリチャージ電流もしくはディスチャージ電流）の印加時間あるいは大きさを調整することにより精度のよい電流プログラムを実現できる。また、ソース信号線１８の電位変化を理論的に予測あるいは推測することができるから、コントローラＩＣ（回路）７２２（図示せず）で制御あるいは設定することが容易である。そのため、良好で精度のよい電流プログラムを実施することができる。

【０９４１】

以上の実施例は、１Ｈ期間内の過電流（プリチャージ電流もしくはディスチャージ電流）駆動または／およびプリチャージ電圧駆動の実施例であった。しかし、過電流（プリチャージ電流もしくはディスチャージ電流）駆動または／およびプリチャージ電圧駆動は１Ｈ期間内だけではなく、１フレームあるいは複数水平走査期間のソース信号線１８の電位状態を考慮して行うことが好ましい。

【０９４２】

本発明では、図１３２で図示するようにプリチャージ電圧もＦＲＣ化している。たとえば、図１３２（ｂ）は４ＦＲＣの駆動方法である。図１３２（ｂ）において、白○（白丸）はプリチャージ電圧（プログラム電圧と同義あるいは類似）が印加（出力）されたことを示しており、黒○（黒丸）はプリチャージ電圧（プログラム電圧と同義あるいは類似）が印加されていないことを示している。つまり、図１３２（ｂ）（１）では、４フレーム（フィールド）で１回しかプリチャージ電圧（プログラム電圧と同義あるいは類似）が印加されないことを示している。

【０９４３】

同様に図１３２（ｂ）（２）では、４フレーム（フィールド）で２回しかプリチャージ電圧（プログラム電圧と同義あるいは類似）が印加されないことを示しており、図１３２（ｂ）（３）では、４フレーム（フィールド）で３回プリチャージ電圧（プログラム電圧と同義あるいは類似）が印加されることを示している。図１３２（ｂ）（４）では、４フレーム（フィールド）ともプリチャージ電圧（プログラム電圧と同義あるいは類似）が印加されることを示している。

【０９４４】

以上の動作（方法）を実施することによりプリチャージ電圧（プログラム電圧と同義あるいは類似）で階調表示を増大することができる。したがって、階調数が増加しより良好な画像表示を実現できる。つまり、低階調領域では主としてプリチャージ電圧（プログラム電圧と同義あるいは類似）で階調表示を実現し、高階調領域ではプログラム電流により階調表示を実現する。

【０９４５】

ＦＲＣとプリチャージ駆動（プリチャージ電圧を印加する駆動方式）を組み合わせた場合、プリチャージ駆動を実施する階調と、プリチャージ駆動を実施しない階調で画像表示のみだれが発生する場合がある。

【０９４６】

たとえば、７階調目と８階調目の組み合わせで階調表示を行っている複数の第２の画素

行の帯表示（横線）があるとする。前記画素の１画素行前の第１の画素行に、１階調目の階調表示が実施されているとする。１階調目から７階調目に変化する時はプリチャージ駆動を実施する。１階調目から８階調目に変化する時はプリチャージ駆動を実施しないとする。すると、第１の画素行の画素から、第２の画素行の画素に変化する時、第２の画素行の画素が、７階調目の時はプリチャージ駆動を実施され、比較的完全な階調に対応する輝度表示（高輝度）が実現される。第１の画素行の画素から、第２の画素行の画素に変化する時、第２の画素行の画素が、８階調目の時はプリチャージ駆動を実施されず、比較的低輝度表示となる。そのため、第２の画素行では、ＦＲＣ駆動に同期して、比較的高輝度と低輝度表示が入り混じり、また、次の画素行にお引きが発生し、ノイズっぽい表示となる。

【０９４７】

第２の画素行の帯表示が、８階調目と９階調目の組み合わせでＦＲＣ駆動による表示が行われている場合は、第１の画素行の画素から、第２の画素行の画素に変化する時であっても、前述の課題は発生しない。１画素行前の第１の画素行に１階調目の階調表示が実施されているとし、１階調目から８階調目に変化する時はプリチャージ駆動を実施しないし、１階調目から９階調目に変化する時はプリチャージ駆動を実施しないからである。つまり、第２の画素行の帯表示では、ＦＲＣは実施されていても、その表示部の画素には、プリチャージ駆動が実施されていないからである（プリチャージ駆動を実施する画素と、実施しない画素が入り混じっていない）。

【０９４８】

第２の画素行の帯表示が、６階調目と７階調目の組み合わせでＦＲＣ駆動による表示が行われている場合も、第１の画素行の画素から、第２の画素行の画素に変化する時であっても、前述の課題は発生しない。１階調目から６階調目に変化する時はプリチャージ駆動を実施するし、１階調目から７階調目に変化する時もプリチャージ駆動を実施するからである。つまり、第２の画素行の帯表示では、ＦＲＣは実施されていても、その表示部の画素はすべて、プリチャージ駆動は実施されているからである（プリチャージ駆動を実施する画素と、実施しない画素が入り混じっていない）。

【０９４９】

本発明は、上記の課題を解決するため、プリチャージ駆動を実施し、かつＦＲＣ駆動を実施する場合において、以下の条件でプリチャージ駆動を実施するかしないかを判定して、プリチャージ駆動を実施する。

【０９５０】

本発明では、プリチャージ駆動を実施する階調を、プリチャージ駆動を実施しない階調が入り混じるＦＲＣ階調（前述の実施例では、７階調目と８階調目によるＦＲＣ駆動の範囲）では、プリチャージ駆動は実施しない。

【０９５１】

たとえば、１階調目から７階調目に変化する時はプリチャージ駆動を実施し、第１階調目から８階調目に変化する時は、プリチャージ駆動を実施する場合、

・７階調目と８階調目でＦＲＣ駆動を実施している階調には、プリチャージ駆動を実施しない。

・６階調目と７階調目でＦＲＣ駆動を実施している階調には、プリチャージ駆動を実施する。

・８階調目と９階調目でＦＲＣ駆動を実施している階調には、プリチャージ駆動を実施しない。

つまり、プリチャージ駆動を実施する階調（階調差、階調変化あるいは変化量）と、プリチャージ駆動を実施する階調（階調差、階調変化あるいは変化量）の組み合わせによるＦＲＣ駆動の階調では、プリチャージ駆動を実施しない。

【０９５２】

判定は以下のロジックで行う。まず、プリチャージ駆動を行う階調は、あらかじめ設定されている、あるいは、条件判断で設定されるから既定値（たとえば、７階調目はプリチ

ャージする）あるいは既定範囲（たとえば、１階調目から７階調目の変化ではプリチャージする）である。この階調が、どのＦＲＣの階調を構成しているかも既定値あるいは既定範囲である（たとえば、７階調目と８階調目において、４ＦＲＣ駆動で階調表示する）。以上のことから、たとえば、７階調目と８階調目のＦＲＣが、プリチャージしないと判断できればよい。

【０９５３】

ＦＲＣ駆動が４フレームで階調表示するＦＲＣ（４ＦＲＣ）をすると、映像データの下位２ビットを用いてＦＲＣ駆動を実施する。プリチャージ駆動を実施するかの判定は、ある映像データの階調データから変化する映像データの階調データ（次に印加する階調データ）において、プリチャージ駆動を実施すると判断される条件において、変化する映像データの階調データの下位ビット（４ＦＲＣの場合は下位２ビット、８ＦＲＣの場合は下位３ビット、つまり、ｎＦＲＣの場合は、２のｎでＦＲＣ数が表現されるから、下位ｎビット）を無視する（０とする）。なお、この場合、下位ｎビットは、階調の小数点以下を表現している。

【０９５４】

たとえば、７階調目と８階調目で、４ＦＲＣによる階調表示を行う場合は、７．２５、７．５０、７．７５、８．００と表現されるが、小数点以下は無視されるから、８．００以外は表現されない。８階調目はプリチャージ駆動を実施しないから、この階調（７階調目と８階調目によるＦＲＣ）において、プリチャージしないと判定される。したがって、プリチャージ駆動する階調と、プリチャージ駆動しない階調からなる階調範囲では、プリチャージ駆動は実施しないと判定される。

【０９５５】

一方、６階調目と７階調目で、４ＦＲＣによる階調表示を行う場合は、６．２５、６．５０、６．７５、７．００と表現されるが、小数点以下は無視されるから、７．００以外は表現されない。７階調目はプリチャージ駆動を実施するし、６階調目も実施するから、この階調（６階調目と７階調目によるＦＲＣ）において、プリチャージすると判定される。

【０９５６】

また、８階調目と９階調目で、４ＦＲＣによる階調表示を行う場合は、８．２５、８．５０、８．７５、９．００と表現されるが、小数点以下は無視されるから、９．００以外は表現されない。８階調目はプリチャージ駆動を実施しないし、９階調目も実施しないから、この階調（８階調目と９階調目によるＦＲＣ）において、プリチャージしないと判定される。

【０９５７】

プリチャージ駆動の実施範囲は、条件により多種多様な設定がある。たとえば、１階調目から７階調目の変化ではプリチャージするとし、２階調目から７階調目の変化ではプリチャージしないとする場合もある。１階調目から７階調目の変化ではプリチャージしないが、０階調目から７階調目の変化ではプリチャージするという場合もある。いずれの場合も、変化先の階調を含むＦＲＣ（たとえば、１階調目から７階調目の変化ではプリチャージするとし、８階調目ではプリチャージ駆動をしない場合の、７階調目と８階調目によるＦＲＣ駆動）の映像データの下位ｎビットで判定を行い、プリチャージを実施するしないを設定する。他の階範囲においても同様であり、他のｎＦＲＣ駆動との組み合わせにおいても同様である。

【０９５８】

本発明では、プリチャージ電流あるいはプリチャージ電圧駆動を実施するとした。たとえば、８ビット（２５６階調）のソースドライバ回路（ＩＣ）１４で１０２４階調を実現するためには、図１３２で説明したように４ＦＲＣと組み合わせる。したがって、１０２４階調で、２階調目は、２５６階調のソースドライバ回路（ＩＣ）１４では、０階調目の出力と１階調目の出力とを組み合わせて表示する。したがって、ＦＲＣ駆動ではソース信号線１８には、１Ｈごとに０階調目の電圧（プリチャージ電圧と１階調目のプログラム電

圧またはプログラム電流）が交互に印加される。この領域は低階調領域であるから、１階調目は必ずプリチャージ駆動が実施される。プリチャージ駆動はラスター表示でも実施される。プリチャージ駆動すると、電流駆動であっても電圧駆動状態となり表示の均一性が低下する。一方ラスター表示では、たとえ低階調領域であっても書き込み不足は発生しないため、プログラム電流のみで均一表示を実現できる。プリチャージ駆動を実施することにより均一性が低下することは好ましくない。

【０９５９】

この課題を解決するため、本発明は、ＦＲＣ駆動を実施する場合は、隣接した階調出力の場合（２５６階調のソースドライバ回路（ＩＣ）１４では、０階調目の出力と１階調目が隣接出力である。また、１階調目の出力と２階調目が隣接出力である）は、プリチャージ駆動は実施しない。つまり、ソース信号線１８に印加される出力が、１階調分しか差がないときはプリチャージ駆動（電圧プリチャージ、電流プリチャージなど）を実施しない。ＦＲＣによるラスター表示あるいは画像に変化が発生しないと判断し、電流駆動のみで均一表示を実現するためである。１階調差はＦＲＣを実施するため、プリチャージ駆動を実施すると、画面全体に電圧駆動が実施されることになり、各画素１６の駆動用トランジスタ１１ａの特性ばらつきが画面６４に表示される可能性が高いからである。

【０９６０】

なお、ＦＲＣとは、隣接した階調を組み合わせて間の階調表示を実現する技術である。たとえば、６ビット表示（６４階調）で４ＦＲＣを実施すると、約２５６階調表示を実現できる。この表示方法では、たとえば、１階調目と２階調目（隣接した階調）を組み合わせて、１階調目と２階調目間に７階調の表示を実現できる。同様に、２階調目と３階調目（隣接した階調）を組み合わせて、１階調目と２階調目間に７階調の表示を実現できる。

【０９６１】

２階調以上の差があるときは、プリチャージ駆動（電圧プリチャージ、電流プリチャージなど）を実施する（特に低階調領域では実施する）。たとえば、２５６階調のソースドライバ回路（ＩＣ）１４では、ソース信号線１８に印加する出力が０階調目から２階調目に変化する時である。また、１階調目の出力から３階調目に変化するときである。２階調以上変化する時は、ＦＲＣ以上の階調変化として判断し、書き込み不足をプリチャージ駆動で解決する。以上の判断は、コントローラ回路（ＩＣ）７２２で行う。つまり、２階調差以上では、ＦＲＣ駆動は実施されないからである。

【０９６２】

さらに実施例を記載すれば、１０２４階調の６階調目は、２５６階調のソースドライバ回路（ＩＣ）１４では、１階調目の出力と２階調目の出力で表示する。ソース信号線１８には２５６階調のソースドライバ回路（ＩＣ）１４から、１階調目の出力と２階調目の出力が交互にあるいは一定周期で印加される。

【０９６３】

このように、ソース信号線１８に印加する映像データが１階調分の時は、プリチャージ駆動は実施しない。つまり、ソース信号線１８に印加される出力が、ＦＲＣを考慮しない階調（本実施例では２５６階調）で１階調分しか差がないときはプリチャージ駆動（電圧プリチャージ、電流プリチャージなど）を実施しない。ＦＲＣによるラスター表示あるいは画像に変化が発生しないと判断し、電流駆動のみで均一表示を実現するためである。

【０９６４】

２階調以上の差があるときは、プリチャージ駆動（電圧プリチャージ、電流プリチャージなど）を実施する。特に低階調領域で実施する。たとえば、２５６階調のソースドライバ回路（ＩＣ）１４では、ソース信号線１８に印加する出力が１階調目から３階調目以上に変化する場合が例示される。なお、高階調領域ではプリチャージ駆動を実施する必要がない。書き込み電流が大きいためである。

【０９６５】

以上はＦＲＣを実施するときに、本階調（実施例では２５６階調）で、ソース信号線１８に印加する階調数が２階調以上変化する時に、必要に応じてプリチャージ駆動を実施す

るとした。しかし、本発明はこれに限定するものではない。ＦＲＣを実施しない場合においても、ソース信号線１８に印加する階調数が２階調以上変化する時に、必要に応じてプリチャージ駆動を実施するとしてもよいことは言うまでもない。

【０９６６】

ただし、隣接した画素行での変化（ソース信号線１８に印加する信号レベルの変化）が１階調差の場合であっても、プリチャージ駆動を実施してもよい。たとえば、自然画を表示する場合は、プリチャージ駆動を実施しても、各画素１６の駆動用トランジスタ１１ａの特性ばらつきはめだたない（白ラスターなどのパターン表示の場合は、駆動用トランジスタ１１ａの特性ばらつきがめだつ）。したがって、表示画像をコントローラ回路（ＩＣ）７２２で判断して、プリチャージ駆動の実施の有無を決定すればよい。

【０９６７】

また、ｎＦＲＣ後の階調で変化する階調数がＣとした場合に、Ｃ／ｎが１よりも大きい場合に必要に応じてプリチャージ駆動を実施するとしてもよいことは言うまでもない。たとえば、４ＦＲＣで、１０２４階調表示をする場合、１０２４階調で変化する階調数が４（Ｃ＝４）であれば、４／４＝１で、プリチャージ駆動は実施しない。１０２４階調で変化する階調数が５以上（Ｃ＝５以上）であれば、５／４＞１で、必要に応じてプリチャージ駆動を実施する。

【０９６８】

以上の実施例では、Ｃ／ｎが１よりも大きい場合に必要に応じてプリチャージ駆動を実施するとして説明したが、Ｃ／ｎがＫよりも大きい場合に必要に応じてプリチャージ駆動を実施するとしてもよい。Ｋの値は、点灯率により変化させる。たとえば、４ＦＲＣで、１０２４階調表示をする場合、点灯率が７０％以上の場合はＫ＝４とし、１０２４階調で変化する階調数が１６（Ｃ＝１６）以上であれば、プリチャージ駆動を実施するとしてもよい。Ｃ＝１６未満の場合はプリチャージ駆動を実施しない。また、４ＦＲＣで、１０２４階調表示をする場合、点灯率が２０％以上の場合はＫ＝２とし、１０２４階調で変化する階調数が８（Ｃ＝８）以上であれば、８／４＝２＝Ｋで、プリチャージ駆動を実施するとしてもよい。Ｃ＝８未満の場合はプリチャージ駆動を実施しない。

【０９６９】

プリチャージするか否かの判断は、１画素前のソース信号線１８の電位（１画素前に印加する映像データ）だけでなく、複数画素前のソース信号線１８の電位（複数画素前に印加する映像データ）も考慮して実施することが好ましい。この実施例を図２６１に図示している。

【０９７０】

図２６１の表の横方向には、画素列の番号（０、１、２、・・・・・、９、１０、・・・・・）を示している。縦方向のｉ行はｉ画素行のプリチャージ条件に該当するか否かの判定である。０はプリチャージしない。１はプリチャージすることを示す。縦方向のｉ－１行はｉ－１画素行（ｉ行に対して１画素行前）のプリチャージ条件に該当するか否かの判定である。同様に０はプリチャージしない。１はプリチャージすることを示す。

【０９７１】

今回の本実施例では、ｉ画素行がプリチャージ条件に該当（１）で、かつ、ｉ－１画素行がプリチャージ条件に該当（１）の時に、プリチャージ電圧をソース信号線１８に印加する。つまり、２画素あるいはそれ以上の画素行に印加される映像データあるいはその変化から、プリチャージ電圧を印加するか否かを決定（判断）する。以上のように、実施するようにより、より良好なプリチャージ駆動を実現することができる。

【０９７２】

前述の実施例では、ソース信号線１８に印加する出力が１階調目から３階調目以上に変化する場合など、低階調から高階調に変化する時、３階調目から１階調目以下、１０階調目から８階調目以下などのように、高階調から低階調に変化する時に、プリチャージ駆動してもよいことは言うまでもない。なお、所定階調以上の高階調領域ではプリチャージ駆動を実施する必要がない。書き込み電流が大きいためである。

【０９７３】
プリチャージ駆動を実施する範囲は、点灯率によって可変することが望ましい。図２１３はその実施例である。点灯率が低い範囲では、画面全体が暗い場合が多い。したがって、プリチャージ電圧を印加する階調は低階調あるいは低階調の範囲だけでよい。逆にあまり広い階調でプリチャージ電圧を印加すると、プリチャージ電圧を印加した階調で色づきが発生したりする場合がある。しかし、一定以上の低階調の範囲では、プリチャージ電圧を印加する階調あるいは階調範囲を広くするほうがよい場合がある。プリチャージ電圧を印加しないと画像のお引きが発生し、視覚的に目立つからである。
【０９７４】
点灯率が高い場合は、比較的高い階調においてもプリチャージ電圧を印加してもよい。高階調あるいは高階調の範囲でプリチャージ電圧を印加することにより、画像の輪郭（階調変化が発生する箇所）がはっきりとし高精細の画像表示を実現できる。
【０９７５】
図２１３（ａ）では、点灯率７５％以上でプリチャージ電圧を印加する階調範囲（プリチャージ階調範囲）を大きくしている。点灯率７５％以下では、０階調から６階調の範囲でプリチャージ電圧電圧を印加する。なお、この範囲であっても、前述のＦＲＣ駆動の組み合わせなどによりプリチャージ電圧を印加しない階調あるいは階調変化の範囲があることは言うまでもない。点灯率７５％以上では、点灯率が大きくなるにつれ、プリチャージ階調範囲を大きくしている。一例として点灯率１００％では、０－２４階調の範囲でプリチャージ電圧を印加する階調あるいは階調変化の範囲がある。
【０９７６】
図２１３（ｂ）は、図２１３（ａ）に加えて、点灯率２５％以下の範囲においても、プリチャージ階調範囲を増加させている。点灯率２５％以上の時は、０－６階調の範囲でプリチャージ電圧を印加する。点灯率０％近傍では、一例として０－２４階調の範囲でプリチャージ電圧を印加する。
【０９７７】
なお、図２１３の実施例では、点灯率に対応してプリチャージ電圧を印加する範囲を変化させるとしたが、本発明はこれに限定するものではない。たとえば、動画と静止画でプリチャージ電圧を印加する階調あるいは階調範囲を変化あるいは変更もしくは調整してもよい。また、１画面に表示されるあるいは連続した表示画像において、静止画像と動画像の割合に応じてプリチャージ電圧を印加する階調あるいは階調範囲を変化あるいは変更もしくは調整してもよいことは言うまでもない。
【０９７８】
また、一定の階調が連続する時と、非連続の状態で、各ソース信号線に階調に印加するプリチャージ電圧あるいはプログラム電圧を変化させてもよい。たとえば、図２１４（ａ）は、表示画面９４に白線に囲まれた黒格子が表示された画像を示している。図２１４（ａ）において、縦方向にソース信号線１８が形成されている。したがって、Ａの範囲に対応するソース信号線１８には、常時白表示に対応するプログラム電流が印加されている。Ｂの範囲に対応するソース信号線１８は、ほとんどの時間は、黒表示のプログラム電流が印加されているが、一定の周期で短い期間は、白表示のプログラム電流が印加される。
【０９７９】
図２１４（ａ）のａ－ａ’に対応するソース信号線１８には、図２１４（ｂ）に図示するように、黒表示のときは。ソース信号線１８には、黒表示のアノード電圧Ｖｄｄに近い電圧Ｖｄｄに維持される。白表示のときは、ソース信号線電位はＶｂ電圧となる。図２１４（ｂ）で図示されるように、白表示から黒表示、黒表示から白表示に変化するが、ソース信号線１８の電位は、Ｖａ電圧まで変化しない（Ｖｂ電圧までしか上昇しない）。また、変化は時定数により遅延するため、白表示輝度は低下する。
【０９８０】
一方、図２１４（ｃ）に図示するように、ｂ－ｂ’のような変化では、ソース信号線１８に印加されるプログラム電流に対するソース信号線１８の電位は一定である。したがっ

て、ソース信号線１８の電位はほぼ理想てきな電位Ｖａとなる。

【０９８１】

以上のことから、図２１４（ａ）のａ－ａ’線におけるソース信号線１８の電位と、ｂ－ｂ’線の電位では白表示部での輝度が異なる。ａ－ａ’線の白表示での輝度は、ｂ－ｂ’線での白表示での輝度より低い。

【０９８２】

この課題を解決するため、本発明では、図２１４（ａ）のａ－ａ’線での白表示の階調に対して、図２１４（ａ）のｂ－ｂ’線の白表示の階調では、階調番号を低下させている。たとえば、図２１４（ａ）のａ－ａ’線での白表示の階調が階調２５５であれば、図２１４（ａ）のｂ－ｂ’線の白表示の階調は、２４０としている。

【０９８３】

以上のように、本発明は、同一階調であっても、階調が連続するか、変化するかに対応して階調番号を変化させている。図２１４（ａ）のように１つのソース信号線１８に印加するプログラム電流が変化するばあいは、白表示での階調番号と黒表示での階調番号は正規またはそれ以上とする。図２１４（ｂ）のように１つのソース信号線１８に印加するプログラム電流が連続するばあいは、白表示での階調番号の階調番号を正規より小さく（階調番号を小さく）する。

【０９８４】

プリチャージ電圧Ｖ０を得ることは本発明の重要な事項である。カソード端子あるいはアノード端子に流れる電流が小さいほど、良好な黒表示を実現できる。図２１６では、カソード端子にＲ０抵抗を挿入し、Ｒ０を分流する抵抗Ｒｍを投入する。抵抗Ｒｍには抵抗Ｒ０を分流した電流が流れる。分流した電流はＲｍに流れ、抵抗Ｒｍの端子電圧を電圧計１７０１で測定することにより抵抗Ｒ０に流れる電流を取得することができる。

【０９８５】

抵抗Ｒ０に流れる電流が小さいほど、表示領域９４に流れる電流が小さいということになり、良好な黒表示を実現できることになる。基本的には、黒表示は電流駆動の場合、プログラム電流＝０（階調０）であり、ソース信号線１８に印加する電流は０である。つまり、ソース信号線１８に電流などは印加されていない状態である。ゲート信号線１７ａにはオン電圧が印加され、トランジスタ１１ｃはクローズ状態である。その後、ゲート信号線１７ｂにオン電圧が印加されクローズ状態となる。

【０９８６】

前述の状態が黒表示（階調０の表示状態）であり、この黒表示での電流が最小であるほど、良好な黒表示を実現できる。図２１６では、Ｒ０またはＲｍに流れる電流が小さいほど良好な黒表示を実現できる。逆に、図２１６の状態で測定したＲ０に流れる電流を最小にする、ソース信号線１８の電位をプリチャージ電圧Ｖ０とすることが適正である。このプリチャージ電圧Ｖ０を階調０の電圧として採用する。

【０９８７】

プリチャージ電圧Ｖ０は図２１７で取得することも好ましい。図２１７では、複数のソース信号線１８は、短絡配線２１７１で短絡されている。短絡配線２１７１は黒電圧（プリチャージ電圧Ｖ０）を測定した後、ａ－ａ’線で割断される。

【０９８８】

図２１７においては、すべてのソース信号線１８は短絡配線２１７１で短絡されている。したがって、各ソース信号線１８はフローティング状態である。短絡配線２１７１には端子電極２１７２が形成または配置されている。端子電極２１７２にはプローブ２１７３が圧接されている。プローブ２１７３には、配線２１７５を介して定電流源２１７４が接続されている。定電流源２１７４はプリチャージ電圧Ｖ０の場合は、出力する電流は０である。

【０９８９】

配線２１７５には、配線２１７５の電位を測定する電圧測定手段１７０１が接続されている。電圧測定手段１７０１はプローブ２１７３を介してソース信号線１８の電位を測定

していることになる。今、定電流源２１７４の出力電流は０であるから、ソース信号線１８には電流が印加されていない。つまり、ソース信号線１８はプリチャージ電圧Ｖ０（階調０）の状態である。

【０９９０】

以下、本発明のＥＬ表示装置などの駆動方法について説明をする。本発明のＥＬ表示パネルは主として電流駆動方式である。特徴ある画像表示制御方法は主として２つある。１つは、基準電流の制御である。もう１つはｄｕｔｙ比制御である。この基準電流比制御と比制御を単独であるいは組み合わせることにより、ダイナミックレンジが広く、かつ高画質表示、高コントラストを実現できる。

【０９９１】

なお、本発明の明細書において、表示画面６４において、表示領域６３と全表示領域６４の割合をｄｕｔｙ比と呼ぶ。つまり、ｄｕｔｙ比は表示領域６３の面積／全表示領域６４の面積である。あるいは、ｄｕｔｙ比はオン電圧が印加されているゲート信号線１７ｂの本数／全ゲート信号線１７ｂの本数でもある。また、ゲート信号線１７ｂにオン電圧が印加され、このゲート信号線１７ｂに接続されている選択画素行数／表示領域６４の全画素行数でもある。

【０９９２】

本明細書において、点灯率に応じてｄｕｔｙ比制御などを変化させるとして説明する。しかし、点灯率とは、一定の意味ではない。たとえば、低点灯率とは、画面６４に流れる電流が小さいことを意味しているが、画像を構成する低階調表示の画素が多いことも意味する。つまり、画面６４を構成する映像は、暗い画素（低階調の画素）が多い。

【０９９３】

したがって、低点灯率とは、画面を構成する映像データのヒストグラム処理をした時、低階調の映像データが多い状態と言い換えることができる。高点灯率とは、画面６４に流れる電流が大きいことを意味しているが、画像を構成する高階調表示の画素が多いことも意味する。つまり、画面６４を構成する映像は、明るい画素（高階調の画素）が多い。高点灯率とは、画面を構成する映像データのヒストグラム処理をした時、高階調の映像データが多い状態と言い換えることができる。つまり、点灯率に対応して制御するとは、画素の階調分布状態あるいはヒストグラム分布に対応して制御することと同義あるいは類似の状態を意味することがある。

【０９９４】

以上のことから、点灯率にもとづいて制御するとは、場合に応じて画像の階調分布状態（低点灯率＝低階調画素が多い。高点灯率＝高階調画素が多い。）にもとづいて制御すると言い換えることができる。たとえば、低点灯率になるにしたがって基準電流比を増加させ、高点灯率になるにしたがってｄｕｔｙ比を小さくするとは、低階調の画素数が多くなるにしたがって、基準電流比を増加させ、高階調の画素数が多くなるにしたがってｄｕｔｙ比を小さくすると言い換えることができる。または、低点灯率になるにしたがって基準電流比を増加させ、高点灯率になるにしたがってｄｕｔｙ比を小さくするとは、低階調の画素数が多くなるにしたがって基準電流比を増加させ、高階調の画素数が多くなるにしたがってｄｕｔｙ比を小さくするのと同一あるいは類似の意味あるいは動作もしくは制御である。

【０９９５】

また、たとえば、所定の低点灯率以下で基準電流比をＮ倍し、かつ選択信号線数をＮ本にするとは、低階調の画素数が一定以上の時に、基準電流比をＮ倍し、かつ選択信号線数をＮ本にすることと同一あるいは類似の意味あるいは動作もしくは制御である。

【０９９６】

また、たとえば、通常は、ｄｕｔｙ比１／１で駆動し、所定の高点灯率以上で段階的にあるいはスムーズにｄｕｔｙ比を低下させるとは、低階調あるいは高階調の画素数が一定の範囲以内の時に、ｄｕｔｙ比１／１で駆動し、高階調の画素数が一定の以上数となった時に、段階的にあるいはスムーズにｄｕｔｙ比を低下させることと同一あるいは類似の意

味あるいは動作もしくは制御である。

【０９９７】

ＥＬ表示パネルで、フルカラー表示を実現するためには、ＲＧＢのそれぞれに基準電流を形成（作成）する必要がある。ＲＧＢの基準電流の比率でホワイトバランスを調整できる。基準電流は、単位トランジスタ２２４が流す電流値を決定する。したがって、基準電流の大きさを決定すれば、単位トランジスタ２２４が流す電流を決定することができる。そのため、Ｒ、Ｇ、Ｂのそれぞれの基準電流を設定すれば、すべての階調におけるホワイトバランスが取れることになる。以上の事項は、ソースドライバ回路（ＩＣ）１４が電流きざみ出力（電流駆動）であることから発揮される効果である。

【０９９８】

本発明では、ソースドライバ回路（ＩＣ）１４の内部に電子ボリウムを形成または配置することのより、ソースドライバ回路（ＩＣ）１４の外部からのデジタルデータ制御により基準電流を可変あるいは変更することができる。この事項は、電流駆動ドライバにおいて重要な事項である。電流駆動では、映像データがＥＬ素子１５に流れる電流に比例する。したがって、映像データをロジック処理することにより全ＥＬ素子に流れる電流を制御できる。基準電流もＥＬ素子１５に流れる電流に比例するから、基準電流をデジタル制御することにより、全ＥＬ素子１５に流れる電流を制御できる。以上のことから、映像データに基づき、基準電流比制御を実施することにより、表示輝度のダイナミックレンジの拡大などを容易に実現できる。また、表示輝度を変化した場合においてもホワイトバランスも維持することができる。

【０９９９】

基準電流比制御は図２９、図３０などに図示するように、ソースドライバ回路（ＩＣ）１４は、各ＲＧＢの基準電流Ｉｃを調整する回路２９１などを具備している。また、ソースドライバ回路（ＩＣ）１４からのプログラム電流Ｉｗは、単位トランジスタ２２４の個数で決定される。

【１０００】

１つの単位トランジスタ２２４が出力する電流は、基準電流の大きさに比例する。したがって、基準電流を調整することにより、１つの単位トランジスタ２２４が出力する電流が決定され、プログラム電流の大きさが決定される。基準電流と単位トランジスタ２２４の出力電流がリニアの関係にあり、かつ、プログラム電流と輝度がリニアの関係にあることから、白ラスター表示で各ＲＧＢの基準電流を調整してホワイトバランスを調整すれば、すべての階調でホワイトバランスが維持される。

【１００１】

図６、図７、図１２、図１３、図１４、図１５などはｄｕｔｙ比制御方法である。図６は非表示領域６２を連続して挿入する方法である。動画表示に適する。ゲートドライバ回路１２ａを制御し、ゲート信号線１７ｂにオンまたはオフ電圧を印加することにより自由にｄｕｔｙ比を変更できる。基準電流を一定にした状態で、ｄｕｔｙ比を変化させれば画面６２の輝度を変更することができる。

【１００２】

図１４は非表示領域６２を多数に分割して挿入する方法である。特に静止画表示に適する。ゲートドライバ回路１２ｂを制御し、ゲート信号線１７ｂにオンオフ電圧を周期的に印加することにより、自由にｄｕｔｙ比を変更できる。

【１００３】

以上のように、ｄｕｔｙ比制御とは、ソース信号線１８に印加するプログラム電流Ｉｗは変化させずに、ＥＬ素子１５に流れる電流を制御することにより、画面６４の明るさ制御を実現する方式である。つまり、基準電流を一定にした状態（変化させずに）で、画面６４の明るさ制御を実現する方式である。もちろん、基準電流を変化するとともに、ｄｕｔｙ比を変化させてもよい。

【１００４】

駆動用トランジスタ１１ａが流す電流を変更することなく、画面６４の明るさ制御を実

現する方式である。また、駆動用トランジスタ１１ａのゲート端子（Ｇ）電圧を変更することなく、画面６４の明るさ制御を実現する方式である。また、ゲートドライバ１２ｂの走査状態を変化させることにより、ゲート信号線１７ｂなどを制御し、画面６４の明るさ制御を実現する方式である。

【１００５】

表示領域６３の分散は、表示パネルの画素行数が２２０本で、１／４ｄｕｔｙ比であれば、２２０／４＝５５となるから、１から５５（１の明るさからその５５倍の明るさまで調整できる）。また、表示パネルの画素行が２２０本で、１／２ｄｕｔｙ比であれば、２２０／２＝１１０となるから、１から１１０（１の明るさからその１１０倍の明るさまで調整できる）。したがって、画面輝度６４の明るさの調整レンジは非常に広い（画像表示のダイナミックレンジが広い）。また、いずれに明るさであっても、表現できる階調数を維持できると特徴がある。たとえば、６４階調表示であれば、白ラスターでの表示画面６４輝度が３００ｎｔであっても、３ｎｔであっても６４階調表示を実現できる。

【１００６】

以前にも説明したが、ｄｕｔｙ比は、ゲートドライバ回路１２ｂへのスタートパルスを制御することにより容易に変更できる。したがって、１／２ｄｕｔｙ比、１／４ｄｕｔｙ比、３／４ｄｕｔｙ比、３／８ｄｕｔｙ比と多種多様なｄｕｔｙ比を容易に変更できる。

【１００７】

１水平走査期間（１Ｈ）単位のｄｕｔｙ比駆動は、水平同期信号に同期させてゲート信号線１７ｂのオンオフ信号を印加すればよい。さらに、１Ｈ単位以下でもｄｕｔｙ比制御することができる。

【１００８】

ｄｕｔｙ比が１／４ｄｕｔｙ比以下で１Ｈ以内のｄｕｔｙ比制御を実施する必要が発生するのは、１ステップあたりの変化量が大きいことが主な原因である。また、画像が中間調であるため、微小な変化でも視覚的に認識されやすいためでもある。人間の視覚は、一定以上の暗い画面では、明るさ変化に対する検出能力が低い。また、一定以上の明るい画面でも、明るさ変化に対する検出能力が低い。これは、人間の視覚が２乗特性に依存しているためと思われる。

【１００９】

パネルの画素行が２００本であれば、２０／２００ｄｕｔｙ比以下（１／２００以上２０／２００以下）で、１Ｈ内でのオンオフ制御を行って、１Ｈ以下の期間のｄｕｔｙ比制御を行う。１／２００ｄｕｔｙ比から２／２００ｄｕｔｙ比に変化すると１／２００ｄｕｔｙ比と２／２００ｄｕｔｙ比の差は、１／２００であり、１００％の変化となる。この変化はフリッカとして視覚的に認識されてしまう。したがって、１Ｈ内のオンオフ制御を行い、１Ｈ（１水平走査期間）以下の期間でＥＬ素子１５への電流供給を制御する。なお、１Ｈ期間以下（１Ｈ期間以内）でｄｕｔｙ比制御するとしたが、これに限定するものではない。図６でもわかるように非表示領域６２は連続している。つまり、１０．５Ｈ期間というような制御も本発明の範疇である。つまり、本発明は１Ｈ期間に限定されず（小数点以下が発生する）、ｄｕｔｙ比駆動を行うものである。

【１０１０】

４０／２００ｄｕｔｙ比から４１／２００ｄｕｔｙ比に変化すると、４０／２００ｄｕｔｙ比と４１／２００ｄｕｔｙ比の差は、１／２００であり、（１／２００）／（４０／２００）で２．５％の変化となる。この変化はフリッカとして視覚的に認識されるか否かは、画面輝度６４に依存する可能性が高い。ただし、４０／２００ｄｕｔｙ比は中間調表示であるので、視覚的に敏感である。したがって、ＯＥＶ２制御（図４０などを参照のこと）を行い、１Ｈ（１水平走査期間）以下の期間でＥＬ素子１５への電流供給を制御することが望ましい。

【１０１１】

以上のように、本発明の駆動方法および表示装置は、画素１６にＥＬ素子１５に流す電流値を記憶できる構成（図１ではコンデンサ１９が該当する）と、駆動用トランジスタ１

１ａと発光素子（ＥＬ素子１５が例示される）との電流経路をオンオフできる構成（図１、図１８、図１９などの画素構成が該当する）の表示パネルにあって、少なくとも表示画像の表示状態において図６、図１４の表示状態が発生させる（画像の輝度によっては、表示画面６４が表示領域６３（ｄｕｔｙ比１／１になってもよい）駆動方法である。かつ、ｄｕｔｙ比駆動（少なくとも表示画面６４の一部が非表示領域６３となる駆動方法または駆動状態）が所定のｄｕｔｙ比以下では、１水平走査期間（１Ｈ期間）以内あるいは１Ｈ期間単位に限定されるＥＬ素子１５に流す電流を制御して、表示画面６４の輝度制御を行うものである。

【１０１２】

比以下の場合に実施する。逆に所定ｄｕｔｙ比以上では、１Ｈ単位でｄｕｔｙ比制御を行う。もしくはＯＥＶ２制御は実施しない。また、１Ｈ期間以外のｄｕｔｙ比制御は、１ステップの変化が変化前から変化後で１／２０（５％）以上変化する時に実施する。さらに好ましくは、２２２（２％）以下の変化でもＯＥＶ２制御を行い微小なｄｕｔｙ比駆動制御を行うことが望ましい。もしくは、白ラスターの最大輝度の１／４以下の輝度で実施する。

【１０１３】

本発明のｄｕｔｙ比制御駆動によれば、ＥＬ表示パネルの階調表現数が６４階調であれば、表示画面６４の表示輝度（ｎｔ）がいずれの輝度（輝度が低いあるいは高いに関わらず）であっても、６４階調表示が維持される。たとえば、画素行数が２２０本で、１画素行のみが表示領域６３（表示状態）の時（ｄｕｔｙ比１／２２０）であっても、６４階調表示を実現できる。各画素行がソースドライバ回路（ＩＣ）１４のプログラム電流Ｉｗにより順次画像が書き込まれ、ゲート信号線１７ｂにより、この１画素行分が順次画像表示されるからである。全画素行が表示領域６３（表示状態）の時（ｄｕｔｙ比１／１）であっても、６４階調表示を実現できる。

【１０１４】

もちろん、２０画素行が表示領域６３（表示状態）の時（ｄｕｔｙ比２０／２２０＝ｄｕｔｙ比１／１１）であっても、６４階調表示を実現できる。画素行にソースドライバ回路（ＩＣ）１４のプログラム電流Ｉｗにより順次画像が書き込まれ、ゲート信号線１７ｂによりすべての画素行が同時に画像表示されるからである。また、２０画素行のみが表示領域６３（表示状態）の時（ｄｕｔｙ比２０／２２０＝ｄｕｔｙ比１／１１）であっても、６４階調表示を実現できる。各画素行がソースドライバ回路（ＩＣ）１４のプログラム電流Ｉｗにより順次画像が書き込まれ、ゲート信号線１７ｂにより、この２０画素行分が順次走査されて画像表示されるからである。

【１０１５】

なお、本発明の基準電流比制御（図２９、図３０などの回路構成を参照のこと）においても同様であり、基準電流が小さくとも大きくとも、６４階調表示を実現できる。

【１０１６】

本発明のｄｕｔｙ比制御駆動は、ＥＬ素子１５の点灯時間の制御であるから、ｄｕｔｙ比に対する表示画面６４の明るさは、リニアの関係にある。したがって、画像の明るさ制御がきわめて容易であり、その信号処理回路もシンプルとなり、低コスト化を実現できる。図２９のようにＲＧＢの基準電流を調整し、ホワイトバランスをとる。基準電流の調整方法としては、各ＲＧＢの電子ボリウム２９１を変化させる方法、各ＲＧＢの抵抗Ｒ１（Ｒ１ｒ、Ｒ１ｇ、Ｒ１ｂ）の値を調整する方法がある。ｄｕｔｙ比制御では、Ｒ、Ｇ、Ｂを同時に明るさ制御するためにいずれの階調、表示画面６４の明るさにおいてもホワイトバランスは維持される。

【１０１７】

ｄｕｔｙ比制御は、表示画面６４に対する表示領域６３の面積を変化させることにより、表示画面６４の輝度を変化するものであった。当然、表示面積６３に比例してＥＬ表示パネルに流れる電流はほぼ比例して変化する。したがって、映像データの総和を求めることにより、表示画面６４のＥＬ素子１５に流れる全消費電流を算出することができる。Ｅ

Ｌ素子１５のアノード電圧Ｖｄｄは直流電圧で固定値のため、全消費電流が算出できれば、画像データに応じて全消費電力をリアルタイムで算出することができる。算出された全消費電力が規定された最大電力を越えると予測される場合は、図２９などの基準電流Ｉｃを電子ボリウムなどの調整回路で調整し、ＲＧＢの基準電流を抑制制御すればよい。

【１０１８】

また、白ラスター表示での所定輝度を設定し、この時をｄｕｔｙ比最小になるように設定する。たとえば、ｄｕｔｙ比１／８にする。自然画像はｄｕｔｙ比を大きくする。最大のｄｕｔｙ比は１／１である。たとえば、表示画面６４の１／１００しか画像が表示されない自然画像をｄｕｔｙ比１／１とする。ｄｕｔｙ比１／１からｄｕｔｙ比１／８は表示画面６４の自然画像の表示状態で滑らかに変化させる。

【１０１９】

以上のように一実施例として、白ラスター表示で（自然画像ではすべての画素が１００％点灯している状態）でｄｕｔｙ比１／８とし、表示画面６４の１／１００の画素が点灯している状態をｄｕｔｙ比１／１とする。概略の消費電力は、画素数×点灯画素数の割合×ｄｕｔｙ比で算出できる。

【１０２０】

説明を容易にするため、画素数を１００とすると、白ラスター表示での消費電力は、１００×１（１００％）×ｄｕｔｙ比１／８＝８０となる。一方、１／１００が点灯している自然画像の消費電力は、１００×（１／１００）（１％）×ｄｕｔｙ比１／１＝１となる。ｄｕｔｙ比１／１～ｄｕｔｙ比１／８は画像の点灯画素数（実際には、点灯画素の総電流＝１フレームのプログラム電流の総和）に応じてフリッカが発生しないように穏やかにｄｕｔｙ比制御が実施される。

【１０２１】

以上のように白ラスターで消費電力割合は８０であり、１／１００が点灯している自然画像の消費電力割合は、１になる。したがって、白ラスター表示での所定輝度を設定し、この時をｄｕｔｙ比最小になるように設定すれば、最大電流を抑制することができる。

【１０２２】

本発明は、１画面のプログラム電流の総和をＳとし、ｄｕｔｙ比をＤとし、Ｓ×Ｄで駆動制御を実施するものである。また、白ラスター表示でのプログラム電流の総和をＳｗとし、最大のｄｕｔｙ比をＤｍａｘ（通常は、ｄｕｔｙ比１／１が最大である）とし、最小のｄｕｔｙ比をＤｍｉｎとし、また、任意の自然画像でのプログラム電流の総和をＳｓとした時、Ｓｗ×Ｄｍｉｎ　≧　Ｓｓ×Ｄｍａｘの関係が維持されるようにする駆動方法およびそれを実現する表示装置である。

【１０２３】

なお、ｄｕｔｙ比の最大は１／１とする。最小はｄｕｔｙ比１／１６以上（１／８など）にすることが好ましい。つまり、ｄｕｔｙ比は１／１６以上１／１以下にする。なお、１／１を必ず使用することには制約されないことは言うまでもない。好ましくは、最小のｄｕｔｙ比は１／１０以上にする。ｄｕｔｙ比が小さすぎると、フリッカの発生が目立ちやすく、また、画像内容による画面の輝度変化が大きくなりすぎ、画像が見づらくなるからである。

【１０２４】

先にも説明したがプログラム電流は映像データと比例の関係にある。したがって、プログラム電流の総和とは映像データの総和と同義である。なお、１フレーム（１フィールド）期間のプログラム電流の総和を求めるとしたが、これに限定するものではない。１フレーム（１フィールド）において、所定間隔あるいは、所定周期などでプログラム電流を加算する画素をサンプリングしてプログラム電流（映像データ）の総和としてもよい。また、制御を行うフレーム（フィールド）の前後の総和データを用いてもよいし、推定あるいは予測による総和データをもちいて、ｄｕｔｙ比制御を行っても良い。

【１０２５】

ｄｕｔｙ比駆動において、点灯領域６３の分割数は動画あるいは静止画の表示状態に応

じて変化せることが好ましい。動画の場合は、表示画面６２に点灯（表示）領域６３を１または２の分割数とする。静止画の場合は表示画面６２に点灯（表示）領域６３は３以上にする。

【１０２６】

図１１２は本発明の駆動回路のブロック図である。以下、本発明の駆動回路について説明をする。図１１２では、外部からＹ／ＵＶ映像信号と、コンポジット（ＣＯＭＰ）映像信号が入力できるように構成されている。どちらに映像信号を入力するかは、スイッチ回路１１２１により選択される。

【１０２７】

スイッチ回路１１２１で選択された映像信号は、デコーダおよびＡ／Ｄ回路によりデコードおよびＡＤ変換され、デジタルのＲＧＢ画像データに変換される。ＲＧＢ画像データは各８ビットである。また、ＲＧＢ画像データはガンマ回路１１２４でガンマ処理される。同時に輝度（Ｙ）信号が求められる。ガンマ処理により、ＲＧＢ画像データは各１０ビットの画像データに変換される。

【１０２８】

ガンマ処理後、画像データはＦＲＣ処理または誤差拡散処理が処理回路１１２９で行われる。ＦＲＣ処理または誤差拡散処理によりＲＧＢ画像データは６ビットに変換される。この画像データはＡＩ処理回路１１２６でＡＩ処理あるいはピーク電流処理が実施される。また、動画検出回路１１２７で動画検出が行われる。同時に、カラーマネージメント回路１１２８でカラーマネージメント処理が行われる。

【１０２９】

ＡＩ処理回路１１２６、動画検出回路１１２７、カラーマネージメント回路１１２８の処理結果は演算回路１１２９に送られ、演算処理回路１１２９で制御演算され、フレーム間制御変換、映像データ変換、ｄｕｔｙ比制御、基準電流比制御データに変換され、変換された結果が、ソースドライバ回路（ＩＣ）１４およびゲートドライバ回路１２に制御データとして送出される。

【１０３０】

なお、コントローラ７２２の機能は、ソースドライバ回路（ＩＣ）１４に組み込んで一体としてもよいことは言うまでもない。

【１０３１】

ｄｕｔｙ比制御、基準電流比制御、ピーク電流制御などは、ＯＳＤ（オンスクリーンディスプレイまたはオンスクリーンデマンド）には適用しないことが好ましい。ＯＳＤでは、ビデオカメラなどにおいて、メニュー画面表示などを行うものである。ＯＳＤにおいても、ピーク電流制御などを行うと、メニューの表示状態によって画面が暗くなったり明るくなったりし、視覚的に不具合が発生する。

【１０３２】

この課題に対しては、ＯＳＤのデータ（ＯＳＤＤＡＴＡ）と映像データ（動画データ）とを別のコントロール回路１１２６で処理をする。基本的には、ＯＳＤデータは輝度変調を実施しない。

【１０３３】

なお、コントローラ回路（ＩＣ）７２２に関しても、１チップ化することに限定するものではない。たとえば、ゲートドライバ回路１２を制御するコントローラ回路（ＩＣ）７２２Ｇと、ソースドライバ回路（ＩＣ）１４を制御するコントローラ回路（ＩＣ）７２２Ｓに分離してもよい。分離により処理内容が明確になり、コントローラＩＣを小サイズ化することが可能である。

【１０３４】

ｄｕｔｙ比制御データはゲートドライバ回路１２ｂに送られ、ｄｕｔｙ比制御が実施される。一方、基準電流比制御データはソースドライバ回路（ＩＣ）１４に送られ、基準電流比制御が実施される。ガンマ補正され、ＦＲＣまたは誤差拡散処理された画像データもソースドライバ回路（ＩＣ）１４に送られる。

【１０３５】
画像データ変換は、ガンマ回路１１２４のガンマ処理により行う必要がある。ガンマ回路１１２４は、多点折れガンマカーブにより階調変換を行う。２５６階調の画像データは、多点折れガンマカーブにより１０２４階調に変換される。ガンマ回路１１２４により多点折れガンマカーブでガンマ変換するとしたが、これに限定するものではない。
【１０３６】
以上の説明ではｄｕｔｙ比で制御するとして説明したが、ｄｕｔｙ比は、所定期間（通常は１フィールドまたは１フレームである。つまり、一般的には任意の画素の画像データが書き換えられる周期もしくは時間である）におけるＥＬ素子１５の点灯期間である。つまり、ｄｕｔｙ比１／８とは、１フレームの１／８の期間（１Ｆ／８）の間、ＥＬ素子１５が点灯していることを意味する。したがって、ｄｕｔｙ比は、画素１６が書き変えられる周期時間をＴｆとし、画素の点灯期間Ｔａとした時、ｄｕｔｙ比＝Ｔａ／Ｔｆと読み替えることができる。
【１０３７】
なお、画素１６が書き変えられる周期時間をＴｆとし、Ｔｆを基準とするとしたがこれに限定されるものではない。本発明のｄｕｔｙ比制御駆動は、１フレームあるいは１フィールドで動作を完結させる必要はない。つまり、数フィールドあるいは数フレーム期間を１周期としてｄｕｔｙ比制御を実施してもよい。したがって、Ｔｆは画素を書き換える周期だけに限定されるものではなく、１フレームあるいは１フィールド以上であってもよい。たとえば、１フィールドあるいは１フレームごとに点灯期間Ｔａがことなる場合は、繰り返し周期（期間）をＴｆとし、この期間の総点灯期間Ｔａを採用すればよい。つまり、数フィールドあるいは数フレーム期間の平均点灯時間をＴａとしてもよい。ｄｕｔｙ比についても同様である。ｄｕｔｙ比がフレーム（フィールド）ごとに異なる場合は、複数フレーム（フィールド）の平均ｄｕｔｙ比を算出して用いればよい。
【１０３８】
したがって、白ラスター表示でのプログラム電流の総和をＳｗとし、任意の自然画像でのプログラム電流の総和をＳｓとし、最小の点灯期間をＴａｓ、最大の点灯期間をＴａｍ（通常はＴａｍ＝ＴｆであるからＴａｍ／Ｔｆ＝１）とした時、Ｓｗ×（Ｔａｓ／Ｔｆ）≧　Ｓｓ×（Ｔａｍ／Ｔｆ）の関係が維持されるようにする駆動方法およびそれを実現する表示装置である。
【１０３９】
図２９、図３０に図示あるいは説明したように基準電流の制御により、プログラム電流をリニアに調整することができる。１つあたりの単位トランジスタ２２４の出力電流が変化するからである。単位トランジスタ２２４の出力電流を変化させるとプログラム電流Ｉｗも変化する。画素のコンデンサ１９にプログラムされる電流（実際はプログラム電流に相当する電圧である）が大きいほど、ＥＬ素子１５に流れる電流も大きくなる。ＥＬ素子１５に流れる電流と発光輝度はリニアに比例する。したがって、基準電流を変化することによりＥＬ素子１５の発光輝度をリニアに変化させることができる。
【１０４０】
本発明のソースドライバ回路（ＩＣ）１４は、出力端子９３に接続される単位トランジスタ２２４の個数を制御することによりプログラム電流Ｉｗを変化させるものであった。また、プログラム電流Ｉｗは図２９、図３０などで説明したように、基準電流Ｉｃを変化させることにより実現した。
【１０４１】
しかし、本発明の基準電流比制御などは限定するものではない、一定の基準となるもの（電圧、電流、設定データなど）を変化し、この変化により出力端子９３から出力される電流Ｉｗを変更できるものであればいずれでもよい。ただし、基準となるものの変化により、各出力端子９３のプログラム電流Ｉｗが同一割合で変化させることが重要である。なお、プログラム電流Ｉｗの変化に限定するものではない。プログラム電圧であってもよい。各出力端子９３のプログラム電圧が同一割合で変化させることにより、表示画面６４の

輝度を調整することができるからである。また、ＲＧＢ端子で変化させることによりホワイトバランスを調整することができるからである。

【１０４２】

本発明は、説明した基準電流比制御方式と、ｄｕｔｙ比制御方式のうち、少なくとも一方の方式を用いて画面の明るさなどの制御を行うものである。好ましくは、基準電流比制御方式とｄｕｔｙ比制御方式を組み合わせて実施することが好ましい。

【１０４３】

さらに、本発明の駆動方式について説明をする。本発明の駆動方法は、ＥＬ表示パネルに消費される消費電流の上限にリミットすることが１つの目的である。ＥＬ表示パネルはＥＬ素子１５に流れる電流を輝度が比例関係にある。したがって、ＥＬ素子１５に流れる電流を増大させれば、ＥＬ表示パネルの輝度もどんどん明るくすることができる。輝度に比例して消費される電流（＝消費電力）も増大する。

【１０４４】

携帯装置などのモバイル機器に用いる場合は、電池などの容量に制限がある。また、電源回路も消費される電流が大きくなると規模が大きくなる。したがって、消費する電流にはリミットを設ける必要がある。このリミットを設けること（ピーク電流抑制）が本発明の１つの目的である。

【１０４５】

画像がコントラストを大きくすることにより、表示が良好になる。めりはりのあるように画像（ダイナックレンジが広い、コントラスト比が高い、階調表現力が大きいなど）変換して画像を表示することにより表示が良好になる。以上のように画像表示を良好にすることが本発明の２つめの目的である。以上の目的を実現する本発明をＡＩ駆動と呼ぶことにする。

【１０４６】

説明を容易にするために、本発明のＩＣチップ１４は６４階調表示であるとする。ＡＩ駆動を実現するためには、階調表現範囲を拡大することが望ましい。説明を容易にするために、本発明のソースドライバ回路（ＩＣ）１４は６４階調表示とし、画像データは２５６階調とする。この画像データをＥＬ表示装置のガンマ特性に適合するように、ガンマ変換を行う。ガンマ変換は入力２５６階調を１０２４階調に拡大することによって実施する。ガンマ変換された画像データは、ソースドライバＩＣ１４の６４階調に適合するように、誤差拡散処理あるいはフレームレートコントロール（ＦＲＣ）処理が行われ、ソースドライバＩＣ１４に印加される。

【１０４７】

１画面の画像データが全体的に大きいときは画像データの総和は大きくなる。たとえば、白ラスターは６４階調表示の場合は画像データとしては６３であるから、表示画面６４の画素数×６３が画像データの総和である。１／１００の白ウインドウ表示で、白表示部が最大輝度の白表示では、表示画面６４の画素数×（１／１００）×６３が画像データの総和である。

【１０４８】

本発明では画像データの総和あるいは画面の消費電流量を予測できる値を求め、この総和あるいは値により、ｄｕｔｙ比制御あるいは基準電流比制御を行う。

【１０４９】

なお、画像データの総和を求めるとしたが、これに限定するものではない。たとえば、画像データの１フレームの平均レベルを求めてこれを用いてもよい。アナログ信号であれば、アナログ画像信号をコンデンサによりフィルタリングすることにより映像信号の平均レベルを得ることができる。アナログの映像信号に対しフィルタを介して直流レベルを抽出し、この直流レベルをＡＤ変換して画像データの総和としてもよい。この場合は、画像データはＡＰＬレベルとも言うことができる。

【１０５０】

３０フレームから３００フレーム期間の画像データの総和あるいは総和を推定できるデ

ータを求め、このデータの大きさに基づいて、ｄｕｔｙ比制御を行うこと好ましい。総和データは画像変化に応じてゆっくりと変化する。総和データを求めるフレーム期間が長いほど画像の明るさ変化はゆっくりとなる。

【１０５１】

表示画面６４を構成する画像のすべてのデータを加算する必要はなく、表示画面６４の１／Ｗ（Ｗは１より大きい値）をピックアップして抽出し、ピックアップしたデータの総和を求めてもよい。たとえば、１画素とばしで映像データをサンプリングし、サンプリングされた映像データから総和を求めるなどの方法が例示される。また、１画素行ごとに１または複数の画素の映像データをサンプリングし、サンプリングされた映像データから総和を求める方法が例示される。

【１０５２】

説明を容易にするため、以上の場合も画像データの総和を求めるとして説明をする。画像データの総和は、画像のＡＰＬレベルをもとめる事に一致する場合が多い。また、画像データの総和とは、デジタル的に加算する手段もあるが、以上のデジタルおよびアナログによる画像データの総和を求める方法を、以後、説明を容易にするためＡＰＬレベルと呼ぶ。

【１０５３】

白ラスターの時にＡＰＬレベルは画像がＲＧＢ各６ビットであるから６３（６３階調目であるからデータの表現としては６３で示されている）×画素数（ＱＣＩＦパネルの場合は１７６×ＲＧＢ×２２０）となる。したがって、ＡＰＬレベルは最大となる。ただし、ＲＧＢのＥＬ素子１５で消費する電流は異なるから、ＲＧＢで分離して画像データを算出することが好ましい。

【１０５４】

この課題に対して、図１１３に図示する演算回路を使用する。図１１３において、１１３１、１１３２乗算器である。１１３１は発光輝度を重み付けする乗算器である。Ｒ、Ｇ、Ｂでは視感度が異なる。ＮＴＳＣでの視感度は、Ｒ：Ｇ：Ｂ＝３：６：１である。したがって、Ｒの乗算器１１３１Ｒでは、Ｒ画像データ（Ｒｄａｔａ）に対して３倍の乗算を行う。また、Ｇの乗算器１１３１Ｇでは、Ｇ画像データ（Ｇｄａｔａ）に対して６倍の乗算を行う。また、Ｂの乗算器１１３１Ｂでは、Ｂ画像データ（Ｂｄａｔａ）に対して１倍の乗算を行う。ただし、この記述は概念的である。ＥＬ素子はＲＧＢで効率が異なっているからである。

【１０５５】

ＥＬ素子１５はＲＧＢで発光効率が異なる。通常、Ｂの発光効率が最も悪い。次にＧが悪い。Ｒが最も発光効率が良好である。そこで、乗算器１１３２で発光効率の重み付けを行う。Ｒの乗算器１１３２Ｒでは、Ｒ画像データ（Ｒｄａｔａ）に対してＲの発光効率の乗算を行う。また、Ｇの乗算器１１３２Ｇでは、Ｇ画像データ（Ｇｄａｔａ）に対してＧの発光効率の乗算を行う。また、Ｂの乗算器１１３２Ｂでは、Ｂ画像データ（Ｂｄａｔａ）に対してＢの発光効率の乗算を行う。

【１０５６】

乗算器１１３１および１１３２の結果は、加算器１１３３で加算され、総和回路１１３４に蓄積される。この総和回路１１３４の結果にもとづき、ｄｕｔｙ比制御、基準電流比制御を実施する。

【１０５７】

以上の実施例では、映像データに、ＥＬ素子１５などの効率を考慮し、所定値を乗算することによりデータを求める。本発明は、映像データから表示パネルのアノードまたはカソード端子に流れる電流を求めるものである。

【１０５８】

通常、ＲＧＢのＥＬ素子１５は、ＥＬ材料ごとに発光効率が既知であり、電流と輝度の関係がわかっている。また、ＥＬ表示パネルは生産する時の目標色温度が決定されている。したがって、ＥＬ表示パネルの表示サイズと目標輝度が決定されれば、目標色温度にす

るための、ＥＬ表示パネルに流すＲＧＢ電流の比率と大きさがわかる。このことから、ＥＬ表示パネルのアノード端子あるいはカソード端子に流す電流を所定値にすることにより、目標とする輝度と色温度を得ることができる。

【１０５９】

アノード端子あるいはカソード端子に流れる電流は映像データの総和に比例する。以上のことから、映像データの総和からアノード電流（カソード電流）を求めることができる。アノード電流とは表示領域に接続されたアノード端子に流れ込む電流である。カソード電流とは表示領域に接続されたカソード端子から流れ出す電流である。アノード電圧またはカソード電圧は固定値であるから、映像データからＥＬ表示パネルの消費電力を制御することができる。

【１０６０】

つまり、映像データ（の総和）の大きさあるいは大きさの変化をリアルタイムでモニタ（演算）することにより、ＥＬ表示パネルが必要とするカソード（アノード）電流を得ることができる。この電流の大きさをどの大きさに抑制すべきであるかがわかっていれば、基準電流比制御、ｄｕｔｙ比制御により電流の大きさを制御することができる。

【１０６１】

もちろん、アノード電流あるいはカソード電流の大きさをＡＤ（アナログデジタル）変換することにより、変換されたデジタルデータから基準電流比制御、ｄｕｔｙ比制御により電流の大きさを制御することができる。また、アナログデータを直接用いてオペアンプなどにより増幅率のフィードバック制御を実施することにより、基準電流比制御、ｄｕｔｙ比制御により電流の大きさを制御することができる。つまり、制御方式としてはデジタル、アナログ方式を問わない。

【１０６２】

入力データはＲＧＢデータ（赤はＲＤＡＴＡ、緑はＧＤＡＴＡ、青はＢＤＡＴＡ）としているがこれに限定するものではない。ＹＵＶ（輝度データと色度データ）であってもよい。ＹＵＶの場合は、Ｙ（輝度）データあるいはＹデータとＵＶ（色度）データに直接にあるいは、色度に対する発光効率を考慮して輝度データなどに変換して重みづけ処理を行う。

【１０６３】

なお、この動作を実施する場合も現動作状態のｄｕｔｙ比を考慮することは言うまでもない。ｄｕｔｙ比が小さければ、重みづけを行ったデータが大きくともパネルに流れ込む電流は小さく、パネルが過熱状態とはならないからである。

【１０６４】

ＲＤＡＴＡには、定数Ｒａが乗算される。ＧＤＡＴＡには、定数Ｇａが乗算される。ＢＤＡＴＡには、定数Ｂａが乗算される。乗算されたデータは総和回路（ＳＵＭ）１１３４で１画面分の電流データ（もしくは類似するデータ）が求められる。なお、以下の説明を容易にするため、Ｒｙ、Ｇｙ、Ｂｙは１とする。総和回路１１３４は比較回路（図示せず）に送る。比較回路はあらかじめ設定された比較データ（所定の電流データ以上では過熱状態であることを示すために設定された値またはデータ）と比較し、電流データが比較データ以上の場合、カウンタ回路（図示せず）を制御し、カウンタ回路のカウンタ値を１つアップする。また、電流データが比較データよりも小さい時、カウンタ回路のカウンタ値を１つダウンする。

【１０６５】

以上の動作を継続し、カウンタ回路のカウンタ値が所定以上に到達した場合、コントローラ回路(ＩＣ)７２２は、ゲートドライバ１２ｂを制御して、ｄｕｔｙ比を小さくし、パネルに流れる電流を抑制する。したがって、パネルが過熱状態になり劣化することがなくなる。

【１０６６】

定数Ｒａ、Ｇａ、Ｂａは、コントローラ回路(ＩＣ)７２２によりコマンドで書き換えできるように構成することが好ましいことは言うまでもない。もちろん、ユーザーが手動で

書き変えできるように構成してもよいことは言うまでもない。比較回路の比較データも書き換えできるように構成することが好ましいことは言うまでもない。また、ＥＬ素子１５は温度依存性があるため、パネルの温度により定数を書き換えるように構成することが好ましい。また、点灯率によっても（ＥＬ素子１５に流れる電流の大きさによっても）発光効率が変化する。したがって、点灯率によっても定数を書き換えるように構成することが好ましい。以上の事項は、Ｒｙ、Ｇｙ、Ｂｙについても同様である。

【１０６７】

以上のように、本発明は、映像データ（もしくはこれに比例するデータ）の大きさ（もしくは推定できるデータ）から、ＥＬ表示パネルで消費する電力（電流）を算出あるいは制御し、ｄｕｔｙ比制御、基準電流比制御を実施するものである。

【１０６８】

映像データ（もしくはこれに比例するデータ）の大きさ（もしくは推定できるデータ）から、ＥＬ表示パネルで消費する電力（電流）の算出は、１フレーム（１フィールド）ごとに実施することに限定されるものではなく、複数フレーム（フィールド）ごとに行ってもよく、また、１フレーム（１フィールド）で複数回行っても良いことは言うまでもない。また、基準電流比制御、ｄｕｔｙ比制御はリアルタイムで実施することに限定されるものではなく、遅延させたり、ヒステリシスで実施したり、飛ばし飛ばしで実施してもよいことは言うまでもない。

【１０６９】

基準電流比制御、ｄｕｔｙ比制御によりＥＬ表示パネルのアノード電流またはカソード電流の大きさを制御するとしたが、これに限定するものではなく、アノード電圧またはカソード電圧を制御することによっても、ＥＬ表示パネルの消費電力を制御することとができることは言うまでもない。

【１０７０】

図１１３のように制御すると、輝度信号（Ｙ信号）に対するｄｕｔｙ比制御、基準電流比制御を実施することができる。しかし、輝度信号（Ｙ信号）を求めて、ｄｕｔｙ比制御などを行うと課題が発生する場合がある。たとえば、ブルーバック表示である。ブルーバック表示ではＥＬ表示パネルで消費する電流は比較的大きい。しかし、表示輝度は低い。ブルー（Ｂ）の視感度が低いためである。そのため、輝度信号（Ｙ信号）の総和（ＡＰＬレベル）は小さく算出されるため、ｄｕｔｙ比制御が高ｄｕｔｙ比になる。したがって、フリッカの発生などが生じる。

【１０７１】

この課題に対しては、乗算器１１３１をスルーにして用いるとよい。消費電流に対する総和（ＡＰＬレベル）が求められるからである。輝度信号（Ｙ信号）による総和（ＡＰＬレベル）と消費電流による総和（ＡＰＬレベル）は、両方を求めて加味して総合ＡＰＬレベルを求めることが望ましい。総合ＡＰＬレベルによりｄｕｔｙ比制御、基準電流比制御またプリチャージ制御などを実施する。

【１０７２】

黒ラスターは６４階調表示の場合は０階調目であるから、ＡＰＬレベルは０で最小値となる。電流駆動方式では、消費電力（消費電流）は画像データに比例する。なお、画像データは、表示画面６４を構成するデータの全ビットをカウントする必要はなく、たとえば、画像が６ビットで表現される場合、上位ビット（ＭＳＢ）のみをカウントしてもよい。この場合は、階調数が３２以上で、１カウントされる。したがって、表示画面６４を構成する画像データによりＡＰＬレベルは変化する。つまり、映像データの総和とは、完全な総和ではなく、総和を推定できる方式であればいずれでもよい。

【１０７３】

アナログ的な概念から映像データの総和あるいは総和に類似する指標としてＡＰＬレベルという語を用いる。しかし、後半では、点灯率という語を用いて本発明の駆動方式の説明を行う。なお、点灯率は後に説明をする。

【１０７４】

理解を容易にするため、具体的に数値を例示して説明する。ただし、これは仮想的であり、実際には実験、画像評価により制御データ、制御方法を決定する必要がある。

【１０７５】

ＥＬ表示パネルで最大に流せる電流を１００（ｍＡ）とする。白ラスター表示ととき、総和（ＡＰＬレベル）は２００（単位なし）になるとする。このＡＰＬレベルが２００の時、そのままパネルに印加するとＥＬ表示パネルに２００（ｍＡ）が流れるとする。なお、ＡＰＬレベルが０の時、ＥＬ表示パネルに流れる電流は０（ｍＡ）である。また、ＡＰＬレベルが１００の時、ｄｕｔｙ比は１／２で駆動するものとする。

【１０７６】

したがって、ＡＰＬが１００以上の場合は、制限である１００（ｍＡ）以下となるようにする必要がある。最も簡単には、ＡＰＬレベルが２００の時、ｄｕｔｙ比を（１／２）×（１／２）＝１／４にし、ＡＰＬレベルが１００の時、ｄｕｔｙ比を１／２とする。ＡＰＬレベルが１００以上２００以下の時は、ｄｕｔｙ比が１／４～１／２の間をとるように制御する。ｄｕｔｙ比１／４～１／２は、ＥＬ選択側のゲートドライバ回路１２ｂが、同時に選択するゲート信号線１７ｂの本数を制御することにより実現できる。

【１０７７】

ただし、ＡＰＬレベルのみを考慮し、ｄｕｔｙ比制御を実施すれば、画像に応じて表示画面６４の平均輝度（ＡＰＬ）に応じで表示画面６４の輝度が変化し、フリッカが発生する。この課題に対して、もとめるＡＰＬレベルは、少なくとも２フレーム、このましくは、１０フレームさらに好ましくは６０フレーム以上の期間保持し、この期間で演算して、ＡＰＬレベルによりｄｕｔｙ比制御によるｄｕｔｙ比を算出する。また、表示画面６４の最大輝度（ＭＡＸ）、最小輝度（ＭＩＮ）、輝度の分布状態（ＳＧＭ）などの画像の特徴抽出を行ってｄｕｔｙ比制御を行うことが好ましい。以上の事項は、基準電流比制御にも適用されることは言うまでもない。

【１０７８】

画像の特徴抽出により、黒伸張、白伸張を実施することも重要である。これは、最大輝度（ＭＡＸ）、最小輝度（ＭＩＮ）、輝度の分布状態（ＳＧＭ）、シーンの変化状態を考慮して行うとよい。つまり、総和（ＡＰＬレベルあるいは点灯率）は、映像データの加算だけでなく、画像表示の分布状態などを考慮して補正などを行うことが好ましい。回路構成としては、図１１３の加算器１１３３ｃの補正回路（図示せず）の補正量を加算する構成などが例示される。

【１０７９】

図１１８は横軸を点灯率としている。最大値は１００％である。縦軸はｄｕｔｙ比である。点灯率＝１００％は、全画素行が最大の白表示状態である。点灯率が小さい時は、暗い画面あるいは表示（点灯）領域が少ない画面である。この時は、ｄｕｔｙ比を大きくしている。したがって、画像を表示している画素の輝度は高い。そのため、画像のダイナミックレンジが拡大されて高画質表示される。点灯率が大きい時（最大値は１００％）は、明るい画面あるいは表示（点灯）領域が広い画面である。この時は、ｄｕｔｙ比を小さくしている。したがって、画像を表示している画素の輝度は低い。そのため、低消費電力化が可能である。画面から放射される光量は大きいため、画像が暗く感じることはない。

【１０８０】

図１１８では、点灯率が１００％の時に、到達するｄｕｔｙ比値を変化させている。たとえば、ｄｕｔｙ比＝１／２は画面の１／２が画像表示状態になる。したがって、画像は明るい。ｄｕｔｙ比＝１／８は画面の１／８が画像表示状態になる。したがって、ｄｕｔｙ比＝１／２に比較して１／４の明るさである。

【１０８１】

本発明の駆動方式では、点灯率、ｄｕｔｙ比、基準電流、データ和などにより画像輝度を制御し、また、ダイナミックレンジを拡大する。また、高コントラスト表示を実現する。

【１０８２】

液晶表示パネルでは、白表示および黒表示はバックライトからの透過率で決定される。本発明の駆動方法のように画面に非表示領域を発生させても、黒表示における透過率は一定である。逆に非表示領域を発生させることにより、１フレーム期間における白表示輝度が低下するから表示コントラストは低下する。

【１０８３】

ＥＬ表示パネルは、黒表示は、ＥＬ素子に流れる電流が０の状態である。したがって、本発明の駆動方法のように画面に非表示領域を発生させても、黒表示の輝度は０である。非表示領域の面積を大きくすると白表示輝度は低下する。しかし、黒表示の輝度が０であるから、コントラストは無限大である。したがって、良好な画像表示を実現できる。

【１０８４】

本発明の駆動方法では、全階調範囲で階調数が保持され、また、全階調範囲でホワイトバランスが維持される。また、ｄｕｔｙ比制御により画面の輝度変化は１０倍近く変化させることができる。また、変化はｄｕｔｙ比に線形の関係になるから制御も容易である。また、Ｒ、Ｇ、Ｂを同一比率で変化させることできる。したがって、どのｄｕｔｙ比においてもホワイトバランスは維持される。

【１０８５】

点灯率とｄｕｔｙ比の関係は、画像データの内容、画像表示状態、外部環境に合わせて設定することが好ましい。また、ユーザーが自由に設定あるいは調整できるように構成することが好ましい。

【１０８６】

以上の切り換え動作は、携帯電話、モニターなどの電源をオンしたときに、表示画面を非常に明るく表示し、一定の時間を経過した後は、電力セーブするために、表示輝度を低下させる構成に用いる。表示輝度を低下させるため、ｄｕｔｙ比を小さくし、または基準電流を小さくする。もしくは、ｄｕｔｙ比をまたは基準電流のいずれか一方を小さくする。基準電流またはｄｕｔｙ比を小さくすることによりＥＬ表示パネルの消費電力を低下させることができる。

【１０８７】

以上の制御はユーザーが希望する明るさに設定する機能としても用いることができる。たとえば、屋外などでは、画面を非常に明るくする。屋外では周辺が明るく、画面が全く見えなくなるからである。つまり、屋外では、図１１８のａのカーブを選択する。しかし、高い輝度で表示し続けるとＥＬ素子は急激に劣化する。そのため、非常に明るくする場合は、短時間で通常の輝度に復帰させるように構成しておく。たとえば、通常では、ｃのカーブを選択する。さらに、高輝度で表示させる場合は、ユーザーがボタンと押すことにより表示輝度を高くできるようの構成しておく。

【１０８８】

したがって、ユーザーがボタンで切り換えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り換えできるように構成しておくことが好ましい。また、表示輝度を５０％、６０％、８０％とユーザーなどが設定できるように構成しておくことが好ましい。また、外部のマイコンなどにより、ｄｕｔｙ比カーブ、傾きなどを書き換えるように構成することが好ましい。また、メモリされた複数のｄｕｔｙ比カーブから１つを選択できるように構成することが好ましい。

【１０８９】

なお、ｄｕｔｙ比カーブなどの選択は、ＡＰＬレベル、最大輝度（ＭＡＸ）、最小輝度（ＭＩＮ）、輝度の分布状態（ＳＧＭ）の１つあるいは複数を加味して行うことが好ましいことは言うまでもない。

【１０９０】

以上のように、たとえば、ａは屋外用のカーブである。ｃは屋内用のカーブである。ｂは屋内と屋外との中間状態用のカーブである。カーブａ、ｂ、ｃとの切り換えは、ユーザーがスイッチを操作することにより切り換えるようにする。また、外光の明るさをホトセンサで検出し、自動的に切り換えるようにしてもよい。なお、ガンマカーブを切り換える

としたが、これに限定するものではない。計算によりガンマカーブを発生させてもよいことは言うまでもない。

【１０９１】

図１１８のｄｕｔｙ比は直線であったが、これに限定するものではない。図１１９に図示するように、一点折れカーブとしてもよい。つまり、点灯率に応じてｄｕｔｙ比の傾きを変化させる。もちろん、ｄｕｔｙ比カーブは曲線としてもよいし、多点折れカーブとしてもよい。また、外光あるいは画像の種類によりリアルタイムでｄｕｔｙ比カーブを変化させてもよい。以上の事項は、基準電流の変化制御においても同様である。

【１０９２】

表示パネルの消費電力低減が必要な場合は、図１１９のｃカーブを選択する。消費電力が低減する効果が発揮される。表示輝度は低下するが、階調数などの画像表示の低下はない。高い表示輝度が必要な場合は、図１１９のａカーブを選択する。画像の表示が明るくなり、また、フリッカの発生が少なくなる。消費電力は増大するが、階調数などの画像表示の低下はない。

【１０９３】

本発明の他の実施例において、ｄｕｔｙ比の変化は、点灯率が１／１０以上の範囲で実施する（図１２０を参照のこと）。点灯率が１に近い画像の発生は少なく、図１１８のように点灯率が１００まで、ｄｕｔｙ比が変化するように駆動すると、画像表示が暗く感じられるからである。さらに好ましくは、ｄｕｔｙ比の変化は点灯率が８／１０以上の範囲で実施する。

【１０９４】

自然画では、点灯率が２０％から４０％の画像が多い。したがって、この範囲ではｄｕｔｙ比が大きい方が好ましい。一方で点灯率が高い（６０％以上）では消費電力が大きくＥＬ表示パネルが発熱し劣化する傾向になる。したがって、点灯率が２０％から４０％の範囲あるいは近傍ではｄｕｔｙ比１／１あるいはその近傍とし、点灯率が６０％あるいはその近傍以上では、ｄｕｔｙ比を１／１よりも小さくするように制御することが好ましい。

【１０９５】

図１２０では点灯率が０．９以下ではｄｕｔｙ比を１／１から１／５まで変化させている。したがって、５倍のダイナミックレンジが実現されていることになる。図１２０において、点灯率が０．９以上ではｄｕｔｙ比が１／５である。したがって、表示輝度は最大値輝度の１／５になっている。点灯率１００％は白ラスター表示である。つまり、白ラスター表示では表示輝度が最大輝度の１／５に低下している。

【１０９６】

点灯率が１０％以下では、ｄｕｔｙ比は１／１である。画面の１／１０が表示領域（白ウインドウなどの場合）である。もちろん、自然画では、暗い部分が多い画像である。ｄｕｔｙ比が１／１では、非点灯領域６２がないため、ＥＬ素子の発光輝度がそのまま画素の表示輝度となる。

【１０９７】

点灯率１０％とはイメージ的には画像表示はほとんどが黒表示であり、一部に画像が表示されている状態である。たとえば、点灯率が１０％以下の画像表示とは、真っ暗な夜空に月がでている画像である（説明のための参考イメージ画像例である。白ウインドウでは、１／１０白ウインドウ表示である）。この画像でｄｕｔｙ比を１／１にするということは、月の部分は、白ラスターの輝度（図１２０で点灯率１００％での輝度）の５倍の輝度で表示されることになる。したがって、ダイナミックレンジの広い画像表示を実現できる。画像表示されているのは１／１０の領域であるから、１／１０の領域の輝度を５倍にしたとしても消費電力の増加はわずかである。

【１０９８】

以上のように、本発明では点灯率が低い画像では、ｄｕｔｙ比を１／１あるいは比較的大きくしている。ｄｕｔｙ比１／１では発光している画素は常時電流が流れている。した

がって、１つの画素からみれば消費電流が大きい。しかし、ＥＬ表示パネルにおいて、発光している画素が少ないため、ＥＬ表示パネル全体からみれば、消費電力の増加はほとんどない。ＥＬ表示パネルでは黒部分は完全黒（非発光）である。したがって、ｄｕｔｙ比１／１で最高輝度が表示できればダイナミックレンジを拡大でき、メリハリのある良好な画像表示を実現できる。

【１０９９】

一方、本発明では点灯率が高い画像では、ｄｕｔｙ比を１／５など比較的小さくしている。また、点灯率に応じて、ｄｕｔｙ比が小さくなるように制御を行う。ｄｕｔｙ比が小さい時は発光している画素は間欠電流が流れている。したがって、１つの画素の消費電流は小さい。ＥＬ表示パネルにおいて、発光している画素は多いが、１画素あたりの消費電流が少ないため、ＥＬ表示パネル全体からみれば、消費電力の増加は少ない。

【１１００】

以上のように点灯率に対してｄｕｔｙ比を制御する本発明の駆動方法はＥＬ表示パネルなどの自己発光表示パネルに最適な駆動方法である。ｄｕｔｙ比が小さくなれば画像輝度は小さくなるが、画面全体として発生光束が多いため、暗くなったという印象は感じられない。

【１１０１】

以上のように、ｄｕｔｙ比制御と、基準電流比制御の一方または両方を実施することにより、画像のコントラスト比を拡大でき、ダイナミックレンジを拡大され、低消費電力化を実現できる。

【１１０２】

以上の制御は点灯率を用いて行う。点灯率は先にも説明したが、通常の駆動（ｄｕｔｙ比１／１）では、アノードまたはカソードに流れ込む（流れ出す）電流の大きさである。点灯率が増加すると比例してアノードまたはカソード端子の電流は増加する。前記電流は基準電流の大きさに比例して増減し、また、ｄｕｔｙ比に比例して増減する。なお、本発明はｄｕｔｙ比、基準電流は点灯率により、変化させることに特徴ある。つまり、ｄｕｔｙ比、基準電流は固定ではない。画像の表示状態に応じて少なくとも複数の状態に変化させる。

【１１０３】

点灯率が０に近い画像は、ほとんどの画素が低階調表示である。ヒストグラムで表現すれば、ヒストグラムの低階調領域に大多数のデータが分布している。この画像表示では、画像が黒つぶれ状態でありメリハリ感がない。そのため、ガンマカーブを制御して黒表示部のダイナミックレンジを広くする。

【１１０４】

以上の実施例では、点灯率が０では、ｄｕｔｙ比を１／１にするとしたが、本発明はこれに限定するものではない。ｄｕｔｙ比を１より小さい値となるようにしてもよいことは言うまでもない。ｄｕｔｙ比のカーブは曲線となるようにしてもよい。なお、曲線とは、サインカーブ状、円弧状、三角形状などが例示される。

【１１０５】

ｄｕｔｙ比に最大値を設ける場合は、少なくとも点灯率２０％以上５０％以下の範囲でいずれかの位置で最大値となるようにすることが好ましい。この範囲は、画像表示でよく出現する。したがって、ｄｕｔｙ比を１／１など、他の点灯率の範囲よりも大きくすることにより、画像が高輝度表示しているように認識されるからである。たとえば、点灯率３５％でｄｕｔｙ比を１／１とし、点灯率２０％、６０％ではｄｕｔｙ比を１／２とする制御方式が例示される。

【１１０６】

点灯率に応じて階段状に制御してもよい。階段状とは、たとえば、点灯率０％以上２０％以下の場合は、ｄｕｔｙ比を１／１とし、点灯率２０％より大きく６０％以下の場合は、ｄｕｔｙ比を１／２とし、点灯率６０％より大きく１００％以下の場合は、ｄｕｔｙ比を１／４とする制御方法を言う。

【１１０７】
図１１７に図示するように、赤（Ｒ）、緑（Ｇ）、青（Ｂ）の画素で、ｄｕｔｙ比カーブを変化させてもよい。図１１７では、青（Ｂ）のｄｕｔｙ比の変化の傾きを最も大きくし、緑（Ｇ）のｄｕｔｙ比の変化の傾きを次に大きくし、赤（Ｒ）のｄｕｔｙ比の変化の傾きを最も小さくしている。以上のように駆動すれば、ＲＧＢのホワイトバランス調整を最適にすることができる。もちろん、１色を一定（点灯率が変化しても変化させない）とし、他の２色を点灯率に応じて変化するように制御してもよい。
【１１０８】
点灯率とｄｕｔｙ比の関係は、画像データの内容、画像表示状態、外部環境に合わせて設定することが好ましい。また、ユーザーが自由に設定あるいは調整できるように構成することが好ましい。また、ホトセンサあるいは温度センサから出力により自動で、ｄｕｔｙ比、基準電流比などを調整できるように構成することが好ましい。たとえば、周囲温度（パネル温度）が高い場合は、ｄｕｔｙ比を低下（１／４など）させることにより、パネルに流れ込む消費電流を抑制することができ、パネルの自己発熱が低下し、結果としてパネル温度を低下させることができる。したがって、パネルが熱劣化することを防止できる。
【１１０９】
温度変化は温度変化を積分し、その積分値が所定値を超えた時、ｄｕｔｙ比制御などの電流抑制手段を動作させるように制御してもよい。なお、積分時には、パネルからの放熱によるパネル温度の低下を考慮することが好ましい。したがって、単純に積分値で制御するのではなく、放熱量分を減算して制御する。放熱量は実験などにより容易に導出できる。
【１１１０】
以上のことから、映像データの総和を求め、総和を積分し、また、積分値から放熱量を減算することにより、パネル温度を推定あるいは予測することができる。予測の結果、パネル温度が規定以上の上昇する場合あるいは可能性があるとき、ｄｕｔｙ比制御、基準電流比制御などを実施して、パネルの消費電力を抑制する。また、抑制によりパネルが規定温度以下に低下したと予測される時は、通常のｄｕｔｙ比制御、基準電流比制御などを実施する。
【１１１１】
早いスピードで明るい画面と暗い画面とは交互に繰り返す時、変化に応じてｄｕｔｙ比、基準電流などを変化させるとのフリッカが発生する。したがって、あるｄｕｔｙ比から他のｄｕｔｙ比などに変化する時は、ヒステリシス（時間遅延）を設けて変化させることが好ましい。たとえば、ヒステリシス期間を１ｓｅｃとすると、１ｓｅｃ期間内に、画面輝度が明るい暗いが複数回繰り返しても、以前のｄｕｔｙ比が維持される。つまり、ｄｕｔｙ比は変化しない。以上の事項は、基準電流比制御などにも適用できることは言うまでもない。なお、変化は、Ｒ、Ｇ、Ｂで異ならせても良い。
【１１１２】
このヒステリシス（時間遅延）時間をＷａｉｔ時間と呼ぶ。また、変化前のｄｕｔｙ比を変化前ｄｕｔｙ比と呼び、変化後のｄｕｔｙ比を変化後ｄｕｔｙ比と呼ぶ。なお、ヒステリシス（時間遅延）と呼ぶが、ヒステリシスには、変化をゆっくりと行う意味も含まれる。たとえば、ｄｕｔｙ比１／１から１／２に変化させる時、２秒の時間をかけてゆっくりと変化させる例が例示される（ほとんど、制御はこの方式である）。
【１１１３】
変化前ｄｕｔｙ比が小さい状態から、他のｄｕｔｙ比に変化する時は、変化によるフリッカの発生が起こりやすい。変化前ｄｕｔｙ比が小さい状態は、画面のデータ和が小さい状態あるいは画面に黒表示部が多い状態である。
【１１１４】
特に中間調あるいは点灯率が中央値付近では変化はゆっくりと行う。画面が中間調の表示で視感度が高いためと思われる。また、ｄｕｔｙ比が小さい領域では、変化ｄｕｔｙ比

との差が大きくなる傾向がある。もちろん、ｄｕｔｙ比の差が大きくなる時は、ＯＥＶを用いて制御する。しかし、ＯＥＶ制御にも限界がある。以上のことから、変化前ｄｕｔｙ比が小さい時は、ｗａｉｔ時間を長くする必要がある。

【１１１５】

以上のように、本発明のｄｕｔｙ比制御はｄｕｔｙ比に応じてＷａｉｔ時間を変化させる。ｄｕｔｙ比が小さい時はＷａｉｔ時間を長くし、ｄｕｔｙ比が大きい時はＷａｉｔ時間を短くする。つまり、少なくともｄｕｔｙ比を可変する駆動方法にあって、第１の変化前のｄｕｔｙ比が第２の変化前のｄｕｔｙ比よりも小さく、第１の変化前ｄｕｔｙ比のＷａｉｔ時間が、第２の変化前ｄｕｔｙ比のＷａｉｔ時間よりも長く設定することを特徴とするものである。

【１１１６】

以上の実施例では、変化前ｄｕｔｙ比を基準にしてＷａｉｔ時間を制御あるいは規定するとした。しかし、変化前ｄｕｔｙ比と変化後ｄｕｔｙ比との差はわずかである。したがって、前述の実施例において変化前ｄｕｔｙ比を変化後ｄｕｔｙ比と読み替えても良い。

【１１１７】

以上の実施例において、変化前ｄｕｔｙ比と変化後ｄｕｔｙ比を基準にして説明した。変化前ｄｕｔｙ比と変化後ｄｕｔｙ比との差が大きい時はＷａｉｔ時間を長くとる必要があることはいうまでもない。また、ｄｕｔｙ比の差が大きい時は、中間状態のｄｕｔｙ比を経由して変化後ｄｕｔｙ比に変化させることが良好であることは言うまでもない。

【１１１８】

本発明のｄｕｔｙ比制御方法は、変化前ｄｕｔｙ比と変化後ｄｕｔｙ比との差が大きい時はＷａｉｔ時間を長くとる駆動方法である。つまり、ｄｕｔｙ比の差に応じてＷａｉｔ時間を変化させる駆動方法である。また、ｄｕｔｙ比の差が大きい時にＷａｉｔ時間を長くとる駆動方法である。なお、先にも説明したようにＷａｉｔ時間あるいはヒステリシスとは、ゆっくりと変化させる意味である。もちろん、広義には、変化を開始するのを遅延させるという意味もあることは言うまでもない。

【１１１９】

本発明のｄｕｔｙ比の方法は、ｄｕｔｙ比の差が大きい時は、中間状態のｄｕｔｙ比を経由して変化後ｄｕｔｙ比に変化させることを特徴とする駆動方法である。

【１１２０】

以上の実施例では、ｄｕｔｙ比に対するＷａｉｔ時間を、Ｒ（赤）Ｇ（緑）Ｂ（青）で異ならせるとして説明した。しかし、本発明は、Ｒ、Ｇ、ＢでＷａｉｔ時間を変化させてもよいことは言うまでもない。ＲＧＢで視感度が異なるからである。視感度にあわせてＷａｉｔ時間を設定することにより、より良好な画像表示を実現できる。

【１１２１】

以上の実施例は、ｄｕｔｙ比制御に関する実施例であった。基準電流比制御についてもＷａｉｔ時間を設定することが好ましい。

【１１２２】

以上のように、本発明の駆動方法では、ｄｕｔｙ比、基準電流は急激に変化させない。急激に変化させると変化状態がフリッカとして認識されてしまうからである。通常、０．２秒以上１０秒以下の遅延時間で変化させる。以上の事項は、後に説明するアノード電圧の変化制御、プリチャージ電圧の変化制御、周囲温度による変化制御（パネル温度により、ｄｕｔｙ比、基準電流を変化させる）などにも適用できることは言うまでもない。

【１１２３】

基準電流が小さい時は表示画面６４が暗く、基準電流が大きい時は表示画面６４が明るい。つまり、基準電流倍率が小さい時は、中間調表示状態と言い換えることができる。基準電流倍率が高いときは、高輝度の画像表示状態である。したがって、基準電流倍率が低い時は、変化に対する視感度が高いため、Ｗａｉｔ時間を長くする必要がある。一方、基準電流倍率が高いときは、変化に対する視感度が低いため、Ｗａｉｔ時間が短くても良い。

【１１２４】
以上のような、ｄｕｔｙ比制御は、１フレームあるいは１フィールドで完結する必要はない。数フィールド（数フレーム）の期間でｄｕｔｙ比制御を行っても良い。この場合のｄｕｔｙ比は数フィールド（数フレーム）の平均値をｄｕｔｙ比とする。なお、数フィールド（数フレーム）でｄｕｔｙ比制御を行う場合であっても、数フィールド（数フレーム）期間は、６フィールド（６フレーム）以下にすることが好ましい。これ以上であるとフリッカが発生する場合があるからである。また、数フィールド（数フレーム）とは整数ではなく、２．５フレーム（２．５フィールド）などでもよい。つまり、フィールド（フレーム）単位には限定されない。
【１１２５】
以上の事項は、電流駆動方式だけでなく、電圧駆動方式にも適用できる。また、一般的な自己発光表示装置に適用できることは言うまでもない。
【１１２６】
動画と静止画とでは、ｄｕｔｙ比パターンを変化させる。ｄｕｔｙ比パターンを急激に変化させると画像変化が認識されてしまうことがある。また、フリッカが発生する場合がある。この課題は動画のｄｕｔｙ比と静止画のｄｕｔｙ比との差異によって発生する。動画では非表示領域６２を一括して挿入するｄｕｔｙ比パターンを用いる。静止画では非表示領域６２を分散して挿入するｄｕｔｙ比パターンを用いる。非表示領域６２の面積／画面面積６４の比率がｄｕｔｙ比となる。しかし、同一ｄｕｔｙ比であっても、非表示領域６２の分散状態で人間の視感度は異なる。これは人間の動画応答性に依存するためと考えられる。
【１１２７】
中間動画は、非表示領域６２の分散状態が、動画の分散状態と静止画の分散状態との中間の分散状態である。なお、中間動画は複数の状態を準備し、変化前の動画状態あるいは静止画状態に対応させて複数の中間動画から選択してもよい。複数の中間動画状態とは、非表示領域の分散状態が動画表示に近く、たとえば、非表示領域６２が３分割された構成が一例として例示される。また、逆に非表示領域が静止画のように多数に分散された状態が例示される。
【１１２８】
静止画でも明るい画像もあれば暗い画像もある。動画も同様である。したがって、変化前の状態に応じてどの中間動画の状態に移行するかを決定すればよい。また、場合によっては、中間動画を経由せずに動画から静止画に移行してもよい。中間動画を経由せずに静止画から動画に移行してもよい。たとえば、表示画面６４が低輝度の画像は動画表示と静止画表示とが直接移動しても違和感はない。また、複数の中間動画表示を経由して表示状態を移行させてもよい。たとえば、動画表示のｄｕｔｙ比状態から、中間動画表示１のｄｕｔｙ比状態に移行し、さらに中間動画表示２のｄｕｔｙ比状態に移行してから静止画表示のｄｕｔｙ比状態に移行させてもよい。
【１１２９】
動画表示から静止画表示に移動する時に、中間動画状態を経由させる。また、静止画表示から中間動画表示を経由して動画表示に移行させる。各状態の移行時間はＷａｉｔ時間をおくことが好ましい。また、静止画から動画あるいは中間動画に移行する時は、非表示領域６２の変化がゆっくりとなるようにする。
【１１３０】
ＦＲＣ（フレームレートコントロール）と動画表示とは関係する。ＦＲＣで用いるフレーム数（たとえば、４ＦＲＣでは、４フレームを用いて、２ビット分の階調表示（階調数を４倍）にする。１６ＦＲＣでは、１６フレームを用いて、４ビット分の階調表示（階調数を１６倍）にする。しかし、ｎＦＲＣ（ｎは２以上の整数）のｎ（フレーム数）が増加すると、静止画では問題がないが、動画では、動画性能が低下する。したがって、動画表示では、ｎＦＲＣのｎは小さい方が望ましい。また、動画表示では、一定以上の階調数は必要でない。ほとんどの場合が、２５６階調以下で十分である。一方、静止画では、多く

の階調数が必要である。

【１１３１】

たとえば、第１フレームと次の第２フレーム間で、同一位置の画素データの差分を求め、差分の値が一定以上ある場合に動画画素と判定する。１パネルの画素数が１０万画素とすれば、前記差分演算により動画画素と判定された画素の割合が２．５万画素であれば、動画画素の割合は２５％である。

【１１３２】

動画画素の割合が０％～２５％以下で、完全静止画あるいはそれに近いと判断し、１６ＦＲＣ（ｎ＝１６）としている。また、動画画素の割合が２５％～５０％以下で、動画に近い中間画像と判断し、１２ＦＲＣ（ｎ＝１２）としている。また、動画画素の割合が５０％～７５％以下で、静止画に近い中間画像と判断し、８ＦＲＣ（ｎ＝８）としている。動画画素の割合が７５％以上で、完全動画あるいはそれに近いと判断し、１ＦＲＣ（ｎ＝１つまりＦＲＣ制御しない）としている。

【１１３３】

以上のように、表示画像の内容にもとづいて、ＦＲＣを変化させることのより最適な画像表示を実現できる。ＦＲＣの変更はコントローラ回路（ＩＣ）７２２のより行う。

【１１３４】

ＦＲＣの変更は、画像のシーンが急変する時に実施することが好ましい。画像シーンが急変する状態とは、画面がコマーシャルに変化したとき、チャンネルを切り換えた時、ドラマのシーンが変化したときなどが例示される。なお、シーンの急変時は、本発明のピーク電流抑制、ｄｕｔｙ比制御でも説明をしている。

【１１３５】

したがって、動画画像の割合が変化した場合にリアルタイムでｎＦＲＣのＦＲＣ数を変化させると画面がフリッカ的な表示状態になる。したがって、シーンの急変時にＦＲＣ数を変化させることが好ましい。

【１１３６】

プリチャージ電圧の印加は点灯率あるいはｄｕｔｙ比と連動させることが好ましい。プリチャージ電圧の印加は必要がない箇所には印加しないことが好ましい。白表示の輝度低下などが発生する場合があるからである。したがって、プリチャージ電圧の印加は限定されることが好ましい。

【１１３７】

プリチャージ駆動は、特に電流駆動方式において、白表示部の下にクロストークする現象を解消するために実施する。したがって、このクロストークが目立つのは、画面に黒表示部が多く、一部に白表示がある画像である。点灯率で示せば、点灯率が小さい領域でプリチャージが必要である。表示画面６４全体が白表示であればクロストークが発生しても視覚的に認識されることはないからである。したがって、プリチャージ駆動は実施する必要がない。

【１１３８】

本発明は点灯率が高い（表示画面６４において全体的に白表示部分が多い）時に、ｄｕｔｙ比を小さくする。つまり、ｄｕｔｙ比１／ｎのｎを大きくする。点灯率が低い（表示画面６４の全体的に黒表示部分が多い）時に、ｄｕｔｙ比を大きくする。つまり、ｄｕｔｙ比１／１に近づく。したがって、ｄｕｔｙ比と点灯率とは相関関係がある。映像データから点灯率（点灯率）を求め、点灯率からｄｕｔｙ比制御を行うのであるから当然である。また、点灯率をプリチャージ制御とも関係がある。

【１１３９】

図１２６（ａ）に図示するように、ｄｕｔｙ比と点灯率（％）の関係があるとする。図１２６（ｂ）はプリチャージのオンオフ状態を示している。図１２６（ｂ）では、ｄｕｔｙ比が２０％以下でプリチャージ駆動するように設定している。ただし、プリチャージ駆動するとしても、本発明のプリチャージ駆動には、ａｌｌプリチャージモード、適応型プリチャージモード、０階調プリチャージモード、選択階調プリチャージモードがある。し

たがって、図１２６（ｂ）ではプリチャージ駆動が実施されるように設定するというポイントであり、どのプリチャージが行われるかにより駆動状態は異なる。重要なのは、ｄｕｔｙ比あるいは点灯率により、プリチャージ駆動をするかしないかを変化させることである。

【１１４０】

ｄｕｔｙ比あるいは点灯率（％）とガンマ制御も相関がある。図１２７はその説明図である。点灯率が高い画像では、全体的に輝度が高い画像が多い。そのため、画像が白っぽくなる。そのため、ガンマ定数の係数（通常、係数は２．２とされている）を大きくして、黒階調領域の面積を多くすることが好ましい。黒階調領域の面積を多くすることにより画像のメリハリ感がつく。

【１１４１】

点灯率に対するｄｕｔｙ比を図１１４であるとする。図１１４の制御では、表示画像の点灯率が１００％に近いとｄｕｔｙ比はほぼ１／４にする。階調は輝度と比例する。点灯率が高い画像では、画像の階調表示がつぶれて解像度のない画像になっていまうので、ガンマカーブを変化させる必要がある。つまり、ガンマカーブの乗数である係数を大きくし、ガンマカーブを急峻にする必要がある。

【１１４２】

以上のことから、本発明では、点灯率あるいはｄｕｔｙ比に応じて、ガンマカーブの係数を変化させている。図１２７はその説明図である。

【１１４３】

本発明は点灯率が高い（表示画面６４の全体的に白表示部分が多い）時に、ｄｕｔｙ比を小さくする。つまり、ｄｕｔｙ比１／ｎのｎを大きくする。点灯率が低い（表示画面６４の全体的に黒表示部分が多い）時に、ｄｕｔｙ比を大きくする。つまり、ｄｕｔｙ比１／１に近づく。したがって、ｄｕｔｙ比と点灯率とは相関関係がある。映像データから点灯率（点灯率）を求め、点灯率からｄｕｔｙ比制御を行うのであるから当然である。

【１１４４】

図１２７（ａ）に図示するように、ｄｕｔｙ比と点灯率（％）の関係があるとする。図１２７（ｂ）のグラフは縦軸をガンマカーブの係数を示している。図１２７（ｂ）では、ｄｕｔｙ比が７０％以上でガンマカーブの係数が大きくなるように設定している。つまり、ガンマカーブが急峻になるように、高階調領域で階調表現が大きくなるようにしている。したがって、白つぶれ画像が改善される。

【１１４５】

ｄｕｔｙ比制御と電源容量には密接な関係がある。電源サイズは最大の電源容量が大きくなるにつれ、大きくなる。特に、表示装置がモバイルの場合、電源サイズが大きいと重大課題となる。また、ＥＬは電流と輝度が比例の関係である。黒表示では電流が流れない。白ラスター表示では最大電流が流れる。したがって、画像による電流の変化が大きい。電流の変化が大きいと電源サイズも大きくなり、消費電力も増加する。

【１１４６】

本発明では、点灯率が高いときに、ｄｕｔｙ比制御の１／ｎのｎを大きくし、消費電流（消費電力）を低減させている。逆に点灯率が低い時は、ｄｕｔｙ比を１／１＝１または１／１に近くし、最大輝度が表示されるようにしている。以下にこの制御方法について説明をする。

【１１４７】

まず、点灯率（点灯率）とｄｕｔｙ比の関係を図１１４に図示する。なお、点灯率は、以前にも説明したようにパネルに流れる電流で換算されているものであるとする。なぜなら、ＥＬ表示パネルではＢの発光効率が悪いため、海の表示などが表示されると、消費電力が一気に増加するからである。したがって、最大値は、電源容量の最大値である。また、データ和とは単純な映像データの加算値ではなく、映像データを消費電流に換算したものとしている。したがって、点灯率も最大電流に対する各画像の使用電流から求められたものである。

【１１４８】
図１１４は点灯率０％の時に、ｄｕｔｙ比を１／１とし、点灯率１００％の時に最低ｄｕｔｙ比を１／４とした例である。図１１５は、電力と点灯率との掛算をした結果である。図１１４で点灯率が０から１００％まで、絶えずｄｕｔｙ比１／１であれば、図１１５のａで示すカーブとなる。なお、図１１５において点灯率とは、ｄｕｔｙ比制御などを実施する前の値である。図１１５の縦軸は、電源容量に対する使用電力の比（電力比）である。つまり、カーブａでは、点灯率と消費電力は比例関係にある。したがって、点灯率０％で消費電力は０（電力比０）であり、点灯率１００％では、消費電力１００（電力比１００％）となる。
【１１４９】
図１１５のカーブｂは、図１１４のｄｕｔｙ比カーブで電力制限を実施した実施例である。点灯率１００％の時のｄｕｔｙ比は１／４であるから、カーブａに比較して、電力比は１／４の２５％になる。カーブｂは電力１／３よりも小さい範囲で動作している。したがって、図１１４のようにｄｕｔｙ比制御を実施すると、電源容量は、従来（カーブａ）に比較して１／３で十分であることになる。つまり、本発明では、電源サイズを従来に比較して小さくすることができる。
【１１５０】
従来（カーブａ）で点灯率が高い状態がつづくとパネルに流れる電流が大きく、発熱によるパネルの劣化が発生する。しかし、ｄｕｔｙ比制御を実施した本発明ではカーブｂでわかるように、点灯率に関わらず、平均した電流がパネルに流れる。したがって、発熱の発生が少なくパネルの劣化も発生しない。
【１１５１】
ｄｕｔｙ比と点灯率との積（ａ＝ｄｕｔｙ比×点灯率）は以下の条件に合致するように制御することが好ましい。
【１１５２】
０．２≦　ｄｕｔｙ比×点灯率　　≦　０．６　ただし、点灯率は、１５％以上。
【１１５３】
たとえば、ｄｕｔｙ比が１／２で、点灯率が５０％であれば、ｄｕｔｙ比×点灯率＝０．２５で上記条件に合致する。点灯率は、１００％と１．０として計算している。また、ｄｕｔｙ比が１／４で、点灯率が１００％であれば、ｄｕｔｙ比×点灯率＝０．２５で上記条件に合致する。ｄｕｔｙ比が１／３で、点灯率が９０％であれば、ｄｕｔｙ比×点灯率＝０．３０で上記条件に合致する。しかし、ｄｕｔｙ比が１／１で、点灯率が１０％であれば、ｄｕｔｙ比×点灯率＝０．１０で上記条件に合致しない。なお、点灯率は、ｄｕｔｙ比制御などをピーク電流抑制処理がされない場合に表示パネルのアノードあるいはカソード端子に流れる電流より求めたものである。
【１１５４】
ａ＝ｄｕｔｙ比×点灯率が、０．２より小さい場合は、画像表示輝度が低く、実用的でない。一方、ａが０．６より大きい場合は、輝度変化が大きい画像が表示された場合、フリッカが発生しやすい。また、電源モジュールの電源容量が大きくなり実用的ではない。
【１１５５】
図１１４のｄｕｔｙ比カーブにおいて、最低ｄｕｔｙ比を１／２にした実施例がカーブｃである。また、最低ｄｕｔｙ比を１／３にして実施例がカーブｄである。同様に最低ｄｕｔｙ比を１／８にして実施例がカーブｅである。
【１１５６】
図１１４はｄｕｔｙ比カーブを直線にしたものあった。しかし、ｄｕｔｙ比カーブは、多種多様な直線あるいは曲線で発生させることができる。ｄｕｔｙ比カーブにより、図１１５のｂ、ｃ、ｄ、ｅに示すように点灯率に対する電力比が変化する。以上のようにｄｕｔｙ比カーブあるいは基準電流比カーブは、マイコンなどのプログラミングあるいは外部制御により、可変できるように構成することが好ましい。
【１１５７】

ｄｕｔｙ比制御カーブは、ユーザーが外部環境に応じてボタンで自由にｄｕｔｙ比カーブを切り換えるようにする。明るい外部環境では、ｄｕｔｙ比の大きなカーブを選択し、外部環境が暗いときは、より電力を抑制するため、ｄｕｔｙ比の小さなカーブを選択するようにする。また、ｄｕｔｙ比制御カーブは自由に変更できるように構成しておくことが好ましい。

【１１５８】

図１１６に図示するように、低点灯率領域（図１１６では点灯率２０％以下）でｄｕｔｙ比を低下させ（図１１６（ａ））、ｄｕｔｙ比の低下にあわせて、基準電流比を上昇させ（図１１６（ｂ））てもよい。以上のようにｄｕｔｙ比制御と基準電流比制御を同時に行うことにより、図１１６（ｃ）で図示するように輝度の変化はなくなる。低点灯率では低階調領域でのプログラム電流の書き込み不足が顕著に目立つ。しかし、図１１６に実施するように低点灯率領域で基準電流を増加させることによりプログラム電流を基準電流に比例して増加させることができるので電流の書き込み不足がなくなる。かつ輝度も一定であるから良好な画像表示を実現できる。

【１１５９】

図１１６において、点灯率が高い領域（図１１６では４０％以上）では、ｄｕｔｙ比は低下させるが、基準電流比は１のまま一定とする。したがって、輝度はｄｕｔｙ比の低下にともなって低下するから、パネルの消費電力を制御（基本的には少なく）することができる。なお、ｄｕｔｙ比の最大を１／１とする駆動方法では、非表示領域６２は一括して挿入することが好ましい。

【１１６０】

基準電流比、ｄｕｔｙ比と点灯率との関係は以下に説明するように一定の関係を保つことが好ましい。フリッカの発生の増加またはパネルの自己発熱による劣化が加速されるからである。検討の結果によれば、点灯率が３０％以下の領域では、ｄｕｔｙ比×基準電流比（Ａ）が０．７以上１．４以下にすることが好ましい。さらに好ましくは０．８以上１．２以下にすることが好ましい。また、点灯率が８０％以下の領域では、ｄｕｔｙ比×基準電流比（Ａ）が０．１以上０．８以下になるように制御あるいは設定することが好ましい。また、さらに好ましくは０．２以上０．６以下なるように制御あるいは設定することが好ましい。

【１１６１】

あるいは、点灯率５０％の時のｄｕｔｙ比×基準電流比をＡとした時、点灯率が３０％以下の領域では、ｄｕｔｙ比×基準電流比×Ａが０．７以上１．４以下に設定あるいは制御することが好ましい。さらに好ましくは０．８以上１．２以下に設定あるいは制御することが好ましい。また、点灯率が８０％以下の領域では、ｄｕｔｙ比×基準電流比×Ａが０．１以上０．８以下に設定あるいは制御することが好ましい。さらに好ましくは０．２以上０．６以下に設定あるいは制御することが好ましい。

【１１６２】

本発明は第１の点灯率（アノード端子のアノード電流、データの総和に対する比率などでもよいことは以前に説明をした）もしくは点灯率範囲（アノード端子のアノード電流範囲、データの総和に対する比率の範囲などでもよいことは以前に説明をした）において、第１のＦＲＣあるいは点灯率あるいはアノード（カソード）端子に流れる電流あるいは基準電流あるいはｄｕｔｙ比あるいはパネル温度、基準電流比とｄｕｔｙ比との積などもしくはこれらの組合せとして変化させる。

【１１６３】

また、第２の点灯率（アノード端子のアノード電流などでもよい）もしくは点灯率範囲（アノード端子のアノード電流範囲などでもよい）において、第２のＦＲＣあるいは点灯率あるいはアノード（カソード）端子に流れる電流あるいは基準電流あるいはｄｕｔｙ比あるいはパネル温度、基準電流比とｄｕｔｙ比との積などもしくはこれらの組合せとして変化させる。もしくは、点灯率（アノード端子のアノード電流などでもよい）もしくは点灯率範囲（アノード端子のアノード電流範囲などでもよい）に応じて（適応して）、ＦＲ

Ｃあるいは点灯率あるいはアノード（カソード）端子に流れる電流あるいは基準電流あるいはｄｕｔｙ比あるいはパネル温度、基準電流比とｄｕｔｙ比との積など、もしくはこれらの組合せとして変化させるものである。また、変化させる時は、ヒステリシスをもたせて、あるいは遅延させて、あるいはゆっくりと変化させる。

【１１６４】

図１２２は、一例としての点灯率とアノード電圧の関係を示したものである。なお、Ｖｄｄ＋２、Ｖｄｄ＋４は、絶対的な電圧を示しているものではなく、説明を容易にするため相対的に図示したものである。

【１１６５】

図１２２において、点灯率が２５％以下で基準電流（プログラム電流）を増大させている。この状態ではアノード電圧を高くする必要があるので、基準電流の増大に伴って、アノード電圧も高くしている。なお、点灯率７５％以上で基準電流を大きくしている。また、基準電流の増大に伴い、アノード電圧も高くしている。

【１１６６】

図１２２は、一例としての点灯率とアノード電圧の関係を示したものである。本発明はこれに限定するものではない。たとえば、点灯率などに応じて、アノード端子電圧とカソード端子電圧との電位差を変化させてもよいことはいうまでもない。たとえば、アノード端子電圧が６（Ｖ）、カソード端子電圧が－９（Ｖ）であれば、電位差は６－（－９）＝１５（Ｖ）である。つまり、アノード電圧をカソード電圧との絶対値を点灯率あるいは基準電流もしくはアノード端子に流れる電流などに応じて変化させる。

【１１６７】

図１２３において、点灯率に応じて基準電流（プログラム電流）を段階的に変化させている。基準電流の変化に伴って、アノード電圧も変化させている。

【１１６８】

プログラム電流の大きさ（基準電流の大きさ）に対するアノード電圧は、図１２４に図示するように変化させてもよい。図１２４の実線ａは、プログラム電流（基準電流）に比例させてアノード電圧を変化させた例である。図１２４の点線ｂは、所定のプログラム電流（基準電流）以上の時に、アノード電圧を変化させた実施例である。点線ｂでは、基準電流に対するアノード電圧の変化点は１点であるので回路構成が容易となる。

【１１６９】

以上の実施例では、基準電流あるいはプログラム電流の大きさによってアノード電圧を変化させる実施例であった。しかし、基準電流あるいはプログラム電流の大きさの変化は、ソース信号線１８の電位を変化させることと同義である。図１などの駆動用トランジスタ１１ａがＰチャンネルの場合は、プログラム電流Ｉｗあるいは基準電流を増加させることは、ソース信号線１８の電位を低くすることである（ＧＮＤ電位に近くなる）。逆に、プログラム電流Ｉｗあるいは基準電流を小さくすることは、ソース信号線１８の電位を高くすることである（アノードＶｄｄに近くなる）。

【１１７０】

以上のことから、図１２５に図示するように、制御を行っても良い。つまり、ソース信号線１８の電位が０（ＧＮＤ）電位の時に、アノード電圧を最も高くする（基準電流およびプログラム電流が最大値）。ソース信号線１８の電位がＶｄｄ電位の時に、アノード電圧を最も低くする（基準電流およびプログラム電流が最小値）。以上のように構成あるいは制御することにより、ＥＬ素子１５に高電圧が印加される期間を短くすることができ、ＥＬ素子１５を長寿命化できる。

【１１７１】

パネルあるいはパネルの周囲温度に応じて、ｄｕｔｙ比などを変化させてもよい。図１２１はその実施例である。図１２１において実線は、パネル温度が４０℃以下の場合である。実線では、点灯率４０％以下で、ｄｕｔｙ比を１／１とし、４０％以上でｄｕｔｙ比を低下させている。点線では点灯率２０％以下でｄｕｔｙ比を１／２とし、点灯率２０％以上でｄｕｔｙ比を低下させる。４０℃から６０℃の間では、点線と実線の間のカーブを

描く。

【１１７２】

図１２８は、他の実施例における本発明の表示装置の電源回路の構成図である。バッテリーあるいはＤＣ電源からの出力電圧Ｖｉｎが昇圧回路１２８１ａ、電圧反転回路１２８２に印加される。昇圧回路１２８１はＤＣＤＣコンバータ回路、チャージポンプ回路が例示される。ＤＣＤＣコンバータ回路は、スイッチング素子とコイルなどから構成される。スイッチング素子によりＤＣ電圧Ｖｉｎ電圧を矩形波に変換し、コイルの共振作用などにより電圧を昇圧させる。昇圧した電圧は、昇圧回路１２８１ａのコンデンサにより平滑化し、アノード電圧Ｖｄｄを得る。一方、電圧反転回路１２８２に入力された電圧Ｖｉｎは、極性反転される。極性反転された電圧は、昇圧回路１２８１ｂに入力され、昇圧されてカソード電圧Ｖｓｓとなる。

【１１７３】

図１２８などにおいて、電圧反転回路１２８２と昇圧回路１２８１ｂとは別ブロックで図示しているが、これに限定するものではなく、電圧反転回路１２８２と昇圧回路１２８１ｂは１つの回路構成（１ブロック）で作製あるいは構成してもよいことは言うまでもない。以上のように、本発明は、主として２つのコイルにより正極性の電圧Ｖｄｄと、負極性の電圧Ｖｓｓを発生する。電圧反転回路１２８２と昇圧回路１２８１は接地電位（ＧＮＤ）を基準として動作する。また、Ｖｉｎも同様である。接地電位（ＧＮＤ）はソースドライバ回路（ＩＣ）１４のＧＮＤでもある。

【１１７４】

説明を容易にするため、本発明の実施例における電圧Ｖｉｎは、２．７（Ｖ）～４．５（Ｖ）とする。また、アノード電圧Ｖｄｄは、６（Ｖ）とし、カソード電圧Ｖｓｓは、－９（Ｖ）とする。

【１１７５】

図１２９は、本発明の表示装置の電源回路などの出力電圧の関係を図示している。本発明では、ソースドライバ回路（ＩＣ）１４の接地電位（ＧＮＤ）と、昇圧回路１２８１の接地電位（ＧＮＤ）は共通である。ソースドライバ回路（ＩＣ）１４の電源電圧Ｖｃｃは、Ｖｄｄ電圧をレギュレートして作成（発生）するか、もしくは別途構成したＤＣＤＣコンバータでＶｉｎ電圧から作成（発生）させる。

【１１７６】

ＥＬ表示装置では図１で説明したように、アノード電圧Ｖｄｄからカソード電圧Ｖｓｓに電流Ｉｅが流れる。また、アノード端子を流れる電流とカソード端子を流れる電流は、等しいという特徴がある。つまり、Ｉｅ＝Ｉｄｄ＝Ｉｓｓなる関係がある。このことはＥＬ表示装置に特徴ある事項である。

【１１７７】

図１２９の実施例では、Ａで示すアノード電圧Ｖｄｄの絶対値と、Ｂで示すカソード電圧Ｖｓｓの絶対値とは、Ａ＜Ｂの関係となるように構成している。具体的にはアノード電圧Ｖｄｄは、６（Ｖ）とし、カソード電圧Ｖｓｓは、－９（Ｖ）としている。つまり、１．５×Ａ＝Ｂである。

【１１７８】

本発明は、図１２８の昇圧回路１２８ａの電源発生容量（アノード電源容量と呼ぶ＝アノード電圧Ｖｄｄ×アノード電流Ｉｄｄ）と、昇圧回路１２８ｂの電源発生容量（カソード電源容量と呼ぶ＝カソード電圧Ｖｄｄ×カソード電流Ｉｄｄ）は、略同一に構成（作製）している。アノード電源容量＝カソード電源容量とすることにより、電源モジュールサイズを小型化できる。特に、カソード電源容量を必要容量よりも小さい設計できることによる効果が大きい。また、昇圧回路１２８ａで使用するコイルＬと昇圧回路１２８ｂで使用するコイルＬとは同一のものを使用することができるため、コストを低減することができる。

【１１７９】

１．５×Ａ＝Ｂ、Ｉｄｄ＝Ｉｓｓとし、アノード電源容量＝カソード電源容量であれば

、カソード電流Ｉｓｓ＝（１／１．５）×アノード電流ＩｄｄとなるＯ先にも説明したように、ＥＬ表示装置では、Ｉｄｄ＝Ｉｓｓの関係がある。したがって、図１２９の構成において、アノード電源容量をフルに使用した時、カソード電源容量が足りなくなる。１．５×Ａ＝Ｂであれば、カソード電源容量は、約５０％分が、必要電源容量に対して足りなくなる。なお、図１を用いてアノード電流Ｉｄｄ、カソード電流Ｉｓｓを説明しているが、Ｉｄｄ、Ｉｓｓは、以下の本明細書においては、画素単位の電流の意味ではなく、表示領域６４全体に流れ込む電流である。つまり、点灯率に対応して変化する電流である。

【１１８０】

本発明ではカソード電源容量が規定値以上は出力されないように構成されている。したがって、カソード電源容量が足りなくなれば、カソード電圧Ｖｓｓが上昇し、規定値の電源容量で頭打ちになって制御される。カソード電圧Ｖｓｓが上昇しても（例えば、－９Ｖ→－６Ｖ）、Ｉｓｓ電流は最大電流を維持する。カソード電圧が上昇した分だけ、カソード電流Ｉｓｓを増大させることができる。つまり、カソード電源容量の規格の最大値は守られる。また、Ｉｄｄ＝Ｉｓｓの関係が維持される。逆に言えば、Ｉｄｄ＝Ｉｓｓの関係を維持するように、カソード電源容量を構成する昇圧回路１２８１ｂは、カソード電圧Ｖｓｓを上昇させ、カソード電源容量の上限値以上とならないように制御される。

【１１８１】

なお、図１２８などにおいて、Ｉｄｄ、ＩｓｓはＤＣ電流であるが、昇圧回路１２８１内では、矩形波あるいは三角波が発生し、交流動作が行われている。本発明では、カソード電源容量あるいはアノード電源容量が一定容量以上とならないように制御するとしている。しかし、一定容量以上にならないようにとは、ＤＣレベルではなく、矩形波あるいは三角波の最大値で検討する必要がある。昇圧回路１２８１内のＩＣ耐圧で最大電圧が規定されるからである。

【１１８２】

図１２８、図１２９では、Ｉｄｄ＝Ｉｓｓとし、Ａ＜Ｂとしている。したがって、従来の実施例では、昇圧回路１２８ｂの電源発生容量（カソード電圧Ｖｓｓ×カソード電流Ｉｓｓ）は、昇圧回路１２８ａの電源発生容量（アノード電圧Ｖｄｄ×アノード電流Ｉｄｄ）よりも大きくしている。

【１１８３】

本発明では、Ａ＜Ｂとし、Ｂに対応する昇圧回路１２８ｂの電源発生容量を、本来必要な電源容量よりも小さくしている。そのため、Ｉｄｄ＝Ｉｓｓを維持し、昇圧回路１２８ｂの電源発生容量以上にＩｓｓが大きくなると、カソード電圧Ｖｓｓを上昇させて、電源容量の規定上限値を維持する。

【１１８４】

以上のように、カソード電源容量を規定よりも小さくし、カソード電圧Ｖｓｓを上昇させても、表示画面６４の表示画像の劣化（たとえば、フリッカが発生するとか、視覚的に認識されるレベルの輝度が発生するとか）はない。本発明はこれらのＥＬ表示パネルの特徴をうまく利用している。

【１１８５】

本発明は、図１に図示するように、駆動用トランジスタ１１ａをＰチャンネルトランジスタで構成（形成）している。駆動用トランジスタ１１ａの動作起点は、アノード電圧Ｖｄｄである。また、Ｖｄｄ電圧はソースドライバ回路（ＩＣ）１４からみても、起点電圧である。つまり、ソース信号線１８の電位が、Ｖｄｄ電圧の時、ＥＬ素子１５には電流が流れない。ソースドライバ回路（ＩＣ）１４が動作し、Ｖｄｄ電圧からソース信号線１８にプログラム電流Ｉｗがながれることにより、ソース信号線１８の電位が低下する。ソース信号線１８の電位がＶｄｄから離れるにしたがって、ＥＬ素子１５に流れる電流は大きくなる。以上のことから、Ｖｄｄ電圧は起点電圧として、所定値に安定に保つ必要がある。

【１１８６】

一方、カソード電圧Ｖｓｓは、起点電圧ではない。Ｖｄｄ電圧とＶｓｓ電圧との電位差

がＥＬ素子１５の飽和電圧として影響があるだけである。したがって、Ｖｓｓ電圧が変化しても、画像表示に影響を与えにくい。本発明は、Ｉｓｓ電流が小さい時には、カソード電圧Ｖｓｓを規定値に維持し、Ｉｓｓ電流が大きい時に、カソード電圧を上昇させる駆動方法または駆動回路または駆動方式である。

【１１８７】

Ｉｓｓ電流が大きい時とは、点灯率が高い場合である。点灯率が高い画像表示は画面に白表示（高輝度表示）が占める割合が高い画像表示状態である。このような画像表示状態では、多少輝度が低下しても、表示ムラが発生しても視覚的には認識されない。点灯率が低い時は、カソード電圧は規定値を維持するため、当然のことながら画像表示劣化はない。

【１１８８】

以上のように、本発明は、画素１６の駆動用トランジスタ１１ａをＰチャンネルで構成し、ソースドライバ回路（ＩＣ）１４が吸い込み電流方式で動作し（ソースドライバ回路（ＩＣ）１４の単位トランジスタ２２４をＮチャンネルトランジスタで形成または構成している）などの構成において、カソード電源容量を規定値電源容量（本来必要な電源容量）よりも小さくした構成である。小さくするとは、１０％以上６０％以下の範囲とすることが好ましい。１０％より小さければ、コストメリット、電源サイズメリットを出しにくい。６０％より大きければ、点灯率が少し大きくなると、カソード電圧が上昇してしまい画像表示に影響が発生する。

【１１８９】

特にカソード電源容量などに関する本発明は、ｄｕｔｙ比制御、基準電流比制御と組み合わせて用いることにより相乗効果が発揮される。たとえば、ｄｕｔｙ比制御は、加算などの処理により点灯率を制御する方法である。

【１１９０】

たとえば、ｄｕｔｙ比が１／１近傍で点灯率が低い画像表示において、急に点灯率が高い画像表示（シーン）に変化した場合を例示して考える。この場合は、ｄｕｔｙ比を小さく（１／４など０に近づける）し、ピーク電流を抑制する動作を実施する。ｄｕｔｙ比１／１から１／４に急に変化させると、フリッカが発生する。このフリッカの発生を抑制するため、ｄｕｔｙ比の変化は数フレームあるいは十数フレームかけてゆっくりと行う。しかし、ｄｕｔｙ比をゆっくり変化させると、変化の期間には電源容量の規定値を超える電流が流れる場合がある。ｄｕｔｙ比を急に変化させる期間とは、画像シーンの急変時であり、発生する機会は極めて少ない。

【１１９１】

画像シーンの急変時に対応するため、カソード電源容量を大きく作製するのは、非効率である。本発明では、画像シーンの急変時に発生する大きなＩｓｓ電流に対しては、Ｖｓｓ電圧を上昇させてカソード電源容量を規定値以下に維持するように構成する。したがって、電源の使用効率が高い。また、昇圧回路１２８１ａと１２８１ｂのいずれもが、比較的高い電力で使用する。したがって、昇圧回路１２８において、最大効率が発揮する箇所を、比較的高い電力時に設定しておくことにより高効率設計を実現できる。

【１１９２】

なお、ｄｕｔｙ比制御を実施する場合は、点灯率に対するＩｄｄ電流は変化する。たとえば、点灯率１００％でｄｕｔｙ比１／４となる制御を実施する駆動方式では、従来の点灯率１００％でｄｕｔｙ比１／１の駆動方法に比較して、Ｉｄｄは１／４である。電力比はアノード電流の変化比率を示すことになる。

【１１９３】

以上の事項は、電流駆動方式に限定されるものではなく、電圧駆動方式の画素構成あるいは表示パネル、表示装置などにも適用できることは言うまでもない。また、本発明の昇圧回路などの電源構成などに関する事項は、本発明の他の事項と組み合わせることができる。たとえば、画像（映像）データ、点灯率、アノード（カソード）端子に流れる電流、パネル温度などにより、基準電流、ｄｕｔｙ比、プリチャージ電圧（プログラム電圧と同

義あるいは類似）、ゲート信号線電圧（Ｖｇｈ、Ｖｇｌ）、ガンマカーブなどを変更あるいは調整と連動あるいは組み合わせても良い。また、画像（映像）データ、点灯率、アノード（カソード）端子に流れる電流、パネル温度の変化割合あるいは変化を予想または予測して、調整もしくは変化あるいは可変もしくは制御してもよいことは言うまでもない。

【１１９４】

以上の実施例は、駆動用トランジスタ１１ａがＰチャンネルトランジスタの場合である。しかし、本発明はこれに限定されるものでない。たとえば、駆動用トランジスタ１１ａがＮチャンネルの場合であっても適用することができる。駆動用トランジスタ１１ａがＮチャンネルの場合は、駆動用トランジスタ１１ａの動作起点は、カソード電圧Ｖｓｓである。また、Ｖｓｓ電圧はソースドライバ回路（ＩＣ）１４からみても、起点電圧とする場合がほとんどである。つまり、ソース信号線１８の電位が、Ｖｓｓ電圧の時、ＥＬ素子１５には電流が流れない。ソースドライバ回路（ＩＣ）１４が動作し、Ｖｓｓ電圧からソース信号線１８にプログラム電流Ｉｗがながれることにより、ソース信号線１８の電位が上昇する。ソース信号線１８の電位がＶｄｄから離れるにしたがって、ＥＬ素子１５に流れる電流は大きくなる。以上のことから、Ｖｓｓ電圧は起点電圧として、所定値に安定に保つ必要がある。

【１１９５】

一方、駆動用トランジスタ１１ａがＮチャンネルトランジスタの場合は、アノード電圧Ｖｄｄは、起点電圧ではない。Ｖｄｄ電圧とＶｓｓ電圧との電位差がＥＬ素子１５の飽和電圧として影響があるだけである。したがって、Ｖｄｄ電圧が変化しても、画像表示に影響を与えにくい。本発明は、Ｉｄｄ＝Ｉｓｓ電流が小さい時には、アノード電圧Ｖｄｄを規定値に維持し、Ｉｄｄ電流が大きい時に、アノード電圧を低下させる駆動方法または駆動回路または駆動方式である。

【１１９６】

つまり、本発明は、アノード電源容量あるいはカソード電源容量のうち少なくとも一方の電源容量を規定値（表示パネルが使用する最大電流を流す電流×アノード電圧またはカソード電圧）よりも小さく形成（構成）する。そして、ＩｄｄまたはＩｓｓ電流が所定値以上流れる場合に、カソード電圧またはアノード電圧のうち少なくとも一方の電圧を変化せる駆動方法あるいは駆動装置もしくは駆動方式である。また、特にｄｕｔｙ比制御または基準電流比制御を組み合わせることが好ましい方式である。

【１１９７】

本発明は、ＧＮＤ電圧に対するアノード電圧とカソード電圧のうち一方の電圧を大きくし、大きくした方の電源容量（アノード電源容量またはカソード電源容量）の出力電圧（アノード電圧またはカソード電圧）を点灯率あるいは点灯率の大きさあるいは所定の点灯率の範囲もしくは点灯率変化に応じて、変化させる駆動方式、駆動方法あるいは駆動装置である。特にｄｕｔｙ比制御または基準電流比制御を組み合わせることが好ましい。

【１１９８】

本発明は、画素の駆動用トランジスタをＰチャンネルで構成した場合は、カソード電圧を、点灯率の大きさあるいは点灯率の変化あるいは点灯率変化量に応じて変化させる駆動方式あるいは駆動方法もしくは駆動装置である。また、本発明は、画素の駆動用トランジスタをＮチャンネルで構成した場合は、アノード電圧を、点灯率の大きさあるいは点灯率の変化あるいは点灯率変化量に応じて変化させる駆動方式あるいは駆動方法もしくは駆動装置である。以上の事項は特にｄｕｔｙ比制御または基準電流比制御を組み合わせることが好ましい。

【１１９９】

以上の実施例において、カソード電圧あるいはアノード電圧の変化はヒステリシスをもたせて（遅延時間をもたせて）、ゆっくりと変化あるいは変更させることが好ましいことはいうまでもない。

【１２００】

また、カソード電流は点灯率に応じて増加するように構成することが好ましい。本発明

では、検討の結果、点灯率が３０％以上８０％以下の範囲でカソード電圧を低下させるように構成することが好ましい。点灯率が３０％以上８０％以下の範囲でカソード電圧を低下させるように構成することが好ましい。さらに好ましくは、昇圧回路１２８１ｂの電源容量は点灯率１００％の４０％以上７０％以下でカソード電圧を低下させるように構成する（駆動する）ことが好ましい。つまり、本発明の方式では、昇圧回路１２８１ｂの電源容量は、点灯率１００％の電源容量は必要でなく、５０％程度の容量サイズにすることができる。したがって、低コスト、電源サイズの小型化を実現できる。なお、昇圧回路１２８１ａ内で使用するコイルのインダクタンスＬ１（μヘンリー）と、昇圧回路１２８１ｂ内で使用するコイルのインダクタンスＬ２（μヘンリー）との関係は、Ｌ２＝Ｌ１×±１．２（精度によるバラツキは除く。つまりタイプ値の比較である。）に設定することが好ましい。さらに好ましくはＬ２＝Ｌ１×±１．１に設定することが好ましい。特性が安定し、実装面積を小さくすることができる。また、コストの低減も実現できる。

【１２０１】

以上の本発明は、電源容量が限定されるモバイル機器（ＤＶＣ、ＤＳＣ、ＤＶＤテレビ、携帯テレビ、携帯電話など）に用いることにより大きな効果を発揮する。

【１２０２】

図１２８、図１２９の実施例では、点灯率などに応じてカソード電圧を変化させるとした。なお、カソード電圧は電源容量から自動的に変化することを想定しているが、意識的に変化させる場合もある。つまり、本発明のカソード電圧などを変化させるとは、自動的な制御と手動的な制御の双方の概念を含む。

【１２０３】

カソード電流Ｉｓｓまたはアノード電流Ｉｄｄの最大値は、設定により可変できるように構成しておくことが好ましい。可変は、昇圧回路１２８１のスイッチング素子などにリミッタ機能を設け、複数のリミッタ値から１つを設定できるように構成すればよいから実現は容易である。

【１２０４】

図１３０は点灯率に対応してカソード電圧を変化させた実施例である。図１３０において、実線の例は、第１の点灯率（図１３０では一例として２０％）と第２の点灯率（図１３０では一例として８０％）間でリニアにカソード電圧を変化させている。点灯率が高くなるにつれて、カソード電圧は上昇させる。この範囲では、カソード電流Ｉｓｓはカソード電圧が上昇した分だけ、カソード電流Ｉｓｓを増大させる。一方のアノード電流Ｉｄｄは、アノード電圧の大きさＡ（図１２９を参照のこと）がカソード電圧の大きさＢより小さい。アノード電源容量＝カソード電源容量であれば、カソード電圧が上昇し、Ａ＝Ｂとなるまで、アノード電圧の低下は発生しない。アノード電流Ｉｄｄとカソード電流Ｉｓｓは同一に保たれる。

【１２０５】

図１３０の実線の例では、点灯率８０％以上では、カソード電圧は一定になるように保たれる。以上のようにカソード電圧の上昇に一定のリミットを設定しないと、さすがに画像表示が破綻するからである。点灯率８０％以上では、カソード電圧Ｖｓｓが一定となるように制御するため、点灯率が８０％から１００％の範囲では、カソード電流Ｉｄｄは一定に維持される。したがって、表示パネルから発生する全光速の増加はない（画面輝度は変化しない）。ただし、上記の記載は、点灯率８０％以上では、昇圧回路１２８１ｂが最大電源容量で動作していることを想定している。もちろん、点灯率８０％以上でも電源容量に余裕があれば、点灯率が高くなるにつれてカソード電流Ｉｓｓは増加する。

【１２０６】

図１３０の実線において、点灯率２０％以下でも、カソード電圧は一定になるように保たれる。以上のようにカソード電圧の上昇に一定のリミットを設定しないと、昇圧回路１２８１ｂで使用するＩＣ耐圧が上限を超えるからである。点灯率２０％以下では、カソード電圧Ｖｓｓが一定となるように制御するため、点灯率が０％から２０％の範囲では、カソード電流Ｉｄｄは点灯率が低下すれば、減少する。

【１２０７】
図１３０の点線は、点灯率に応じてカソード電圧が線形に変化させた実施例である。点灯率が高く、つまり、Ｉｄｄ電流が増加するにつれてカソード電圧は上昇する。点灯率１００％では、カソード電圧は－５Ｖに上昇するが、画質の劣化はない。また、通常の映像表示の点灯率は２０％～４０％である。点灯率８０％以上はほとんど発生しない。したがって、点灯率が高い領域で画質劣化は発生したとしても、ごく稀であり、視覚的に認識されることはない。本発明はこの映像表示の高点灯率の発生が稀であるという特徴もうまく利用している。また、本発明ではｄｕｔｙ比制御を実施し、高点灯率領域ではアノード電流Ｉｄｄを抑制している。したがって、電源容量を小さくしている。したがって、点灯率が高くとも、カソード電圧を上昇させる事態はほとんど発生しない。

【１２０８】
カソード電圧を上昇させる事態が発生するのは、点灯率が低い画像表示で、かつ、ｄｕｔｙ比が１／１あるいはそれに近い画像表示を行っている場合に、映像表示シーンが急変し点灯率が高くなった場合である。もちろん、点灯率が高くなれば、ｄｕｔｙ比は低くするから（たとえば、１／４に近づける）、一定期間経過後は、高点灯率かつ低ｄｕｔｙ比状態に移行する。したがって、カソード電圧は正常電圧に低下する。以上ことからもカソード電圧Ｖｓｓを上昇させる駆動状態が発生することはごく稀である。

【１２０９】
本発明は、電源容量を小さくし、ごく稀に発生するＩｄｄまたはＩｓｓ電流増加状態は、カソード電圧Ｖｓｓを上昇させて画像表示の劣化を抑制する。以上のことはＥＬ表示装置など自己発光表示デバイスに特有の構成であり、極めて有効である。

【１２１０】
表示パネルの温度に応じて、点灯率に対するカソード電圧変化を可変あるいは変更してもよい。図１３１はその実施例である。図１３１に図示するように、表示パネルが５０℃と高い場合は、点灯率６０％以上の比較的低い点灯率の状態からカソード電圧を一定値に保持する。一定値に保持されているため、点灯率が６０％以上に高くなる状態では、Ｉｄｄ電流は増加しない。つまりＩｄｄ電流のリミッタ機能が働く。したがって、表示パネルでの発熱が抑制される。表示パネルが高温状態で、さらに発熱すると表示パネルの劣化が促進されてしまうからである。なお、カソード電圧を上昇させ、ＥＬ素子１５に印加される電圧と小さくすることにより、発熱も抑制できることは言うまでもない。

【１２１１】
表示パネルの温度が１０℃と低い場合は、点灯率６０％以下と比較的高い点灯率までカソード電圧を低い状態で保持する。したがって、点灯率が高くなるにつれて、アノード電流Ｉｄｄは増加する（ｄｕｔｙ比制御が実施されていない場合）。点灯率６０％以上では、カソード電圧を上昇させる。上昇により表示パネルで発生する発熱も抑制される。

【１２１２】
表示パネルが高温の場合は、カソード電圧は比較的高くてもよい。ＥＬ素子１５のＶｔ電圧（立ち上がり電圧）が低くなり、また、同一輝度を得るためのＥＬ素子１５の両端に印加する電圧の絶対値も低くなるからである。つまり、表示パネルの温度によりカソード電圧を変化させることが低消費電力化に有利である。図１３１の点線（パネル温度が高い場合）では、カソード電圧を－８Ｖとしている。実線（パネル温度が低い場合）の場合は、カソード電圧を－９Ｖとしている。さらにパネル温度が低い一点鎖線の場合は、カソード電圧を－９．５Ｖとしている。本発明では、表示パネルあるいは表示パネルの周囲温度を検出（測定）し、温度によりカソード電圧またはアノード電圧を変化させることを特徴とする。

【１２１３】
図１３０、図１３１において、点灯率に対応してカソード電圧はリニア（線形）に変化させるとしたが、これに限定するものではなく、２乗カーブなど非線形に変化（対応）させてもよいことは言うまでもない。また、図１３０の実線のように２点折れ線に限定するものではなく、３点以上の折れ線としてもよいことは言うまでもない。

【１２１４】
以上のように、本発明は、点灯率に対応してあるいは応じてカソード電圧を変化させる。また、本発明はｄｕｔｙ比制御、基準電流比制御と組みあせて実施することが好ましい。図１４３はカソード電圧制御（図１３０、図１３１など）と、基準電流比制御とを組み合わせて実施した実施例である。
【１２１５】
図１４３において、点灯率７５％以上で基準電流を増加させる。基準電流比の変化は、プログラム電流の変化である。したがって、基準電流比に比例してプログラム電流が大きくなり、ＥＬ素子１５の輝度も高くなる。図１４３では、基準電流を増加させる範囲（点灯率７５％以上）では、カソード電圧を一定にしている。点灯率２５％以上ではカソード電圧を上昇させている。
【１２１６】
図１４４はカソード電圧制御（図１３０、図１３１など）と、ｄｕｔｙ比制御とを組み合わせて実施した実施例である。
【１２１７】
図１４３において、点灯率７５％以上でｄｕｔｙ比を１／２＝０．５に低下させる。ｄｕｔｙ比の変化は、Ｉｄｄ（Ｉｓｓ）電流の変化である。したがって、ｄｕｔｙ比に対応して表示画面６４の輝度は低下する。図１４４では、点灯率７５％以上では、カソード電圧を－４Ｖと一定にしている。点灯率２５％以上ではカソード電圧を上昇させている。また、点灯率に応じてｄｕｔｙ比を低下させている。
【１２１８】
以上のように、カソード電流制御を実施し、カソード（アノード）電源電力を抑制する。また、本発明はｄｕｔｙ比制御などと組み合わせることにより、ピーク電流を抑制し、カソード（アノード）電源電力を抑制する。図１４７はその実施例の説明図である。
【１２１９】
図１４７（ａ）は、従来例（カソード電圧一定、ｄｕｔｙ比制御）の場合である。横軸は経過時間である。ＥＬ表示装置（自己発光表示装置）に動画などが表示されていく状態（時間）を示している。図１４７（ａ）では、画像の点灯率に合わせて、ｄｕｔｙ比を可変している。点灯率はコントローラ７２２で映像信号を加算処理などすることにより得られ、得られたＳＵＭデータによりｄｕｔｙ比制御などが実施される。しかし、点灯率が変化に伴い、ｄｕｔｙ比を急変させるとフリッカが発生する（画面の輝度の強弱が短時間で変化する）。発生するフリッカを抑制するため、ｄｕｔｙ比の変化はゆっくりと実施される。点灯率が急変する画像表示とは、暗い表示でｄｕｔｙ比が１／１で画像を表示しているとき、シーンが変化し、非常に明るい画像表示になったときである。非常に明るい画像表示では、表示パネルに流れる電流を抑制するため、本来はｄｕｔｙ比１／４などに低下させる必要がある。しかし、ｄｕｔｙ比１／１から１／４に急変させるとフリッカが発生してしまう。
【１２２０】
点灯率が急変した時刻は、図１４７（ａ）のａとｂの時である。ｄｕｔｙ比の変化は遅延して、また０．５～２秒程度の時間をかけて目標のｄｕｔｙ比に変化させるため、この時、大きなカソード電流が流れる（単位時間２からａ点（頂点）までの期間、単位時間４．５からｂ点（頂点）までの期間）。したがって、カソード電源電力の容量も一例として１６０％近く必要である。ａ点、ｂ点の時間あるいはその前から、ｄｕｔｙ比が変化し、ｄｕｔｙ比制御によりカソード電流が低下してカソード電源電力が１００％以内となる（ａ点（頂点）もしくはその前から単位時間２．６の期間、ｂ点（頂点）もしくはその前から単位時間５の期間）。カソード電流が増大した状態は一定期間継続する。しかし、ｄｕｔｙ比をゆっくりと低下させることにより、カソード電流が低下され、カソード電源電力の容量は１００％以内の規定範囲内となる。しかし、ａ点、ｂ点の期間ではカソード電源電力容量を超えてしまう。従来ではこの電源容量を超えることを見越して、カソード電源サイズを決定していたため、カソード電源サイズは非常に大きなものを配置または設置し

ていた。この大きな電源サイズはコストが増大し、また、モバイル機器には許容不可能なサイズであった。

【１２２１】

図１４７（ｂ１）、図１４７（ｂ２）は、カソード電流制御（図１２８、図１２９、図１４６などを参照のこと）と、ｄｕｔｙ比制御とを組み合わせて実施した実施例である。点灯率が急変した時刻は、図１４７（ａ）と同様にａとｂの時である（図１４７（ａ）と本発明の図１４７（ｂ）とを比較して説明している）。この時、図１４７（ｂ２）に図示するように、カソード電圧は上昇する（カソード電圧の絶対値が小さくなる）。そのため、ＥＬ素子１５に印加される電圧は低下する。なお、アノード電圧は一定値（本発明では６Ｖとする）を保持している。カソード電流Ｉｓｓは増加するが、カソード電圧が上昇（絶対値が小さくなる）するために、結果としてカソード電源電力は一定に保たれる。したがって、図１４７（ｂ１）に図示するように、カソード電源電力比は１００％を超えることはない。ｄｕｔｙ比は、ａ、ｂ時刻と起点としてゆっくりと低下し、ｄｕｔｙ比の変化に伴い、カソード電圧も正規の電圧に復帰する（－９Ｖとなる）。

【１２２２】

本発明のＥＬ表示装置では、アノード電圧Ｖｄｄの絶対値（ＧＮＤを基準とする）＜カソード電圧Ｖｓｓの絶対値（ＧＮＤを基準とする）の関係で電源電圧を構成している。したがって、アノード電流＝カソード電流であり、アノード電源容量＝カソード電源容量であれば、点灯率が高いときは、カソード電源容量が不足する。カソード電源容量の上限値を維持するため、カソード電流は増加させ必要なカソード電流をＥＬ表示パネルに供給する。カソード電源容量の上限値を維持するため、カソード電圧の絶対値は小さくなるように変化させる。図１などに図示するような画素の構成あるいは、画素１６の駆動用トランジスタ１１ａがＰチャンネルトランジスタで構成した場合は、カソード電圧を変化させても画像表示を劣化させることはほとんどない。また、点灯率が急変するときのみに、カソード電圧を変化させても、点灯率が急変している時は、画像が急変しているときであるから、画像表示状態が劣化していても、視覚的に認識されることはない。

【１２２３】

図１４７は、カソード電流制御（図１２８、図１２９、図１４６などを参照のこと）と、ｄｕｔｙ比制御とを組みあせた駆動方式として説明したが本発明はこれに限定するものではない。たとえば、カソード電流制御と、基準電流比制御とを組みあわせてもよい。基準電流比を増減することによっても、プログラム電流を増減でき、アノード（カソード）電流を増減できるからである。また、カソード電流制御と、ｄｕｔｙ比制御および基準電流比制御とを組みあせてもよい。

【１２２４】

図１４５の実施例は、カソード電流Ｉｓｓの変化割合（カソード電流比とし、％で示す）と、カソード電圧との関係を示すものである。カソード電流比１００％とは、カソード電圧の初期値電圧（点灯率が低い領域での電圧。図１４５ではカソード電圧＝－９Ｖ。つまり、カソード電圧を－９Ｖに保持し、出力できるカソード電流の最大値を１００％とする。１００％以上では、カソード電圧はＧＮＤ側に上昇する）の場合において、昇圧回路１２８１ｂから取り出せるカソード電流Ｉｓｓの最大電流である。変過点は、カソード電流比１００％であり、カソード電流比１００％以上では、カソード電圧を上昇させている。

【１２２５】

説明を容易にするため、一例として具体的な数字を記載して説明をする。図１４５において、カソード電流比が１００％の時のカソード電流Ｉｓｓ＝０．１Ａとする。したがって、カソード電流比１５０％の時は、カソード電流Ｉｓｓ＝０．１５Ａである。昇圧回路１２８１ｂの電源容量は、カソード電流比１００％の時の０．１Ａ×（－９）Ｖ＝０．９Ｗである。カソード電流比１５０％の時は、カソード電流Ｉｓｓ＝０．１５Ａであり、カソード電圧は－６Ｖである。したがって、必要な電源容量は、０．１５Ａ×（－６）＝０．９Ｗとなる。つまり、カソード電流が１．５倍（カソード電流比１５０％）になっても

、カソード電圧を上昇（－９Ｖ→－６Ｖ）とすることにより、昇圧回路１２８１ｂの電源容量は増加させる必要はない。カソード電流比１００％～１５０％の範囲ではカソード電圧を線形に変化させることにより、昇圧回路１２８１ｂの電源容量は最大使用範囲（内）に保たれる。

【１２２６】

以上のように、本発明は、カソード電流の増加に対応させて、カソード電圧を変化させる。したがって、電源回路の小型化が可能となる。点灯率が短期間で複数回急変する時は、カソード電圧も複数回変化する。

【１２２７】

従来の電源回路は、出力電圧を一定に保つ回路構成である。出力電流が増加しても出力電圧は一定に保持する。したがって、電源回路の電力は出力電流の増加に伴って大きくなる。有機ＥＬ表示パネルは、自己発光型の表示パネルで発光に伴う光束の増加に伴って電流が増加する。また、点灯率の変化に伴い電流量は変化する。したがって、点灯率が高くなれば電流量も大きくなる。そのため、電源の出力電流も大きくす必要があり、電源サイズ（電力容量）が大きくなる。

【１２２８】

本発明は、最大電力容量に上限を持たせたものである。つまり、（最大）電力一定制御を実施するものである。したがって、電源サイズは従来の電源サイズに比較して小さくできる。本発明ではカソード電流が所定値までは、カソード電圧を一定に保持する。カソード電流が一定値を超えると、カソード電流の増加にともない、カソード電圧の絶対値を低下させ、カソード電源の最大電力を超えないよう動作する。この動作は、カソード電流の大きさをモニターし、モニターした電流によりカソード電圧を低下させる。また、電源回路のカソード電流の出力端子に接続した抵抗の両端電圧を測定することにより、この抵抗に発生する電圧によりカソード電圧を低下させる。また、抵抗の発熱量を検出することにより、制御を実施する。カソード電流の変化に伴うカソード電圧の低下制御は瞬時に行う。瞬時とは１秒以内の時間である。

【１２２９】

カソード電源の最大電力Ｐｍ＝カソード電流Ｉｓｓ×カソード電圧Ｖｓｓとすれば、カソード電流が変化してもＰｍが一定となるように、カソード電圧Ｖｓｓが調整される。調整に遅延が発生するが、最大電力の理想値を１とした時、１秒以内に、理想値の０．９以上１．１以下となるように、カソード電圧が調整される。好ましくは、０．９以上１．０以下となるように制御される。

【１２３０】

なお、本発明では、一定以上のカソード電流Ｉｓｓが増加に伴い、カソード電圧Ｖｓｓを低下させることにより、カソード電源電力の上限（最大）を超えないように制御あるいは動作させるとして説明するが、これに限定するものではない。たとえば、一定以上のアノード電流Ｉｄｄが増加に伴い、アノード電圧Ｖｄｄを低下させることによりアノード電源電力の上限（最大）を超えないように制御あるいは動作させるとしてもよい。また、アノード電源電力とカソード電源電力の両方を同時に制御してもよい。また、アノード電圧（電流）とカソード電圧（電流）の両方を１つの電源で発生させる場合も本発明の技術的範疇である。

【１２３１】

図１４６は、横軸を昇圧回路１２８１ｂのカソード電源の電力（％）としている。電力１００％とは、昇圧回路１２８１ｂが使用できる最大電力である。つまり、カソード電源電力の出力上限（最大）である。図１４６の実施例では、電力１００％以上で、カソード電圧Ｖｓｓの絶対値を小さくすることにより、カソード電源の電力１００％を超えないように制御している。カソード電流Ｉｓｓは増加させている。カソード電源電力１００％までは、カソード電圧Ｖｓｓは所定値（規定値、本発明の実施例では－９Ｖである）を保持しており、また、カソード電流も１００％まで増加する。カソード電流１００％がカソード電源電力の最大値である。カソード電流Ｉｓｓは増加させるが、カソード電圧Ｖｓｓを

低下させることにより電力が上限値を超えないよう制御している。一例として、カソード電流１５０％とは、カソード電圧が既定値の－９Ｖを保持した状態で出力できるカソード電流を１００％とした時の１．５倍である。カソード電流１５０％では、カソード電圧は、－６Ｖまで上昇する。

【１２３２】

説明を容易にするため、一例として具体的な数字を記載して説明をする。図１４６において、カソード電流比が１００％の時のカソード電流Ｉｓｓ＝０．１Ａとする。したがって、カソード電流１５０％では、Ｉｓｓ＝０．１５Ａとなる。昇圧回路１２８１ｂの電源容量１００％とは、カソード電流１００％の時の０．１Ａ×（－９）Ｖ＝０．９Ｗである。カソード電流が１．５倍の０．１５Ａとなったとき、昇圧回路１２８１ｂの電源容量１００％の上限を超えないようにするには、０．９Ｗ／０．１５Ａ＝６Ｖとなるから、カソード電圧Ｖｓｓは－６Ｖに調整すればよい。つまり、カソード電流Ｉｓｓが１５０％の時は、昇圧回路１２８１ｂが出力する電力は、１．５×０．１Ａ×（－６Ｖ）＝０．９Ｗとなる。つまり、カソード電圧Ｖｓｓを１．５分の１倍に抑制することにより、昇圧回路１２８１ｂの電源容量は増加させる必要はない。カソード電流Ｉｓｓが０～１００％の時は、昇圧回路１２８１ｂの出力電力は０％～１００％の範囲で、カソード電流Ｉｓｓに比例して線形に変化させている。もちろん、カソード電源の電力が上限値を超えなければ線形でなくともよい。

【１２３３】

以上のように、本発明は、カソード電流Ｉｓｓが１００％以上の領域であっても、カソード電源の最大電力Ｐｍ＝カソード電流Ｉｓｓ×カソード電圧Ｖｓｓが維持されるように制御することを特徴とする。ＥＬ表示装置（自己発光表示装置）に供給する電流（アノード電流またはカソード電流）が設定された電流以下（カソード電流１００％以下）の場合は、アノード電圧とカソード電圧を保持した状態で、必要なカソード電流Ｉｓｓを供給し、カソード電流１００％以上の領域では、アノード電圧、カソード電圧の絶対値を小さくし、Ｐｍが一定となるように、カソード電流を供給する。

【１２３４】

本発明では、図１１５から図１１９などに図示するように、ｄｕｔｙ比制御などを実施することによりＥＬ表示パネルに流れ込む電流を、点灯率に対応して制御する。例えば、画像の点灯率が１０％などから低い状態から、９０％以上の点灯率に急変したときは、ｄｕｔｙ比を小さくすることにより、ＥＬ表示パネルに流れ込む電流（カソード電流Ｉｓｓ、アノード電流Ｉｄｄ）を抑制する。その抑制期間は０．５～２秒程度である。つまり、点灯率が急変時は０．５～２秒の短期間の間、カソード電流などは増加するが、短時間でカソード電流などは低下する。この短期間の間は、図１４６などで説明したカソード電圧Ｖｓｓの絶対値を低下させるなどの方式を用いて、カソード電力の最大値を超えないようにする。特に、本発明のＥＬ表示パネルでは、カソード電圧Ｖｓｓの絶対値が小さくなっても、電流プログラムによる駆動用トランジスタ１１ａのプログラムは良好に実施できるので、問題ない。たとえ、以上にカソード電圧の絶対値が小さくなっても、０．５～２秒の短期間の間だけ、レーザーショットの筋ムラが発生するだけである。この期間は画像が急変している期間であるから、視覚的にはレーザーショットがめだつことはない。以上のように、本発明の電源回路あるいは構成もしくは制御方法は、ＥＬ表示装置などの自己発光表示装置に特に有効である。

【１２３５】

図１４６では、カソード電流が１００％と超えてもカソード電源電力Ｐｍが一定となるように制御されている。電力比１００％（カソード電源の最大電力）までは、カソード電流Ｉｓｓの増加に伴い、カソード電源の出力電流は増加する。カソード電圧Ｖｓｓは一定に保持されている。電力比１００％以上ではカソード電流は増加を続けるが、電力を一定値以内とするため、カソード電圧Ｖｓｓの絶対値は小さくされる。

【１２３６】

カソード電流Ｉｓｓが増加をつづけ、それに伴いカソード電圧Ｖｓｓの絶対値が低下す

る。一定以上のカソード電流Ｉｓｓが増加すれば、増加は停止し、また、カソード電圧Ｖｓｓの絶対値の低下もなくなり、一定値を保持するように制御される。

【１２３７】

以上の本発明の実施例において、一定以上のカソード電流ＩｓｓをＥＬ表示パネルに供給する時は、「カソード電圧の絶対値が小さくする」として説明した。しかし、絶対値の基準は、ＧＮＤに限定するものでない。アノード電圧Ｖｄｄあるいはそれと比例して変化する電圧（たとえばプリチャージ電圧Ｖｐなど）を基準としてもよい。特に電流駆動方式で画素が図１のようにＰチャンネルの場合は、アノード電圧Ｖｄｄが電圧の原点（基準）である。したがって、本発明において、カソード電圧の絶対値を小さくするとは、アノード電圧を基準として小さくすると考えてもよい。また、駆動用トランジスタ１１ａがＮチャンネルトランジスタの場合は、カソード電圧を基準としてアノード電圧の絶対値を小さくするとして置き換えても良い。また、画素１６の駆動用トランジスタ１１ａがＰチャンネルであっても、カソード電圧（Ｖｓｓ）を基準とする場合もある。その場合は、カソード電圧を基準としてアノード電圧の絶対値を小さくするとして置き換えても良い。

【１２３８】

以上のように、本発明では、電流あるいは電圧駆動を実施する基準電圧（本実施例ではアノード電圧Ｖｄｄ）を基準として他方の電圧（本実施例ではカソード電圧Ｖｓｓ）の絶対値を小さくする。また、カソード電源容量とアノード電源容量が同一あるいは類似の容量に形成し、アノード電圧の絶対値（本実施例では６Ｖ）をカソード電圧の絶対値（本実施例では９Ｖ）よりも小さく構成する。基準電圧はアノード電圧とし、カソード電圧を一定以上のカソード電流を出力するときは、カソード電圧の絶対値を小さくする。つまり、基準でないほうの電圧を変化させる点が技術的特徴である。

【１２３９】

本発明は、アノード電流（電源回路から出力される正電流）とカソード電流（電源回路から出力される負電流）が一致もしくは略一致する自己発光表示装置において、カソード電流あるいはアノード電流が規定値を超えるときに、一方の電圧（カソード電圧またはアノード電圧）の一方の電圧の絶対値を小さくする駆動方式である。

【１２４０】

また、本発明は、電圧または電流プログラムを実施する自己発光表示装置において、カソード電流あるいはアノード電流が規定値を超えるときに、電圧または電流プログラムの基準電圧（本発明の図１の実施例ではアノード電圧Ｖｄｄ）を変化させず（一定電圧を保持し）、他方の電圧（本発明ではカソード電圧Ｖｓｓ）の絶対値を小さくする駆動方式である。

【１２４１】

また、本発明は、アノード電流（電源回路から出力される正電流）とカソード電流（電源回路から出力される負電流）が一致もしくは略一致し、電流プログラムを実施する自己発光表示装置にあって、カソード電流あるいはアノード電流が所定値を超えるときに、電流プログラムの基準電圧（本発明の図１の実施例ではアノード電圧Ｖｄｄ）を変化させず（一定電圧を保持し）、他方の電圧（本発明ではカソード電圧Ｖｓｓ）の絶対値を小さくする駆動方式または電源回路構成である。

【１２４２】

また、本発明の電源あるいは電源回路構成もしくは電源を用いた駆動方法は、ｄｕｔｙ比制御、基準電流比制御など表示パネルに流れる電流（電源回路から出力される電流）を抑制する駆動方式と組み合わせることにより、より特徴ある効果を発揮する。

【１２４３】

以上の実施例では、図１などに図示するような画素の構成あるいは、画素１６の駆動用トランジスタ１１ａがＰチャンネルトランジスタで構成した場合は、カソード電圧を変化させても画像表示を劣化させることはほとんどない。駆動用トランジスタ１１ｄがＰチャンネルの場合は、基準とする電圧（電位）がアノード電圧Ｖｄｄであるため、カソード電圧の変化は画像表示あるいは電圧／電流プログラムに影響を与えないからである。つまり

、本発明は、電圧または電流プログラムで基準となる電圧とならない電圧（本実施例では基準となる電圧はアノード電圧Ｖｄｄであり、基準とならない電圧はカソード電圧Ｖｓｓである）を、１００％を超える電流をＥＬ表示装置（自己発光表示装置）に供給するときは変化させる（変化させる電圧は、カソード電圧Ｖｓｓである）。

【１２４４】

図１などに図示するような画素の構成あるいは、画素１６の駆動用トランジスタ１１ａがＰチャンネルトランジスタで構成した実施例について説明したが、画素１６の駆動用トランジスタ１１ａがＮチャンネルトランジスタの場合も本発明を適用できることは言うまでもない。画素１６の駆動用トランジスタ１１ａがＮチャンネルの場合は、基準とする電圧（電位）がカソード電圧Ｖｓｓとなる場合が多い。この場合は、アノード電圧の変化は画像表示あるいは電圧／電流プログラムに影響を与えない。つまり、本発明は、電圧または電流プログラムで基準となる電圧とならない電圧（本実施例では、基準とならない電圧はアノード電圧Ｖｄｄである）を、１００％を超える電流をＥＬ表示装置（自己発光表示装置）に供給するときは変化させる。

【１２４５】

なお、以上の実施例では、点灯率が短期間で急変する時に、カソード電圧の絶対値などを小さくするとしたが、本発明はこれに限定するものでない。ＥＬ表示装置では、ＲＧＢで発光効率が異なる。特に、ＢはＧなどに比較して発光効率が悪い。そのため、Ｂのラスター表示などを表示された場合は、必要な電力がＧあるいはＲラスター表示に比較して大きい。電源電力容量を決定する場合に、Ｂラスター表示を基準としてサイズを決定すれば、電源サイズが非常に大きくなる。モバイル表示装置では不可能に近い。

【１２４６】

この課題に対して、本発明を実施すれば有効である。ＲＧＢの中間的な効率での電力から電源サイズを決定する。したがって、Ｂラスター表示では、電源電力よりオーバーとなる。この場合は、カソード電流は、Ｂ表示状態に対応して出力するが、カソード電圧は電源オーバーにならないように電圧　の絶対値を小さくする。青空の表示、海の表示では比較的カソード電流出力が規定値より大きくなる状態が連続する。しかし、本発明では、カソード電圧を制御するだけであるので画質劣化はほとんど発生しない。

【１２４７】

また、図２のように電圧駆動の画素構成にも、本発明の電源回路およびそれを用いた表示装置、表示装置の駆動方法にも有効であることは言うまでもない。特に、図１、図１９のトランジスタ１１ｄ、図１８のトランジスタ１１ｅ、図２１（ａ）のトランジスタ１１ｄ、図２１（ｂ）のトランジスタ１１ｆのように、ＥＬ素子１５にカソード電流Ｉｓｓまたはアノード電流Ｉｄｄの供給を切断あるいは接続制御できる構成では、本発明のｄｕｔｙ比制御などを有効に実施することができる。したがって、ＥＬ表示装置に流れ込む電流制御が容易であり、本発明の電源回路およびその制御方式を実施する効果が大きい（特徴ある効果が発揮される）。

【１２４８】

また、本発明は、点灯率を演算などして得ることができる駆動方式と組み合わせることにより効果を発揮できることも言うまでもない。点灯率により、ＥＬ表示装置などの自己発光表示装置に流れ込む電流を得ることにより、電源から出力される電流（アノード電流、カソード電流）を把握することできるからである。この電流の把握により、カソード電圧またはアノード電圧もしくはその両方を可変処理することができ、電源容量の上限値を越えないように制御することが可能になるからである。

【１２４９】

図１４８は本発明の他の実施例である。図１４８はＶｉｎ電圧を昇圧し、Ｖｄｄ電圧を発生する昇圧回路１２８１と、昇圧されたＶｄｄ電圧をＧＮＤ電圧と中心として、極性反転したＶｓｓ電圧を発生する電圧反転回路１２８２から構成された電源回路の構成図である。

【１２５０】

図１４８のように構成することにより、回路構成が簡単になり、低コスト化を実現できる。しかし、発生する電圧は、図１４９に図示するように、Ｖｄｄ電圧の大きさＡとＶｓｓ電圧の大きさＢとは、Ａ＝Ｂとなる。なお、図１４９に図示するように、Ｖｃｃ電圧とＶｄｄ電圧とを共通（同一の電圧）にすることにより、より電源回路の低コスト化が可能になる。

【１２５１】

図１４９の構成であっても、カソード（アノード）電圧制御（駆動用トランジスタがＰチャンネルトランジスタの場合は、主としてカソード電圧を変化させるカソード電圧制御と実施し、駆動用トランジスタがＮチャンネルトランジスタの場合は、主としてアノード電圧を変化させるアノード電圧制御と実施する）を適用できることは言うまでもない。

【１２５２】

また、図１３０、図１３１では、カソード電圧の変化は連続して変化させるとして説明したが、本発明はこれに限定するものではない。たとえば、図１５０に図示するように、カソード電圧をＶｓｓ０、Ｖｓｓ１、Ｖｓｓ２、Ｖｓｓ３とデジタル的に変化させてもよい（飛び飛びな値で変化させてもよい）。図２１０も同様である。図２１０では、カソード電圧をデジタル的に、Ｖ１、Ｖ２、Ｖ３、Ｖ４から選択できるように構成している。図２１０ではスイッチにより、カソード電圧Ｖ２が選択されている。また、一部を連続で、一部をデジタル的に変化させてもよい。たとえば、高輝度表示モードとノーマル輝度表示モードの切り換え時は、デジタル的に変化させ、温度による変化では連続的に変化させてもよい。また、図１５２に図示するように、Ｖｉｎ電圧を昇圧回路１２８１ｂしてから反転させてもよい。

【１２５３】

図２１１は、カソード電圧をＤＡコンバータ回路（デジタル－アナログ変換手段）２１１１によりカソード電圧を変化あるいは可変できるように構成した実施例である。コントロールＩＣから出力されるデジタル８ビットのＶＫＤＡＴＡデータを、ＤＡコンバータ２１１１でアナログ信号に変換し、カソード端子に印加する。

【１２５４】

また、以上の実施例は、昇圧回路１２８１の動作により、アノード電圧を低下させたり、カソード電圧を上昇させたりするとした。しかし、本発明はこれに限定するものではない。たとえば、図１５１に図示するように、カソード電圧の出力端子に抵抗Ｒを配置する。抵抗ＲにＩｓｓ電流が流れると、抵抗Ｒの両端電圧がＩｓｓ電流に比例して高くなる。したがって、Ｉｓｓ電流が大きくなるにしたがって、カソード端子電圧が上昇する。Ｉｓｓ電流は点灯率に比例するから、点灯率に対応してカソード電圧を上昇させる（変化させる）ことができる。なお、抵抗Ｒの変わりに、ボジスタ、サイリスタなどの非線形素子と用いても良い。

【１２５５】

コントローラ回路（ＩＣ）７２２あるいはその機能は、ソースドライバ回路（ＩＣ）１４内に組み込んでもよい。たとえば、ソースドライバ回路（ＩＣ）１４とコントローラ回路（ＩＣ）７２２とを１チップの半導体ＩＣとして構成し、基板３０にＣＯＧ実装する構成が例示される。図７６、図７８のように、１つのパネルに複数のソースドライバ回路（ＩＣ）１４あるいは１枚のアレイ基板３０に複数のソースドライバ回路（ＩＣ）１４を実装する場合は、選択されたソースドライバ回路（ＩＣ）１４内のコントローラ７２２機能を動作させ、他のコントローラ機能を停止させる。動作と停止はソースドライバ回路（ＩＣ）１４に印加するコマンドあるいはロジック信号により設定あるいは調整する。

【１２５６】

また、１つのパネルに複数のソースドライバ回路（ＩＣ）１４あるいは１枚のアレイ基板３０に複数のソースドライバ回路（ＩＣ）１４を実装する場合であっても、各ソースドライバ回路（ＩＣ）１４内のコントローラ７２２機能を動作させてもよい。例えば、図７６において、ソースドライバ回路（ＩＣ）１４内に組み込まれた各コントローラ回路７２２は、図１１２などで説明した動作を行う。たとえば、入力された映像信号を演算し、表

示領域全域に渡り点灯率を求める演算、ｄｕｔｙ比あるいは／または基準電流比を求める演算を行う。

【１２５７】

この演算結果は、ソースドライバ回路（ＩＣ）１４ａとソースドライバ回路（ＩＣ）１４ｂでは同一の結果となる。ソースドライバ回路（ＩＣ）１４ａは、表示領域６４の１／２のソース信号線１８にプログラム電流などを出力し、ソースドライバ回路（ＩＣ）１４ｂは先の表示領域６４以外の１／２のソース信号線１８にプログラム電流などを出力する。また、ソースドライバ回路（ＩＣ）１４ａは、ゲートドライバ１２ａの制御信号を出力し、ゲートドライバ１２ｂの制御信号に出力は停止（出力はハイインピーダンス状態、図７８なども参照のこと）する。ソースドライバ回路（ＩＣ）１４ｂは、ゲートドライバ１２ｂの制御信号を出力し、ゲートドライバ１２ａの制御信号に出力は停止（出力はハイインピーダンス状態）する。

【１２５８】

つまり、各ソースドライバ回路（ＩＣ）１４は、同一の映像データなどに基づき、同一の演算を行う。ソース信号線１８への出力は、担当するソース信号線１８に対して行う。ゲートドライバ１２の制御は担当するゲートドライバ１２がある場合に行う。なお、各ソースドライバ回路（ＩＣ）１４で演算した演算結果（制御も含む）は、複数のソースドライバ回路（ＩＣ）１４間に比較し、一方あるいは多数決により１つの演算結果としてもよい。また、フレームあるいは一定周期または不定期周期で、演算あるいは制御を担当するソースドライバ回路（ＩＣ）１４を切り換えてもよいことはいうまでもない。

【１２５９】

図２５０などで説明した実施例は、フリッカの発生を抑制あるいは防止することが１つの目的である。フリッカの防止などは、図２６３に図示する方式によっても対策（対応）できる。つまり、非点灯領域６２あるいは点灯領域６３を複数に分割するのである。フリッカが発生するのは、点灯率が高場合において、表示パネルで消費する電流を抑制するために、黒表示領域（非点灯領域）６２の面積が大きくした場合である。非表示領域６２の走査状態が視覚的に観察されるために、フリッカとして認識される。消費する電流抑制は本発明において主としてｄｕｔｙ比制御で実施する。図１１４、図１１５、図１１６などに実施例とともに記載しているので参照されたい。

【１２６０】

これを防止するためには、非表示領域６２あるいは表示領域６３を複数に分割すればよい。つまり、ｄｕｔｙ比が小さい時は、非表示領域６２が多くなるため、非表示領域６２が連続しないようにすればよい。逆に、ｄｕｔｙ比が大きい時は、非表示領域６２が少なくあるいは０になるため、非表示領域６２が発生する場合であっても、一括挿入すればよい。

【１２６１】

図２６３はその実施例である。ｄｕｔｙ比が０．６（３／５）より大きい時、分割数は１である。つまり、表示画面６４の表示領域（点灯領域）６３は３／５（表示画面６４の有効表示領域を１／１とする）であり、この表示領域６３は連続して表示される。逆に言えば、表示画面６４の非表示領域（非点灯領域）６２は２／５（表示画面６４の有効表示領域を１／１とする）であり、この非表示領域６２は連続して一括挿入される。

【１２６２】

点灯率が高い範囲では、ｄｕｔｙ比は小さくなる。図２６３の実施例では、ｄｕｔｙ比が０．２（１／５）以下の領域では、非表示領域６２あるいは表示領域６３を４つ（分割数４）としている。つまり、ｄｕｔｙ比が小さい時は、非表示領域６２が多くなるため、非表示領域６２が連続しないようにし、また、ｄｕｔｙ比を小さくなるにつれ、分割数を多くすればよい。図２６３では、ｄｕｔｙ比が０．２（１／５）より大きい時、分割数は４である。つまり、表示画面６４の表示領域（点灯領域）６３は１／５（表示画面６４の有効表示領域を１／１とする）であり、この表示領域６３の面積１／５は４分割（均等分割の場合は、１／２０）されて表示される。逆に言えば、表示画面６４の非表示領域（非

点灯領域）６２は４／５（表示画面６４の有効表示領域を１／１とする）であり、この非表示領域６２は１／５に分割して挿入される。

【１２６３】

なお、図２６３の実施例では、ｄｕｔｙ比が０．２（１／５）～０．４（２／５）の範囲では、分割数は３である。ｄｕｔｙ比が０．４（２／５）～０．６（３／５）の範囲では、分割数は２としている。

【１２６４】

表示領域６３などの分割数は、デジタル的である。しかし、急に表示領域６３が均等な１分割から２分割などに変更するとこの変更開始時の変化点が視覚的に認識されてしまう。この課題に対しては、図２６２に図示するように、徐々に分割する。図２６２は表示領域６２が連続する（分割されていない）状態から（図２６２（ａ）、表示領域６２が均等に２分割された状態（図２６２（ｂ））に変化させたときの実施例である。図２６では、ｄｕｔｙ比０．７からｄｕｔｙ比０．５に変化させた場合を想定している（分割数１から分割数２）。

【１２６５】

図２６２（ａ）において、表示領域６３はゲートドライバ１２ｂのシフトレジスタの動作に同期して下方向に移動する。移動に伴い、非表示領域６２ａも移動する（図２６２（ｂ））。また、画面６４の上部から表示領域６３ａが挿入される。図２６２（ｂ）の表示領域６３ａ面積＋表示領域６３ｂの面積が、図２６２（ａ）の表示領域６３の面積である。以上の動作により、図２６２（ｃ）に図示するように表示領域６３ａの面積が増加する。図２６２（ｃ）の表示領域６３ａ面積＋表示領域６３ｂの面積が、図２６２（ａ）の表示領域６３の面積である。また、図２６２（ｂ）の表示領域６３ａ面積＋表示領域６３ｂの面積である。

【１２６６】

さらに、図２６２（ｄ）に図示するように、表示領域６３ｂはゲートドライバ１２ｂのシフトレジスタの動作に同期して下方向に移動する。移動に伴い、非表示領域６２ｂ、表示領域６３ａも移動する。また、画面６４の上部から非表示領域６２ａが挿入され、また、表示領域６３ａも挿入される。図２６２（ｄ）の表示領域６３ａ面積＋表示領域６３ｂの面積が、図２６２（ａ）の表示領域６３の面積である。また、図２６２（ｄ）の非表示領域６２ａの面積＋非表示領域６２ｂの面積が、図２６２（ｂ）の非表示領域６２ａの面積である。また、図２６２（ａ）の表示面積６３の１／２が図２６２（ｄ）の表示領域６３ａの面積、表示領域６３ｂの面積である。

【１２６７】

さらに、図２６２（ｅ）に図示するように、表示領域はゲートドライバ１２ｂのシフトレジスタの動作に同期して下方向に移動する。移動に伴い、非表示領域６２ａ、６２ｂ、表示領域６３ａ、６３ｂも移動する。また、画面６４の上部から非表示領域６２ｃが挿入される。

【１２６８】

以上の動作により、表示領域６２が連続する（分割されていない）状態から（図２６２（ａ）、表示領域６２が均等に２分割された状態（図２６２（ｅ））に変化する。このように実施することにより、表示領域６３の分割数を変化させる時に変化点が視覚的に認識されることはない。

【１２６９】

以上の実施例は、分割数を増大させる（図２６２のＡ方向）実施例の説明であったが、逆もなりたつ。つまり、分割数を減少させるときは、図２６２のＢ方向に実施すればよい。

【１２７０】

以上の動作あるいは制御は、コントローラ７２２で演算され、演算結果により、ゲートドライバ１２ｂに印加されるスタートパルスが制御される。スタートパルスはシフトレジスタ内を順次シフトされる。つまり、スタートパルスにより、各画素行の画素１６のスイ

ッチ用トランジスタ１１ｄがオンオフ制御される。

【１２７１】

以上のように、本発明は、表示領域６３と非表示領域６２のうち、少なくとも一方の面積を略同一に保持しつつ、表示領域６３と非表示領域６２のうち、少なくとも一方の分割数を変更あるいは可変する駆動方法と駆動装置である。

【１２７２】

なお、表示領域６３と非表示領域６２の分割数を変化あるいは可変を開始するとき、１フレームあるいは１フィールド、場合によっては、数フレームあるいは数フィールドの期間は、表示領域６３と非表示領域６２の面積を略同一に保持できない場合がある。ゲートドライバ１２ｂへのスタートパルスの入力が順番であり、一時的に非表示領域６２あるいは表示領域６３の面積が維持されたまま画面６４を走査されていくからである。しかし、この期間は非常に短期間であること、また、面積のずれは大きくないことから、視覚的に認識されることはない。したがって、以上の場合も、本発明の範疇である。つまり、表示領域６３と非表示領域６２のうち、少なくとも一方の面積を略同一に保持して状態とみなす。

【１２７３】

図２６３の実施例は、基準電流比を１とし、一定にした実施例であった。しかし、本発明はこれに限定するものではない。たとえば、図２６５に図示するように、基準電流比をｄｕｔｙ比にあわせて変化させてもよい。この際、画面６４の輝度を一定に保つには、表示領域６３または非表示領域６２の面積を調整すればよいことは言うまでもない。

【１２７４】

基準電流比を変化させる場合は、表示領域６３と非表示領域６２のうち、少なくとも一方の面積を略同一に保持するという条件から逸脱する。基準電流比により、表示領域６３の輝度が異なるからである。しかし、表示領域６３の面積を変化あるいは調整することにより、表示画面６４の輝度は一定に保持することができる。したがって、本発明は、表示画面６４の輝度、あるいは表示画面から発生する光束量を略同一に保持しつつ、表示領域６３と非表示領域６２のうち、少なくとも一方の分割数を変更あるいは可変する駆動方法あるいは駆動装置である。

【１２７５】

なお、表示領域６３と非表示領域６２の分割数を変化あるいは可変を開始するとき、１フレームあるいは１フィールド、場合によっては、数フレームあるいは数フィールドの期間は、表示画面６４の輝度を略同一に保持できない場合がある。ゲートドライバ１２ｂへのスタートパルスの入力がゲートドライバ１２ｂのシフトレジスタ内を順番にシフトされていく方式であり、スタートパルスのＨ、Ｌレベルにより、非表示領域６２あるいは表示領域６３の面積が維持されたまま画面６４を走査されていくからである。スタートパルスはシフトレジスタ内を順次シフトされる。つまり、スタートパルスにより、各画素行の画素１６のスイッチ用トランジスタ１１ｄがオンオフ制御される。しかし、この期間は非常に短期間であること、また、輝度あるいは光束量のずれは大きくないことから、視覚的に認識されることはない。したがって、以上の場合も、本発明の範疇である。つまり、表示画面６４の輝度などが略同一に保持された状態とみなす。

【１２７６】

以上の実施例は、ｄｕｔｙ比あるいは基準電流比などの変化に伴い、表示領域６３と非表示領域６２の少なくとも一方の分割数を変更あるいは可変する駆動方法を駆動装置である。しかし、本発明は、この場合に限定するものではない。たとえば、動画と静止画の変更時に、表示領域６３と非表示領域６２の少なくとも一方の分割数を変更あるいは可変してもよい。動画では、分割数を少なくし、静止画では分割数を多くする。つまり、動画表示から静止画に変化した場合は、ｄｕｔｙ比などによらず、分割数を増加させる。静止画表示から動画画に変化した場合は、ｄｕｔｙ比などによらず、分割数を減少させる。図２６２では、表の横軸において、ｄｕｔｙ比１．０の方向を動画表示（方向）とし、ｄｕｔｙ比０．２の方向を、静止画表示（方向）と置き換えればよい（言い換えればよい）。も

ちろん、ｄｕｔｙ比、基準電流比なども変化させてもよいことは言うまでもない。

【１２７７】

また、図２６３の実施例は、多段階に分割数を変更した実施例であったが、本発明はこれに限定するものではない。たとえば、図２６４に図示するように、１段階であってもよい。図２６３の実施例では、ｄｕｔｙ比が０．２（１／５）以下で分割数を４としている。ｄｕｔｙ比０．２以上の分割数１の状態から分割数４への変更は、図２６２を応用することによりスムーズに実現できる。図２６２は分割数が１から２への変更である。これを応用し、分割数１→分割数２→分割数３→分割数４と徐々に変化させていけばよい。あるいは、分割数４→分割数３→分割数２→分割数１と徐々に変化させていけばよい。もちろん、ｄｕｔｙ比の変化状態により、分割数１→分割数２→分割数３→分割数２→分割数１→分割数２→分割数３→分割数４となることもあることは言うまでもない。

【１２７８】

以上の事項は、電流駆動の図１の画素構成の表示パネルに限定されるものではなく、電流プログラム方式の１つであるカレントミラー方式であっても、図１１に図示する構成であっても適用できる。また、電圧駆動の画素構成であっても、図２１（ａ）（ｂ）（ｃ）などの画素構成であっても適用できることは言うまでもない。

【１２７９】

以上の実施例は、ｄｕｔｙ比あるいは基準電流比などの変化に伴い、表示領域６３と非表示領域６２の少なくとも一方の分割数を変更あるいは可変する駆動方法を駆動装置であり、動画と静止画の変更時に、表示領域６３と非表示領域６２の少なくとも一方の分割数を変更あるいは可変する駆動方法を駆動装置であるが、この駆動方式はリアルタイムで実施することに限定するものではない。計画された制御にもとづいて実施してもよい。また、一定の期間の変化をコントローラなどで関し、高速に変化する時は、表示領域６３と非表示領域６２の少なくとも一方の分割数を変更あるいは可変せず、変化が継続的になされるときに、表示領域６３と非表示領域６２の少なくとも一方の分割数を変更あるいは可変してもよい。高速に変化する時に、変化に追随して表示領域６３と非表示領域６２の少なくとも一方の分割数を変更あるいは可変すると画像表示がフリッカ的になるからである。

【１２８０】

以下、図面を参照しながら、本発明のアレイ基板またはパネルの検査方法について説明をする。図２２は、本発明の検査方式の説明図である。端子３８２とはプローブ（図示せず）を介して、または、図２１７の配線２１７１で接続する。図２２３では、プローブ２１７３を省略している。なお、プローブに限定するものではなく、コネクタ接続であってもよい。

【１２８１】

各端子３８２には、抵抗Ｒとダイオードｄが接続されている。抵抗Ｒは、複数のソース信号線１８が短絡した場合に、過電流が流れることを防止すること、異常な電圧が各ソース信号線１８に印加されることを防止するためである。ダイオードｄは、電流が流れる方向を一方向に制限するためである。

【１２８２】

ダイオードｄは、個別部品としてプリント基板に実装する方法でもよいし、アレイ３０にトランジスタを形成し、ダイオード接続して形成あるいは構成してもよい。たとえば、図２５１の実施例が例示される。図２５１はアレイ基板３０にＰチャンネルあるいはＮチャンネルのＴＦＴでダイオードを形成している。また、抵抗Ｒは配線による抵抗あるいは半導体膜による抵抗で形成している。なお、耐圧あるいは安定性の問題などからダイオードはＰチャンネルトランジスタで形成または構成することが好ましい。

【１２８３】

なお、図２２３では、各ソース信号線１８にダイオードなどが接続されているとしている。しかし本発明はこれに限定するものではない。例えば、Ｒ用のソース信号線１８を配線２１７１Ｒ（図２２１などを参照のこと）で共通し、この共通配線２１７１Ｒにダイオードなどを接続し、Ｇ用のソース信号線１８を配線２１７１Ｇで共通して、この共通配線

２１７１Ｇにダイオードなどを接続し、Ｂ用のソース信号線１８を配線２１７１Ｂで共通し、この共通配線２１７１Ｂにダイオードなどを接続してもよい。表示領域６４には、ＲＧＢのソース信号線１８が隣接して形成されている。したがって、ソース信号線の隣接ショートは、Ｒ用ソース信号線１８ＲとＧ用ソース信号線１８Ｇの短絡、Ｇ用ソース信号線１８ＧとＢ用ソース信号線１８Ｂの短絡、または、Ｂ用ソース信号線１８ＢとＲ用ソース信号線１８Ｒの短絡であるからである。したがって、ソース信号線１８の隣接ショートによる課題は、共通配線２１７１に接続したダイオードで防止することができる。

【１２８４】

ダイオードに一端子は、配線２１７１で短絡されている。配線２１７１には、電流値を可変あるいは調整できる定電流源２１７４が接続されている。定電流源２１７４は、階調に対応したプログラム電流を発生することができる。ｎ本のソース信号線１８が共通にされている時は、階調のプログラム電流のｎ倍の電流を出力する（出力できる）。

【１２８５】

図２２４は、各ソース信号線１８にダイオードＤが配置されていない例である。ソース信号線１８ａとソース信号線１８ｂ間に短絡（抵抗Ｒｆで示す）が発生しているとする。また、検査は、スイッチＳＷＧがクローズし、定電流源２１７４Ｇにより配線２１７１Ｇに定電流ＩＧが印加されているとする。なお、図２２４などでは作図を容易にするため、また、説明を容易にするため、ソース信号線数はＲＧＢで各２～３本と少なくしているが、実際には、ＱＶＧＡの場合は、配線２１７１で共通にされるソース信号線１８は、ＲＧＢで各３２０本である。

【１２８６】

図２２３では、ＩＧ＝Ｉｇ１＋Ｉｇ２である。短絡Ｒｆが発生していると、Ｉｍ１とＩｍ２が流れ、ＩＧ＝Ｉｇ１’＋Ｉｇ２’＋Ｉｍ１＋Ｉｍ２となる（Ｉｍ＋Ｉｍ１＋Ｉｍ２）。Ｉｍ１とＩｍ２の電流経路が発生するということは、Ｇの画素だけでなく、Ｒの画素も点灯することになり、また、定電流ＩＧがＩｍ１、Ｉｍ２にも分割されることになるから、点灯状態も異常となる。図２２３では、Ｒの共通配線２１７１Ｒに接続されているＲ用ソース信号線は２本であるが、実際には、すべてのＲ用信号線が接続されている。したがって、表示は、Ｇ画素とＲ画素が、同時に点灯する状態となり、検査することができない。

【１２８７】

図２２５は、各ソース信号線１８にダイオードＤを挿入あるいは配置した構成である。図２２４と同様に、短絡Ｒｆが発生している。図２２５では、ダイオードＤが抵抗Ｒ１ｒに直列に挿入されているため、ＩＧ＝Ｉｇ１＋Ｉｇ２＋Ｉｍ２となる。つまり、Ｉｍ１の電流経路が発生しない。したがって、短絡Ｒｆが発生していることにより、１組の隣接したソース信号線１８が点灯するが、他のＲ用画素は点灯することはない。したがって、Ｇ画素の一括点灯による画像表示による検査と、Ｇのソース信号線１８と隣接したソース信号線を検出することができる。

【１２８８】

以上の検査を、定電流源２１７１Ｒ、２１７１Ｇ、２１７１ＢをスイッチＳＷ（ＳＷＲ、ＳＷＧ、ＳＷＢ）で選択し、検査を実施する。

【１２８９】

図２２５は、画素１６の駆動用トランジスタ１１ａの特性を検査あるいは特性を評価する方法を説明する説明図である。なお、本発明では、定電流源２１７１Ｒ、２１７１Ｇ、２１７１ＢをスイッチＳＷ（ＳＷＲ、ＳＷＧ、ＳＷＢ）で選択し、順次検査を実施するが、説明を容易にするため、各定電流源２１７１（２１７１Ｒ、２１７１Ｇ、２１７１Ｂ）の定電流をＩ１とし、そのうち１つを例示して説明をする。

【１２９０】

図２２６の検査では、ゲートドライバ回路１２ａは、画像を表示するように動作する。あるいはその動作と類似で動作する。この方法はすでに何度も説明しているので説明を省略する。図２２６で図示するように、水平走査クロックにより、ゲートドライバ１２ａは

シフト動作し、ゲート信号線１７ａは順次選択される。図２２６では、選択されるゲート信号線１７ａを１、２、３、４、５、６、・・・・・・・Ｎ、１、２、３、・・・・・・と図示している（図８とその説明を参照のこと）。数字は、選択した画素行を示す。ゲートドライバ１２ｂにはスタートパルス（ＳＴ２、図８とその説明を参照のこと）が印加されないため、ＥＬ素子う１５にが電流は供給されない。すべてのゲート信号線１７ｂは非選択状態である。この状態を図２２６では、－で示している。したがって、表示領域６４は非点灯である。

【１２９１】

この状態で、図２２１で図示するように、各配線２１７１に電圧測定手段１７０１を用いて配線２１７１の電位を測定する。図２２６では、測定される画素行を１、２、３、４、５、６、・・・・・・・Ｎ、１、２、３、・・・・・・・と図示している。つまり、数字は、測定を行っている画素行を示す。測定されている画素行に異常が発生していると、ソース信号線１８の電位を示す共通配線２１７１の電位が標準値から離れるので検出できる。異常とは、駆動用トランジスタ１１ａのソースードレイン端子の短絡などである。

【１２９２】

点灯検査を行う場合は、以下のようにして実施する。図２２６において、ゲートドライバ回路１２ａとゲートドライバ１２ｂは、画像を表示するように動作する。あるいはその動作と類似で動作する。この方法はすでに何度も説明しているので説明を省略する。図２２６で図示するように、水平走査クロックにより、ゲートドライバ１２ａはシフト動作し、ゲート信号線１７ａは順次選択される。図２２５では、選択されるゲート信号線１７ａを１、２、３、４、５、６、・・・・・・・Ｎ、１、２、３、・・・・・・・と図示している（図８とその説明を参照のこと）。ゲートドライバ１２ｂには絶えず、スタートパルス（ＳＴ２、図８とその説明を参照のこと）が印加する。したがって、すべてのゲート信号線１７ｂは選択状態である。したがって、画素１５のＥＬ素子１５は点灯する。この点灯状態から画素欠陥を検出できる。

【１２９３】

図２２６において、図２２１で図示するように、各配線２１７１に電圧測定手段１７０１を用いて配線２１７１の電位を測定するとした。具体的には、図２２７で図示するようにスイッチＳＷ１により、定電流源２１７４から、定電流Ｉｂを配線２１７１に印加し、スイッチＳＷ２をクローズすることにより、配線２１７１の電位を電圧測定手段１７０１に導き、電位を測定する。

【１２９４】

図２２７では、ソース信号線１８、画素１６などの保持特性も測定できる。図２２７で図示するようにスイッチＳＷ１により、定電流源２１７４から、定電流Ｉｂを配線２１７１に印加する。ゲートドライバ回路１２ａは、画像を表示するように動作する。あるいはその動作と類似で動作する。図２２６で図示するように、水平走査クロックにより、ゲートドライバ１２ａはシフト動作し、ゲート信号線１７ａは順次選択される。図２２６では、選択されるゲート信号線１７ａを１、２、３、４、５、６、・・・・・・・Ｎと図示している（図８とその説明を参照のこと）。数字は、選択した画素行を示す。最終画素行Ｎまで書き込むと、スイッチＳＷ１をオープンし、スイッチＳＷ２をクローズさせて電圧測定手段１７０１でソース信号線１８の電位変化を測定する。この測定により保持特性を取得できる。画素行などに異常が発生していると、ソース信号線１８の電位を示す共通配線２１７１の電位が急激に変化するので検出できる。異常とは、駆動用トランジスタ１１ａのソースードレイン端子の短絡、ソース信号線１８の隣接ショートなどである。

【１２９５】

保持特性は１画素行ずつでも測定あるいは評価できる。その実施例を図２２８に図示している。図２２７、図２２８で図示するようにスイッチＳＷ１により、定電流源２１７４から、定電流Ｉｂを配線２１７１に印加する。ゲートドライバ回路１２ａは、画像を表示するように動作する。あるいはその動作と類似で動作する。図２２８で図示するように、水平走査クロックにより、ゲートドライバ１２ａはシフト動作し、ゲート信号線１７ａは

順次選択される。図２２８では、選択されるゲート信号線１７ａを１、２、３、４、５、６、・・・・・・・Ｎと図示している。Ｎは最終画素行である。数字は、選択した画素行を示す。最終画素行Ｎまで書き込むと、スイッチＳＷ１をオープンし、スイッチＳＷ２をクローズさせる。

【１２９６】

次の周期では、図２２８で図示するように、水平走査クロックにより、再びゲートドライバ１２ａをシフト動作させ、ゲート信号線１７ａは順次選択される。同期させて、各画素行から出力される電流（実際に測定されるのは電圧）を電圧測定手段１７０１で測定する。図２２８では、測定される画素行を１、２、３、４、５、６、・・・・・・・Ｎと図示している。Ｎは最終画素行である。画素１６のコンデンサ１９の電位が低下していると測定される電位も低くなる。

【１２９７】

図２２９は定電流源２１７４の出力電流を変化（Ｉ１、Ｉ２、Ｉ３・・・・・）と変化させ、また、ゲートドライバ１２ａを走査してゲート信号線１７ａに順次オン電圧を印加した実施例である。オン電圧の印加に同期して、ソース信号線１８の電位を電圧測定手段１７０１で測定する。ソース信号線１８の電位を測定することにより画素１６の欠陥、特性を測定することができる。また、定電流源２１７４の出力電流を変化させることにより、階調に対する画素１６特性も検査することができる。

【１２９８】

図２３０は、表示パネルを点灯検査する実施例である。定電流源２１７４から所定の定電流Ｉ１を印加し、ゲートドライバ１２ａを動作させて、ゲート信号線１７ａを順次選択する。ゲート信号線１７ａを順次選択し、定電流Ｉ１を画素に書き込む。図１におけるゲート信号線１７ｂは常時選択状態とするが、画素１６に電流Ｉ１を書き込むときは、対応する画素行のゲート信号線１７ｂにはオフ電圧を印加する。

【１２９９】

以上のように動作させることにより、画面９４全体にＩ１電流の電流プログラムが実施され、画像表示される。この画像表示状態から画素欠陥、不良、表示状態を検査することができる。

【１３００】

図２３１は、本発明の表示パネルの定電圧検査の説明図である。スイッチＳＷにより、配線２１７１を介して、各ソース信号線１８にアノード電圧Ｖｄｄを印加する。なお、アノード電圧Ｖｄｄは適正な電圧に可変（調整）して検査する。

【１３０１】

図２３２は、駆動方法（検査方法）の説明図である。検査は点灯検査である。アノード電圧を各ソース信号線１８に印加し、ゲートドライバ１２ａを動作させて、ゲート信号線１７ａを順次選択する。ゲート信号線１７ａを順次選択し、定電圧Ｖｄｄ＝Ｖ１を画素に書き込む。図１におけるゲート信号線１７ｂは常時選択状態とするが、画素１６に電流Ｉ１を書き込むときは、対応する画素行のゲート信号線１７ｂにはオフ電圧を印加する。

【１３０２】

以上のように動作させることにより、画面９４全体にＶ１電圧の電圧プログラムが実施され、画像表示される。この画像表示状態から画素欠陥、不良、表示状態を検査することができる。

【１３０３】

図２３３は、定電流をＥＬ素子１５に流し込んで検査する検査あるいは評価方法の説明図である。図２３３（ａ）に図示するように、画素構成は図１と類似する。差違は、トランジスタ１１ｂを制御するゲート信号線１７ａ１と、トランジスタ１１ｃを制御するゲート信号線１７ａ２が分離されている点である。

【１３０４】

検査工程では、図２３３（ｂ）に図示するように、ゲート信号線１７ａ１には、オフ電圧を引火し、トランジスタ１１ｂをオフ状態に設定する。したがって、トランジスタ１１

ａは駆動電流を出力しない。一方、ゲート信号線１７ａ２は１つずつ順次選択する。ゲート信号線１７ａ２が選択されると選択された画素行に、図２３４に図示するように、定電流回路２１７４からの電流Ｉが印加される。印加された電流Ｉは、１画素行のすべてのＥＬ素子１５に分流されて印加される。図２３５に図示するように、スイッチＳＷ１のクローズにより、定電流Ｉ（Ｉ＝Ｉ１＋Ｉ２＋Ｉ３＋・・・・・・・・・）が選択された１画素行に印加され、ＥＬ素子１５が発光する。各画素１６のＥＬ素子１５の特性が同一であれば、Ｉ１＝Ｉ２＝Ｉ３＝・・・・・・・・・の関係となるが、実際には、ＥＬ素子１５の特性が異なるため、選択された１画素行の各画素１６のＥＬ素子１５に流れる電流は異なる。ＥＬ素子１５に流れる電流が異なれば、発光輝度が異なる。この発光輝度の差違を光学的検出手段（視覚、ＣＣＤ、ホトセンサ、カメラなど）で検出あるいは測定することにより、表示パネルの検査を実現できる。

【１３０５】

図２３６は図２３５などの検査方法の説明図である。定電流を各ソース信号線１８に印加し、ゲートドライバ１２ａを動作させて、ゲート信号線１７ａ２を順次選択する。ゲート信号線１７ａ１は非選択状態とする。また、ゲート信号線１７ｂは常時選択状態とする。ゲート信号線１７ａ２を順次選択し、定電流Ｉ１を画素に書き込む。

【１３０６】

以上のように動作させることにより、画面９４を１画素行（場合によっては、複数の画素行を同時に選択してもよい）し、定電流を画素行に印加することにより、ＥＬ素子１５を点灯させることができる。この画像表示状態から画素欠陥、不良、表示状態を検査することができる。

【１３０７】

また、図２３９に図示するように、１画素行ずつ電圧源２３８１で、電圧Ｖを画素行に書き込み、その時の電流を測定し、電圧Ｖを可変して所定電流となるまで繰り返しても良い。所定電流賭成った時のソース信号線１８に印加した電圧Ｖを測定し、プリチャージ電圧Ｖとしてもよい。

【１３０８】

なお、以上の検査などは、配線２１７１で複数のソース信号線１８を共通にして測定あるいは評価するとしたが、本発明はこれに限定するものではない。各、ダイオードＤと配線２１７１間に選択スイッチを配置し、この選択スイッチを制御して、１本あるいは複数本のソース信号線１８を選択し、検査あるいは評価を行ってもよい。

【１３０９】

また、本発明の実施例では、画素構成は図１あるいは図１と類似の画素構成を例示して説明した。しかし、本発明はこれに限定するものではない。たとえば、図２３７の画素１６がカレントミラー回路であっても、ゲート信号線１７ａを選択することにより、電流Ｉまたは電圧を画素１６に印加することができる。また、図２３８のように画素１６が２つのトランジスタで構成される構成であっても、ゲート信号線１７ａを選択することにより、電圧Ｖを画素１６に印加することができる。したがって、これまでに説明した検査方式を実施することができる。

【１３１０】

また、図２３５では、全ソース信号線１８に電流Ｉを印加するとしたが、これに限定するものではなく、図２４０に図示するように、隣接したソース信号線１８には、別電流源（奇数番目のソース信号線１８には、定電流源２１７４ａを接続し、偶数番目のソース信号線１８には、定電流源２１７４ｂを接続している）を接続してもよい。また、定電流源は定電圧源としてもよい。

【１３１１】

また、本発明の検査方法には多種の方式がある。図２４１は、配線２１７１と接続をするアナログスイッチＳ（Ｓ１、Ｓ２、Ｓ３、・・・・・・・・・）が形成または配置されている。任意のスイッチＳを選択することにより、電流源２１７４の電流が端子３８２を介して選択したソース信号線１８に印加される。このように構成することにより、選択した

ソース信号線１８ごとに検査あるいは評価を実現できる。もちろん、図２４２に図示するように、スイッチＳを形成せずとも検査を実施できることは言うまでもない。ただし、少なくとも１画素行を選択し、１画素行ごとの検査となる。また、図２４１のように画素列方向に検査を実施する場合は、図２４３に図示するように、表示領域９４をブロックａに分割し、一定の範囲内（ａ範囲）のソース信号線１８を選択して検査を実施することが好ましい。

【１３１２】

以下、本発明のＥＬ表示パネルまたはＥＬ表示装置もしくはその駆動方法などを用いた装置などについて説明をする。以下の装置は、以前に説明した本発明の装置または方法を実施する。図１３３は情報端末装置の一例としての携帯電話の平面図である。筐体１３３３にアンテナ１３３１、テンキー１３３２などが取り付けられている。１３３２などが表示色切換キーあるいは電源オンオフ、フレームレート切り換えキーである。

【１３１３】

キー１３３２を１度押さえると表示色は８色モードに、つづいて同一キー１３３２を押さえると表示色は４０９６色モード、さらにキー１３３２を押さえると表示色は２６万色モードとなるようにシーケンスを組んでもよい。キーは押さえるごとに表示色モードが変化するトグルスイッチとする。なお、別途表示色に対する変更キーを設けてもよい。この場合、キー１３３２は３つ（以上）となる。

【１３１４】

キー１３３２はプッシュスイッチの他、スライドスイッチなどの他のメカニカルなスイッチでもよく、また、音声認識などにより切換るものでもよい。たとえば、４０９６色を受話器に音声入力すること、たとえば、「高品位表示」、「４０９６色モード」あるいは「低表示色モード」と受話器に音声入力することにより表示パネルの表示画面６４に表示される表示色が変化するように構成する。これは現行の音声認識技術を採用することにより容易に実現することができる。表示色の切り換えは、ＦＲＣ、プリチャージ駆動などによっても実施できる。ＦＲＣあるいはプリチャージ駆動の実施例は以前に説明しているため省略する。

【１３１５】

なお、ＲＧＢのＥＬ素子の効率が異なり、ホワイトバランスがとりにくい場合は、図１６８に図示するように、光出射面に色フィルタ１６８１を配置すればよい。図１６８では、Ｒの発光効率が高い場合に、Ｒ光の出射割合を減衰させるため、Ｒ光の一部をカットする、あるいは狭帯域化して色純度をよくすることを目的として、赤（Ｒ）フィルタ１６８１を配置した構成である。

【１３１６】

また、表示色の切り換えは電気的に切換るスイッチでもよく、表示パネルの表示部６４に表示させたメニューを触れることにより選択するタッチパネルでも良い。また、スイッチを押さえる回数で切換る、あるいはクリックボールのように回転あるいは方向により切換るように構成してもよい。

【１３１７】

１３３２は表示色切換キーとしたが、フレームレートを切換るキーなどとしてもよい。また、動画と静止画とを切換るキーなどとしてもよい。また、動画と静止画とフレームレートなどの複数の要件を同時に切り換えてもよい。また、押さえ続けると徐々に（連続的に）フレームレートが変化するように構成してもよい。この場合は発振器を構成するコンデンサＣ、抵抗Ｒのうち、抵抗Ｒを可変抵抗にしたり、電子ボリウムにしたりすることにより実現できる。また、コンデンサはトリマコンデンサとすることにより実現できる。また、半導体チップに複数のコンデンサを形成しておき、１つ以上のコンデンサを選択し、これらを回路的に並列に接続することにより実現してもよい。

【１３１８】

本発明の表示パネル（表示装置）において、ブライトネス調整は、ｄｕｔｙ比制御あるいは基準電流比制御などにより実施する。特に、基準電流比制御回路の構成では、ホワイ

トバランスを維持したまま、表示画面６４の明るさをリニアに制御あるいは調整することができるので好ましい。ブライトネス調整はコントローラ回路（ＩＣ）７２２によるソフト的制御でもよく、表示パネルの表示部６４に表示させたメニューを触れることにより選択するタッチスイッチなどによる調整でもよい。また、外光の強さをホトセンサで検出し、オートマチックに調整する方式でもよい。以上の事項は、コントラスト調整などにも適用できることは言うまでもない。また、ｄｕｔｙ比制御にも適用できることは言うまでもない。

【１３１９】

図１３４は本発明の実施の形態におけるビューファインダの断面図である。但し、説明を容易にするため模式的に描いている。また一部拡大あるいは縮小した箇所が存在し、また、省略した箇所もある。たとえば、図１３４において、接眼カバーを省略している。以上のことは他の図面においても該当する。

【１３２０】

ボデー１３３３の裏面は暗色あるいは黒色にされている。これは、ＥＬ表示パネル（表示装置）１３３４から出射した迷光がボデー１３３３の内面で乱反射し表示コントラストの低下を防止するためである。また、表示パネルの光出射側には位相板（λ／４板など）３８、偏光板３９などが配置されている。このことは図３、図４でも説明している。

【１３２１】

接眼リング１３４１には拡大レンズ１３４２が取り付けられている。観察者は接眼リング１３４１をボデー１３３３内での挿入位置を可変して、表示パネル１３３４の表示画面６４にピントがあうように調整する。

【１３２２】

また、必要に応じて表示パネル１３３４の光出射側に正レンズ１３４３を配置すれば、拡大レンズ１３４２に入射する主光線を収束させることができる。そのため、拡大レンズのレンズ径を小さくすることができ、ビューファインダを小型化することができる。

【１３２３】

図１３５はビデオカメラの斜視図である。ビデオカメラは撮影（撮像）レンズ部１３５２とビデオかメラ本体１３３３と具備し、撮影レンズ部１３５２とビューファインダ部１３３３とは背中合わせとなっている。また、ビューファインダ（図１３４も参照）１３３３には接眼カバーが取り付けられている。観察者（ユーザー）はこの接眼カバー部から表示パネル１３３４の表示画面６４を観察する。

【１３２４】

一方、本発明のＥＬ表示パネルは表示モニターとしても使用されている。表示部６４は支点１３５１で角度を自由に調整できる。表示部６４を使用しない時は、格納部１３５３に格納される。

【１３２５】

スイッチ１３５４は以下の機能を実施する切り換えあるいは制御スイッチである。スイッチ１３５４は表示モード切り換えスイッチである。スイッチ１３５４は、携帯電話などにも取り付けることが好ましい。この表示モード切り換えスイッチ１３５４について説明をする。

【１３２６】

本発明の駆動方法の１つにＮ倍の電流をＥＬ素子１５に流し、１Ｆの１／Ｍの期間だけ点灯させる方法がある。この点灯させる期間を変化させることのより、明るさをデジタル的に変更することができる。たとえば、Ｎ＝４として、ＥＬ素子１５には４倍の電流を流す。点灯期間を１／Ｍとし、Ｍ＝１、２、３、４と切り換えれば、１倍から４倍までの明るさ切り換えが可能となる。なお、Ｍ＝１、１．５、２、３、４、５、６などと変更できるように構成してもよい。

【１３２７】

以上の切り換え動作は、携帯電話、モニターなどの電源をオンしたときに、表示画面６４を非常に明るく表示し、一定の時間を経過した後は、電力セーブするために、表示輝度

を低下させる構成に用いる。また、ユーザーが希望する明るさに設定する機能としても用いることができる。たとえば、屋外などでは、画面を非常に明るくする。屋外では周辺が明るく、画面が全く見えなくなるからである。しかし、高い輝度で表示し続けるとＥＬ素子１５は急激に劣化する。そのため、非常に明るくする場合は、短時間で通常の輝度に復帰させるように構成しておく。さらに、高輝度で表示させる場合は、ユーザーがボタンと押すことにより表示輝度を高くできるようの構成しておく。

【１３２８】

したがって、ユーザーがボタン１３５４で切り換えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り換えできるように構成しておくことが好ましい。また、表示輝度を５０％、６０％、８０％とユーザーなどが設定できるように構成しておくことが好ましい。

【１３２９】

なお、表示画面６４はガウス分布表示にすることが好ましい。ガウス分布表示とは、中央部の輝度が明るく、周辺部を比較的暗くする方式である。視覚的には、中央部が明るければ周辺部が暗くとも明るいと感じられる。主観評価によれば、周辺部が中央部に比較して７０％の輝度を保っておれば、視覚的に遜色ない。さらに低減させて、５０％輝度としてもほぼ、問題がない。本発明の自己発光型表示パネルでは、以前に説明したＮ倍パルス駆動（Ｎ倍の電流をＥＬ素子１５に流し、１Ｆの１／Ｍの期間だけ点灯させる方法）を用いて画面の上から下方向に、ガウス分布を発生させている。

【１３３０】

具体的には、画面の上部と下部ではＭの値と大きくし、中央部でＭの値を小さくする。これは、ゲートドライバ回路１２のシフトレジスタの動作速度を変調することなどにより実現する。画面の左右の明るさ変調は、テーブルのデータと映像データとを乗算することにより発生させている。以上の動作により、周辺輝度（画角０．９）を５０％にした時、１００％輝度の場合に比較して約２０％の低消費電力化が可能である。周辺輝度（画角０．９）を７０％にした時、１００％輝度の場合に比較して約１５％の低消費電力化が可能である。

【１３３１】

ガウス分布は、基準電流を変化させること（たとえば、画面の中央部で基準電流比を大きくし、画面の上下部で基準電流比を小さくする）、ｄｕｔｙ比を変化させること（たとえば、画面の中央部でｄｕｔｙ比を大きくし、画面の上下部でｄｕｔｙ比を小さくする）、プリチャージ電流あるいはプリチャージ電圧などを変化させることによっても実現できることはいうまでもない。

【１３３２】

なお、ガウス分布表示はオンオフできるように切り換えスイッチなどを設けることが好ましい。たとえば、屋外などで、ガウス表示させると画面周辺部が全く見えなくなるからである。したがって、ユーザーがボタンで切り換えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り換えできるように構成しておくことが好ましい。また、周辺輝度を５０％、６０％、８０％とユーザーなどが設定できるように構成しておくことがこのましい。

【１３３３】

液晶表示パネルではバックライトで固定のガウス分布を発生させている。したがって、ガウス分布のオンオフを行うことはできない。ガウス分布をオンオフできるのは自己発光型の表示デバイス特有の効果である。

【１３３４】

本実施の形態のＥＬ表示装置などはビデオカメラだけでなく、図１３６に示すような電子カメラ、スチルカメラなどにも適用することができる。表示装置はカメラ本体１３６１に付属されたモニター６４として用いる。カメラ本体１３６１にはシャッタ１３６３の他、スイッチ１３５４が取り付けられている。

【１３３５】

本発明のＥＬ表示パネルは、３Ｄ（立体）表示装置にも採用できる。図１４１、図１４２は本発明の３Ｄ表示装置の説明図である。図１４１に図示するように、２枚のＥＬ表示パネル（ＥＬ表示アレイ）３０ａ、３０ｂは対面して配置されている。また、表示パネル３０ａの画素電極１５ａと、表示パネル３０ｂの画素電極１５ｂとは対面する位置に配置されている。２枚のＥＬ表示パネルの間隔は隔離柱１４１１で保持されている。隔離柱１４１１は表示領域６４の周囲に配置され、リング状の形状をしている。ガラスなどの無機材料で構成されている。隔離柱１４１１（高さ）は圧膜技術、塗布技術、印刷技術などで形成または構成してもよい。また、アレイ基板３０をエッチング技術あるいは研磨技術を用いて表示領域６４などを掘り下げることにより形成してもよい。

【１３３６】

隔離柱１４１１は１ｍｍ以上８ｍｍ以下の厚みである。特に、隔離柱１４１１は３ｍｍ以上７ｍｍ以下の厚みにすることが好ましい（図１６５のｄが該当する）。隔離柱１４１１は封止樹脂６３３２でパネル３０ａ、３０ｂに貼り付けられている。空間６３３３には必要に応じて乾燥剤が配置あるいは形成または構成される。

【１３３７】

なお、図１４２では、表示パネル３０ａと３０ｂは２枚の基板で一体化されているように図示したがこれに限定するものではない。表示パネル３０ａと３０ｂはそれぞれアレイ基板と対向基板（封止基板）を有するように構成してもよい。つまり、独立した表示パネル３０ａと３０ｂを隔離柱１４１１などの隔離手段（一定間隔を保持する手段）を用いて配置してもよい。

【１３３８】

表示パネル３０ａの画素電極１５ａと、表示パネル３０ｂの画素電極１５ｂとは、異なる画像あるいは同一の画像を表示する。画像はＡ方向から観察する。したがって、ＥＬ表示パネル３０ａは透過型である必要がある。画素電極１５ａを介して表示パネル３０ｂの画素電極１５ｂに表示される画像を観察する必要があるからである。表示パネル３０ｂのＥＬ素子１５の両電極は透過性を有する必要がある。液晶表示装置では画像表示にバックライトが必要である。したがって、透過型に構成することはできない。ＥＬ表示パネルは自己発光パネルであるので、表示画像を両面から見えるように構成することができる。つまり、Ａ側から表示パネル３０ａの画像を観察することができる。かつ、表示パネルはＡ側から表示パネル３０ｂの画像を観察できるように構成する必要がある。表示パネル３０ｂは透過型であっても、反射型であってもよい。

【１３３９】

表示パネル３０ｂは液晶表示パネルで構成してもよい。その場合は、図１４１に図示するようにバックライト１４１４を配置し、表示パネル３０ｂの画像がＡ側から観察できるように構成する。表示パネル３０ａと３０ｂの画面サイズは一致されることが好ましいが、これに限定するものではない。一方の表示パネル３０の画面サイズを大小させてもよい。

【１３４０】

表示パネル３０ａと３０ｂに映像信号を供給する映像処理回路は共通にすれば低コスト化が望める。また、表示パネル３０ａと３０ｂの表示画像の明るさうち、一方の明るさを他方の明るさに対して変化ありは変更できるように構成することが好ましい。

【１３４１】

表示パネル３０ａの表示画像６４ａは、表示パネル３０ｂの表示画層６４ｂよりも明るく（輝度を高く）表示させる。表示画像６４ａと表示画像６４ｂとの輝度差を発生させることにより、Ａ側から見た画像が立体的に見える。輝度差は、１０％以上８０％以下にするとよい。特に、２０％以上６０％以下にするとよい。

【１３４２】

図１４２は、２つの表示パネル３０の画像表示状態の説明図である。コントローラ回路（ＩＣ）７２２は表示パネル３０ａのソースドライバ回路（ＩＣ）１４ａなどと、表示パネル３０ｂのソースドライバ回路（ＩＣ）１４ｂなどを制御して画像を制御し、表示画像

６４ａと６４ｂとで３Ｄ表示を実現する。

【１３４３】

図１６５は、透過型の自発光型表示パネル３０ａと、非発光型の液晶表示パネル１６５３とを組み合わせた実施例である。液晶表示パネル１６５３の背面にはバックライト１６５１が配置されている。バックライト１６５１と液晶表示パネル１６５３間には偏光板（偏光フィルム）３９ａが配置されており、液晶表示パネル１６５３の光出射面側にも偏光板（偏光フィルム）３９ｂが配置されている。液晶表示パネル１６５３はノーマリホワイトモードであり、偏光板３９ａと偏光板３９ｂの偏光軸は直交している。液晶表示パネル１６５３、バックライト１６５１、ＥＬ表示パネル３０ａは保持具（筐体）１６５２に一体となるように取り付けられている。したがって、液晶表示パネル１６５３の画像表示位置と、ＥＬ表示パネル３０ａの画像表示位置間距離ｄは精度よく一定に保たれている。

【１３４４】

なお、ここでいう直交とは、液晶表示パネルの液晶層に電圧が印加されていない時、偏光板３９ａに入射した光が、液晶表示パネル１６５３を透過し、偏光板３９ｂに入射した際に、偏光板３９ｂで吸収されて、偏光板３９ｂから透過しない状態（最も光を透過しない状態）に構成または配置することを意味する。

【１３４５】

一方、ＥＬ表示パネル３０ａと液晶表示パネル１６５１間には、円偏光板１６５４ａが配置されている。円偏光板１６５４はλ／４板（λ／４フィルム）３８と偏光板（偏光フィルム）３９から構成される。ＥＬ表示パネル３０ａの光出射面にも、円偏光板１６５４ｂが配置されている。円偏光板１６５４ａの偏光板３９ｃの偏光軸と、円偏光板１６５４ｂの偏光板３９ｄの偏光軸とは、直交するように配置されている。

【１３４６】

なお、ここでいう直交とは、偏光板３９ｃに入射した直線偏光が、λ／４板（λ／４フィルム）３８ｃで円偏光に変換され、ＥＬ表示パネル３０ａを透過し、円偏光板３８ｄで先の直線偏光と９０度位相が異なる直線偏光に変換され、偏光板３９ｄを透過する状態（最も光を透過する状態）に構成または配置することを意味する。

【１３４７】

以上の関係を図１６６に図示している。図１６６の偏光板３９上に示す矢印は、偏光軸を示している。バックライト１６５１からの光は、偏光板３９ａに入射し、直線偏光に変換される。直線偏光は、液晶表示パネル１６５３に入射し、液晶表示パネル１６５３は直線偏光を印加される映像信号に応じて変調する。変調された直線偏光は、変調の割合に応じて偏光板３９ｂで吸収または透過する。偏光板３９ｂを透過する直線偏光は、偏光板３９ａを透過する直線偏光を９０度位相が回転している。

【１３４８】

偏光板３９ｂを透過した直線偏光は、そのまま、偏光板３９ｃを透過する（一部減衰する）。偏光板３９ｃに入射した直線偏光が、λ／４板（λ／４フィルム）３８ｃで円偏光に変換され、ＥＬ表示パネル３０ａ透過し、円偏光板３８ｄで先の直線偏光と９０度位相が異なる直線偏光に変換され、偏光板３９ｄを透過する。したがって、液晶表示パネル１６５３の表示画像は、ＥＬ表示パネル３０ａを透過して、観察することができる。もちろん、ＥＬ表示パネル３０ａは自己発光であるから、円偏光板１６５４ｂを介して、ＥＬ表示パネルの表示画像も観察することができる。以上の構成により、図１４１で説明したように、Ａ側から見た画像が立体的に見える。

【１３４９】

図１６７は、外光の抑制を説明する説明図である。外光ＢはＥＬ表示パネル３０ａ側から入射する。外光Ｂは　偏光板３９ｄに入射し、直線偏光となる。この直線偏光は、λ／４板（λ／４フィルム）３８ｄで円偏光に変換され、ＥＬ表示パネル３０ａに入射する。外光は、主としてカソード電極３０で反射される。反射された光Ｃは、再び、λ／４板（λ／４フィルム）３８ｄに入射する。入射した反射光Ｃは、λ／４板（λ／４フィルム）３８ｄで直線偏光に変換される。この直線偏光は、外光Ｂが偏光板３９ｄを透過した直線

偏光と９０度位相が異なっている。したがって、光Ｃは偏光板３９ｄで吸収される。そのため、本発明は、外光Ｂの影響を受けず、良好なコントラスト表示を実現できる。

【１３５０】

図１６５などにおいて、表示パネル３０ａはＥＬ表示パネルとして説明したが、表示パネル３０ａは、自己発光表示パネルであり、光透過性を有するものであればいずれの表示パネルであればよいことは言うまでもない。また、１６５３は、液晶表示パネルに限定するものではなく、画像を表示する表示パネル（有機および無機ＥＬ表示パネル、ＳＥＤ、ＦＥＤなど）であればいずれでもよい。

【１３５１】

なお、図１６５、図１６６、図１６７などにおいて、液晶表示パネル１６５３とＥＬ表示パネル（自己発光パネル）３０ａとの位置関係は入れ替えてもよい。たとえば、図１６５において、液晶表示パネル１６５３および偏光板３９などをＥＬ表示パネル（自己発光パネル）３０ａおよび円偏光板１６５４を入れ替えてもよい。また、自己発光パネル３０ａは本発明の駆動方式、構造、構成などを採用することにより、より良好な３Ｄ（立体）表示を実現できる。

【１３５２】

以上は表示パネルの表示領域が比較的小型の場合であるが、３０インチ以上と大型となると表示画面６４がたわみやすい。その対策のため、本発明では図１３７に示すように表示パネルに外枠１３７１をつけ、外枠１３７１をつりさげられるように固定部材１３７４で取り付けている。この固定部材１３７４を用いて、壁などに取り付ける。

【１３５３】

しかし、表示パネルの画面サイズが大きくなると重量も重たくなる。そのため、表示パネルの下側に脚取り付け部１３７３を配置し、複数の脚１３７２で表示パネルの重量を保持できるようにしている。

【１３５４】

脚１３７２はＡに示すように左右に移動でき、また、脚１３７２はＢに示すように収縮できるように構成されている。そのため、狭い場所であっても表示装置を容易に設置することができる。

【１３５５】

図１３７のテレビでは、画面の表面を保護フィルム（保護板でもよい）で被覆している。これは、表示パネルの表面に物体があたって破損することを防止することが１つの目的である。保護フィルムの表面にはＡＩＲコートが形成されており、また、表面をエンボス加工することにより表示パネルに外の状況（外光）が写り込むことを抑制している。

【１３５６】

保護フィルムと表示パネル間にビーズなどを散布することにより、一定の空間が配置されるように構成されている。また、保護フィルムの裏面に微細な凸部を形成し、この凸部で表示パネルと保護フィルム間に空間を保持させる。このように空間を保持することにより保護フィルムからの衝撃が表示パネルに伝達することを抑制する。

【１３５７】

また、保護フィルムと表示パネル間にアルコール、エチレングリコールなど液体あるいはゲル状のアクリル樹脂あるいはエポキシなどの固体樹脂などの光結合剤を配置または注入することも効果がある。界面反射を防止できるとともに、前記光結合剤が緩衝材として機能するからである。

【１３５８】

保護フィルムをしては、ポリカーボネートフィルム（板）、ポリプロピレンフィルム（板）、アクリルフィルム（板）、ポリエステルフィルム（板）、ＰＶＡフィルム（板）などが例示される。その他エンジニアリング樹脂フィルム（ＡＢＳなど）を用いることができることは言うまでもない。また、強化ガラスなど無機材料からなるものでもよい。保護フィルムを配置するかわりに、表示パネルの表面をエポキシ樹脂、フェノール樹脂、アクリル樹脂で０．５ｍｍ以上２．０ｍｍ以下の厚みでコーティングすることも同様の効果が

ある。また、これらの樹脂表面にエンボス加工などをすることも有効である。

【１３５９】

また、保護フィルムあるいはコーティング材料の表面をフッ素コートすることも効果がある。表面についた汚れを洗剤などで容易にふき落とすことができるからである。また、保護フィルムを厚く形成し、フロントライトと兼用してもよい。

【１３６０】

以上の実施例は、本発明の表示パネルなどを表示装置として用いるものであった。しかし、本発明はこれに限定するものではない。図１４０は、情報発生装置として用いるものである。図８などで説明したように、ゲートドライバ回路１２に入力する信号（特にＳＴ信号）により、非点灯領域６２と点灯領域６３を発生することができる。点灯領域６３は該当画素１６のＥＬ素子１５が発光している領域である。つまり、ゲート信号線１７ｂにオン電圧が印加され、図１の画素構成では、トランジスタ１１ｄがオン状態となっている領域である。非点灯領域６２は該当画素１６のＥＬ素子１５に電流が流れていない領域である。つまり、ゲート信号線１７ｂにオフ電圧が印加され、図１の画素構成では、トランジスタ１１ｄがオフ状態となっている領域である。

【１３６１】

ソースドライバ回路（ＩＣ）１４から表示領域６４に白ラスター表示の信号が印加されているとする。ゲートドライバ１２ｂを制御することにより、表示領域６４にストライプ状（画素行単位で点灯、非点灯制御されるため）に点灯領域６３と非点灯領域６２を発生させることができる。図１４０に図示するように、ゲートドライバ回路１２ｂの制御によりバーコード表示を実現できる。

【１３６２】

ゲートドライバ回路１２ａのＳＴ１端子には、１フレームに１回のスタートパルスが印加される。ゲートドライバ回路１２ｂのＳＴ２端子には、バーコード表示に対応させてスタートパルスが印加される。通常の印刷物のバーコードと異なる点は、表示領域６４の各バーコード表示位置が水平走査信号に同期して移動する点である。

【１３６３】

したがって、図１３９に図示するように、ＥＬ表示パネルの表示領域６４に、１画素行の点灯状態を検出できるホトセンサ１３９１を配置または形成すれば、ホトセンサ１３９１を固定した状態で、１／（１秒間のフレーム数・画素行数）のレートでバーコードの表示状態を検出できる。ホトセンサ１３９１で検出したデータはデコーダ（バーコード解読器）１３９２により電気信号に変換され解読されて情報になる。ＥＬ表示パネルは応答性が速いため、高速の情報を表示することができる。

【１３６４】

ｄｕｔｙ比制御駆動、基準電流比制御、Ｎ倍パルス駆動、ソースドライバ回路（ＩＣ）、ゲートドライバ構成、ＰＤＰ（プラズマディスプレイパネル）など本明細書で記載した本発明の駆動方法および駆動回路などは、有機ＥＬ表示パネルの駆動方法および駆動回路などに限定されるものではない。図１３８に図示するようにフィールドエミッションディスプレイ（ＦＥＤ）、ＳＥＤ（キャノンと東芝が開発したディスプレイ）、ＰＤＰ（プラズマディスプレイパネル）、液晶表示デバイス、カーボンナノチューブ（Carbon nano tube、CNTと略されることがある）を用いたディスプレイ、陰極線管（CRT、Cathode Ray Tube)などの他のディスプレイにも適用できることは言うまでもない。特にＦＥＤ、ＳＥＤは電流駆動のため、本発明のソースドライバ回路（ＩＣ）１４、駆動方式（基準電流比制御、ｄｕｔｙ比制御など多くの実施例を例示している）、表示装置の技術思想を良好に適用することができる。

【１３６５】

なお、ＳＥＤとは、表面伝導型電子放出素子を用いたディスプレイ「ＳＥＤ（Surface-ConductionElectron-Emitter Display）」である。ＳＥＤは、ブラウン管の電子銃に相当する電子放出部を画素の数だけ設けたガラス基板と、これと対になる蛍光体の付いたもう一枚のガラス基板を、数ミリメートル程度の間隔に近隣して配置し、中が真空となるよう

に封止して作製する。

【１３６６】

図１３８のＦＥＤでは基板３０上にマトリックス状に電子を放出する電子放出突起１３８３（図３では画素電極３５が該当する）が形成されている。画素には映像信号回路１３８２（図１ではソースドライバ回路（ＩＣ）１４が該当する）からの画像データを保持する保持回路１３８４が形成されている（図１ではコンデンサが該当する）。また、電子放出突起１３８３の前面には制御電極１３８１が配置されている。制御電極１３８１にはオンオフ制御回路１３８５（図１ではゲートドライバ回路１２が該当する）により電圧信号が印加される。

【１３６７】

図１３８の画素構成で、周辺回路を構成すれば、ｄｕｔｙ比制御駆動あるいはＮ倍パルス駆動などを実施できる。映像信号回路１３８２からソース信号線１８に画像データ信号が印加される。オンオフ制御回路１３８５ａから選択信号線に画素１６選択信号が印加され順次画素１６が選択され、画像データが書き込まれる。

【１３６８】

図１３８などの構成にも、本発明のｄｕｔｙ比制御、基準電流比制御、プリチャージ制御、点灯率制御、ＡＩ制御、ピーク電流抑制制御、パネルの配線引き回し、ソースドライバ回路（ＩＣ）１４の構成あるいは駆動方法、ゲートドライバ回路構成あるいは制御方法、トリミング方法、プログラム電圧＋プログラム電流駆動方法、検査方法など、本発明の明細書で記載した各種の構成あるいは方法、構成、方式、装置構成、表示方法などが適用できることは言うまでもない。以上の事項は本発明の他の実施例においても同様に適用できることは言うまでもない。

【１３６９】

本発明は、画像（映像）データ、点灯率、アノード（カソード）端子に流れる電流、パネル温度などにより、基準電流、ｄｕｔｙ比、プリチャージ電圧（プログラム電圧と同義あるいは類似）、ゲート信号線電圧（Ｖｇｈ、Ｖｇｌ）、ガンマカーブなどを変更あるいは調整もしくは変化あるいは可変するとしたが、これに限定するものではない。たとえば、画像（映像）データ、点灯率、アノード（カソード）端子に流れる電流、パネル温度の変化割合あるいは変化を予想または予測して、基準電流、ｄｕｔｙ比、プリチャージ電圧（プログラム電圧と同義あるいは類似）、ソース信号線１８の出力電流、ゲート信号線電圧（Ｖｇｈ、Ｖｇｌ）、ガンマカーブなどを変更あるいは調整もしくは変化あるいは可変もしくは制御してもよいことは言うまでもない。また、フレームレートなどを変更あるいは変化させてもよいことは言うまでもない。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【１３７０】

本発明は第１の点灯率（アノード端子のアノード電流などでもよい）もしくは点灯率範囲（アノード端子のアノード電流範囲などでもよい）において、第１のＦＲＣあるいは点灯率あるいはアノード（カソード）端子に流れる電流あるいは基準電流あるいはｄｕｔｙ比あるいはパネル温度などもしくはこれらの組合せとして変化させる。

【１３７１】

また、第２の点灯率（アノード端子のアノード電流などでもよい）もしくは点灯率範囲（アノード端子のアノード電流範囲などでもよい）において、第２のＦＲＣあるいは点灯率あるいはアノード（カソード）端子に流れる電流あるいは基準電流あるいはｄｕｔｙ比あるいはパネル温度などもしくはこれらの組合せとして変化させる。もしくは、点灯率（アノード端子のアノード電流などでもよい）もしくは点灯率範囲（アノード端子のアノード電流範囲などでもよい）に応じて（適応して）、ＦＲＣあるいは点灯率あるいはアノード（カソード）端子に流れる電流あるいは基準電流あるいはｄｕｔｙ比あるいはパネル温度など、もしくはこれらの組合せとして変化させるものである。

【１３７２】

また、変化させる時は、ヒステリシスをもたせて、あるいは遅延させて、あるいはゆっ

くりと変化させる。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【１３７３】

本発明のドライバ回路（ＩＣ）で説明する事項は、ゲートドライバ回路（ＩＣ）１２、ソースドライバ回路（ＩＣ）１４に適用することができ、また、有機（無機）ＥＬ表示パネル（表示装置）だけでなく、液晶表示パネル（表示装置）にも適用することができる。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。基本的に、本発明は、自発光表示パネル（画像表示のためにバックライトなどを必要とせず、自ら発光して画像を表示する表示装置あるいは表示パネル）に適用した時、とくに優れた効果を発揮する。

【１３７４】

図１、図３、図４、図８、図１０、図１１、図１８、図１９、図２１、図６２、図６５～６７、図７２、図７６～８４、図１１２、図１２８、図１３３～１４２、図１４８～１５３、図１６５～１６８、図１６９～１７２、図１７６～２１２、図２１５、図２４４～２４６、図２４７、図２５１などで説明したあるいは記載した本発明の画素構成あるいは表示パネル（表示装置）とその構成回路あるいはその制御方法もしくは技術的思想は、相互に組み合わせることができる。また、相互に適用あるいは複合の構成もしくは形成あるいは組み合わせをすることができる。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【１３７５】

図５、図６、図７、図９、図１２、図１３、図１４、図１５、図１６、図１７、図２０、図４１、図４２、図４３、図４４、図４５～５０、図７３、図７４、図８５～８８、図９８～１００、図１０５～１０９、図１１１、図１１３～１２７、図１２９～１３２、図１４３～１４７、図１５４～１６１、図１６３、図１６４、図１７３～１７５、図２１３～２１４、図２４９、図２５０、図２５５、図２６１～図２６５などで説明あるいは記載した本発明の表示パネルあるいは表示装置の駆動方法もしくは制御方法もしくは技術的思想は、相互に組み合わせることができる。また、相互に適用あるいは構成もしくは形成することができる。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【１３７６】

図２２、図２３、図２４、図２５、図２６、図２７、図２８、図２９、図３０、図３１、図３２、図３３、図３４、図３５、図３６、図３７、図３８、図３９、図４０、図５１～６１、図６３、図６４、図６８～７１、図８９～９７、図１０１～１０４、図１１０、図１６２、図２１９、図２２２、図２５２～２５４、図２５６～２６０などに記載あるいは説明した本発明のソースドライバ回路（ＩＣ）もしくはドライバ回路とその調整あるいは制御方法（ゲートドライバ回路なども含む）もしくは技術的思想は相互に組み合わせることができる。また、相互に適用あるいは構成もしくは形成することができる。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【１３７７】

図２１７、図２１８、図２２０～２２１、図２２３～２４３、図２４８などに記載あるいは説明した本発明の検査（評価）装置と検査（評価）方法もしくは調整方法あるいは製造方法、製造装置などの技術的思想は、相互に組み合わせることができる。また、本発明の表示パネル（表示装置）、ソースドライバ回路（ＩＣ）、駆動方法などに対して相互に適用あるいは構成もしくは形成することができる。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【１３７８】

さらに、以上に記載した、画素構成あるいは表示パネル（表示装置）あるいはその制御方法もしくは技術的思想、表示パネルあるいは表示装置の駆動方法もしくは制御方法もしくはその技術的思想、ソースドライバ回路（ＩＣ）、ゲートドライバＩＣ（回路）などの駆動回路あるいはコントローラＩＣ（回路）もしくはそれらの制御回路とその調整あるい

は制御方法（ゲートドライバ回路なども含む）もしくは技術的思想、検査（評価）装置および検査（評価）方法の技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。また、相互に適用あるいは構成もしくは形成することができることはいうまでもない。また、本発明の検査装置と検査方法もしくは調整方法の技術的思想などは、本発明の表示パネルもしくは表示装置などに適用できることは言うまでもない。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。たとえば、本発明のソースドライバ回路（ＩＣ）１４とコントローラ７２２を一体として半導体チップとして構成し、この半導体チップを用いて携帯電話、デジタルスチルカメラ（ＤＳＣ）などを構成する例が例示される。

【１３７９】

本発明の表示パネルは、表示装置を意味することがあることは言うまでもない。また、表示装置とは、撮影レンズなど他の構成物を有するものを意味する場合も含まれる。つまり、表示パネルあるいは表示装置とは、何らかの表示手段をもつ装置である。

【１３８０】

本発明の実施例で説明した表示装置あるいは駆動方法あるいは制御方法あるいは方式などの技術的思想は、ビデオカメラ、プロジェクター、立体（３Ｄ）テレビ、プロジェクションテレビ、フィールドエミッションディスプレイ（ＦＥＤ）、ＳＥＤ（キャノンと東芝が開発したディスプレイ）、ＰＤＰ（プラズマディスプレイパネル）などに適用できる。

【１３８１】

また、ビューファインダ、携帯電話のメインモニターおよびサブモニターあるいは時計表示部、ＰＨＳ、携帯情報端末およびそのモニター、デジタルカメラ、衛星テレビ、衛星モバイルテレビおよびそのモニターにも適用できる。

【１３８２】

また、電子写真システム、ヘッドマウントディスプレイ、直視モニターディスプレイ、ノートパーソナルコンピュータ、ビデオカメラ、デジタルスチルカメラ、電子スチルカメラにも適用できる。

【１３８３】

また、現金自動引き出し機のモニター、公衆電話、テレビ電話、パーソナルコンピュータ、腕時計およびその表示装置などにも適用できる。また、バーコードなどの情報の発生機器にも適用することができる。これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【１３８４】

本発明は、炊飯器などの家庭電器機器の表示モニター、カーオーディオの表示部、車のスピードメーター、ひげそりの表示部、ポケットゲーム機器およびそのモニター、電話器の番号、工場の計測器のインジケーターなどの表示モニター、電車の行き先表示モニター、ネオン表示装置の置き換え、表示パネル用バックライトあるいは家庭用もしくは業務用の照明装置、天井灯、窓ガラス、車のヘッドライトなどの照明装置などにも適用あるいは応用展開できることは言うまでもない。照明装置は色温度を可変できるように構成することが好ましい。これは、ＲＧＢの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更できる。

【１３８５】

また、広告あるいはポスターなどの表示装置、ＲＧＢの信号器、警報表示灯などにも応用できる。これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【１３８６】

また、スキャナの光源としても本発明の自己発光素子もしくは表示装置あるいは有機ＥＬ表示パネルは有効である。ＲＧＢのドットマトリックスを光源として、対象物に光を照射し、画像を読み取る。もちろん、単色でもよいことは言うまでもない。また、本発明の表示装置から出力される光を単一波長あるいは狭帯域の波長がでるように構成し、レーザー表示装置またはその応用として用いても良いことは言うまでもない。狭帯域化は、干渉

効果あるいは光学フィルタなどを用いることにより実現できる。

【１３８７】

また、アクティブマトリックスに限定するものではなく、単純マトリックスでもよい。たとえば、基準電流比制御（図２９、図３０、図１１６、図１２２、図１２３、図１４３、ｄｕｔｙ比制御（図１１４図～１２６など）、複数画素行同時選択駆動（図１６など）、表示領域分割（図１２、図１４など）、プリチャージ駆動（図３７～図６３など）あるいは過電流駆動（図８３～図１１０など）重み付け処理（図１１３など）、ソースドライバＩＣの構成（図６４～８２など）、ＦＲＣ制御（図１３２など）、検査方法など、およびこれらを適用した装置などが例示される。その他、７セグメント表示など表示装置にも適用できる。これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【１３８８】

以上のように、本発明は、有機ＥＬあるいは無機ＥＬに限定されるものではなく、ＬＥＤディスプレイ、ＳＥＤ、ＦＥＤ、ＰＤＰなどを含む自己発光表示装置あるいはその駆動方法に広く適用できるものである。

【１３８９】

また、本発明は、液晶表示装置のバックライトにも有機ＥＬ表示装置は有効である。ＥＬ表示装置（バックライト）のＲＧＢの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更でき、また、明るさの調整も容易である。その上、面光源であるから、画面の中央部を明るく、周辺部を暗くするガウス分布を容易に構成できる。また、点滅表示も高速で行えるため、液晶表示装置などの動画表示の特性改善にも有効である。

【１３９０】

また、Ｒ、Ｇ、Ｂ光を交互に走査する、フィールドシーケンシャルコントロール（ＦＳＣ）方式の液晶表示パネルのバックライトとしても有効である。もちろん、画素１６などを形成せず、白色あるいは単色のバックライトもしくはフロンとライトとして本発明の技術的思想を用いてもよいことは言うまでもない。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【１３９１】

また、アクティブマトリックス表示パネルだけでなく、単純マトリックス表示パネルに本発明の技術的思想を用いてもよい。また、バックライトを点滅しても黒挿入することにより動画表示用などの液晶表示パネルのバックライトとしても用いることができる。また、本発明の装置あるいは方法により、白色発光を実現し、液晶表示装置などのバックライトとしても用いることができる。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【１３９２】

なお、本発明は上記各実施形態に限定されるものではなく、その実施の段階ではその要旨を逸脱しない範囲で種々な変形・変更が可能である。また、各実施形態は可能な限り適宜組み合わせて実施されてもよく、その場合は、その組み合わせによる特徴ある効果が得られる。

【産業上の利用可能性】

【１３９３】

本発明のソースドライバ回路は、基準電流の発生回路を有し、また、ゲートドライバ回路を制御することにより、電流制御、輝度制御を実現する。また、画素は、複数あるいは単独の駆動用トランジスタを有し、ＥＬ素子１５に流れる電流バラツキが発生しないように駆動する。また、各端子に接続する単位トランジスタ群を変化させる。したがって、トランジスタのしきい値ばらつきによる表示むらの発生を抑制することが可能となる。駆動用トランジスタ素子の温度依存性も補償する。また、ｄｕｔｙ比制御などによりダイナミックレンジが広い画像表示を実現できる。

【１３９４】

本発明の表示パネル、表示装置等は、高画質、良好な動画表示性能、低消費電力、低コスト化、高輝度化等のそれぞれの構成に応じて特徴ある効果を発揮する。

【１３９５】

本発明を用いれば、低消費電力の情報表示装置などを構成できるので、電力を消費しない。また、小型軽量化できるので、資源を消費しない。したがって、地球環境、宇宙環境に優しいことになる。

【１３９６】

本発明にかかるＥＬ表示装置は、上記効果を有し、有機または無機エレクトロルミネッセンス（ＥＬ）素子などを用いたＥＬ表示パネル（表示装置）などの自発光表示パネルに関するものである。また、これらの表示パネルなどの駆動回路（ＩＣなど）および駆動方法などに関するものである。

【図面の簡単な説明】

【１３９７】

【図１】本発明の表示パネルの構成図である。
【図２】本発明の表示パネルの構成図である。
【図３】本発明の表示パネルの説明図である。
【図４】本発明の表示パネルの説明図である。
【図５】本発明の表示装置の駆動方法の説明図である。
【図６】本発明の表示パネルの説明図である。
【図７】本発明の表示パネルの説明図である。
【図８】本発明の表示パネルの説明図である。
【図９】本発明の表示パネルの説明図である。
【図１０】本発明の表示パネルの説明図である。
【図１１】本発明の表示パネルの説明図である。
【図１２】本発明の表示パネルの駆動方法の説明図である。
【図１３】本発明の表示パネルの駆動方法の説明図である。
【図１４】本発明の表示パネルの駆動方法の説明図である。
【図１５】本発明の表示パネルの駆動方法の説明図である。
【図１６】本発明の表示パネルの駆動方法の説明図である。
【図１７】本発明の表示パネルの駆動方法の説明図である。
【図１８】本発明の表示パネルの説明図である。
【図１９】本発明の表示パネルの説明図る。
【図２０】本発明の表示パネルの説明図である。
【図２１】本発明の表示パネルの駆動方法の説明図である。
【図２２】本発明のソースドライＩＣの説明図である。
【図２３】本発明のソースドライバＩＣ説明図である。
【図２４】本発明のソースドライバＩＣ説明図である。
【図２５】本発明のソースドライバＩＣ説明図である。
【図２６】本発明のソースドライバＩＣ説明図である。
【図２７】本発明のソースドライバＩＣ説明図である。
【図２８】本発明のソースドライバＩＣ説明図である。
【図２９】本発明のソースドライバＩＣ説明図である。
【図３０】本発明のソースドライバＩＣ説明図である。
【図３１】本発明のソースドライバＩＣ説明図である。
【図３２】本発明のソースドライバＩＣ説明図である。
【図３３】本発明のソースドライバＩＣ説明図である。
【図３４】本発明のソースドライバＩＣ説明図である。
【図３５】本発明のソースドライバＩＣ説明図である。
【図３６】本発明のソースドライバＩＣ説明図である。
【図３７】本発明のソースドライバＩＣ説明図である。

【図３８】本発明のソースドライバＩＣ説明図である。
【図３９】本発明のソースドライバＩＣ説明図である。
【図４０】本発明のソースドライバＩＣ説明図である。
【図４１】本発明のソースドライバＩＣ説明図である。
【図４２】本発明のソースドライバＩＣ説明図である。
【図４３】本発明のソースドライバＩＣ説明図である。
【図４４】本発明のソースドライバＩＣ説明図である。
【図４５】本発明のソースドライバＩＣ説明図である。
【図４６】本発明のソースドライバＩＣ説明図である。
【図４７】本発明のソースドライバＩＣ説明図である。
【図４８】本発明のソースドライバＩＣ説明図である。
【図４９】本発明のソースドライバＩＣ説明図である。
【図５０】本発明のソースドライバＩＣ説明図である。
【図５１】本発明のソースドライバＩＣ説明図である。
【図５２】本発明のソースドライバＩＣ説明図である。
【図５３】本発明のソースドライバＩＣ説明図である。
【図５４】本発明のソースドライバＩＣ説明図である。
【図５５】本発明のソースドライバＩＣ説明図である。
【図５６】本発明のソースドライバＩＣ説明図である。
【図５７】本発明のソースドライバＩＣ説明図である。
【図５８】本発明のソースドライバＩＣ説明図である。
【図５９】本発明のソースドライバＩＣ説明図である。
【図６０】本発明のソースドライバＩＣ説明図である。
【図６１】本発明のソースドライバＩＣ説明図である。
【図６２】本発明のソースドライバＩＣ説明図である。
【図６３】本発明のソースドライバＩＣ説明図である。
【図６４】本発明のソースドライバＩＣ説明図である。
【図６５】本発明の表示パネルの説明図である。
【図６６】本発明の表示パネルの説明図である。
【図６７】本発明の表示パネルの説明図である。
【図６８】本発明のソースドライバＩＣ説明である。
【図６９】本発明のソースドライバＩＣ説明図である。
【図７０】本発明のソースドライバ回路の説明図である。
【図７１】本発明の表示パネルの説明図である。
【図７２】本発明の表示パネルの説明図である。
【図７３】本発明の表示パネルの駆動方法の説明図である。
【図７４】本発明の表示パネルの駆動方法の説明図である。
【図７５】本発明の表示パネルの説明図である。
【図７６】本発明の表示パネルの説明図である。
【図７７】本発明の表示パネルの説明図である。
【図７８】本発明の表示パネルの説明図である。
【図７９】本発明の表示パネルの駆動方法の説明図である。
【図８０】本発明の表示パネルの駆動方法の説明図である。
【図８１】本発明の表示パネルの駆動方法の説明図である。
【図８２】本発明の表示パネルの駆動方法の説明図である。
【図８３】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図８４】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図８５】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図８６】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図８７】本発明のソースドライバ回路（ＩＣ）の説明図である。

【図８８】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図８９】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図９０】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図９１】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図９２】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図９３】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図９４】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図９５】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図９６】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図９７】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図９８】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図９９】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１００】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１０１】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１０２】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１０３】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１０４】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１０５】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１０６】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１０７】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１０８】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１０９】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１１０】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１１１】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１１２】本発明の表示パネルの駆動方法の説明図である。
【図１１３】本発明の表示パネルの駆動方法の説明図である。
【図１１４】本発明の表示パネルの駆動方法の説明図である。
【図１１５】本発明の表示パネルの駆動方法の説明図である。
【図１１６】本発明の表示パネルの駆動方法の説明図である。
【図１１７】本発明の表示パネルの駆動方法の説明図である。
【図１１８】本発明の表示パネルの駆動方法の説明図である。
【図１１９】本発明の表示パネルの駆動方法の説明図である。
【図１２０】本発明の表示パネルの駆動方法の説明図である。
【図１２１】本発明の表示パネルの駆動方法の説明図である。
【図１２２】本発明の表示パネルの駆動方法の説明図である。
【図１２３】本発明の表示パネルの駆動方法の説明図である。
【図１２４】本発明の表示パネルの駆動方法の説明図である。
【図１２５】本発明の表示パネルの駆動方法の説明図である。
【図１２６】本発明の表示パネルの駆動方法の説明図である。
【図１２７】本発明の表示パネルの駆動方法の説明図である。
【図１２８】本発明の表示パネルの説明図である。
【図１２９】本発明の表示パネルの説明図である。
【図１３０】本発明の表示パネルの説明図である。
【図１３１】本発明の表示パネルの説明図である。
【図１３２】本発明の表示パネルの説明図である。
【図１３３】本発明の表示装置の説明図である。
【図１３４】本発明の表示装置の説明図である。
【図１３５】本発明の表示装置の説明図である。
【図１３６】本発明の表示装置の説明図である。
【図１３７】本発明の表示装置の説明図である。

【図１３８】本発明の表示装置の説明図である。
【図１３９】本発明の表示装置の説明図である。
【図１４０】本発明の表示装置の説明図である。
【図１４１】本発明の表示装置の説明図である。
【図１４２】本発明の表示装置の説明図である。
【図１４３】本発明の表示装置の説明図である。
【図１４４】本発明の表示装置の説明図である。
【図１４５】本発明の表示装置の説明図である。
【図１４６】本発明の表示装置の説明図である。
【図１４７】本発明の表示装置の説明図である。
【図１４８】本発明の表示装置の説明図である。
【図１４９】本発明の表示装置の説明図である。
【図１５０】本発明の表示装置の説明図である。
【図１５１】本発明の表示装置の説明図である。
【図１５２】本発明の表示装置の説明図である。
【図１５３】本発明の表示装置の説明図である。
【図１５４】本発明の表示装置の説明図である。
【図１５５】本発明の表示装置の説明図である。
【図１５６】本発明の表示装置の説明図である。
【図１５７】本発明の表示装置の説明図である。
【図１５８】本発明の表示装置の説明図である。
【図１５９】本発明の表示装置の説明図である。
【図１６０】本発明の表示装置の説明図である。
【図１６１】本発明の表示装置の説明図である。
【図１６２】本発明の表示装置の説明図である。
【図１６３】本発明の表示装置の説明図である。
【図１６４】本発明の表示装置の説明図である。
【図１６５】本発明の表示装置の説明図である。
【図１６６】本発明の表示装置の説明図である。
【図１６７】本発明の表示装置の説明図である。
【図１６８】本発明の表示装置の説明図である。
【図１６９】本発明の表示装置の説明図である。
【図１７０】本発明の表示装置の説明図である。
【図１７１】本発明の表示装置の説明図である。
【図１７２】本発明の表示装置の説明図である。
【図１７３】本発明の表示装置の説明図である。
【図１７４】本発明の表示装置の説明図である。
【図１７５】本発明の表示装置の説明図である。
【図１７６】本発明の表示装置の説明図である。
【図１７７】本発明の表示装置の説明図である。
【図１７８】本発明の表示装置の説明図である。
【図１７９】本発明の表示装置の説明図である。
【図１８０】本発明の表示装置の説明図である。
【図１８１】本発明の表示装置の説明図である。
【図１８２】本発明の表示装置の説明図である。
【図１８３】本発明の表示装置の説明図である。
【図１８４】本発明の表示装置の説明図である。
【図１８５】本発明の表示装置の説明図である。
【図１８６】本発明の表示装置の説明図である。
【図１８７】本発明の表示装置の説明図である。

【図１８８】本発明の表示装置の説明図である。
【図１８９】本発明の表示装置の説明図である。
【図１９０】本発明の表示装置の説明図である。
【図１９１】本発明の表示装置の説明図である。
【図１９２】本発明の表示装置の説明図である。
【図１９３】本発明の表示装置の説明図である。
【図１９４】本発明の表示装置の説明図である。
【図１９５】本発明の表示装置の説明図である。
【図１９６】本発明の表示装置の説明図である。
【図１９７】本発明の表示装置の説明図である。
【図１９８】本発明の表示装置の説明図である。
【図１９９】本発明の表示装置の説明図である。
【図２００】本発明の表示装置の説明図である。
【図２０１】本発明の表示装置の説明図である。
【図２０２】本発明の表示装置の説明図である。
【図２０３】本発明の表示装置の説明図である。
【図２０４】本発明の表示装置の説明図である。
【図２０５】本発明の表示装置の説明図である。
【図２０６】本発明の表示装置の説明図である。
【図２０７】本発明の表示装置の説明図である。
【図２０８】本発明の表示装置の説明図である。
【図２０９】本発明の表示装置の説明図である。
【図２１０】本発明の表示装置の説明図である。
【図２１１】本発明の表示装置の説明図である。
【図２１２】本発明の表示装置の説明図である。
【図２１３】本発明の表示装置の説明図である。
【図２１４】本発明の表示装置の説明図である。
【図２１５】本発明の表示装置の説明図である。
【図２１６】本発明の表示装置の説明図である。
【図２１７】本発明の表示装置の説明図である。
【図２１８】本発明の表示装置の説明図である。
【図２１９】本発明の表示装置の説明図である。
【図２２０】本発明の表示装置の説明図である。
【図２２１】本発明の表示装置の説明図である。
【図２２２】本発明の表示装置の説明図である。
【図２２３】本発明の検査方法の説明図である。
【図２２４】本発明の検査方法の説明図である。
【図２２５】本発明の検査方法の説明図である。
【図２２６】本発明の検査方法の説明図である。
【図２２７】本発明の検査方法の説明図である。
【図２２８】本発明の検査方法の説明図である。
【図２２９】本発明の検査方法の説明図である。
【図２３０】本発明の検査方法の説明図である。
【図２３１】本発明の検査方法の説明図である。
【図２３２】本発明の検査方法の説明図である。
【図２３３】本発明の検査方法の説明図である。
【図２３４】本発明の検査方法の説明図である。
【図２３５】本発明の検査方法の説明図である。
【図２３６】本発明の検査方法の説明図である。
【図２３７】本発明の検査方法の説明図である。

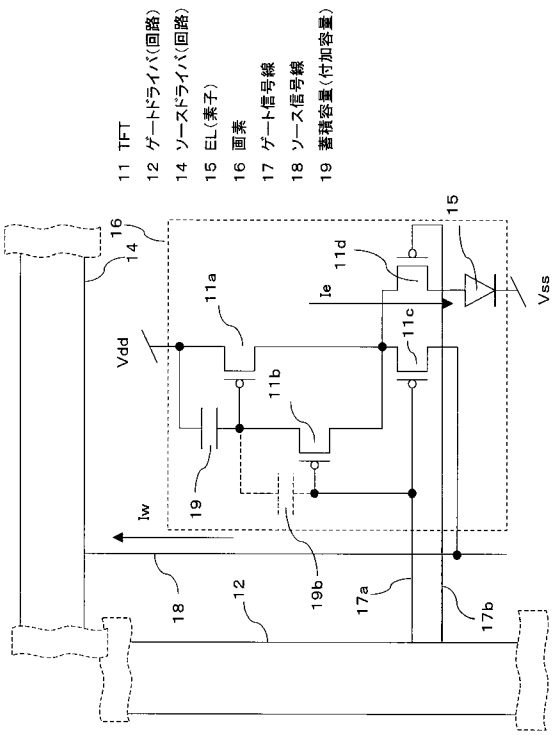
【図２３８】本発明の検査方法の説明図である。
【図２３９】本発明の検査方法の説明図である。
【図２４０】本発明の検査方法の説明図である。
【図２４１】本発明の検査方法の説明図である。
【図２４２】本発明の検査方法の説明図である。
【図２４３】本発明の検査方法の説明図である。
【図２４４】本発明の表示装置の説明図である。
【図２４５】本発明の表示装置の説明図である。
【図２４６】本発明の表示装置の説明図である。
【図２４７】本発明の表示装置の説明図である。
【図２４８】本発明の検査方法の説明図である。
【図２４９】本発明の表示装置の駆動方法の説明図である。
【図２５０】本発明の表示装置の駆動方法の説明図である。
【図２５１】本発明の表示装置の説明図である。
【図２５２】本発明の表示装置の説明図である。
【図２５３】本発明の表示装置の説明図である。
【図２５４】本発明の表示装置の説明図である。
【図２５５】本発明の表示装置の説明図である。
【図２５６】本発明の表示装置の説明図である。
【図２５７】本発明の表示装置の説明図である。
【図２５８】本発明の表示装置の説明図である。
【図２５９】本発明の表示装置の説明図である。
【図２６０】本発明の表示装置の説明図である。
【図２６１】本発明の表示装置の説明図である。
【図２６２】本発明の表示装置の駆動方法の説明図である。
【図２６３】本発明の表示装置の駆動方法の説明図である。
【図２６４】本発明の表示装置の駆動方法の説明図である。
【図２６５】本発明の表示装置の駆動方法の説明図である。
【符号の説明】
【１３９８】
１１　ＴＦＴ（薄膜トランジスタ）
１２　ゲートドライバＩＣ（回路）
１４　ソースドライバ回路（ＩＣ）
１５　ＥＬ（素子）（発光素子）
１６　画素
１７　ゲート信号線
１８　ソース信号線
１９　蓄積容量（付加コンデンサ、付加容量）
２９　ＥＬ膜
３０　アレイ基板（自発光表示パネル）
３１　土手（リブ）
３２　層間絶縁膜
３４　コンタクト
３５　画素電極
３６　カソード電極
３７　乾燥剤
３８　λ／４板（λ／４フィルム、位相板、位相フィルム）
３９　偏光板
４０　封止フタ
４１　薄膜封止膜

６１　書き込み行
６２　非表示領域（非点灯領域、黒表示領域）
６３　表示領域（点灯領域、画像表示領域）
９１　電流保持回路
９２　ポリシリコン電流保持回路（内蔵電流保持回路）
９３　出力端子
１６１　ダミー画素（行）
２２１　スイッチ（オンオフ手段）
２２２　内部配線（出力配線）
２２３　ゲート配線
２２４　電流源（単位トランジスタ）
２３２、２２８　トランジスタ
３２１　ソース端子
３２２　ゲート端子
３２３　ドレイン端子
３２４　トランジスタ
３３１　一致回路
３３２　カウンタ
３３３　ＡＮＤ回路
３３４　電流出力回路
３５１　ラッチ回路
３５２　セレクタ回路
３５３　プリチャージ回路
３７１　電圧階調回路
３８１　サンプルホールド回路（電圧保持手段）
３８２　ソース信号線端子
３９１　切り換え回路
４４１　デコーダ
６４１　ゲートドライバ用配線パッド（端子）
６４２　ゲートドライバ用配線パッド（端子）
６４３　入力信号線パッド（端子）
６４４　出力信号線パッド（端子）
６６１　入力信号線
６６２　端子電極
６６３　アノード配線
６６４　金バンプ
６７１　フレキシブル基板
６８１　反転出力発生回路
６９１　フリップフロップ（ＦＦ）回路（選択回路）
７０１　信号発生回路
６２２　配線
６２１　差動－パラレル信号変換回路
７２１　ＰＬＬ回路
７９１　コンパレータ回路
８１１　処理回路
８２１　モード変換回路（ＩＣ）
８４１　単位トランジスタ（単位電流出力回路）
８９１　過電流トランジスタ
９１１　比較回路
１１２１　スイッチ回路（切り換え手段）

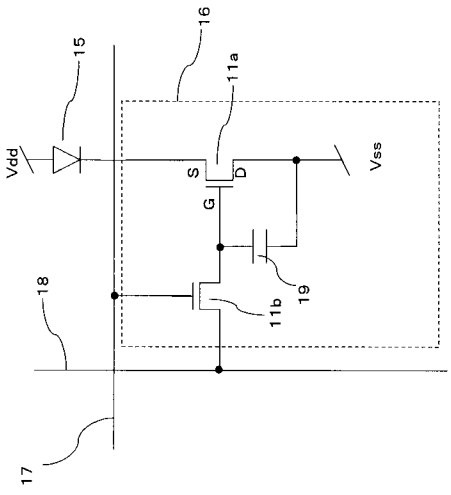
１１２２　デコーダ回路
１１２６　ＡＩ処理回路（ピーク電流抑制、ダイナミックレンジ拡大処理など）
１１２７　動画検出処理（ＩＤ処理）
１１２８　カラーマネージメント処理回路（色補償／補正、色温度補正回路）
１１２９　演算回路（ＭＰＵ、ＣＰＵ）
１１３１、１１３２　乗算器
１１３３　加算器
１１３４　総和回路（ＳＵＭ回路、データ処理回路、総電流演算回路）
１２８１　昇圧回路
１２８２　電圧反転回路
１３３１　アンテナ
１３３２　キー
１３３３　筐体
１３３４　表示パネル
１３４１　接眼リング
１３４２　拡大レンズ（正レンズ）
１３４３　凸レンズ（正レンズ）
１３５１　支点（回転部）
１３５２　撮影レンズ（撮影手段）
１３５３　格納部
１３５４　スイッチ
１３６１　本体
１３６２　撮影部
１３６３　シャッタスイッチ
１３７１　取り付け枠
１３７２　脚
１３７３　取り付け台
１３７４　固定部
１３８１　制御電極
１３８２　映像信号回路
１３８３　電子放出突起
１３８４　保持回路
１３８５　オンオフ制御回路
１３９１　ホトセンサ
１３９２　デコーダ（バーコード解読器）
１３９３　ＥＬ表示パネル（自発光表示パネル（装置））
１４１１　隔離柱（隔離壁（リング））
１４１２　封止樹脂（封止手段）
１４１３　空間
１４１４　バックライト
１５３１　出力選択回路
１６５１　バックライト
１６５２　保持具（筐体）
１６５３　液晶表示パネル（非発光表示パネル）
１６５４　円偏光板
１６８１　色フィルタ
１７１１　ＡＤ（アナログ－デジタル）変換回路
１７６１　切り換え回路
１７６２　平均化回路
１８２１　電源測定回路（ＩＣ）

１８５１　電圧配線
１９３１　演算回路
２１０１　アノード配線
２１０２　カソード配線
２１１１　ＤＡ変換回路（ＩＣ）
２１２１　ソース信号線検出線
２１２２　メモリ（記憶手段）
２１７１　短絡配線
２１７２　端子電極
２１７３　プローブ
２１７４　定電流源
２１７５　配線
２１９１　温度補償回路
２２０１　電流計（電流測定手段）
２３８１　電圧源
２４３１　トランジスタ
２４８１　交流電圧発生器

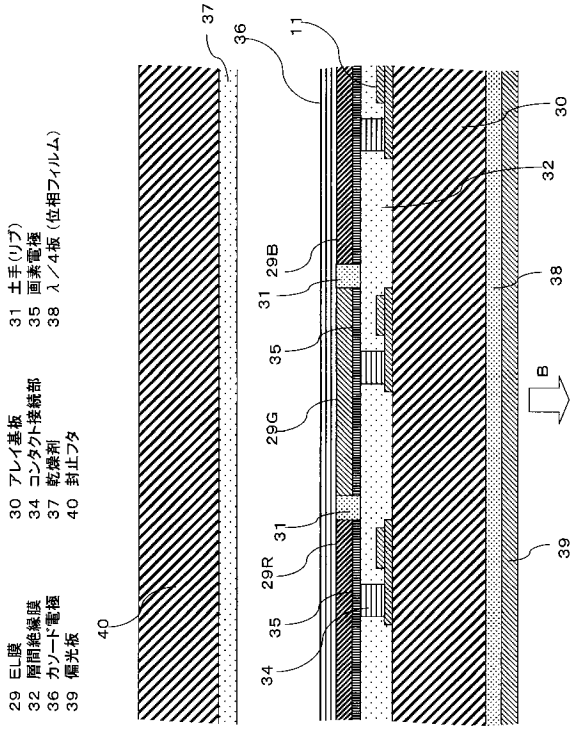
【図１】



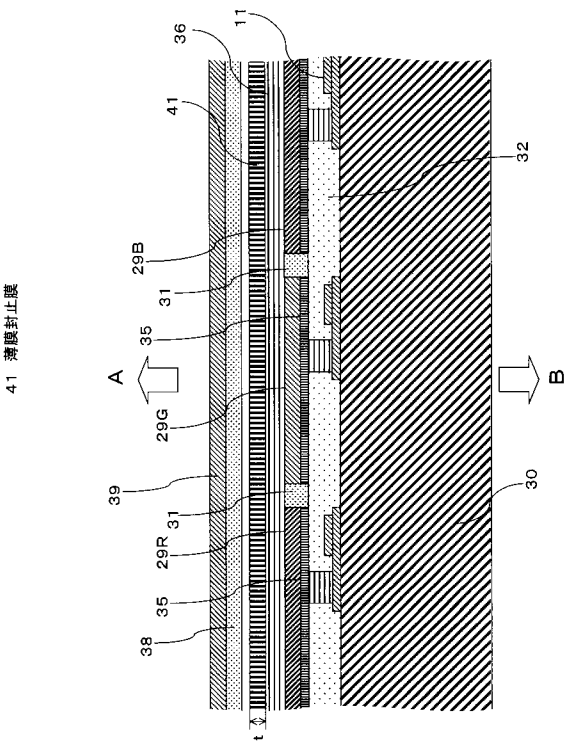
【図２】



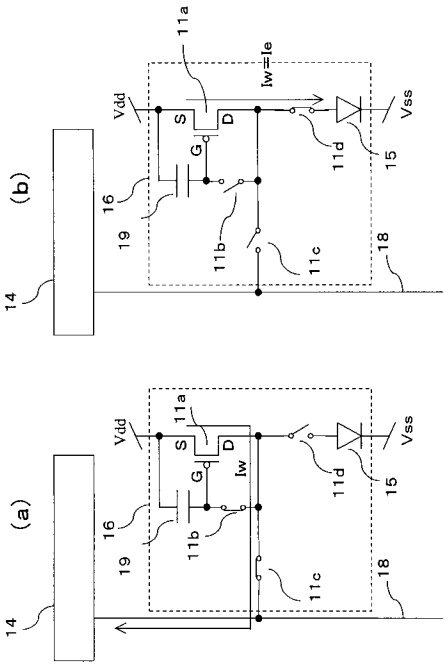
【図３】


29 EL膜
32 層間絶縁膜
36 カソード電極
39 偏光板
30 アレイ基板
34 コンタクト接続部
37 乾燥剤
40 封止フタ
31 土手(リブ)
35 画素電極
38 λ／4板（位相フィルム）
A
B

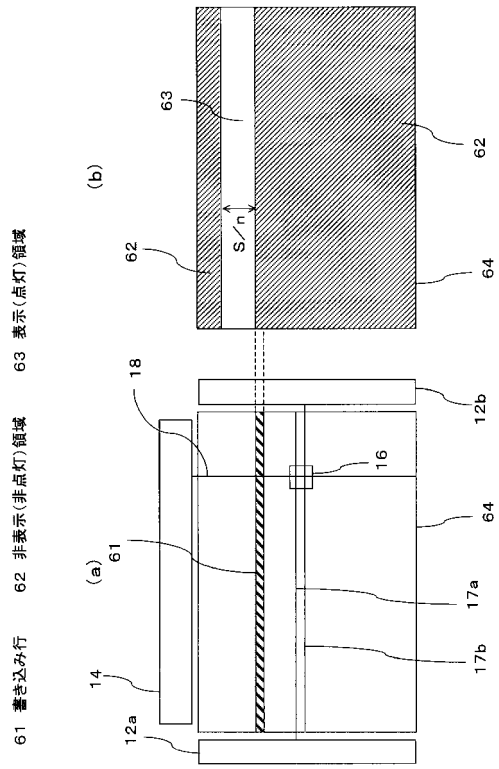
【図４】


41 薄膜封止膜
A
B
t

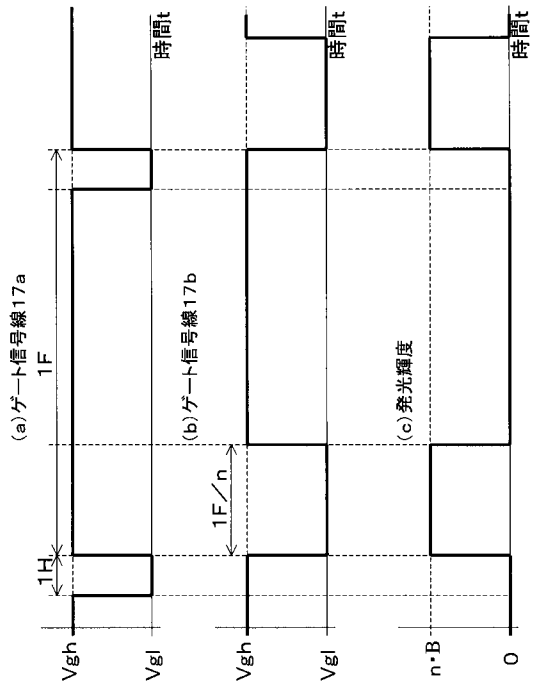
【図５】


(a)
(b)
Vdd
Vss
Iw=Ie
Iw
S
D
G

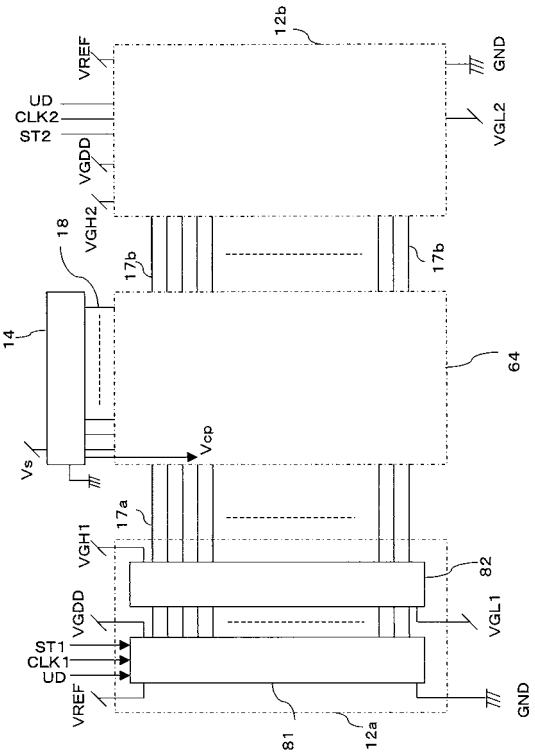
【図６】


61 書き込み行
62 非表示(非点灯)領域
63 表示(点灯)領域
(a)
(b)
S／n

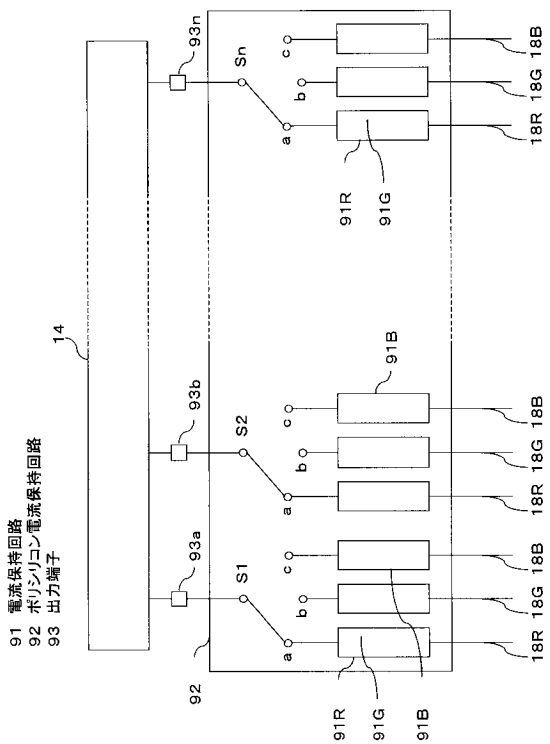
【図７】


(a)ゲート信号線17a
1F
(b)ゲート信号線17b
1F／n
(c)発光輝度
1H
時間t
時間t
時間t
Vgh
Vgl
Vgh
Vgl
n・B
0

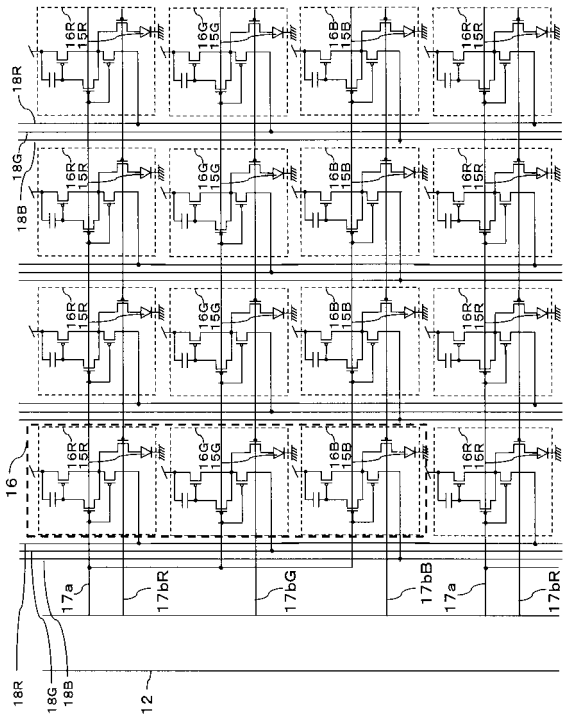
【図８】


12b
VREF
GND
UD
CLK2
ST2
VGDD
VGL2
VGH2
18
17b
17b
14
64
Vcp
Vs
VGH1
17a
82
VGL1
VGDD
ST1
CLK1
UD
VREF
GND
81
12a

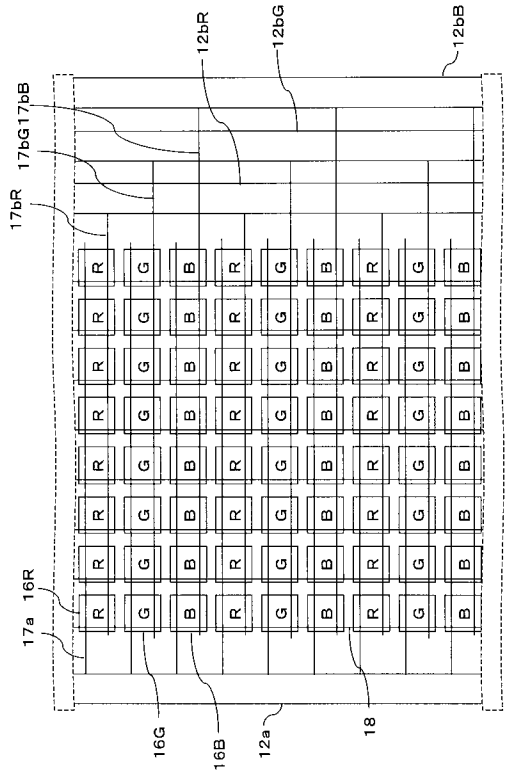
【図９】


91 電流保持回路
92 ポリシリコン電流保持回路
93 出力端子
14
93n
Sn
93b
S2
93a
S1
92
91R
91G
91B
18R 18G 18B

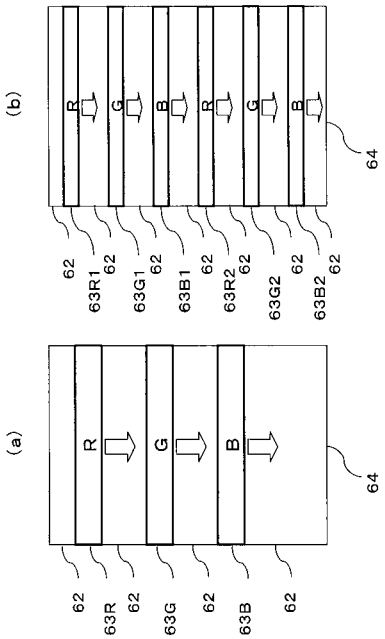
【図１０】


16R
15R
16G
15G
16B
15B
18R
18G
18B
16
17a
17bR
17bG
17bB
12

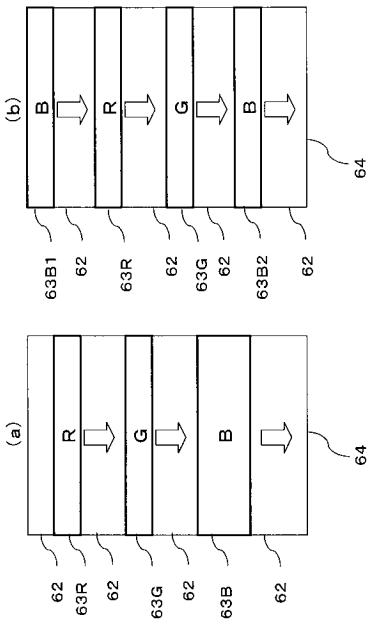
【図１１】



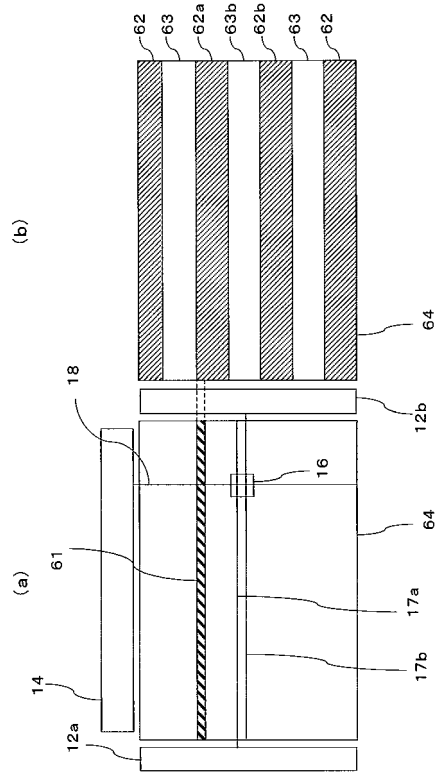
【図１２】



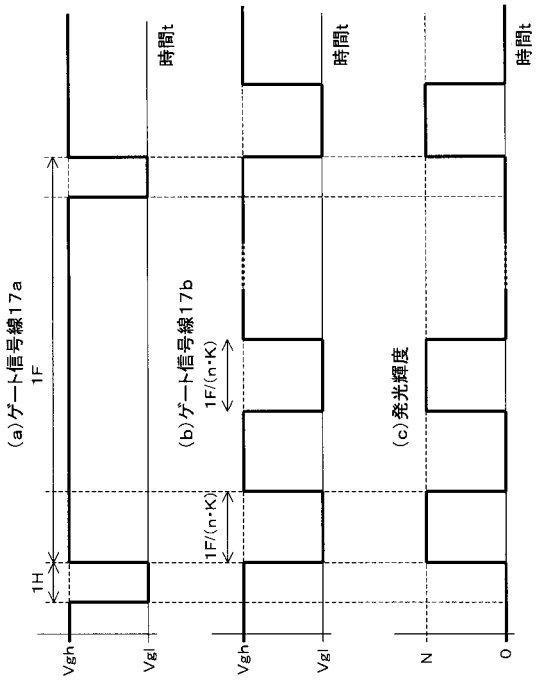
【図１３】



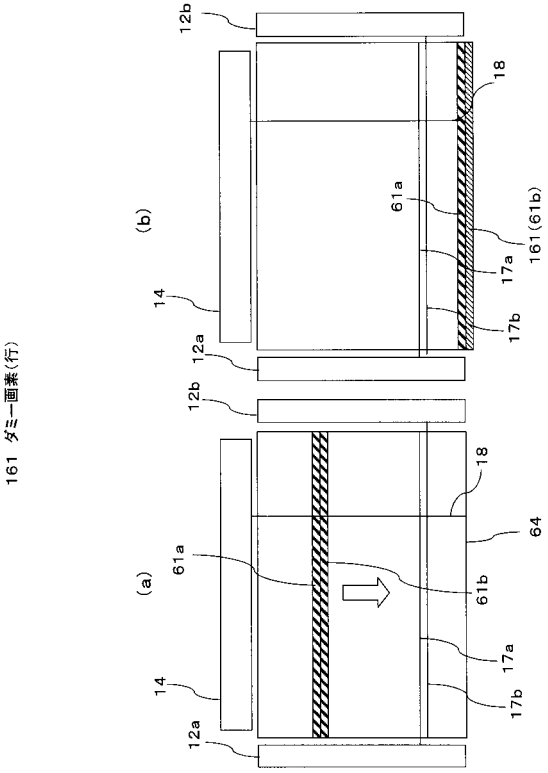
【図１４】



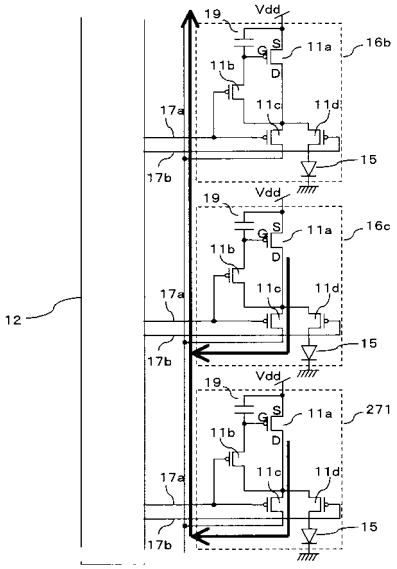
【図１５】



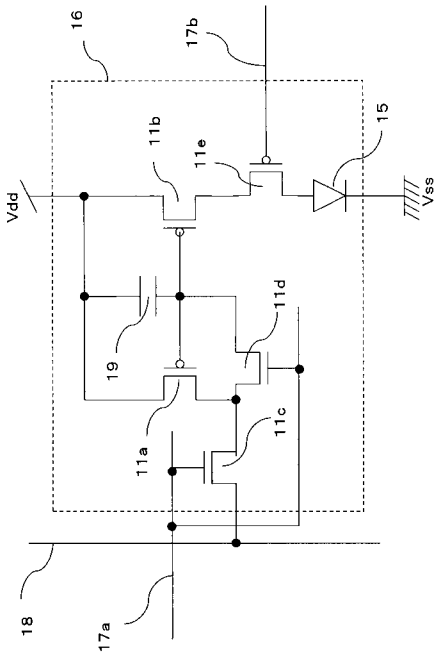
【図１６】



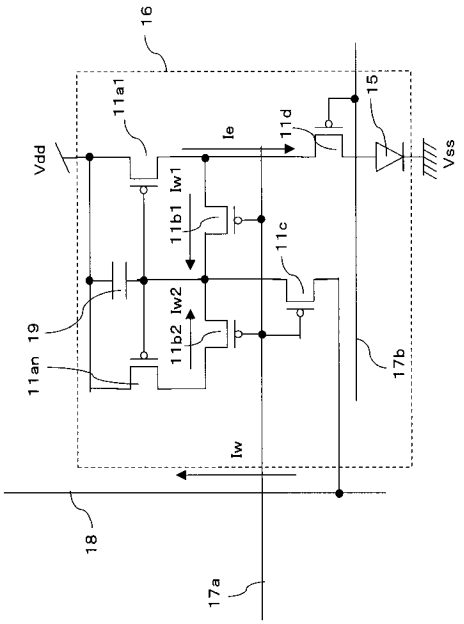
【図１７】



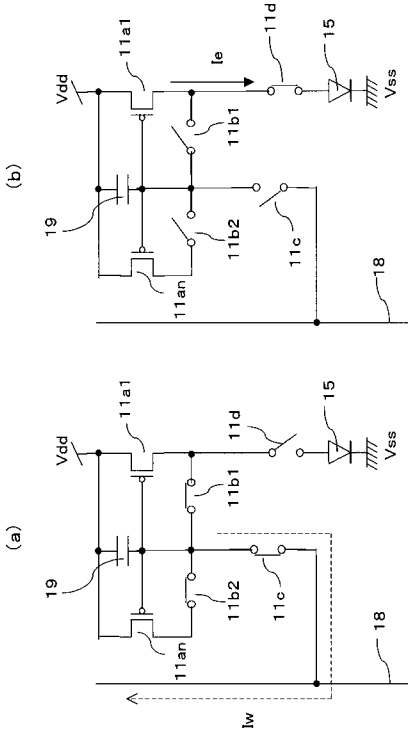
【図１８】



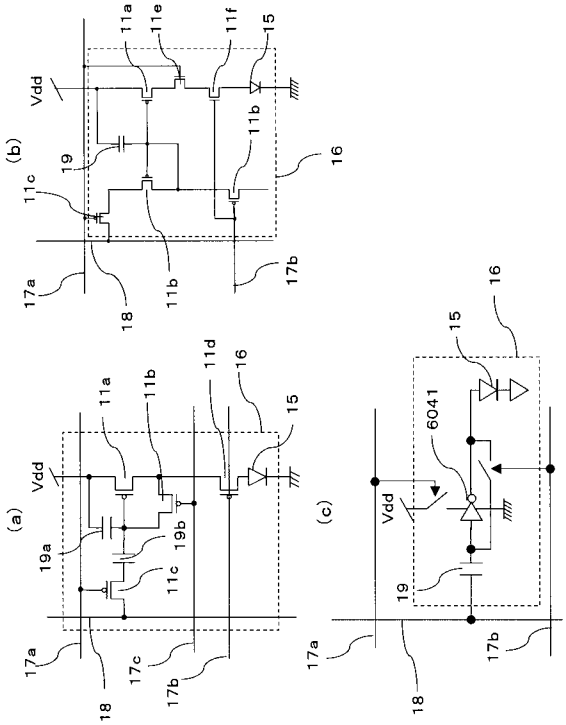
【図１９】



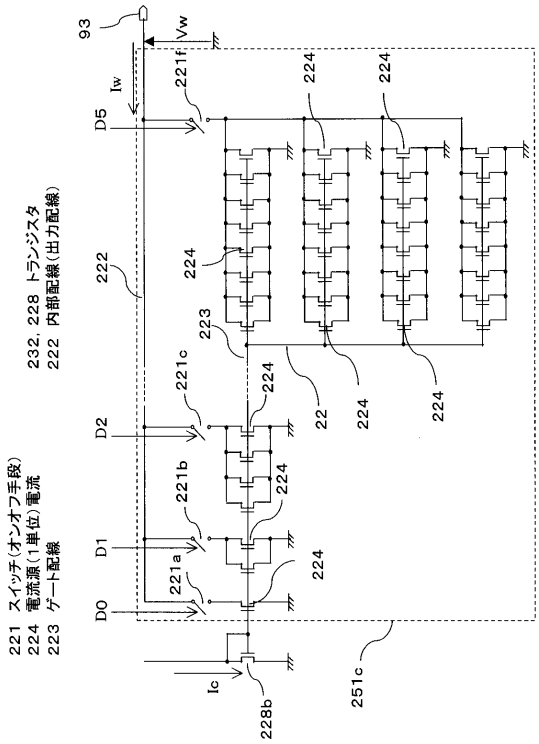
【図２０】



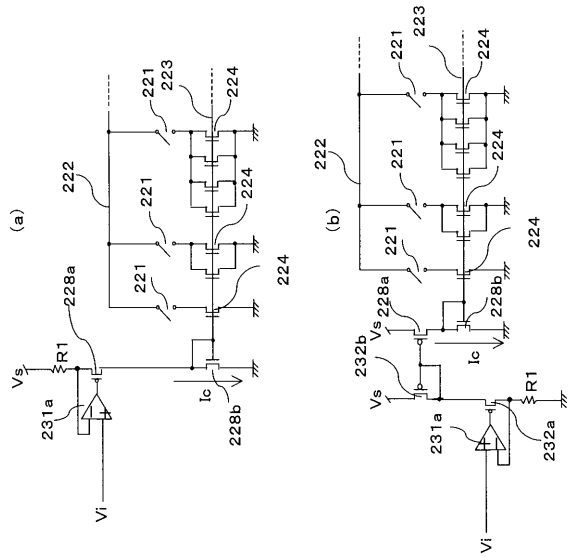
【図２１】



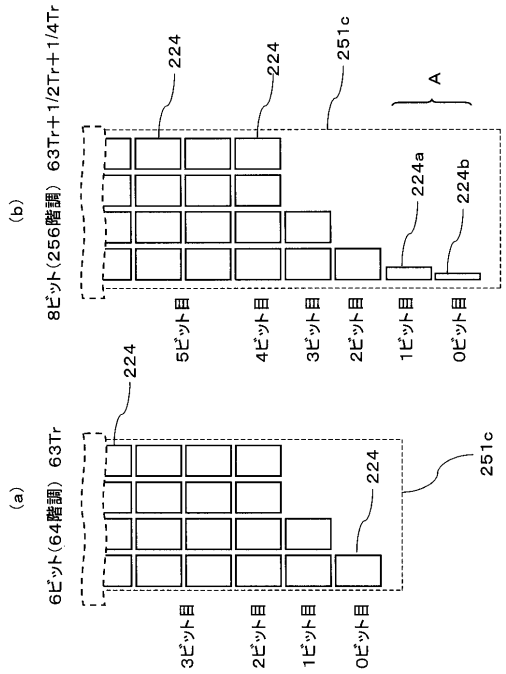
【図２２】



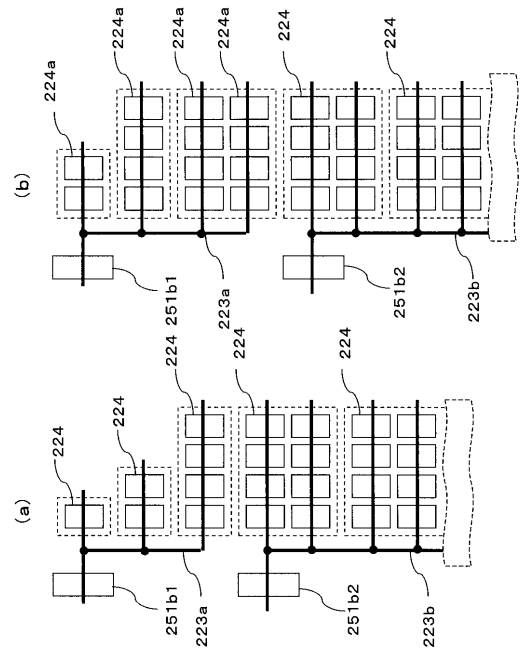
【図２３】



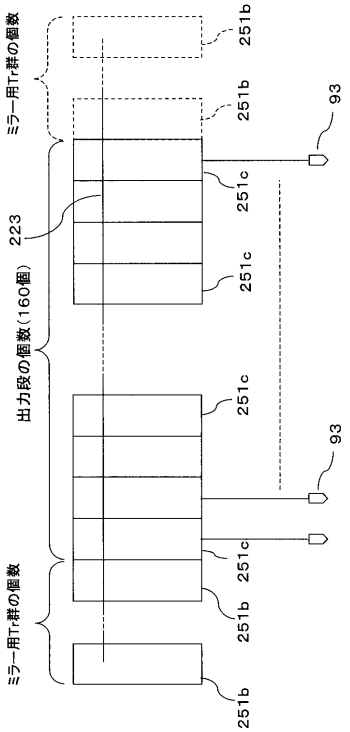
【図２４】



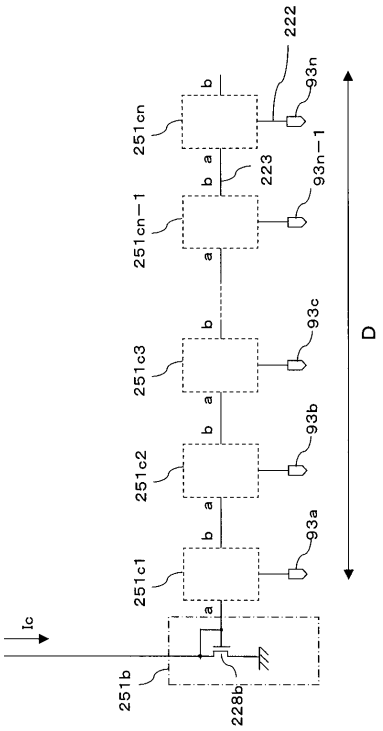
【図２５】



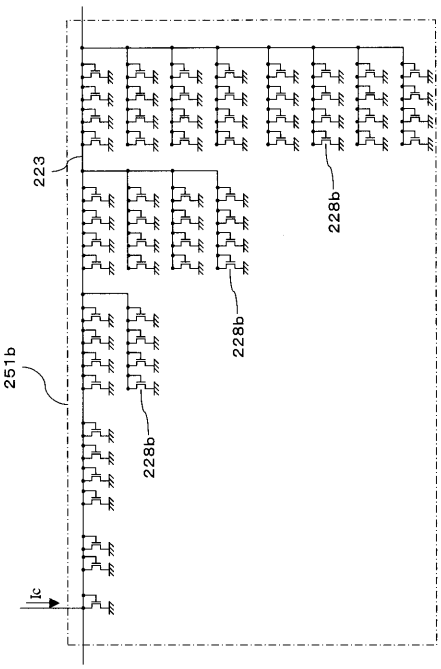
【図２６】



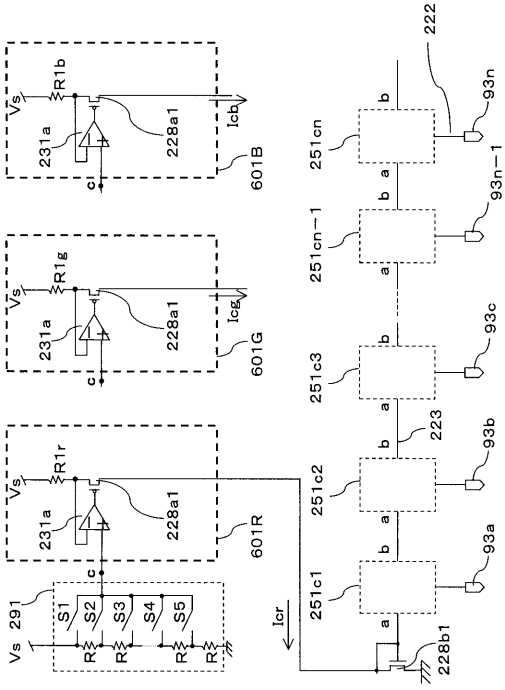
【図２７】



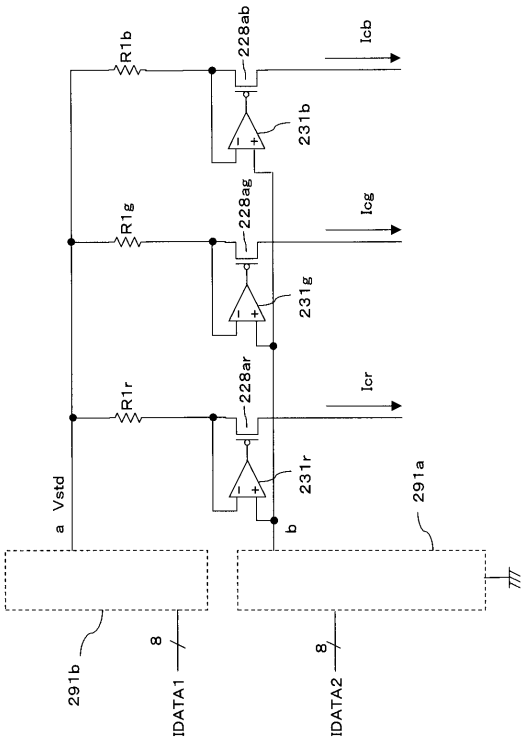
【図２８】



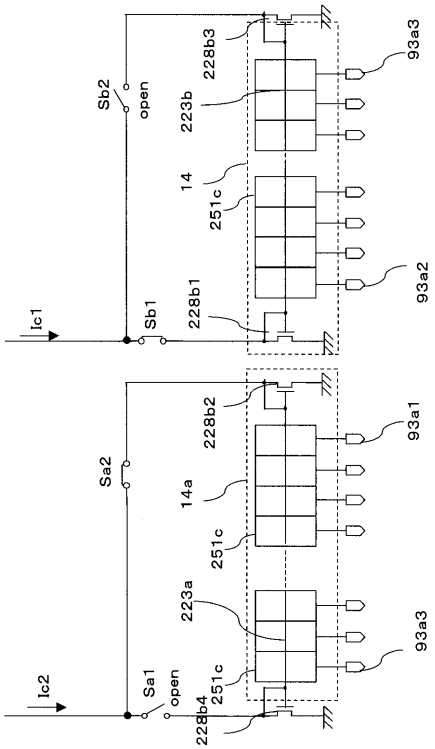
【図２９】



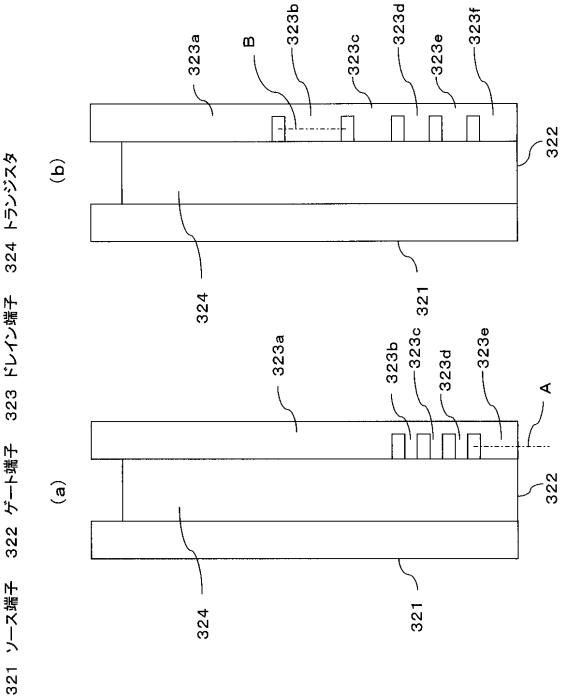
【図３０】



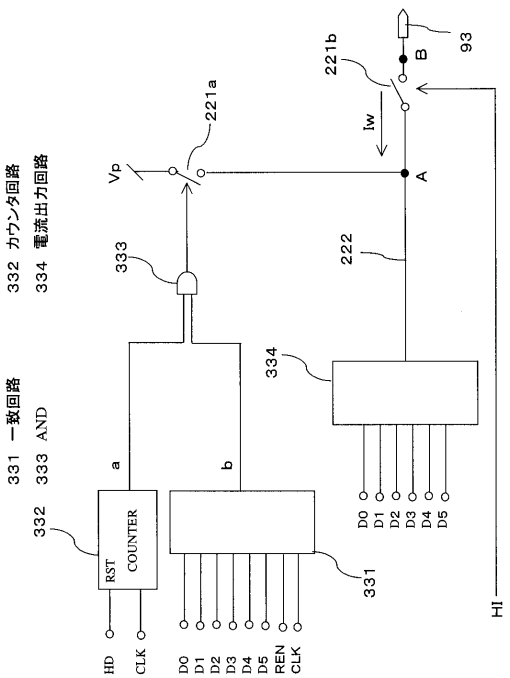
【図３１】



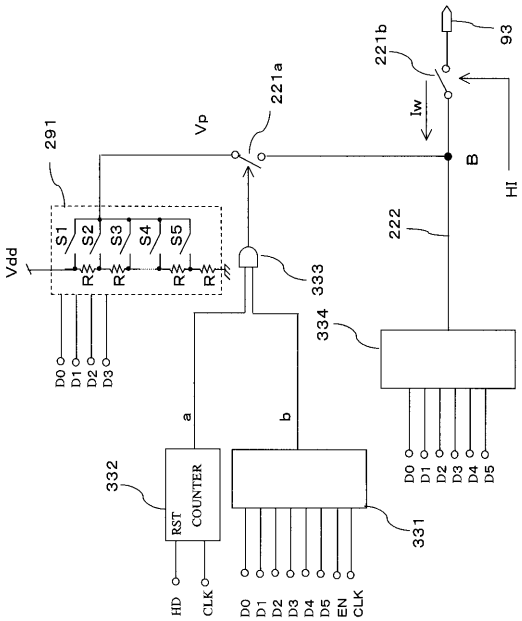
【図３２】



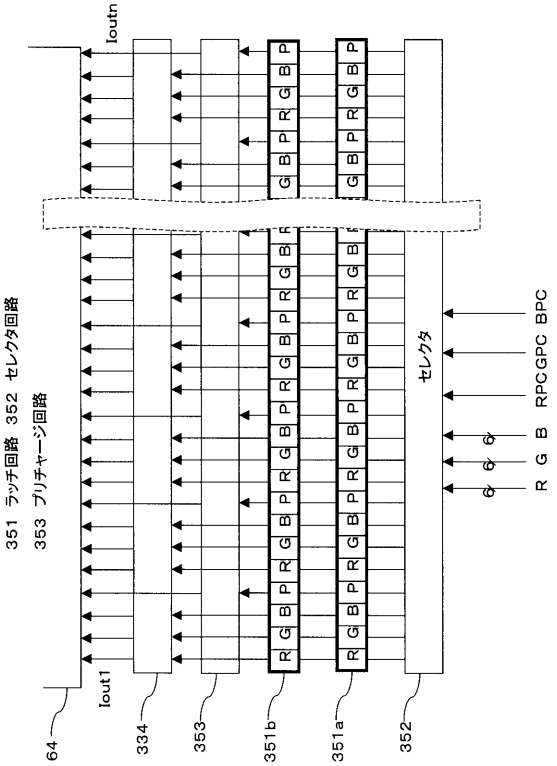
【図３３】



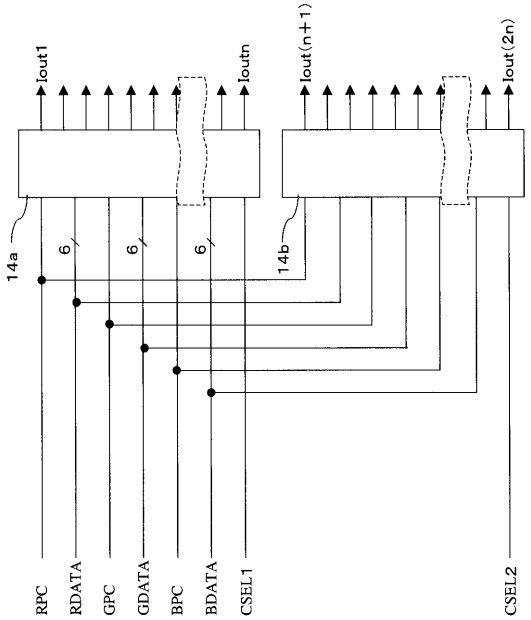
【図３４】



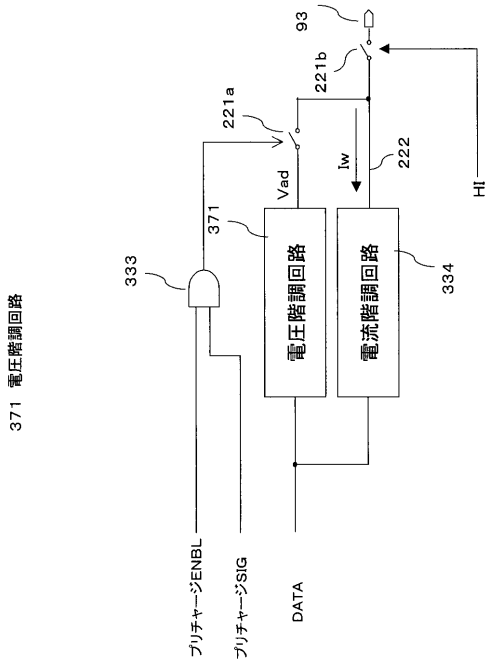
【図３５】



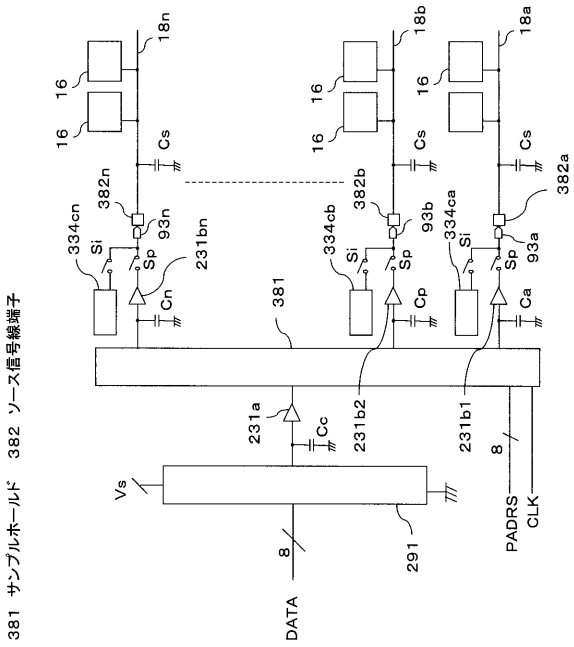
【図３６】



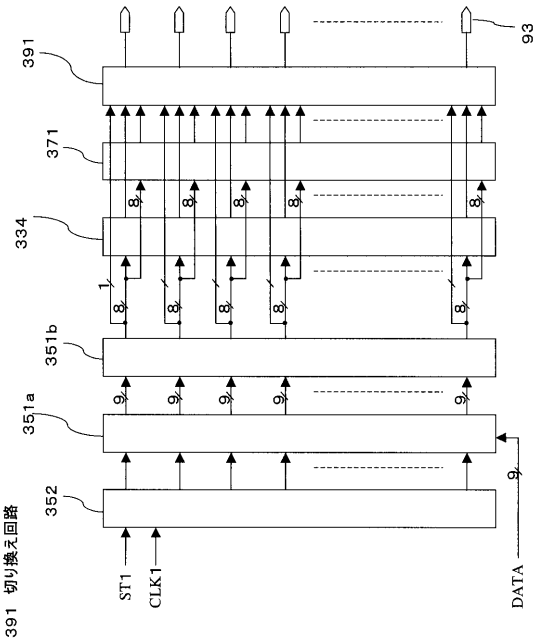
【図３７】



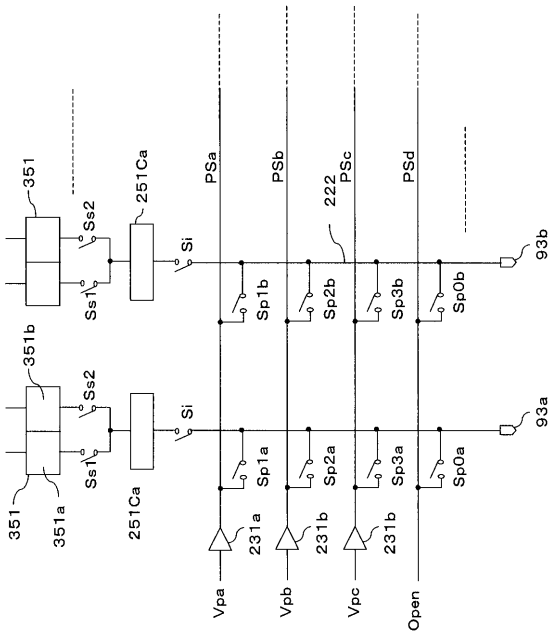
【図３８】



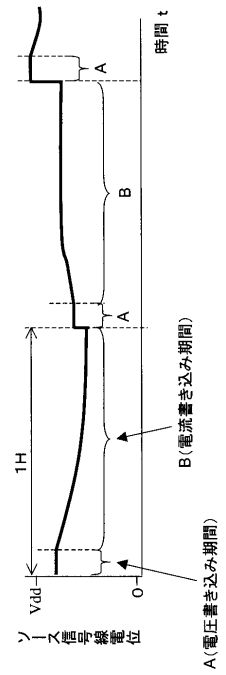
【図３９】



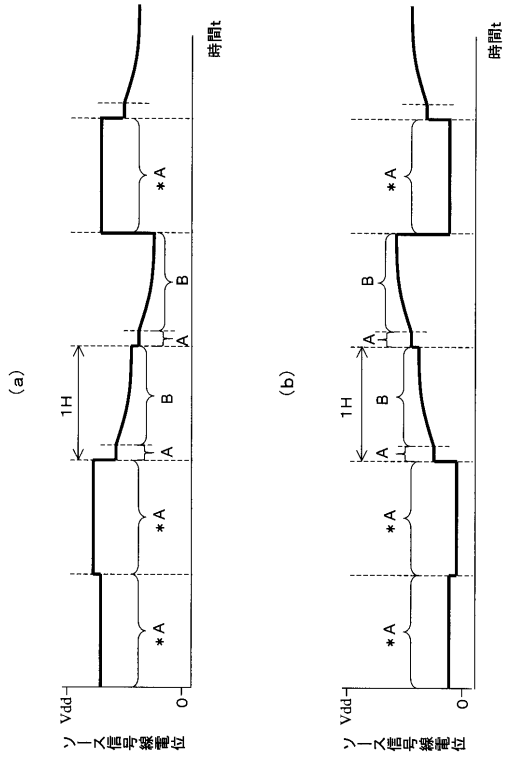
【図４０】



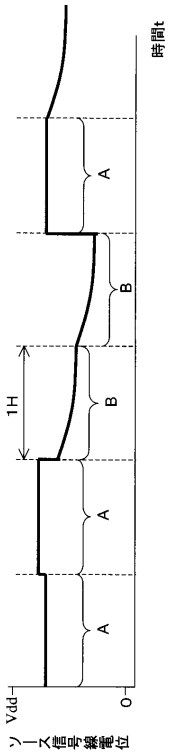
【図４１】



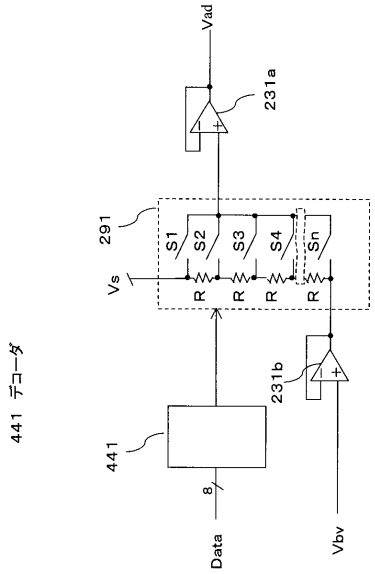
【図４２】



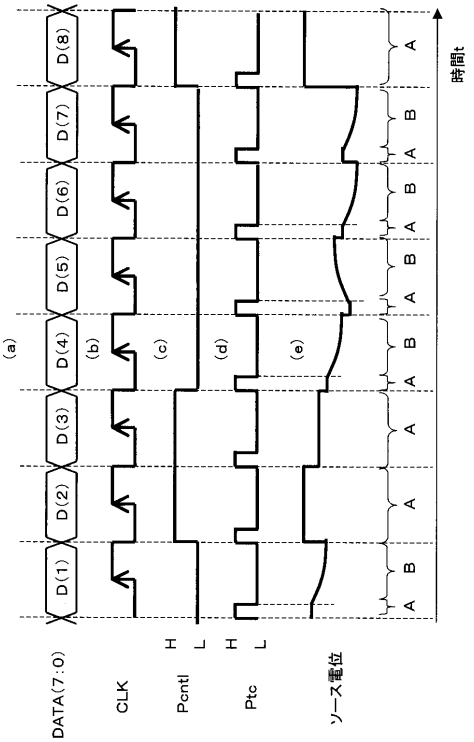
【図４３】



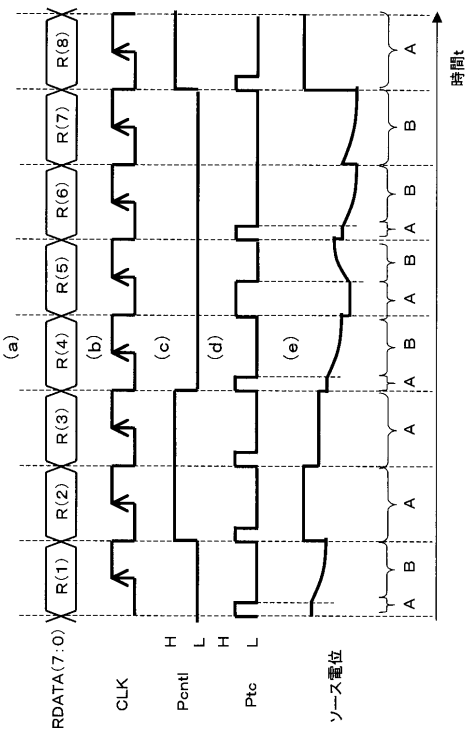
【図４４】



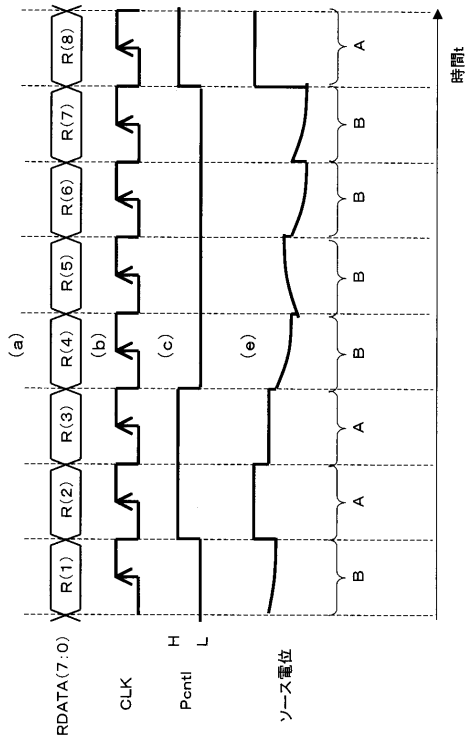
【図４５】



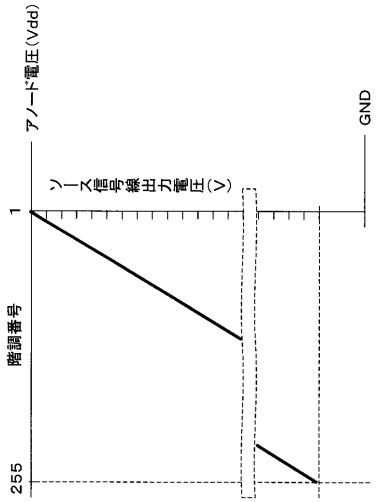
【図４６】



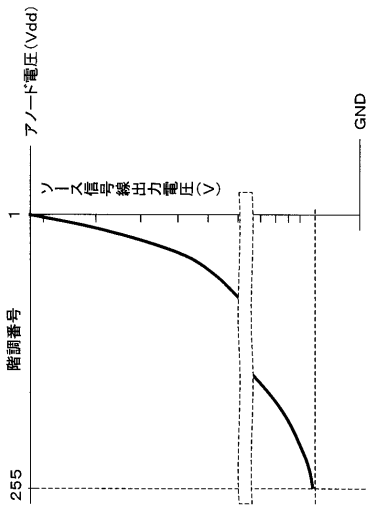
【図４７】



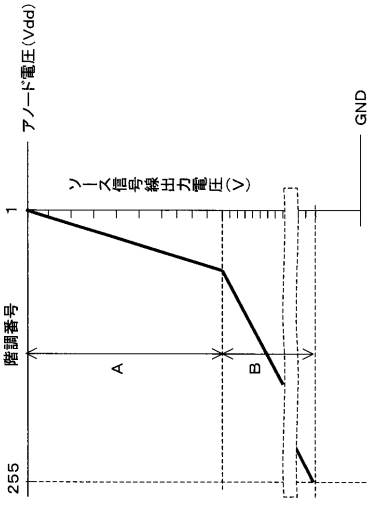
【図４８】



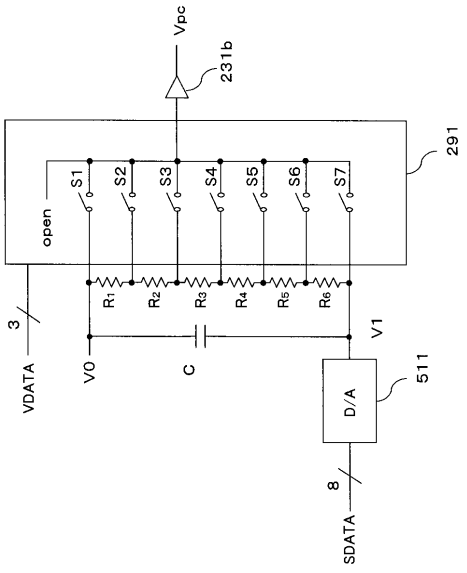
【図４９】



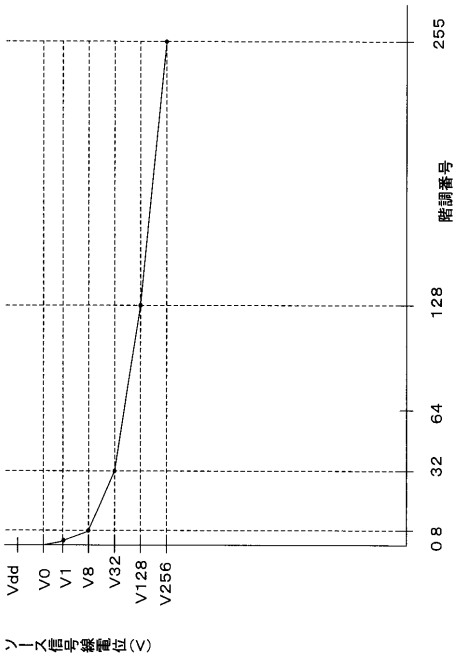
【図５０】



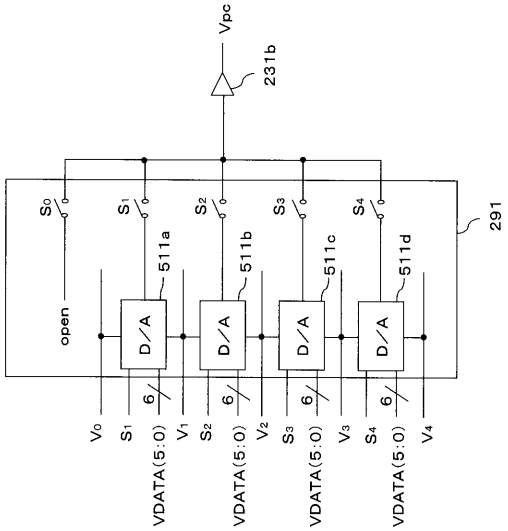
【図５１】



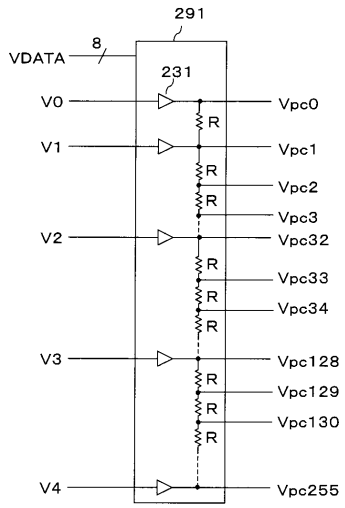
【図５２】



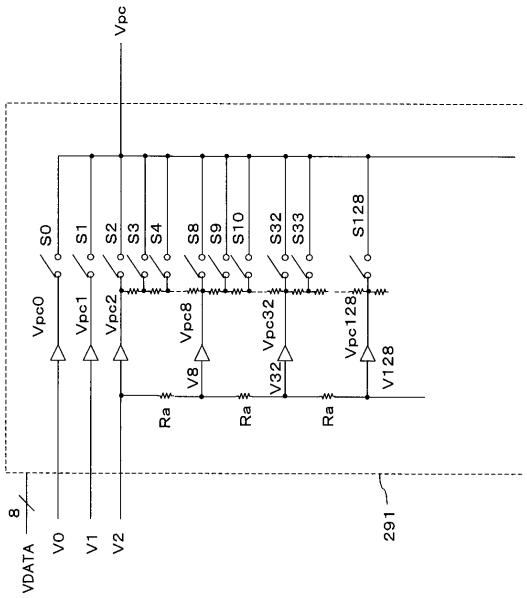
【図５３】



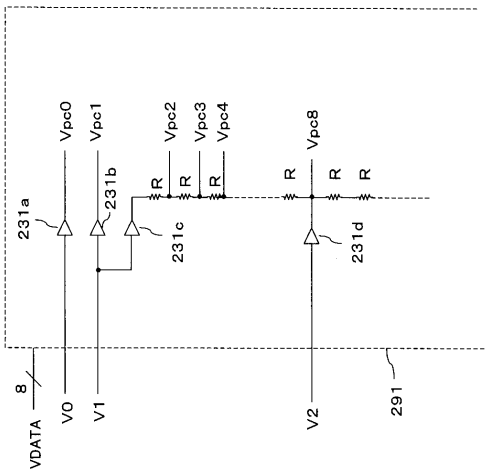
【図５４】



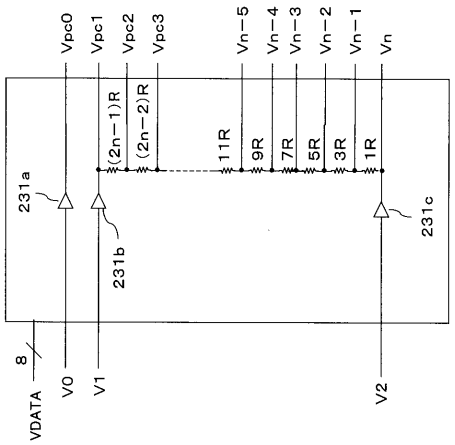
【図５５】



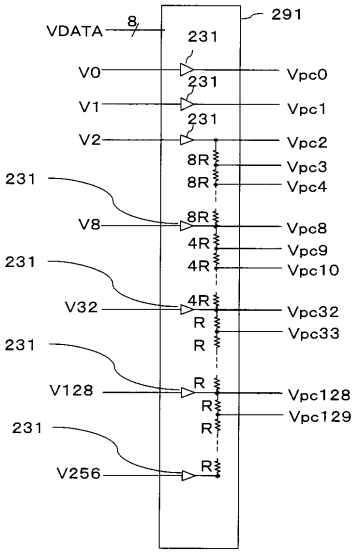
【図５６】



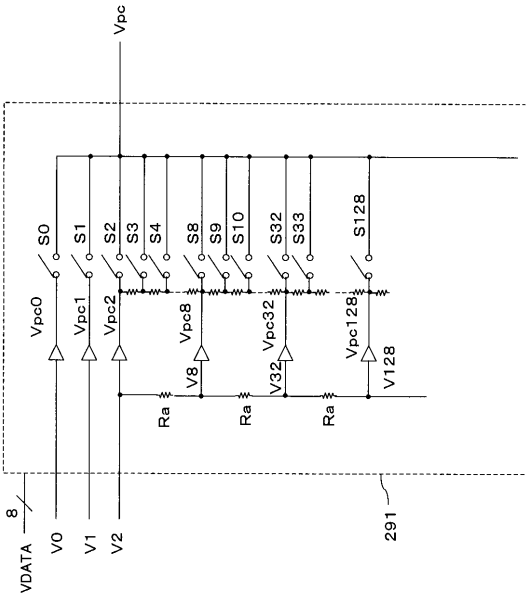
【図５７】



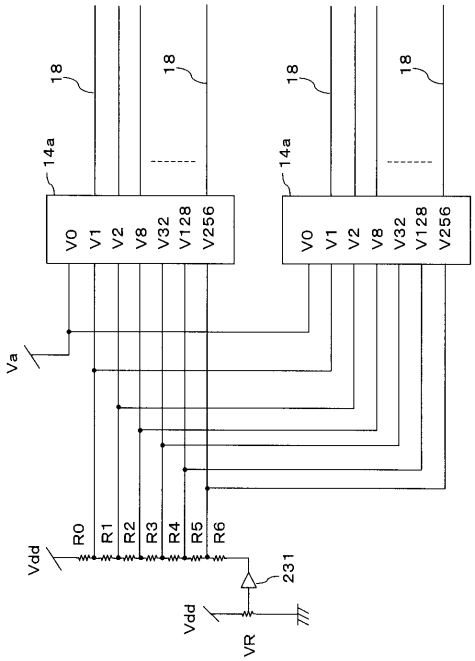
【図５８】



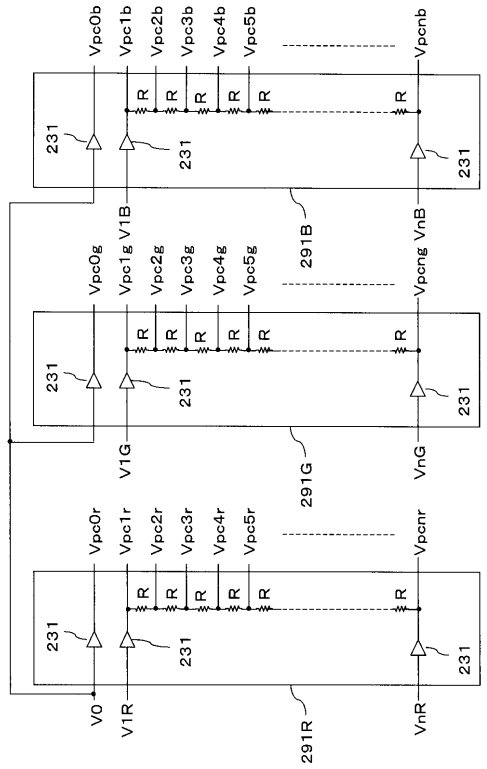
【図５９】



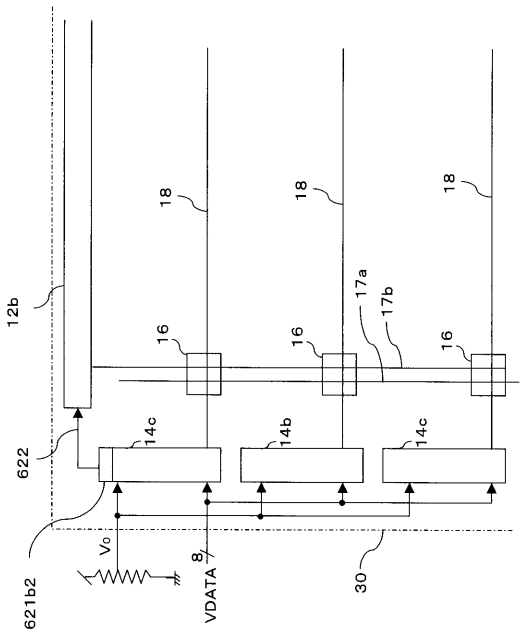
【図６０】



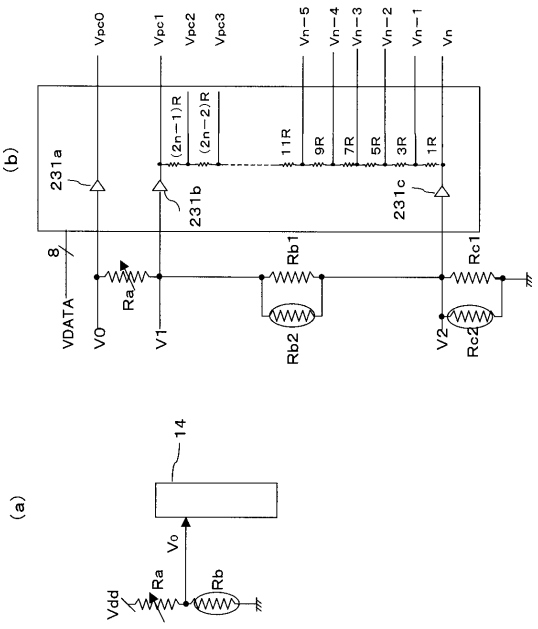
【図６１】



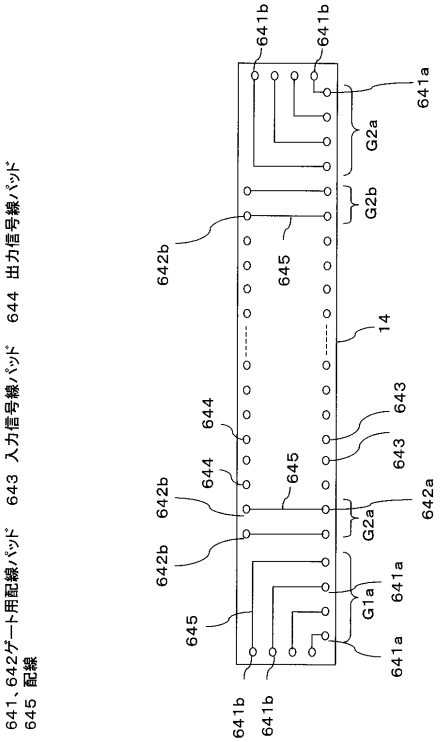
【図６２】



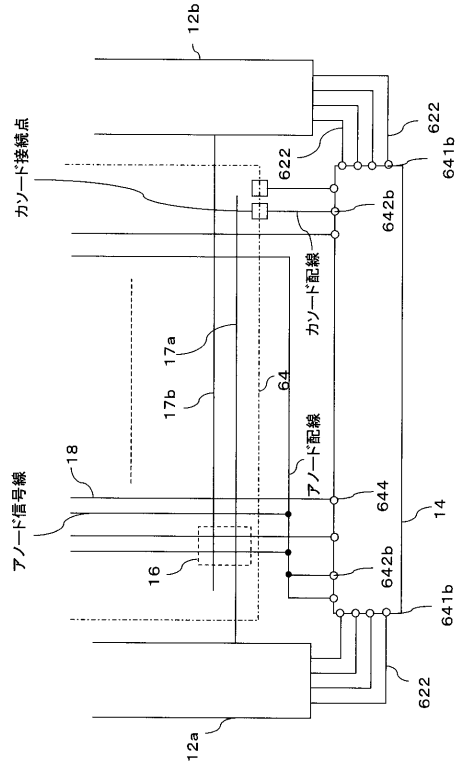
【図６３】



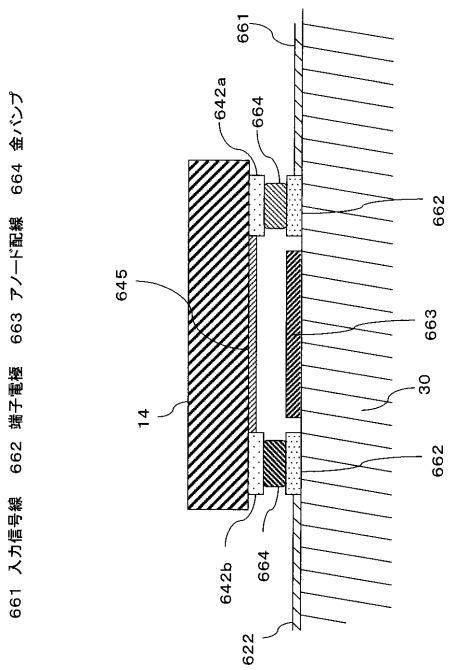
【図６４】



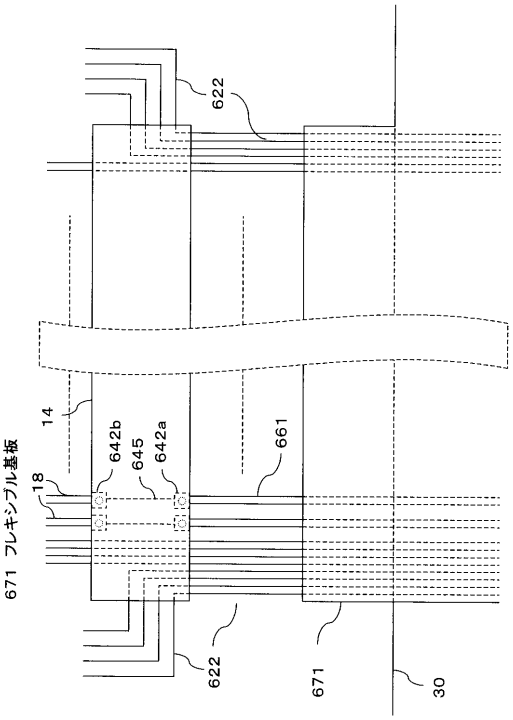
【図６５】



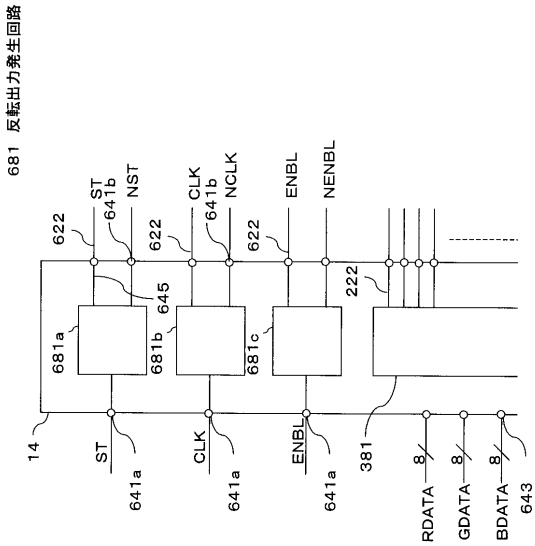
【図６６】



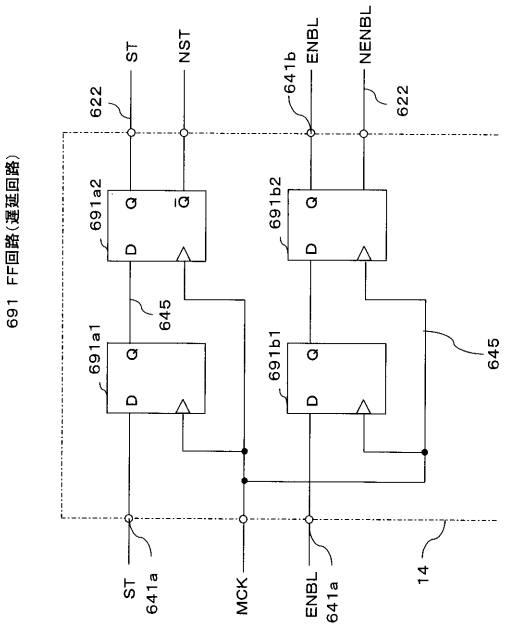
【図６７】



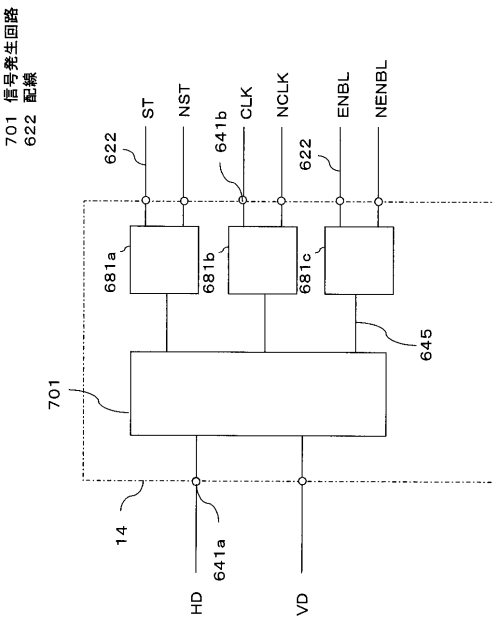
【図６８】



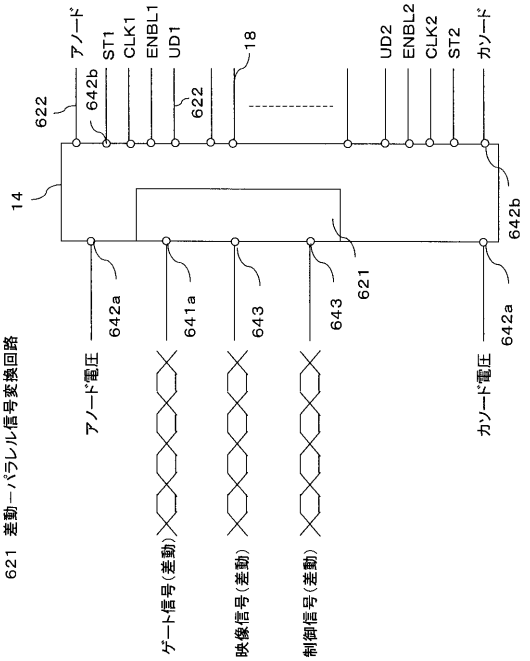
【図６９】



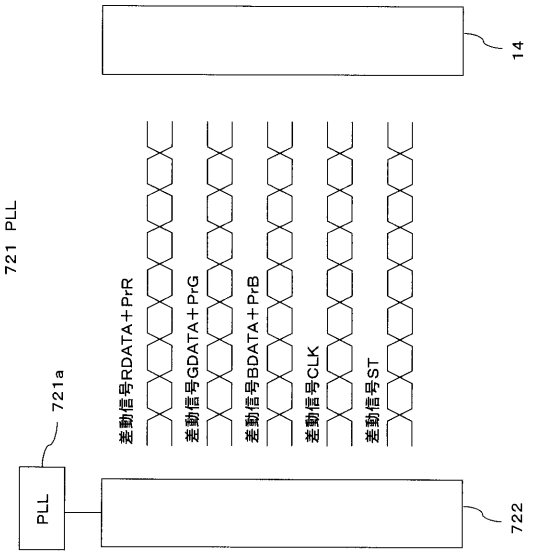
【図７０】



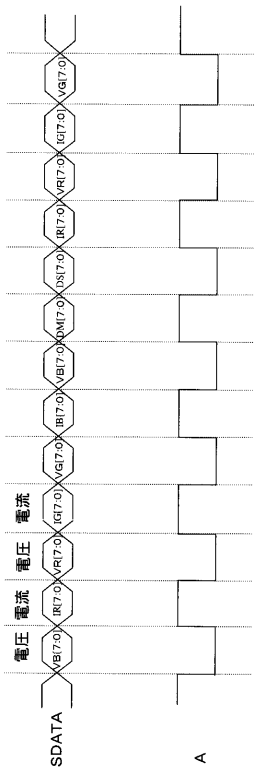
【図７１】



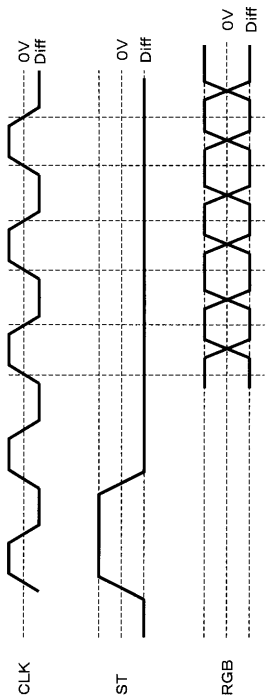
【図７２】



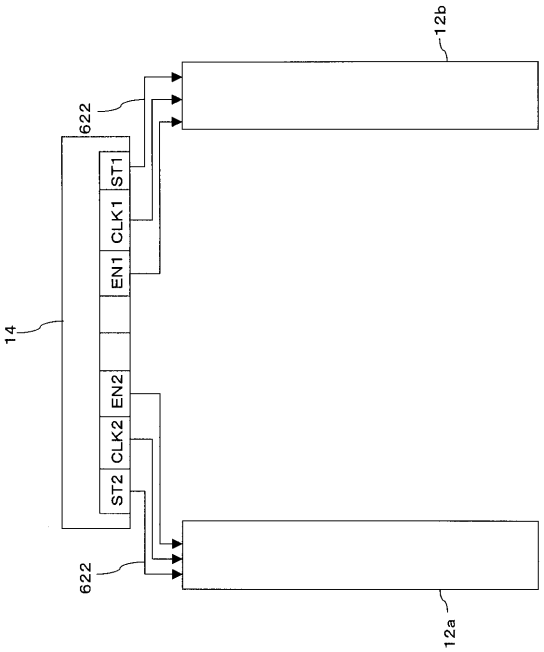
【図７３】



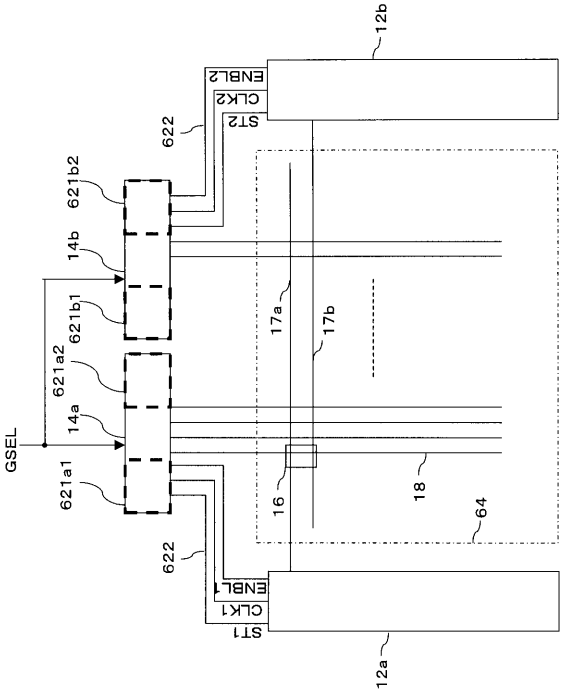
【図７４】



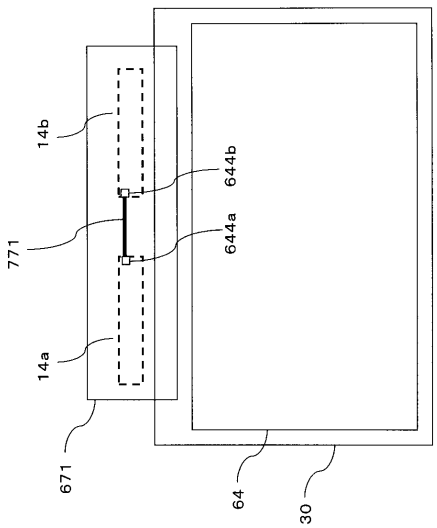
【図７５】



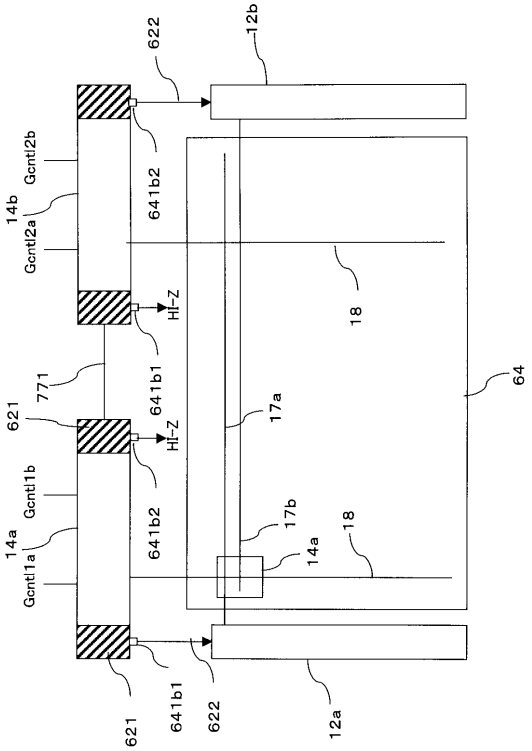
【図７６】



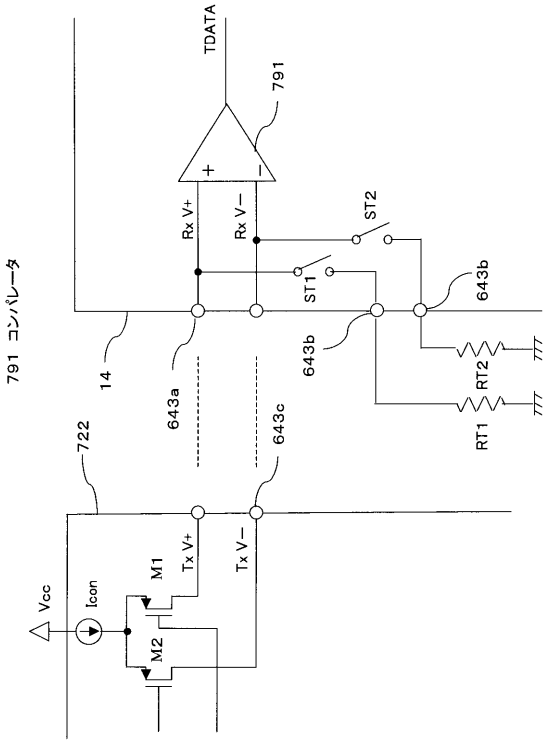
【図７７】



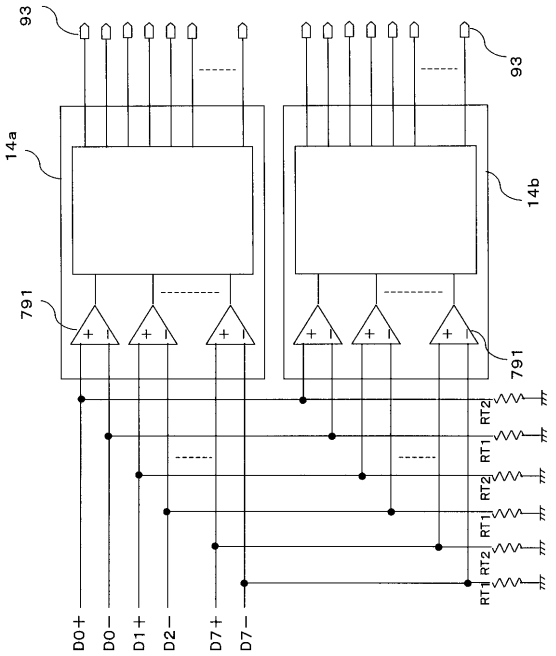
【図７８】



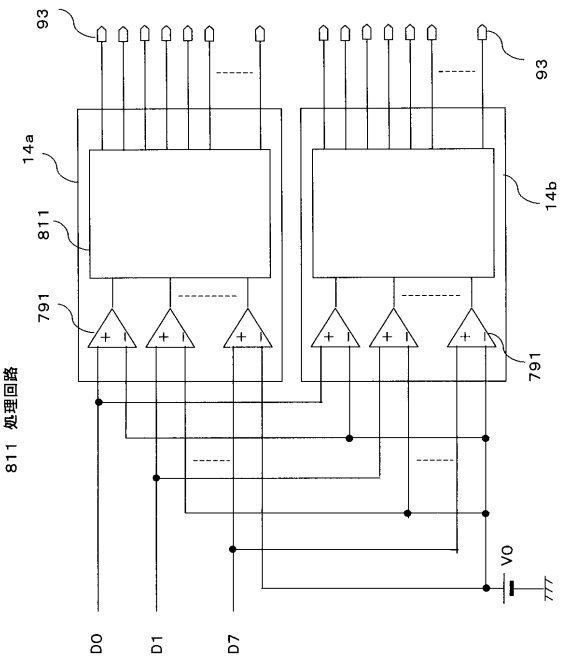
【図７９】



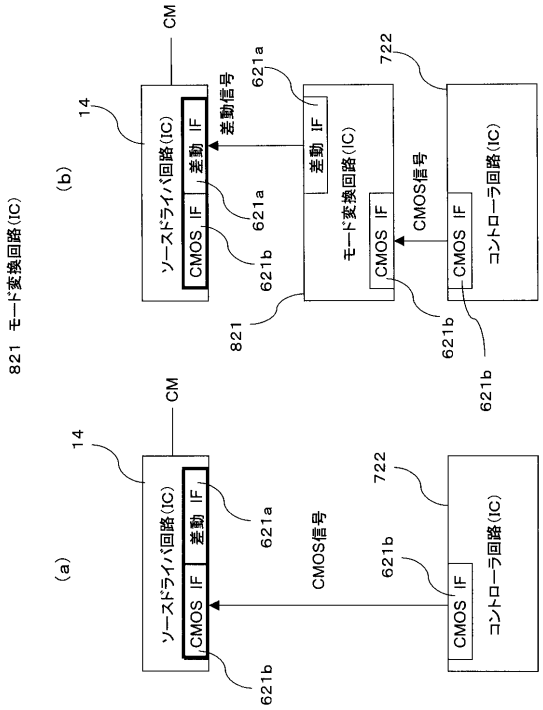
【図８０】



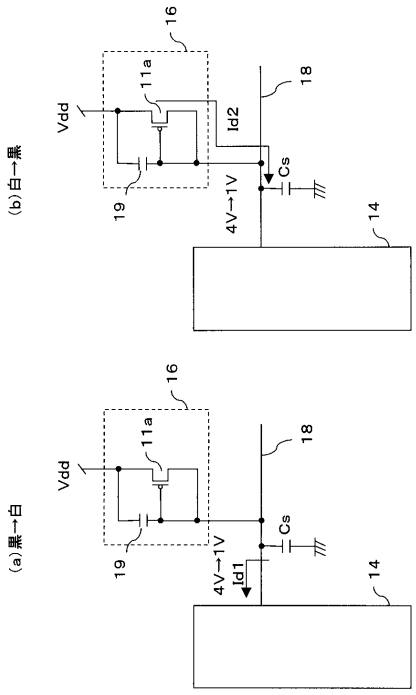
【図８１】



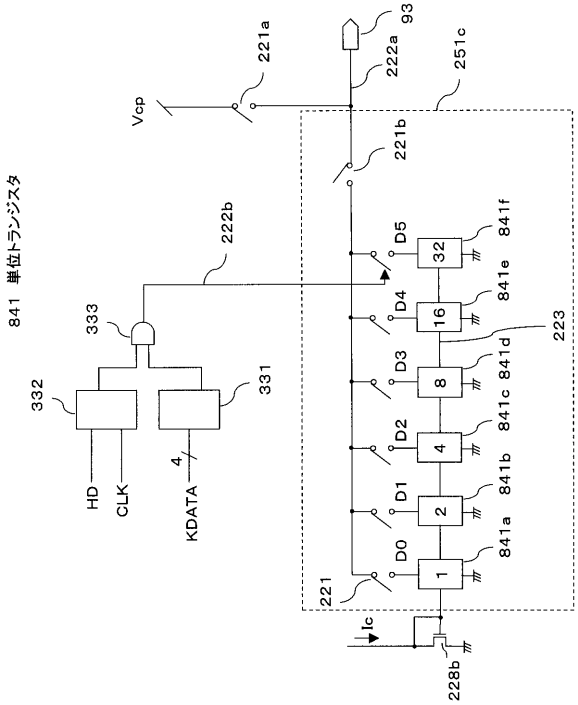
【図８２】



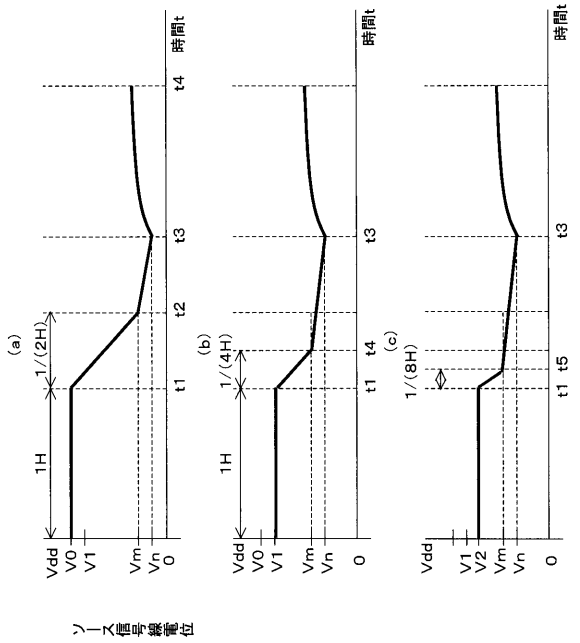
【図８３】



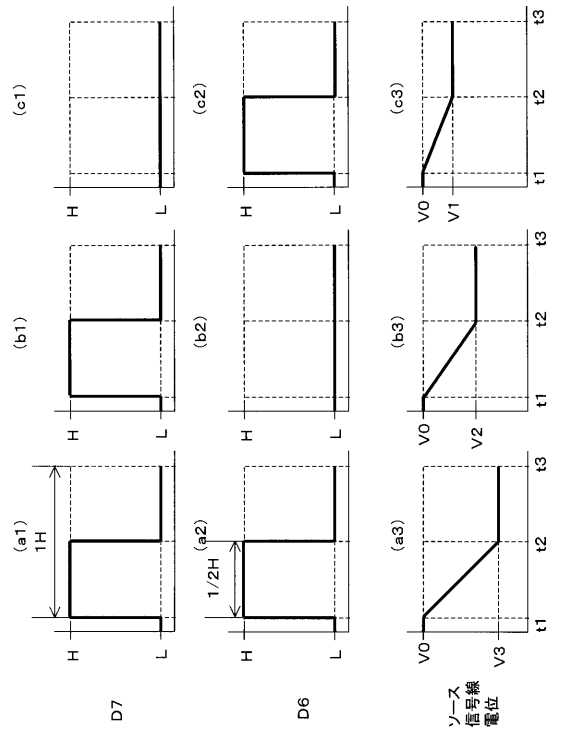
【図８４】



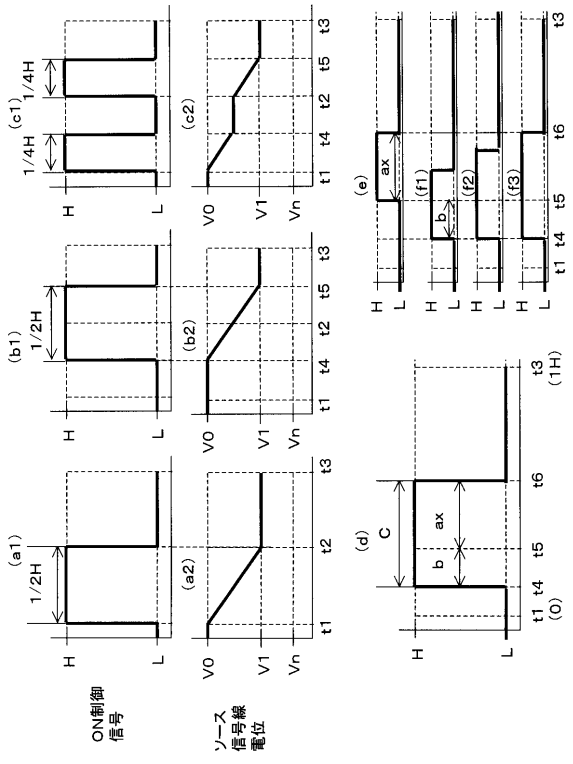
【図８５】



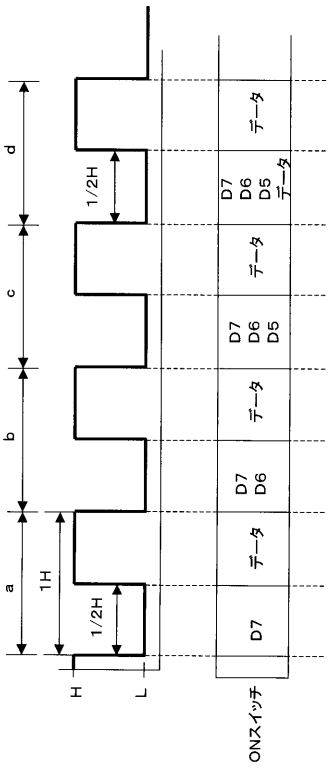
【図８６】



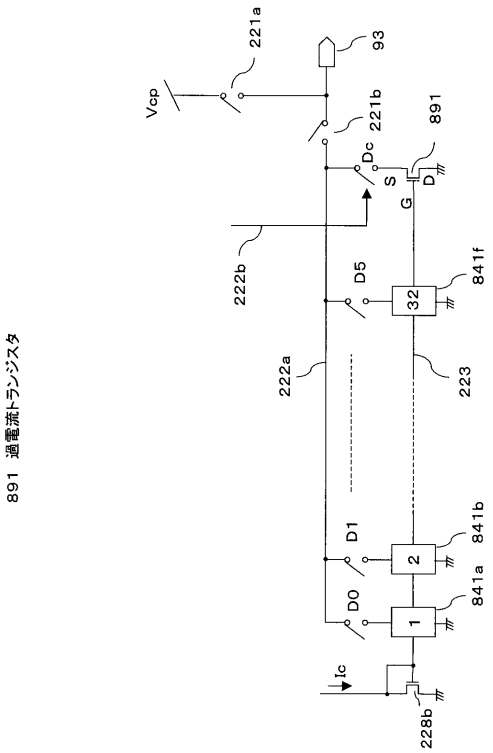
【図８７】



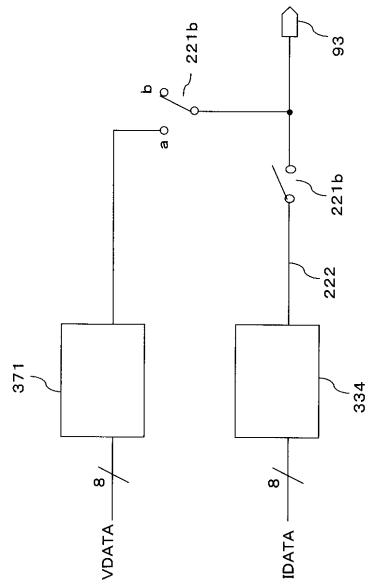
【図８８】



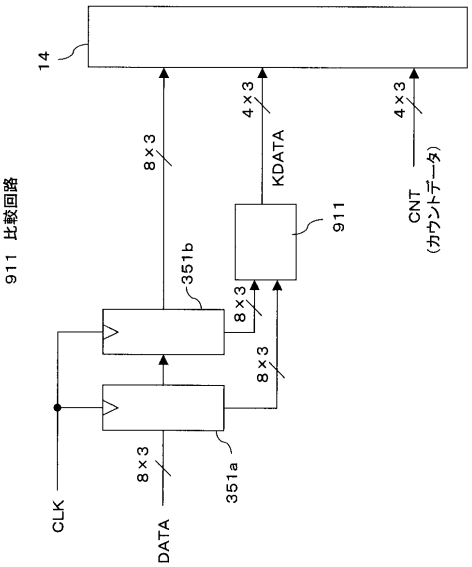
【図８９】



【図９０】



【図９１】

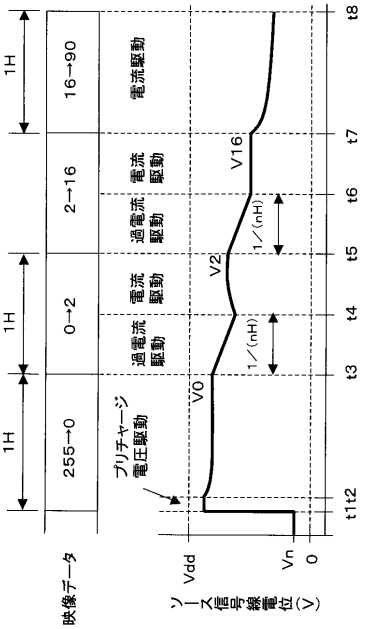


【図９２】

KDATA

		変化前(1H前)						
		0	1	2	3	----------	n-1	n
変化後	0	0	—	—	—		—	—
	1	15	0	—	—		—	—
	2	12	10	0	—		—	—
	3	10	8	6	0		—	—
	4	8	6	4	2		—	—
	----------					----------		
	n-1	0	0	0	0		—	—
	n	0	0	0	0	----------	—	—

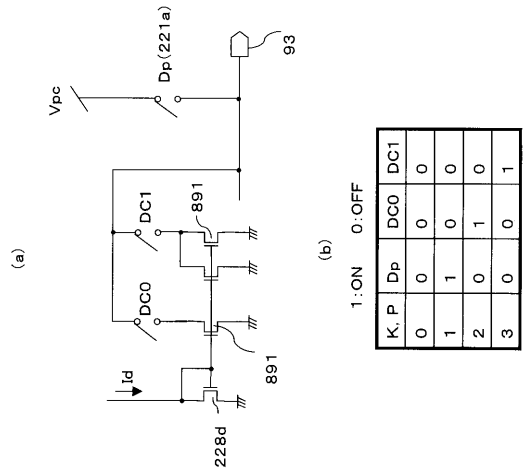
【図９３】



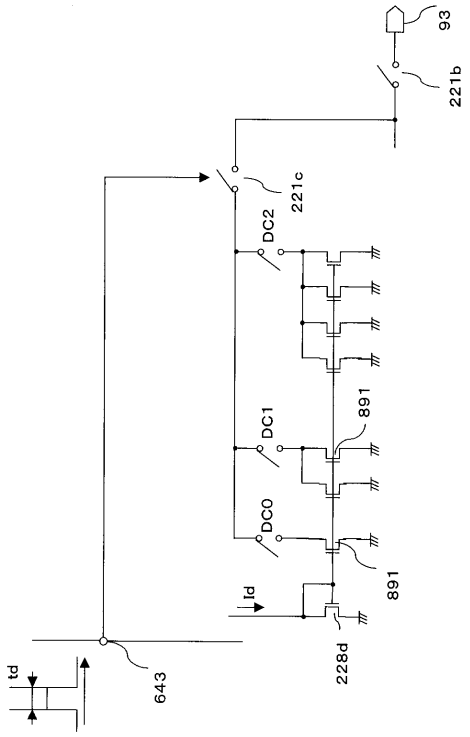
【図９４】

P	K1	K2	Dp	DC0	DC1
0	0	0	0	0	0
1	0	0	1	0	0
1	1	0	1	1	0
1	0	1	1	0	1
1	1	1	1	1	1
0	1	0	0	1	0
0	0	1	0	0	1
0	1	1	0	1	1

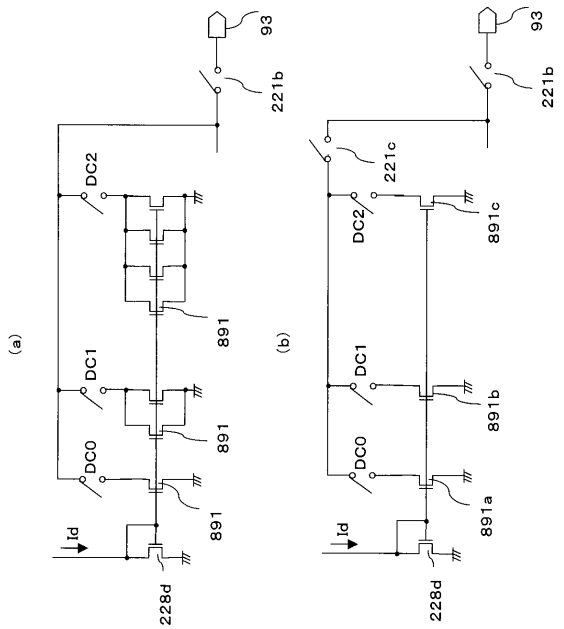
【図９５】



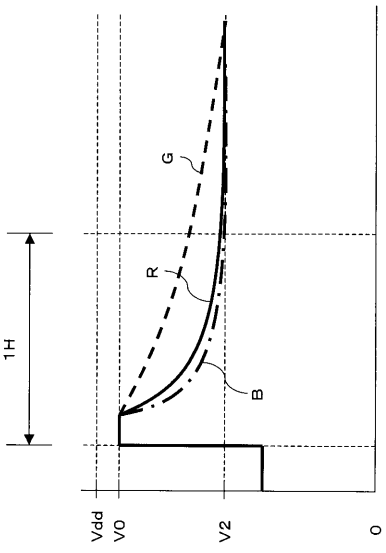
【図９６】



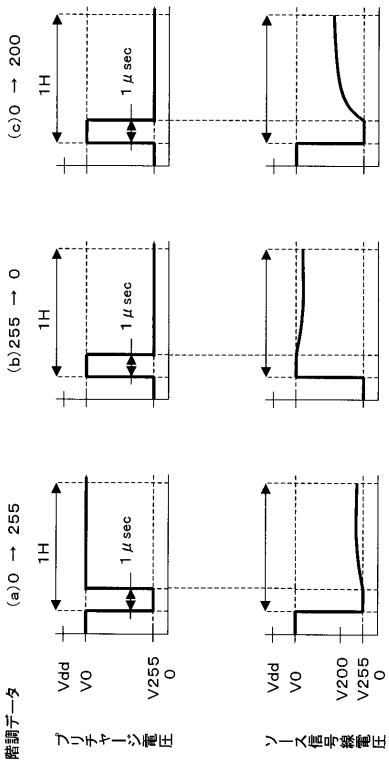
【図９７】



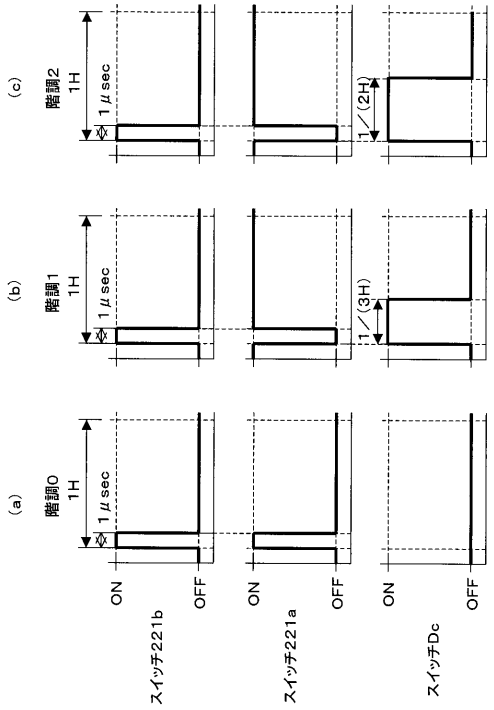
【図９８】



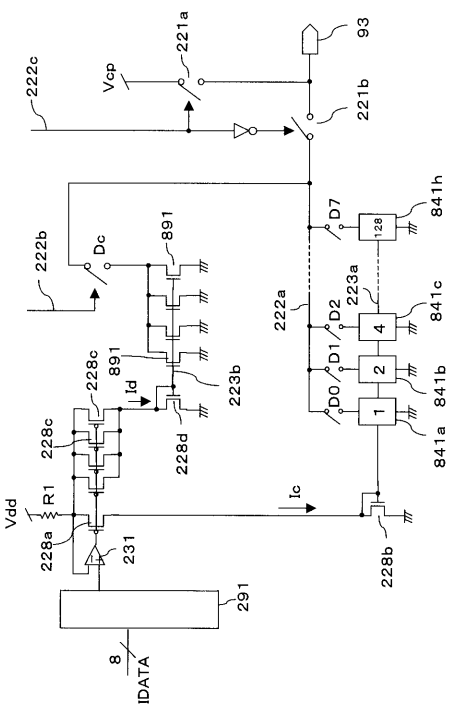
【図９９】



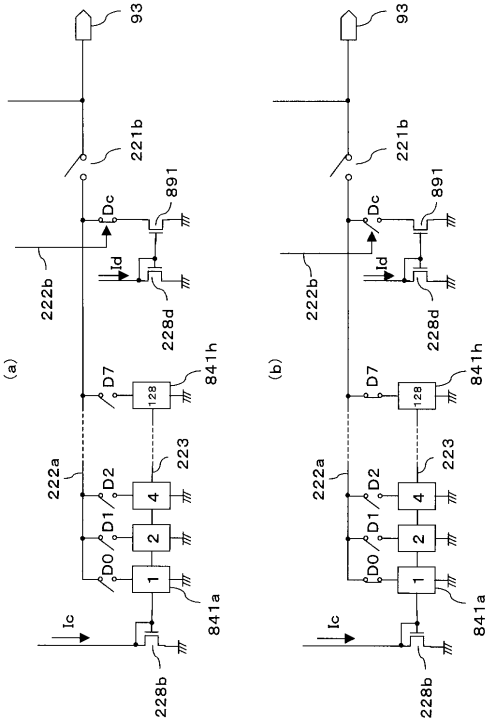
【図１００】



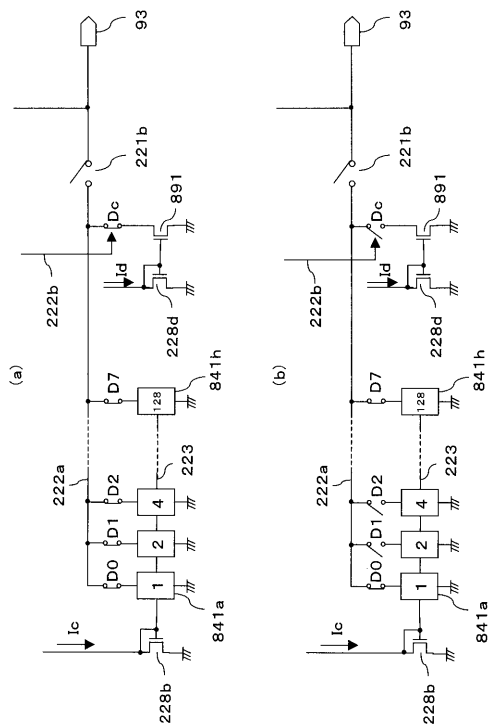
【図１０１】



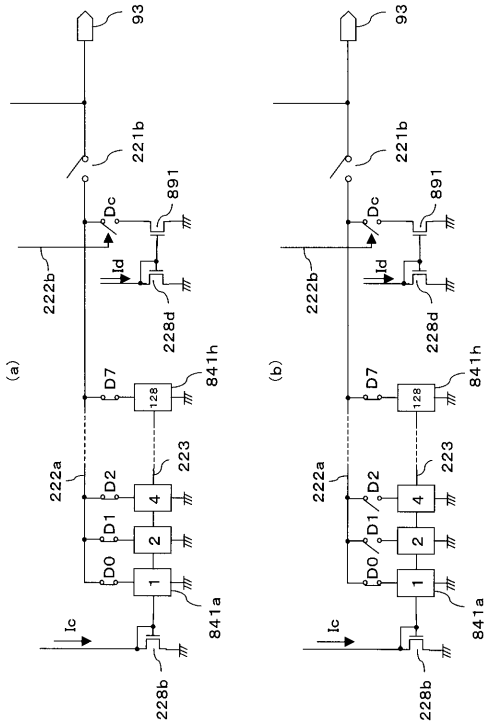
【図１０２】



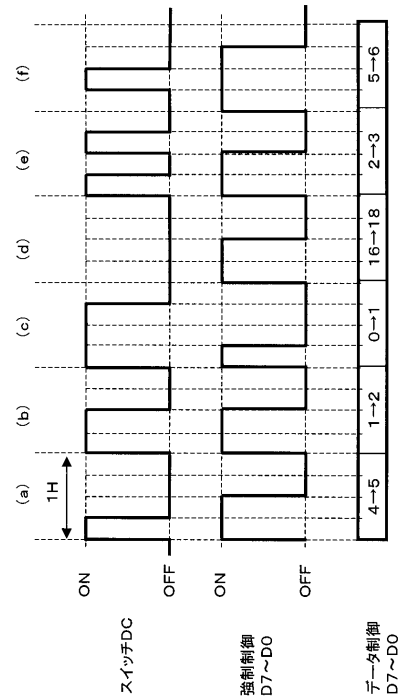
【図１０３】



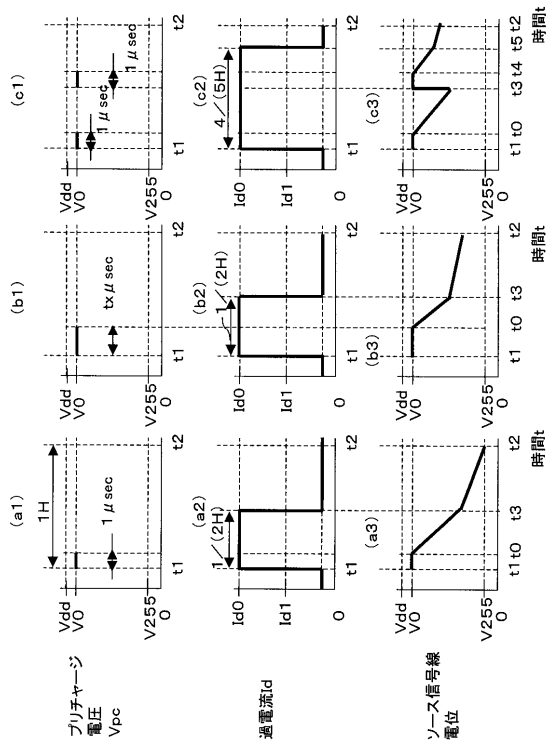
【図１０４】



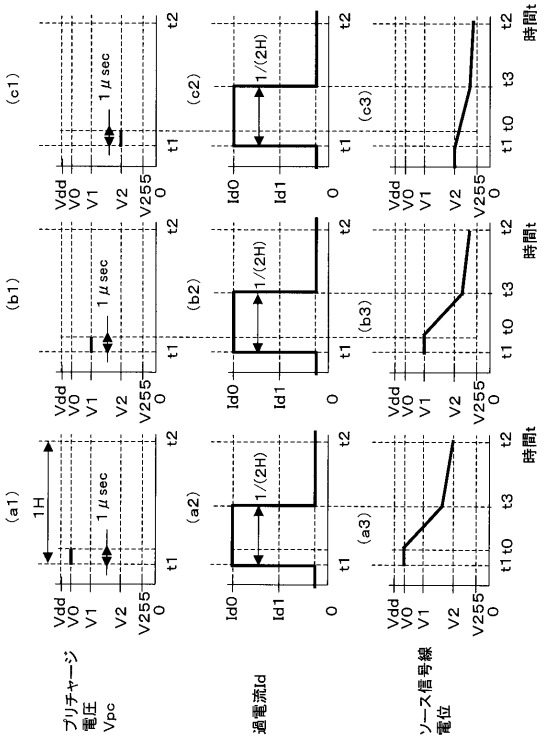
【図１０５】



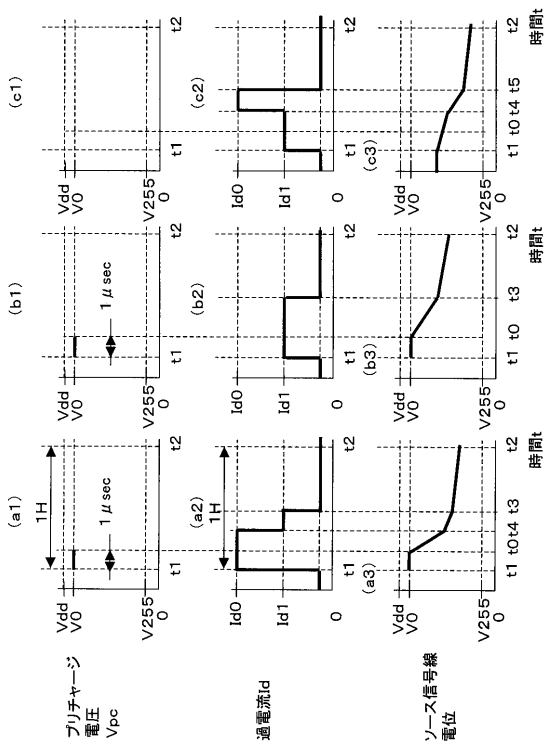
【図１０６】



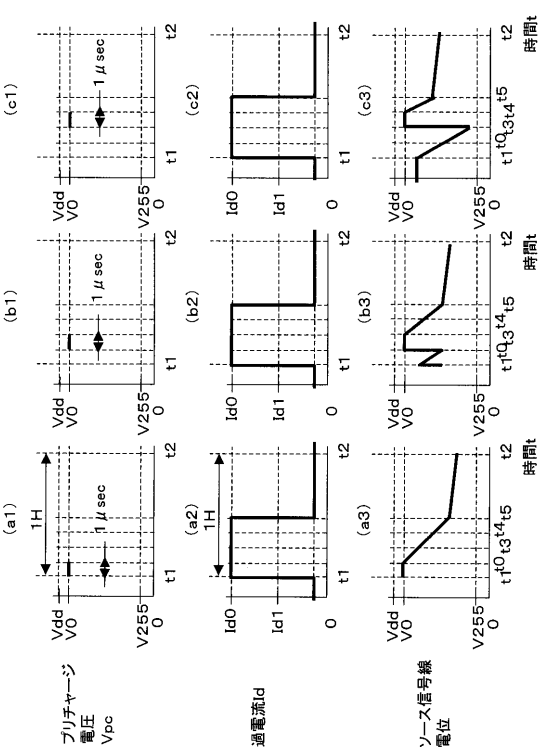
【図１０７】



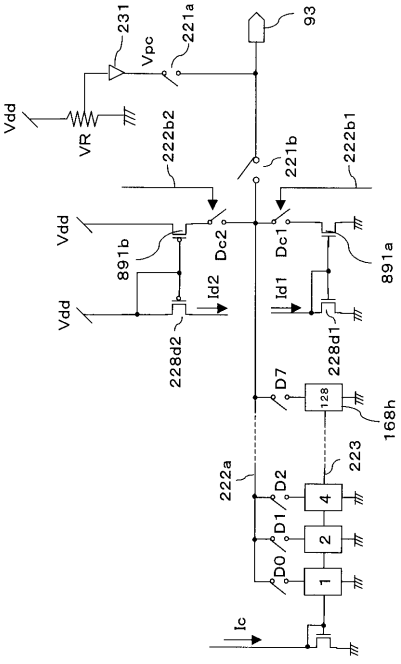
【図１０８】



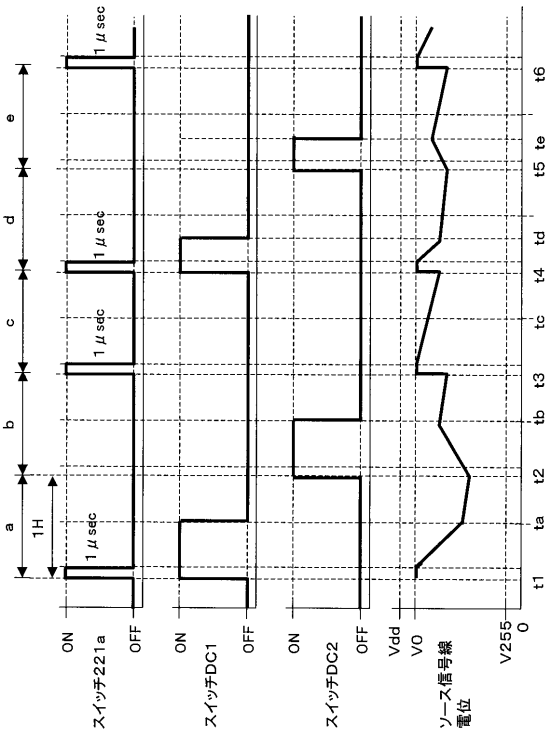
【図１０９】



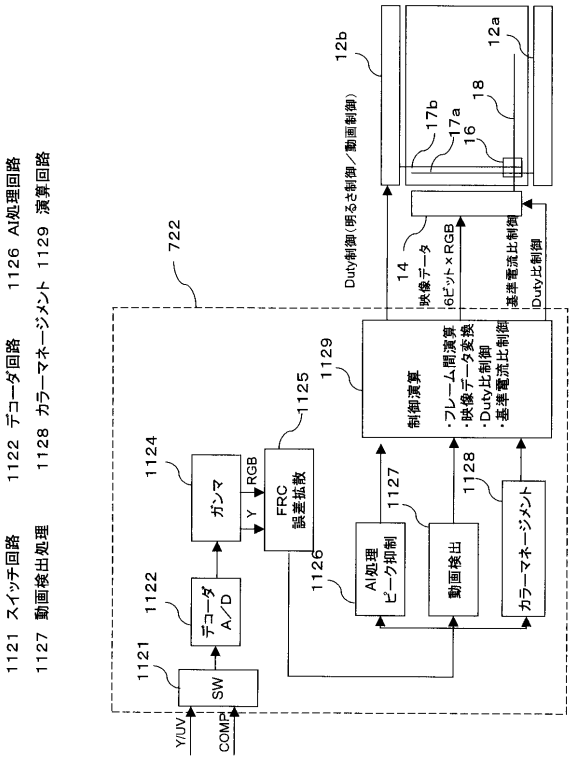
【図１１０】



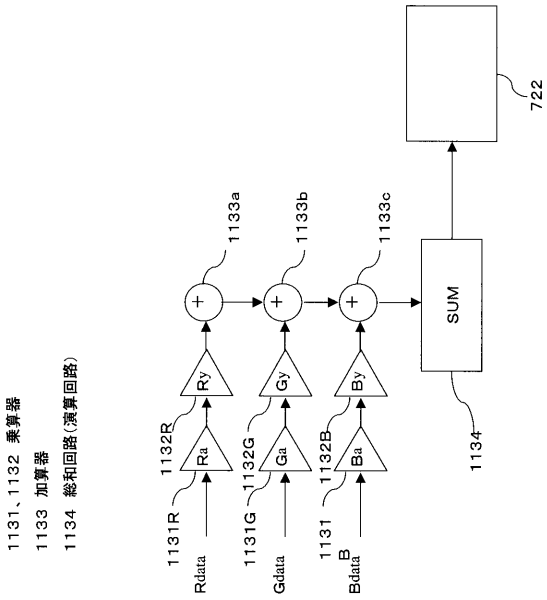
【図１１１】



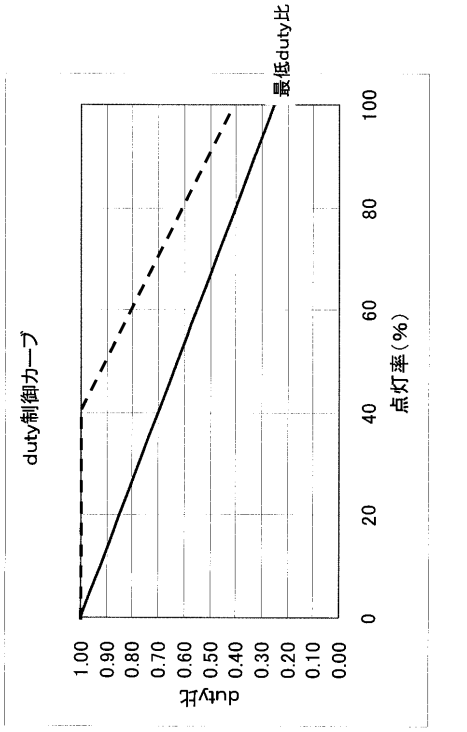
【図１１２】



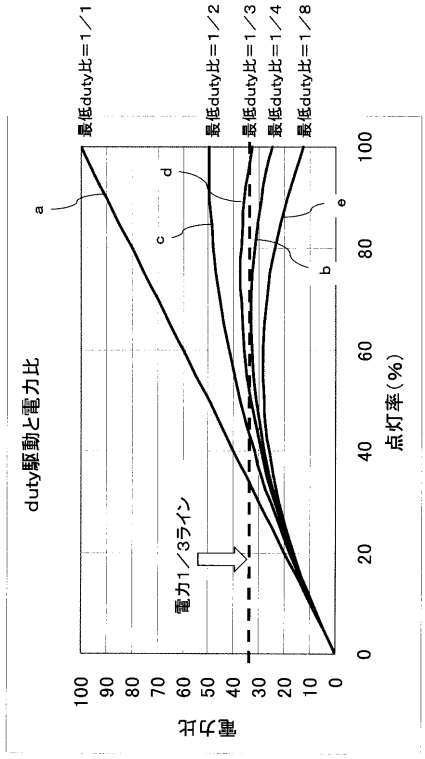
【図１１３】



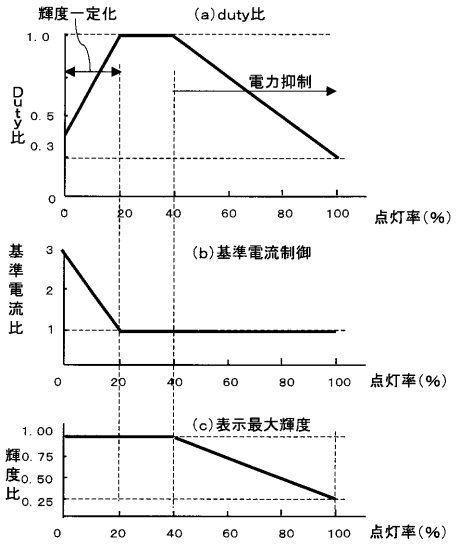
【図１１４】



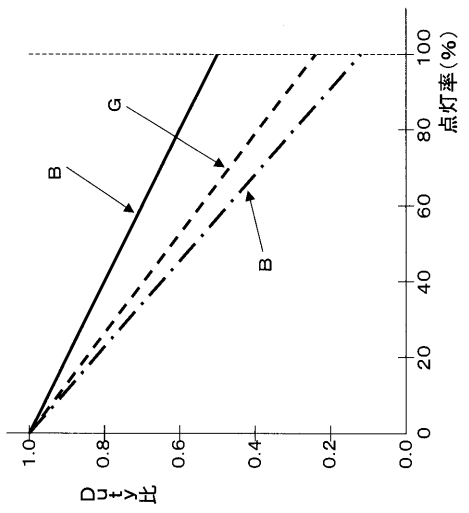
【図１１５】



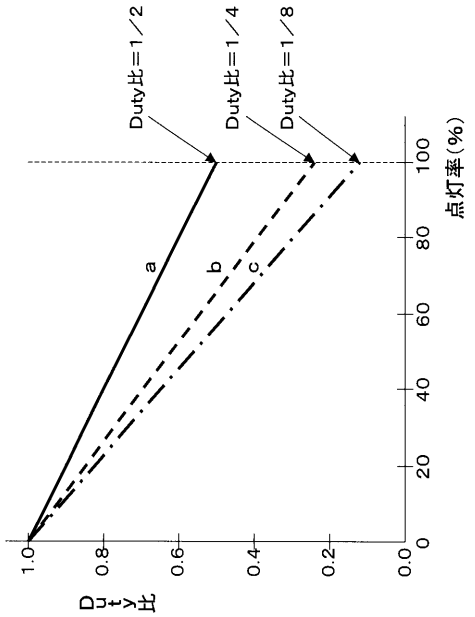
【図１１６】



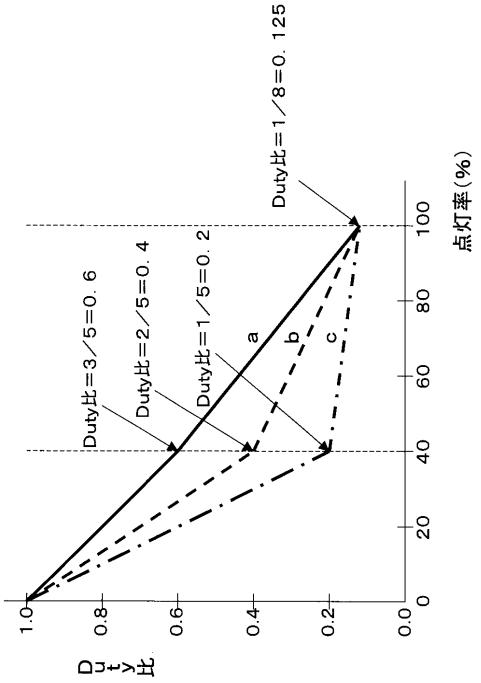
【図１１７】



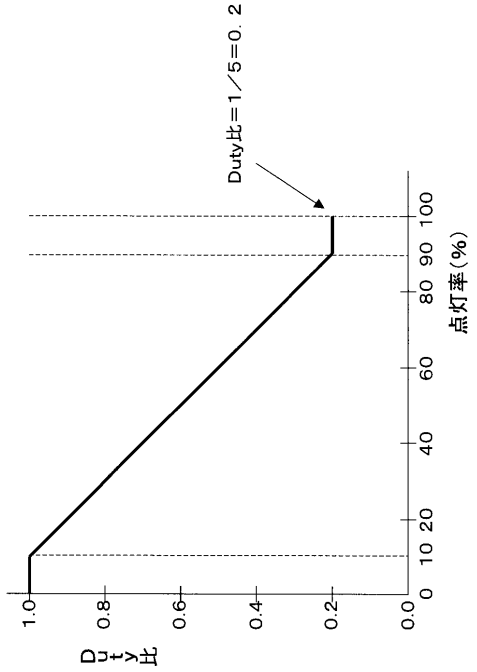
【図１１８】



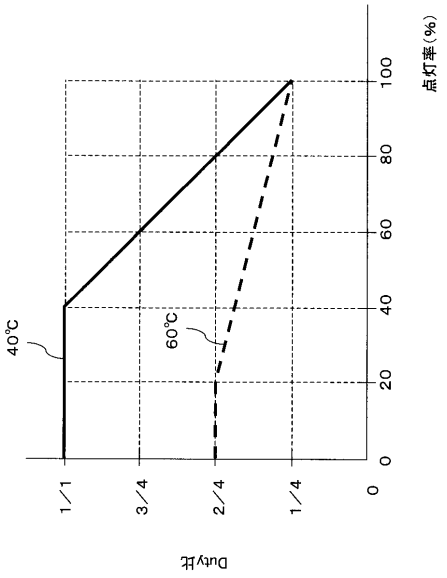
【図１１９】



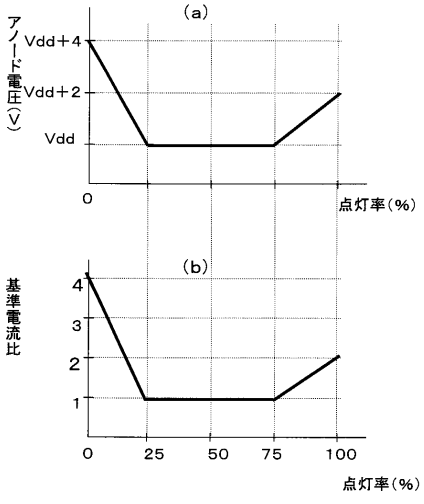
【図１２０】



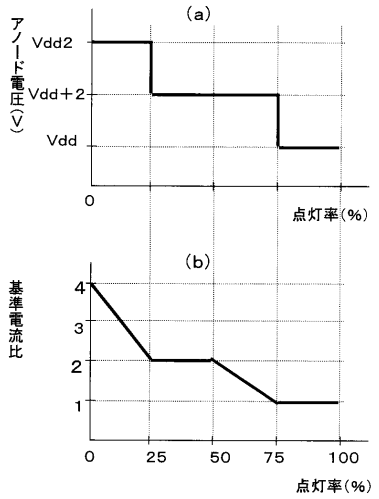
【図１２１】



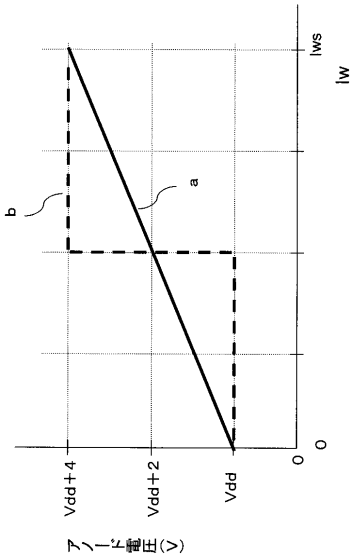
【図１２２】



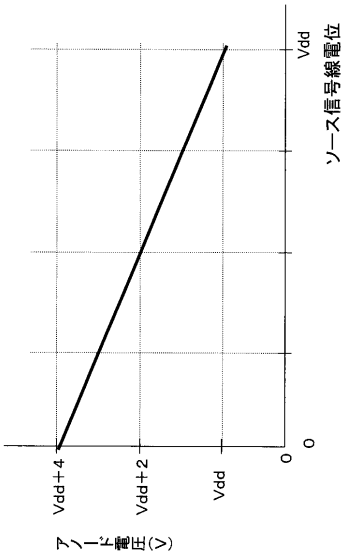
【図１２３】



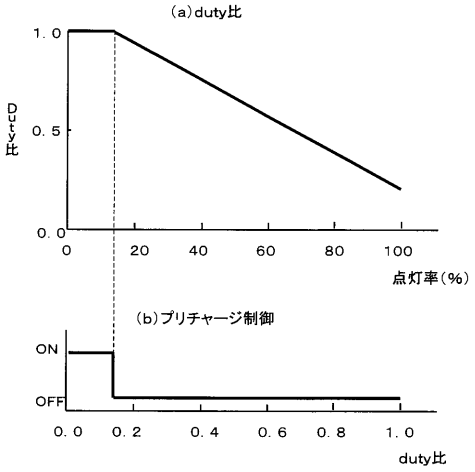
【図１２４】



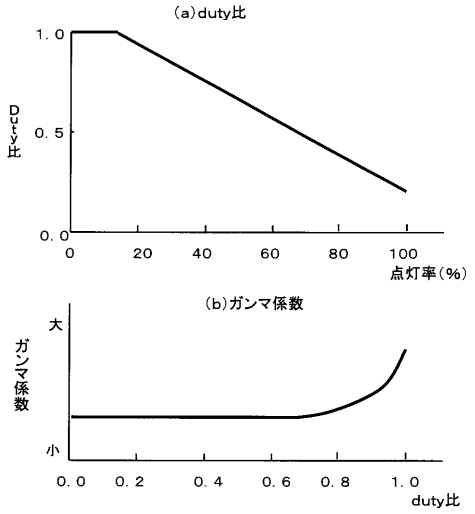
【図１２５】



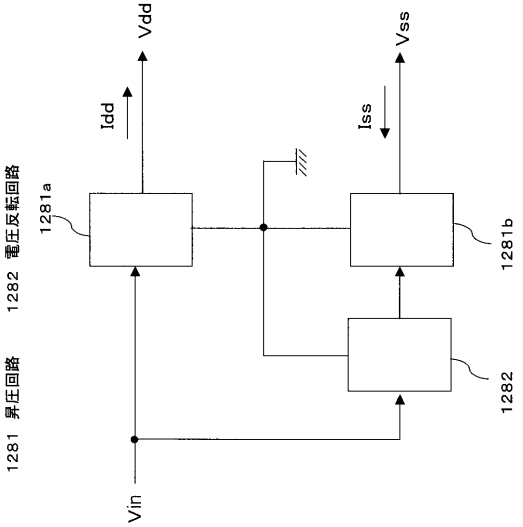
【図１２６】



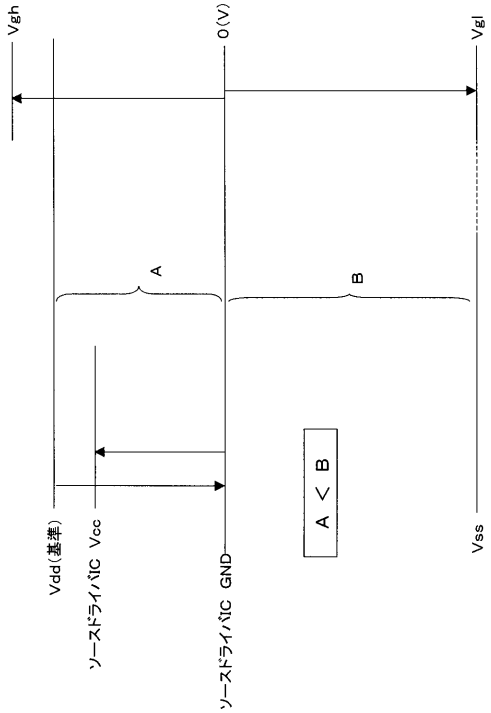
【図１２７】



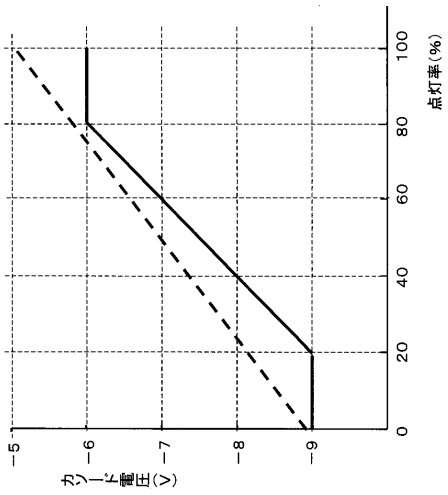
【図１２８】



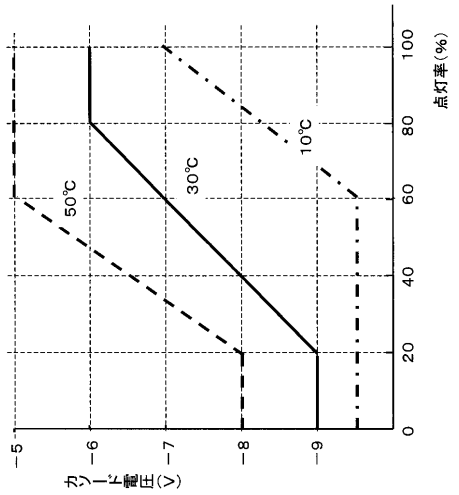
【図１２９】



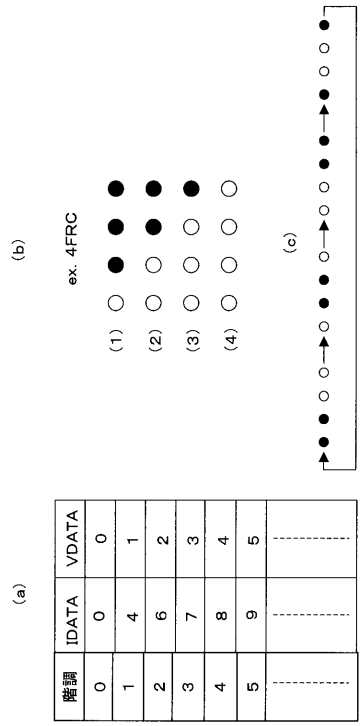
【図１３０】



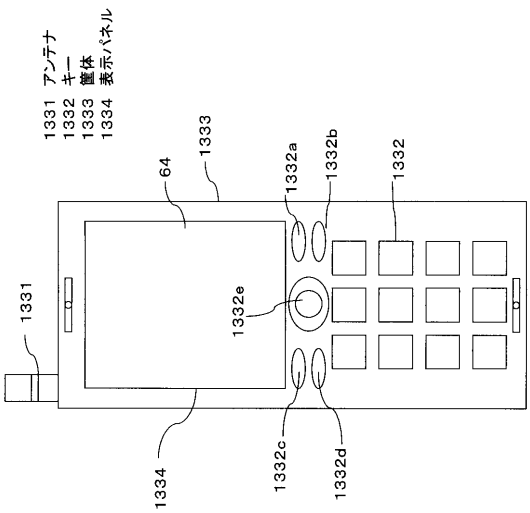
【図１３１】



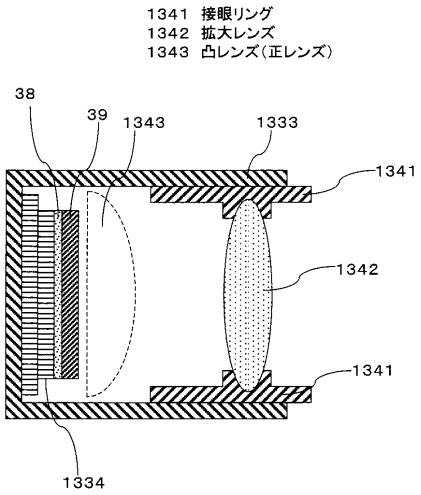
【図１３２】



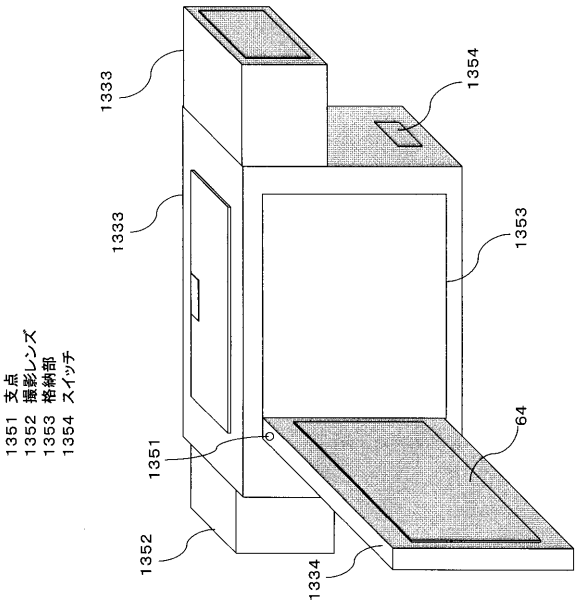
【図１３３】



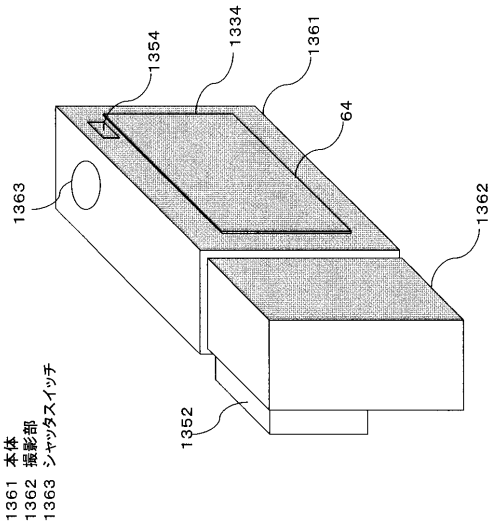
【図１３４】



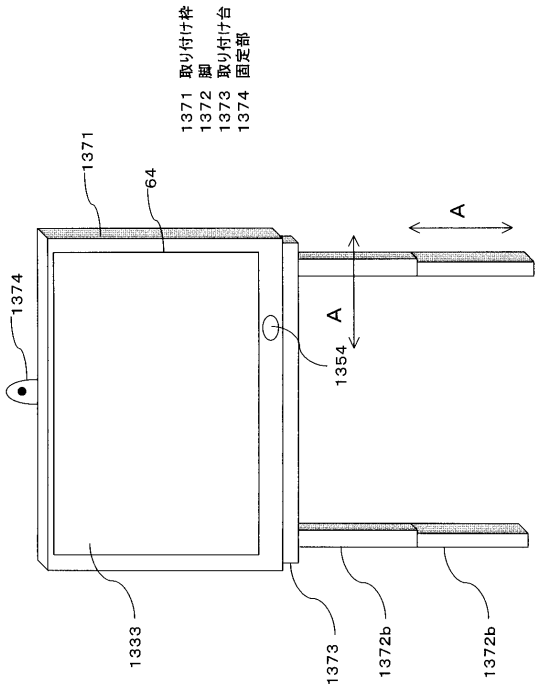
【図１３５】



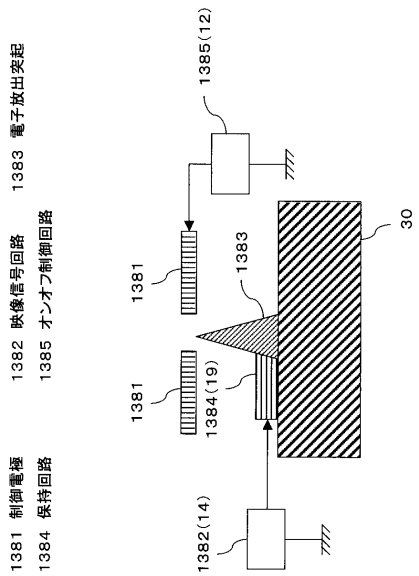
【図１３６】



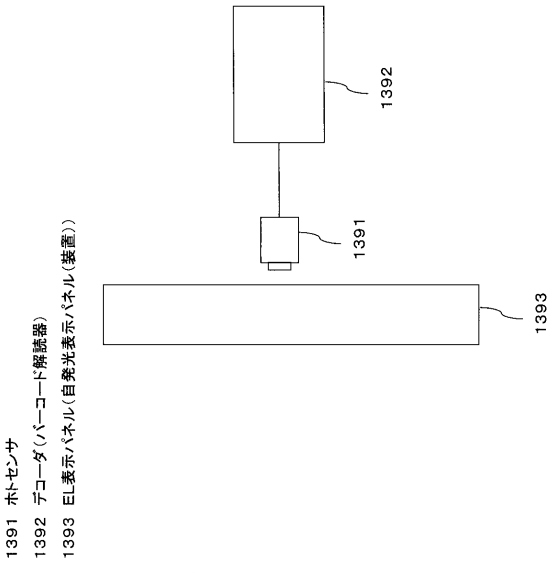
【図１３７】



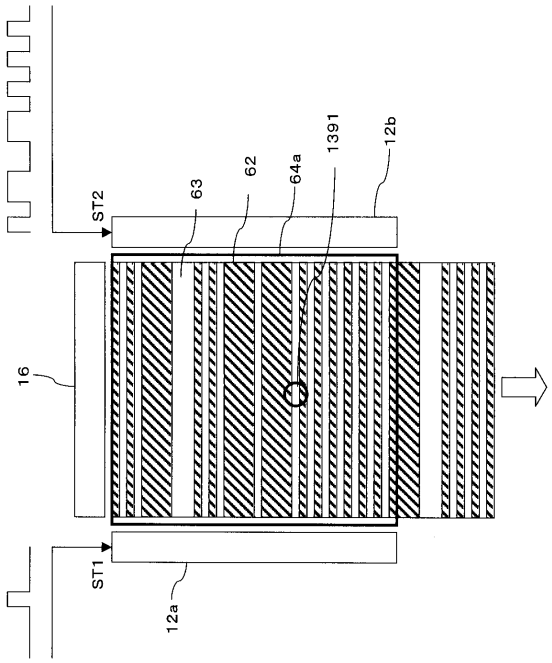
【図１３８】



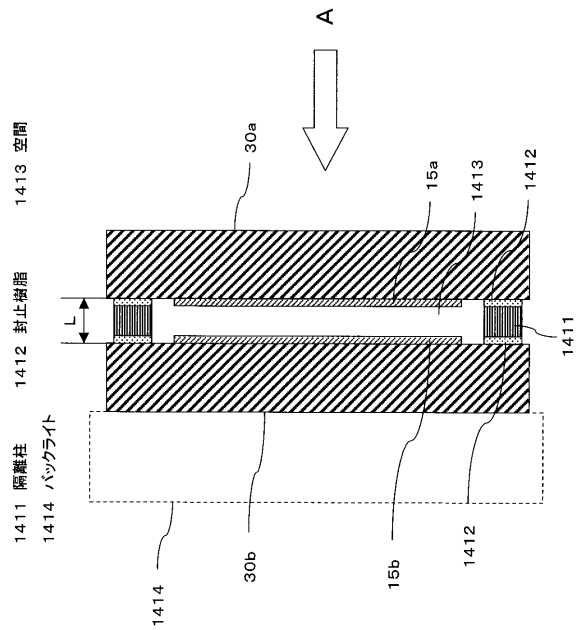
【図１３９】



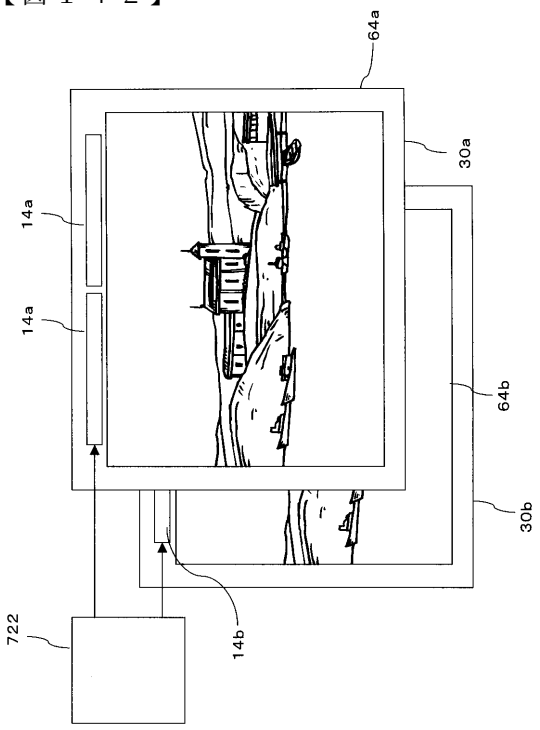
【図１４０】



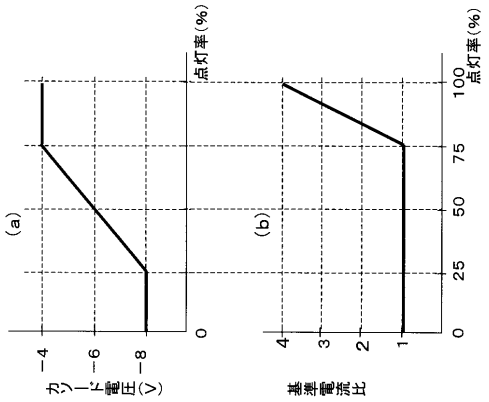
【図１４１】



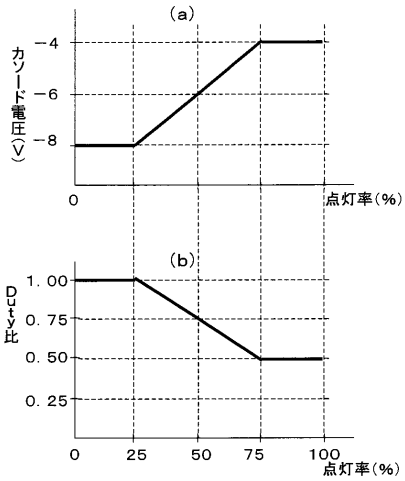
【図１４２】



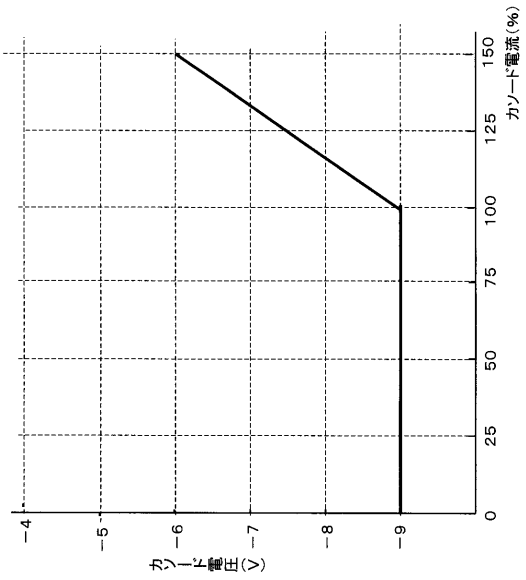
【図１４３】



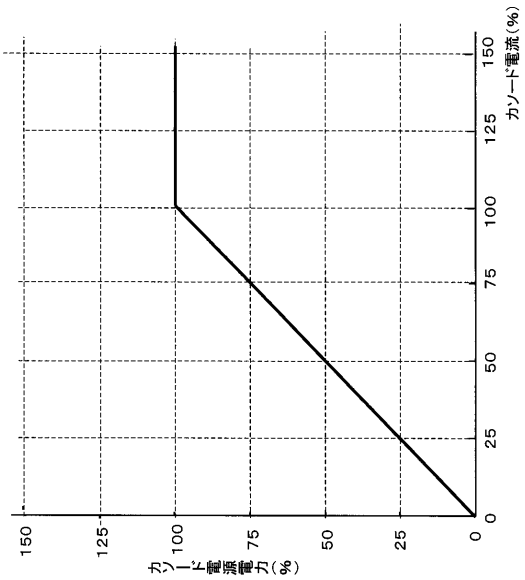
【図１４４】



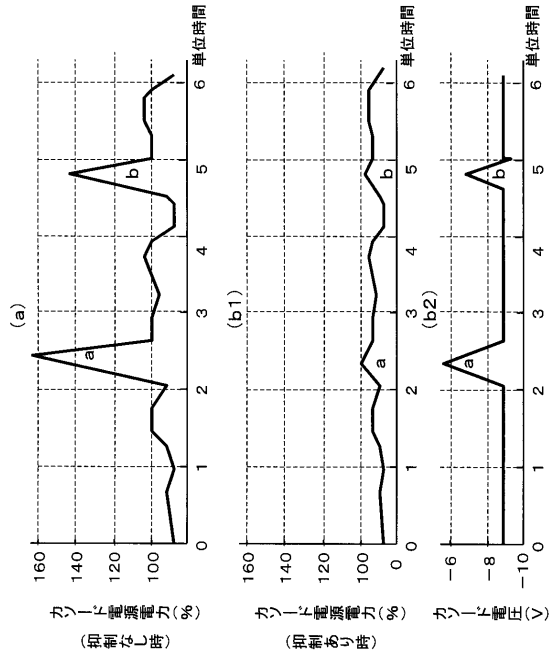
【図１４５】



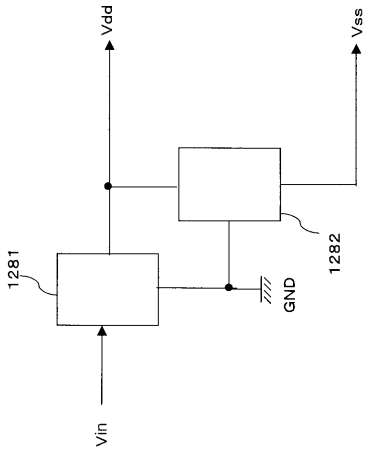
【図１４６】



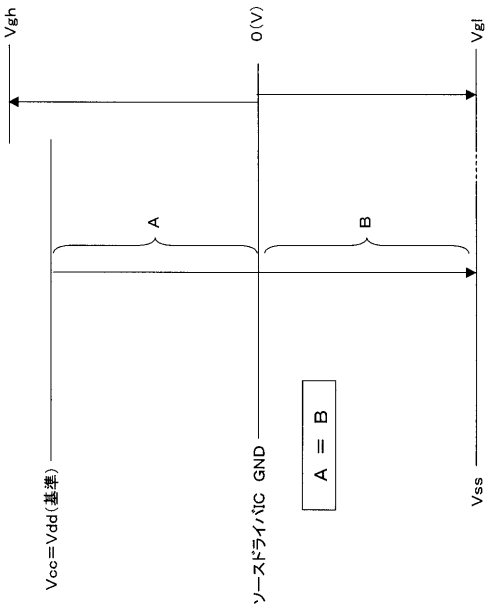
【図１４７】



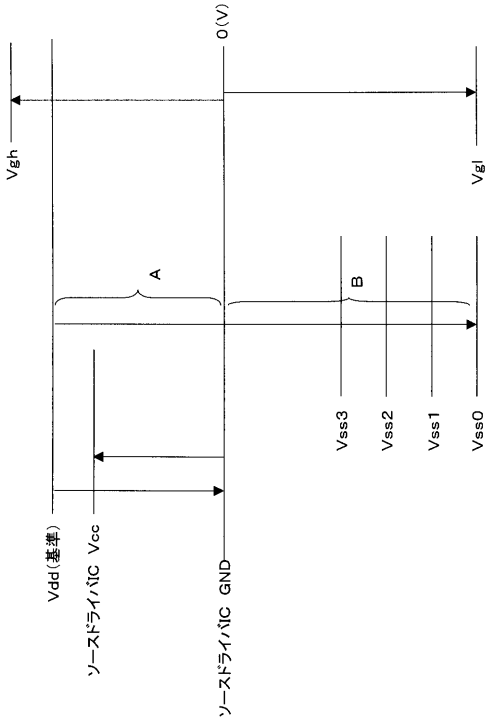
【図１４８】



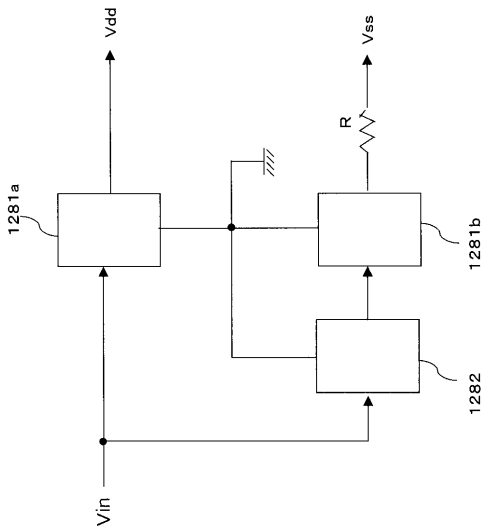
【図１４９】



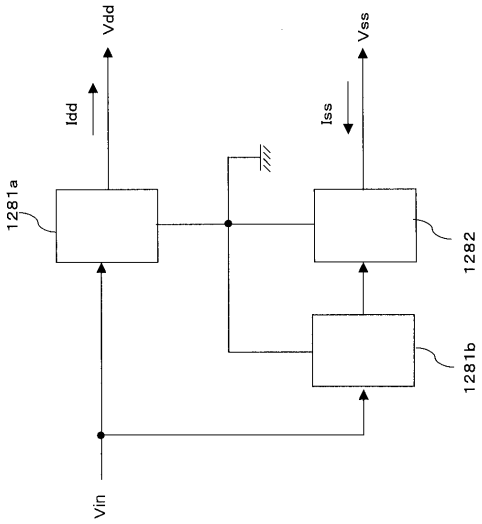
【図１５０】



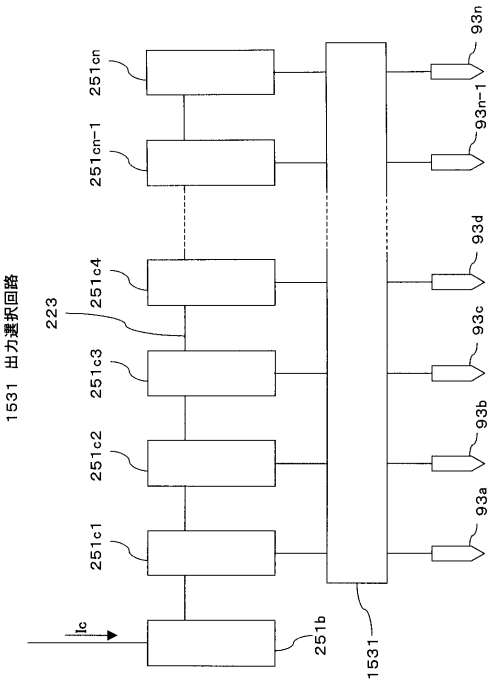
【図１５１】



【図１５２】



【図１５３】



【図１５４】

端子 / H	93a	93b	93c	93d	93e
1	1	n	n-1	n-2	n-3
2	2	1	n	n-1	n-2
3	3	2	1	n	n-1
4	4	3	2	1	n
5	5	4	3	2	1
6	6	5	4	3	2
7	7	6	5	4	3

【図１５５】

端子 H	93a	93b	93c	93d	93e
1	1	n	n-1	n-2	n-3
2	3	2	1	n	n-1
3	5	4	3	2	1
4	7	6	5	4	3
5	9	8	7	6	5
6	11	10	9	8	7
7	13	12	11	10	9

【図１５６】

(a)偶数F

端子 H	93a	93b	93c	93d	93e
1	2	n	n-2	n-4	n-6
3	4	2	n	n-2	n-4
5	6	4	2	n	n-2
7	8	6	4	2	n
9	10	8	6	4	2
11	12	10	8	6	4

(b)奇数F

端子 H	93a	93b	93c	93d	93e
2	1	n-1	n-3	n-5	n-7
4	3	1	n-1	n-3	n-5
6	5	3	1	n-1	n-3
8	7	5	3	1	n-1
10	9	7	5	3	1
12	11	9	7	5	3

【図１５７】

(a)偶数F

端子 H	93a	93b	93c	93d	93e
1	1	n	n-1	n-2	n-3
3	2	1	n	n-1	n-2
5	3	2	1	n	n-1
7	4	3	2	1	n
9	5	4	3	2	1
11	6	5	4	3	2

(b)奇数F

端子 H	93a	93b	93c	93d	93e
2	1	n	n-1	n-2	n-3
4	2	1	n	n-1	n-2
6	3	2	1	n	n-1
8	4	3	2	1	n
10	5	4	3	2	1
12	6	5	4	3	2

【図１５８】

端子 F	93a	93b	93c	93d	93e
1	1	n	n-1	n-2	n-3
2	2	1	n	n-1	n-2
3	3	2	1	n	n-1
4	4	3	2	1	n
5	5	4	3	2	1
6	6	5	4	3	2
7	7	6	5	4	3

【図１５９】

H	1Fの基準電流	2Fの基準電流
1	Ic1	Ic2
2	Ic2	Ic1
3	Ic1	Ic2
4	Ic2	Ic1
5	Ic1	Ic2
6	Ic2	Ic1

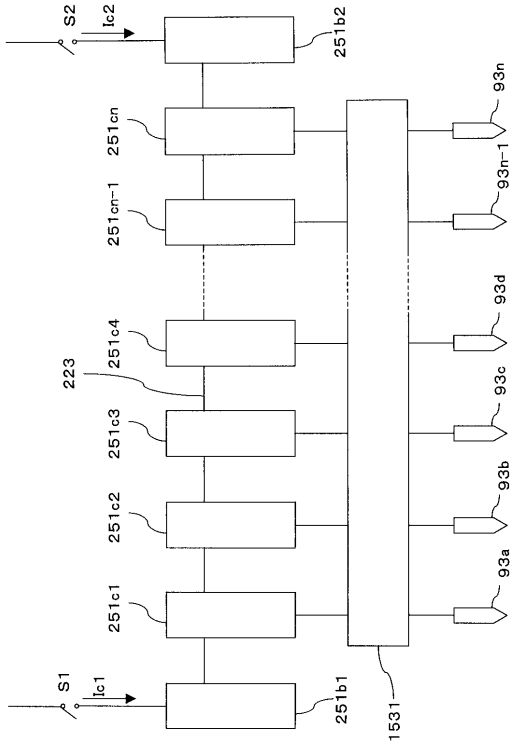
【図１６０】

H	基準電流
1B	Ic1
1A	Ic2
2B	Ic1
2A	Ic2
3B	Ic1
3A	Ic2

【図１６１】

F	基準電流
1	Ic1
2	Ic2
3	Ic1
4	Ic2
5	Ic1
6	Ic2

【図１６２】



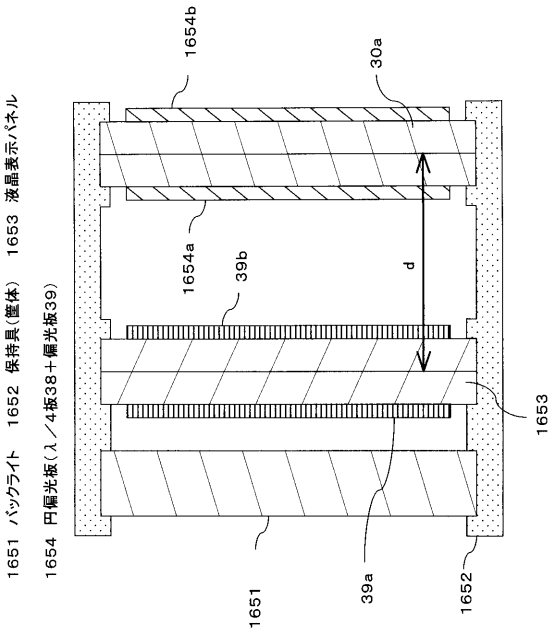
【図１６３】

H	1Fの基準電流	2Fの基準電流
1	Ic1	Ic2
2	Ic2	Ic1
3	Ic1	Ic2
4	Ic2	Ic1
5	Ic1	Ic2
6	Ic2	Ic1

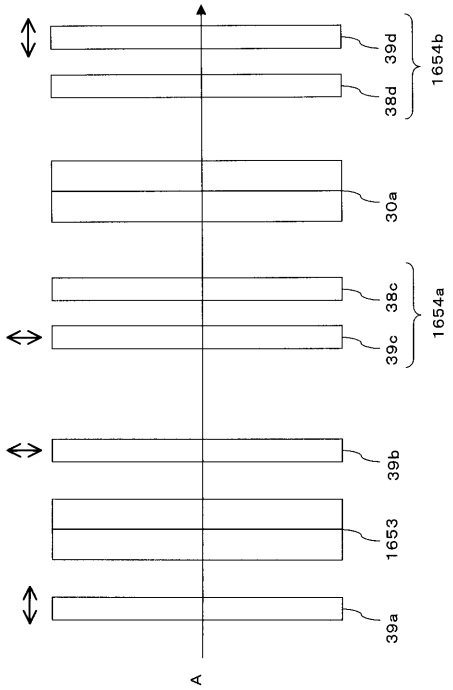
【図１６４】

F	基準電流
1	Ic1
2	Ic1
3	Ic2
4	Ic2
5	Ic1
6	Ic2

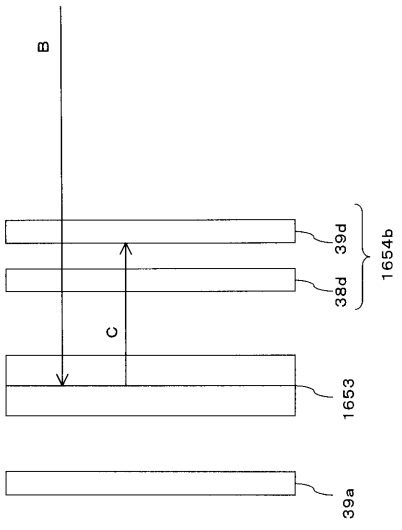
【図１６５】



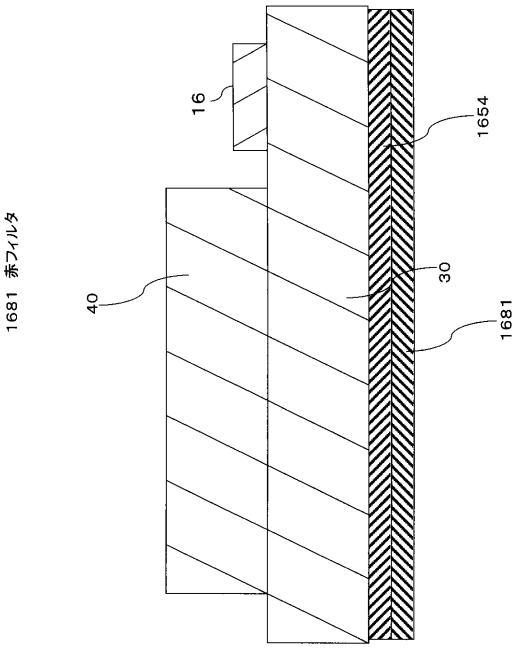
【図１６６】



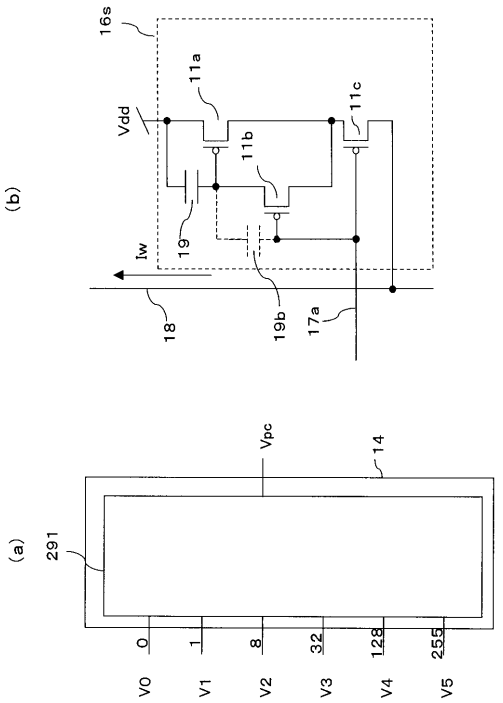
【図１６７】



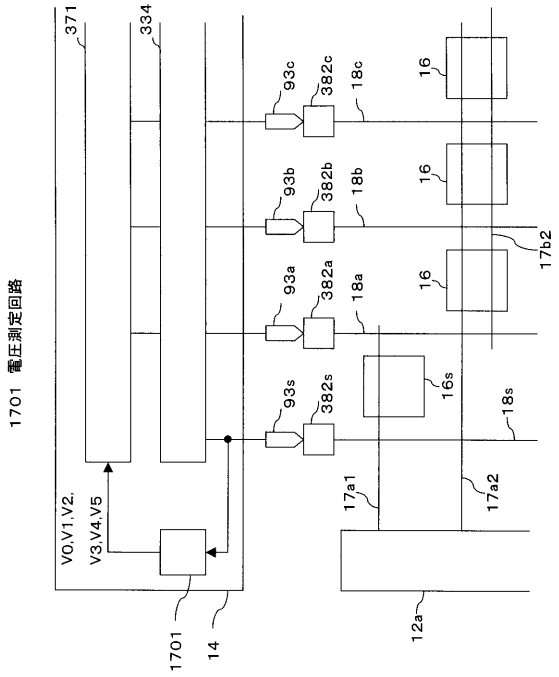
【図１６８】



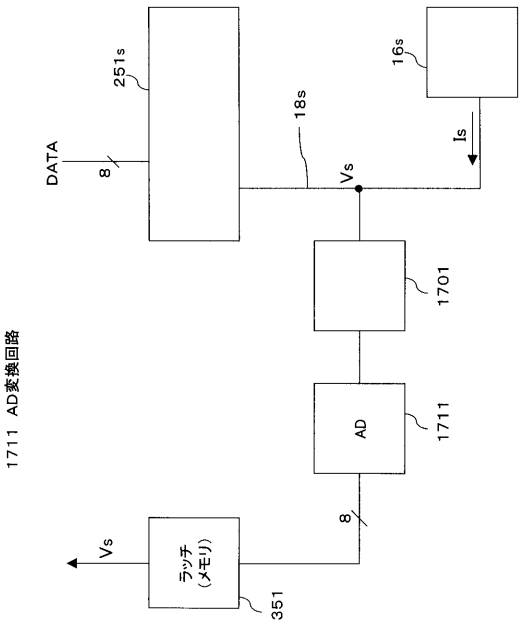
【図１６９】



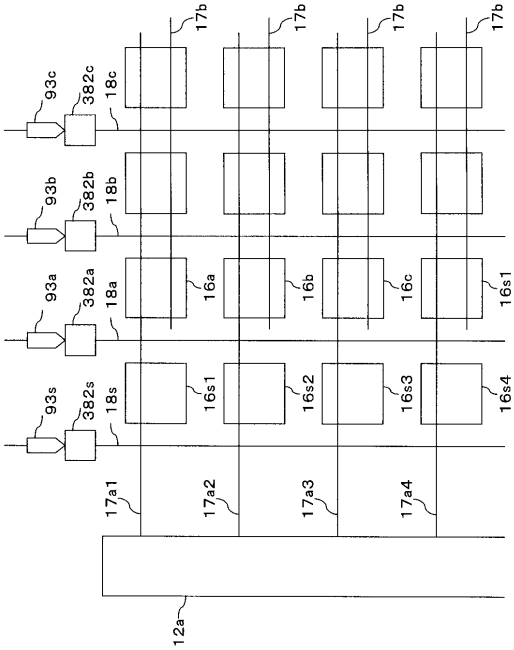
【図１７０】



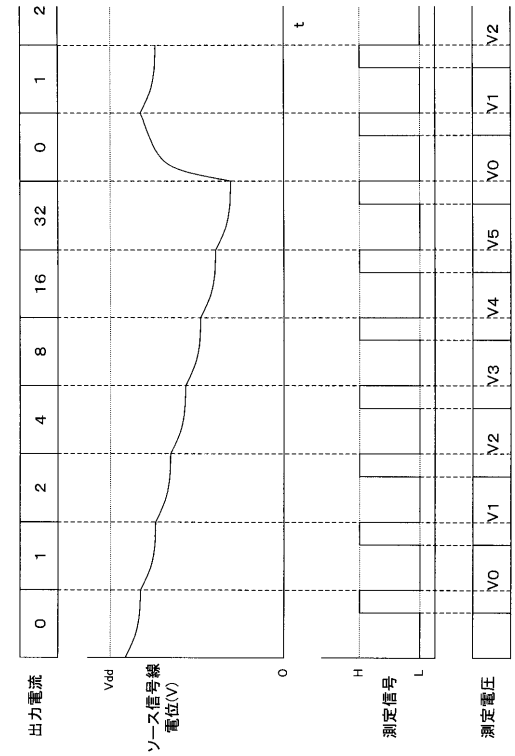
【図１７１】



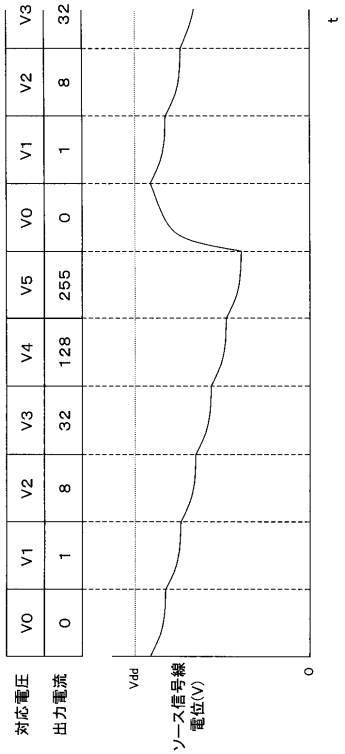
【図１７２】



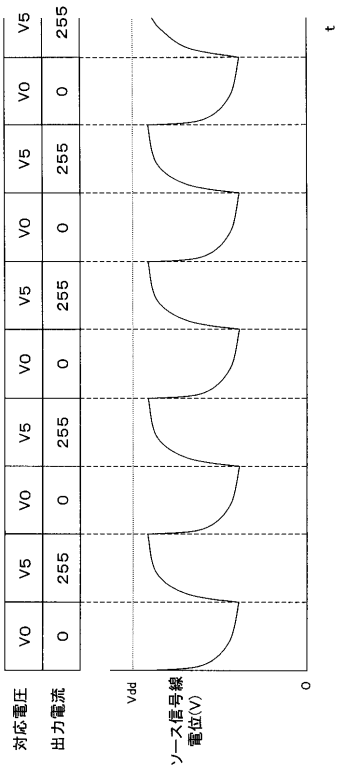
【図１７３】



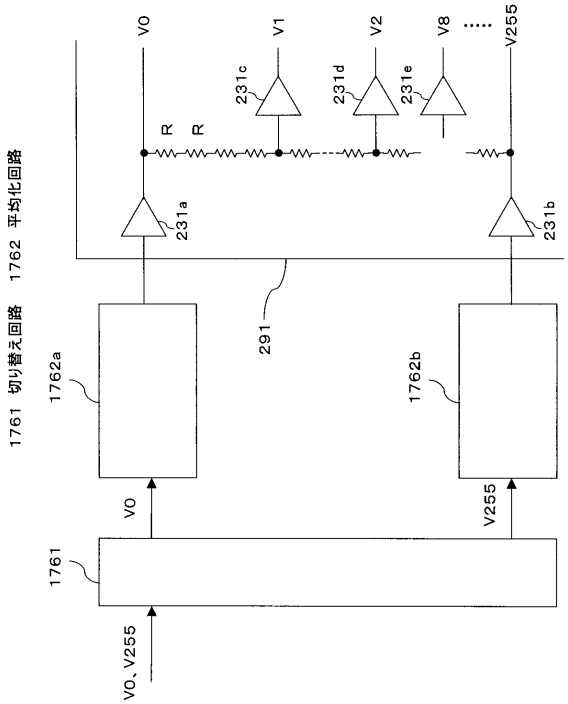
【図１７４】



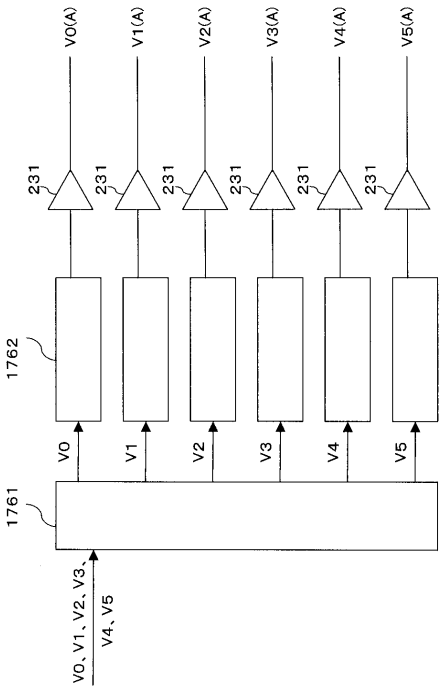
【図１７５】



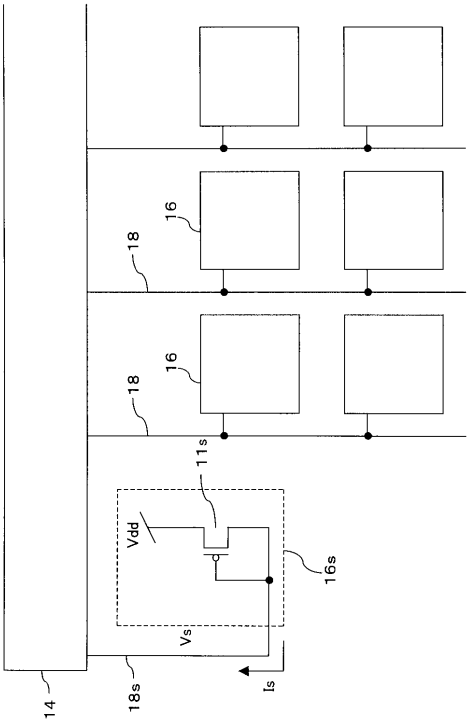
【図１７６】



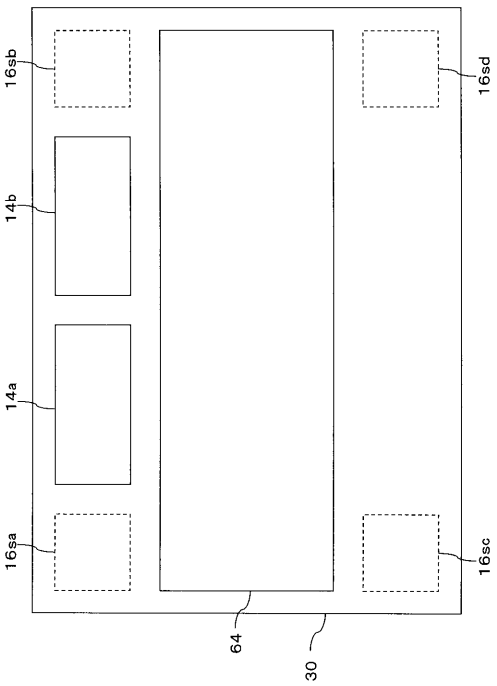
【図１７７】



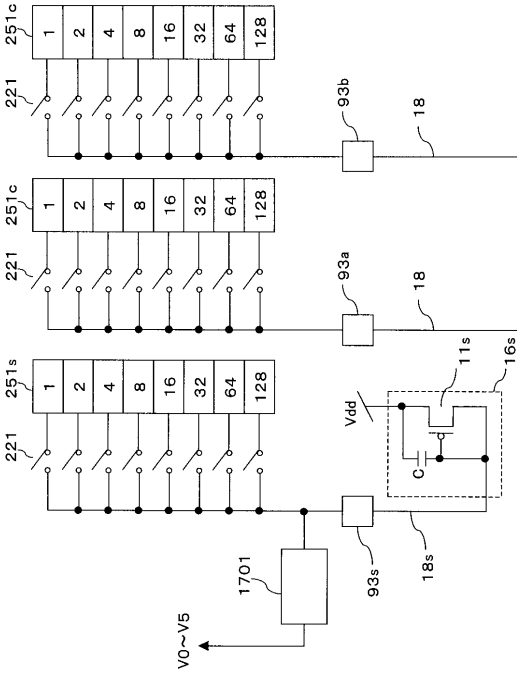
【図１７８】



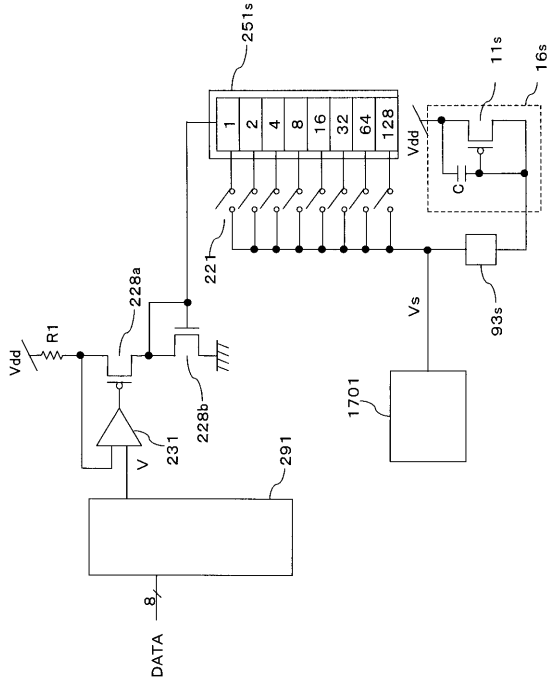
【図１７９】



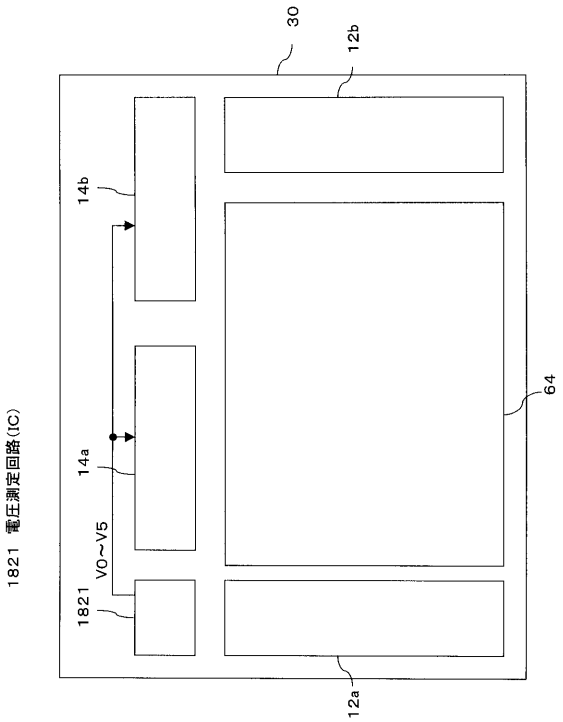
【図１８０】



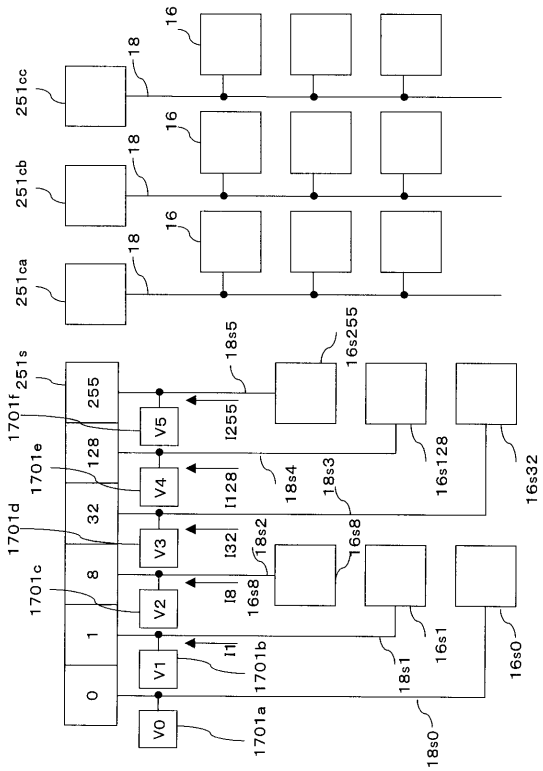
【図１８１】



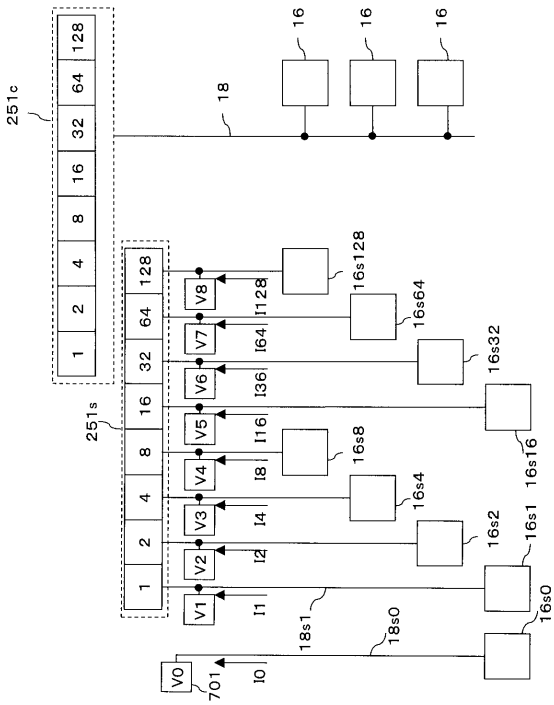
【図１８２】



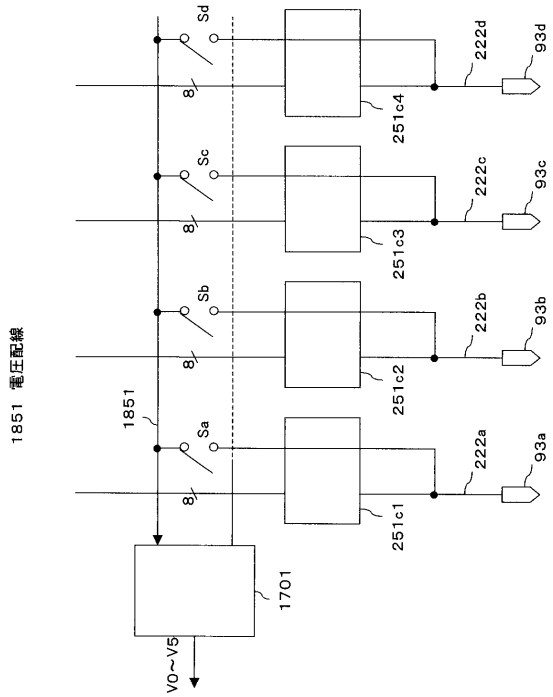
【図１８３】



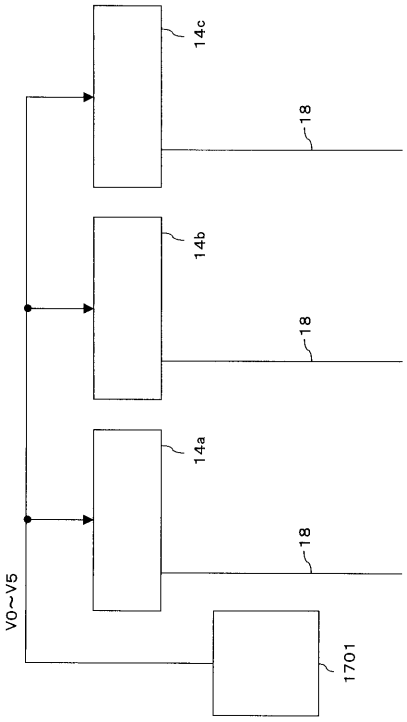
【図１８４】



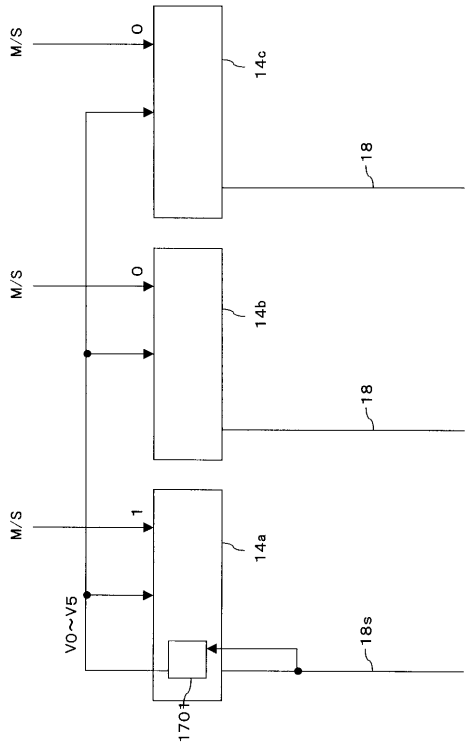
【図１８５】



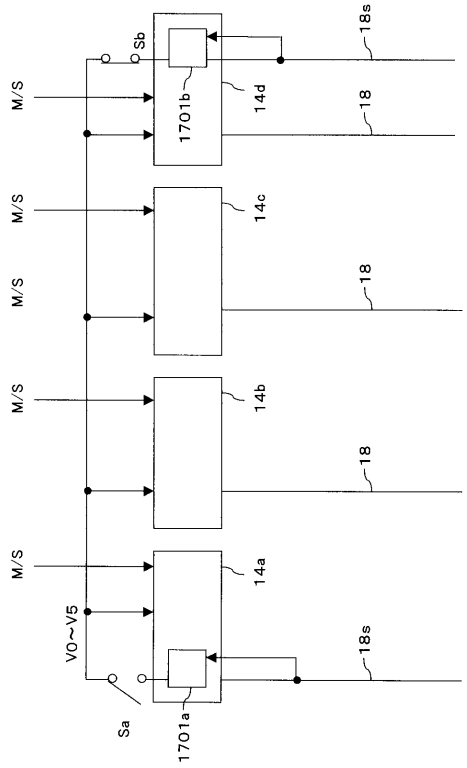
【図１８６】



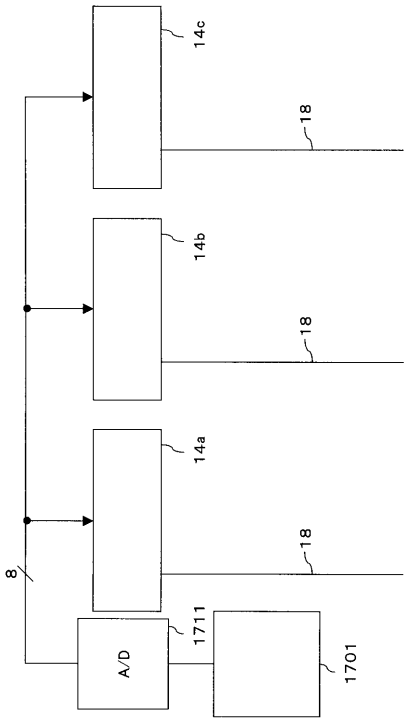
【図１８７】



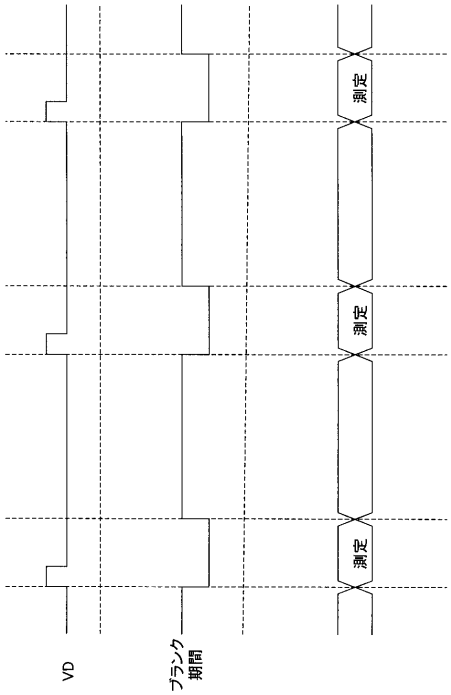
【図１８８】



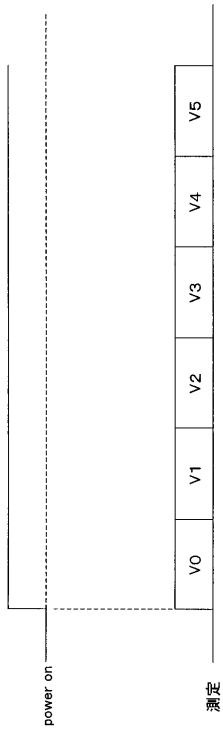
【図１８９】



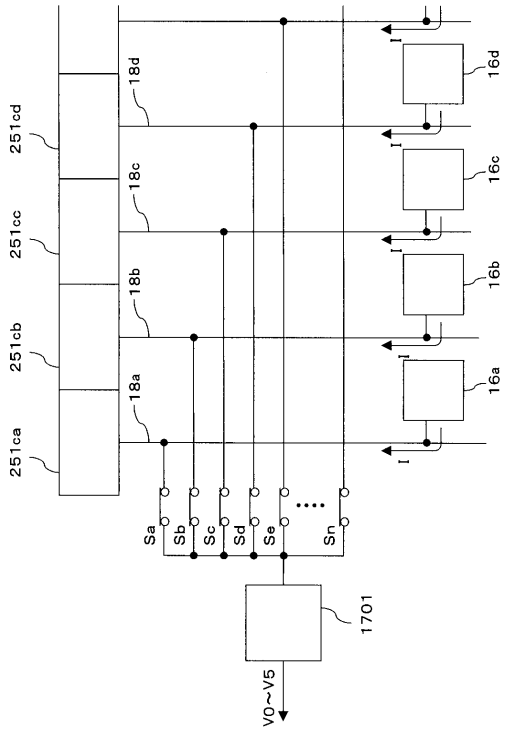
【図１９０】



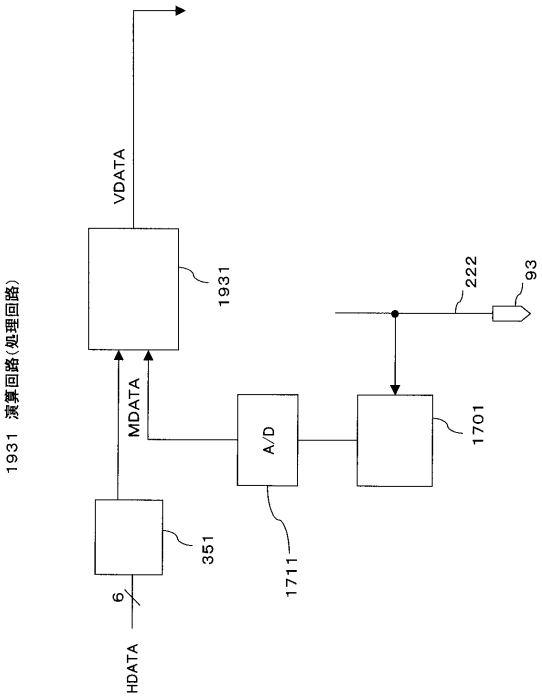
【図１９１】



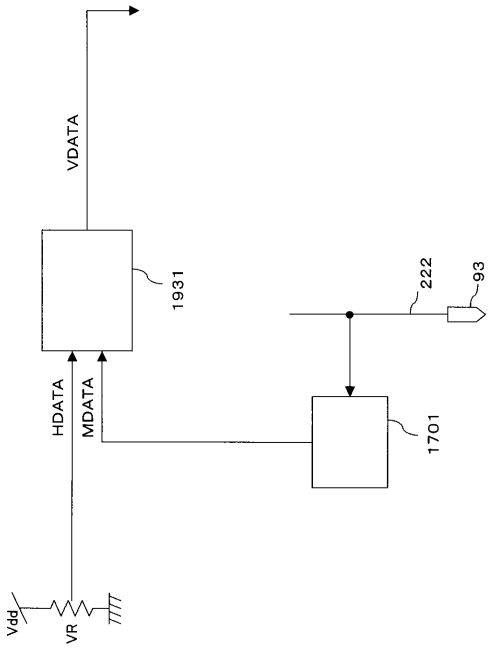
【図１９２】



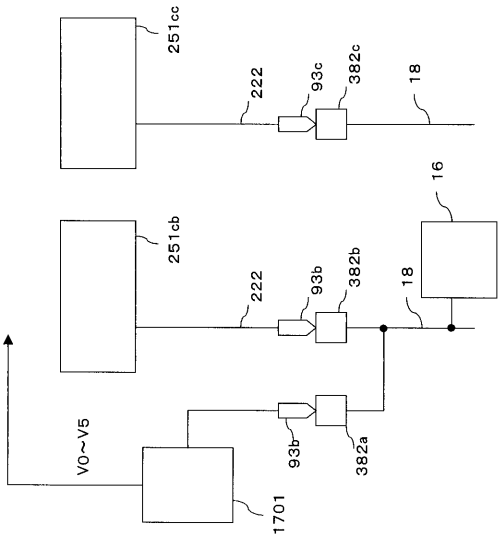
【図１９３】



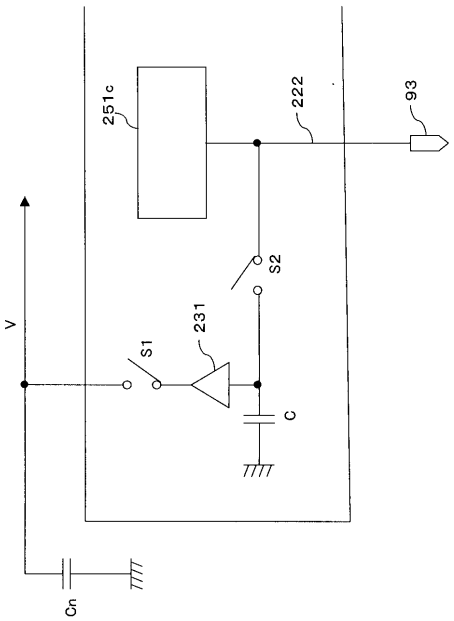
【図１９４】



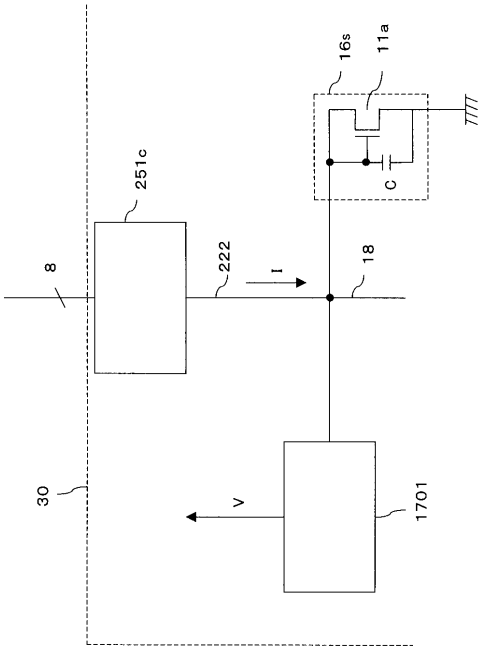
【図１９５】



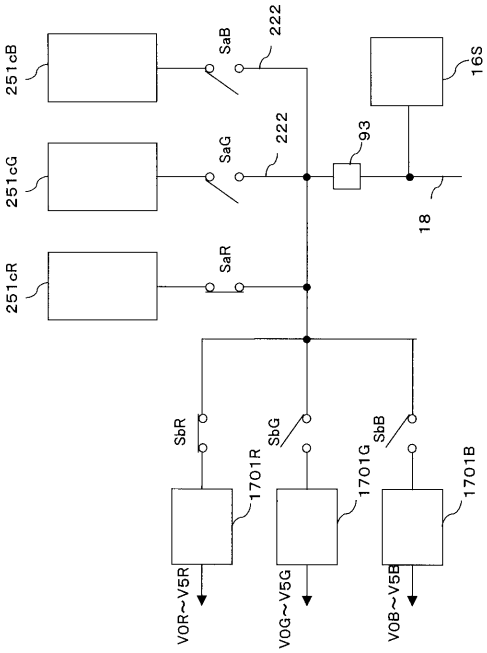
【図１９６】



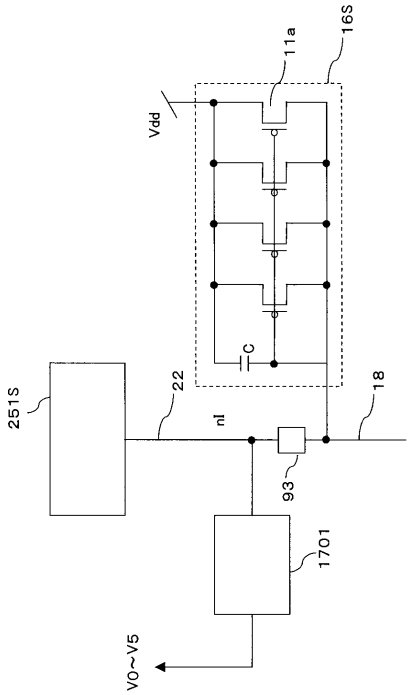
【図１９７】



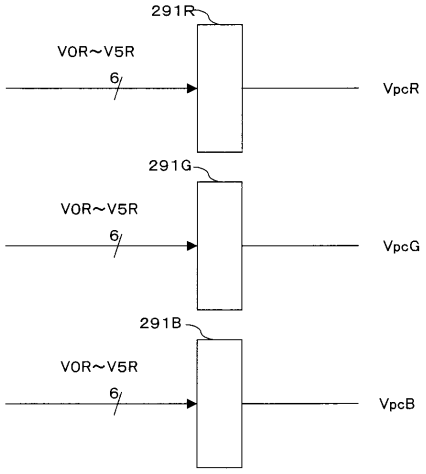
【図１９８】



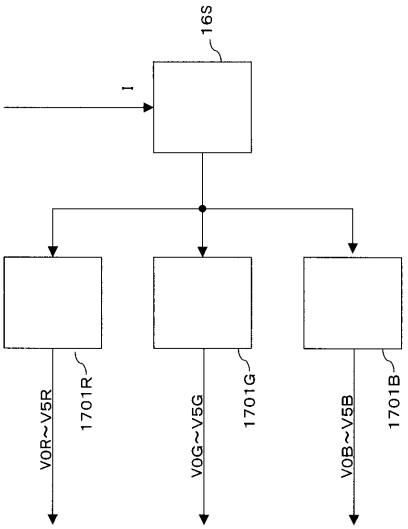
【図１９９】



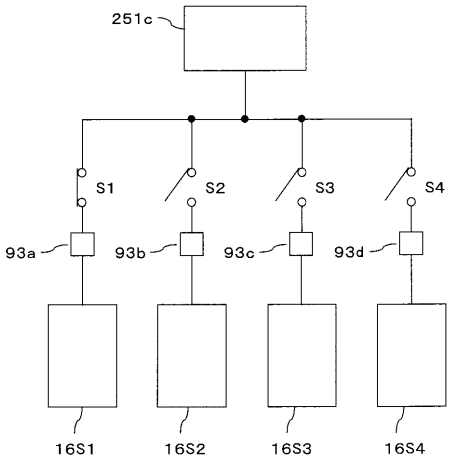
【図２００】



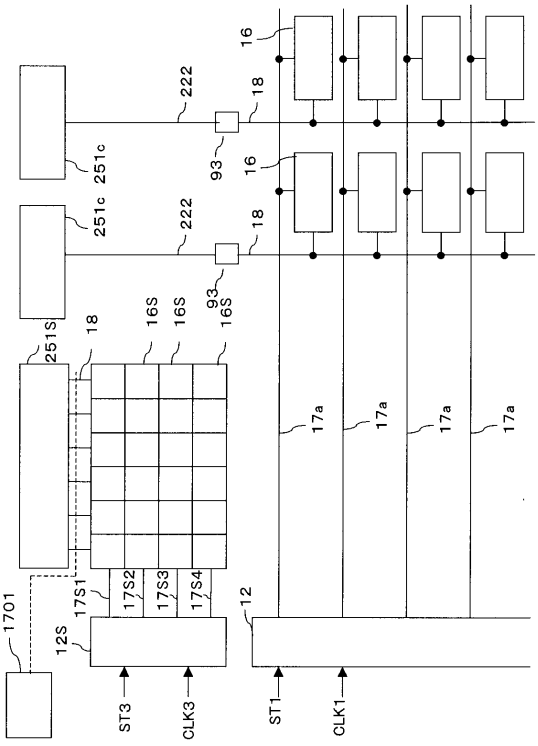
【図２０１】



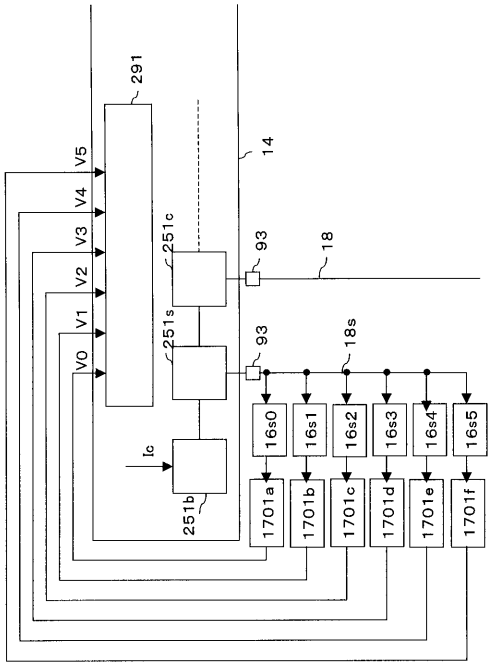
【図２０２】



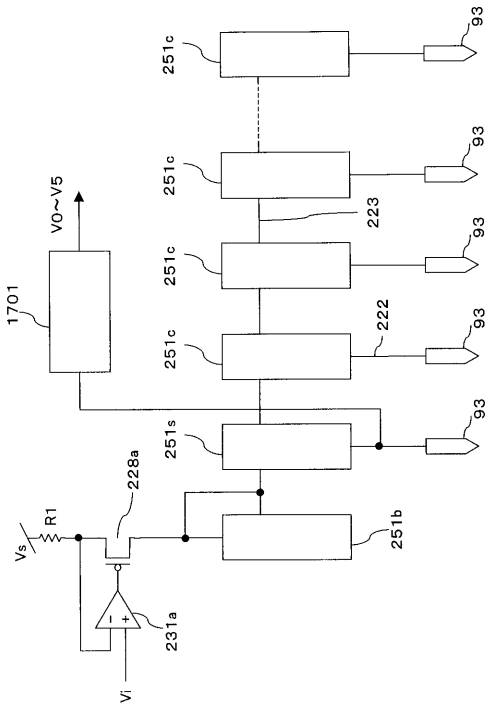
【図２０３】



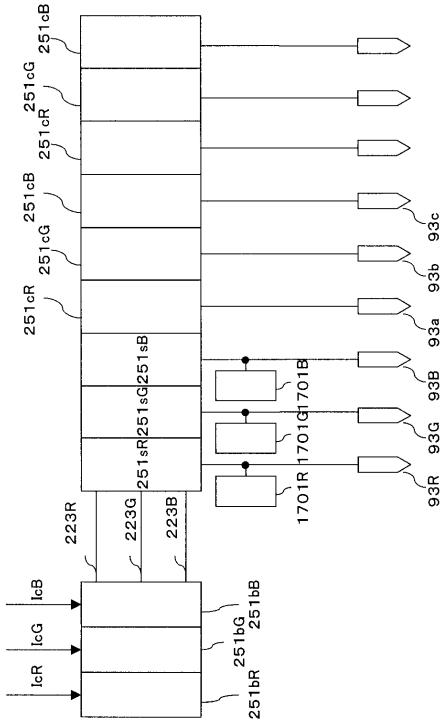
【図２０４】



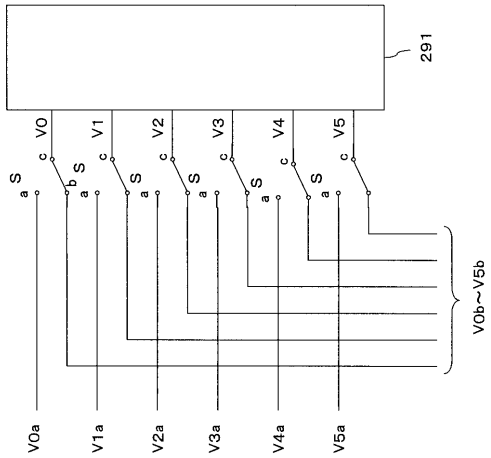
【図２０５】



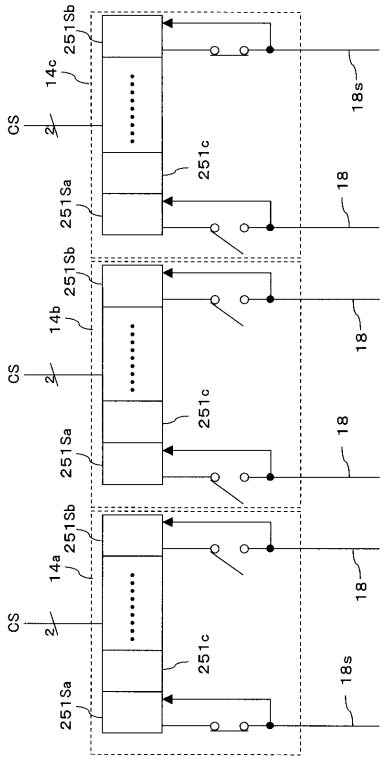
【図２０６】



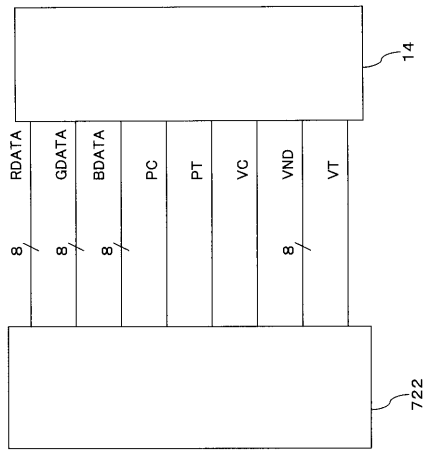
【図２０７】



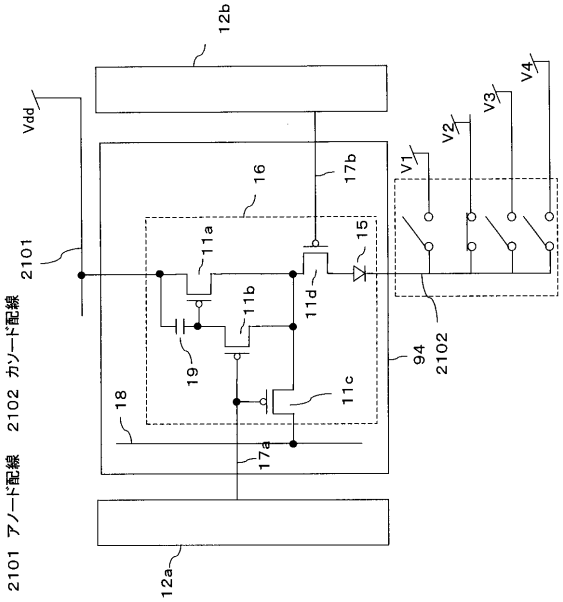
【図２０８】



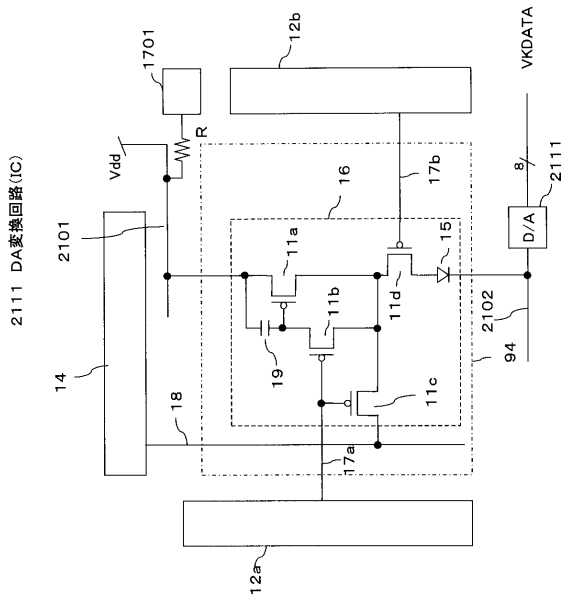
【図２０９】



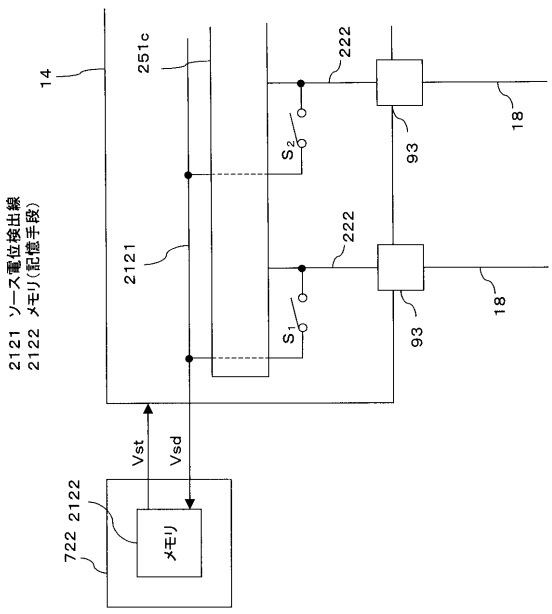
【図２１０】



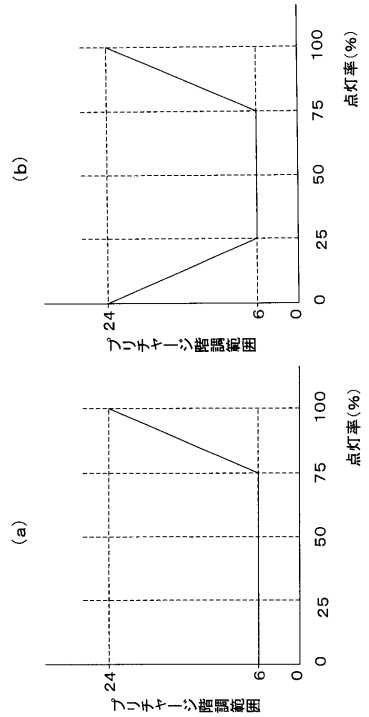
【図２１１】



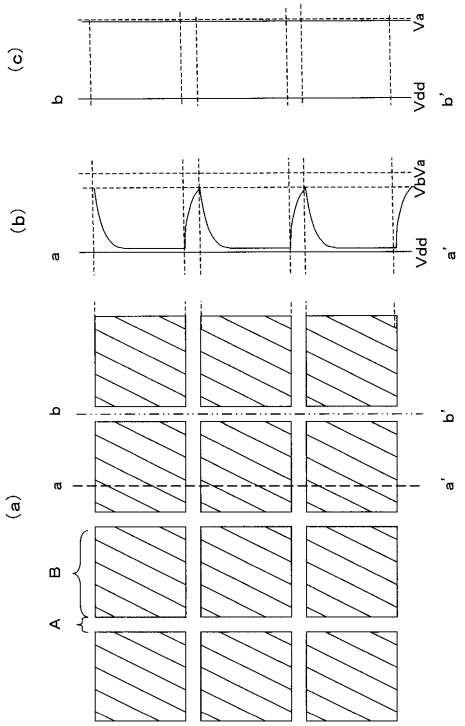
【図２１２】



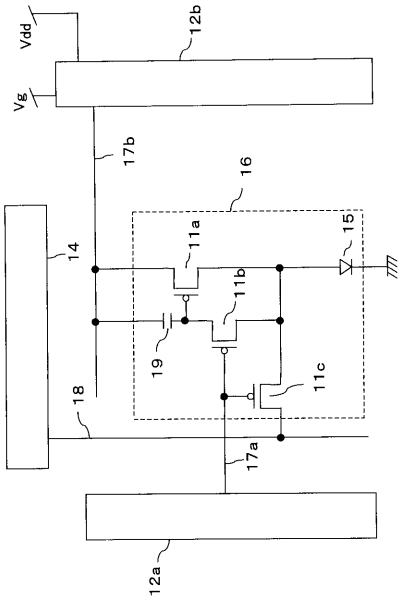
【図２１３】



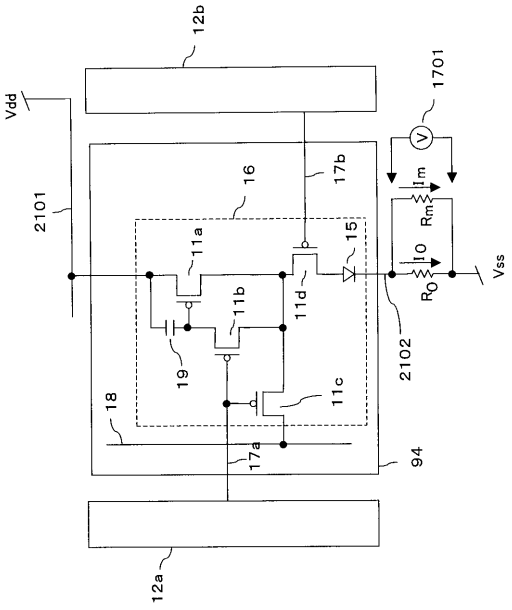
【図２１４】



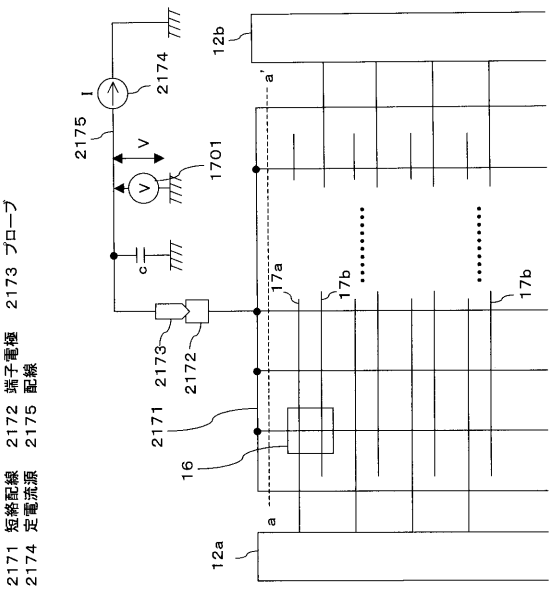
【図２１５】



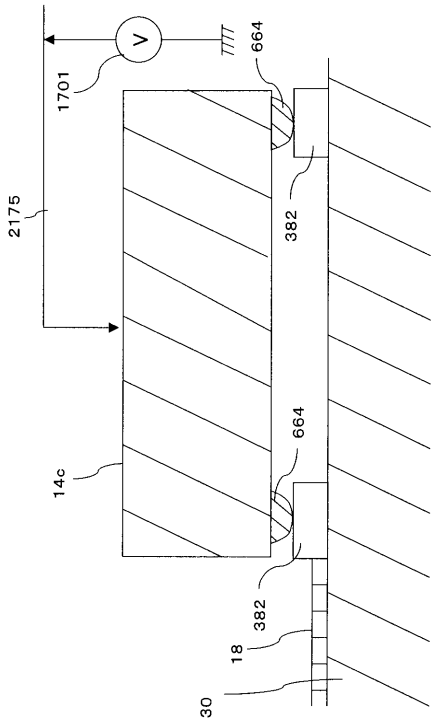
【図２１６】



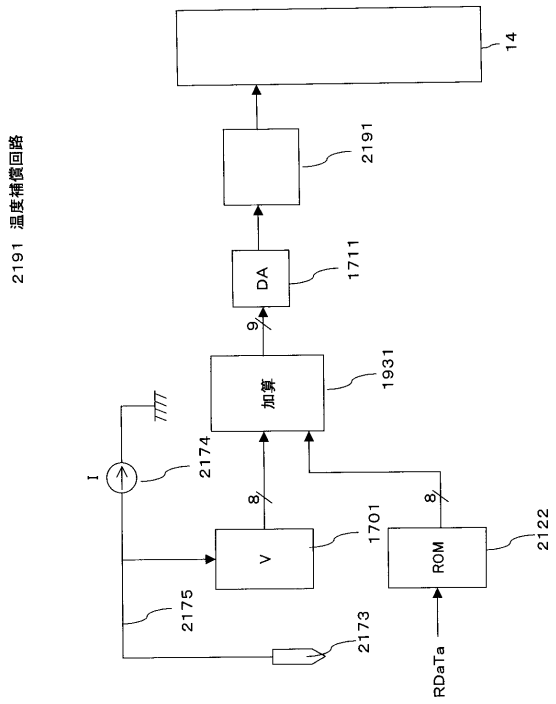
【図２１７】



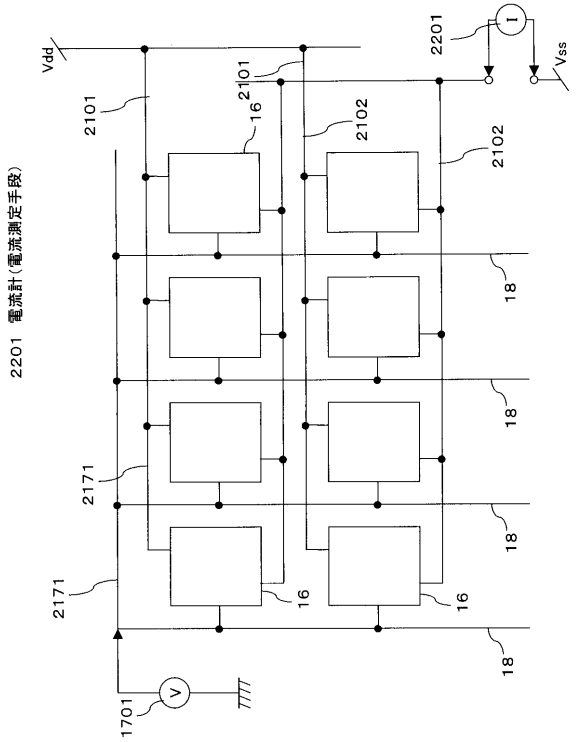
【図２１８】



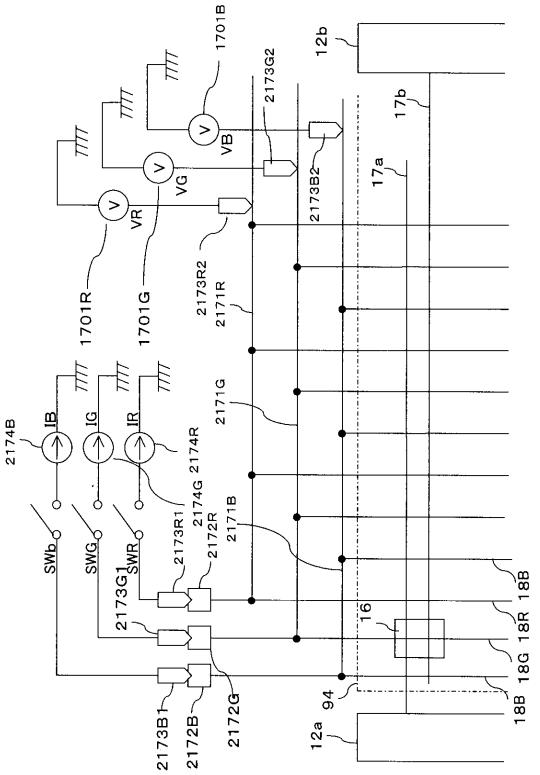
【図２１９】



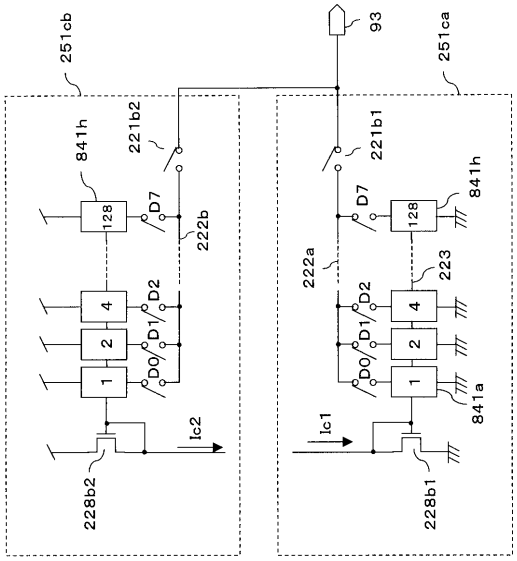
【図２２０】



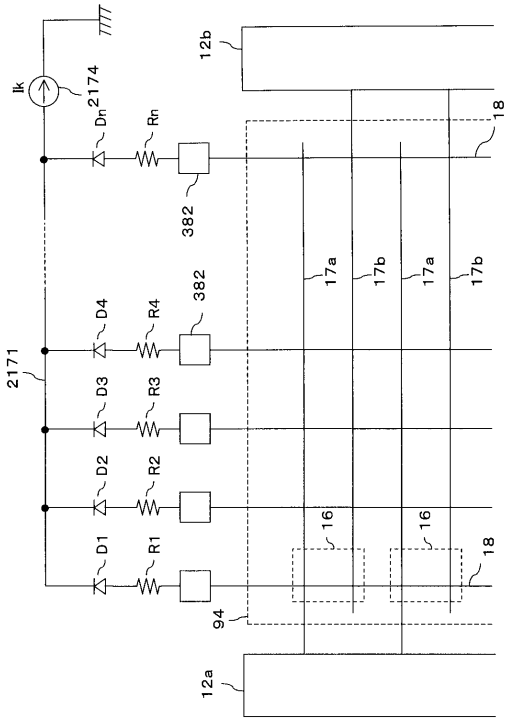
【図２２１】



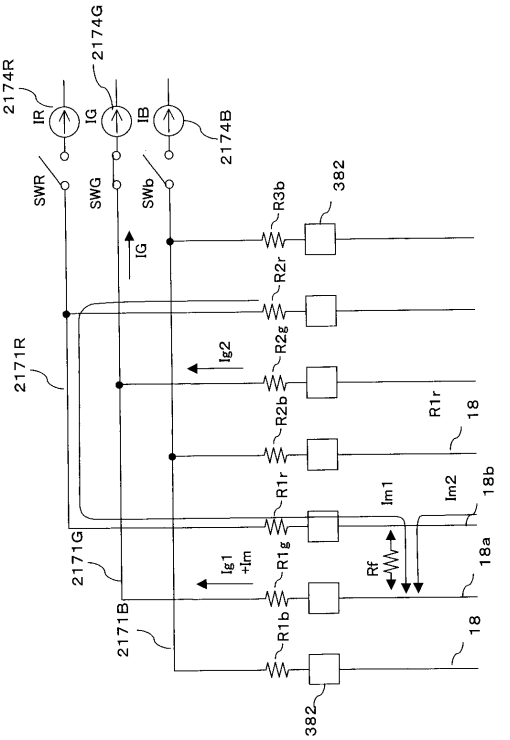
【図２２２】



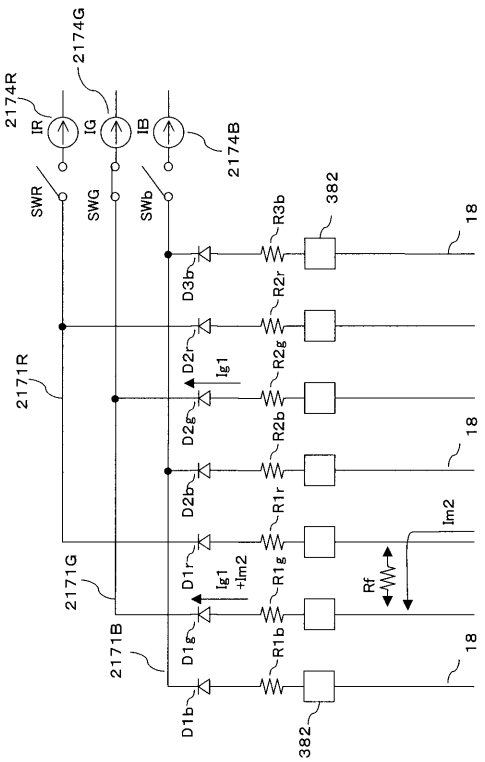
【図２２３】



【図２２４】



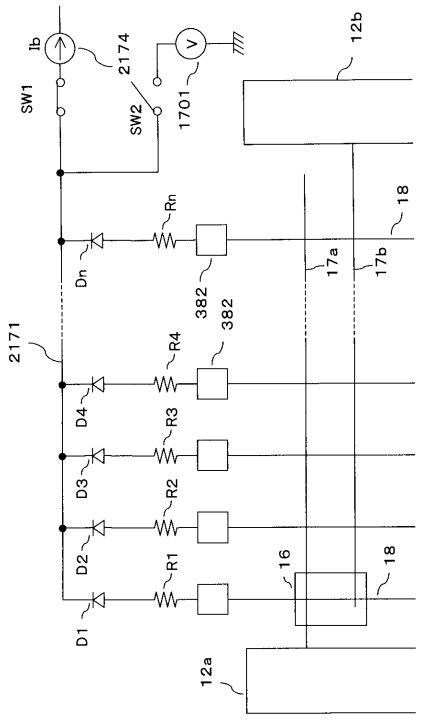
【図２２５】



【図２２６】

クロック	1	2	3	4	5	.....								
定電流I	I_1													
ゲート信号線17a	1	2	3	4	5	....	N	1	2	3	4	5	....	N
ゲート信号線17b	-	-	-	-	-	....	-	-	-	-	-	-	....	-
測定No.	1	2	3	4	5	....	N	1	2	3	4	5	....	N

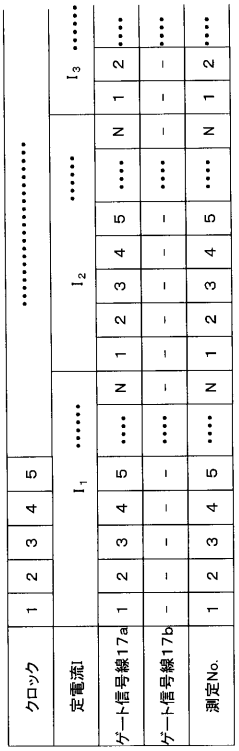
【図２２７】



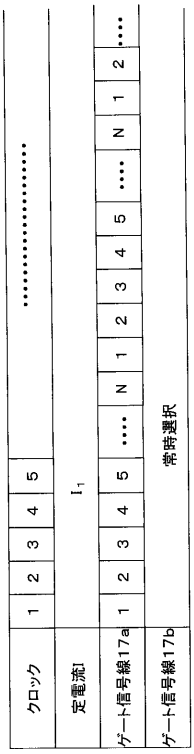
【図２２８】

クロック	1	2	3	4	5	.....								
定電流I	I_1						-							
ゲート信号線17a	1	2	3	4	5	....	N	1	2	3	4	....	N	1	2	...
ゲート信号線17b	-	-	-	-	-	....	-	-	-	-	-	....	-	-	-	...
測定No.	-	-	-	-	-	....	-	1	2	3	4	....	N	-	-	...

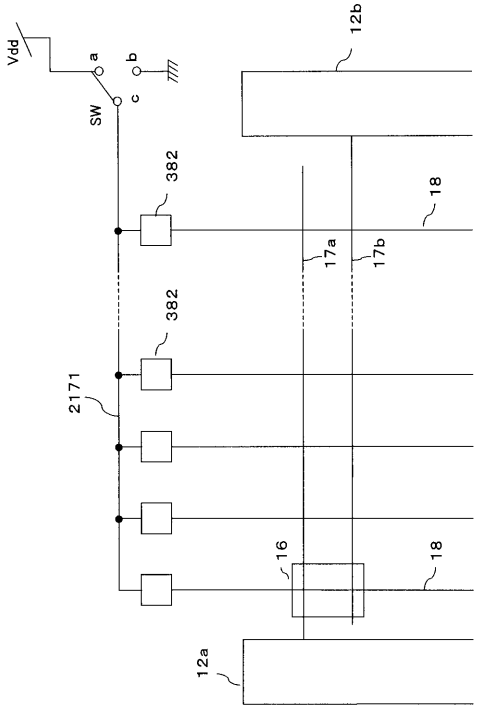
【図２２９】



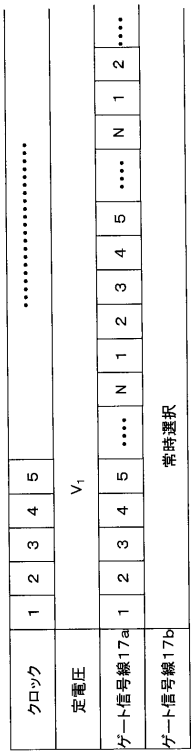
【図２３０】



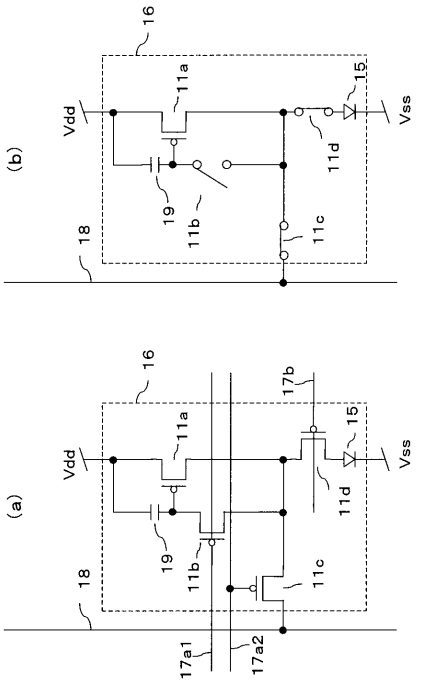
【図２３１】



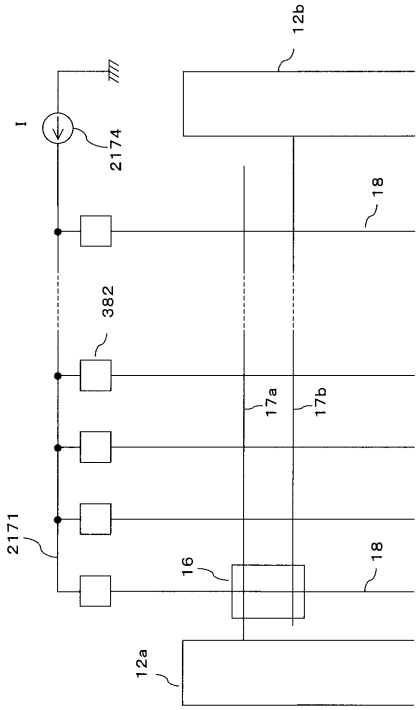
【図２３２】



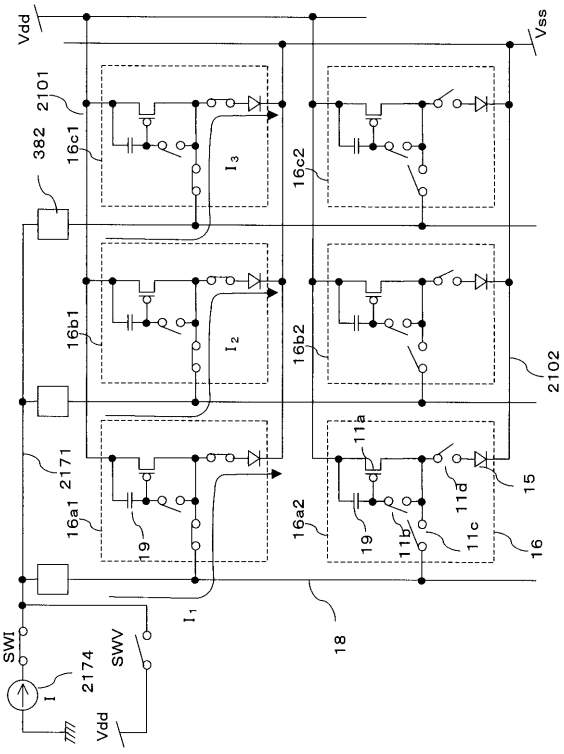
【図２３３】



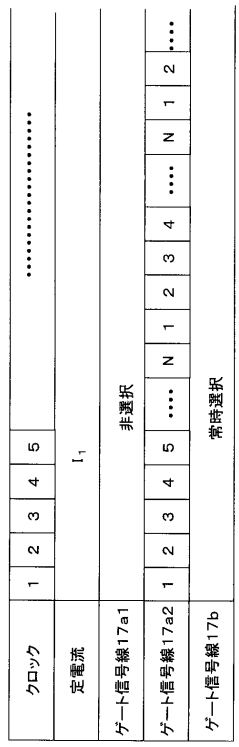
【図２３４】



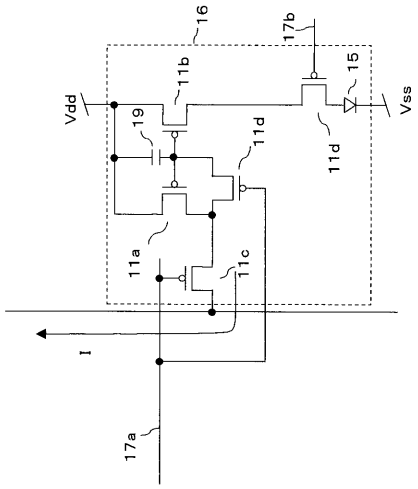
【図２３５】



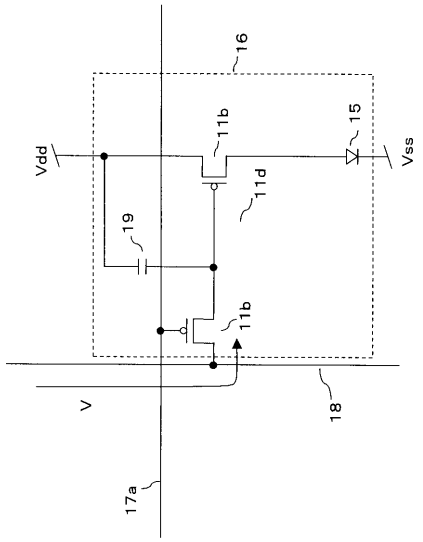
【図２３６】



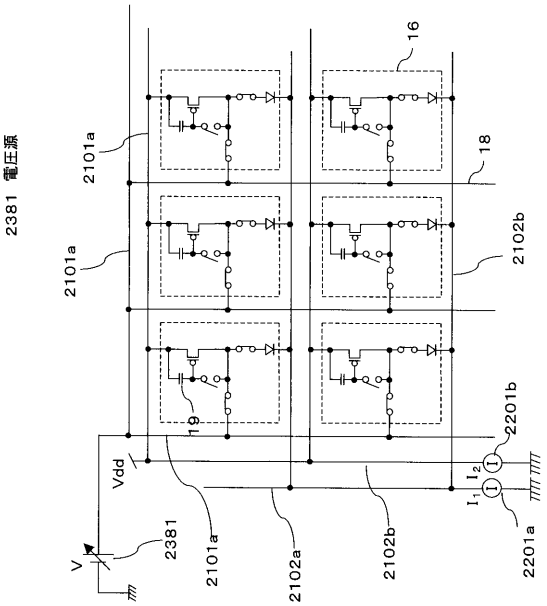
【図２３７】



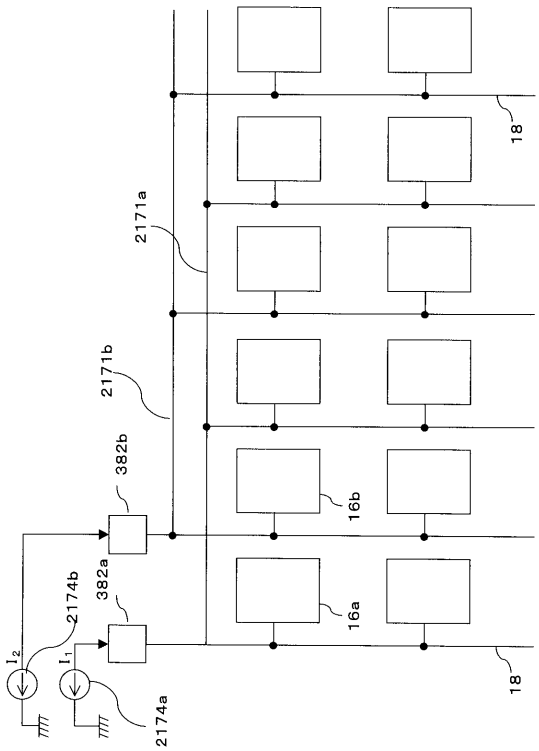
【図２３８】



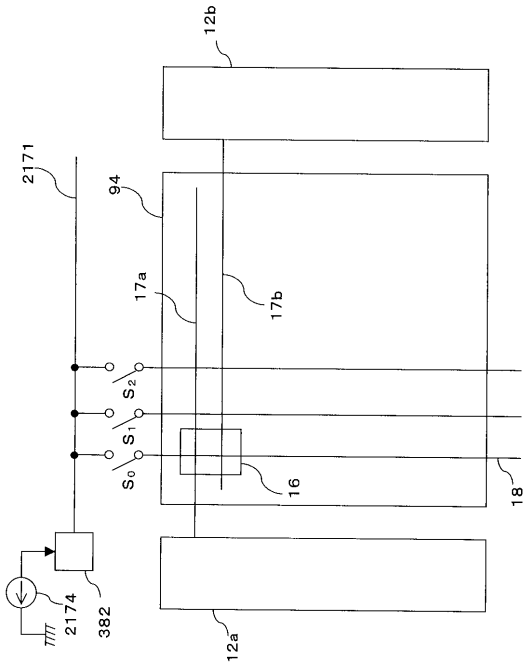
【図２３９】



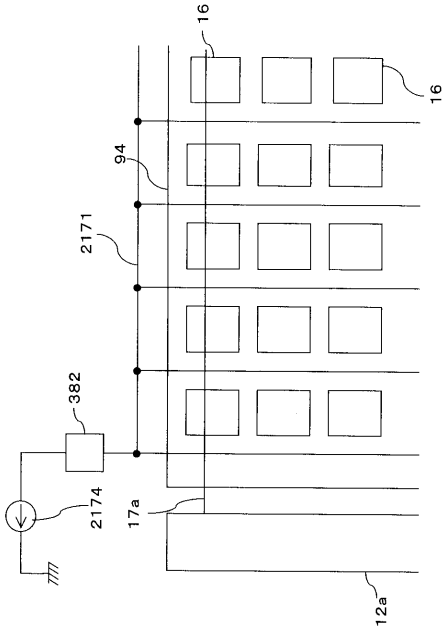
【図２４０】



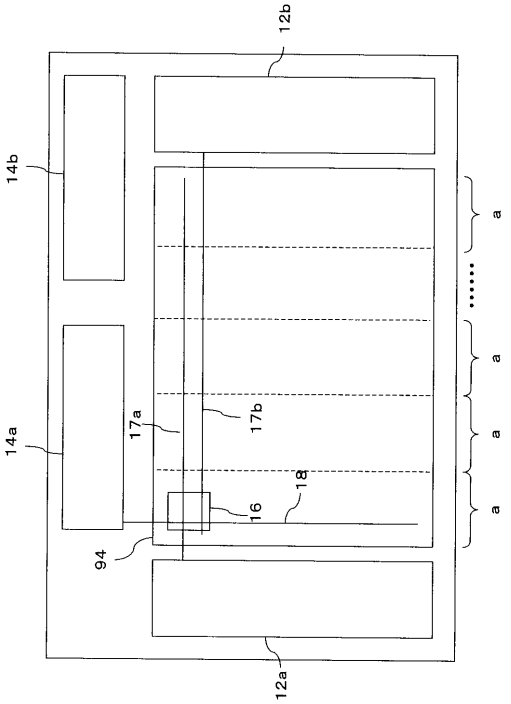
【図２４１】



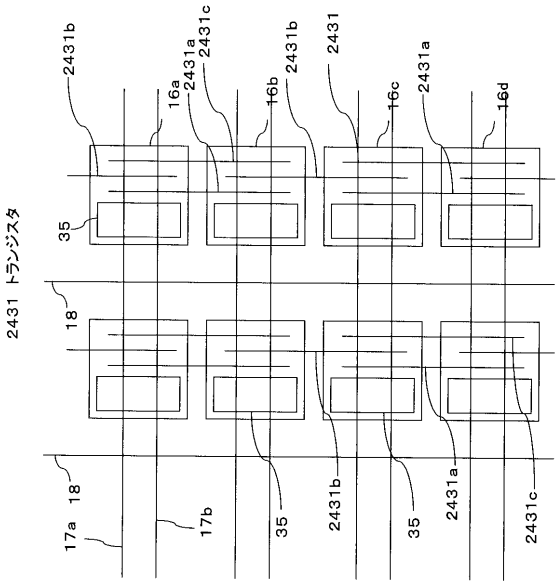
【図２４２】



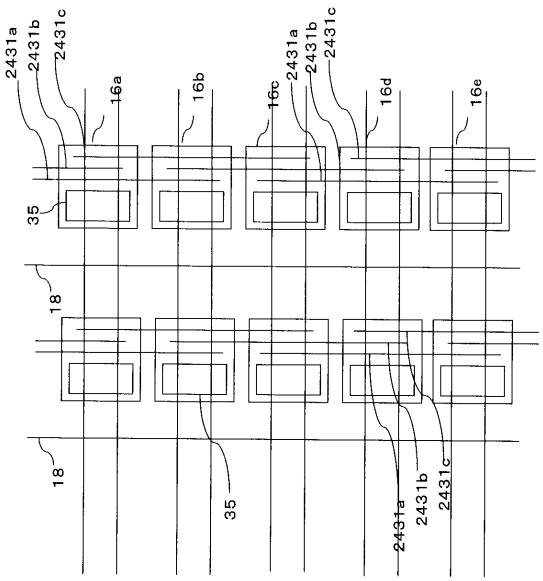
【図２４３】



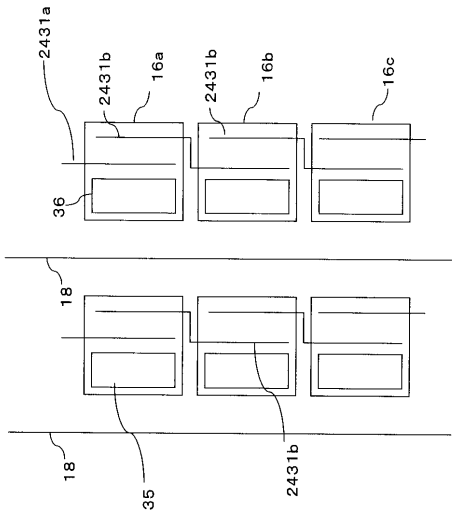
【図２４４】



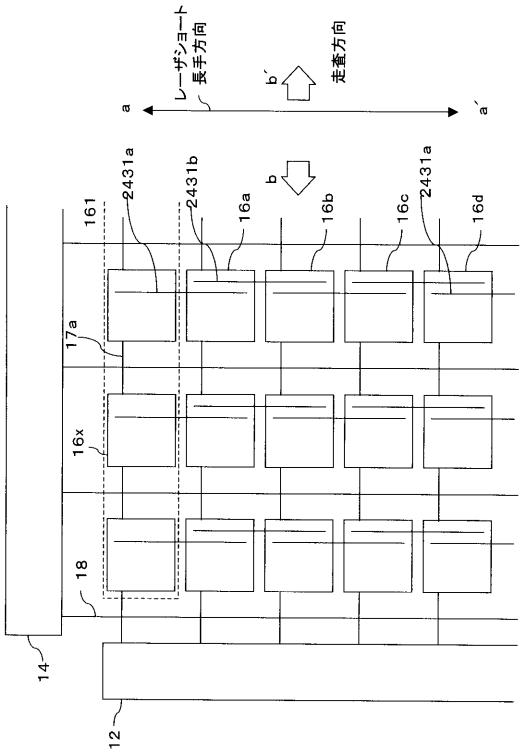
【図２４５】



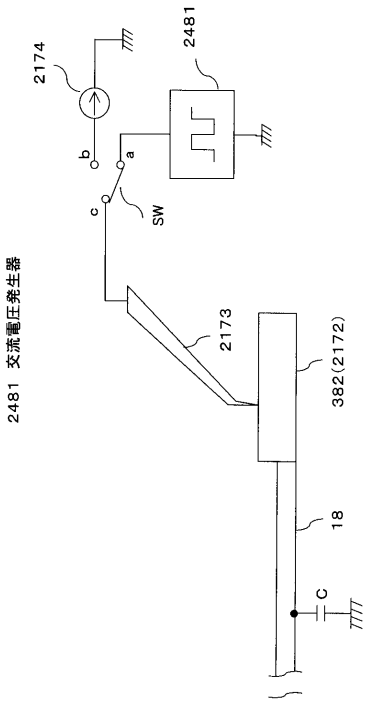
【図２４６】



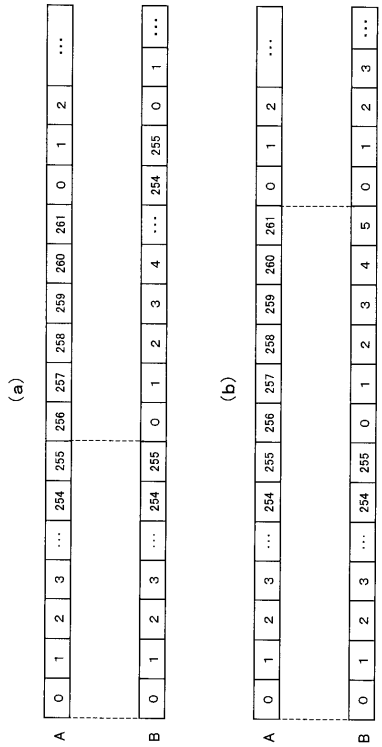
【図２４７】



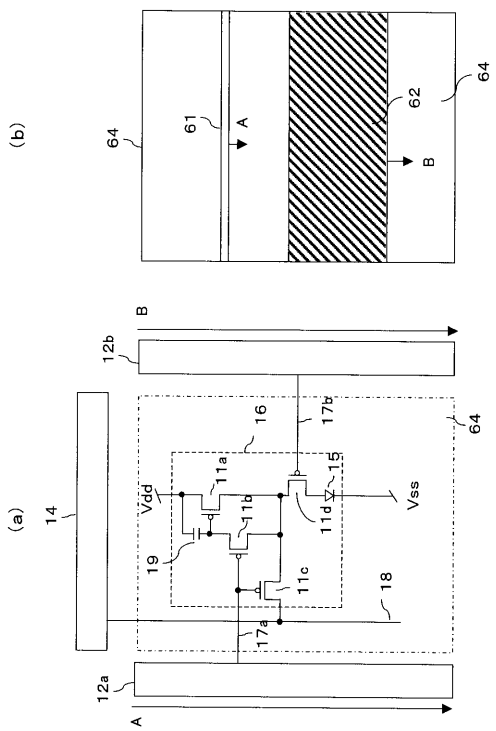
【図２４８】



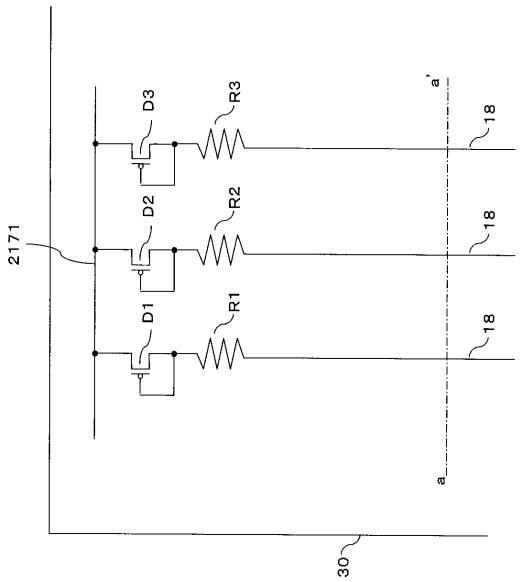
【図２４９】



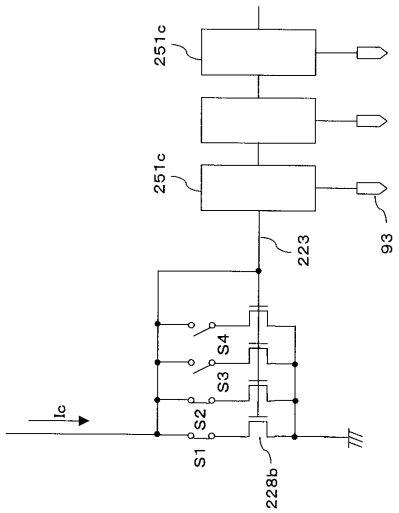
【図２５０】



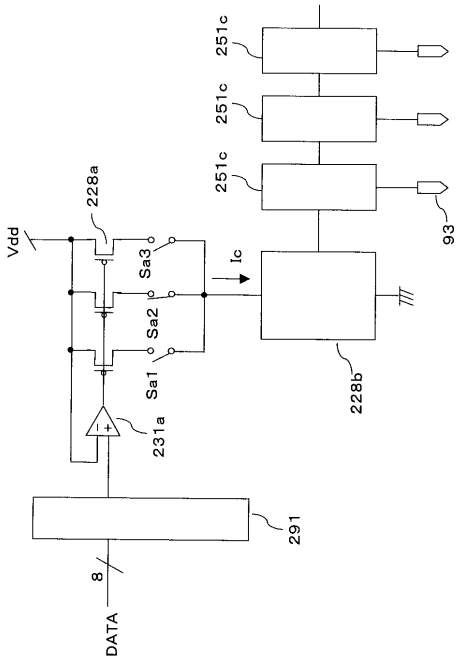
【図２５１】



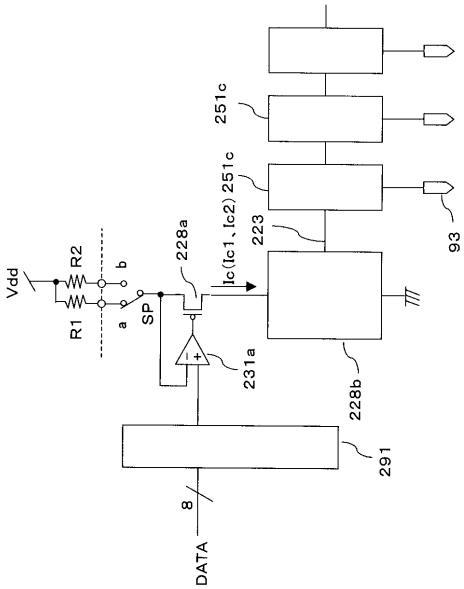
【図２５２】



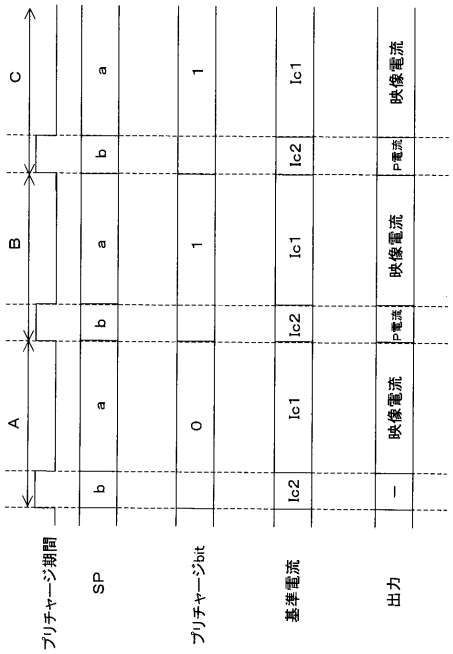
【図２５３】



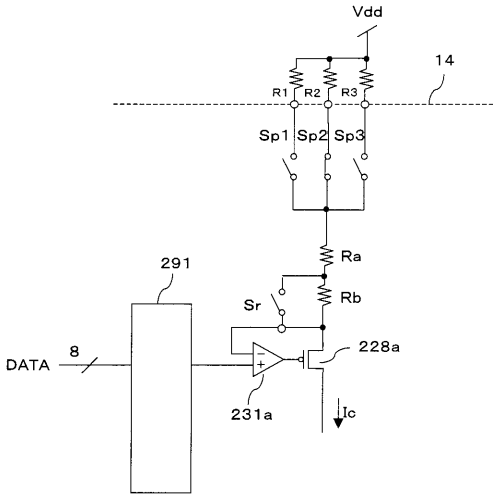
【図２５４】



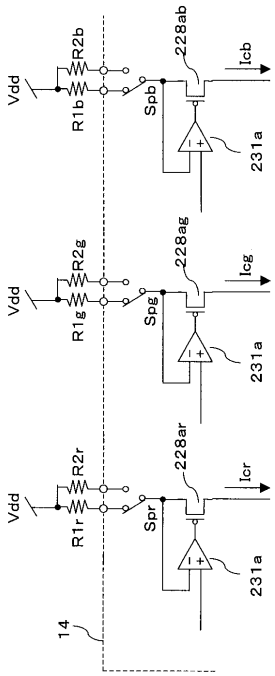
【図２５５】



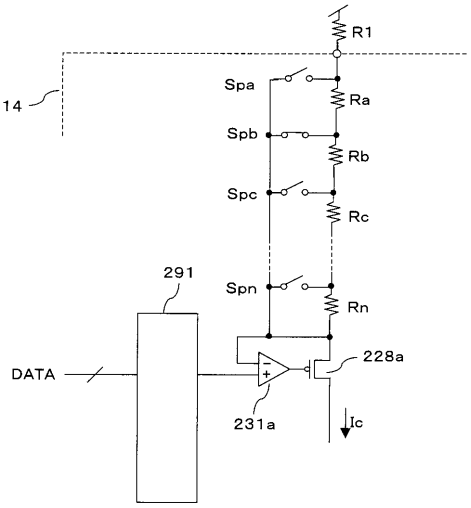
【図２５６】



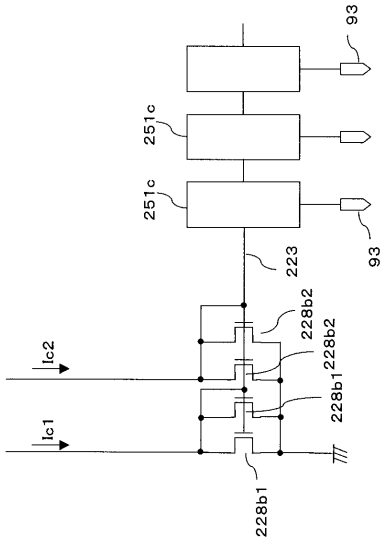
【図２５７】



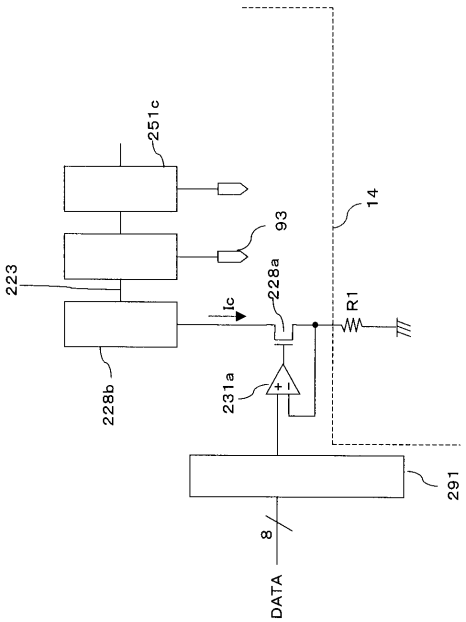
【図２５８】



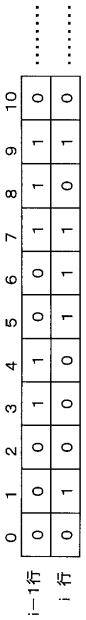
【図２５９】



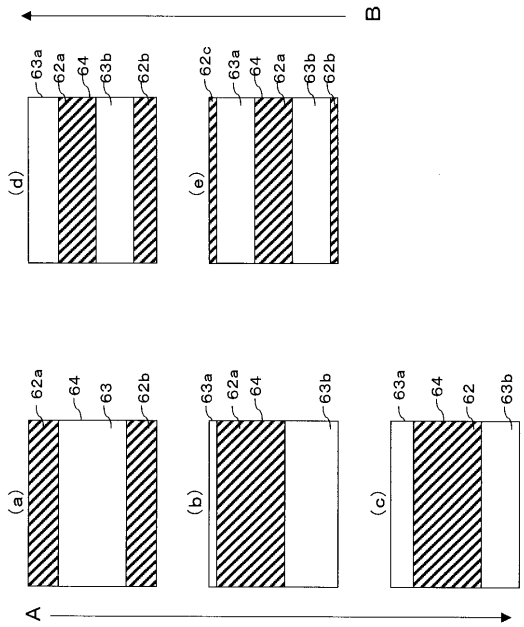
【図２６０】



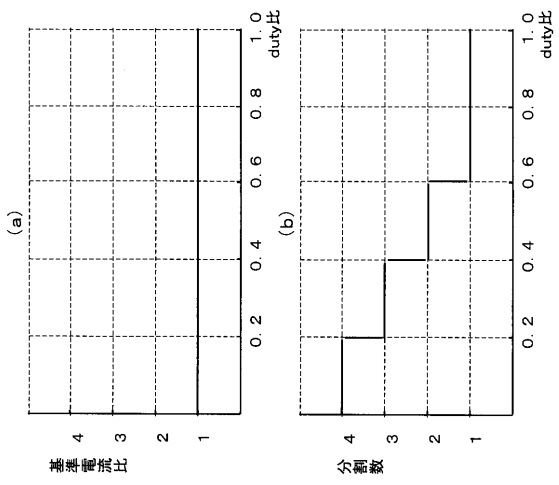
【図２６１】



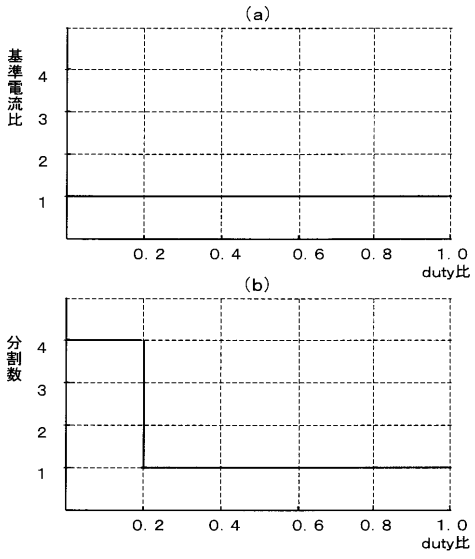
【図２６２】



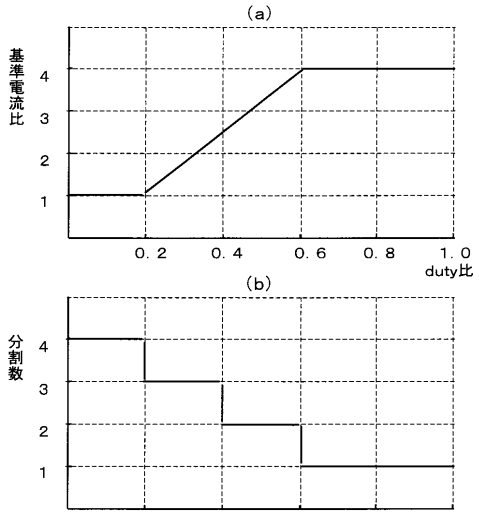
【図２６３】



【図２６４】



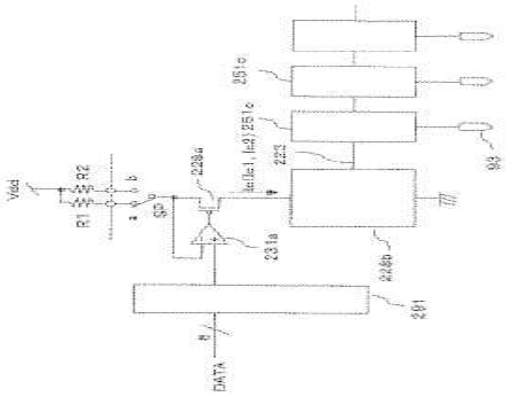
【図２６５】



フロントページの続き

(51)Int.Cl.	FI		テーマコード（参考）
	Ｇ０９Ｇ 3/20	６４２Ａ	
	Ｈ０５Ｂ 33/14	Ａ	

专利名称(译)	EL表示装置		
公开(公告)号	JP2006065242A	公开(公告)日	2006-03-09
申请号	JP2004250790	申请日	2004-08-30
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	高原博司		
发明人	高原 博司		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.623.B G09G3/20.623.R G09G3/20.641.D G09G3/20.642.A H05B33/14.A G09G3/20.612.A G09G3/20.612.E G09G3/20.612.U G09G3/20.624.A G09G3/20.624.B G09G3/20.624.C G09G3/20.624.D G09G3/20.642.L G09G3/20.642.P G09G3/20.670.L G09G3/20.670.M G09G3/3241 G09G3/325 G09G3/3266 G09G3/3275 G09G3/3283 G09G3/3291		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD08 5C080/EE28 5C080/EE29 5C080/FF11 5C080/HH09 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 3K107/AA01 3K107/AA05 3K107/BB01 3K107/BB03 3K107/BB04 3K107/BB05 3K107/BB06 3K107/BB07 3K107/BB08 3K107/CC02 3K107/CC14 3K107/CC32 3K107/CC33 3K107/CC43 3K107/CC45 3K107/EE02 3K107/EE03 3K107/EE08 3K107/HH00 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AA02 5C380/AB06 5C380/AB11 5C380/AB13 5C380/AB18 5C380/AB23 5C380/AB24 5C380/AB34 5C380/AB39 5C380/AB43 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC10 5C380/AC11 5C380/AC13 5C380/AC16 5C380/AC18 5C380/BA01 5C380/BA10 5C380/BA17 5C380/BA28 5C380/BA37 5C380/BA38 5C380/BA39 5C380/BA40 5C380/BA42 5C380/BA43 5C380/BA50 5C380/BB01 5C380/BB03 5C380/BB04 5C380/BB05 5C380/BB08 5C380/BB09 5C380/BB15 5C380/BB23 5C380/BB25 5C380/BC02 5C380/BC06 5C380/BC07 5C380/BC09 5C380/BC13 5C380/BC14 5C380/BC18 5C380/BE05 5C380/BE12 5C380/CA04 5C380/CA12 5C380/CA13 5C380/CA24 5C380/CA26 5C380/CA29 5C380/CA35 5C380/CA42 5C380/CA43 5C380/CB01 5C380/CB02 5C380/CB05 5C380/CB09 5C380/CB14 5C380/CB16 5C380/CB17 5C380/CB18 5C380/CC02 5C380/CC13 5C380/CC14 5C380/CC19 5C380/CC26 5C380/CC27 5C380/CC28 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC41 5C380/CC52 5C380/CC62 5C380/CC63 5C380/CC64 5C380/CD012 5C380/CD013 5C380/CD014 5C380/CD015 5C380/CD016 5C380/CD023 5C380/CD024 5C380/CE03 5C380/CE04 5C380/CE05 5C380/CE06 5C380/CE07 5C380/CE08 5C380/CF03 5C380/CF05 5C380/CF06 5C380/CF07 5C380/CF09 5C380/CF10 5C380/CF13 5C380/CF15 5C380/CF18 5C380/CF19 5C380/CF27 5C380/CF32 5C380/CF41 5C380/CF42 5C380/CF43 5C380/CF46 5C380/CF48 5C380/CF49 5C380/CF51 5C380/CF56 5C380/CF61 5C380/CF62 5C380/CF64 5C380/CF67 5C380/CF68 5C380/DA02 5C380/DA06 5C380/DA08 5C380/DA13 5C380/DA14 5C380/DA19 5C380/DA32 5C380/DA35 5C380/DA39 5C380/DA40 5C380/DA41 5C380/DA42 5C380/DA49 5C380/DA50 5C380/FA02 5C380/FA03 5C380/FA04 5C380/FA06 5C380/FA09 5C380/FA10 5C380/FA11 5C380/FA12 5C380/FA13 5C380/FA18 5C380/FA20 5C380/FA24 5C380/GA02 5C380/GA03 5C380/GA05 5C380/GA08 5C380/GA09 5C380/GA17 5C380/HA13		
代理人(译)	松田 正道		
其他公开文献	JP4703146B2 JP2006065242A5		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种EL显示器件，抑制由于晶体管阈值的变化引起的显示不均匀性。 ŽSOLUTION：外部电阻R1和R2安装在源极驱动电路（IC）14上。这里，R2> R1置位，使用哪个电阻R1或R2是通过切换源极驱动电路中构成的模拟开关Sp来确定的。 （IC）14。当选择R1时，用开关Sp选择R2时的参考电流Ic2是参考电流Ic1的10倍（Ic2 = 10×Ic1）。当选择R2并将其施加到晶体管组228b时，参考电流Ic是Ic2，并且从端子93输出的电流也是通常的10倍。开关Sp选择不在预充电期间的（a）端子。因此选择电阻R1并且流过正常参考电流Ic1。 Ž