

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2005-107503
(P2005-107503A)

(43) 公開日 平成17年4月21日(2005.4.21)

(51) Int.Cl. ⁷		F I		テーマコード (参考)	
G09F 9/30		G09F 9/30 338		3K007	
H01L 21/20		H01L 21/20		5C094	
H01L 21/336		H05B 33/14 A		5F052	
H01L 29/786		H01L 29/78 627G		5F110	
H05B 33/14		H01L 29/78 612D			
審査請求 未請求 請求項の数 8 O L (全 13 頁)					
(21) 出願番号		特願2004-253094 (P2004-253094)		(71) 出願人 000001889	
(22) 出願日		平成16年8月31日 (2004. 8. 31)		三洋電機株式会社	
(31) 優先権主張番号		特願2003-315538 (P2003-315538)		大阪府守口市京阪本通2丁目5番5号	
(32) 優先日		平成15年9月8日 (2003. 9. 8)		(74) 代理人 100105924	
(33) 優先権主張国		日本国 (JP)		弁理士 森下 賢樹	
				(72) 発明者 佐々木 昭史	
				大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内	
				(72) 発明者 野口 幸宏	
				大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内	
				(72) 発明者 加屋 純佳	
				愛知県丹羽郡扶桑町大字高雄字北海道19	
				Fターム(参考) 3K007 AB03 AB17 BA06 DB03 GA00	
				最終頁に続く	

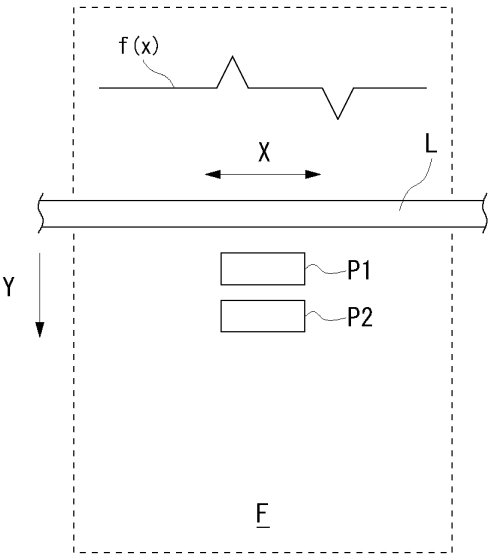
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 表示装置の輝度ムラを低減する。

【解決手段】 半導体膜形成位置 P 1、P 2 は、各画素の駆動回路中で光学素子の輝度を制御する複数の同一導電型のトランジスタの位置である。半導体膜形成位置 P 1、P 2 が、半導体膜形成時の熱処理の強度分布上で強度が同程度である同熱処理強度場所に配置される。また、半導体膜形成位置 P 1、P 2 が、エキシマレーザアニールのような熱処理の同一ショット領域に配置され、さらに、重畳照射における重畳幅に相当する範囲に配置される。これら半導体膜形成位置 P 1、P 2 で形成される複数のトランジスタの特性が均一化する。

【選択図】 図 3



【特許請求の範囲】

【請求項 1】

画素領域内において光学素子の輝度を制御する複数の同一導電型のトランジスタの半導体膜を、半導体膜形成時の熱処理の強度分布上で強度が同程度である場所に形成したことを特徴とする表示装置。

【請求項 2】

前記複数の同一導電型のトランジスタは、輝度のデューティ制御における点灯用トランジスタと消灯用トランジスタであることを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記複数の同一導電型のトランジスタが、熱処理のスキャン方向に並んで配置されることを特徴とする請求項 1 に記載の表示装置。 10

【請求項 4】

前記複数の同一導電型のトランジスタが、熱処理の同一ショット領域に配置されることを特徴とする請求項 1 に記載の表示装置。

【請求項 5】

画素領域内において光学素子の輝度を制御する複数の同一導電型のトランジスタの半導体膜を、半導体膜形成時の熱処理の同一ショット領域に形成したことを特徴とする表示装置。

【請求項 6】

前記複数の同一導電型のトランジスタが、熱処理の重畳照射における重畳幅に相当する範囲に配置されることを特徴とする請求項 5 に記載の表示装置。 20

【請求項 7】

さらに前記複数の同一導電型のトランジスタが近接配置されることを特徴とする請求項 1 ~ 6 のいずれかに記載の表示装置。

【請求項 8】

複数の同一導電型のトランジスタが、不純物ドーズ処理のレイアウトに基づいて同一のドーズ領域内に配置されることを特徴とする請求項 1 ~ 7 のいずれかに記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は表示装置に関し、特に、アクティブマトリクス型表示装置の輝度特性の向上に関する。 30

【背景技術】

【0002】

有機薄膜 EL 素子を用いたデバイスとして、平面発光型有機薄膜 EL ディスプレイが注目されている。この種のディスプレイは、有機薄膜 EL 素子構造を単位画素とし、その単位画素を 1 枚の支持基板上に平面的に 2 次元配置して、マトリクス駆動をする。

【0003】

このマトリクス駆動用の素子としては、周辺駆動回路を内蔵できる、画素回路の素子サイズを小さくできる、支持基板に安価な材料を使用できるといった特長から、低温多結晶シリコン TFT が用いられている。 40

【0004】

低温多結晶シリコン TFT に用いられる多結晶シリコン層の形成には、一般に非晶質シリコンをエキシマレーザ照射によりアニールする方法（ELA 法）が主流となっている。従来のレーザアニール法としては、例えば、エキシマレーザのパルスラインビームを照射し、基板またはレーザビームをスキャンして、スキャンピッチでの重畳照射を行う方法が知られている。

【0005】

ところで、このラインレーザビームには照射強度分布やショット間誤差がある。照射強度分布やショット間誤差による素子の不均一性を解決するために、特開平 9 - 3 2 1 3 1 50

0 号公報（特許文献 1）、特開平 11 - 330000 号公報（特許文献 2）はレーザービームの 45 度スキャンを行う技術を開示しており、また、特開平 11 - 345783 号公報（特許文献 3）は 2 重スキャンを行う技術を開示している。

【0006】

一方、平面発光型有機薄膜 EL ディスプレイにおいて、画素駆動回路としては基本的である 2TFT 方式を用いた場合、閾値電圧や移動度などの TFT 特性のばらつきによる輝度ムラが発生することがある。この問題に対処する方法として、各種の画素回路が提案されており、例えば、「A New AMOLED Pixel Design by Self-compensating Threshold Voltage Variation of Pol-Si TFT」（非特許文献 1）に開示される電圧プログラム回路および特開 2001 - 147659 号公報（特許文献 4）に開示されるカレントミラータイプ電流指定方式が挙げられる。こうした回路では、EL 素子の駆動電流を決定する、または画素駆動回路の素子特性を補償するための複数の同一導電型トランジスタの特性が揃っていることが求められる。

10

【0007】

ところが、前述のエキシマレーザの照射強度分布を改善したり、ショット間誤差を低減する方法では、全体的な均一性を向上することができても、画素内のトランジスタの特性を均一に揃えることは困難であった。

【0008】

また、上記文献に開示されるような複雑な回路構成をとった場合、画素駆動回路に用いられる素子数が多くなり、開口率を低下させるという問題点がある。

20

【特許文献 1】特開平 9 - 321310 号公報（第 4 ページ、図 1）

【特許文献 2】特開平 11 - 330000 号公報（第 3 ページ、図 1）

【特許文献 3】特開平 11 - 345783 号公報（第 3 ページ、図 1）

【特許文献 4】特開 2001 - 147659 号公報（第 7、8、9 ページ、図 1）

【非特許文献 1】A New AMOLED Pixel Design by Self-compensating Threshold Voltage Variation of Pol-Si TFT」（Sang-Hoon Jung 等、A M - L C D 02、2002 INTERNATIONAL WORKSHOP ON ACTIVE-MATRIX LIQUID-CRYSTAL DISPLAYS, THE JAPAN SOCIETY OF APPLIED PHYSICS, July 10-12, 2002、13 ~ 16 ページ）

【発明の開示】

【発明が解決しようとする課題】

30

【0009】

本発明は上記背景の下でなされたものであり、その目的は、画素内の特定のトランジスタ特性を均一にして輝度ムラを低減可能な技術を提供することにある。また本発明の別の目的は、素子数の多い画素駆動回路においても開口率を向上させることができる技術を提供することにある。

【課題を解決するための手段】

【0010】

本発明の表示装置は、画素領域内において光学素子の輝度を制御する複数の同一導電型のトランジスタの半導体膜を、半導体膜形成時の熱処理の強度分布上で強度が同程度である場所に形成した構成を有する。

40

【0011】

本発明において、輝度を制御する複数の同一導電型のトランジスタは、例えば、発光素子の駆動電流量を決定するトランジスタであり、また、画素駆動回路の素子特性を補償するためのトランジスタである。複数の同一導電型のトランジスタは、典型的には輝度のデューティ制御の点灯用トランジスタと消灯用トランジスタである。

【0012】

本発明は、表示装置の製造過程の熱処理において、1 画素内での熱処理強度分布を見たときに、強度が場所によってばらつくことがあることを考慮している。そして、本発明は、このような 1 画素内での熱処理強度の分布に着目し、同程度の強度の熱処理が加わる場所（以下、適宜、同熱処理強度場所という）に、輝度を制御する複数の同一導電型のトラ

50

ンジスタを配置している。これにより高いレベルでトランジスタ特性を均一化でき、輝度ムラを低減できる。

【0013】

前記複数の同一導電型のトランジスタが、熱処理のスキャン方向に並んで配置されてもよい。熱処理領域の長手方向（一般にスキャン方向と直角）の熱処理強度の分布に起因するトランジスタ特性の不均一を低減できる。

【0014】

本発明の別の態様も表示装置に関する。本装置は、画素領域において光学素子の輝度を制御する複数の同一導電型のトランジスタの半導体膜を、半導体膜形成時の熱処理の同一ショット領域に形成した構成を有する。

10

本発明は、ショット位置を変えながらショットを繰り返すタイプの熱処理が行われる表示装置に好適に適用される。本発明によれば、ショット間誤差によるトランジスタ特性の不均一を低減でき、輝度ムラを低減できる。好ましくは、上述の熱処理強度分布に配慮した同熱処理強度場所であって、かつ、同一ショット領域に上記複数のトランジスタが配置され、これにより輝度ムラを一層低減できる。

【0015】

前記複数の同一導電型のトランジスタが、熱処理の重畳照射における重畳幅に相当する範囲に配置されてもよい。ショット間誤差によるトランジスタ特性の不均一を一層低減できる。

【0016】

20

さらに、前記複数の同一導電型のトランジスタが近接配置されてもよい。上記複数のトランジスタが、同熱処理強度場所内でさらに近接配置され、また、同一ショット領域内でさらに近接配置される。これにより、半導体の膜厚ばらつきによるトランジスタ特性の不均一を低減でき、輝度ムラをさらに低減できる。

【0017】

前記複数の同一導電型トランジスタが前記同一ショット領域内でさらに近接配置されてもよい。トランジスタ特性をより一層均一化できる。

【0018】

また、本発明では、複数の同一導電型のトランジスタが、不純物ドーズ処理のレイアウトに基づいて同一のドーズ領域内に配置されてもよい。画素内での不要なスペースを削除でき、輝度ムラが低減するとともに、開口率を向上することができる。複数の同一導電型のトランジスタは、典型的には、上述の輝度制御用のトランジスタを含むが、それらに限られなくてもよく、後述の実施の形態で説明する。

30

【0019】

なお、以上の構成要素の任意の組合せや組み替え、本発明を方法と表現したものもまた、本発明の態様として有効である。

【発明の効果】

【0020】

上記のように、本発明によれば、画素内のトランジスタ特性を均一にして輝度ムラを低減できる。また、開口率を向上させることができる。

40

【発明を実施するための最良の形態】

【0021】

以下、本発明の実施の形態を図面を参照して説明する。

【0022】

図1は、表示装置の1画素分の回路構成例を示している。図1は、本発明が好適に適用される表示装置の例として示されている。図示のように、この画素回路10は、発光素子ELとその駆動回路を有する。そして、駆動回路は、図中の左下から右上に向けて示されるように、データ設定用トランジスタM1および関連するコンデンサC1、消灯用トランジスタM2、点灯用トランジスタM3、初期化用トランジスタM5および関連するコンデンサC2、第1、第2補助トランジスタM4、M6、駆動トランジスタM7で構成される

50

。

【 0 0 2 3 】

これらの構成要素のうち、初期化用トランジスタ M 5 のゲート電極は、リセット信号線 R S T に接続されており、ソース電極は第 1 電源供給線 P V D D に接続されており、ドレイン電極は第 1、第 2 補助トランジスタ M 4、M 6 のゲート電極に接続されている。コンデンサ C 2 は、リセット後における第 1、第 2 補助トランジスタ M 4、M 6 のゲート電極の電位を固定する機能をもつ。

【 0 0 2 4 】

第 1、第 2 補助トランジスタ M 4、M 6 はインバータを構成しており、第 2 補助トランジスタ M 6 のソース電極が第 1 電源供給線 P V D D へ接続され、第 1 補助トランジスタ M 4 のソース電極が第 2 電源供給線 V C C へと点灯用トランジスタ M 3 を介して接続されている。第 1 電源供給線 P V D D の電位は第 2 電源供給線 V C C の電位より高い。そして、第 1、第 2 補助トランジスタ M 4、M 6 のドレイン電極は、駆動トランジスタ M 7 のゲート電極へ接続されている。

10

【 0 0 2 5 】

駆動トランジスタ M 7 は、発光素子 E L に電力を供給して発光させるトランジスタであり、ソース電極が第 1 電源供給線 P V D D へ接続され、ドレイン電極が発光素子 E L へ接続される。

【 0 0 2 6 】

点灯用トランジスタ M 3 および消灯用トランジスタ M 2 は、それぞれ、発光素子 E L を点灯および消灯するために設けられている。点灯用トランジスタ M 3 および消灯用トランジスタ M 2 のソース電極は第 2 電源供給線 V C C に接続されており、点灯用トランジスタ M 3 のドレイン電極は第 1 補助トランジスタ M 4 のソース電極に接続され、消灯用トランジスタ M 2 のドレイン電極は第 1、第 2 補助トランジスタ M 4、M 6 のゲート電極に接続されている。

20

【 0 0 2 7 】

次に、発光素子 E L の輝度をデューティ制御するための構成を説明する。図示のように、点灯用トランジスタ M 3 のゲート電極はランプ信号線 R M P に接続されている。消灯用トランジスタ M 2 のゲート電極は、データ設定用トランジスタ M 1 のドレイン電極に接続されている。そして、データ設定用トランジスタ M 1 のソース電極はデータ線 D A T A に接続され、ゲート電極は走査線 S E L に接続されている。また、消灯用トランジスタ M 2 のゲート電極とランプ信号線 R M P の間には電圧保持用のコンデンサ C 1 が配置されている。

30

【 0 0 2 8 】

図 2 は、図 1 の表示装置の動作を示すタイムチャートである。図 1 および図 2 を参照して、上記の表示装置の動作を説明する。

【 0 0 2 9 】

1 フレームの動作としては、まずリセット信号線 R S T のリセット信号がローレベルになる。その結果、初期化用トランジスタ M 5 がオンし、第 1、第 2 補助トランジスタ M 4、M 6 のゲート電極に第 1 電源供給線 P V D D の電位が設定される。これにより、第 1 補助トランジスタ M 4 がオンし、第 2 補助トランジスタ M 6 がオフする。

40

【 0 0 3 0 】

次に、走査線 S E L の走査信号がハイレベルになる。走査信号がハイレベルになるとデータ設定用トランジスタ M 1 がオンするため、データ設定用トランジスタ M 1 のドレイン電位とソース電位はほぼ等しくなる。すなわち消灯用トランジスタ M 2 のゲート電位 V_{g2} は、データ線 D A T A の電位とほぼ等しくなる。

いま、走査線 S E L の走査信号がハイレベルの期間に、データ線 D A T A の電位は V_{data} に設定されている。データ線 D A T A の電位 V_{data} とランプ信号線 R M P の電位 V_{rmp} の差を D_{in} とすると、 $D_{in} = V_{rmp} - V_{data}$ で与えられ、コンデンサ C 1 は電圧 D_{in} で充電される。時刻 T 0 に走査線 S E L の走査信号がローレベルにな

50

るとデータ設定用トランジスタM1がオフする。その結果、コンデンサC1にかかる電圧は、時刻T0における電圧Dinで固定される。

【0031】

次に、ランプ信号線RMPの電位が増大していく。ランプ信号線RMPと第2電源供給線VCCの電位差、すなわち点灯用トランジスタM3のゲートソース電圧が点灯用トランジスタM3の閾値電圧Vtに到達する時刻T1に、点灯用トランジスタM3がオンする。その結果、駆動トランジスタM7のゲート電位が低くなってオンし、発光素子ELが発光する。

【0032】

また、図2は、ランプ信号と共に消灯用トランジスタM2のゲート電位Vg2を示している。消灯用トランジスタM2のゲート電位Vg2は、ランプ信号線RMPの電位よりもコンデンサC1にかけられた電圧だけ低くなるが、このコンデンサC1にかけられた電圧は時刻T0に設定された電圧値Dinとなっている。従って、消灯用トランジスタM2のゲート電位Vg2は、ランプ信号の電位Vrmp、すなわち点灯用トランジスタのゲート電位よりも電圧Din低い状態を維持しつつ、ランプ信号の電位Vrmpに伴って増大していく。消灯用トランジスタM2のゲートソース電圧は、図2に示されるように、点灯用トランジスタM3より遅れて時刻T2に閾値電圧Vtに到達する。これにより消灯用トランジスタM2がオンし、第1補助トランジスタM4がオフし、第2補助トランジスタM6がオンする。その結果、駆動トランジスタM7は、そのゲート電位が第1電源供給線PVDDの電位に近づくためオフし、発光素子ELの発光が停止する。

10

20

【0033】

以上の1フレームの発光動作においては、発光期間Teは、時刻T1から時刻T2まで、すなわち、点灯用トランジスタM3がオンしてから消灯用トランジスタM2がオンするまでの期間である。この発光期間Teは、点灯用トランジスタM3のゲート電位と消灯用トランジスタM2のゲート電位Vg2の電位差、すなわち、時刻T0におけるコンデンサC1の電圧Vdataに応じて変化するため、データ線DATAに与えられた電位がデューティ比を決定することになる。このようにして、図1の表示装置のデューティ制御が実現されている。

【0034】

次に、上記の例を踏まえて、本発明の好適な実施の形態を説明する。

30

【0035】

図2の例では、ランプ信号RMPが点灯用トランジスタM3のゲートソース電圧に対応し、また、消灯用トランジスタM2のゲート電位Vg2が同トランジスタのゲートソース電圧に対応する。したがって、図2の制御は、点灯用トランジスタM3と消灯用トランジスタM2の閾値電圧Vtが等しいことを前提として、すなわち両者の特性が等しいことを前提として、輝度を制御している。言い換えれば、点灯用トランジスタM3と消灯用トランジスタM2の特性が異なると、図2の輝度制御の発光期間Teに誤差が生じ、この誤差が輝度ムラの原因になる。したがって、輝度ムラを低減するには、点灯用トランジスタM3と消灯用トランジスタM2の特性を揃えることが有効である。

【0036】

40

上記の点灯用トランジスタM3と消灯用トランジスタM2は、本発明における輝度を制御する複数の同一導電型のトランジスタの例である。本発明は、以下に説明するように、このような画素内の複数の同一導電型のトランジスタの特性を均一にできる技術を提案する。

【0037】

図3は、本発明の第1の実施の形態を示している。図3は、トランジスタの半導体膜形成時の状態であり、画素領域の非晶質シリコン膜Fが示されている。

【0038】

半導体膜形成時には、非晶質シリコン膜Fに対して熱処理が施される。本実施の形態では、熱処理がELA（エキシマレーザアニール）である。ELAでは、図示のような細長

50

いエキシマレーザビーム L が、スキャン方向 Y にスキャンされる。スキャン方向 Y は、エキシマレーザビーム L のビーム長手方向 X に対して直角である。

【 0 0 3 9 】

ここでは、2つの同一導電型のトランジスタを考える。本実施の形態の特徴として、これらトランジスタの半導体膜形成位置 P 1、P 2 が、スキャン方向 Y に並んで配置される。これにより、半導体膜形成位置 P 1、P 2 は、ビーム長手方向 X に同位置に配置される。すなわち、多結晶シリコン領域がビーム長手方向 X に同一領域でビーム照射が行われるようにパターン設定がなされる。こうした配置の理由を以下に述べる。

【 0 0 4 0 】

図 3 の上方に示すように、エキシマレーザビーム L は、ビーム長手方向 X に沿った強度分布 $f(x)$ をもつ。この強度分布はスキャン過程で維持される。したがって、半導体膜形成位置 P 1、P 2 がスキャン方向 Y に並んでいれば、すなわち、ビーム長手方向 X の照射位置が同じであれば、照射されるビームの強度が同様になる。

【 0 0 4 1 】

以上のようにして、本発明によれば、半導体膜形成位置 P 1、P 2 が、半導体膜形成時の熱処理の強度分布上で強度が同程度である場所に配置される。これにより、半導体膜形成位置 P 1、P 2 に形成されるトランジスタの特性を均一化することができる。より詳細には、本発明は、1画素内での熱処理強度に分布があることに着目し、同程度の強度の熱処理が加わる場所に、複数の同一導電型のトランジスタを配置し、これにより高いレベルでトランジスタ特性を均一化している。

【 0 0 4 2 】

特に、本発明は、複数のトランジスタの半導体膜形成位置を熱処理のスキャン方向に並べており、これにより、熱処理領域の長手方向（一般にスキャン方向と直角）の熱処理強度の分布に起因するトランジスタ特性の不均一を低減できる。

【 0 0 4 3 】

なお、図 3 の例では、半導体膜形成位置 P 1、P 2 の位置が、ビーム長手方向において完全に重なっている。すなわち、図中の X 方向において、半導体膜形成位置 P 1、P 2 の X 座標が同じであるが、本発明はこれに限定されない。ビーム強度が実質的に同じ範囲で半導体膜形成位置 P 1、P 2 の X 座標がずれていてもよく、例えば、両位置 P 1、P 2 が部分的に重なっていてもよい。

【 0 0 4 4 】

図 4 は、本発明の別の実施の形態を示している。図 3 の実施の形態では、半導体膜形成位置 P 1、P 2 は、トランジスタの半導体膜の長手方向がビーム長手方向 X と平行になるように配置された。これに対して、図 4 の実施の形態では、半導体膜形成位置 P 1、P 2 は、トランジスタの半導体膜の長手方向がビーム長手方向 X と直角になるように配置される。

【 0 0 4 5 】

図 4 の実施の形態でも、半導体膜形成位置 P 1、P 2 は、エキシマレーザビーム L のスキャン方向 Y に並んでおり、熱処理分布上で熱処理強度が同程度の場所に配置されている。したがって、上述の本発明の利点が同様に得られる。

【 0 0 4 6 】

図 5 は、本発明の別の実施の形態を示している。この実施の形態では、半導体膜形成位置 P 1、P 2 が、エキシマレーザビーム L の同一ショット領域に配置されており、特に、以下に説明するように、エキシマレーザビーム L の重畳照射における重畳幅 W に相当する範囲に配置されている。

【 0 0 4 7 】

例えば、エキシマレーザビーム L のビーム幅が 300 マイクロメートルであり、重畳照射として 10 回照射が行われるとする。この場合、エキシマレーザビーム L の照射位置は、30 マイクロメートルずつずらされる。このずらしの幅が、図 5 の重畳幅 W である。

【 0 0 4 8 】

10

20

30

40

50

本実施の形態では、半導体膜形成位置 P 1、P 2 が、重畳幅 W に相当する範囲内に配置されている。図 5 の例では、半導体膜形成位置 P 1、P 2 が、レーザビームの長手方向に対し平行かつ等距離に並ぶ領域となるように配置されている。したがって、半導体膜形成位置 P 1、P 2 には、同一ショットのエキシマレーザビーム L のみが照射される。

【0049】

以上に説明したように、本実施の形態によれば、半導体膜形成位置 P 1、P 2 が、半導体膜形成時の熱処理の同一ショット領域に配置されるので、ショット間誤差によるトランジスタ特性の不均一を低減できる。

【0050】

本発明では、さらに、半導体膜形成位置 P 1、P 2 が、熱処理の重畳照射における重畳幅に相当する範囲に配置されており、これにより同一ショットの照射のみが半導体膜形成位置 P 1、P 2 に対して行われ、ショット間誤差によるトランジスタ特性の不均一をより一層低減できる。

【0051】

図 6 は、本発明の別の実施の形態を示している。この実施の形態は、上述の図 3 と図 5 の構成の組合せに相当しており、半導体膜形成位置 P 1、P 2 は、スキャン方向 Y に並んで配置され、かつ、同一ショット領域に配置されている。そして、同一ショット領域でも、重畳照射の重畳幅の範囲内に配置されている。図 6 の例では、半導体膜形成位置 P 1、P 2 は、レーザビームの長手方向に対し平行かつ同一領域でビーム重畳幅内に入るように配置されている。

【0052】

本実施の形態によれば、熱処理強度分布に起因する特性ばらつきを低減して、かつ、ショット間ばらつきに起因する特性ばらつきを低減して、トランジスタ特性のより一層の均一化が可能となる。

【0053】

次に、本発明の別の実施の形態を説明する。本実施の形態は、図 3 ~ 図 6 の構成において、半導体膜形成位置 P 1、P 2 をさらに近接配置させる。より具体的には、半導体膜形成位置 P 1、P 2 に対応する複数個の多結晶シリコン膜パターン間を素子形成可能な最小寸法まで近接させる。

【0054】

本実施の形態によれば、半導体の膜厚ばらつきによるトランジスタ特性の不均一を低減でき、トランジスタ特性をより一層均一化できる。

【0055】

次に、本発明の別の実施の形態を説明する。本実施の形態は、図 3 ~ 図 6 の構成において、複数の同一導電型トランジスタが、不純物ドーズ処理のレイアウトに基づいて同一のドーズ領域内に配置される。より具体的には、1 つの画素内において、不純物のドーズマスク領域が 1 つのマスク領域で形成されるような構成が採用される。

【0056】

図 7 は、本実施の形態の例を示している。図 7 の構成は、図 1 の画素回路に相当している。すなわち、図 7 のトランジスタ M 1 ~ M 7、コンデンサ C 1、C 2 は、図 1 の同一符号の要素と対応している。

【0057】

そして、図示のように、本実施の形態では、点灯用トランジスタ M 3 と消灯用トランジスタ M 2 が近接配置されて、両者が同じ N+ドーピングエリアに配置されている。さらに、図 7 では、データ設定用トランジスタ M 1、第 1 補助トランジスタ M 4 といった同一導電型のトランジスタも同じ N+ドーピングエリアに配置されている。また、逆チャネルの同一導電型のトランジスタ M 5、M 6、M 7 についても同じ P+ドーピングエリアに配置されている。

【0058】

上記のように、本実施の形態によれば、複数の同一導電型トランジスタが、不純物ド

10

20

30

40

50

ズ処理のレイアウトに基づいて同一のドーズ領域内に配置されるので、画素内での不要なスペースを削除でき、開口率を向上することができる。この点に関しては、複数の同一導電型のトランジスタは、上記のように、輝度制御のための点灯および消灯用トランジスタに限られなくてよい。

【 0 0 5 9 】

また、本発明では、好ましくは、トランジスタを近接配置すると共に、上記のように不純物ドーズレイアウトに基づく配置を採用する。これにより本発明の利点がより一層顕著に得られる。

【 0 0 6 0 】

次に、図 8 は、本発明が適用可能なもう一つの表示装置の例を示している。図 8 では、画素駆動回路として、トランジスタ M 1、M 2、M 3 が備えられている。これらのうち、トランジスタ M 1 はデータ設定に用いられる。そして、トランジスタ M 2、M 3 は、それぞれ消灯および点灯に用いられる。これらのトランジスタ M 2、M 3 により図 1 と同様に発光期間が制御され、デューティ制御が行われる。

【 0 0 6 1 】

図 8 の例では、トランジスタ M 2、M 3 に関して、上述の図 3 ~ 図 6 に示される配置が採用され、トランジスタの特性が均一化されるとよい。また、トランジスタ M 2、M 3 が近接配置されるとよい。さらに、図 9 は、図 8 の回路に相当するパターンを示しており、図 9 のパターン上で、トランジスタ M 1、M 2、M 3 の配置が不純物ドーズのレイアウトに基づいて本発明に従い適当に設定されているとよい。

【 0 0 6 2 】

以上に本発明の好適な各種の実施の形態を説明した。上述のように、本発明によれば、輝度データを制御する複数の導電型トランジスタの特性を均一化でき、これにより輝度ムラを低減できる。

【 0 0 6 3 】

図 1 の点灯用トランジスタ M 3 および消灯用トランジスタ M 2 は、発光素子の駆動電流を決定するということもできる。したがって、本発明は、発光素子の駆動電流量を決定する複数の同一導電型のトランジスタの特性を均一化でき、これにより輝度ムラを低減できる。

【 0 0 6 4 】

さらに、図 1 の点灯用トランジスタ M 3 および消灯用トランジスタ M 2 は、両トランジスタ M 3、M 2 の特性が同じようにずれても輝度制御を正確に行うことができる（図 2 において発光時期がずれても発光期間は変わらない）という観点では、画素駆動回路の素子特性を補償しているともいえる。したがって、本発明は、画素駆動回路の素子特性を補償する複数の同一導電型のトランジスタの特性を均一化でき、これにより輝度ムラを低減できる。

【 0 0 6 5 】

さらに、点灯用トランジスタ M 3 および消灯用トランジスタ M 2 は既に説明したように発光素子の輝度のデューティ制御に用いられる。したがって、本発明は、輝度のデューティ制御における点灯用トランジスタと消灯用トランジスタの特性を均一化でき、これにより輝度ムラを低減できる。

【 0 0 6 6 】

以上、本発明を実施の形態をもとに説明した。これらの実施の形態は例示であり、その各構成要素や各処理プロセスの組合せにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。例えば、熱処理は E L A に限定されず、何らかのエネルギー波を照射しながら光源や基板を移動させていくものであれば、そのタイプは問わない。一例として、Y A G レーザーやアルゴンレーザーを用いたレーザーアニールでも良い。また、ランプアニール、ラピッドサーマルアニールであっても良い。

【産業上の利用可能性】

10

20

30

40

50

【 0 0 6 7 】

本発明は、輝度ムラを低減でき、アクティブマトリクス型表示装置をはじめとする表示装置の分野で有用である。

【図面の簡単な説明】

【 0 0 6 8 】

【図 1】本発明が好適に適用される表示装置の例を示す図である。

【図 2】図 1 の表示装置の動作を示す図である。

【図 3】本発明の実施の形態における半導体膜形成位置の配置を示す図である。

【図 4】本発明の実施の形態における半導体膜形成位置の配置を示す図である。

【図 5】本発明の実施の形態における半導体膜形成位置の配置を示す図である。

【図 6】本発明の実施の形態における半導体膜形成位置の配置を示す図である。

【図 7】本発明の実施の形態における画素回路のパターンを示す図である。

【図 8】本発明が好適に適用される表示装置の別の例を示す図である。

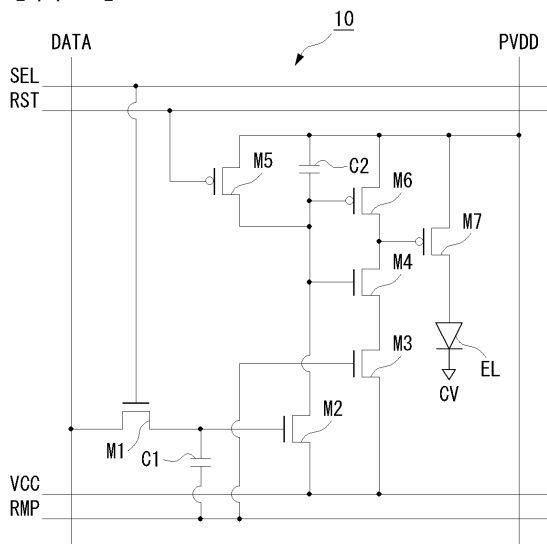
【図 9】本発明の別の実施の形態における画素回路のパターンを示す図である。

【符号の説明】

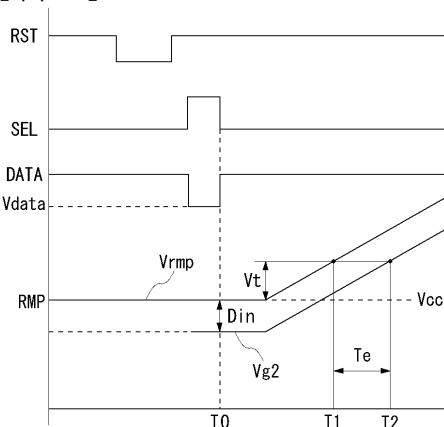
【 0 0 6 9 】

10 画素回路、 M2 消灯用トランジスタ、 M3 点灯用トランジスタ、 F 非
晶質シリコン膜、 L エキシマレーザビーム、 P1、 P2 半導体膜形成位置。

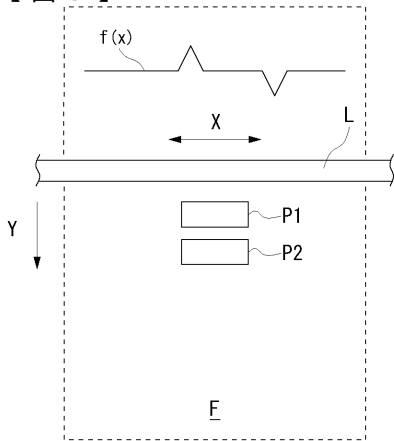
【图 1】



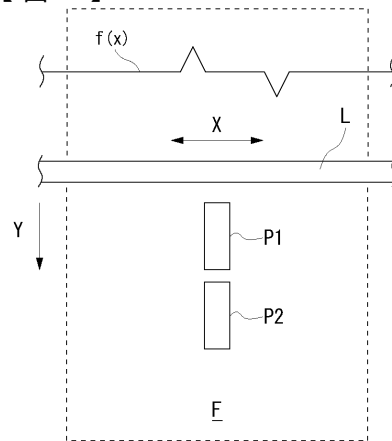
【 圖 2 】



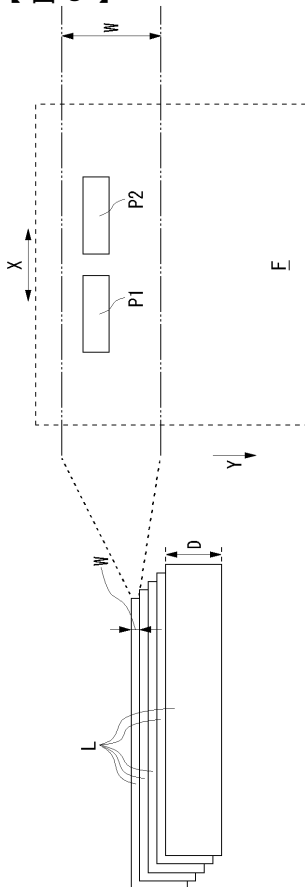
【図 3】



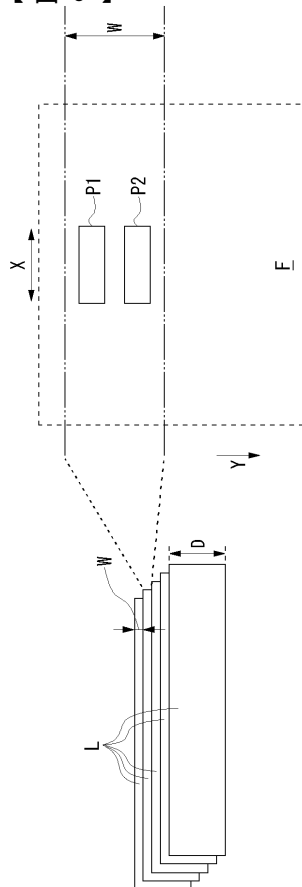
【図 4】



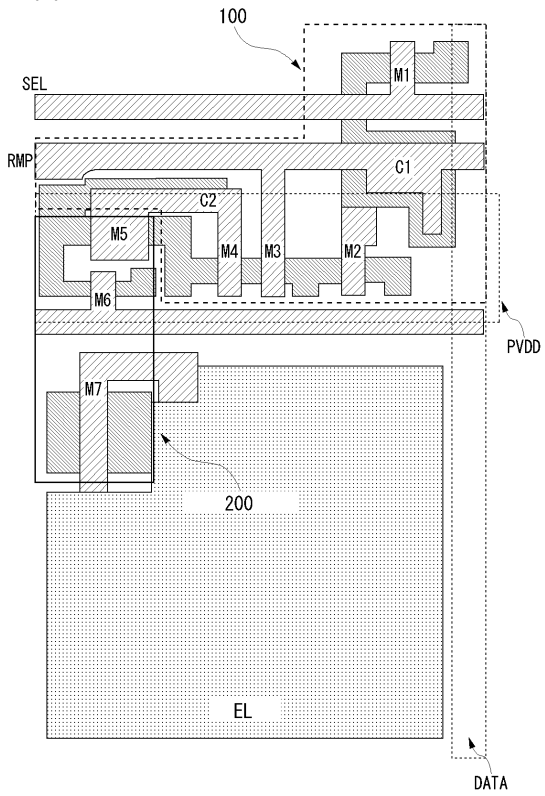
【図 5】



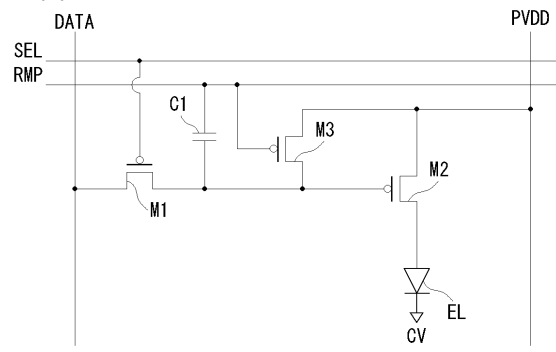
【図 6】



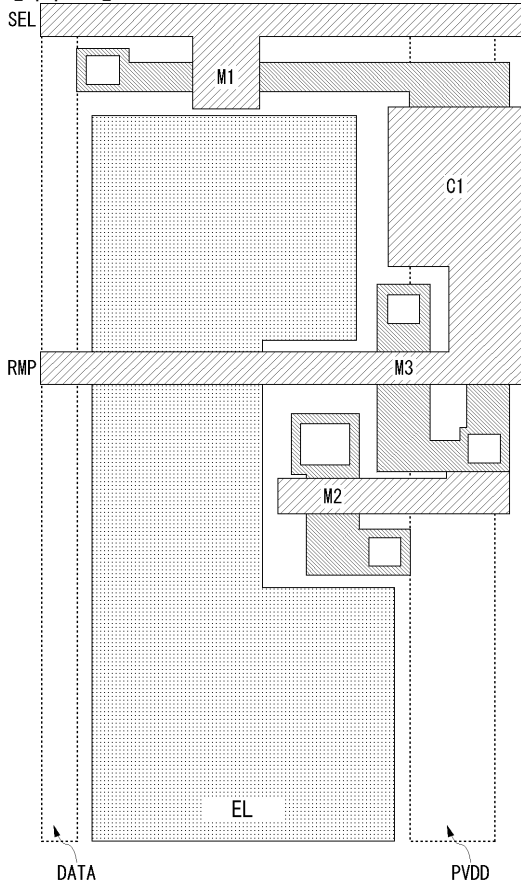
【図 7】



【図 8】



【図 9】



フロントページの続き

F ターム(参考) 5C094 AA03 AA53 AA55 BA03 BA27 CA19 DA09 DB01 FB14
5F052 AA02 AA24 BA02 BA04 BA07 BB01 BB02 BB07 CA07 DA02
JA04
5F110 AA30 BB01 BB04 CC02 GG02 GG13 NN71 NN73 NN77 PP02
PP03 PP05 PP06 QQ01

专利名称(译)	表示装置		
公开(公告)号	JP2005107503A	公开(公告)日	2005-04-21
申请号	JP2004253094	申请日	2004-08-31
[标]申请(专利权)人(译)	三洋电机株式会社		
申请(专利权)人(译)	三洋电机株式会社		
[标]发明人	佐々木昭史 野口幸宏 加屋純佳		
发明人	佐々木 昭史 野口 幸宏 加屋 純佳		
IPC分类号	H01L51/50 G09F9/30 H01L21/20 H01L21/336 H01L29/786 H05B33/14		
FI分类号	G09F9/30.338 H01L21/20 H05B33/14.A H01L29/78.627.G H01L29/78.612.D		
F-TERM分类号	3K007/AB03 3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 5C094/AA03 5C094/AA53 5C094/AA55 5C094/BA03 5C094/BA27 5C094/CA19 5C094/DA09 5C094/DB01 5C094/FB14 5F052/AA02 5F052/AA24 5F052/BA02 5F052/BA04 5F052/BA07 5F052/BB01 5F052/BB02 5F052/BB07 5F052/CA07 5F052/DA02 5F052/JA04 5F110/AA30 5F110/BB01 5F110/BB04 5F110/CC02 5F110/GG02 5F110/GG13 5F110/NN71 5F110/NN73 5F110/NN77 5F110/PP02 5F110/PP03 5F110/PP05 5F110/PP06 5F110/QQ01 3K107/AA01 3K107/BB01 3K107/CC02 3K107/CC33 3K107/CC36 3K107/EE04 3K107/HH04 3K107/HH05 5F152/BB02 5F152/CE05 5F152/CE22 5F152/CE27 5F152/FF03 5F152/FF04 5F152/FF06 5F152/FF11 5F152/FG08 5F152/FG23 5F152/FH02 5F152/FH03 5F152/FH04 5F152/FH05		
代理人(译)	森下Kenju		
优先权	2003315538 2003-09-08 JP		
外部链接	Espacenet		

摘要(译)

要解决的问题：减少显示设备的亮度不均。半导体膜形成位置P1和P2是控制每个像素的驱动电路中的光学元件的亮度的相同导电类型的多个晶体管的位置。半导体膜形成位置P1，P2配置在相同的热处理强度位置，在该强度下，半导体膜形成时的热处理强度分布大致相同。此外，半导体膜形成位置P1，P2被配置在受激准分子激光退火等热处理的相同的照射区域中，并且进一步被配置在与重叠照射中的重叠宽度对应的范围内。使在这些半导体膜形成位置P1和P2处形成的多个晶体管的特性均匀。[选择图]图3

