(19)日本国特許庁(JP)

再 公 表 特 許(A1)

(11)国際公開番号
WO2003/091979

発行日　平成17年9月2日(2005.9.2)

(43)国際公開日　平成15年11月6日(2003.11.6)

(51)Int.Cl.[7]	F I		
G09G 3/30	G09G	3/30	J
G09G 3/20	G09G	3/30	K
H05B 33/14	G09G	3/20	611H
	G09G	3/20	612U
	G09G	3/20	621A

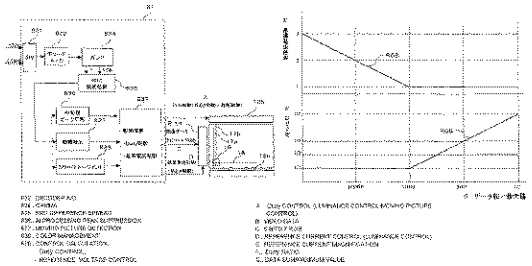
審査請求 未請求　予備審査請求 有　（全 163 頁）　最終頁に続く

出願番号	特願2004-500277 (P2004-500277)
(21)国際出願番号	PCT/JP2003/002598
(22)国際出願日	平成15年3月6日(2003.3.6)
(31)優先権主張番号	特願2002-127532 (P2002-127532)
(32)優先日	平成14年4月26日(2002.4.26)
(33)優先権主張国	日本国(JP)
(31)優先権主張番号	特願2002-127637 (P2002-127637)
(32)優先日	平成14年4月26日(2002.4.26)
(33)優先権主張国	日本国(JP)
(31)優先権主張番号	特願2002-282013 (P2002-282013)
(32)優先日	平成14年9月26日(2002.9.26)
(33)優先権主張国	日本国(JP)
(81)指定国	CN,JP,KR,US

(71)出願人　302020207
東芝松下ディスプレイテクノロジー株式会社
東京都港区港南４－１－８
(74)代理人　100092794
弁理士　松田　正道
(72)発明者　高原　博司
東京都港区港南四丁目１番８号　東芝松下ディスプレイテクノロジー株式会社内

(54)【発明の名称】ＥＬ表示装置の駆動方法

(57)【要約】
本発明は、消費する電流にリミットを設けることによりピーク電流の抑制を図ること、又は、画像のコントラストの拡大を図ることによりめりはりのある画像を表示することの少なくとも一方を実現する駆動方法を提供する。
各画素に駆動用トランジスタとＥＬ素子間の電流経路をオンオフ制御するスイッチ素子を有するＥＬ表示装置を駆動するにあたって、画像データ又は画像データに準ずるデータを集計し、前記集計したデータが少ない時よりも、大きい時の方が前記スイッチ素子をオフする期間を長くする駆動方法を採用することにより、ピーク電流の抑制やコントラストの拡大を図る。



【特許請求の範囲】
【請求項１】
各画素に駆動用トランジスタとＥＬ素子間の電流経路をオンオフ制御するスイッチ素子を有するＥＬ表示装置の駆動方法であって、
画像データまたは画像データに順ずるデータを集計し、
前記集計したデータが少ない時よりも、大きい時の方が前記スイッチ素子をオフする期間を長くするＥＬ表示装置の駆動方法。
【発明の詳細な説明】
技術分野
本発明は、有機または無機エレクトロルミネッセンス（ＥＬ）素子を用いたＥＬ表示パネルなどの自発光表示パネルに関するものである。また、これらの表示パネルの駆動回路（ＩＣ）に関するものである。ＥＬ表示パネルの駆動方法と駆動回路およびそれらを用いた情報表示装置などに関するものである。
背景技術
一般に、アクティブマトリクス型表示装置では、多数の画素をマトリクス状に並べ、与えられた映像信号に応じて画素毎に光強度を制御することによって画像を表示する。たとえば、電気光学物質として液晶を用いた場合は、各画素に書き込まれる電圧に応じて画素の透過率が変化する。電気光学変換物質として有機エレクトロルミネッセンス（ＥＬ）材料を用いたアクティブマトリクス型の画像表示装置は画素に書き込まれる電流に応じて発光輝度が変化する。
液晶表示パネルは、各画素はシャッタとして動作し、バックライトからの光を画素であるシャッタでオンオフさせることにより画像を表示する。有機ＥＬ表示パネルは各画素に発光素子を有する自発光型である。そのため、有機ＥＬ表示パネルは、液晶表示パネルに比べて画像の視認性が高い、バックライトが不要、応答速度が速い等の利点を有する。
有機ＥＬ表示パネルは各発光素子（画素）の輝度は電流量によって制御される。つまり、発光素子が電流駆動型あるいは電流制御型であるという点で液晶表示パネルとは大きく異なる。
有機ＥＬ表示パネルも単純マトリクス方式とアクティブマトリクス方式の構成が可能である。前者は構造が単純であるものの大型かつ高精細の表示パネルの実現が困難である。しかし、安価である。後者は大型、高精細表示パネルを実現できる。しかし、制御方法が技術的に難しい、比較的高価であるという課題がある。現在では、アクティブマトリクス方式の開発が盛んに行われている。アクティブマトリクス方式は、各画素に設けた発光素子に流れる電流を画素内部に設けた薄膜トランジスタ（トランジスタ）によって制御する。このアクティブマトリクス方式の有機ＥＬ表示パネルは、特開平８－２３４６８３号公報に開示されている。この表示パネルの一画素分の等価回路を図４６に示す。画素１６は発光素子であるＥＬ素子１５、第１のトランジスタ１１ａ、第２のトランジスタ１１ｂおよび蓄積容量１９からなる。発光素子１５は有機エレクトロルミネッセンス（ＥＬ）素子である。本発明では、ＥＬ素子１５に電流を供給（制御）するトランジスタ１１ａを駆動用トランジスタ１１と呼ぶ。また、図４６のトランジスタ１１ｂのように、スイッチとして動作するトランジスタをスイッチ用トランジスタ１１と呼ぶ。
有機ＥＬ素子１５は多くの場合、整流性があるため、ＯＬＥＤ（有機発光ダイオード）と呼ばれることがある。図４６などでは発光素子１５としてダイオードの記号を用いている。
ただし、本発明における発光素子１５はＯＬＥＤに限るものではなく、素子１５に流れる電流量によって輝度が制御されるものであればよい。たとえば、無機ＥＬ素子が例示される。その他、半導体で構成される白色発光ダイオードが例示される。また、一般的な発光ダイオードが例示される。その他、発光トランジスタでもよい。また、発光素子１５は必ずしも整流性が要求されるものではない。双方向性ダイオードであってもよい。本発明のＥＬ素子１５はこのいずれでもよい。
図４６の例では、Ｐチャンネル型のトランジスタ１１ａのソース端子（Ｓ）をＶｄｄ（電

源電位）とし、ＥＬ素子１５のカソード（陰極）は接地電位（Ｖｋ）に接続される。一方、アノード（陽極）はトランジスタ１１ｂのドレイン端子（Ｄ）に接続されている。一方、Ｐチャンネル型のトランジスタ１１ａのゲート端子はゲート信号線１７ａに接続され、ソース端子はソース信号線１８に接続され、ドレイン端子は蓄積容量１９およびトランジスタ１１ａのゲート端子（Ｇ）に接続されている。

画素１６を動作させるために、まず、ゲート信号線１７ａを選択状態とし、ソース信号線１８に輝度情報を表す映像信号を印加する。すると、トランジスタ１１ａが導通し、蓄積容量１９が充電又は放電され、トランジスタ１１ｂのゲート電位は映像信号の電位に一致する。ゲート信号線１７ａを非選択状態とすると、トランジスタ１１ａがオフになり、トランジスタ１１ｂは電気的にソース信号線１８から切り離される。しかし、トランジスタ１１ａのゲート電位は蓄積容量（コンデンサ）１９によって安定に保持される。トランジスタ１１ａを介してＥＬ素子１５に流れる電流は、トランジスタ１１ａのゲート／ソース端子間電圧Ｖｇｓに応じた値となり、ＥＬ素子１５はトランジスタ１１ａを通って供給される電流量に応じた輝度で発光し続ける。

なお、上記の文献の全ての開示は、そっくりそのまま引用することにより、ここに一体化する。

液晶表示パネルは、自発光デバイスではないため、バックライトを用いないと画像を表示できないという問題点がある。バックライトを構成するためには所定の厚みが必要であるため、表示パネルの厚みが厚くなるという問題があった。また、液晶表示パネルでカラー表示を行うためには、カラーフィルターを使用する必要がある。そのため、光利用効率が低いという問題点があった。また、色再現範囲が狭いという問題点があった。

有機ＥＬ表示パネルは、低温ポリシリコントランジスタアレイを用いてパネルを構成する。しかし、有機ＥＬ素子は、電流により発光するため、トランジスタの特性にバラツキがあると、表示ムラが発生するという課題があった。

表示ムラは、画素を電流プログラム方式の構成を採用することにより低減することが可能である。電流プログラムを実施するためには、電流駆動方式のドライバ回路が必要である。しかし、電流駆動方式のドライバ回路にも電流出力段を構成するトランジスタ素子にバラツキが発生する。そのため、各出力端子からの階調出力電流にバラツキが発生し、良好な画像表示ができないという課題があった。

発明の開示

この目的を達成するために本発明のＥＬ表示パネル（ＥＬ表示装置）のドライバ回路は、単位電流を出力する複数のトランジスタを具備し、このトランジスタの個数を変化させることにより出力電流を出力するものである。また、多段のカレントミラー回路で構成されたことを特徴としている。信号の受け渡しが電圧受け渡しとなるトランジスタ群は密に形成し、カレントミラー回路の群との信号の受け渡しは、電流受け渡しの構成を採用する。また、基準電流は、複数のトランジスタで行う。

第１の本発明は、各画素に駆動用トランジスタとＥＬ素子間の電流経路をオンオフ制御するスイッチ素子を有するＥＬ表示装置の駆動方法であって、

画像データまたは画像データに順ずるデータを集計し、

前記集計したデータが少ない時よりも、大きい時の方が前記スイッチ素子をオフする期間を長くするＥＬ表示装置の駆動方法である。

第２の本発明は、ＥＬ素子がマトリックス状に形成された表示パネルと、

前記表示パネルにプログラム電流を供給するソースドライバ回路とを具備し、

前記ソースドライバ回路は、複数の単位電流素子を有する出力段と、前記単位電流素子が流す電流を制御する可変回路とを備えるＥＬ表示装置である。

第３の本発明は、動画検出を行う動画検出回路と、映像の特徴抽出を行う特徴抽出回路とを有するＥＬ表示装置を駆動する方法であって、

前記動画検出回路からの出力データにより選択する画素行数を変更する第１の動作と、

前記特徴抽出回路からの出力データにより選択する画素行数を変更する第２の動作とを実施するＥＬ表示装置の駆動方法である。

第４の本発明は、画面の非表示領域と表示領域との割合で、画面の輝度を制御するＥＬ表示装置であって、
ＥＬ素子および前記ＥＬ素子を駆動する駆動用トランジスタがマトリックス状に形成された表示領域と、
前記ＥＬ素子を画素行ごとにオンオフさせる電圧を伝達するゲート信号線と、
前記ゲート信号線を駆動するゲートドライバ回路と、
画像データまたは画像データに順ずるデータを集計する集計回路と、
前記集計回路の集計結果を、前記ゲートドライバ回路のスタートパルス信号に変換する変換回路を具備するＥＬ表示装置である。
第５の本発明は、画面の非表示領域と表示領域との割合で、画面の輝度を制御するＥＬ表示装置であって、
前記画面の非表示領域と表示領域の割合を、第１の割合から第２の割合に変更する際に、遅延時間を発生させるＥＬ表示装置の駆動方法である。
第６の本発明は、表示領域／（画面の非表示領域＋表示領域）は、１／１６以上１／１以下である、第５の本発明のＥＬ表示装置の駆動方法である。
第７の本発明は、各画素にコンデンサ、ＥＬ素子、および前記ＥＬ素子に電流を供給するＰチャンネルの駆動用トランジスタが形成され、かつ画素がマトリックス状に形成された表示パネルと、
前記表示パネルにプログラム電流を供給するソースドライバ回路とを具備し、
前記ソースドライバ回路は、複数の単位電流を出力するＮチャンネルの単位トランジスタを有する出力段を備えるＥＬ表示装置である。
第８の本発明は、コンデンサの容量をＣｓ（ｐＦ）とし、１画素が占める面積をＳ（平方μｍ）とすると、５００／Ｓ　≦　Ｃｓ　≦　２００００／Ｓの条件を満足する、第７の本発明のＥＬ表示装置である。
第９の本発明は、ソースドライバ回路からのプログラム電流Ｉ（μＡ）は、画素サイズがＡ（平方ｍｍ）とし、白ラスター表示所定輝度をＢ（ｎｔ）とすると、（Ａ×Ｂ）／２０　≦　Ｉ　≦　（Ａ×Ｂ）の条件を満足する、第７の本発明のＥＬ表示装置である。
第１０の本発明は、階調数をＫとし、単位トランジスタの大きさをＳｔ（平方μｍ）とすると、
４０　≦　Ｋ／√（Ｓｔ）　かつ　Ｓｔ　≦　３００の条件を満足する、第７の本発明のＥＬ表示装置である。
第１１の本発明は、階調数をＫとし、単位トランジスタの単位トランジスタのチャンネル長をＬ（μｍ）、チャンネル幅をＷ（μｍ）としたとき、（√（Ｋ／１６））　≦　Ｌ／Ｗ　≦　（√（Ｋ／１６））×２０の条件を満足する、第７の本発明のＥＬ表示装置である。
第１２の本発明は、第１の表示画面を有する第１のＥＬ表示パネルと、
第２の表示画面を有する第２のＥＬ表示パネルと、
前記第１のＥＬ表示パネルのソース信号線と前記第２のＥＬ表示パネルのソース信号線とを接続するフレキシブル基板とを具備し、
画素を駆動する駆動トランジスタのチャンネル幅をＷ（μｍ）とし、チャンネル長をＬ（μｍ）とすると、前記第１の表示画面の画素を駆動する駆動トランジスタのＷ／Ｌと、前記第２の表示画面の画素を駆動する駆動トランジスタのＷ／Ｌとが異なっているＥＬ表示装置である。

発明を実施するための最良の形態

本明細書において各図面は理解を容易にまたは／および作図を容易にするため、省略または／および拡大縮小した箇所がある。たとえば、図１１に図示する表示パネルの断面図では薄膜封止膜１１１などを十分厚く図示している。一方、図１０において、封止フタ８５は薄く図示している。また、省略した箇所もある。たとえば、本発明の表示パネルなどでは、反射防止のために円偏光板などの位相フィルムが必要である。しかし、本明細書の各図面では省略している。以上のことは以下の図面に対しても同様である。また、同一番号

または、記号等を付した箇所は同一もしくは類似の形態もしくは材料あるいは機能もしくは動作を有する。
なお、各図面等で説明した内容は特に断りがなくとも、他の実施例等と組み合わせることができる。たとえば、図８の表示パネルにタッチパネルなどを付加し、図１５７、図１５９から図１６１に図示する情報表示装置とすることができる。また、拡大レンズ１５８２を取り付け、ビデオカメラ（図１５９など参照のこと）などに用いるビューファインダ（図５８を参照のこと）を構成することもできる。また、図４、図１５、図１８、図２１、図２３、図２９、図３０、図３５、図３６、図４０、図４１、図４４、図１００などで説明した本発明の駆動方法は、いずれの本発明の表示装置または表示パネルに適用することができる。
なお、本明細書では、駆動用トランジスタ１１、スイッチング用トランジスタ１１は薄膜トランジスタとして説明するが、これに限定するものではない。薄膜ダイオード（ＴＦＤ）、リングダイオードなどでも構成することができる。また、薄膜素子に限定するものではなく、シリコンウエハに形成したトランジスタでもものでもよい。アレイ基板７１をシリコンウエハで形成すればよい。もちろん、ＦＥＴ、ＭＯＳ－ＦＥＴ、ＭＯＳトランジスタ、バイポーラトランジスタでもよい。これらも基本的に薄膜トランジスタである。その他、バリスタ、サイリスタ、リングダイオード、ホトダオード、ホトトランジスタ、ＰＬＺＴ素子などでもよいことは言うまでもない。つまり、本発明のトランジスタ素子１１、ゲートドライバ回路１２、ソースドライバ回路１４などは、これらのいずれでも使用することができる。
以下、本発明のＥＬパネルについて図面を参照しながら説明をする。有機ＥＬ表示パネルは、図１０に示すように、画素電極としての透明電極１０５が形成されたガラス板７１（アレイ基板）上に、電子輸送層、発光層、正孔輸送層などからなる少なくとも１層の有機機能層（ＥＬ層）１５、及び金属電極（反射膜）（カソード）１０６が積層されたものである。透明電極（画素電極）１０５である陽極（アノード）にプラス、金属電極（反射電極）１０６の陰極（カソード）にマイナスの電圧を加え、すなわち、透明電極１０５及び金属電極１０６間に直流を印加することにより、有機機能層（ＥＬ層）１５が発光する。金属電極１０６には、リチウム、銀、アルミニウム、マグネシウム、インジウム、銅または各々の合金等の仕事関数が小さなものを用いることが好ましい。特に、例えばＡｌ－Ｌｉ合金を用いることが好ましい。また、透明電極１０５には、ＩＴＯ等の仕事関数の大きな導電性材料または金等を用いることができる。なお、金を電極材料として用いた場合、電極は半透明の状態となる。なお、ＩＴＯはＩＺＯなどの他の材料でもよい。この事項は他の画素電極１０５に対しても同様である。
なお、封止フタ８５とアレイ基板７１との空間には乾燥剤１０７を配置する。これは、有機ＥＬ膜１５は湿度に弱いためである。乾燥剤１０７によりシール剤を浸透する水分を吸収し有機ＥＬ膜１５の劣化を防止する。
図１０はガラスのフタ８５を用いて封止する構成であるが、図１１のようにフィルム（薄膜でもよい。つまり、薄膜封止膜である）１１１を用いた封止であってもよい。たとえば、封止フィルム（薄膜封止膜）１１１としては電解コンデンサのフィルムにＤＬＣ（ダイヤモンド　ライク　カーボン）を蒸着したものを用いることが例示される。このフィルムは水分浸透性が極めて悪い（防湿性能が高い）。このフィルムを薄膜封止膜１１１として用いる。また、ＤＬＣ（ダイヤモンド　ライク　カーボン）膜などを金属電極１０６の表面に直接蒸着する構成のものよいことは言うまでもない。その他、樹脂薄膜と金属薄膜を多層に積層して、薄膜封止膜を構成してもよい。
薄膜の膜厚はｎ・ｄ（ｎは薄膜の屈折率、複数の薄膜が積層されている場合はそれらの屈折率を総合（各薄膜のｎ・ｄを計算）して計算する。ｄは薄膜の膜厚、複数の薄膜が積層されている場合はそれらの屈折率を総合して計算する。）が、ＥＬ素子１５の発光主波長λ以下となるようにするとよい。この条件を満足させることにより、ＥＬ素子１５からの光取り出し効率が、ガラス基板で封止した場合に比較して２倍以上になる。また、アルミニウムと銀の合金あるいは混合物あるいは積層物を形成してもよい。

以上のように封止フタ８５を用いず、薄膜封止膜１１１で封止する構成を薄膜封止と呼ぶ。アレイ基板７１側から光を取り出す「下取り出し（図１０を参照、光取り出し方向は図１０の矢印方向である）」の場合の薄膜封止は、ＥＬ膜を形成後、ＥＬ膜上にカソードとなるアルミ電極を形成する。次にこのアルミ膜上に緩衝層としての樹脂層を形成する。緩衝層としては、アクリル、エポキシなどの有機材料が例示される。また、膜厚は１μｍ以上１０μｍ以下の厚みが適する。さらに好ましくは、膜厚は２μｍ以上６μｍ以下の厚みが適する。この緩衝膜上の封止膜７４を形成する。緩衝膜がないと、応力によりＥＬ膜の構造が崩れ、筋状に欠陥が発生する。薄膜封止膜１１１は前述したように、ＤＬＣ（ダイヤモンド　ライク　カーボン）、あるいは電界コンデンサの層構造（誘電体薄膜とアルミ薄膜とを交互に多層蒸着した構造）が例示される。

ＥＬ層１５側から光を取り出す「上取り出し図１１を参照、光取り出し方向は図１１の矢印方向である」の場合の薄膜封止は、ＥＬ膜１５を形成後、ＥＬ膜１５上にカソード（アノード）となるＡｇ－Ｍｇ膜を２０オングストローム以上３００オングストロームの膜厚で形成する。その上に、ＩＴＯなどの透明電極を形成して低抵抗化する。次にこの電極膜上に緩衝層としての樹脂層を形成する。この緩衝膜上に薄膜封止膜１１１を形成する。

有機ＥＬ層１５から発生した光の半分は、金属電極１０６で反射され、アレイ基板７１と透過して出射される。しかし、金属電極１０６は外光を反射し写り込みが発生して表示コントラストを低下させる。この対策のために、アレイ基板７１にλ／４移相板１０８および偏光板（偏光フィルム）１０９を配置している。これらは一般的に円偏光板（円偏光シート）と呼ばれる。

なお、画素が反射電極の場合はＥＬ層１５から発生した光は上方向に出射される。したがって、位相板１０８および偏光板１０９は光出射側に配置することはいうまでもない。なお、反射型画素は、画素電極１０５を、アルミニウム、クロム、銀などで構成して得られる。また、画素電極１０５の表面に、凸部（もしくは凹凸部）を設けることで有機ＥＬ層１５との界面が広くなり発光面積が大きくなり、また、発光効率が向上する。なお、カソード１０６（アノード１０５）となる反射膜を透明電極に形成する、あるいは反射率を３０％以下に低減できる場合は、円偏光板は不要である。写り込みが大幅に減少するからである。また、光の干渉も低減し望ましい。

トランジスタ１１はＬＤＤ（ロー　ドーピング　ドレイン）構造を採用することが好ましい。また、本明細書ではＥＬ素子として有機ＥＬ素子（ＯＥＬ、ＰＥＬ、ＰＬＥＤ、ＯＬＥＤなど多種多様な略称で記述される）１５を例にあげて説明するがこれに限定するものではなく、無機ＥＬ素子にも適用されることは言うまでもない。

まず、有機ＥＬ表示パネルに用いられるアクティブマトリックス方式は、特定の画素を選択し、必要な表示情報を与えられること、１フレーム期間を通じてＥＬ素子に電流を流すことができることという２つの条件を満足させなければならない。

この２つの条件を満足させるため、図４６に図示する従来の有機ＥＬの画素構成では、第１のトランジスタ１１ｂは画素を選択するためのスイッチング用トランジスタ、第２のトランジスタ１１ａはＥＬ素子（ＥＬ膜）１５に電流を供給するための駆動用トランジスタとする。

この構成を用いて階調を表示させる場合、駆動用トランジスタ１１ａのゲート電圧として階調に応じた電圧を印加する必要がある。したがって、駆動用トランジスタ１１ａのオン電流のばらつきがそのまま表示に現れる。

トランジスタのオン電流は単結晶で形成されたトランジスタであれば、きわめて均一であるが、安価なガラス基板に形成することのできる形成温度が４５０度以下の低温ポリシリ技術で形成した低温多結晶トタンジスタでは、そのしきい値のばらつきが±０．２Ｖ～０．５Ｖの範囲でばらつきがある。そのため、駆動用トランジスタ１１ａを流れるオン電流がこれに対応してばらつき、表示にムラが発生する。これらのムラは、しきい値電圧のばらつきのみならず、トランジスタの移動度、ゲート絶縁膜の厚みなどでも発生する。また、トランジスタ１１の劣化によっても特性は変化する。

この現象は、低温ポリシリコン技術に限定されるものではなく、プロセス温度が４５０度

（摂氏）以上の高温ポリシリコン技術でも、固相（ＣＧＳ）成長させた半導体膜を用いてトランジスタなどを形成したものでも発生する。その他、有機トランジスタでも発生する。アモルファスシリコントランジスタでも発生する。

以下に説明する本発明は、これらの技術に対応し、対策できる構成あるいは方式である。なお、本明細書では低温ポリシリコン技術で形成したトランジスタを主として説明する。したがって、図４６のように、電圧を書き込むことにより、階調を表示させる方法では、均一な表示を得るために、デバイスの特性を厳密に制御する必要がある。しかし、現状の低温多結晶ポリシリコントランジスタなどではこのバラツキを所定範囲以内の抑えるというスペックを満足できない。

本発明のＥＬ表示装置の画素構造は、具体的には図１に示すように単位画素が最低４つからなる複数のトランジスタ１１ならびにＥＬ素子により形成される。画素電極はソース信号線と重なるように構成する。つまり、ソース信号線１８上に絶縁膜あるいはアクリル材料からなる平坦化膜を形成して絶縁し、この絶縁膜上に画素電極１０５を形成する。このようにソース信号線１８上の少なくとも１部に画素電極を重ねる構成をハイアパーチャ（ＨＡ）構造と呼ぶ。不要な干渉光などが低減し、良好な発光状態が期待できる。

ゲート信号線（第１の走査線）１７ａをアクティブ（ＯＮ電圧を印加）とすることによりＥＬ素子１５の駆動用のトランジスタ１１ａおよびスイッチ用トランジスタ１１ｃを通して、前記ＥＬ素子１５に流すべき電流値をソースドライバ回路１４から流す。また、トランジスタ１１ａのゲートとドレイン間を短絡するようにトランジスタ１１ｂがゲート信号線１７ａアクティブ（ＯＮ電圧を印加）となることにより開くと共に、トランジスタ１１ａのゲートとソース間に接続されたコンデンサ（キャパシタ、蓄積容量、付加容量）１９にトランジスタ１１ａのゲート電圧（あるいはドレイン電圧）を記憶する（図３の（ａ）を参照のこと）。

なお、コンデンサ（蓄積容量）１９の大きさは、０．２ｐＦ以上２ｐＦ以下とすることがよく、中でもコンデンサ（蓄積容量）１９の大きさは、０．４ｐＦ以上１．２ｐＦ以下とすることがよい。画素サイズを考慮してコンデンサ１９の容量を決定する。１画素に必要な容量をＣｓ（ｐＦ）とし、１画素が占める面積（開口率ではない）をＳｐ（平方μｍ）とすれば、５００／Ｓ ≦ Ｃｓ ≦ ２００００／Ｓとし、さらに好ましくは、１０００／Ｓｐ ≦ Ｃｓ ≦ １００００／Ｓｐとなるようにする。なお、トランジスタのゲート容量は小さいので、ここでいうＱとは、蓄積容量（コンデンサ）１９単独の容量である。

ゲート信号線１７ａを非アクティブ（ＯＦＦ電圧を印加）、ゲート信号線１７ｂをアクティブとして、電流の流れる経路を前記第１のトランジスタ１１ａ並びにＥＬ素子１５に接続されたトランジスタ１１ｄならびに前記ＥＬ素子１５を含む経路に切り替えて、記憶した電流を前記ＥＬ素子１５に流すように動作する（図３の（ｂ）を参照のこと）。

この回路は１画素内に４つのトランジスタ１１を有しており、トランジスタ１１ａのゲートはトランジスタ１１ｂのソースに接続されている。また、トランジスタ１１ｂおよびトランジスタ１１ｃのゲートはゲート信号線１７ａに接続されている。トランジスタ１１ｂのドレインはトランジスタ１１ｃのソースならびにトランジスタ１１ｄのソースに接続され、トランジスタ１１ｃのドレインはソース信号線１８に接続されている。トランジスタ１１ｄのゲートはゲート信号線１７ｂに接続され、トランジスタ１１ｄのドレインはＥＬ素子１５のアノード電極に接続されている。

なお、図１ではすべてのトランジスタはＰチャンネルで構成している。Ｐチャンネルは多少Ｎチャンネルのトランジスタに比較してモビリティが低いが、耐圧が大きくまた劣化も発生しにくいので好ましい。しかし、本発明はＥＬ素子構成をＰチャンネルで構成することのみに限定するものではない。Ｎチャンネルのみで構成してもよい。また、ＮチャンネルとＰチャンネルの両方を用いて構成してもよい。

最適には画素を構成するトランジスタ１１をすべてＰチャンネルで形成し、内蔵ゲートドライバ回路１２もＰチャンネルで形成することが好ましい。このようにアレイをＰチャンネルのみのトランジスタで形成することにより、マスク枚数が５枚となり、低コスト化、

高歩留まり化を実現できる。
以下、さらに本発明の理解を容易にするために、本発明のＥＬ素子構成について図３を用いて説明する。本発明のＥＬ素子構成は２つのタイミングにより制御される。第１のタイミングは必要な電流値を記憶させるタイミングである。このタイミングでトランジスタ１１ｂならびにトランジスタ１１ｃがＯＮすることにより、等価回路として図３の（ａ）となる。ここで、信号線より所定の電流Ｉｗが書き込まれる。これによりトランジスタ１１ａはゲートとドレインが接続された状態となり、このトランジスタ１１ａとトランジスタ１１ｃを通じて電流Ｉｗが流れる。したがって、トランジスタ１１ａのゲート－ソースの電圧はＩ１が流れるような電圧となる。
第２のタイミングはトランジスタ１１ａとトランジスタ１１ｃが閉じ、トランジスタ１１ｄが開くタイミングであり、そのときの等価回路は図３の（ｂ）となる。トランジスタ１１ａのソース－ゲート間の電圧は保持されたままとなる。この場合、トランジスタ１１ａは常に飽和領域で動作するため、Ｉｗの電流は一定となる。
このように動作させると、図５に図示するようになる。つまり、図５の（ａ）の５１ａは表示画面５０における、ある時刻での電流プログラムされている画素（行）（書き込み画素行）を示している。この画素（行）５１ａは、図５の（ｂ）に図示するように非点灯（非表示画素（行））とする。他の画素（行）は表示画素（行）５３とする（表示領域５３の画素１６のＥＬ素子１５には電流が流れ、ＥＬ素子１５が発光している）。
図１の画素構成の場合、図３の（ａ）に示すように、電流プログラム時は、プログラム電流Ｉｗがソース信号線１８に流れる。この電流Ｉｗがトランジスタ１１ａを流れ、Ｉｗを流す電流が保持されるように、コンデンサ１９に電圧設定（プログラム）される。このとき、トランジスタ１１ｄはオープン状態（オフ状態）である。
次に、ＥＬ素子１５に電流を流す期間は図３の（ｂ）のように、トランジスタ１１ｃ、１１ｂがオフし、トランジスタ１１ｄが動作する。つまり、ゲート信号線１７ａにオフ電圧（Ｖｇｈ）が印加され、トランジスタ１１ｂ、１１ｃがオフする。一方、ゲート信号線１７ｂにオン電圧（Ｖｇｌ）が印加され、トランジスタ１１ｄがオンする。
このタイミングチャートを図４に図示する。なお、図４などにおいて、括弧内の添え字（たとえば、（１）など）は画素行の番号を示している。つまり、ゲート信号線１７ａ（１）とは、画素行（１）のゲート信号線１７ａを示している。また、図４の上段の＊Ｈ（「＊」には任意の記号、数値が当てはまり、水平走査線の番号を示す）とは、水平走査期間を示している。つまり、１Ｈとは第１番目の水平走査期間である。なお、以上の事項は、説明を容易にするためであって、限定（１Ｈの番号、１Ｈ周期、画素行番号の順番など）するものではない。
図４でわかるように、各選択された画素行（選択期間は、１Ｈとしている）において、ゲート信号線１７ａにオン電圧が印加されている時には、ゲート信号線１７ｂにはオフ電圧が印加されている。また、この期間は、ＥＬ素子１５には電流が流れていない（非点灯状態）。選択されていない画素行において、ゲート信号線１７ａにオフ電圧が印加され、ゲート信号線１７ｂにはオン電圧が印加されている。また、この期間は、ＥＬ素子１５に電流が流れている（点灯状態）。
なお、トランジスタ１１ａのゲートとトランジスタ１１ｃのゲートは同一のゲート信号線１１ａに接続している。しかし、トランジスタ１１ａのゲートとトランジスタ１１ｃのゲートとを異なるゲート信号線１１に接続してもよい（図３２を参照のこと）。１画素のゲート信号線は３本となる（図１の構成は２本である）。トランジスタ１１ｂのゲートのＯＮ／ＯＦＦタイミングとトランジスタ１１ｃのゲートのＯＮ／ＯＦＦタイミングを個別に制御することにより、トランジスタ１１ａのばらつきによるＥＬ素子１５の電流値バラツキをさらに低減することができる。
ゲート信号線１７ａとゲート信号線１７ｂとを共通にし、トランジスタ１１ｃと１１ｄが異なった導電型（ＮチャンネルとＰチャンネル）とすると、駆動回路の簡略化、ならびに画素の開口率を向上させることが出来る。
このように構成すれば本発明の動作タイミングとしては信号線からの書きこみ経路がオフ

になる。すなわち所定の電流が記憶される際に、電流の流れる経路に分岐があると正確な電流値がトランジスタ１１ａのソース（Ｓ）－ゲート（Ｇ）間容量（コンデンサ）に記憶されない。トランジスタ１１ｃとトランジスタ１１ｄを異なった導電形にすることにより、お互いの閾値を制御することによって走査線の切り替わりのタイミングで必ずトランジスタ１１ｃがオフしたのちに、トランジスタ１１ｄがオンすることが可能になる。
ただし、この場合お互いの閾値を正確にコントロールする必要があるのでプロセスの注意が必要である。なお、以上述べた回路は最低４つのトランジスタで実現可能であるが、より正確なタイミングのコントロールあるいは後述するように、ミラー効果低減のためにトランジスタ１１ｅを図２に示すように、カスケード接続してトランジスタの総数が４以上になっても動作原理は同じである。このようにトランジスタ１１ｅを加えた構成とすることにより、トランジスタ１１ｃを介してプログラムした電流をより精度よくＥＬ素子１５に流すことができるようになる。
なお、本発明の画素構成は図１、図２の構成に限定されるものではない。たとえば、図１１３のように構成してもよい。図１１３は、図１の構成に比較してトランジスタ１１ｄがない。替わりに切り替えスイッチ１１３１が形成または配置されている。図１のスイッチ１１ｄは駆動用トランジスタ１１ａからＥＬ素子１５に流れる電流をオンオフ（流す、流さない）制御する機能を有する。以降の実施例でも説明をするが、本発明はこのトランジスタ１１ｄのオンオフ制御機能が重要な構成要素である。トランジスタ１１ｄを形成せず、オンオフ機能を実現するのが、図１１３の構成である。
図１１３において、切り替えスイッチ１１３１のａ端子は、アノード電圧Ｖｄｄに接続されている。なお、ａ端子に印加する電圧はアノード電圧Ｖｄｄに限定されるものではなく、ＥＬ素子１５に流れる電流をオフできる電圧であればいずれでもよい。
切り替えスイッチ１１３１のｂ端子は、カソード電圧（図１１３ではグランドと図示している）に接続されている。なお、ｂ端子に印加する電圧はカソード電圧に限定されるものではなく、ＥＬ素子１５に流れる電流をオンできる電圧であればいずれでもよい。
切り替えスイッチ１１３１のｃ端子にはＥＬ素子１５のカソード端子が接続されている。なお、切り替えスイッチ１１３１はＥＬ素子１５に流れる電流をオンオフさせる機能を持つものであればいずれでもよい。したがって、図１１３の形成位置に限定されるものではなく、ＥＬ素子１５の電流が流れる経路であればいずれでもよい。また、スイッチの機能の限定されるものでもなく、ＥＬ素子１５に流れる電流をオンオフできればいずれでもよい。つまり、本発明では、ＥＬ素子１５の電流経路にＥＬ素子１５に流す電流をオンオフできるスイッチング手段を具備すればいずれの画素構成でもよい。
また、オフとは完全に電流が流れない状態を意味するものではない。ＥＬ素子１５に流れる電流を通常よりも低減できるものであればよい。以上の事項は本発明の他の構成においても同様である。
切り替えスイッチ１１３１は、ＰチャンネルとＮチャンネルのトランジスタを組み合わせることにより容易に実現できるので説明を要さないであろう。たとえば、アナログスイッチを２回路形成すればよい。もちろん、スイッチ１１３１はＥＬ素子１５に流れる電流をオンオフするだけであるから、ＰチャンネルトランジスタあるいはＮチャンネルトランジスタでも形成することができることは言うまでもない。
スイッチ１１３１がａ端子に接続されている時は、ＥＬ素子１５のカソード端子にＶｄｄ電圧が印加される。したがって、駆動用トランジスタ１１ａのゲート端子Ｇがいずれの電圧保持状態であってもＥＬ素子１５には電流が流れない。したがって、ＥＬ素子１５は非点灯状態となる。
スイッチ１１３１がｂ端子に接続されている時は、ＥＬ素子１５のカソード端子にＧＮＤ電圧が印加される。したがって、駆動用トランジスタ１１ａのゲート端子Ｇに保持された電圧状態に応じてＥＬ素子１５に電流が流れる。したがって、ＥＬ素子１５は点灯状態となる。
以上のことより図１１３の画素構成では、駆動用トランジスタ１１ａとＥＬ素子１５間にはスイッチング用トランジスタ１１ｄが形成されていない。しかし、スイッチ１１３１を

制御することによりＥＬ素子１５の点灯制御を行うことができる。
図１、図２などの画素構成では、駆動用トランジスタ１１ａは１画素につき１個である。本発明はこれに限定するものではなく、駆動用トランジスタ１１ａは１画素に複数個を形成または配置してもよい。図１１６はその実施例である。図１１６では１画素に２個の駆動用トランジスタ１１ａ１、１１ａ２が形成され、２個の駆動用トランジスタ１１ａ１、１１ａ２のゲート端子は共通のコンデンサ１９に接続されている。駆動用トランジスタ１１ａを複数個形成することにより、プログラムされる電流バラツキが低減するという効果がある。他の構成は、図１などと同様であるので説明を省略する。
図１、図２は駆動用トランジスタ１１ａが出力する電流をＥＬ素子１５に流し、前記電流を駆動用トランジスタ１１ａとＥＬ素子１５間に配置されたトランジスタ１１ｄでオンオフ制御するものであった。しかし、本発明はこれに限定されるものではない。たとえば、図１１７の構成が例示される。
図１１７の実施例では、ＥＬ素子１５に流す電流が駆動用トランジスタ１１ａで制御される。ＥＬ素子１５に流れる電流をオンオフさせるのはＶｄｄ端子とＥＬ素子１５間に配置されたスイッチング素子１１ｄで制御される。したがって、本発明はスイッチング素子１１ｄの配置はどこでもよく、ＥＬ素子１５に流れる電流を制御できるものであればいずれでもよい。
トランジスタ１１ａの特性のバラツキはトランジスタサイズに相関がある。特性バラツキを小さくするため、第１のトランジスタ１１ａのチャンネル長が５μｍ以上１００μｍ以下とすることが好ましい。さらに好ましくは、第１のトランジスタ１１ａのチャンネル長が１０μｍ以上５０μｍ以下とすることが好ましい。これは、チャンネル長Ｌを長くした場合、チャンネルに含まれる粒界が増えることによって電界が緩和されキンク効果が低く抑えられるためであると考えられる。
以上のように、本発明は、ＥＬ素子１５に電流が流れこむ経路、またはＥＬ素子１５から電流が流れ出す経路（つまり、ＥＬ素子１５の電流経路である）にＥＬ素子１５に流れる電流を制御する回路手段を構成または形成もしくは配置したものである。
電流プログラム方式の１つであるカレントミラー方式であっても、図１１４に図示するように、駆動用トランジスタ１１ｂとＥＬ素子１５間にスイッチング素子としてのトランジスタ１１ｇを形成または配置することによりＥＬ素子１５に流れる電流をオンオフすることができる（制御することができる）。もちろん、トランジスタ１１ｇは図１１３のスイッチ１１３１に置き換えても良い。
なお、図１１４のスイッチング用トランジスタ１１ｄ、１１ｃは１本のゲート信号線１７ａに接続されているが、図１１５に図示するように、トランジスタ１１ｃはゲート信号線１７ａ１で制御し、トランジスタ１１ｄはゲート信号線１７ａ２で制御するように構成してもよい。図１１５の構成の方が、画素１６の制御の汎用性が高くなる。
また、図４２の（ａ）に図示するように、トランジスタ１１ｂ、１１ｃなどはＮチャンネルトランジスタで形成してもよい。また、図４２の（ｂ）に図示するようにトランジスタ１１ｃ、１１ｄなどはＰチャンネルトランジスタで形成してもよい。
本特許の発明の目的は、トランジスタ特性のばらつきが表示に影響を与えない回路構成を提案するものであり、そのために４トランジスタ以上が必要である。これらのトランジスタ特性により、回路定数を決定する場合、４つのトランジスタの特性がそろわなければ、適切な回路定数を求めることが困難である。レーザー照射の長軸方向に対して、チャンネル方向が水平の場合と垂直の場合では、トランジスタ特性の閾値と移動度が異なって形成される。なお、どちらの場合もばらつきの程度は同じである。水平方向と、垂直方向では移動度、閾値のあたいの平均値が異なる。したがって、画素を構成するすべてのトランジスタのチャンネル方向は同一であるほうが望ましい。
また、蓄積容量１９の容量値をＣｓ、第２のトランジスタ１１ｂのオフ電流値をＩｏｆｆとした場合、次式を満足させることが好ましい。

３ ＜ Ｃｓ／Ｉｏｆｆ ＜ ２４

さらに好ましくは、次式を満足させることが好ましい。

６　＜　Ｃｓ／Ｉｏｆｆ　＜　１８

トランジスタ１１ｂのオフ電流を５ｐＡ以下とすることにより、ＥＬを流れる電流値の変化を２％以下に抑えることが可能である。これはリーク電流が増加すると、電圧非書き込み状態においてゲート－ソース間（コンデンサの両端）に貯えられた電荷を１フィールド間保持できないためである。したがって、コンデンサ１９の蓄積用容量が大きければオフ電流の許容量も大きくなる。前記式を満たすことによって隣接画素間の電流値の変動を２％以下に抑えることができる。

また、アクティブマトリックスを構成するトランジスタがｐ－チャンネルポリシリコン薄膜トランジスタに構成され、トランジスタ１１ｂがデュアルゲート以上であるマルチゲート構造とすることが好ましい。トランジスタ１１ｂは、トランジスタ１１ａのソース－ドレイン間のスイッチとして作用するため、できるだけＯＮ／ＯＦＦ比の高い特性が要求される。トランジスタ１１ｂのゲートの構造をデュアルゲート構造以上のマルチゲート構造とすることによりＯＮ／ＯＦＦ比の高い特性を実現できる。

画素１６のトランジスタ１１を構成する半導体膜は、低温ポリシリコン技術において、レーザーアニールにより形成するのが一般的である。このレーザーアニールの条件のバラツキがトランジスタ１１特性のバラツキとなる。しかし、１画素１６内のトランジスタ１１の特性が一致していれば、図１などの電流プログラムを行う方式では、所定の電流がＥＬ素子１５に流れるように駆動することができる。この点は、電圧プログラムにない利点である。レーザーとしてはエキシマレーザーを用いることが好ましい。

なお、本発明において、半導体膜の形成は、レーザーアニール方法に限定するものではなく、熱アニール方法、固相（ＣＧＳ）成長による方法でもよい。その他、低温ポリシリコン技術に限定するものではなく、高温ポリシリコン技術を用いても良いことはいうまでもない。また、アモルファスシリコン技術を用いて形成した半導体膜であってもよい。

この課題に対して、本発明では図７に示すように、アニールの時のレーザー照射スポット（レーザー照射範囲）７２をソース信号線１８に平行に照射する。また、１画素列に一致するようにレーザー照射スポット７２を移動させる。もちろん、１画素列に限定するものではなく、たとえば、図５５のＲＧＢを１画素１６という単位でレーザーを照射してもよい（この場合は、３画素列ということになる）。また、複数の画素に同時に照射してもよい。また、レーザーの照射範囲の移動がオーバーラップしてもよいことは言うまでもない（通常、移動するレーザー光の照射範囲はオーバーラップするのが普通である）。

画素はＲＧＢの３画素で正方形の形状となるように作製されている。したがって、Ｒ、Ｇ、Ｂの各画素は縦長の画素形状となる。したがって、レーザー照射スポット７２を縦長にしてアニールすることにより、１画素内ではトランジスタ１１の特性バラツキが発生しないようにすることができる。また、１つのソース信号線１８に接続されたトランジスタ１１の特性（モビリティ、Ｖｔ、Ｓ値など）を均一にすることができる（つまり、隣接したソース信号線１８のトランジスタ１１とは特性が異なる場合があるが、１つのソース信号線に接続されたトランジスタ１１の特性はほぼ等しくすることができる）。

図７の構成では、レーザー照射スポット７２の長さの範囲内に３つのパネルが縦に配置されるように形成されている。レーザー照射スポット７２を照射するアニール装置はガラス基板７４の位置決めマーカー７３ａ、７３ｂを認識（パターン認識による自動位置決め）してレーザー照射スポット７２を移動させる。位置決めマーカー７３の認識はパターン認識装置で行う。アニール装置（図示せず）は位置決めマーカー７３を認識し、画素列の位置をわりだす（レーザー照射範囲７２がソース信号線１８と平行になるようにする）。画素列位置に重なるようにレーザー照射スポット７２を照射してアニールを順次行う。

図７で説明したレーザーアニール方法（ソース信号線１８に平行にライン状のレーザースポットを照射する方式）は、有機ＥＬ表示パネルの電流プログラム方式の時に特に採用することが好ましい。なぜならば、ソース信号線に平行方向にトランジスタ１１の特性が一致しているためである（縦方向に隣接した画素トランジスタの特性が近似している）。そのため、電流駆動時にソース信号線の電圧レベルの変化が少なく、電流書き込み不足が発生しにくい。

たとえば、白ラスター表示であれば、隣接した各画素のトランジスタ１１ａに流す電流はほぼ同一のため、ソースドライバＩＣ１４から出力する電流振幅の変化が少ない。もし、図１のトランジスタ１１ａの特性が同一であり、各画素に電流プログラムする電流値が画素列で等しいのであれば、電流プログラム時のソース信号線１８の電位は一定である。したがって、ソース信号線１８の電位変動は発生しない。１つのソース信号線１８に接続されたトランジスタ１１ａの特性がほぼ同一であれば、ソース信号線１８の電位変動は小さいことになる。このことは、図３８などの他の電流プログラム方式の画素構成でも同一である（つまり、図７の製造方法を適用することが好ましい）。

また、図２７、図３０などで説明する複数の画素行を同時書き込みする方式で均一が画像表示（主としてトランジスタ特性のばらつきに起因する表示ムラが発生しにくいからである）を実現できる。図２７などは複数画素行同時に選択するから、隣接した画素行のトランジスタが均一であれば、縦方向のトランジスタ特性ムラはソースドライバ回路１４で吸収できる。

なお、図７では、ソースドライバ回路１４は、ＩＣチップを積載するように図示しているが、これに限定するものではなく、ソースドライバ回路１４を画素１６と同一プロセスで形成してもよいことは言うまでもない。

本発明では特に、駆動用トランジスタ１１ｂの閾電圧Ｖｔｈ２が画素内で対応する駆動用トランジスタ１１ａの閾電圧Ｖｔｈ１より低くならない様に設定している。例えば、トランジスタ１１ｂのゲート長Ｌ２をトランジスタ１１ａのゲート長Ｌ１よりも長くして、これらの薄膜トランジスタのプロセスパラメータが変動しても、Ｖｔｈ２がＶｔｈ１よりも低くならない様にする。これにより、微少な電流リークを抑制することが可能である。

なお、以上の事項は、図３８に図示するカレントミラーの画素構成にも適用できる。図３８では、信号電流が流れる駆動用トランジスタ１１ａ、ＥＬ素子１５等からなる発光素子に流れる駆動電流を制御する駆動用トランジスタ１１ｂの他、ゲート信号線１７ａ１の制御によって画素回路とデータ線ｄａｔａとを接続もしくは遮断する取込用トランジスタ１１ｃ、ゲート信号線１７ａ２の制御によって書き込み期間中にトランジスタ１１ａのゲート・ドレインを短絡するスイッチ用トランジスタ１１ｄ、トランジスタ１１ａのゲート－ソース間電圧を書き込み終了後も保持するための容量Ｃ１９および発光素子としてのＥＬ素子１５などから構成される。

図３８でトランジスタ１１ｃ、１１ｄはＮチャンネルトランジスタ、その他のトランジスタはＰチャンネルトランジスタで構成しているが、これは一例であって、必ずしもこの通りである必要はない。容量Ｃｓは、その一方の端子をトランジスタ１１ａのゲートに接続され、他方の端子はＶｄｄ（電源電位）に接続されているが、Ｖｄｄに限らず任意の一定電位でも良い。ＥＬ素子１５のカソード（陰極）は接地電位に接続されている。

次に、本発明のＥＬ表示パネルあるいはＥＬ表示装置について説明をする。図６はＥＬ表示装置の回路を中心とした説明図である。画素１６がマトリックス状に配置または形成されている。各画素１６には各画素の電流プログラムを行う電流を出力するソースドライバ回路１４が接続されている。ソースドライバ回路１４の出力段は映像信号のビット数に対応したカレントミラー回路が形成されている（後に説明する）。たとえば、６４階調であれば、６３個のカレントミラー回路が各ソース信号線に形成され、これらのカレントミラー回路の個数を選択することにより所望の電流をソース信号線１８に印加できるように構成されている（図４８を参照のこと）。

なお、１つのカレントミラー回路の最小出力電流は１０ｎＡ以上５０ｎＡにしている。特にカレントミラー回路の最小出力電流は１５ｎＡ以上３５ｎＡにすることがよい。ソースドライバＩＣ１４内のカレントミラー回路を構成するトランジスタの精度を確保するためである。

また、ソース信号線１８の電荷を強制的に放出または充電するプリチャージあるいはディスチャージ回路を内蔵する。ソース信号線１８の電荷を強制的に放出または充電するプリチャージあるいはディスチャージ回路の電圧（電流）出力値は、Ｒ、Ｇ、Ｂで独立に設定できるように構成することが好ましい。ＥＬ素子１５の閾値がＲＧＢで異なるからである

（プリチャージ回路については図６５、図６７およびその説明を参照のこと）。
有機ＥＬ素子は大きな温度依存性特性（温特）があることが知られている。この温特による発光輝度変化を調整するため、カレントミラー回路に出力電流を変化させるサーミスタあるいはポジスタなどの非直線素子を付加し、温特による変化を前記サーミスタなどで調整することによりアナログ的に基準電流を調整する（変化させる）。
本発明において、ソースドライバ回路１４は半導体シリコンチップで形成し、ガラスオンチップ（ＣＯＧ）技術でアレイ基板７１のソース信号線１８の端子と接続されている。ソースドライバ回路１４の実装は、ＣＯＧ技術に限定するものではなく、チップオンフィルム（ＣＯＦ）技術に前述のソースドライバＩＣ１４などを積載し、表示パネルの信号線と接続した構成としてもよい。また、ドライブＩＣは電源ＩＣ８２を別途作製し、３チップ構成としてもよい。
一方、ゲートドライバ回路１２は低温ポリシリコン技術で形成している。つまり、画素のトランジスタと同一のプロセスで形成している。これは、ソースドライバ回路１４に比較して内部の構造が容易で、動作周波数も低いためである。したがって、低温ポリシリ技術で形成しても容易に形成することができ、また、狭額縁化を実現できる。もちろん、ゲートドライバ回路１２をシリコンチップで形成し、ＣＯＧ技術などを用いてアレイ基板７１上に実装してもよいことは言うまでもない。また、画素トランジスタなどのスイッチング素子、ゲートドライバなどは高温ポリシリコン技術で形成してもよく、有機材料で形成（有機トランジスタ）してもよい。
ゲートドライバ回路１２はゲート信号線１７ａ用のシフトレジスタ回路６１ａと、ゲート信号線１７ｂ用のシフトレジスタ回路６１ｂとを内蔵する。各シフトレジスタ回路６１は正相と負相のクロック信号（ＣＬＫｘＰ、ＣＬＫｘＮ）、スタートパルス（ＳＴｘ）で制御される（図６を参照のこと）。その他、ゲート信号線の出力、非出力を制御するイネーブル（ＥＮＡＢＬ）信号、シフト方向を上下逆転するアップダウン（ＵＰＤＷＭ）信号を付加することが好ましい。他に、スタートパルスがシフトレジスタにシフトされ、そして出力されていることを確認する出力端子などを設けることが好ましい。なお、シフトレジスタのシフトタイミングはコントロールＩＣ８１からの制御信号で制御される。また、外部データのレベルシフトを行うレベルシフト回路を内蔵する。
シフトレジスタ回路６１のバッファ容量は小さいため、直接にはゲート信号線１７を駆動することができない。そのため、シフトレジスタ回路６１の出力とゲート信号線１７を駆動する出力ゲート６３間には少なくとも２つ以上のインバータ回路６２が形成されている。
ソースドライバ回路１４を低温ポリシリなどのポリシリ技術でアレイ基板７１上に直接形成する場合も同様であり、ソース信号線１８を駆動するトランスファーゲートなどのアナログスイッチのゲートとソースドライバ回路１４のシフトレジスタ間には複数のインバータ回路が形成される。以下の事項（シフトレジスタの出力と、信号線を駆動する出力段（出力ゲートあるいはトランスファーゲートなどの出力段間に配置されるインバータ回路に関する事項）は、ソースドライブおよびゲートドライブ回路に共通の事項である。
たとえば、図６ではソースドライバ回路１４の出力が直接ソース信号線１８に接続されているように図示したが、実際には、ソースドライバのシフトレジスタの出力は多段のインバータ回路が接続されて、インバータの出力がトランスファーゲートなどのアナログスイッチのゲートに接続されている。
インバータ回路６２はＰチャンネルのＭＯＳトランジスタとＮチャンネルのＭＯＳトランジスタから構成される。先にも説明したようにゲートドライバ回路１２のシフトレジスタ回路６１の出力端にはインバータ回路６２が多段に接続されており、その最終出力が出力ゲート回路６３に接続されている。なお、インバータ回路６２はＰチャンネルのみで構成してもよい。ただし、この場合は、インバータではなく単なるゲート回路として構成してもよい。
図８は本発明の表示装置の信号、電圧の供給の構成図あるいは表示装置の構成図である。
コントロールＩＣ８１からソースドライバ回路１４ａに供給する信号（電源配線、データ

配線など）はフレキシブル基板８４を介して供給する。
図８ではゲートドライバ回路１２の制御信号はコントロールＩＣで発生させ、ソースドライバ回路１４で、レベルシフトを行った後、ゲートドライバ回路１２に印加している。ソースドライバ回路１４の駆動電圧は４～８（Ｖ）であるから、コントロールＩＣ８１から出力された３．３（Ｖ）振幅の制御信号を、ゲートドライバ回路１２が受け取れる５（Ｖ）振幅に変換することができる。
なお、図８などにおいて１４をソースドライバと記載したが、単なるドライバだけでなく、電源回路、バッファ回路（シフトレジスタなどの回路を含む）、データ変換回路、ラッチ回路、コマンドデコーダ、シフト回路、アドレス変換回路、画像メモリなどを内蔵させてもよい。なお、図８などで説明する構成にあっても、図９などで説明する３辺フリー構成あるいは構成、駆動方式などを適用できることはいうまでもない。
表示パネルを携帯電話などの情報表示装置に使用する場合、図９に示すように、ソースドライバＩＣ（回路）１４、ゲートドライバＩＣ（回路）１２は、表示パネルの一辺に実装（形成）することが好ましい（なお、このように一辺にドライバＩＣ（回路）を実装（形成）する形態を３辺フリー構成（構造）と呼ぶ。従来は、表示領域のＸ辺にゲートドライバＩＣ１２が実装され、Ｙ辺にソースが実装されていた）。画面５０の中心線が表示装置の中心になるように設計し易く、また、ドライバＩＣの実装も容易となるからである。なお、ゲートドライバ回路を高温ポリシリコンあるいは低温ポリシリコン技術などで３辺フリーの構成で作製してもよい（つまり、図９のソースドライバ回路１４とゲートドライバ回路１２のうち、少なくとも一方をポリシリコン技術でアレイ基板７１に直接形成する）。
なお、３辺フリー構成とは、アレイ基板７１に直接ＩＣを積載あるいは形成した構成だけでなく、ソースドライバＩＣ（回路）１４、ゲートドライバＩＣ（回路）１２などを取り付けたフィルム（ＴＣＰ、ＴＡＢ技術など）をアレイ基板７１の一辺（もしくはほぼ一辺）にはりつけた構成も含む。つまり、２辺にＩＣが実装あるいは取り付けられていない構成、配置あるいはそれに類似するすべてを意味する。
図９のようにゲートドライバ回路１２をソースドライバ回路１４の横に配置すると、ゲート信号線１７は辺Ｃにそって形成する必要がある。
なお、図９などにおいて太い実線で図示した箇所はゲート信号線１７が並列して形成した箇所を示している。したがって、ｂの部分（画面下部）は走査信号線の本数分のゲート信号線１７が並列して形成され、ａの部分（画面上部）はゲート信号線１７が１本形成されている。
Ｃ辺に形成するゲート信号線１７のピッチは５μｍ以上１２μｍ以下にする。５μｍ未満では隣接ゲート信号線に寄生容量の影響によりノイズが乗ってしまう。実験によれば７μ以下で寄生容量の影響が顕著に発生する。さらに５μｍ未満では表示画面にビート状などの画像ノイズが激しく発生する。特にノイズの発生は画面の左右で異なり、このビート状などの画像ノイズを低減することは困難である。また、低減１２μｍを越えると表示パネルの額縁幅Ｄが大きくなりすぎ実用的でない。
前述の画像ノイズを低減するためには、ゲート信号線１７を形成した部分の下層あるいは上層に、グラントパターン（一定電圧に電圧固定あるいは全体として安定した電位に設定されている導電パターン）を配置することにより低減できる。また、別途設けたシールド板（シールド箔（一定電圧に電圧固定あるいは全体として安定した電位に設定されている導電パターン））をゲート信号線１７上に配置すればよい。
図９のＣ辺のゲート信号線１７はＩＴＯ電極で形成してもよいが、低抵抗化するため、ＩＴＯと金属薄膜とを積層して形成することが好ましい。また、金属膜で形成することが好ましい。ＩＴＯと積層する場合は、ＩＴＯ上にチタン膜を形成し、その上にアルミニウムあるいはアルミニウムとモリブデンの合金薄膜を形成する。もしくはＩＴＯ上にクロム膜を形成する。金属膜の場合は、アルミニウム薄膜、クロム薄膜で形成する。以上の事項は本発明の他の実施例でも同様である。
なお、図９などにおいて、ゲート信号線１７などは表示領域の片側に配置するとしたがこ

れに限定するものではなく、両方に配置してもよい。たとえば、ゲート信号線１７ａを表示画面５０の右側に配置（形成）し、ゲート信号線１７ｂを表示画面５０の左側に配置（形成）してもよい。以上の事項は他の実施例でも同様である。
また、ソースドライバＩＣ１４とゲートドライバＩＣ１２とを１チップ化してもよい。１チップ化すれば、表示パネルへのＩＣチップの実装が１個で済む。したがって、実装コストも低減できる。また、１チップドライバＩＣ内で使用する各種電圧も同時に発生することができる。
なお、ソースドライバＩＣ１４、ゲートドライバＩＣ１２はシリコンなどの半導体ウエハで作製し、表示パネルに実装するとしたがこれに限定するものではなく、低温ポリシリコン技術、高温ポリシリコン技術により表示パネル８２に直接形成してもよいことは言うまでもない。
なお、画素は、Ｒ、Ｇ、Ｂの３原色としたがこれに限定するものではなく、シアン、イエロー、マゼンダの３色でもよい。また、Ｂとイエローの２色でもよい。もちろん、単色でもよい。また、Ｒ、Ｇ、Ｂ、シアン、イエロー、マゼンダの６色でもよい。Ｒ、Ｇ、Ｂ、シアン、マゼンダの５色でもよい。これらはナチュラルカラーとして色再現範囲が拡大し良好な表示を実現できる。以上のように本発明のＥＬ表示装置は、ＲＧＢの３原色でカラー表示を行うものに限定されるものではない。
有機ＥＬ表示パネルのカラー化には主に三つの方式があり、色変換方式はこのうちの一つである。発光層として青色のみの単層を形成すればよく、フルカラー化に必要な残りの緑色と赤色は、青色光から色変換によって作り出す。したがって、ＲＧＢの各層を塗り分ける必要がない、ＲＧＢの各色の有機ＥＬ材料をそろえる必要がないという利点がある。色変換方式は、塗り分け方式のようは歩留まり低下がない。本発明のＥＬ表示パネルなどはこのいずれの方式でも適用される。
また、３原色の他に、白色発光の画素を形成してもよい。白色発光の画素はＲ、Ｇ、Ｂ発光の構造を積層することにより作製（形成または構成）することにより実現できる。１組の画素は、ＲＧＢの３原色と、白色発光の画素１６Ｗからなる。白色発光の画素を形成することにより、白色のピーク輝度が表現しやすくなる。したがって、輝き感のある画像表示実現できる。
ＲＧＢなどの３原色を１組の画素とする場合であっても、各色の画素電極の面積は異ならせることが好ましい。もちろん、各色の発光効率がバランスよく、色純度もバランスがよければ、同一面積でもかまわない。しかし、１つまたは複数の色のバランスが悪ければ、画素電極（発光面積）を調整することが好ましい。各色の電極面積は電流密度を基準に決定すればよい。つまり、色温度が７０００Ｋ（ケルビン）以上１２０００Ｋ以下の範囲で、ホワイトバランスを調整した時、各色の電流密度の差が±３０％以内となるようにする。さらに好ましくは±１５％以内となるようにする。たとえば、電流密度が１００Ａ／平方メーターとすれば、３原色がいずれも７０Ａ／平方メーター以上１３０Ａ／平方メーター以下となるようにする。さらに好ましくは、３原色がいずれも８５Ａ／平方メーター以上１１５Ａ／平方メーター以下となるようにする。
有機ＥＬ素子１５は自己発光素子である。この発光による光がスイッチング素子としてのトランジスタに入射するとホトコンダクタ現象（ホトコン）が発生する。ホトコンとは、光励起によりトランジスタなどのスイッチング素子のオフ時でのリーク（オフリーク）が増える現象を言う。
この課題に対処するため、本発明ではゲートドライバ回路１２（場合によってはソースドライバ回路１４）の下層、画素トランジスタ１１の下層の遮光膜を形成している。遮光膜はクロムなどの金属薄膜で形成し、その膜厚は５０ｎｍ以上１５０ｎｍ以下にする。膜厚が薄いと遮光効果が乏しく、厚いと凹凸が発生して上層のトランジスタ１１Ａ１のパターニングが困難になる。
ドライバ回路１２などは裏面だけでなく、表面からの光の進入も抑制するべきである。ホトコンの影響により誤動作するからである。したがって、本発明では、カソード電極が金属膜の場合は、ドライバ１２などの表面にもカソード電極を形成し、この電極を遮光膜と

して用いている。
しかし、ドライバ１２の上にカソード電極を形成すると、このカソード電極からの電界によるドライバの誤動作あるいはカソード電極とドライバ回路の電気的接触が発生する可能性がある。この課題に対処するため、本発明ではドライバ回路１２などの上に少なくとも１層、好ましくは複数層の有機ＥＬ膜を画素電極上の有機ＥＬ膜形成と同時に形成する。
画素の１つ以上のトランジスタ１１の端子間あるいはトランジスタ１１と信号線とが短絡すると、ＥＬ素子１５が常時、点灯する輝点となる場合がある。この輝点は視覚的にめだつので黒点化（非点灯）する必要がある。輝点に対しては、該当画素１６を検出し、コンデンサ１９にレーザー光を照射してコンデンサの端子間を短絡させる。したがって、コンデンサ１９には電荷を保持できなくなるので、トランジスタ１１ａは電流を流さなくすることができる。レーザー光を照射する位置にあたるカソード膜を除去しておくことが望ましい。レーザー照射により、コンデンサ１９の端子電極とカソード膜とがショートすることを防止するためである。
画素１６のトランジスタ１１の欠陥は、ソースドライバＩＣ１４などにも影響を与える。例えば、図４５では駆動用トランジスタ１１ａにソース－ドレイン（ＳＤ）ショート４５２が発生していると、パネルのＶｄｄ電圧がソースドライバＩＣ１４に印加される。したがって、ソースドライバＩＣ１４の電源電圧は、パネルの電源電圧Ｖｄｄと同一かもしくは高くしておくことが好ましい。なお、ソースドライバＩＣで使用する基準電流は電子ボリウム４５１で調整できるように構成しておくことが好ましい。
トランジスタ１１ａにＳＤショート４５２が発生していると、ＥＬ素子１５に過大な電流が流れる。つまり、ＥＬ素子１５が常時点灯状態（輝点）となる。輝点は欠陥として目立ちやすい。たとえば、図４５において、トランジスタ１１ａのソース－ドレイン（ＳＤ）ショートが発生していると、トランジスタ１１ａのゲート（Ｇ）端子電位の大小に関わらず、Ｖｄｄ電圧からＥＬ素子１５に電流が常時流れる（トランジスタ１１ｄがオンの時）。したがって、輝点となる。
一方、トランジスタ１１ａにＳＤショートが発生していると、トランジスタ１１ｃがオン状態の時、Ｖｄｄ電圧がソース信号線１８に印加されソースドライバ回路１４にＶｄｄ電圧が印加される。もし、ソースドライバ回路１４の電源電圧がＶｄｄ以下であれば、耐圧を越えて、ソースドライバ回路１４が破壊される恐れがある。そのため、ソースドライバ回路１４の電源電圧はＶｄｄ電圧（パネルの高い方の電圧）以上にすることが好ましい。
トランジスタ１１ａのＳＤショートなどは、点欠陥にとどまらず、パネルのソースドライバ回路を破壊につながる恐れがあり、また、輝点は目立つためパネルとしては不良となる。したがって、トランジスタ１１ａとＥＬ素子１５間を接続する配線を切断し、輝点を黒点欠陥にする必要がある。この切断には、レーザー光などの光学手段を用いて切断することがよい。
以下、本発明の駆動方法について説明をする。図１に示すように、ゲート信号線１７ａは行選択期間に導通状態（ここでは図１のトランジスタ１１がｐチャネルトランジスタであるためローレベルで導通となる）となり、ゲート信号線１７ｂは非選択期間時に導通状態とする。
ソース信号線１８には寄生容量（図示せず）が存在する。寄生容量は、ソース信号線１８とゲート信号線１７とのクロス部の容量、トランジスタ１１ｂ、１１ｃのチャンネル容量などにより発生する。
ソース信号線１８の電流値変化に要する時間ｔは浮遊容量の大きさをＣ、ソース信号線の電圧をＶ、ソース信号線に流れる電流をＩとするとｔ＝Ｃ・Ｖ／Ｉであるため電流値を１０倍大きくできることは電流値変化に要する時間が１０分の１近くまで短くできる、またはソース信号線１８の寄生容量が１０倍になっても所定の電流値に変化できるということを示す。従って、短い水平走査期間内に所定の電流値を書きこむためには電流値を増加させることが有効である。
入力電流を１０倍にすると出力電流も１０倍となり、ＥＬの輝度が１０倍となるため所定の輝度を得るために、図１のトランジスタ１７ｄの導通期間を従来の１０分の１とし、発

光期間を１０分の１とすることで、所定輝度を表示するようにした。なお、１０倍を例示して説明しているのは理解を容易にするためである。１０倍に限定するものでないことは言うまでもない。
つまり、ソース信号線１８の寄生容量の充放電を十分に行い、所定の電流値を画素１６のトランジスタ１１ａにプログラムするためには、ソースドライバ回路１４から比較的大きな電流を出力する必要がある。しかし、このように大きな電流をソース信号線１８に流すとこの電流値が画素にプログラムされてしまい、所定の電流に対し大きな電流がＥＬ素子１５に流れる。たとえば、１０倍の電流でプログラムすれば、当然、１０倍の電流がＥＬ素子１５に流れ、ＥＬ素子１５は１０倍の輝度で発光する。所定の発光輝度にするためには、ＥＬ素子１５に流れる時間を１／１０にすればよい。このように駆動することにより、ソース信号線１８の寄生容量を十分に充放電できるし、所定の発光輝度を得ることができる。
なお、１０倍の電流値を画素のトランジスタ１１ａ（正確にはコンデンサ１９の端子電圧を設定している）に書き込み、ＥＬ素子１５のオン時間を１／１０にするとしたがこれは一例である。場合によっては、１０倍の電流値を画素のトランジスタ１１ａに書き込み、ＥＬ素子１５のオン時間を１／５にしてもよい。逆に１０倍の電流値を画素のトランジスタ１１ａに書き込み、ＥＬ素子１５のオン時間を１／２倍にする場合もあるであろう。
本発明は、画素への書き込み電流を所定値以外の値にし、ＥＬ素子１５に流れる電流を間欠状態にして駆動することに特徴がある。本明細書では説明を容易にするため、Ｎ倍の電流値を画素のトランジスタ１１に書き込み、ＥＬ素子１５のオン時間を１／Ｎ倍にするとして説明する。しかし、これに限定するものではなく、Ｎ１倍の電流値を画素のトランジスタ１１に書き込み、ＥＬ素子１５のオン時間を１／（Ｎ２）倍（Ｎ１とＮ２とは異なる）でもよいことは言うまでもない。
白ラスター表示において、表示画面５０の１フィールド（フレーム）期間の平均輝度をＢ０と仮定する。この時、各画素１６の輝度Ｂ１が平均輝度Ｂ０よりも高くなるように電流（電圧）プログラムを行う駆動方法である。かつ、少なくとも１フィールド（フレーム）期間において、非表示領域５３が発生するようにする駆動方法である。したがって、本発明の駆動方法では、１フィールド（フレーム）期間の平均輝度はＢよりも低くなる。
なお、間欠する間隔（非表示領域５２／非表示領域５３）は等間隔に限定するものではない。たとえば、ランダムでもよい（全体として、表示期間もしくは非表示期間が所定値（一定割合）となればよい）。また、ＲＧＢで異なっていてもよい。つまり、白（ホワイト）バランスが最適になるように、Ｒ、Ｇ、Ｂ表示期間もしくは非表示期間が所定値（一定割合）となるように調整（設定）すればよい
本発明の駆動方法の説明を容易にするため、１／Ｎとは、１Ｆ（１フィールドまたは１フレーム）を基準にしてこの１Ｆを１／Ｎにするとして説明する。しかし、１画素行が選択され、電流値がプログラムされる時間（通常、１水平走査期間（１Ｈ））があるし、また、走査状態によっては誤差も生じることは言うまでもない。
たとえば、Ｎ＝１０倍の電流で画素１６に電流プログラムし、１／５の期間の間、ＥＬ素子１５を点灯させてもよい。ＥＬ素子１５は、１０／５＝２倍の輝度で点灯する。Ｎ＝２倍の電流で画素１６に電流プログラムし、１／４の期間の間、ＥＬ素子１５を点灯させてもよい。ＥＬ素子１５は、２／４＝０．５倍の輝度で点灯する。つまり、本発明は、Ｎ＝１倍でない電流でプログラムし、かつ、常時点灯（１／１、つまり、間欠表示でない）状態以外の表示を実施するものである。また、ＥＬ素子１５に供給する電流を１フレーム（あるいは１フィールド）の期間において、少なくとも１回、オフする駆動方式である。また、所定値よりも大きな電流で画素１６にプログラムし、少なくとも、間欠表示を実施する駆動方式である。
有機（無機）ＥＬ表示装置は、ＣＲＴのように電子銃で線表示の集合として画像を表示するディスプレイとは表示方法が基本的に異なる点にも課題がある。つまり、ＥＬ表示装置では、１Ｆ（１フィールドあるいは１フレーム）の期間の間は、画素に書き込んだ電流（電圧）を保持する。そのため、動画表示を行うと表示画像の輪郭ぼけが発生するという課

題が発生する。
本発明では、１Ｆ／Ｎの期間の間だけ、ＥＬ素子１５に電流を流し、他の期間（１Ｆ（Ｎ－１）／Ｎ）は電流を流さない。この駆動方式を実施し画面の一点を観測した場合を考える。この表示状態では１Ｆごとに画像データ表示、黒表示（非点灯）が繰り返し表示される。つまり、画像データ表示状態が時間的に間欠表示状態となる。動画データ表示を、間欠表示状態でみると画像の輪郭ぼけがなくなり良好な表示状態を実現できる。つまり、ＣＲＴに近い動画表示を実現することができる。
本発明の駆動方法では、間欠表示を実現する。しかし、間欠表示は、トランジスタ１１ｄを１Ｈ周期でオンオフ制御するだけでよい。したがって、回路のメインクロックは従来と変わらないため、回路の消費電力が増加することもない。液晶表示パネルでは、間欠表示を実現するために画像メモリが必要である。本発明は、画像データは各画素１６に保持されている。したがって、間欠表示を実施するための画像メモリは不要である。
本発明はスイッチングのトランジスタ１１ｄ、あるいはトランジスタ１１ｅなどをオンオフさせるだけでＥＬ素子１５に流す電流を制御する。つまり、ＥＬ素子１５に流れる電流Ｉｗをオフしても、画像データはそのままコンデンサ１９の保持されている。したがって、次のタイミングでトランジスタ１１ｄなどをオンさせ、ＥＬ素子１５に電流を流せば、その流れる電流は前に流れていた電流値と同一である。本発明では黒挿入（黒表示などの間欠表示）を実現する際においても、回路のメインクロックをあげる必要がない。また、時間軸伸張を実施する必要もないための画像メモリも不要である。また、有機ＥＬ素子１５は電流を印加してから発光するまでの時間が短く、高速に応答する。そのため、動画表示に適し、さらに間欠表示を実施することにより従来のデータ保持型の表示パネル（液晶表示パネル、ＥＬ表示パネルなど）の問題である動画表示の問題を解決できる。
さらに、大型の表示装置でソース信号線１８の配線長が長くなり、ソース信号線１８の寄生容量が大きくなる場合は、Ｎ値を大きくすることにより対応できる。ソース信号線１８に印加するプログラム電流値をＮ倍にした場合、ゲート信号線１７ｂ（トランジスタ１１ｄ）の導通期間を１Ｆ／Ｎとすればよい。これによりテレビ、モニターなどの大型表示装置などにも適用が可能である。
以下、図面を参照しながら、本発明の駆動方法についてさらに詳しく説明をする。ソース信号線１８の寄生容量は、隣接したソース信号線１８間の結合容量、ソースドライブＩＣ（回路）１４のバッファ出力容量、ゲート信号線１７とソース信号線１８とのクロス容量などにより発生する。この寄生容量は通常１０ｐＦ以上となる。電圧駆動の場合は、ソースドライバＩＣ１４からは低インピーダンスで電圧がソース信号線１８に印加されるため、寄生容量が多少大きくとも駆動では問題とならない。
しかし、電流駆動では特に黒レベルの画像表示では２０ｎＡ以下の微小電流で画素のコンデンサ１９をプログラムする必要がある。したがって、寄生容量が所定値以上の大きさで発生すると、１画素行にプログラムする時間（通常、１Ｈ以内、ただし、２画素行を同時に書き込む場合もあるので１Ｈ以内に限定されるものではない。）内に寄生容量を充放電することができない。１Ｈ期間で充放電できなれば、画素への書き込み不足となり、解像度がでない。
図１の画素構成の場合、図３の（ａ）に示すように、電流プログラム時は、プログラム電流Ｉｗがソース信号線１８に流れる。この電流Ｉｗがトランジスタ１１ａを流れ、Ｉｗを流す電流が保持されるように、コンデンサ１９に電圧設定（プログラム）される。このとき、トランジスタ１１ｄはオープン状態（オフ状態）である。
次に、ＥＬ素子１５に電流を流す期間は図３の（ｂ）のように、トランジスタ１１ｃ、１１ｂがオフし、トランジスタ１１ｄが動作する。つまり、ゲート信号線１７ａにオフ電圧（Ｖｇｈ）が印加され、トランジスタ１１ｂ、１１ｃがオフする。一方、ゲート信号線１７ｂにオン電圧（Ｖｇｌ）が印加され、トランジスタ１１ｄがオンする。
今、電流Ｉ１が本来流す電流（所定値）のＮ倍であるとすると、図３の（ｂ）のＥＬ素子１５に流れる電流もＩｗとなる。したがって、所定値の１０倍の輝度でＥＬ素子１５は発光する。つまり、図１２に図示するように、倍率Ｎを高くするほど、画素１６の表示輝度

Ｂも高くなる。したがって、倍率と画素１６の輝度とは比例関係となる。
そこで、トランジスタ１１ｄを本来オンする時間（約１Ｆ）の１／Ｎの期間だけオンさせ、他の期間（Ｎ－１）／Ｎ期間はオフさせれば、１Ｆ全体の平均輝度は所定の輝度となる。この表示状態は、ＣＲＴが電子銃で画面を走査しているのと近似する。異なる点は、画面全体の１／Ｎ（全画面を１とする）が点灯している点である（ＣＲＴでは、点灯している範囲は１画素行（厳密には１画素である）。
本発明では、この１Ｆ／Ｎの画像表示領域５３が図１３の（ｂ）に示すように画面５０の上から下に移動する。本発明では、１Ｆ／Ｎの期間の間だけ、ＥＬ素子１５に電流が流れ、他の期間（１Ｆ・（Ｎ－１）／Ｎ）は電流が流れない。したがって、各画素１６は間欠表示となる。しかし、人間の目には残像により画像が保持された状態となるので、全画面が均一に表示されているように見える。
なお、図１３に図示するように、書き込み画素行５１ａは非点灯表示５２ａとする。しかし、これは、図１、図２などの画素構成の場合である。図３８などで図示するカレントミラーの画素構成では、書き込み画素行５１ａは点灯状態としてもよい。しかし、本明細書では、説明を容易にするため、主として、図１の画素構成を例示して説明をする。また、図１３、図１６などの所定駆動電流Ｉｗよりも大きい電流でプログラムし、間欠駆動する駆動方法をＮ倍パルス駆動と呼ぶ。
この表示状態では１Ｆごとに画像データ表示、黒表示（非点灯）が繰り返し表示される。つまり、画像データ表示状態が時間的に飛び飛び表示（間欠表示）状態となる。液晶表示パネル（本発明以外のＥＬ表示パネル）では、１Ｆの期間、画素にデータが保持されているため、動画表示の場合は画像データが変化してもその変化に追従することができず、動画ボケとなっていた（画像の輪郭ボケ）。しかし、本発明では画像を間欠表示するため、画像の輪郭ぼけがなくなり良好な表示状態を実現できる。つまり、ＣＲＴに近い動画表示を実現することができる。
なお、図１３に図示するように、駆動するためには、画素１６の電流プログラム期間（図１の画素構成においては、ゲート信号線１７ａのオン電圧Ｖｇｌが印加されている期間）と、ＥＬ素子１５をオフまたはオン制御している期間（図１の画素構成においては、ゲート信号線１７ｂのオン電圧Ｖｇｌまたはオフ電圧Ｖｇｈが印加されている期間）とを独立に制御できる必要がある。したがって、ゲート信号線１７ａとゲート信号線１７ｂは分離されている必要がある。
たとえば、ゲートドライバ回路１２から画素１６に配線されたゲート信号線１７が１本である場合、ゲート信号線１７に印加されたロジック（ＶｇｈまたはＶｇｌ）をトランジスタ１１ｂに印加し、ゲート信号線１７に印加されたロジックをインバータで変換して（ＶｇｌまたはＶｇｈ）して、トランジスタ１１ｄに印加するという構成では、本発明の駆動方法は実施できない。したがって、本発明では、ゲート信号線１７ａを操作するゲートドライバ回路１２ａと、ゲート信号線１７ｂを操作するゲートドライバ回路１２ｂが必要となる。
また、本発明の駆動方法は、図１の画素構成においても、電流プログラム期間（１Ｈ）以外の期間においても、非点灯表示にする駆動方法である。
図１３の駆動方法のタイミングチャートを図１４に図示する。なお、本発明などにおいて、特に断りがない時の画素構成は図１であるとする。図１４でわかるように、各選択された画素行（選択期間は、１Ｈとしている）において、ゲート信号線１７ａにオン電圧（Ｖｇｌ）が印加されている時（図１４の（ａ）を参照）には、ゲート信号線１７ｂにはオフ電圧（Ｖｇｈ）が印加されている（図１４の（ｂ）を参照）。また、この期間は、ＥＬ素子１５には電流が流れていない（非点灯状態）。選択されていない画素行において、ゲート信号線１７ａにオフ電圧（Ｖｇｈ）が印加され、ゲート信号線１７ｂにはオン電圧（Ｖｇｌ）が印加されている。また、この期間は、ＥＬ素子１５に電流が流れている（点灯状態）。また、点灯状態では、ＥＬ素子１５は所定のＮ倍の輝度（Ｎ・Ｂ）で点灯し、その点灯期間は１Ｆ／Ｎである。したがって、１Ｆを平均した表示パネルの表示輝度は、（Ｎ・Ｂ）×（１／Ｎ）＝Ｂ（所定輝度）となる。

図１５は、図１４の動作を各画素行に適用した実施例である。ゲート信号線１７に印加する電圧波形を示している。電圧波形はオフ電圧をＶｇｈ（Ｈレベル）とし、オン電圧をＶｇｌ（Ｌレベル）としている。（１）（２）などの添え字は選択している画素行番号を示している。

図１５において、ゲート信号線１７ａ（１）が選択され（Ｖｇｌ電圧）、選択された画素行のトランジスタ１１ａからソースドライバ回路１４に向かってソース信号線１８にプログラム電流が流れる。このプログラム電流は所定値のＮ倍（説明を容易にするため、Ｎ＝１０として説明する。もちろん、所定値とは画像を表示するデータ電流であるから、白ラスター表示などでない限り固定値ではない。）である。したがって、コンデンサ１９には１０倍に電流がトランジスタ１１ａに流れるようにプログラムされる。画素行（１）が選択されている時は、図１の画素構成ではゲート信号線１７ｂ（１）はオフ電圧（Ｖｇｈ）が印加され、ＥＬ素子１５には電流が流れない。

１Ｈ後には、ゲート信号線１７ａ（２）が選択され（Ｖｇｌ電圧）、選択された画素行のトランジスタ１１ａからソースドライバ回路１４に向かってソース信号線１８にプログラム電流が流れる。このプログラム電流は所定値のＮ倍（説明を容易にするため、Ｎ＝１０として説明する）である。したがって、コンデンサ１９には１０倍に電流がトランジスタ１１ａに流れるようにプログラムされる。画素行（２）が選択されている時は、図１の画素構成ではゲート信号線１７ｂ（２）はオフ電圧（Ｖｇｈ）が印加され、ＥＬ素子１５には電流が流れない。しかし、先の画素行（１）のゲート信号線１７ａ（１）にはオフ電圧（Ｖｇｈ）が印加され、ゲート信号線１７ｂ（１）にはオン電圧（Ｖｇｌ）が印加されるため、点灯状態となっている。

次の１Ｈ後には、ゲート信号線１７ａ（３）が選択され、ゲート信号線１７ｂ（３）はオフ電圧（Ｖｇｈ）が印加され、画素行（３）のＥＬ素子１５には電流が流れない。しかし、先の画素行（１）（２）のゲート信号線１７ａ（１）（２）にはオフ電圧（Ｖｇｈ）が印加され、ゲート信号線１７ｂ（１）（２）にはオン電圧（Ｖｇｌ）が印加されるため、点灯状態となっている。

以上の動作を１Ｈの同期信号に同期して画像を表示していく。しかし、図１５の駆動方式では、ＥＬ素子１５には１０倍の電流が流れる。したがって、表示画面５０は約１０倍の輝度で表示される。もちろん、この状態で所定の輝度表示を行うためには、プログラム電流を１／１０にしておけばよいことは言うまでもない。しかし、１／１０の電流であれば寄生容量などにより書き込み不足が発生するため、高い電流でプログラムし、非点灯領域５２の挿入により所定の輝度を得るのは本発明の基本的な主旨である。

なお、本発明の駆動方法において、所定電流よりも高い電流がＥＬ素子１５に流れるようにし、ソース信号線１８の寄生容量を十分に充放電するという概念である。つまり、ＥＬ素子１５にＮ倍の電流を流さなくともよい。たとえば、ＥＬ素子１５に並列に電流経路を形成し（ダミーのＥＬ素子を形成し、このＥＬ素子は遮光膜を形成して発光させないなど）、ダミーＥＬ素子とＥＬ素子１５に分流して電流を流しても良い。たとえば、信号電流が０．２μＡのとき、プログラム電流を２．２μＡとして、トランジスタ１１ａには２．２μＡを流す。この電流のうち、信号電流０．２μＡをＥＬ素子１５に流して、２μＡをダミーのＥＬ素子に流すなどの方式が例示される。つまり、図２７のダミー画素行２７１を常時選択状態にする。なお、ダミー画素行は発光させないか、もしくは、遮光膜などを形成し、発光していても視覚的に見えないように構成する。

以上のように構成することにより、ソース信号線１８に流す電流をＮ倍に増加させることにより、駆動用トランジスタ１１ａにＮ倍の電流が流れるようにプログラムすることができ、かつ、電流ＥＬ素子１５には、Ｎ倍よりは十分小さい電流を流すことができることになる。以上の方法では、図５に図示するように、非点灯領域５２を設けることなく、全表示画面５０を画像表示領域５３とすることができる。

図１３の（ａ）は表示画面５０への書き込み状態を図示している。図１３の（ａ）において、５１ａは書き込み画素行である。ソースドライバＩＣ１４から各ソース信号線１８にプログラム電流が供給される。なお、図１３などでは１Ｈ期間に書き込む画素行は１行で

ある。しかし、何ら１Ｈに限定するものではなく、０．５Ｈ期間でも、２Ｈ期間でもよい。また、ソース信号線１８にプログラム電流を書き込むとしたが、本発明は電流プログラム方式に限定するものではなく、ソース信号線１８に書き込まれるのは電圧である電圧プログラム方式（図４６など）でもよい。

図１３の（ａ）において、ゲート信号線１７ａが選択されるとソース信号線１８に流れる電流がトランジスタ１１ａにプログラムされる。この時、ゲート信号線１７ｂはオフ電圧が印加されＥＬ素子１５には電流が流れない。これは、ＥＬ素子１５側にトランジスタ１１ｄがオン状態であると、ソース信号線１８からＥＬ素子１５の容量成分が見え、この容量に影響されてコンデンサ１９に十分に正確な電流プログラムができなくなるためである。したがって、図１の構成を例にすれば、図１３の（ｂ）で示すように電流を書き込まれている画素行は非点灯領域５２となる。

今、Ｎ（ここでは、先に述べたようにＮ＝１０とする）倍の電流でプログラムしたとすれば、画面の輝度は１０倍になる。したがって、表示画面５０の９０％の範囲を非点灯領域５２とすればよい。したがって、画像表示領域の水平走査線がＱＣＩＦの２２０本（Ｓ＝２２０）とすれば、２２本と表示領域５３とし、２２０－２２＝１９８本を非表示領域５２とすればよい。一般的に述べれば、水平走査線（画素行数）をＳとすれば、Ｓ／Ｎの領域を表示領域５３とし、この表示領域５３をＮ倍の輝度で発光させる。そして、この表示領域５３を画面の上下方向に走査する。したがって、Ｓ（Ｎ－１）／Ｎの領域は非点灯領域５２とする。この非点灯領域は黒表示（非発光）である。また、この非発光部５２はトランジスタ１１ｄをオフさせることにより実現する。なお、Ｎ倍の輝度で点灯させるとしたが、当然のことながら明るさ調整、ガンマ調整によりＮ倍の値を調整することは言うまでもない。

また、先の実施例で、１０倍の電流でプログラムしたとすれば、画面の輝度は１０倍になり、表示画面５０の９０％の範囲を非点灯領域５２とすればよいとした。しかし、これは、ＲＧＢの画素を共通に非点灯領域５２とすることに限定するものではない。例えば、Ｒの画素は、１／８を非点灯領域５２とし、Ｇの画素は、１／６を非点灯領域５２とし、Ｂの画素は、１／１０を非点灯領域５２と、それぞれの色により変化させてもよい。また、ＲＧＢの色で個別に非点灯領域５２（あるいは点灯領域５３）を調整できるようにしてもよい。これらを実現するためには、Ｒ、Ｇ、Ｂで個別のゲート信号線１７ｂが必要になる。しかし、以上のＲＧＢの個別調整を可能にすることにより、ホワイトバランスを調整することが可能になり、各階調において色のバランス調整が容易になる（図４１を参照のこと）。

図１３の（ｂ）に図示するように、書き込み画素行５１ａを含む画素行が非点灯領域５２とし、書き込み画素行５１ａよりも上画面のＳ／Ｎ（時間的には１Ｆ／Ｎ）の範囲を表示領域５３とする（書き込み走査が画面の上から下方向の場合、画面を下から上に走査する場合は、その逆となる）。画像表示状態は、表示領域５３が帯状になって、画面の上から下に移動する。

図１３の表示では、１つの表示領域５３が画面の上から下方向に移動する。フレームレートが低いと、表示領域５３が移動するのが視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。

この課題に対しては、図１６に図示するように、表示領域５３を複数に分割するとよい。この分割された総和がＳ（Ｎ－１）／Ｎの面積となれば、図１３の明るさと同等になる。なお、分割された表示領域５３は等しく（等分に）する必要はない。また、分割された非表示領域５２も等しくする必要はない。

以上のように、表示領域５３を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。しかし、分割するほど動画表示性能は低下する。

図１７はゲート信号線１７の電圧波形およびＥＬの発光輝度を図示している。図１７で明らかなように、ゲート信号線１７ｂをＶｇｌにする期間（１Ｆ／Ｎ）を複数に分割（分割数Ｋ）している。つまり、Ｖｇｌにする期間は１Ｆ／（Ｋ・Ｎ）の期間をＫ回実施する。

このように制御すれば、フリッカの発生を抑制でき、低フレームレートの画像表示を実現できる。また、この画像の分割数も可変できるように構成することが好ましい。たとえば、ユーザーが明るさ調整スイッチを押すことにより、あるいは明るさ調整ボリウムを回すことにより、この変化を検出してKの値を変更してもよい。また、ユーザーが輝度を調整するように構成してもよい。表示する画像の内容、データにより手動で、あるいは自動的に変化させるように構成してもよい。

なお、図１７などにおいて、ゲート信号線１７ｂをＶｇｌにする期間（１Ｆ／Ｎ）を複数に分割（分割数Ｋ）し、Ｖｇｌにする期間は１Ｆ／（Ｋ・Ｎ）の期間をＫ回実施するとしたがこれに限定するものではない。１Ｆ／（Ｋ・Ｎ）の期間をＬ（Ｌ≠Ｋ）回実施してもよい。つまり、本発明は、ＥＬ素子１５に流す期間（時間）を制御することにより表示画面５０を表示するものである。したがって、１Ｆ／（Ｋ・Ｎ）の期間をＬ（Ｌ≠Ｋ）回実施することは本発明の技術的思想に含まれる。また、Ｌの値を変化させることにより、表示画像５０の輝度をデジタル的に変更することができる。たとえば、Ｌ＝２とＬ＝３では５０％の輝度（コントラスト）変化となる。また、画像の表示領域５３を分割する時、ゲート信号線１７ｂをＶｇｌにする期間は同一期間に限定するものではない。

以上の実施例は、ＥＬ素子１５に流れる電流を遮断し、また、ＥＬ素子に流れる電流を接続することにより、表示画面５０をオンオフ（点灯、非点灯）するものであった。つまり、コンデンサ１９に保持された電荷によりトランジスタ１１ａに複数回、略同一電流を流すものである。本発明はこれに限定するものではない。たとえば、コンデンサ１９に保持された電荷を充放電させることにより、表示画面５０をオンオフ（点灯、非点灯）する方式でもよい。

図１８は図１６の画像表示状態を実現するための、ゲート信号線１７に印加する電圧波形である。図１８と図１５の差異は、ゲート信号線１７ｂの動作である。ゲート信号線１７ｂは画面を分割する個数に対応して、その個数分だけオンオフ（ＶｇｌとＶｇｈ）動作する。他の点は図１５と同一であるので説明を省略する。

ＥＬ表示装置では黒表示は完全に非点灯であるから、液晶表示パネルを間欠表示した場合のように、コントラスト低下もない。また、図１、図２、図３２、図４３、図１１７の構成においては、トランジスタ１１ｄをオンオフ操作するだけで間欠表示を実現できる。また、図３８、図５１、図１１５の構成においては、トランジスタ素子１１ｅをオンオフ操作するだけで、間欠表示を実現することができる。また、図１１３においては切り替え回路１１３１を制御することにより間欠表示を実現できる。また、図１１４においては、トランジスタ１１ｇをオンオフ制御することにより間欠表示を実現できる。これは、コンデンサ１９に画像データがメモリ（アナログ値であるから階調数は無限大）されているからである。つまり、各画素１６に、画像データは１Ｆの期間中は保持されている。この保持されている画像データに相当する電流をＥＬ素子１５に流すか否かをトランジスタ１１ｄ、１１ｅの制御により実現しているのである。

したがって、以上の駆動方法は、電流駆動方式に限定されるものではなく、電圧駆動方式にも適用できるものである。つまり、ＥＬ素子１５に流す電流が各画素内で保存している構成において、駆動用トランジスタ１１をＥＬ素子１５間の電流経路をオンオフすることにより、間欠駆動を実現するものである。

コンデンサ１９の端子電圧を維持することはフリッカ低減と低消費電力化に重要である。１フィールド（フレーム）期間でコンデンサ１９の端子電圧が変化（充放電）すると、画面輝度が変化し、フレームレートが低下した時にちらつき（フリッカなど）が発生するからである。トランジスタ１１ａが１フレーム（１フィールド）期間でＥＬ素子１５に流す電流は、少なくとも６５％以下に低下しないようにする必要がある。この６５％とは、画素１６に書き込み、ＥＬ素子１５に流す電流の最初が１００％とした時、次のフレーム（フィールド）で前記画素１６に書き込む直前のＥＬ素子１５に流す電流が６５％以上とすることである。

図１の画素構成では、間欠表示を実現する場合としない場合では、１画素を構成するトランジスタ１１の個数に変化はない。つまり、画素構成はそのままで、ソース信号線１８の

寄生容量の影響と除去し、良好な電流プログラムを実現している。その上、ＣＲＴに近い動画表示を実現しているのである。
また、ゲートドライバ回路１２の動作クロックはソースドライバ回路１４の動作クロックに比較して十分に遅いため、回路のメインクロックが高くなるということはない。また、Ｎの値の変更も容易である。
なお、画像表示方向（画像書き込み方向）は、１フィールド（１フレーム）目では画面の上から下方向とし、つぎの第２フィールド（フレーム）目では画面の下から上方向としてもよい。つまり、上から下方向と、下から上方向とを交互にくりかえす。
さらに、１フィールド（１フレーム）目では画面の上から下方向とし、いったん、全画面を黒表示（非表示）とした後、つぎの第２フィールド（フレーム）目では画面の下から上方向としてもよい。また、いったん、全画面を黒表示（非表示）としてもよい。
なお、以上の駆動方法の説明では、画面の書き込み方法を画面の上から下あるいは下から上としたが、これに限定するものではない。画面の書き込み方向は絶えず、画面の上から下あるいは下から上と固定し、非表示領域５２の動作方向を１フィールド目では画面の上から下方向とし、つぎの第２フィールド目では画面の下から上方向としてもよい。また、１フレームを３フィールドに分割し、第１のフィールドではＲ、第２のフィールドではＧ、第３のフィールドではＢとして、３フィールドで１フレームを形成するとしてもよい。また、１水平走査期間（１Ｈ）ごとに、Ｒ、Ｇ、Ｂを切り替えて表示してもよい（図１２５から図１３２とその説明などを参照のこと）。以上の事項は他の本発明の実施例でも同様である。
非表示領域５２は完全に非点灯状態である必要はない。微弱な発光あるいは低輝度の画像表示があっても実用上は問題ない。つまり、画像表示領域５３よりも表示輝度が低い領域と解釈するべきである。また、非表示領域５２とは、Ｒ、Ｇ、Ｂ画像表示のうち、１色または２色のみが非表示状態という場合も含まれる。また、Ｒ、Ｇ、Ｂ画像表示のうち、１色または２色のみが低輝度の画像表示状態という場合も含まれる。
基本的には表示領域５３の輝度（明るさ）が所定値に維持される場合、表示領域５３の面積が広くなるほど、画面５０の輝度は高くなる。たとえば、表示領域５３の輝度が１００（ｎｔ）の場合、表示領域５３が全画面５０に占める割合が１０％から２０％にすれば、画面の輝度は２倍となる。したがって、全画面５０に占める表示領域５３の面積を変化させることにより、画面の表示輝度を変化することができる。画面５０の表示輝度は画面５０に占める表示領域５３の割合に比例する。
表示領域５３の面積はシフトレジスタ回路６１へのデータパルス（ＳＴ２）を制御することにより、任意に設定できる。また、データパルスの入力タイミング、周期を変化させることにより、図１６の表示状態と図１３の表示状態とを切り替えることができる。１Ｆ周期でのデータパルス数を多くすれば、画面５０は明るくなり、少なくすれば、画面５０は暗くなる。また、連続してデータパルスを印加すれば図１３の表示状態となり、間欠にデータパルスを入力すれば図１６の表示状態となる。
図１９の（ａ）は図１３のように表示領域５３が連続している場合の明るさ調整方式である。図１９（ａ１）の画面５０の表示輝度が最も明るい。図１９（ａ２）の画面５０の表示輝度が次に明るく、図１９（ａ３）の画面５０の表示輝度が最も暗い。図１９の（ａ）は最も動画表示に適する。
図１９（ａ１）から図１９（ａ３）への変化（あるいはその逆）は、先にも記載したようにゲートドライバ回路１２のシフトレジスタ回路６１などの制御により、容易に実現できる。この際、図１のＶｄｄ電圧は変化させる必要がない。つまり、電源電圧を変化させずに表示画面５０の輝度変化を実施できる。また、図１９（ａ１）から図１９（ａ３）への変化の際、画面のガンマ特性は全く変化しない。したがって、画面５０の輝度によらず、表示画像のコントラスト、階調特性が維持される。これは本発明の効果のある特徴である。
従来の画面の輝度調整では、画面５０の輝度が低い時は、階調性能が低下する。つまり、高輝度表示の時は６４階調表示を実現できても、低輝度表示の時は、半分以下の階調数し

か表示できない場合がほとんどである。これに比較して、本発明の駆動方法では、画面の表示輝度に依存せず、最高の６４階調表示を実現できる。

図１９の（ｂ）は図１６のように表示領域５３が分散している場合の明るさ調整方式である。図１９（ｂ１）の画面５０の表示輝度が最も明るい。図１９（ｂ２）の画面５０の表示輝度が次に明るく、図１９（ｂ３）の画面５０の表示輝度が最も暗い。図１９（ｂ１）から図１９（ｂ３）への変化（あるいはその逆）は、先にも記載したようにゲートドライバ回路１２のシフトレジスタ回路６１などの制御により、容易に実現できる。図１９の（ｂ）のように表示領域５３を分散させれば、低フレームレートでもフリッカが発生しない。

さらに低フレームレートでも、フリッカが発生しないようにするには、図１９の（ｃ）のように表示領域５３を細かく分散させればよい。しかし、動画の表示性能は低下する。したがって、動画を表示するには、図１９の（ａ）の駆動方法が適している。静止画を表示し、低消費電力化を要望する時は、図１９の（ｃ）の駆動方法が適している。図１９の（ａ）から図１９の（ｃ）の駆動方法の切り替えも、シフトレジスタ６１の制御により容易に実現できる。

以上の実施例は、主として、Ｎ＝２倍、４倍などにする実施例であった。しかし、本発明は整数倍に限定されるものではないことは言うまでもない。また、Ｎ＝２以上に限定されるものでもない。たとえば、ある時刻で表示画面５０の半分以下の領域を非点灯領域５２とすることもある。所定値の５／４倍の電流Ｉｗで電流プログラムし、１Ｆの４／５期間点灯させれば、所定の輝度を実現できる。

本発明はこれに限定されるものではない。一例として、１０／４倍の電流Ｉｗで電流プログラミングし、１Ｆの４／５期間の間点灯させるという方法もある。この場合は、所定輝度の２倍で点灯する。また、５／４倍の電流Ｉｗで電流プログラミングし、１Ｆの２／５期間の間点灯させるという方法もある。この場合は、所定輝度の１／２倍で点灯する。また、５／４倍の電流Ｉｗで電流プログラミングし、１Ｆの１／１期間の間点灯させるという方法もある。この場合は、所定輝度の５／４倍で点灯する。

つまり、本発明は、プログラム電流の大きさと、１Ｆの点灯期間を制御することにより、表示画面の輝度を制御する方式である。かつ、１Ｆ期間よりも短い期間点灯させることにより、非点灯領域５２を挿入でき、動画表示性能を向上できる。１Ｆの期間、常時点灯させることにより明るい画面を表示できる。

画素に書き込む電流（ソースドライバ回路１４から出力するプログラム電流）は、画素サイズがＡ平方ｍｍとし、白ラスター表示所定輝度をＢ（ｎｔ）とした時、プログラム電流Ｉ（μＡ）は、

（Ａ×Ｂ）／２０　≦　Ｉ　≦　（Ａ×Ｂ）

の範囲とすることが好ましい。発光効率が良好となり、かつ、電流書込み不足が解消する。

さらに、好ましくは、プログラム電流Ｉ（μＡ）は、

（Ａ×Ｂ）／１０　≦　Ｉ　≦　（Ａ×Ｂ）

の範囲とすることが好ましい。

図２０はソース信号線１８に流れる電流を増大させる他の実施例の説明図である。基本的に複数の画素行を同時に選択し、複数の画素行をあわせた電流でソース信号線１８の寄生容量などを充放電し電流書き込み不足を大幅に改善する方式である。ただし、複数の画素行を同時に選択するため、１画素あたりの駆動する電流を減少させることができる。したがって、ＥＬ素子１５に流れる電流を減少させることができる。ここで、説明を容易にするため、一例として、Ｎ＝１０として説明する（ソース信号線１８に流す電流を１０倍にする）。

図２０で説明する本発明は、画素行は同時にM画素行を選択する。ソースドライバＩＣ１４からは所定電流のＮ倍電流をソース信号線１８に印加する。各画素にはＥＬ素子１５に流す電流のＮ／Ｍ倍の電流がプログラムされる。一例として、ＥＬ素子１５を所定発光輝度とするために、ＥＬ素子１５に流れる時間を１フレーム（１フィールド）のＭ／Ｎ時間

にする（ただし、Ｍ／Ｎに限定するものではない。Ｍ／Ｎとするのは理解を容易にするためである。先にも説明したように、表示する画面５０輝度により自由に設定できることはいうまでもない。）。このように駆動することにより、ソース信号線１８の寄生容量を十分に充放電でき、良好な解像度を所定の発光輝度を得ることができる。
１フレーム（１フィールド）のＭ／Ｎの期間の間だけ、ＥＬ素子１５に電流を流し、他の期間（１Ｆ（Ｎ－１）Ｍ／Ｎ）は電流を流さないように表示する。この表示状態では１Ｆごとに画像データ表示、黒表示（非点灯）が繰り返し表示される。つまり、画像データ表示状態が時間的に飛び飛び表示（間欠表示）状態となる。したがって、画像の輪郭ぼけがなくなり良好な動画表示を実現できる。また、ソース信号線１８にはＮ倍の電流で駆動するため、寄生容量の影響をうけず、高精細表示パネルにも対応できる。
図２１は、図２０の駆動方法を実現するための駆動波形の説明図である。信号波形はオフ電圧をＶｇｈ（Ｈレベル）とし、オン電圧をＶｇｌ（Ｌレベル）としている。各信号線の添え字は画素行の番号（（１）（２）（３）など）を記載している。なお、行数はＱＣＩＦ表示パネルの場合は２２０本であり、ＶＧＡパネルでは４８０本である。
図２１において、ゲート信号線１７ａ（１）が選択され（Ｖｇｌ電圧）、選択された画素行のトランジスタ１１ａからソースドライバ回路１４に向かってソース信号線１８にプログラム電流が流れる。ここでは説明を容易にするため、まず、書き込み画素行５１ａが画素行（１）番目であるとして説明する。
また、ソース信号線１８に流れるプログラム電流は所定値のＮ倍（説明を容易にするため、Ｎ＝１０として説明する。もちろん、所定値とは画像を表示するデータ電流であるから、白ラスター表示などでない限り固定値ではない。）である。また、５画素行が同時に選択（Ｍ＝５）として説明をする。したがって、理想的には１つの画素のコンデンサ１９には２倍（Ｎ／Ｍ＝１０／５＝２）に電流がトランジスタ１１ａに流れるようにプログラムされる。
書き込み画素行が（１）画素行目である時、図２１で図示したように、ゲート信号線１７ａは（１）（２）（３）（４）（５）が選択されている。つまり、画素行（１）（２）（３）（４）（５）のスイッチング用トランジスタ１１ｂ、トランジスタ１１ｃがオン状態である。また、ゲート信号線１７ｂはゲート信号線１７ａの逆位相となっている。したがって、画素行（１）（２）（３）（４）（５）のスイッチング用トランジスタ１１ｄがオフ状態であり、対応する画素行のＥＬ素子１５には電流が流れていない。つまり、非点灯状態５２である。
理想的には、５画素のトランジスタ１１ａが、それぞれＩｗ×２の電流をソース信号線１８に流す（つまり、ソース信号線１８にはＩｗ×２×Ｎ＝Ｉｗ×２×５＝Ｉｗ×１０。したがって、本発明のＮ倍パルス駆動を実施しない場合が所定電流Ｉｗとすると、Ｉｗの１０倍の電流がソース信号線１８に流れる）。
以上の動作（駆動方法）により、各画素１６のコンデンサ１９には、２倍の電流がプログラムされる。ここでは、理解を容易にするため、各トランジスタ１１ａは特性（Ｖｔ、Ｓ値）が一致しているとして説明をする。
同時に選択する画素行が５画素行（Ｍ＝５）であるから、５つの駆動用トランジスタ１１ａが動作する。つまり、１画素あたり、１０／５＝２倍の電流がトランジスタ１１ａに流れる。ソース信号線１８には、５つのトランジスタ１１ａのプログラム電流を加えた電流が流れる。たとえば、書き込み画素行５１ａに、本来、書き込む電流Ｉｗとし、ソース信号線１８には、Ｉｗ×１０の電流を流す。書き込み画素行（１）より以降に画像データを書き込む書き込み画素行５１ｂソース信号線１８への電流量を増加させるため、補助的に用いる画素行である。しかし、書き込み画素行５１ｂは後に正規の画像データが書き込まれるので問題がない。
したがって、４画素行５１ｂにおいて、１Ｈ期間の間は５１ａと同一表示である。そのため、書き込み画素行５１ａと電流を増加させるために選択した画素行５１ｂとを少なくとも非表示状態５２とするのである。ただし、図３８のようなカレントミラーの画素構成、その他の電圧プログラム方式の画素構成では表示状態としてもよい。

１Ｈ後には、ゲート信号線１７ａ（１）は非選択となり、ゲート信号線１７ｂにはオン電圧（Ｖｇｌ）が印加される。また、同時に、ゲート信号線１７ａ（６）が選択され（Ｖｇｌ電圧）、選択された画素行（６）のトランジスタ１１ａからソースドライバ回路１４に向かってソース信号線１８にプログラム電流が流れる。このように動作することにより、画素行（１）には正規の画像データが保持される。
次の、１Ｈ後には、ゲート信号線１７ａ（２）は非選択となり、ゲート信号線１７ｂにはオン電圧（Ｖｇｌ）が印加される。また、同時に、ゲート信号線１７ａ（７）が選択され（Ｖｇｌ電圧）、選択された画素行（７）のトランジスタ１１ａからソースドライバ回路１４に向かってソース信号線１８にプログラム電流が流れる。このように動作することにより、画素行（２）には正規の画像データが保持される。以上の動作と１画素行ずつシフトしながら走査することにより１画面が書き換えられる。
図２０の駆動方法では、各画素には２倍の電流（電圧）でプログラムを行うため、各画素のＥＬ素子１５の発光輝度は理想的には２倍となる。したがって、表示画面の輝度は所定値よりも２倍となる。これを所定の輝度とするためには、図１６に図示するように、書き込み画素行５１を含み、かつ表示画面５０の１／２の範囲を非表示領域５２とすればよい。
図１３と同様に、図２０のように１つの表示領域５３が画面の上から下方向に移動すると、フレームレートが低いと、表示領域５３が移動するのが視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。
この課題に対しては、図２２に図示するように、表示領域５３を複数に分割するとよい。分割された非表示領域５２を加えた部分がＳ（Ｎ－１）／Ｎの面積となれば、分割しない場合と同一となる。
図２３はゲート信号線１７に印加する電圧波形である。図２１と図２３との差異は、基本的にはゲート信号線１７ｂの動作である。ゲート信号線１７ｂは画面を分割する個数に対応して、その個数分だけオンオフ（ＶｇｌとＶｇｈ）動作する。他の点は図２１とほぼ同一あるいは類推できるので説明を省略する。
以上のように、表示領域５３を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。しかし、分割すればするほどフリッカは軽減する。特にＥＬ素子１５の応答性は速いため、５μｓｅｃよりも小さい時間でオンオフしても、表示輝度の低下はない。
本発明の駆動方法において、ＥＬ素子１５のオンオフは、ゲート信号線１７ｂに印加する信号のオンオフで制御できる。そのため、本発明の駆動方法では、ＫＨｚオーダーの低周波数で制御が可能である。また、黒画面挿入（非表示領域５２挿入）を実現するのには、画像メモリなどを必要としない。したがって、低コストで本発明の駆動回路あるいは方法を実現できる。
図２４は同時に選択する画素行が２画素行の場合である。検討した結果によると、低温ポリシリコン技術で形成した表示パネルでは、２画素行を同時に選択する方法は表示均一性が実用的であった。これは、隣接した画素の駆動用トランジスタ１１ａの特性が極めて一致しているためと推定される。また、レーザーアニールする際に、ストライプ状のレーザーの照射方向はソース信号線１８と平行に照射することで良好な結果が得られた。
これは同一時間にアニールされる範囲の半導体膜は特性が均一であるためである。つまり、ストライプ状のレーザー照射範囲内では半導体膜が均一に作製され、この半導体膜を利用したトランジスタのＶｔ、モビリティがほぼ等しくなるためである。したがって、ソース信号線１８の形成方向に平行にストライプ状のレーザーショットを照射し、この照射位置を移動させることにより、ソース信号線１８に沿った画素（画素列、画面の上下方向の画素）の特性はほぼ等しく作製される。したがって、複数の画素行を同時にオンさせて電流プログラムを行った時、プログラム電流は、同時に選択されて複数の画素にはプログラム電流を選択された画素数で割った電流が、ほぼ同一に電流プログラムされる。したがって、目標値に近い電流プログラムを実施でき、均一表示を実現できる。したがって、レー

ザーショット方向と図２４などで説明する駆動方式とは相乗効果がある。
以上のように、レーザーショットの方向をソース信号線１８の形成方向と略一致させる（図７を参照のこと）ことにより、画素の上下方向のトランジスタ１１ａの特性がほぼ同一になり、良好な電流プログラムを実施することができる（画素の左右方向のトランジスタ１１ａの特性が一致していなくとも）。以上の動作は、１Ｈ（１水平走査期間）に同期して、１画素行あるいは複数画素行ずつ選択画素行位置をずらせて実施する。
なお、図８で説明したように、レーザーショットの方向をソース信号線１８と平行にするとしたが、必ずしも平行でなくともよい。ソース信号線１８に対して斜め方向にレーザーショットを照射しても１つのソース信号線１８に沿った画素の上下方向のトランジスタ１１ａの特性はほぼ一致して形成されるからある。したがって、ソース信号線に平行にレーザーショットを照射するとは、ソース信号線１８の沿った任意の画素の上または下に隣接した画素を、１つのレーザー照射範囲に入るように形成するということである。また、ソース信号線１８とは一般的には、映像信号となるプログラム電流あるいは電圧を伝達する配線である。
なお、本発明の実施例では１Ｈごとに、書き込み画素行位置をシフトさせるとしたが、これに限定するものではなく、２Ｈごとにシフト（２画素行ごと）してもよく、また、それ以上の画素行ずつシフトさせてもよい。また、任意の時間単位でシフトしてもよい。また、１画素行とばしでシフトしてもよい。
画面位置に応じて、シフトする時間を変化させてもよい。たとえば、画面の中央部でのシフト時間を短くし、画面の上下部でシフト時間を長くしてもよい。たとえば、画面５０の中央部は２００μｓｅｃごとに１画素行をシフトし、画面５０の上下部は、１００μｓｅｃごとに１画素行をシフトする。このようにシフトすることにより、画面５０の中央部の発光輝度が高くなり、周辺（画面５０の上部と下部）を低くできる）。なお、画面５０の中央部と画面上部のシフト時間、画面５０の中央部と画面下部のシフト時間は滑らかに時間変化するようにし、輝度輪郭がでないように制御することは言うまでもない。
なお、ソースドライバ回路１４の基準電流を画面５０の走査位置に対応して変化（図１４６などを参照のこと）させてもよい。たとえば、画面５０の中央部の基準電流を１０μＡとし、画面５０の上下部の基準電流は５μＡとする。このように画面５０位置に対応して基準電流を変化させることにより、画面５０の中央部の発光輝度が高くなり、周辺（画面５０の上部と下部）を低くできる）。なお、画面５０の中央部と画面上部との間の基準電流、画面５０の中央部と画面下部との間の基準電流の値は滑らかに時間変化するようにし、輝度輪郭がでないように基準電流を制御することは言うまでもない。
また、画面位置に応じて、画素行をシフトする時間を制御する、駆動方法と、画面５０位置に対応して基準電流を変化させる駆動方法を組み合わせて画像表示を行っても良いことは言うまでもない。
フレームごとにシフト時間を変化させてもよい。また、連続した複数画素行を選択することに限定するものではない。例えば、１画素行へだてた画素行を選択してもよい。
つまり、第１番目の水平走査期間に第１番目の画素行と第３番目の画素行を選択し、第２番目の水平走査期間に第２番目の画素行と第４番目の画素行を選択し、第３番目の水平走査期間に第３番目の画素行と第５番目の画素行を選択し、第４番目の水平走査期間に第４番目の画素行と第６番目の画素行を選択する駆動方法である。もちろん、第１番目の水平走査期間に第１番目の画素行と第３番目の画素行と第５番目の画素行を選択するという駆動方法も技術的範疇である。もちろん、複数画素行へだてた画素行位置を選択してもよい。
なお、以上のレーザーショット方向と、複数本の画素行を同時に選択するという組み合わせは、図１、図２、図３２の画素構成のみに限定されるものではなく、カレントミラーの画素構成である図３８、図４２、図５０などの他の電流駆動方式の画素構成にも適用できることはいうまでもない。また、図４３、図５１、図５４、図４６などの電圧駆動の画素構成にも適用できる。つまり、画素上下のトランジスタの特性が一致しておれば、同一のソース信号線１８に印加した電圧値により良好に電圧プログラムを実施できるからである

。
図２４において、書き込み画素行が（１）画素行目である時、ゲート信号線１７ａは（１）（２）が選択されている（図２５を参照のこと）。つまり、画素行（１）（２）のスイッチング用トランジスタ１１ｂ、トランジスタ１１ｃがオン状態である。したがって、少なくとも画素行（１）（２）のスイッチング用トランジスタ１１ｄがオフ状態であり、対応する画素行のＥＬ素子１５には電流が流れていない。つまり、非点灯状態５２である。
なお、図２４では、フリッカの発生を低減するため、表示領域５３を５分割している。
理想的には、２画素（行）のトランジスタ１１ａが、それぞれＩｗ×５（Ｎ＝１０の場合。つまり、Ｋ＝２であるから、ソース信号線１８に流れる電流はＩｗ×Ｋ×５＝Ｉｗ×１０となる）の電流をソース信号線１８に流す。そして、各画素１６のコンデンサ１９には、５倍の電流がプログラムされる。
同時に選択する画素行が２画素行（Ｋ＝２）であるから、２つの駆動用トランジスタ１１ａが動作する。つまり、１画素あたり、１０／２＝５倍の電流がトランジスタ１１ａに流れる。ソース信号線１８には、２つのトランジスタ１１ａのプログラム電流を加えた電流が流れる。
たとえば、書き込み画素行５１ａに、本来、書き込む電流Ｉｄとし、ソース信号線１８には、Ｉｗ×１０の電流を流す。書き込み画素行５１ｂは後に正規の画像データが書き込まれるので問題がない。画素行５１ｂは、１Ｈ期間の間は５１ａと同一表示である。そのため、書き込み画素行５１ａと電流を増加させるために選択した画素行５１ｂとを少なくとも非表示状態５２とするのである。
次の、１Ｈ後には、ゲート信号線１７ａ（１）は非選択となり、ゲート信号線１７ｂにはオン電圧（Ｖｇｌ）が印加される。また、同時に、ゲート信号線１７ａ（３）が選択され（Ｖｇｌ電圧）、選択された画素行（３）のトランジスタ１１ａからソースドライバ回路１４に向かってソース信号線１８にプログラム電流が流れる。このように動作することにより、画素行（１）には正規の画像データが保持される。
次の、１Ｈ後には、ゲート信号線１７ａ（２）は非選択となり、ゲート信号線１７ｂにはオン電圧（Ｖｇｌ）が印加される。また、同時に、ゲート信号線１７ａ（４）が選択され（Ｖｇｌ電圧）、選択された画素行（４）のトランジスタ１１ａからソースドライバ回路１４に向かってソース信号線１８にプログラム電流が流れる。このように動作することにより、画素行（２）には正規の画像データが保持される。以上の動作と１画素行ずつシフト（もちろん、複数画素行ずつシフトしてもよい。たとえば、擬似インターレース駆動であれば、２行ずつシフトするであろう。また、画像表示の観点から、複数の画素行に同一画像を書き込む場合もあるであろう）しながら走査することにより１画面が書き換えられる。
図１６と同様であるが、図２４の駆動方法では、各画素には５倍の電流（電圧）でプログラムを行うため、各画素のＥＬ素子１５の発光輝度は理想的には５倍となる。したがって、表示領域５３の輝度は所定値よりも５倍となる。これを所定の輝度とするためには、図１６などに図示するように、書き込み画素行５１を含み、かつ表示画面１の１／５の範囲を非表示領域５２とすればよい。
図２７に図示するように、２本の書き込み画素行５１（５１ａ、５１ｂ）が選択され、画面５０の上辺から下辺に順次選択されていく（図２６も参照のこと。図２６では画素１６ａと１６ｂが選択されている）。しかし、図２７の（ｂ）のように、画面の下辺までくると書き込み画素行５１ａは存在するが、５１ｂはなくなる。つまり、選択する画素行が１本しかなくなる。そのため、ソース信号線１８に印加された電流は、すべて画素行５１ａに書き込まれる。したがって、画素行５１ａに比較して、２倍の電流が画素にプログラムされてしまう。
この課題に対して、本発明は、図２７の（ｂ）に図示するように画面５０の下辺にダミー画素行２７１を形成（配置）している。したがって、選択画素行が画面５０の下辺まで選択された場合は、画面５０の最終画素行とダミー画素行２７１が選択される。そのため、図２７の（ｂ）の書き込み画素行には、規定どおりの電流が書き込まれる。

なお、ダミー画素行２７１は表示画面５０の上端あるいは下端に隣接して形成したように図示したが、これに限定するものではない。表示画面５０から離れた位置に形成されていてもよい。また、ダミー画素行２７１は、図１のスイッチング用トランジスタ１１ｄ、ＥＬ素子１５などは形成する必要はない。形成しないことにより、ダミー画素行２７１のサイズは小さくなる。

図２８は図２７の（ｂ）の状態を示している。図２８で明らかなように、選択画素行が画面５０の下辺の画素１６ｃ行まで選択された場合は、画面５０の最終画素行（ダミー画素行）２７１が選択される。ダミー画素行２７１は表示画面５０外に配置する。つまり、ダミー画素行（ダミー画素）２７１は点灯しない、あるいは点灯させない、もしくは点灯しても表示として見えないように構成する。たとえば、画素電極１０５とトランジスタ１１とのコンタクトホールをなくすとか、ダミー画素行２７１にはＥＬ膜１５を形成しないとかである。また、ダミー画素行の画素電極１０５上に絶縁膜を形成する構成などが例示される。

図２７では、画面５０の下辺にダミー画素（行）２７１を設ける（形成する、配置する）としたが、これに限定するものではない。たとえば、図２９の（ａ）に図示するように、画面の下辺から上辺に走査する（上下逆転走査）する場合は、図２９の（ｂ）に図示するように画面５０の上辺にもダミー画素行２７１を形成すべきである。つまり、画面５０の上辺を下辺のそれぞれにダミー画素行２７１を形成（配置）する。以上のように構成することにより、画面の上下反転走査にも対応できるようになる。以上の実施例は、２画素行を同時選択する場合であった。

本発明はこれに限定するものではなく、たとえば、５画素行を同時選択する方式（図２３を参照のこと）でもよい。つまり、５画素行同時駆動の場合は、ダミー画素行２７１は４行分形成すればよい。したがって、ダミー画素行２７１は同時に選択する画素行－１の画素数分を形成すればよい。ただし、これは、１画素行ずつ選択する画素行をシフトする場合である。複数画素行ずつシフトする場合は、選択する画素数をＭとし、シフトする画素行数をＬとしたとき、（Ｍ－１）×Ｌ画素行分を形成すればよい。

本発明のダミー画素行構成あるいはダミー画素行駆動は、少なくとも１つ以上のダミー画素行を用いる方式である。もちろん、ダミー画素行駆動方法とＮ倍パルス駆動とを組み合わせて用いることが好ましい。

複数本の画素行を同時に選択する駆動方法では、同時に選択する画素行数が増加するほど、トランジスタ１１ａの特性バラツキを吸収することが困難になる。しかし、同時選択画素行数Ｍが少なくなると、１画素にプログラムする電流が大きくなり、ＥＬ素子１５に大きな電流を流すことになる。ＥＬ素子１５に流す電流が大きいとＥＬ素子１５が劣化しやすくなる。

図３０はこの課題を解決するものである。図３０の基本概念は、１／２Ｈ（水平走査期間の１／２）は、図２２、図２９で説明したように、複数の画素行を同時に選択する方法である。その後の（１／２）Ｈ（水平走査期間の１／２）は図５、図１３などで説明したように、１画素行を選択する方法を組み合わせたものである。このように組み合わせることにより、トランジスタ１１ａの特性バラツキを吸収し、より高速にかつ面内均一性を良好にすることができる。なお、理解を容易にするため、（１／２）Ｈで操作するとして説明するがこれに限定するものではない。最初の期間を（１／４）Ｈとし、後半の期間を（３／４）Ｈとしてもよい。

図３０において、説明を容易にするため、第１の期間では５画素行を同時に選択し、第２の期間では１画素行を選択するとして説明をする。まず、第１の期間（前半の１／２Ｈ）では、図３０（ａ１）に図示するように、５画素行を同時に選択する。この動作は図２２を用いて説明したので省略する。一例としてソース信号線１８に流す電流は所定値の２５倍とする。したがって、各画素１６のトランジスタ１１ａ（図１の画素構成の場合）には５倍の電流（２５／５画素行＝５）がプログラムされる。２５倍の電流であるから、ソース信号線１８などに発生する寄生容量は極めて短期間に充放電される。したがって、ソース信号線１８の電位は、短時間で目標の電位となり、各画素１６のコンデンサ１９の端子

電圧も２５倍電流を流すようにプログラムされる。この２５倍電流の印加時間は前半の１／２Ｈ（１水平走査期間の１／２）とする。
当然のことながら、書き込み画素行の５画素行は同一画像データが書き込まれるから、表示しないように５画素行のトランジスタ１１ｄはオフ状態とされる。したがって、表示状態は図３０（ａ２）となる。
次の後半の１／２Ｈ期間は、１画素行を選択し、電流（電圧）プログラムを行う。この状態を図３０（ｂ１）に図示している。書き込み画素行５１ａは先と同様に５倍の電流を流すように電流（電圧）プログラムされる。図３０（ａ１）と図３０（ｂ１）とで各画素に流す電流を同一にするのは、プログラムされたコンデンサ１９の端子電圧の変化を小さくして、より高速に目標の電流を流せるようにするためである。
つまり、図３０（ａ１）で、複数の画素に電流を流し、高速に概略の電流が流れる値まで近づける。この第１の段階では、複数のトランジスタ１１ａでプログラムしているため、目標値に対してトランジスタのバラツキによる誤差が発生している。次の第２の段階で、データを書き込みかつ保持する画素行のみを選択して、概略の目標値から、所定の目標値まで完全なプログラムを行うのである。
なお、非点灯領域５２を画面の上から下方向に走査し、また、書き込み画素行５１ａも画面の上から下方向に走査することは図１３などの実施例と同様であるので説明を省略する。
図３１は図３０の駆動方法を実現するための駆動波形である。図３１でわかるように、１Ｈ（１水平走査期間）は２つのフェーズで構成されている。この２つのフェーズはＩＳＥＬ信号で切り替える。ＩＳＥＬ信号は図３１に図示している。
まず、ＩＳＥＬ信号について説明をしておく。図３０を実施するドライバ回路１４は、電流出力回路Ａと電流出力回路Ｂとを具備している。それぞれの電流出力回路は、８ビットの階調データをＤＡ変換するＤＡ回路とオペアンプなどから構成される。図３０の実施例では、電流出力回路Ａは２５倍の電流を出力するように構成されている。一方、電流出力回路Ｂは５倍の電流を出力するように構成されている。電流出力回路Ａと電流出力回路Ｂの出力はＩＳＥＬ信号により電流出力部に形成（配置）されたスイッチ回路が制御され、シース信号線１８に印加される。この電流出力回路は各ソース信号線に配置されている。
ＩＳＥＬ信号は、Ｌレベルの時、２５倍電流を出力する電流出力回路Ａが選択されてソース信号線１８からの電流をソースドライバＩＣ１４が吸収する（より適切には、ソースドライバ回路１４内に形成された電流出力回路Ａが吸収する）。２５倍、５倍などの電流出力回路電流の大きさ調整は容易である。複数の抵抗とアナログスイッチで容易に構成できるからである。
図３０に示すように書き込み画素行が（１）画素行目である時（図３０の１Ｈの欄を参照）、ゲート信号線１７ａは（１）（２）（３）（４）（５）が選択されている（図１の画素構成の場合）。つまり、画素行（１）（２）（３）（４）（５）のスイッチング用トランジスタ１１ｂ、トランジスタ１１ｃがオン状態である。また、ＩＳＥＬがＬレベルであるから、２５倍電流を出力する電流出力回路Ａが選択され、ソース信号線１８と接続されている。また、ゲート信号線１７ｂには、オフ電圧（Ｖｇｈ）が印加されている。したがって、画素行（１）（２）（３）（４）（５）のスイッチング用トランジスタ１１ｄがオフ状態であり、対応する画素行のＥＬ素子１５には電流が流れていない。つまり、非点灯状態５２である。
理想的には、５画素のトランジスタ１１ａが、それぞれＩｗ×２の電流をソース信号線１８に流す。そして、各画素１６のコンデンサ１９には、５倍の電流がプログラムされる。ここでは、理解を容易にするため、各トランジスタ１１ａは特性（Ｖｔ、Ｓ値）が一致しているとして説明をする。
同時に選択する画素行が５画素行（Ｋ＝５）であるから、５つの駆動用トランジスタ１１ａが動作する。つまり、１画素あたり、２５／５＝５倍の電流がトランジスタ１１ａに流れる。ソース信号線１８には、５つのトランジスタ１１ａのプログラム電流を加えた電流が流れる。たとえば、書き込み画素行５１ａに、従来の駆動方法で画素に書き込む電流Ｉ

ｗとする時、ソース信号線１８には、Ｉｗ×２５の電流を流す。書き込み画素行（１）より以降に画像データを書き込む書き込み画素行５１ｂソース信号線１８への電流量を増加させるため、補助的に用いる画素行である。しかし、書き込み画素行５１ｂは後に正規の画像データが書き込まれるので問題がない。
したがって、画素行５１ｂは、１Ｈ期間の間は５１ａと同一表示である。そのため、書き込み画素行５１ａと電流を増加させるために選択した画素行５１ｂとを少なくとも非表示状態５２とするのである。
次の１／２Ｈ（水平走査期間の１／２）では、書き込み画素行５１ａのみを選択する。つまり、（１）画素行目のみを選択する。図３１で明らかなように、ゲート信号線１７ａ（１）のみが、オン電圧（Ｖｇｌ）が印加され、ゲート信号線１７ａ（２）（３）（４）（５）はオフ（Ｖｇｈ）が印加されている。したがって、画素行（１）のトランジスタ１１ａは動作状態（ソース信号線１８に電流を供給している状態）であるが、画素行（２）（３）（４）（５）のスイッチング用トランジスタ１１ｂ、トランジスタ１１ｃがオフ状態である。つまり、非選択状態である。
また、ＩＳＥＬがＨレベルであるから、５倍電流を出力する電流出力回路Ｂが選択され、この電流出力回路Ｂとソース信号線１８とが接続されている。また、ゲート信号線１７ｂの状態は先の１／２Ｈの状態と変化がなく、オフ電圧（Ｖｇｈ）が印加されている。したがって、画素行（１）（２）（３）（４）（５）のスイッチング用トランジスタ１１ｄがオフ状態であり、対応する画素行のＥＬ素子１５には電流が流れていない。つまり、非点灯状態５２である。
以上のことから、画素行（１）のトランジスタ１１ａが、それぞれＩｗ×５の電流をソース信号線１８に流す。そして、各画素行（１）のコンデンサ１９には、５倍の電流がプログラムされる。
次の水平走査期間では１画素行、書き込み画素行がシフトする。つまり、今度は書き込み画素行が（２）である。最初の１／２Ｈの期間では、図３１に示すように書き込み画素行が（２）画素行目である時、ゲート信号線１７ａは（２）（３）（４）（５）（６）が選択されている。つまり、画素行（２）（３）（４）（５）（６）のスイッチング用トランジスタ１１ｂ、トランジスタ１１ｃがオン状態である。また、ＩＳＥＬがＬレベルであるから、２５倍電流を出力する電流出力回路Ａが選択され、ソース信号線１８と接続されている。また、ゲート信号線１７ｂには、オフ電圧（Ｖｇｈ）が印加されている。
したがって、画素行（２）（３）（４）（５）（６）のスイッチング用トランジスタ１１ｄがオフ状態であり、対応する画素行のＥＬ素子１５には電流が流れていない。つまり、非点灯状態５２である。一方、画素行（１）のゲート信号線１７ｂ（１）はＶｇｌ電圧が印加されているから、トランジスタ１１ｄはオン状態であり、画素行（１）のＥＬ素子１５は点灯する。
同時に選択する画素行が５画素行（Ｋ＝５）であるから、５つの駆動用トランジスタ１１ａが動作する。つまり、１画素あたり、２５／５＝５倍の電流がトランジスタ１１ａに流れる。ソース信号線１８には、５つのトランジスタ１１ａのプログラム電流を加えた電流が流れる。
次の１／２Ｈ（水平走査期間の１／２）では、書き込み画素行５１ａのみを選択する。つまり、（２）画素行目のみを選択する。図３１で明らかなように、ゲート信号線１７ａ（２）のみが、オン電圧（Ｖｇｌ）が印加され、ゲート信号線１７ａ（３）（４）（５）（６）はオフ（Ｖｇｈ）が印加されている。
したがって、画素行（１）（２）のトランジスタ１１ａは動作状態（画素行（１）はＥＬ素子１５に電流を流し、画素行（２）はソース信号線１８に電流を供給している状態）であるが、画素行（３）（４）（５）（６）のスイッチング用トランジスタ１１ｂ、トランジスタ１１ｃがオフ状態である。つまり、非選択状態である。
また、ＩＳＥＬがＨレベルであるから、５倍電流を出力する電流出力回路Ｂが選択され、この電流出力回路１２２２ｂとソース信号線１８とが接続されている。また、ゲート信号線１７ｂの状態は先の１／２Ｈの状態と変化がなく、オフ電圧（Ｖｇｈ）が印加されてい

る。したがって、画素行（２）（３）（４）（５）（６）のスイッチング用トランジスタ１１ｄがオフ状態であり、対応する画素行のＥＬ素子１５には電流が流れていない。つまり、非点灯状態５２である。
以上のことから、画素行（２）のトランジスタ１１ａが、それぞれＩｗ×５の電流をソース信号線１８に流す。そして、各画素行（２）のコンデンサ１９には、５倍の電流がプログラムされる。以上の動作を順次、実施することにより１画面を表示することができる。
図３０で説明した駆動方法は、第１の期間でＧ画素行（Ｇは２以上）を選択し、各画素行にはＮ倍の電流を流すようにプログラムする。第１の期間後の第２の期間ではＢ画素行（ＢはＧよりも小さく、１以上）を選択し、画素にはＮ倍の電流を流すようにプログラムする方式である。
しかし、他の方策もある。第１の期間でＧ画素行（Ｇは２以上）を選択し、各画素行の総和電流がＮ倍の電流となるようにプログラムする。第１の期間後の第２の期間ではＢ画素行（ＢはＧよりも小さく、１以上）を選択し、選択された画素行の総和の電流（ただし、選択画素行が１の時は、１画素行の電流）がＮ倍となるようにプログラムする方式である。たとえば、図３０（ａ１）において、５画素行を同時に選択し、各画素のトランジスタ１１ａには２倍の電流を流す。したがって、ソース信号線１８には５×２倍＝１０倍の電流が流れる。次の第２の期間では図３０（ｂ１）において、１画素行を選択する。この１画素のトランジスタ１１ａには１０倍の電流を流す。
なお、図３１において、複数の画素行を同時に選択する期間を１／２Ｈとし、１画素行を選択する期間を１／２Ｈとしたがこれに限定するものではない。複数の画素行を同時に選択する期間を１／４Ｈとし、１画素行を選択する期間を３／４Ｈとしてもよい。また、複数の画素行を同時に選択する期間と、１画素行を選択する期間とを加えた期間は１Ｈとしたがこれに限定するものではない。たとえば、２Ｈ期間でも、１．５Ｈ期間であっても良い。
また、図３０において、５画素行を同時に選択する期間を１／２Ｈとし、次の第２の期間では２画素行を同時に選択するとしてもよい。この場合でも実用上、支障のない画像表示を実現できる。
また、図３０において、５画素行を同時に選択する第１の期間を１／２Ｈとし、１画素行を選択する第２の期間を１／２Ｈとする２段階としたがこれに限定するものではない。たとえば、第１の段階は、５画素行を同時に選択し、第２の期間は前記５画素行のうち、２画素行を選択し、最後に、１画素行を選択する３つの段階としてもよい。つまり、複数の段階で画素行に画像データを書き込んでも良い。
以上の実施例は、１画素行を順次選択し画素に電流プログラムを行う方式、あるいは、複数の画素行を順次選択し画素に電流プログラムを行う方式である。しかし、本発明はこれに限定するものではない。画像データに応じて１画素行を順次選択し画素に電流プログラムを行う方式と、複数の画素行を順次選択し画素に電流プログラムを行う方式を組み合わせてもよい。
以下、本発明のインターレース駆動について説明をする。図１３３はインターレース駆動を行う本発明の表示パネルの構成である。図１３３において、奇数画素行のゲート信号線１７ａはゲートドライバ回路１２ａ１に接続されている。偶数画素行のゲート信号線１７ａはゲートドライバ回路１２ａ２に接続されている。一方、奇数画素行のゲート信号線１７ｂはゲートドライバ回路１２ｂ１に接続されている。偶数画素行のゲート信号線１７ｂはゲートドライバ回路１２ｂ２に接続されている。
したがって、ゲートドライバ回路１２ａ１の動作（制御）により奇数画素行の画像データが順次書き換えられる。奇数画素行は、ゲートドライバ回路１２ｂ１の動作（制御）によりＥＬ素子の点灯、非点灯制御が行われる。また、ゲートドライバ回路１２ａ２の動作（制御）により偶数画素行の画像データが順次書き換えられる。また、偶数画素行は、ゲートドライバ回路１２ｂ２の動作（制御）によりＥＬ素子の点灯、非点灯制御が行われる。
図１３４の（ａ）は、第１フィールドでの表示パネルの動作状態である。図１３４の（ｂ）は、第２フィールドでの表示パネルの動作状態である。なお、説明を容易にするため、

１フレームは２フィールドで構成されているとする。図１３４において、斜線を記入したゲートドライバ回路１２はデータの走査動作がしていないことを示している。つまり、図１３４の（ａ）の第１フィールドでは、プログラム電流の書込み制御としてゲートドライバ回路１２ａ１が動作し、ＥＬ素子１５の点灯制御としてゲートドライバ回路１２ｂ２が動作する。図１３４の（ｂ）の第２フィールドでは、プログラム電流の書込み制御としてゲートドライバ回路１２ａ２が動作し、ＥＬ素子１５の点灯制御としてゲートドライバ回路１２ｂ１が動作する。以上の動作が、フレーム内で繰り返される。

図１３５が第１フィールドでの画像表示状態である。図１３５の（ａ）が書込み画素行（電流（電圧）プログラムを行っている奇数画素行位置を図示している。図１３５（ａ１）→（ａ２）→（ａ３）と書込み画素行位置が順次シフトされる。第１フィールドでは、奇数画素行が順次書き換えられる（偶数画素行の画像データは保持されている）。図１３５の（ｂ）が奇数画素行の表示状態を図示している。なお、図１３５の（ｂ）は奇数画素行のみを図示している。偶数画素行は図１３５の（ｃ）に図示している。図１３５の（ｂ）でも明らかなように、奇数画素行に対応する画素のＥＬ素子１５は非点灯状態である。一方、偶数画素行は、図１３５の（ｃ）に図示しているように表示領域５３と非表示領域５２を走査する（Ｎ倍パルス駆動）。

図１３６が第２フィールドでの画像表示状態である。図１３６の（ａ）が書込み画素行（電流（電圧）プログラムを行っている奇数画素行位置を図示している。図１３６（ａ１）→（ａ２）→（ａ３）と書込み画素行位置が順次シフトされる。第２フィールドでは、偶数画素行が順次書き換えられる（奇数画素行の画像データは保持されている）。図１３６の（ｂ）が奇数画素行の表示状態を図示している。なお、図１３６の（ｂ）は奇数画素行のみを図示している。偶数画素行は図１３６の（ｃ）に図示している。図１３６の（ｂ）でも明らかなように、偶数画素行に対応する画素のＥＬ素子１５は非点灯状態である。一方、奇数画素行は、図１３６の（ｃ）に図示しているように表示領域５３と非表示領域５２を走査する（Ｎ倍パルス駆動）。

以上のように駆動することにより、インターレース駆動をＥＬ表示パネルで容易に実現することができる。また、Ｎ倍パルス駆動を実施することにより書込み不足も発生せず、動画ボケも発生することがない。また、電流（電圧）プログラムの制御と、ＥＬ素子１５の点灯制御も容易であり、回路も容易に実現できる。

なお、本発明の駆動方式は、図１３５、図１３６の駆動方式に限定されるものではない。たとえば、図１３７の駆動方式も例示される。図１３５、図１３６は、電流（電圧）プログラムを行っている奇数画素行または偶数画素行は非表示領域５２（非点灯、黒表示）とするものであった。図１３７の実施例は、ＥＬ素子１５の点灯制御を行うゲートドライバ回路１２ｂ１、１２ｂ２の両方を同期させて動作させるものである。ただし、電流（電圧）プログラムを行っている画素行５１は非表示領域となるように制御することはいうまでもない（図３８のカレントミラー画素構成ではその必要はない）。図１３７では、奇数画素行と偶数画素行の点灯制御が同一であるので、ゲートドライバ回路１２ｂ１と１２ｂ２の２つと設ける必要はない。ゲートドライバ回路１２ｂを１つで点灯制御することができる。

図１３７は、奇数画素行と偶数画素行の点灯制御を同一にする駆動方法であった。しかし、本発明はこれに限定するものではない。図１３８は、奇数画素行と偶数画素行の点灯制御を異ならせた実施例である。とくに、図１３８は奇数画素行の点灯状態（表示領域５３、非表示領域５２）の逆パターンを偶数画素行の点灯状態にした例である。したがって、表示領域５３の面積と非表示領域５２の面積とは同一になるようにしている。もちろん、表示領域５３の面積と非表示領域５２の面積とは同一になることに限定されるものではない。

また、図１３６、図１３５において、奇数画素行あるいは偶数画素行ですべての画素行が非点灯状態にすることに限定されるものではない。

以上の実施例は、１画素行ずつ電流（電圧）プログラムを実施する駆動方法であった。しかし、本発明の駆動方法はこれに限定されるものではなく、図１３９に図示するように２

画素行（複数画素行）を同時に電流（電圧）プログラム行っても良いことは言うまでもない（図２７とその説明も参照のこと）。図１３９の（ａ）は奇数フィールドの実施例であり、図１３９の（ｂ）は偶数フィールドの実施例である。奇数フィールドでは、（１、２）画素行、（３、４）画素行、（５、６）画素行、（７、８）画素行、（９、１０）画素行、（１１、１２）画素行、・・・・・・・・・（ｎ、ｎ＋１）画素行（ｎは１以上の整数）の組で２画素行を順次選択し、電流プログラムを行っていく。偶数フィールドでは、（２、３）画素行、（４、５）画素行、（６、７）画素行、（８、９）画素行、（１０、１１）画素行、（１２、１３）画素行、・・・・・・・・・（ｎ＋１、ｎ＋２）画素行（ｎは１以上の整数）の組で２画素行を順次選択し、電流プログラムを行っていく。

以上のように各フィールドで複数画素行を選択し電流プログラムを行うことによりソース信号線１８に流す電流を増加することができ、黒書き込みを良好にすることができる。また、奇数フィールドと偶数フィールドで選択する複数画素行の組を少なくとも１画素行ずらせることにより、画像の解像度を向上させることができる。

図１３９の実施例は、各フィールドで選択する画素行を２画素行としたが、これに限定するものではなく３画素行としてもよい。この場合は、奇数フィールドと偶数フィールドで選択する３画素行の組は１画素行ずらせる方法と、２画素行ずらせる方法の２方式を選択可能である。また、各フィールドで選択する画素行は４画素行以上としてもよい。また、図１２５～図１３２に図示するように、１フレームを３フィールド以上で構成するようにしてもよい。

また、図１３９の実施例では、２画素行を同時に選択するとしたが、これに限定するものではなく、１Ｈを前半１／２Ｈと後半の１／２Ｈとし、奇数フィールドでは、第１Ｈ期間の前半の１／２Ｈ期間に第１画素行を選択して電流プログラムを行い、後半の１／２Ｈ期間に第２画素行を選択して電流プログラムを行う。次の第２Ｈ期間の前半の１／２Ｈ期間に第３画素行を選択して電流プログラムを行い、後半の１／２Ｈ期間に第４画素行を選択して電流プログラムを行う。また、次の第３Ｈ期間の第１Ｈ期間の前半の１／２Ｈ期間に第５画素行を選択して電流プログラムを行い、後半の１／２Ｈ期間に第６画素行を選択して電流プログラムを行う。・・・・・・と駆動してもよい。

また、偶数フィールドでは、第１Ｈ期間の前半の１／２Ｈ期間に第２画素行を選択して電流プログラムを行い、後半の１／２Ｈ期間に第３画素行を選択して電流プログラムを行う。次の第２Ｈ期間の前半の１／２Ｈ期間に第４画素行を選択して電流プログラムを行い、後半の１／２Ｈ期間に第５画素行を選択して電流プログラムを行う。また、次の第３Ｈ期間の第１Ｈ期間の前半の１／２Ｈ期間に第６画素行を選択して電流プログラムを行い、後半の１／２Ｈ期間に第７画素行を選択して電流プログラムを行う。・・・・・・と駆動してもよい。

以上の実施例においても各フィールドで選択する画素行を２画素行としたが、これに限定するものではなく３画素行としてもよい。この場合は、奇数フィールドと偶数フィールドで選択する３画素行の組は１画素行ずらせる方法と、２画素行ずらせる方法の２方式を選択可能である。また、各フィールドで選択する画素行は４画素行以上としてもよい。

本発明のＮ倍パルス駆動方法では、各画素行で、ゲート信号線１７ｂの波形を同一にし、１Ｈの間隔でシフトさせて印加していく。このように走査することにより、ＥＬ素子１５が点灯している時間を１Ｆ／Ｎに規定しながら、順次、点灯する画素行をシフトさせることができる。このように、各画素行で、ゲート信号線１７ｂの波形を同一にし、シフトさせていることを実現することは容易である。図６のシフトレジスタ回路６１ａ、６１ｂに印加するデータであるＳＴ１、ＳＴ２を制御すればよいからである。たとえば、入力ＳＴ２がＬレベルの時、ゲート信号線１７ｂにＶｇｌが出力され、入力ＳＴ２がＨレベルの時、ゲート信号線１７ｂにＶｇｈが出力されるとすれば、シフトレジスタ１７ｂに印加するＳＴ２を１Ｆ／Ｎの期間だけＬレベルで入力し、他の期間はＨレベルにする。この入力されたＳＴ２を１Ｈに同期したクロックＣＬＫ２でシフトしていくだけである。

なお、ＥＬ素子１５をオンオフする周期は０．５ｍｓｅｃ以上にする必要がある。この周期が短いと、人間の目の残像特性により完全な黒表示状態とならず、画像がぼやけたよう

になり、あたかも解像度が低下したようになる。また、データ保持型の表示パネルの表示状態となる。しかし、オンオフ周期を１００ｍｓｅｃ以上になると、点滅状態に見える。したがって、ＥＬ素子のオンオフ周期は０．５μｓｅｃ以上１００ｍｓｅｃ以下にすべきである。さらに好ましくは、オンオフ周期を２ｍｓｅｃ以上３０ｍｓｅｃ以下にすべきである。さらに好ましくは、オンオフ周期を３ｍｓｅｃ以上２０ｍｓｅｃ以下にすべきである。

先にも記載したが、黒画面５２の分割数は、１つにすると良好な動画表示を実現できるが、画面のちらつきが見えやすくなる。したがって、黒挿入部を複数に分割することが好ましい。しかし、分割数をあまりに多くすると動画ボケが発生する。分割数は１以上８以下とすべきである。さらに好ましくは１以上５以下とすることが好ましい。

なお、黒画面の分割数は静止画と動画で変更できるように構成することが好ましい。分割数とは、Ｎ＝４では、７５％が黒画面であり、２５％が画像表示である。このとき、７５％の黒表示部を７５％の黒帯状態で画面の上下方向に走査するのが分割数１である。２５％の黒画面と２５／３％の表示画面の３ブロックで走査するのが分割数３である。静止画は分割数を多くする。動画は分割数を少なくする。切り替えは入力画像に応じて自動的（動画検出など）に行っても良く、ユーザーが手動で行ってもよい。また、表示装置の映像などに入力コンセントに対応して切り替ええするように構成すればよい。

たとえば、携帯電話などにおいて、壁紙表示、入力画面では、分割数を１０以上とする（極端には１Ｈごとにオンオフしてもよい）。ＮＴＳＣの動画を表示するときは、分割数を１以上５以下とする。なお、分割数は３以上の多段階に切り替えできるように構成することが好ましい。たとえば、分割数なし、２、４、８などである。

また、全表示画面に対する黒画面の割合は、全画面の面積を１とした時、０．２以上０．９以下（Ｎで表示すれば１．２以上９以下）とすることが好ましい。また、特に０．２５以上０．６以下（Ｎで表示すれば１．２５以上６以下）とすることが好ましい。０．２０以下であると動画表示での改善効果が低い。０．９以上であると、表示部分の輝度が高くなり、表示部分が上下に移動することが視覚的に認識されやすくなる。

また、１秒あたりのフレーム数は、１０以上１００以下（１０Ｈｚ以上１００Ｈｚ以下）が好ましい。さらには１２以上６５以下（１２Ｈｚ以上６５Ｈｚ以下）が好ましい。フレーム数が少ないと、画面のちらつきが目立つようになり、あまりにもフレーム数が多いと、ソースドライバ回路１４などからの書き込みが苦しくなり解像度が劣化する。

なお、以上の事項は、図３８などの電流プログラムの画素構成、図４３、図５１、図５４などの電圧プログラムの画素構成でも適用できることは言うまでもない。図３８では、トランジスタ１１ｄを、図４３ではトランジスタ１１ｄを、図５１ではトランジスタ１１ｅをオンオフ制御すればよい。このように、ＥＬ素子１５に電流を流す配線をオンオフすることにより、本発明のＮ倍パルス駆動を容易に実現できる。

また、ゲート信号線１７ｂの１Ｆ／Ｎの期間だけ、Ｖｇｌにする時刻は１Ｆ（１Ｆに限定するものではない。単位期間でよい。）の期間のうち、どの時刻でもよい。単位時間にうち、所定の期間だけＥＬ素子１５をオンさせることにより、所定の平均輝度を得るものだからである。ただし、電流プログラム期間（１Ｈ）後、すぐにゲート信号線１７ｂをＶｇｌにしてＥＬ素子１５を発光させる方がよい。図１のコンデンサ１９の保持率特性の影響を受けにくくなるからである。

また、この画像の分割数も可変できるように構成することが好ましい。たとえば、ユーザーが明るさ調整スイッチを押すことにより、あるいは明るさ調整ボリウムを回すことにより、この変化を検出してＫの値を変更する。表示する画像の内容、データにより手動で、あるいは自動的に変化させるように構成してもよい。

このようにＫの値（画像表示部５３の分割数）を変化させることも容易に実現できる。図６においてＳＴに印加するデータのタイミング（１Ｆのいつにレベルにするか）を調整あるいは可変できるように構成しておけばよいからである。

なお、図１６などでは、ゲート信号線１７ｂをＶｇｌにする期間（１Ｆ／Ｎ）を複数に分割（分割数Ｍ）し、Ｖｇｌにする期間は１Ｆ／（Ｋ・Ｎ）の期間をＫ回実施するとしたが

これ限定するものではない。１Ｆ／（Ｋ・Ｎ）の期間をＬ（Ｌ≠Ｋ）回実施してもよい。つまり、本発明は、ＥＬ素子１５に流す期間（時間）を制御することにより表示画面５０を表示するものである。したがって、１Ｆ／（Ｋ・Ｎ）の期間をＬ（Ｌ≠Ｋ）回実施することは本発明の技術的思想に含まれる。また、Ｌの値を変化させることにより、表示画面５０の輝度をデジタル的に変更することができる。たとえば、Ｌ＝２とＬ＝３では５０％の輝度（コントラスト）変化となる。これらの制御も、本発明の他の実施例にも適用できることは言うまでもない（もちろん、以降に説明する本発明にも適用できる）。これらも本発明のＮ倍パルス駆動である。

以上の実施例は、ＥＬ素子１５と駆動用トランジスタ１１ａとの間にスイッチング素子としてのトランジスタ１１ｄを配置（形成）し、このトランジスタ１１ｄを制御することにより、画面５０をオンオフ表示するものであった。この駆動方法により、電流プログラム方式の黒表示状態での電流書き込み不足をなくし、良好な解像度あるいは黒表示を実現するものであった。つまり、電流プログラム方式では、良好な黒表示を実現することが重要である。次に説明する駆動方法は、駆動用トランジスタ１１ａをリセットし、良好な黒表示を実現するものである。以下、図３２を用いて、その実施例について説明をする。

図３２は基本的には図１の画素構成である。図３２の画素構成では、プログラムされたＩｗ電流がＥＬ素子１５に流れ、ＥＬ素子１５が発光する。つまり、駆動用トランジスタ１１ａはプログラムされることにより、電流を流す能力を保持している。この電流を流す能力を利用してトランジスタ１１ａをリセット（オフ状態）にする方式が図３２の駆動方式である。以降、この駆動方式をリセット駆動と呼ぶ。

図１の画素構成でリセット駆動を実現するためには、トランジスタ１１ｂとトランジスタ１１ｃを独立してオンオフ制御できるように構成する必要がある。つまり、図３２で図示するようにトランジスタ１１ｂをオンオフ制御するゲート信号線１７ａ（ゲート信号線ＷＲ）、トランジスタ１１ｃをオンオフ制御するゲート信号線１７ｃ（ゲート信号線ＥＬ）を独立して制御できるようにする。ゲート信号線１７ａとゲート信号線１７ｃの制御は、図６に図示するように独立した２つのシフトレジスタ回路６１で行えばよい。

トランジスタ１１ｂを駆動するゲート信号線１７ａとトランジスタ１１ｄを駆動するゲート信号線１７ｂの駆動電圧は変化させるとよい（図１の画素構成の場合）。ゲート信号線１７ａの振幅値（オン電圧とオフ電圧との差）は、ゲート信号線１７ｂの振幅値よりも小さくする。

ゲート信号線１７の振幅値が大きいと、ゲート信号線１７と画素１６との突き抜け電圧が大きくなり、黒浮きが発生する。ゲート信号線１７ａの振幅は、ソース信号線１８の電位が画素１６に印加されない（印加する（選択時））を制御すればよいのである。ソース信号線１８の電位変動は小さいから、ゲート信号線１７ａの振幅値は小さくすることができる。

一方、ゲート信号線１７ｂはＥＬのオンオフ制御を実施する必要がある。したがって、振幅値は大きくなる。これに対応するため、シフトレジスタ６１ａと６１ｂとの出力電圧を変化させる。画素がＰチャンネルトランジスタで形成されている場合は、シフトレジスタ回路６１ａと６１ｂのＶｇｈ（オフ電圧）を略同一にし、シフトレジスタ回路６１ａのＶｇｌ（オン電圧）をシフトレジスタ回路６１ｂのＶｇｌ（オン電圧）よりも低くする。

以下、図３３を参照しながら、リセット駆動方式について説明をする。図３３はリセット駆動の原理説明図である。まず、図３３の（ａ）に図示するように、トランジスタ１１ｃ、トランジスタ１１ｄをオフ状態にし、トランジスタ１１ｂをオン状態にする。すると、駆動用トランジスタ１１ａのドレイン（Ｄ）端子とゲート（Ｇ）端子はショート状態となり、Ｉｂ電流が流れる。一般的に、トランジスタ１１ａは１つ前のフィールド（フレーム）で電流プログラムされている。この状態でトランジスタ１１ｄがオフ状態となり、トランジスタ１１ｂがオン状態にすれば、駆動電流Ｉｂがトランジスタ１１ａのゲート（Ｇ）端子に流れる。そのため、トランジスタ１１ａのゲート（Ｇ）端子とドレイン（Ｄ）端子とが同一電位となり、トランジスタ１１ａはリセット（電流を流さない状態）になる。

なお、図３３の（ａ）の動作の前に、トランジスタ１１ｂ、トランジスタ１１ｃをオフ状

態にし、トランジスタ１１ｄをオン状態にし、駆動用トランジスタ１１ａに電流を流すという動作を実施することが好ましい。この動作は、極力短時間に完了させることが好ましい。ＥＬ素子１５に電流が流れてＥＬ素子１５が点灯し、表示コントラストを低下させる恐れがあるからである。この動作時間は、１Ｈ（１水平走査期間）の０．１％以上１０％以下とすることが好ましい。さらに好ましくは０．２％以上２％以下となるようにすることが好ましい。もしくは０．２μｓｅｃ以上５μｓｅｃ以下となるようにすることが好ましい。また、全画面の画素１６に一括して前述の動作（図３３の（ａ）の前に行う動作）を実施してもよい。以上の動作を実施することにより、駆動用トランジスタ１１ａのドレイン（Ｄ）端子電圧が低下し、図３３の（ａ）の状態でスムーズなＩｂ電流を流すことができるようになる。なお、以上の事項は、本発明の他のリセット駆動方式にも適用される。

図３３の（ａ）の実施時間を長くするほど、Ｉｂ電流が流れ、コンデンサ１９の端子電圧が小さくなる傾向がある。したがって、図３３の（ａ）の実施時間は固定値にする必要がある。実験および検討によれば、図３３の（ａ）の実施時間は、１Ｈ以上５Ｈ以下にすることが好ましい。

なお、この期間は、Ｒ、Ｇ、Ｂの画素で異ならせることが好ましい。各色の画素でＥＬ材料が異なり、このＥＬ材料の立ち上がり電圧などに差異があるためである。ＲＧＢの各画素で、ＥＬ材料に適応して、もっとも最適な期間を設定する。なお、実施例において、この期間は１Ｈ以上５Ｈ以下にするとしたが、黒挿入（黒画面を書き込む）を主とする駆動方式では、５Ｈ以上であってもよいことは言うまでもない。なお、この期間が長いほど、画素の黒表示状態は良好となる。

図３３の（ａ）を実施後、１Ｈ以上５Ｈ以下の期間おいて、図３３の（ｂ）の状態にする。図３３の（ｂ）はトランジスタ１１ｃ、トランジスタ１１ｂをオンさせ、トランジスタ１１ｄをオフさせた状態である。図３３の（ｂ）の状態は、以前にも説明したが、電流プログラムを行っている状態である。つまり、ソースドライバ回路１４からプログラム電流Ｉｗを出力（あるいは吸収）し、このプログラム電流Ｉｗを駆動用トランジスタ１１ａに流す。このプログラム電流Ｉｗが流れるように、駆動用トランジスタ１１ａのゲート（Ｇ）端子の電位を設定するのである（設定電位はコンデンサ１９に保持される）。

もし、プログラム電流Ｉｗが０（Ａ）であれば、トランジスタ１１ａは電流を図３３の（ａ）の電流を流さない状態が保持されたままとなるから、良好な黒表示を実現できる。また、図３３の（ｂ）で白表示の電流プログラムを行う場合であっても、各画素の駆動用トランジスタの特性バラツキが発生していても、完全に黒表示状態のオフセット電圧から電流プログラムを行う。したがって、目標の電流値にプログラムされる時間が階調に応じて等しくなる。そのため、トランジスタ１１ａの特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

図３３の（ｂ）の電流プログラミング後、図３３の（ｃ）に図示するように、トランジスタ１１ｂ、トランジスタ１１ｃとオフし、トランジスタ１１ｄをオンさせて、駆動用トランジスタ１１ａからのプログラム電流Ｉｗ（＝Ｉｅ）をＥＬ素子１５に流し、ＥＬ素子１５を発光させる。図３３の（ｃ）に関しても、図１などで以前に説明をしたので詳細は省略する。

つまり、図３３で説明した駆動方式（リセット駆動）は、駆動用トランジスタ１１ａとＥＬ素子１５間を切断（電流が流れない状態）し、かつ、駆動用トランジスタのドレイン（Ｄ）端子とゲート（Ｇ）端子（もしくはソース（Ｓ）端子とゲート（Ｇ）端子、さらに一般的に表現すれば駆動用トランジスタのゲート（Ｇ）端子を含む２端子）間をショートする第１の動作と、前記動作の後、駆動用トランジスタに電流（電圧）プログラムを行う第２の動作とを実施するものである。かつ、少なくとも第２の動作は第１の動作後に行うものである。なお、リセット駆動を実施するためには、図３２の構成のように、トランジスタ１１ｂとトランジスタ１１ｃとを独立に制御できるように、構成しておかねばならない。

画像表示状態は（もし、瞬時的な変化が観察できるのであれば）、まず、電流プログラム

を行われる画素行は、リセット状態（黒表示状態）になり、１Ｈ後に電流プログラムが行われる（この時も黒表示状態である。トランジスタ１１ｄがオフだからである。）。次に、ＥＬ素子１５に電流が供給され、画素行は所定輝度（プログラムされた電流）で発光する。つまり、画面の上から下方向に、黒表示の画素行が移動し、この画素行が通りすぎた位置で画像が書き換わっていくように見えるはずである。

なお、リセット後、１Ｈ後に電流プログラムを行うとしたがこの期間は、５Ｈ程度以内としてもよい。図３３の（ａ）のリセットが完全に行われるのに比較的長時間を必要とするからである。もし、この期間を５Ｈとすれば、５画素行が黒表示（電流プログラムの画素行もいれると６画素行）となるはずである。

また、リセット状態は１画素行ずつ行うことに限定するものではなく、複数画素行ずつ同時にリセット状態にしてもよい。また、複数画素行ずつ同時にリセット状態にし、かつオーバーラップしながら走査してもよい。たとえば、４画素行を同時にリセットするのであれば、第１の水平走査期間（１単位）に、画素行（１）（２）（３）（４）をリセット状態にし、次の第２の水平走査期間に、画素行（３）（４）（５）（６）をリセット状態にし、さらに次の第３の水平走査期間に、画素行（５）（６）（７）（８）をリセット状態にする。また、次の第４の水平走査期間に、画素行（７）（８）（９）（１０）をリセット状態にするという駆動状態が例示される。なお、当然、図３３の（ｂ）、図３３の（ｃ）の駆動状態も図３３の（ａ）の駆動状態と同期して実施される。

また、１画面の画素すべてを同時にあるいは走査状態でリセット状態にしてから、図３３の（ｂ）の（ｃ）の駆動を実施してもよいことはいうまでもない。また、インターレース駆動状態（１画素行あるいは複数画素行の飛び越し走査）で、リセット状態（１画素行あるいは複数画素行飛び越し）にしてもよいことは言うまでもない。また、ランダムのリセット状態を実施してもよい。また、本発明のリセット駆動の説明は、画素行を操作する方式である（つまり、画面の上下方向の制御する）。しかし、リセット駆動の概念は、制御方向が画素行に限定されるものではない。たとえば、画素列方向にリセット駆動を実施してもよいことは言うまでもない。

なお、図３３のリセット駆動は、本発明のＮ倍パルス駆動などと組み合わせること、インターレース駆動と組み合わせることによりさらに良好な画像表示を実現できる。特に図２２の構成は、間欠Ｎ／Ｋ倍パルス駆動（１画面に点灯領域を複数設ける駆動方法である。この駆動方法は、ゲート信号線１７ｂを制御し、トランジスタ１１ｄをオンオフ動作させることにより容易に実現できる。このことは以前に説明をした。）を容易に実現できるので、フリッカの発生もなく、良好な画像表示を実現できる。

また、他の駆動方法、たとえば、以降の説明するプリチャージ駆動方式などと組み合わせることによりさらに優れた画像表示を実現できることは言うまでもない。以上のように、本発明と同様にリセット駆動も本明細書の他の実施例と組み合わせて実施することができることは言うまでもない。

図３４はリセット駆動を実現する表示装置の構成図である。ゲートドライバ回路１２ａは、図３２におけるゲート信号線１７ａおよびゲート信号線１７ｂを制御する。ゲート信号線１７ａにオンオフ電圧を印加することによりトランジスタ１１ｂがオンオフ制御される。また、ゲート信号線１７ｂにオンオフ電圧を印加することによりトランジスタ１１ｄがオンオフ制御される。ゲートドライバ回路１２ｂは、図３２におけるゲート信号線１７ｃを制御する。ゲート信号線１７ｃにオンオフ電圧を印加することによりトランジスタ１１ｃがオンオフ制御される。

したがって、ゲート信号線１７ａはゲートドライバ回路１２ａで操作し、ゲート信号線１７ｃはゲートドライバ回路１２ｂで操作する。そのため、トランジスタ１１ｂをオンさせて駆動用トランジスタ１１ａをリセットするタイミングと、トランジスタ１１１ｃをオンさせて駆動用トランジスタ１１ａに電流プログラムを行うタイミングとを自由に設定できる。他の構成などは、以前に説明したものと同一または類似するため説明を省略する。

図３５はリセット駆動のタイミングチャートである。ゲート信号線１７ａにオン電圧を印加し、トランジスタ１１ｂをオンさせ、駆動用トランジスタ１１ａをリセットしている時

には、ゲート信号線１７ｂにはオフ電圧を印加し、トランジスタ１１ｄをオフ状態にしている。したがって、図３２の（ａ）の状態となっている。この期間にＩｂ電流が流れる。図３５のタイミングチャートでは、リセット時間は２Ｈ（ゲート信号線１７ａにオン電圧が印加され、トランジスタ１１ｂがオンする）としているが、これに限定するものではない。２Ｈ以上でもよい。また、リセットが極めて高速に行える場合は、リセット時間は１Ｈ未満であってもよい。

リセット期間を何Ｈ期間にするかはゲートドライバ回路１２に入力するＤＡＴＡ（ＳＴ）パルス期間で容易に変更できる。たとえば、ＳＴ端子に入力するＤＡＴＡを２Ｈ期間の間Ｈレベルとすれば、各ゲート信号線１７ａから出力されるリセット期間は２Ｈ期間となる。同様に、ＳＴ端子に入力するＤＡＴＡを５Ｈ期間の間Ｈレベルとすれば、各ゲート信号線１７ａから出力されるリセット期間は５Ｈ期間となる。

１Ｈ期間のリセット後、画素行（１）のゲート信号線１７ｃ（１）に、オン電圧が印加される。トランジスタ１１ｃがオンすることにより、ソース信号線１８に印加されたプログラム電流Ｉｗがトランジスタ１１ｃを介して駆動用トランジスタ１１ａに書き込まれる。電流プログラム後、画素（１）のゲート信号線１７ｃにオフ電圧が印加され、トランジスタ１１ｃがオフし、画素がソース信号線と切り離される。同時に、ゲート信号線１７ａにもオフ電圧が印加され、駆動用トランジスタ１１ａのリセット状態が解消される（なお、この期間は、リセット状態と表現するよりも、電流プログラム状態と表現する方が適切である）。また、ゲート信号線１７ｂにはオン電圧が印加され、トランジスタ１１ｄがオンして、駆動用トランジスタ１１ａにプログラムされた電流がＥＬ素子１５に流れる。なお、画素行（２）以降についても、画素行（１）と同様であり、また、図３５からその動作は明らかであるから説明を省略する。

図３５において、リセット期間は１Ｈ期間であった。図３６はリセット期間を５Ｈとした実施例である。リセット期間を何Ｈ期間にするかはゲートドライバ回路１２に入力するＤＡＴＡ（ＳＴ）パルス期間で容易に変更できる。図３６ではゲートドライバ回路１２ａのＳＴ１端子に入力するＤＡＴＡを５Ｈ期間の間Ｈレベルし、各ゲート信号線１７ａから出力されるリセット期間を５Ｈ期間とした実施例である。リセット期間は、長いほど、リセットが完全に行われ、良好な黒表示を実現できる。しかし、リセット期間の割合分は表示輝度が低下することになる。

図３６はリセット期間を５Ｈとした実施例であった。また、このリセット状態は連続状態であった。しかし、リセット状態は連続して行うことに限定されるものではない。たとえば、各ゲート信号線１７ａから出力される信号を１Ｈごとにオンオフ動作させてもよい。このようにオンオフ動作させるのは、シフトレジスタの出力段に形成されたイネーブル回路（図示せず）を操作することにより容易に実現できる。また、ゲートドライバ回路１２に入力するＤＡＴＡ（ＳＴ）パルスを制御することで容易に実現できる。

図３４の回路構成では、ゲートドライバ回路１２ａは少なくとも２つのシフトレジスタ回路（１つはゲート信号線１７ａ制御用、他の１つはゲート信号線１７ｂ制御用）が必要であった。そのため、ゲートドライバ回路１２ａの回路規模が大きくなるという課題があった。図３７はゲートドライバ回路１２ａのシフトレジスタを１つにした実施例である。図３７の回路を動作させた出力信号のタイミングチャートは図３５のごとくなる。なお、図３５と図３７とはゲートドライバ回路１２ａ、１２ｂから出力されているゲート信号線１７の記号が異なっているので注意が必要である。

図３７のＯＲ回路３７１が付加されていることから明らかであるが、各ゲート信号線１７ａの出力は、シフトレジスタ回路６１ａの前段出力とのＯＲをとって出力される。つまり、２Ｈ期間、ゲート信号線１７ａからはオン電圧が出力される。一方、ゲート信号線１７ｃはシフトレジスタ回路６１ａの出力がそのまま出力される。したがって、１Ｈ期間の間、オン電圧が印加される。

たとえば、シフトレジスタ回路６１ａの２番目にＨレベル信号が出力されている時、画素１６（１）のゲート信号線１７ｃにオン電圧が出力され、画素１６（１）が電流（電圧）プログラムの状態である。同時に、画素１６（２）のゲート信号線１７ａにもオン電圧が

出力され、画素１６（２）のトランジスタ１１ｂがオン状態となり、画素１６（２）の駆動用トランジスタ１１ａがリセットされる。
同様に、シフトレジスタ回路６１ａの３番目にＨレベル信号が出力されている時、画素１６（２）のゲート信号線１７ｃにオン電圧が出力され、画素１６（２）が電流（電圧）プログラムの状態である。同時に、画素１６（３のゲート信号線１７ａにもオン電圧が出力され、画素１６（３）トランジスタ１１ｂがオン状態となり、画素１６（３）駆動用トランジスタ１１ａがリセットされる。つまり、２Ｈ期間、ゲート信号線１７ａからはオン電圧が出力され、ゲート信号線１７ｃに１Ｈ期間、オン電圧が出力される。
プログラム状態の時は、トランジスタ１１ｂとトランジスタ１１ｃが同時にオン状態となる（図３３の（ｂ））ら、非プログラム状態（図３３の（ｃ））に移行する際、トランジスタ１１ｃがトランジスタ１１ｂよりも先にオフ状態となると、図３３の（ｂ）のリセット状態となってしまう。これを防止するためには、トランジスタ１１ｃがトランジスタ１１ｂよりもあとからオフ状態にする必要がある。そのためには、ゲート信号線１７ａがゲート信号線１７ｃよりも先にオン電圧が印加されるように制御する必要がある。
以上の実施例は、図３２（基本的には図１）の画素構成に関する実施例であった。しかし、本発明はこれに限定されるものではない。たとえば、図３８に示すようなカレントミラーの画素構成であっても実施することができる。なお、図３８ではトランジスタ１１ｅをオンオフ制御することにより、図１３、図１５などで図示するＮ倍パルス駆動を実現できる。図３９は図３８のカレントミラーの画素構成での実施例の説明図である。以下、図３９を参照しながら、カレントミラーの画素構成におけるリセット駆動方式について説明をする。
図３９の（ａ）に図示するように、トランジスタ１１ｃ、トランジスタ１１ｅをオフ状態にし、トランジスタ１１ｄをオン状態にする。すると、電流プログラム用トランジスタ１１ｂのドレイン（Ｄ）端子とゲート（Ｇ）端子はショート状態となり、図に示すようにＩｂ電流が流れる。一般的に、トランジスタ１１ｂは１つ前のフィールド（フレーム）で電流プログラムされ、電流を流す能力がある（ゲート電位はコンデンサ１９に１Ｆ期間保持され、画像表示をおこなっているから当然である。ただし、完全な黒表示を行っている場合、電流は流れない）。この状態でトランジスタ１１ｅがオフ状態とし、トランジスタ１１ｄがオン状態にすれば、駆動電流Ｉｂがトランジスタ１１ａのゲート（Ｇ）端子の方向に流れる（ゲート（Ｇ）端子とドレイン（Ｄ）端子がショートされる）。そのため、トランジスタ１１ａのゲート（Ｇ）端子とドレイン（Ｄ）端子とが同一電位となり、トランジスタ１１ａはリセット（電流を流さない状態）になる。また、駆動用トランジスタ１１ｂのゲート（Ｇ）端子は電流プログラム用トランジスタ１１ａのゲート（Ｇ）端子と共通であるから、駆動用トランジスタ１１ｂもリセット状態となる。
このトランジスタ１１ａ、トランジスタ１１ｂのリセット状態（電流を流さない状態）は、図５１などで説明する電圧オフセットキャンセラ方式のオフセット電圧を保持した状態と等価である。つまり、図３９の（ａ）の状態では、コンデンサ１９の端子間には、オフセット電圧（電流が流れ始める開始電圧。この電圧の絶対値以上の電圧を印加することにより、トランジスタ１１に電流が流れる）が保持されていることになる。このオフセット電圧はトランジスタ１１ａ、トランジスタ１１ｂの特性に応じて異なる電圧値である。したがって、図３９の（ａ）の動作を実施することにより、各画素のコンデンサ１９にはトランジスタ１１ａ、トランジスタ１１ｂが電流を流さない（つまり、黒表示電流（ほとんど０に等しい））状態が保持されることになるのである（電流が流れ始める開始電圧にリセットされた）。
なお、図３９の（ａ）においても図３３の（ａ）と同様に、リセットの実施時間を長くするほど、Ｉｂ電流が流れ、コンデンサ１９の端子電圧が小さくなる傾向がある。したがって、図３９の（ａ）の実施時間は固定値にする必要がある。実験および検討によれば、図３９の（ａ）の実施時間は、１Ｈ以上１０Ｈ（１０水平走査期間）以下とすることが好ましい。さらには１Ｈ以上５Ｈ以下にすることが好ましい。あるいは、２０μｓｅｃ以上２ｍｓｅｃ以下とすることが好ましい。このことは図３３の駆動方式でも同様である。

図３３の（ａ）も同様であるが、図３９の（ａ）のリセット状態と、図３９の（ｂ）の電流プログラム状態とを同期をとって行う場合は、図３９の（ａ）のリセット状態から、図３９の（ｂ）の電流プログラム状態までの期間が固定値（一定値）となるから問題はない（固定値にされている）。つまり、図３３の（ａ）あるいは図３９の（ａ）のリセット状態から、図３３の（ｂ）あるいは図３９の（ｂ）の電流プログラム状態までの期間が、１Ｈ以上１０Ｈ（１０水平走査期間）以下とすることが好ましい。さらには１Ｈ以上５Ｈ以下にすることが好ましいのである。あるいは、２０μｓｅｃ以上２ｍｓｅｃ以下とすることが好ましいのである。この期間が短いと駆動用トランジスタ１１が完全にリセットされない。また、あまりにも長いと駆動用トランジスタ１１が完全にオフ状態となり、今度は電流をプログラムするのに長時間を要するようになる。また、画面５０の輝度も低下する。

図３９の（ａ）を実施後、図３９の（ｂ）の状態にする。図３９の（ｂ）はトランジスタ１１ｃ、トランジスタ１１ｄをオンさせ、トランジスタ１１ｅをオフさせた状態である。図３９の（ｂ）の状態は、電流プログラムを行っている状態である。つまり、ソースドライバ回路１４からプログラム電流Ｉｗを出力（あるいは吸収）し、このプログラム電流Ｉｗを電流プログラム用トランジスタ１１ａに流す。このプログラム電流Ｉｗが流れるように、駆動用トランジスタ１１ｂのゲート（Ｇ）端子の電位をコンデンサ１９に設定するのである。

もし、プログラム電流Ｉｗが０（Ａ）（黒表示）であれば、トランジスタ１１ｂは電流を図３３の（ａ）の電流を流さない状態が保持されたままとなるから、良好な黒表示を実現できる。また、図３９の（ｂ）で白表示の電流プログラムを行う場合は、各画素の駆動用トランジスタの特性バラツキが発生していても、完全に黒表示状態のオフセット電圧（各駆動用トランジスタの特性に応じて設定された電流が流れる開始電圧）から電流プログラムを行う。したがって、目標の電流値にプログラムされる時間が階調に応じて等しくなる。そのため、トランジスタ１１ａあるいはトランジスタ１１ｂの特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

図３９の（ｂ）の電流プログラミング後、図３９の（ｃ）に図示するように、トランジスタ１１ｃ、トランジスタ１１ｄとオフし、トランジスタ１１ｅをオンさせて、駆動用トランジスタ１１ｂからのプログラム電流Ｉｗ（＝Ｉｅ）をＥＬ素子１５に流し、ＥＬ素子１５を発光させる。図３９の（ｃ）に関しても、以前に説明をしたので詳細は省略する。

図３３、図３９で説明した駆動方式（リセット駆動）は、駆動用トランジスタ１１ａあるいはトランジスタ１１ｂとＥＬ素子１５間を切断（電流が流れない状態。トランジスタ１１ｅあるいはトランジスタ１１ｄで行う）し、かつ、駆動用トランジスタのドレイン（Ｄ）端子とゲート（Ｇ）端子（もしくはソース（Ｓ）端子とゲート（Ｇ）端子、さらに一般的に表現すれば駆動用トランジスタのゲート（Ｇ）端子を含む２端子）間をショートする第１の動作と、前記動作の後、駆動用トランジスタに電流（電圧）プログラムを行う第２の動作とを実施するものである。

少なくとも第２の動作は第１の動作後に行うものである。なお、第１の動作における駆動用トランジスタ１１ａあるいはトランジスタ１１ｂとＥＬ素子１５間を切断するという動作は、必ずしも必須の条件ではない。もし、第１の動作における駆動用トランジスタ１１ａあるいはトランジスタ１１ｂとＥＬ素子１５間を切断せずに、駆動用トランジスタのドレイン（Ｄ）端子とゲート（Ｇ）端子間をショートする第１の動作を行っても多少のリセット状態のバラツキが発生する程度で済む場合があるからである。これは、作製したアレイのトランジスタ特性を検討して決定する。

図３９のカレントミラーの画素構成は、電流プログラムトランジスタ１１ａをリセットすることにより、結果として駆動用トランジスタ１１ｂをリセットする駆動方法であった。図３９のカレントミラーの画素構成では、リセット状態では、必ずしも駆動用トランジスタ１１ｂとＥＬ素子１５間を切断する必要はない。したがって、電流プログラム用トランジスタａのドレイン（Ｄ）端子とゲート（Ｇ）端子（もしくはソース（Ｓ）端子とゲート（Ｇ）端子、さらに一般的に表現すれば電流プログラム用トランジスタのゲート（Ｇ）端

子を含む２端子、あるいは駆動用トランジスタのゲート（Ｇ）端子を含む２端子）間をショートする第１の動作と、前記動作の後、電流プログラム用トランジスタに電流（電圧）プログラムを行う第２の動作とを実施するものである。そして、少なくとも第２の動作は第１の動作後に行うものである。

画像表示状態は（もし、瞬時的な変化が観察できるのであれば）、まず、電流プログラムを行われる画素行は、リセット状態（黒表示状態）になり、所定Ｈ後に電流プログラムが行われる。画面の上から下方向に、黒表示の画素行が移動し、この画素行が通りすぎた位置で画像が書き換わっていくように見えるはずである。

以上の実施例は、電流プログラムの画素構成を中心として説明をしたが、本発明のリセット駆動は電圧プログラムの画素構成にも適用することができる。図４３は電圧プログラムの画素構成におけるリセット駆動を実施するための本発明の画素構成（パネル構成）の説明図である。

図４３の画素構成では、駆動用トランジスタ１１ａをリセット動作させるためのトランジスタ１１ｅが形成されている。ゲート信号線１７ｅにオン電圧が印加されることにより、トランジスタ１１ｅがオンし、駆動用トランジスタ１１ａのゲート（Ｇ）端子とドレイン（Ｄ）端子間をショートさせる。また、ＥＬ素子１５と駆動用トランジスタ１１ａとの電流経路を切断するトランジスタ１１ｄが形成されている。以下、図４４を参照しながら、電圧プログラムの画素構成における本発明のリセット駆動方式について説明をする。

図４４の（ａ）に図示するように、トランジスタ１１ｂ、トランジスタ１１ｄをオフ状態にし、トランジスタ１１ｅをオン状態にする。駆動用トランジスタ１１ａのドレイン（Ｄ）端子とゲート（Ｇ）端子はショート状態となり、図に示すようにＩｂ電流が流れる。そのため、トランジスタ１１ａのゲート（Ｇ）端子とドレイン（Ｄ）端子とが同一電位となり、駆動用トランジスタ１１ａはリセット（電流を流さない状態）になる。なお、トランジスタ１１ａをリセットする前に、図３３あるいは図３９で説明したように、ＨＤ同期信号に同期して、最初にトランジスタ１１ｄをオンさせ、トランジスタ１１ｅをオフさせて、トランジスタ１１ａに電流を流しておく。その後、図４４の（ａ）の動作を実施する。

なお、電圧プログラムの画素構成においても、電流プログラムの画素構成と同様に、図４４の（ａ）のリセットの実施時間を長くするほど、Ｉｂ電流が流れ、コンデンサ１９の端子電圧が小さくなる傾向がある。したがって、図４４の（ａ）の実施時間は固定値にする必要がある。実施時間は、０．２Ｈ以上５Ｈ（５水平走査期間）以下とすることが好ましい。さらには０．５Ｈ以上４Ｈ以下にすることが好ましい。あるいは、２μｓｅｃ以上４００μｓｅｃ以下とすることが好ましい。

また、ゲート信号線１７ｅは前段の画素行のゲート信号線１７ａと共通にしておくことが好ましい。つまり、ゲート信号線１７ｅと前段の画素行のゲート信号線１７ａとをショート状態で形成する。この構成を前段ゲート制御方式と呼ぶ。なお、前段ゲート制御方式とは、着目画素行より少なくとも１Ｈ前以上に選択される画素行のゲート信号線波形を用いるものである。したがって、１画素行前に限定されるものではない。たとえば、２画素行前のゲート信号線の信号波形を用いて着目画素の駆動用トランジスタ１１ａのリセットを実施してもよい。

前段ゲート制御方式をさらに具体的に記載すれば以下のようになる。着目する画素行が（Ｎ）画素行とし、そのゲート信号線がゲート信号線１７ｅ（Ｎ）、ゲート信号線１７ａ（Ｎ）とする。１Ｈ前に選択される前段の画素行は、画素行が（Ｎ－１）画素行とし、そのゲート信号線がゲート信号線１７ｅ（Ｎ－１）、ゲート信号線１７ａ（Ｎ－１）とする。また、着目画素行の次の１Ｈ後に選択される画素行が（Ｎ＋１）画素行とし、そのゲート信号線がゲート信号線１７ｅ（Ｎ＋１）、ゲート信号線１７ａ（Ｎ＋１）とする。

第（Ｎ－１）Ｈ期間では、第（Ｎ－１）画素行のゲート信号線１７ａ（Ｎ－１）にオン電圧が印加されると、第（Ｎ）画素行のゲート信号線１７ｅ（Ｎ）にもオン電圧が印加される。ゲート信号線１７ｅ（Ｎ）と前段の画素行のゲート信号線１７ａ（Ｎ－１）とがショート状態で形成されているからである。したがって、第（Ｎ－１）画素行の画素のトランジスタ１１ｂ（Ｎ－１）がオンし、ソース信号線１８の電圧が駆動用トランジスタ１１ａ

（Ｎ－１）のゲート（Ｇ）端子に書き込まれる。同時に、第（Ｎ）画素行の画素のトランジスタ１１ｅ（Ｎ）がオンし、駆動用トランジスタ１１ａ（Ｎ）のゲート（Ｇ）端子とドレイン（Ｄ）端子間がショートされ、駆動用トランジスタ１１ａ（Ｎ）がリセットされる。

第（Ｎ－１）Ｈ期間の次の第（Ｎ）期間では、第（Ｎ）画素行のゲート信号線１７ａ（Ｎ）にオン電圧が印加されると、第（Ｎ＋１）画素行のゲート信号線１７ｅ（Ｎ＋１）にもオン電圧が印加される。したがって、第（Ｎ）画素行の画素のトランジスタ１１ｂ（Ｎ）がオンし、ソース信号線１８に印加されている電圧が駆動用トランジスタ１１ａ（Ｎ）のゲート（Ｇ）端子に書き込まれる。同時に、第（Ｎ＋１）画素行の画素のトランジスタ１１ｅ（Ｎ＋１）がオンし、駆動用トランジスタ１１ａ（Ｎ＋１）のゲート（Ｇ）端子とドレイン（Ｄ）端子間がショートされ、駆動用トランジスタ１１ａ（Ｎ＋１）がリセットされる。

以下同様に、第（Ｎ）Ｈ期間の次の第（Ｎ＋１）期間では、第（Ｎ＋１）画素行のゲート信号線１７ａ（Ｎ＋１）にオン電圧が印加されると、第（Ｎ＋２）画素行のゲート信号線１７ｅ（Ｎ＋２）にもオン電圧が印加される。したがって、第（Ｎ＋１）画素行の画素のトランジスタ１１ｂ（Ｎ＋１）がオンし、ソース信号線１８に印加されている電圧が駆動用トランジスタ１１ａ（Ｎ＋１）のゲート（Ｇ）端子に書き込まれる。同時に、第（Ｎ＋２）画素行の画素のトランジスタ１１ｅ（Ｎ＋２）がオンし、駆動用トランジスタ１１ａ（Ｎ＋２）のゲート（Ｇ）端子とドレイン（Ｄ）端子間がショートされ、駆動用トランジスタ１１ａ（Ｎ＋２）がリセットされる。

以上の本発明の前段ゲート制御方式では、１Ｈ期間、駆動用トランジスタ１１ａはリセットされ、その後、電圧（電流）プログラムが実施される。

図３３の（ａ）も同様であるが、図４４の（ａ）のリセット状態と、図４４の（ｂ）の電圧プログラム状態とを同期をとって行う場合は、図４４の（ａ）のリセット状態から、図４４の（ｂ）の電流プログラム状態までの期間が固定値（一定値）となるから問題はない（固定値にされている）。この期間が短いと駆動用トランジスタ１１が完全にリセットされない。また、あまりにも長いと駆動用トランジスタ１１ａが完全にオフ状態となり、今度は電流をプログラムするのに長時間を要するようになる。また、画面１２の輝度も低下する。

図４４の（ａ）を実施後、図４４の（ｂ）の状態にする。図４４の（ｂ）はトランジスタ１１ｂをオンさせ、トランジスタ１１ｅ、トランジスタ１１ｄをオフさせた状態である。図４４の（ｂ）の状態は、電圧プログラムを行っている状態である。つまり、ソースドライバ回路１４からプログラム電圧を出力し、このプログラム電圧を駆動用トランジスタ１１ａのゲート（Ｇ）端子に書き込む（駆動用トランジスタ１１ａのゲート（Ｇ）端子の電位をコンデンサ１９に設定する）。なお、電圧プログラム方式の場合は、電圧プログラム時にトランジスタ１１ｄを必ずしもオフさせる必要はない。また、図１３、図１５などのＮ倍パルス駆動などと組み合わせること、あるいは以上のような、間欠Ｎ／Ｋ倍パルス駆動（１画面に点灯領域を複数設ける駆動方法である。この駆動方法は、トランジスタ１１ｅをオンオフ動作させることにより容易に実現できる）を実施する必要がなければ、トランジスタ１１ｅが必要でない。このことは以前に説明をしたので、説明を省略する。

図４３の構成あるいは図４４の駆動方法で白表示の電圧プログラムを行う場合は、各画素の駆動用トランジスタの特性バラツキが発生していても、完全に黒表示状態のオフセット電圧（各駆動用トランジスタの特性に応じて設定された電流が流れる開始電圧）から電圧プログラムを行う。したがって、目標の電流値にプログラムされる時間が階調に応じて等しくなる。そのため、トランジスタ１１ａの特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

図４４の（ｂ）の電流プログラミング後、図４４の（ｃ）に図示するように、トランジスタ１１ｂをオフし、トランジスタ１１ｄをオンさせて、駆動用トランジスタ１１ａからのプログラム電流をＥＬ素子１５に流し、ＥＬ素子１５を発光させる。

以上のように、図４３の電圧プログラムにおける本発明のリセット駆動は、まず、ＨＤ同

期信号に同期して、最初にトランジスタ１１ｄをオンさせ、トランジスタ１１ｅをオフさせて、トランジスタ１１ａに電流を流す第１の動作と、トランジスタ１１ａとＥＬ素子１５間を切断し、かつ、駆動用トランジスタ１１ａのドレイン（Ｄ）端子とゲート（Ｇ）端子（もしくはソース（Ｓ）端子とゲート（Ｇ）端子、さらに一般的に表現すれば駆動用トランジスタのゲート（Ｇ）端子を含む２端子）間をショートする第２の動作と、前記動作の後、駆動用トランジスタ１１ａに電圧プログラムを行う第３の動作を実施するものである。

以上の実施例では、駆動用トランジスタ１１ａ（図１の画素構成の場合）からＥＬ素子１５に流す電流を制御するのに、トランジスタ１１ｄをオンオフさせて行う。トランジスタ１１ｄをオンオフさせるためには、ゲート信号線１７ｂを走査する必要があり、走査のためには、シフトレジスタ回路６１（ゲートドライバ回路１２）が必要となる。しかし、シフトレジスタ回路６１は規模が大きく、ゲート信号線１７ｂの制御にシフトレジスタ回路６１を用いたのでは狭額縁化できない。図４０で説明する方式は、この課題を解決するものである。

なお、本発明は、主として図１などに図示する電流プログラムの画素構成を例示して説明をするが、これに限定するものではなく、図３８などで説明した他の電流プログラム構成（カレントミラーの画素構成）であっても適用できることはいうまでもない。また、ブロックでオンオフする技術的概念は、図４１などの電圧プログラムの画素構成であっても適用できることは言うまでもない。

図４０はブロック駆動方式の実施例である。まず、説明を容易にするため、ゲートドライバ回路１２はアレイ基板７１に直接形成したか、もしくはシリコンチップのゲートドライバＩＣ１２をアレイ基板７１に積載したとして説明をする。また、ソースドライバ回路１４およびソース信号線１８は図面が煩雑になるため省略する。

図４０において、ゲート信号線１７ａはゲートドライバ回路１２と接続されている。一方、各画素のゲート信号線１７ｂは点灯制御線４０１と接続されている。図４０では４本のゲート信号線１７ｂが１つの点灯制御線４０１と接続されている。

なお、４本のゲート信号線１７ｂでブロックするというのはこれに限定するものではなく、それ以上であってもよいことは言うまでもない。一般的に表示画面５０は少なくとも５以上に分割することが好ましい。さらに好ましくは、１０以上に分割することが好ましい。さらには、２０以上に分割することが好ましい。分割数が少ないと、フリッカが見えやすい。あまりにも分割数が多いと、点灯制御線４０１の本数が多くなり、点灯制御線４０１のレイアウトが困難になる。

したがって、ＱＣＩＦ表示パネルの場合は、垂直走査線の本数が２２０本であるから、少なくとも、２２０／５＝４４本以上でブロック化する必要があり、好ましくは、２２０／１０＝１１以上でブロック化する必要がある。ただし、奇数行と偶数行で２つのブロック化を行った場合は、低フレームレートでも比較的フリッカの発生が少ないため、２つのブロック化で十分の場合がある。

図４０の実施例では、点灯制御線４０１ａ、４０１ｂ、４０１ｃ、４０１ｄ……４０１ｎと順次、オン電圧（Ｖｇｌ）を印加するか、もしくはオフ電圧（Ｖｇｈ）を印加し、ブロックごとにＥＬ素子１５に流れる電流をオンオフさせる。

なお、図４０の実施例では、ゲート信号線１７ｂと点灯制御線４０１とがクロスすることがない。したがって、ゲート信号線１７ｂと点灯制御線４０１とのショート欠陥は発生しない。また、ゲート信号線１７ｂと点灯制御線４０１とが容量結合することがないため、点灯制御線４０１からゲート信号線１７ｂ側を見た時の容量付加が極めて小さい。したがって、点灯制御線４０１を駆動しやすい。

ゲートドライバ回路１２にはゲート信号線１７ａが接続されている。ゲート信号線１７ａにオン電圧を印加することにより、画素行が選択され、選択された各画素のトランジスタ１１ｂ、１１ｃはオンして、ソース信号線１８に印加された電流（電圧）を各画素のコンデンサ１９にプログラムする。一方、ゲート信号線１７ｂは各画素のトランジスタ１１ｄのゲート（Ｇ）端子と接続されている。したがって、点灯制御線４０１にオン電圧（Ｖｇ

１）が印加されたとき、駆動用トランジスタ１１ａとＥＬ素子１５との電流経路を形成し、逆にオフ電圧（Ｖｇｈ）が印加された時は、ＥＬ素子１５のアノード端子をオープンにする。

なお、点灯制御線４０１に印加するオンオフ電圧の制御タイミングと、ゲートドライバ回路１２がゲート信号線１７ａに出力する画素行選択電圧（Ｖｇｌ）のタイミングは１水平走査クロック（１Ｈ）に同期していることが好ましい。しかし、これに限定するものではない。

点灯制御線４０１に印加する信号は単に、ＥＬ素子１５への電流をオンオフさせるだけである。また、ソースドライバ回路１４が出力する画像データと同期がとれている必要もない。点灯制御線４０１に印加する信号は、各画素１６のコンデンサ１９にプログラムされた電流を制御するものだからである。したがって、必ずしも、画素行の選択信号と同期がとれている必要はない。また、同期する場合であってもクロックは１Ｈ信号に限定されるものではなく、１／２Ｈでも、１／４Ｈであってもよい。

図３８に図示したカレントミラーの画素構成の場合であっても、ゲート信号線１７ｂを点灯制御線４０１に接続することにより、トランジスタ１１ｅをオンオフ制御できる。したがって、ブロック駆動を実現できる。

なお、図３２において、ゲート信号線１７ａを点灯制御線４０１に接続し、リセットを実施すれば、ブロック駆動を実現できる。つまり、本発明のブロック駆動とは、１つの制御線で、複数の画素行を同時に非点灯（あるいは黒表示）とする駆動方法である。

以上の実施例は、１画素行ごとに１本の選択画素行を配置（形成）する構成であった。本発明は、これに限定するものではなく、複数の画素行で１本の選択ゲート信号線を配置（形成）してもよい。

図４１はその実施例である。なお、説明を容易にするため、画素構成は図１の場合を主として例示して説明をする。図４１では画素行の選択ゲート信号線１７ａは３つの画素（１６Ｒ、１６Ｇ、１６Ｂ）を同時に選択する。Ｒの記号とは赤色の画素関連を意味し、Ｇの記号とは緑色の画素関連を意味し、Ｂの記号とは青色の画素関連を意味するものとする。したがって、ゲート信号線１７ａの選択により、画素１６Ｒ、画素１６Ｇおよび画素１６Ｂが同時に選択されデータ書き込み状態となる。画素１６Ｒはソース信号線１８Ｒからデータをコンデンサ１９Ｒに書き込み、画素１６Ｇはソース信号線１８Ｇからデータをコンデンサ１９Ｇに書き込む。画素１６Ｂはソース信号線１８Ｂからデータをコンデンサ１９Ｂに書き込む。

画素１６Ｒのトランジスタ１１ｄはゲート信号線１７ｂＲに接続されている。また、画素１６Ｇのトランジスタ１１ｄはゲート信号線１７ｂＧに接続され、画素１６Ｂのトランジスタ１１ｄはゲート信号線１７ｂＢに接続されている。したがって、画素１６ＲのＥＬ素子１５Ｒ、画素１６ＧのＥＬ素子１５Ｇ、画素１６ＢのＥＬ素子１５Ｂは別個にオンオフ制御することができる。つまり、ＥＬ素子１５Ｒ、ＥＬ素子１５Ｇ、ＥＬ素子１５Ｂはそれぞれのゲート信号線１７ｂＲ、１７ｂＧ、１７ｂＢを制御することにより、点灯時間、点灯周期を個別に制御可能である。

この動作を実現するためには、図６の構成において、ゲート信号線１７ａを走査するシフトレジスタ回路６１と、ゲート信号線１７ｂＲを走査するシフトレジスタ回路６１と、ゲート信号線１７ｂＧを走査するシフトレジスタ回路６１と、ゲート信号線１７ｂＢを走査するシフトレジスタ回路６１の４つを形成（配置）することが適切である。

なお、ソース信号線１８に所定電流のＮ倍の電流を流し、ＥＬ素子１５に所定電流のＮ倍の電流を１／Ｎの期間流すとしたが、実用上はこれを実現できない。実際にはゲート信号線１７に印加した信号パルスがコンデンサ１９に突き抜け、コンデンサ１９に所望の電圧値（電流値）を設定できないからである。一般的にコンデンサ１９には所望の電圧値（電流値）よりも低い電圧値（電流値）が設定される。たとえば、１０倍の電流値を設定するように駆動しても、５倍程度の電流しかコンデンサ１９には設定されない。たとえば、Ｎ＝１０としても実際にＥＬ素子１５に流れる電流はＮ＝５の場合と同一となる。したがって、本発明はＮ倍の電流値を設定し、Ｎ倍に比例したあるいは対応する電流をＥＬ素子１

５に流れるように駆動する方法である。もしくは、所望値よりも大きい電流をＥＬ素子１５にパルス状に印加する駆動方法である。
また、所望値より電流（そのまま、ＥＬ素子１５に連続して電流を流すと所望輝度よりも高くなるような電流）を駆動用トランジスタ１１ａ（図１を例示する場合）に電流（電圧）プログラムを行い、ＥＬ素子１５に流れる電流を間欠にすることにより、所望のＥＬ素子の発光輝度を得るものである。
また、図１などのスイッチング用トランジスタ１１ｂ、１１ｃなどはＮチャンネルで形成することが好ましい。コンデンサ１９への突き抜け電圧が低減するからである。また、コンデンサ１９のオフリークも減少するから、１０Ｈｚ以下の低いフレームレートにも適用できるようになる。
また、画素構成によっては、突き抜け電圧がＥＬ素子１５に流れる電流を増加させる方向に作用する場合は、白ピーク電流が増加し、画像表示のコントラスト感が増加する。したがって、良好な画像表示を実現できる。
逆に、図１のスイッチング用トランジスタ１１ｂ、１１ｃをＰチャンネルにすることにより突き抜けを発生させて、より黒表示を良好にする方法も有効である。Ｐチャンネルトランジスタ１１ｂがオフするときにはＶｇｈ電圧となる。そのため、コンデンサ１９の端子電圧がＶｄｄ側に少しシフトする。そのため、トランジスタ１１ａのゲート（Ｇ）端子電圧は上昇し、より黒表示となる。また、第１階調表示とする電流値を大きくすることができるから（階調１までに一定のベース電流を流すことができる）、電流プログラム方式で書き込み電流不足を軽減できる。
以下、図面を参照しながら本発明の他の駆動方式について説明をする。図１２５は本発明のシーケンス駆動を実施するための表示パネルの説明図である。ソースドライバ回路１４は接続端子６８１にＲ、Ｇ、Ｂデータを切り替えて出力する。したがって、ソースドライバ回路１４の出力端子数は図４８などの場合に比較して１／３の出力端子数ですむ。
ソースドライバ回路１４から接続端子６８１に出力する信号は、出力切り替え回路１２５１のよりソース信号線１８Ｒ、１８Ｇ、１８Ｂに振り分けられる。出力切り替え回路１２５１はポリシリコン技術あるいはアモルファスシリコン技術でアレイ基板７１に直接形成する。また、出力切り替え回路１２５１はシリコンチップで形成し、ＣＯＧ技術、ＴＡＢ技術、ＣＯＦ技術でアレイ基板７１に実装してもよい。また、出力切り替え回路１２５１は出力切り替え回路１２５１をソースドライバ回路１４の回路として、ソースドライバ回路１４に内蔵させてもよい。
切り替えスイッチ１２５２がＲ端子に接続されている時は、ソースドライバ回路１４からの出力信号は、ソース信号線１８Ｒに印加される。切り替えスイッチ１２５２がＧ端子に接続されている時は、ソースドライバ回路１４からの出力信号は、ソース信号線１８Ｇに印加される。切り替えスイッチ１２５２がＢ端子に接続されている時は、ソースドライバ回路１４からの出力信号は、ソース信号線１８Ｂに印加される。
なお、図１２６の構成では、切り替えスイッチ１２５２がＲ端子に接続されている時は、切り替えスイッチのＧ端子およびＢ端子はオープンである。したがって、ソース信号線１８Ｇおよび１８Ｂに入力される電流は０Ａである。したがって、ソース信号線１８Ｇおよび１８Ｂに接続された画素１６は黒表示となる。
切り替えスイッチ１２５２がＧ端子に接続されている時は、切り替えスイッチのＲ端子およびＢ端子はオープンである。したがって、ソース信号線１８Ｒおよび１８Ｂに入力される電流は０Ａである。したがって、ソース信号線１８Ｒおよび１８Ｂに接続された画素１６は黒表示となる。
なお、図１２６の構成では、切り替えスイッチ１２５２がＢ端子に接続されている時は、切り替えスイッチのＲ端子およびＧ端子はオープンである。したがって、ソース信号線１８Ｒおよび１８Ｇに入力される電流は０Ａである。したがって、ソース信号線１８Ｒおよび１８Ｇに接続された画素１６は黒表示となる。
基本的には、１フレームが３フィールドで構成される場合、第１フィールドで、表示画面５０の画素１６に順次Ｒ画像データが書き込まれる。第２フィールドでは、表示画面５０

の画素１６に順次Ｇ画像データが書き込まれる。また、第３フィールドでは、表示画面５０の画素１６に順次Ｂ画像が書き込まれる。
以上のように、フィールドごとにＲデータ→Ｇデータ→Ｂデータ→Ｒデータ→Ｇデータ→Ｂデータ→Ｒデータ→・・・・・　が順次書き換えられシーケンス駆動が実現される。
図１のようにスイッチング用トランジスタ１１ｄをオンオフさせて、Ｎ倍パルス駆動を実現することなどは、図５、図１３、図１６などで説明をした。これらの駆動方法をシーケンス駆動と組み合わせることができることは言うまでもない。もちろん、その他の本発明の駆動方法とシーケンス駆動とを組み合わせることができることは言うまでもない。
また、先に説明した実施例では、Ｒ画素１６に画像データを書き込む時は、Ｇ画素およびＢ画素には黒データを書き込むとした。Ｇ画素１６に画像データを書き込む時は、Ｒ画素およびＢ画素には黒データを書き込むとした。Ｂ画素１６に画像データを書き込む時は、Ｒ画素およびＧ画素には黒データを書き込むとした。本発明はこれに限定するものではない。
たとえば、Ｒ画素１６に画像データを書き込む時は、Ｇ画素およびＢ画素の画像データは前フィールドで書き換えられた画像データを保持するようにしてもよい。このように駆動すれば画面５０輝度を明るくすることができる。Ｇ画素１６に画像データを書き込む時は、Ｒ画素およびＢ画素の画像データは前フィールドで書き換えられた画像データを保持するようにする。Ｂ画素１６に画像データを書き込む時は、Ｇ画素およびＲ画素の画像データは前フィールドで書き換えられた画像データを保持する。
以上のように、書き換えている色画素以外の画素の画像データを保持するには、ＲＧＢ画素でゲート信号線１７ａを独立に制御できるようにすればよい。たとえば、図１２５に図示するように、ゲート信号線１７ａＲは、Ｒ画素のトランジスタ１１ｂ、トランジスタ１１ｃのオンオフを制御する信号線とする。また、ゲート信号線１７ａＧは、Ｇ画素のトランジスタ１１ｂ、トランジスタ１１ｃのオンオフを制御する信号線とする。ゲート信号線１７ａＢは、Ｂ画素のトランジスタ１１ｂ、トランジスタ１１ｃのオンオフを制御する信号線とする。一方、ゲート信号線１７ｂはＲ画素、Ｇ画素、Ｂ画素のトランジスタ１１ｄを共通でオンオフさせる信号線とする。
以上のように構成すれば、ソースドライバ回路１４がＲの画像データを出力し、切り替えスイッチ１２５２がＲ接点に切り替わっているときは、ゲート信号線１７ａＲにオン電圧を印加し、ゲート信号線ａＧとゲート信号線ａＢとにオフ電圧を印加することができる。したがって、Ｒの画像データをＲ画素１６に書き込み、Ｇ画素１６およびＢ画素１６は前にフィールドの画像データを保持したままにできる。
第２フィールドでソースドライバ回路１４がＧの画像データを出力し、切り替えスイッチ１２５２がＧ接点に切り替わっているときは、ゲート信号線１７ａＧにオン電圧を印加し、ゲート信号線ａＲとゲート信号線ａＢとにオフ電圧を印加することができる。したがって、Ｇの画像データをＧ画素１６に書き込み、Ｒ画素１６およびＢ画素１６は前にフィールドの画像データを保持したままにできる。
第３フィールドでソースドライバ回路１４がＢの画像データを出力し、切り替えスイッチ１２５２がＢ接点に切り替わっているときは、ゲート信号線１７ａＢにオン電圧を印加し、ゲート信号線ａＲとゲート信号線ａＧとにオフ電圧を印加することができる。したがって、Ｂの画像データをＢ画素１６に書き込み、Ｒ画素１６およびＧ画素１６は前にフィールドの画像データを保持したままにできる。
図１２５の実施例では、ＲＧＢごとに画素１６のトランジスタ１１ｂをオンオフさせるゲート信号線１７ａを形成あるは配置するとした。しかし、本発明はこれに限定されるものではない。たとえば、図１２６に図示するように、ＲＧＢの画素１６に共通のゲート信号線１７ａを形成または配置する構成であってもよい。
図１２５などの構成において、切り替えスイッチ１２５２がＲのソース信号線を選択しているときは、Ｇのソース信号線とＢのソース信号線はオープンになるとして説明をした。しかし、オープン状態は電気的にはフローティング状態であり、好ましいことではない。図１２６は、このフローティング状態をなくすために対策を行った構成である。出力切り

替え回路１２５１の切り替えスイッチ１２５２のａ端子はＶａａ電圧（黒表示となる電圧）に接続されている。ｂ端子はソースドライバ回路１４の出力端子と接続されている。切り替えスイッチ１２５２はＲＧＢそれぞれに設けられている。
図１２６の状態では、切り替えスイッチ１２５２ＲはＶａａ端子に接続されている。したがって、ソース信号線１８Ｒには、Ｖａａ電圧（黒電圧）が印加されている。切り替えスイッチ１２５２ＧはＶａａ端子に接続されている。したがって、ソース信号線１８Ｇには、Ｖａａ電圧（黒電圧）が印加されている。切り替えスイッチ１２５２ＢはソースドライバＩＣ回路１４の出力端子に接続されている。したがって、ソース信号線１８Ｂには、Ｂの映像信号が印加されている。
以上の状態では、Ｂ画素の書き換え状態であり、Ｒ画素とＧ画素には黒表示電圧が印加される。以上のように切り替えスイッチ１２５２を制御することにより、画素１６の画像は書き換えられる。なお、ゲート信号線１７ｂの制御などに関しては以前説明した実施例と同様であるので説明を省略する。
以上の実施例では、第１フィールドでＲ画素１６を書き換え、第２フィールドでＧ画素１６を書き換え、第３フィールドでＢ画素１６を書き換えるとした。つまり、１フィールドごとに書き換えられる画素の色が変化する。本発明はこれに限定されるものではない。１水平走査期間（１Ｈ）ごとに書き換える画素の色を変化させてもよい。たとえば、１Ｈ目にＲ画素を書き換え、２Ｈ番目にＧ画素を書き換え、３Ｈ番目にＢ画素を書き換え、４Ｈ番目にＲ画素を書き換え、・・・・・・と駆動する方法である。もちろん、２Ｈ以上の複数水平走査期間ごとに書き換える画素の色を変化させてもよいし、１／３フィールドごとに書き換える画素の色を変化させてもよい。
図１２７は１Ｈごとに書き換える画素の色を変化させた実施例である。なお、図１２７から図１２９において、斜線でしめした画素１６は、画素を書き換えずに前フィールドの画像データを保持していること、もしくは、黒表示にされていることを示している。もちろん、画素を黒表示したり、前フィールドのデータを保持したりと繰り返し実施してもよい。
なお、図１２５から図１２９の駆動方式において、図１３などのＮ倍パルス駆動やＭ行同時駆動を実施してもよいことは言うまでもない。図１２５から図１２９などは画素１６の書き込み状態を説明している。ＥＬ素子１５の点灯制御は説明しないが、以前あるいは以降に説明する実施例を組み合わせることができることは言うまでもない。もちろん、図２７で説明したダミー画素行２７１を形成した構成、ダミー画素行を使用する駆動方法と組み合わせてもよい。
また、１フレームは３フィールドで構成されることに限定されるものではない。２フィールドでもよいし、４フィールド以上でもよい。１フレームが２フィールドで、ＲＧＢの３原色の場合は、第１フィールドで、ＲとＧ画素を書き換え、第２フィールドでＢ画素を書き換えるという実施例が例示される。また、１フレームが４フィールドで、ＲＧＢの３原色の場合は、第１フィールドで、Ｒ画素を書き換え、第２フィールドでＧ画素を書き換え、第３フィールドと第４フィールドでＢ画素を書き換えるという実施例が例示される。これらのシーケンスは、ＲＧＢのＥＬ素子１５の発光効率を考慮して検討することにより効率よくホワイトバランスをとることができる。
以上の実施例では、第１フィールドでＲ画素１６を書き換え、第２フィールドでＧ画素１６を書き換え、第３フィールドでＢ画素１６を書き換えるとした。つまり、１フィールドごとに書き換えられる画素の色が変化する。
図１２７の実施例では、第１フィールドの１Ｈ目にＲ画素を書き換え、２Ｈ番目にＧ画素を書き換え、３Ｈ番目にＢ画素を書き換え、４Ｈ番目にＲ画素を書き換え、・・・・・・と駆動する方法である。もちろん、２Ｈ以上の複数水平走査期間ごとに書き換える画素の色を変化させてもよいし、１／３フィールドごとに書き換える画素の色を変化させてもよい。
図１２７の実施例では、第１フィールドの１Ｈ目にＲ画素を書き換え、２Ｈ番目にＧ画素を書き換え、３Ｈ番目にＢ画素を書き換え、４Ｈ番目にＲ画素を書き換える。第２フィー

ルドの１Ｈ目にＧ画素を書き換え、２Ｈ番目にＢ画素を書き換え、３Ｈ番目にＲ画素を書き換え、４Ｈ番目にＧ画素を書き換える。第３フィールドの１Ｈ目にＢ画素を書き換え、２Ｈ番目にＲ画素を書き換え、３Ｈ番目にＧ画素を書き換え、４Ｈ番目にＢ画素を書き換える。

以上のように、各フィールドでＲ、Ｇ、Ｂ画素を任意にあるいは所定の規則性を持って書き換えることにより、Ｒ、Ｇ、Ｂのカラーセパレーションを防止することができる。また、フリッカの発生も抑制できる。

図１２８では、１Ｈごとに書き換えられる画素１６の色数は複数となっている。図１２７では、第１フィールドにおいて、１Ｈ番目は書き換えられる画素１６はＲ画素であり、２Ｈ番目は書き換えられる画素１６はＧ画素である。また、３Ｈ番目は書き換えられる画素１６はＢ画素であり、４Ｈ番目は書き換えられる画素１６はＲ画素である。

図１２８では、１Ｈごとに、書き換える画素の色位置を異ならせている。各フィールドでＲ、Ｇ、Ｂ画素を異ならせ（所定の規則性を持っていてもよいことは言うまでもない）、順次書き換えることにより、Ｒ、Ｇ、Ｂのカラーセパレーションを防止することができる。また、フリッカの発生も抑制できる。

なお、図１２８の実施例においても、各絵素（ＲＧＢ画素の組）では、ＲＧＢの点灯時間あるいは発光強度を一致させる。このことは、図１２６、図１２７などの実施例においても同然、実施することは言うまでもない。色ムラになるからである。

図１２８のように、１Ｈごとに書き換える画素の色数（図１２８の第１フィールドの１Ｈ番目は、Ｒ、Ｇ、Ｂの３色が書き換えられている）を複数にするのは、図１２５において、ソースドライバ回路１４が各出力端子に任意（一定の規則性があってもよい）の色の映像信号を出力できるように構成し、切り替えスイッチ１２５２が接点Ｒ、Ｇ、Ｂを任意（一定の規則性があってもよい）に接続できるように構成すればよい。

図１２９の実施例の表示パネルでは、ＲＧＢの３原色に加えて、Ｗ（白）の画素１６Ｗを有している。画素１６Ｗを形成または配置することにより、色ピーク輝度を良好に実現できる。また、高輝度表示を実現できる。図１２９の（ａ）は１画素行に、Ｒ、Ｇ、Ｂ、Ｗ画素１６を形成した実施例である。図１２９の（ｂ）は、１画素行ごとに、ＲＧＢＷの画素１６を配置した構成である。

図１２９の駆動方法においても、図１２７、図１２８などの駆動方式を実施できることは言うまでもない。また、Ｎ倍パルス駆動や、Ｍ画素行同時駆動などを実施できることは言うまでもない。これらの事項は、当業者であれば本明細書により容易に具現化できるので説明を省略する。

なお、本発明は説明を容易にするため、本発明の表示パネルはＲＧＢの３原色を有するとして説明しているが、これに限定するものではない。ＲＧＢに加えて、シアン、イエロー、マゼンダを加えても良いし、Ｒ、Ｇ、Ｂのいずれかの単色、Ｒ、Ｇ、Ｂのいずれかの２色を用いた表示パネルであってもよい。

また、以上のシーケンス駆動方式では、フィールドごとにＲＧＢを操作するとしてが、本発明はこれに限定されるものではないことは言うまでもない。また、図１２５から図１２９の実施例は、画素１６に画像データを書き込む方法について説明したものである。図１などのトランジスタ１１ｄを操作し、ＥＬ素子１５に電流を流して画像を表示する方式を説明したものではない（もちろん、関連している）。ＥＬ素子１５に流れる電流は、図１の画素構成では、トランジスタ１１ｄを制御することにより行う。

また、図１２７、図１２８などの駆動方法では、トランジスタ１１ｄ（図１の場合）を制御することにより、ＲＧＢ画像を順次表示することができる。たとえば、図１３０の（ａ）は１フレーム（１フィールド）期間にＲ表示領域５３Ｒ、Ｇ表示領域５３Ｇ、Ｂ表示領域５３Ｂを画面の上から下方向（下方向から上方向でもよい）に走査する。ＲＧＢの表示領域以外の領域は非表示領域５２とする。つまり、間欠駆動を実施する。

図１３０の（ｂ）は１フィールド（１フレーム）期間にＲＧＢ表示領域５３を複数発生するように実施した実施例である。この駆動方法は、図１６の駆動方法と類似である。したがって、説明を必要としないであろう。図１３０の（ｂ）に表示領域５３を複数に分割す

ることにより、フリッカの発生はより低フレームレートでもなくなる。
図１３１の（ａ）は、ＲＧＢの表示領域５３で表示領域５３の面積を異ならせたものである（表示領域５３の面積は点灯期間に比例することは言うまでもない）。図１３１の（ａ）では、Ｒ表示領域５３ＲとＧ表示領域５３Ｇと面積を同一にしている。Ｇ表示領域５３ＧよりＢ表示領域５３Ｂの面積を大きくしている。有機ＥＬ表示パネルでは、Ｂの発光効率が悪い場合が多い、図１３１の（ａ）のようにＢ表示領域５３Ｂを他の色の表示領域５３よりも大きくすることにより、効率よくホワイトバランスをとることができるようになる。
図１３１の（ｂ）は、１フィールド（フレーム）期間で、Ｂ表示期間５３Ｂが複数（５３Ｂ１、５３Ｂ２）となるようにした実施例である。図１３１の（ａ）は１つのＢ表示領域５３Ｂを変化させる方法であった。変化させることによりホワイトバランスを良好に調整できるようにする。図１３１の（ｂ）は、同一面積のＢ表示領域５３Ｂを複数表示させることにより、ホワイトバランスを良好にする。
本発明の駆動方式は図１３１の（ａ）と図１３１の（ｂ）のいずれに限定するものではない。Ｒ、Ｇ、Ｂの表示領域５３を発生し、また、間欠表示することにより、結果として動画ボケを対策し、画素１６への書き込み不足を改善することを目的としている。なお、図１６の駆動方法では、Ｒ、Ｇ、Ｂが独立の表示領域５３は発生しない。ＲＧＢが同時に表示される（Ｗ表示領域５３が表示されると表現すべきである）。なお、図１３１の（ａ）と図１３１の（ｂ）とは組み合わせてもよいことはいうまでもない。たとえば、図１３１の（ａ）のＲＧＢの表示面積５３を変化し、かつ図１３１の（ｂ）のＲＧＢの表示領域５３を複数発生させる駆動方法の実施である。
なお、図１３０から図１３１の駆動方式は、図１２５から図１２９の本発明の駆動方式に限定されるものではない。図４１のように、ＲＧＢごとにＥＬ素子１５（ＥＬ素子１５Ｒ、ＥＬ素子１５Ｇ、ＥＬ素子１５Ｂ）に流れる電流を制御できる構成あれば、図１３０、図１３１の駆動方式を容易に実施できることは言うでもないであろう。ゲート信号線１７ｂＲにオンオフ電圧を印加することにより、Ｒ画素１６Ｒをオンオフ制御することができる。ゲート信号線１７ｂＧにオンオフ電圧を印加することにより、Ｇ画素１６Ｇをオンオフ制御することができる。ゲート信号線１７ｂＢにオンオフ電圧を印加することにより、Ｂ画素１６Ｂをオンオフ制御することができる。
また、以上の駆動を実現するためには、図１３２に図示するように、ゲート信号線１７ｂＲを制御するゲートドライバ回路１２ｂＲ、ゲート信号線１７ｂＧを制御するゲートドライバ回路１２ｂＧ、ゲート信号線１７ｂＢを制御するゲートドライバ回路１２ｂＢを形成または配置すればよい。図１３２のゲートドライバ回路１２ｂＲ、１２ｂＧ、１２ｂＢを図６などで説明した方法で駆動することにより、図１３０、図１３１の駆動方法を実現できる。もちろん、図１３２の表示パネルの構成で、図１６の駆動方法なども実現できることは言うまでもない。
また、図１２５から図１２８の構成で、画像データを書き換える画素１６以外の画素１６に、黒画像データを書き換える方式であれば、ＥＬ素子１５Ｒを制御するゲート信号線１７ｂＲ、ＥＬ素子１５Ｇを制御するゲート信号線１７ｂＧ、ＥＬ素子１５Ｂを制御するゲート信号線ｂＢが分離されておらず、ＲＧＢ画素に共通のゲート信号線１７ｂであっても、図１３０、図１３１の駆動方式を実現できることは言うまでもない。
図１５、図１８、図２１などでは、ゲート信号線１７ｂ（ＥＬ側選択信号線）は１水平走査期間（１Ｈ）を単位として、オン電圧（Ｖｇｌ）、オフ電圧（Ｖｇｈ）を印加するとして説明をした。しかし、ＥＬ素子１５の発光量は、流す電流が定電流の時、流す時間に比例する。したがって、流す時間は１Ｈ単位に限定する必要はない。
アウトプットイネーブル（ＯＥＶ）の概念を導入するため、以下のように規定する。ＯＥＶ制御を行うことにより、１水平走査期間（１Ｈ）以内のゲート信号線１７ａ、１７ｂにオンオフ電圧（Ｖｇｌ電圧、Ｖｇｈ電圧）を画素１６に印加できるようになる。
説明を容易にするため、本発明の表示パネルでは、電流プログラムを行う画素行を選択するゲート信号線１７ａ（図１の場合）であるとして説明をする。また、ゲート信号線１７

ａを制御するゲートドライバ回路１２ａの出力をＷＲ側選択信号線と呼ぶ。ＥＬ素子１５を選択するゲート信号線１７ｂ（図１の場合）であるとして説明をする。また、ゲート信号線１７ｂを制御するゲートドライバ回路１２ｂの出力をＥＬ側選択信号線と呼ぶ。

ゲートドライバ回路１２は、スタートパルスが入力され、入力されたスタートパルスが保持データとして順次シフトレジスタ内をシフトする。ゲートドライバ回路１２ａのシフトレジスタ内の保持データにより、ＷＲ側選択信号線に出力される電圧がオン電圧（Ｖｇｌ）かオフ電圧（Ｖｇｈ）かが決定される。さらに、ゲートドライバ回路１２ａの出力段には、強制的に出力をオフにするＯＥＶ１回路（図示せず）が形成または配置されている。ＯＥＶ１回路がＬレベルの時には、ゲートドライバ回路１２ａの出力であるＷＲ側選択信号をそのままゲート信号線１７ａに出力する。以上の関係をロジック的に図示すれば、図２２４の（ａ）の関係となる（ＯＲ回路である）。なお、オン電圧をロジックレベルのＬ（０）とし、オフ電圧をロジック電圧のＨ（１）としている。

つまり、ゲートドライバ回路１２ａがオフ電圧を出力している場合は、ゲート信号線１７ａにオフ電圧が印加される。ゲートドライバ回路１２ａがオン電圧（ロジックではＬレベル）を出力している場合は、ＯＲ回路でＯＥＶ１回路の出力とＯＲが取られてゲート信号線１７ａに出力される。つまり、ＯＥＶ１回路は、Ｈレベルの時、ゲートドライバ信号線１７ａに出力する電圧をオフ電圧（Ｖｇｈ）にする（図１７６のタイミングチャートの例を参照のこと）。

ゲートドライバ回路１２ｂのシフトレジスタ内の保持データにより、ゲート信号線１７ｂ（ＥＬ側選択信号線）に出力される電圧がオン電圧（Ｖｇｌ）かオフ電圧（Ｖｇｈ）かが決定される。さらに、ゲートドライバ回路１２ｂの出力段には、強制的に出力をオフにするＯＥＶ２回路（図示せず）が形成または配置されている。ＯＥＶ２回路がＬレベルの時には、ゲートドライバ回路１２ｂの出力をそのままゲート信号線１７ｂに出力する。以上の関係をロジック的に図示すれば、図１７６の（ａ）の関係となる。なお、オン電圧をロジックレベルのＬ（０）とし、オフ電圧をロジック電圧のＨ（１）としている。

つまり、ゲートドライバ回路１２ｂがオフ電圧を出力している場合（ＥＬ側選択信号はオフ電圧）は、ゲート信号線１７ｂにオフ電圧が印加される。ゲートドライバ回路１２ｂがオン電圧（ロジックではＬレベル）を出力している場合は、ＯＲ回路でＯＥＶ２回路の出力とＯＲが取られてゲート信号線１７ｂに出力される。つまり、ＯＥＶ２回路は、入力信号がＨレベルの時、ゲートドライバ信号線１７ｂに出力する電圧をオフ電圧（Ｖｇｈ）にする。したがって、ＯＥＶ２回路のよりＥＬ側選択信号がオン電圧出力状態であっても、強制的にゲート信号線１７ｂに出力される信号はオフ電圧（Ｖｇｈ）になる。なお、ＯＥＶ２回路の入力がＬであれば、ＥＬ側選択信号がスルーでゲート信号線１７ｂに出力される（図１７６のタイミングチャートの例を参照のこと）。

なお、ＯＥＶ２の制御により、画面輝度を調整する。画面輝度により変化できる明るさの許容範囲がある。図１７５は許容変化（％）と画面輝度（ｎｔ）の関係を図示したものである。図１７５でわかるように、比較的暗い画像で許容変化量が小さい。したがって、ＯＥＶ２による制御あるいはｄｕｔｙ比制御による画面５０の輝度調整は、画面５０輝度を考慮して制御する。制御による許容変化は画面が明るい時よりも暗い時を短くする。

図１４０は、１／４ｄｕｔｙ比駆動である。４Ｈ期間に１Ｈ期間の間、ゲート信号線１７ｂ（ＥＬ側選択信号線）にオン電圧が印加され、水平同期信号（ＨＤ）に同期してオン電圧が印加されている位置が走査される。したがって、オン時間は１Ｈ単位である。

しかし、本発明はこれに限定するものではなく、図１４３に図示するように１Ｈ未満（図１４３は１／２Ｈ）としてもよく、また、１Ｈ以下としてもよい。つまり、１Ｈ単位に限定されるものではなく、１Ｈ単位以外の発生も容易である。ゲートドライバ回路１２ｂ（ゲート信号線１７ｂを制御する回路である）の出力段に形成または配置されたＯＥＶ２回路を用いればよい。ＯＥＶ２回路は先に説明したＯＥＶ１回路と同様であるので説明を省略する。

図１４１は、ゲート信号線１７ｂ（ＥＬ側選択信号線）のオン時間は１Ｈを単位としていない。奇数画素行のゲート信号線１７ｂ（ＥＬ側選択信号線）は１Ｈ弱の期間オン電圧が

印加される。偶数画素行のゲート信号線１７ｂ（ＥＬ側選択信号線）は、極短い期間オン電圧が印加される。また、奇数画素行のゲート信号線１７ｂ（ＥＬ側選択信号線）に印加されるオン電圧時間Ｔ１と偶数画素行のゲート信号線１７ｂ（ＥＬ側選択信号線）に印加されるオン電圧時間Ｔ２を加えた時間を１Ｈ期間となるようにしている。図１４１を第１フィールドの状態とする。

第１フィールドの次の第２フィールドでは、偶数画素行のゲート信号線１７ｂ（ＥＬ側選択信号線）は１Ｈ弱の期間オン電圧が印加される。奇数画素行のゲート信号線１７ｂ（ＥＬ側選択信号線）は、極短い期間オン電圧が印加される。また、偶数画素行のゲート信号線１７ｂ（ＥＬ側選択信号線）に印加されるオン電圧時間Ｔ１と奇数画素行のゲート信号線１７ｂ（ＥＬ側選択信号線）に印加されるオン電圧時間Ｔ２を加えた時間を１Ｈ期間となるようにしている。

以上のように、複数画素行でのゲート信号線１７ｂ（ＥＬ側選択信号線）に印加するオン時間の和を一定となるようにし、また、複数フィールドで各画素行のＥＬ素子１５の点灯時間を一定となるようにしてもよい。

図１４２は、ゲート信号線１７ｂ（ＥＬ側選択信号線）のオン時間を１．５Ｈをしている。また、Ａ点におけるゲート信号線１７ｂ（ＥＬ側選択信号線）の立ち上りと立下りが重なるようにしている。ゲート信号線１７ｂ（ＥＬ側選択信号線）とソース信号線１８とはカップリングしている。そのため、ゲート信号線１７ｂ（ＥＬ側選択信号線）の波形が変化すると波形の変化がソース信号線１８に突き抜ける。この突き抜けによりソース信号線１８に電位変動が発生すると電流（電圧）プログラムの精度が低下し、駆動用トランジスタ１１ａの特性ムラが表示されるようになる。

図１４２において、Ａ点において、ゲート信号線１７Ｂ（ＥＬ側選択信号線）（１）はオン電圧（Ｖｇｌ）印加状態からオフ電圧（Ｖｇｈ）印加状態に変化する。ゲート信号線１７Ｂ（ＥＬ側選択信号線）（２）はオフ電圧（Ｖｇｈ）印加状態からオン電圧（Ｖｇｌ）印加状態に変化する。したがって、Ａ点では、ゲート信号線１７Ｂ（ＥＬ側選択信号線）（１）の信号波形とゲート信号線１７Ｂ（ＥＬ側選択信号線）（２）の信号波形が打ち消しあう。したがって、ソース信号線１８とゲート信号線１７Ｂ（ＥＬ側選択信号線）とがカップリングしていても、ゲート信号線１７Ｂ（ＥＬ側選択信号線）の波形変化がソース信号線１８に突き抜けることはない。そのため、良好な電流（電圧）プログラム精度を得ることができ、均一な画像表示を実現できる。

なお、図１４２は、オン時間が１．５Ｈの実施例であった。しかし、本発明はこれに限定するものではなく、図１４４に図示するように、オン電圧の印加時間を１Ｈ以下としてもよいことは言うまでもない。

ゲート信号線１７Ｂ（ＥＬ側選択信号線）にオン電圧を印加する期間を調整することにより、表示画面５０の輝度をリニアに調整することができる。これはＯＥＶ２回路を制御することにより容易に実現できる。

たとえば、図１４５では、図１４５の（ａ）よりも図１４５の（ｂ）の方が表示輝度は低くなる。また、図１４５の（ｂ）よりも図１４５の（ｃ）の方が表示輝度は低くなる。

図１０９はＯＥＶ２とゲート信号線１７ｂの信号波形の関係を図示してものである。図１０９において、図１０９の（ａ）が最もＯＥＶ２がＬレベルになる期間が短い。したがって、ゲート信号線１７ｂにオン電圧が印加される期間が短いため、ＥＬ素子１５に流れる電流期間は短くなる。この状態は結果的にはｄｕｔｙ比が小さい状態である。図１０９の（ｂ）が次にＯＥＶ２がＬレベルになる期間が長い。さらに図１０９の（ｃ）は図１０９の（ｂ）よりもＯＥＶ２がＬレベルになる期間が長い。そのため、図１０９の（ｃ）のｄｕｔｙ比は図１０９の（ｂ）のｄｕｔｙ比よりも大きいことになる。

なお、図１０９の（ａ）（ｂ）（ｃ）の実施例は、１Ｈより短い期間でｄｕｔｙ比制御を行うものである。しかし、本発明はこれに限定するものではなく、図１０９の（ｄ）に図示するように１Ｈ単位でｄｕｔｙ比制御を行っても良い。なお、図１０９の（ｄ）はｄｕｔｙ比１／２の実施例である。

図１０９の（ａ）が最もＯＥＶ２がＬレベルになる期間が短い。したがって、ゲート信号

線１７ｂにオン電圧が印加される期間が短いため、ＥＬ素子１５に流れる電流期間は短くなる。この状態は結果的にはｄｕｔｙ比が小さい状態である。図１０９の（ａ）が最もＯＥＶ２がＬレベルになる期間が短い。したがって、ゲート信号線１７ｂにオン電圧が印加される期間が短いため、ＥＬ素子１５に流れる電流期間は短くなる。この状態は結果的にはｄｕｔｙ比が小さい状態である。

また、図１４６に図示するように、１Ｈ期間にオン電圧を印加する期間とオフ電圧を印加する期間の組を複数回設けてもより。図１４６の（ａ）は６回設けた実施例である。図１４６の（ｂ）は３回設けた実施例である。図１４６の（ｃ）は１回設けた実施例である。図１４６では、図１４６の（ａ）よりも図１４６の（ｂ）の方が表示輝度は低くなる。また、図１４６の（ｂ）よりも図１４６の（ｃ）の方が表示輝度は低くなる。したがって、オン期間の回数を制御することにより表示輝度を容易に調整（制御）できる。

以後、本発明の電流駆動方式のソースドライバＩＣ（回路）１４について説明をする。本発明のソースドライバＩＣは、以前に説明した本発明の駆動方法、駆動回路を実現するために用いる。また、本発明の駆動方法、駆動回路、表示装置と組み合わせて用いる。なお、説明は、ＩＣチップとして説明をするがこれに限定するものではなく、低温ポリシリコン技術、アモルファスシリコン技術などを用いて、表示パネルのアレイ基板７１上に作製してもよいことは言うまでもない。

まず、図５５に、従来の電流駆動方式のドライバ回路の一例を示す。ただし、図５５は本発明の電流駆動方式のソースドライバＩＣ（ソースドライバ回路）１４を説明するための原理的なものである。

図５５において、５５１はＤ／Ａ変換器である。Ｄ／Ａ変換器５５１にはｎビットのデータ信号が入力され、入力されたデータに基づき、Ｄ／Ａ変換器からアナログ信号が出力される。このアナログ信号はオペアンプ５５２に入力される。オペアンプ５５２はＮチャンネルトランジスタ４７１ａに入力され、トランジスタ４７１ａに流れる電流が抵抗５３１に流れる。抵抗Ｒの端子電圧はオペアンプ５５２の－入力となり、この－端子の電圧とオペアンプ５５２の＋端子とは同一電圧となる。したがってＤ／Ａ変換器５５１の出力電圧は抵抗５３１の端子電圧となる。

抵抗５３１の抵抗値が１ＭΩとし、Ｄ／Ａ変換器５５１の出力が１（Ｖ）であれば、抵抗５３１には１（Ｖ）／１ＭΩ＝１（μＡ）の電流が流れる。これが定電流回路となる。したがって、データ信号の値に応じて、Ｄ／Ａ変換器５５１のアナログ出力が変化し、このアナログ出力に値にもとづいて抵抗５３１に所定電流が流れ、プログラム電流Ｉｗとなる。

しかし、ＤＡ変換回路５５１の回路規模は大きい。また、オペアンプ５５２の回路規模も大きい。１出力回路に、ＤＡ変換回路５５１とオペアンプ５５２を形成するとソースドライバＩＣ１４の大きさは巨大となる。したがって、実用上は作製することが不可能である。

本発明はかかる点に鑑みてなされたものである。本発明のソースドライバ回路１４は、電流出力回路の規模をコンパクトにし、電流出力端子間の出力電流ばらつきをできるだけ最小限にするための回路構成、レイアウト構成を有するものである。

図４７に、本発明の電流駆動方式のソースドライバＩＣ（回路）１４の１実施例における構成図を示す。図４７は、一例として電流源を３段構成（４７１、４７２、４７３）とした場合の多段式カレントミラー回路を示している。

図４７において、第１段の電流源４７１の電流値は、Ｎ個（ただし、Ｎは任意の整数）の第２段電流源４７２にカレントミラー回路によりコピーされる。更に、第２段電流源４７２の電流値は、Ｍ個（ただし、Ｍは任意の整数）の第３段電流源４７３にカレントミラー回路によりコピーされる。この構成により、結果として第１段電流源４７１の電流値は、Ｎ×Ｍ個の第３段電流源４７３にコピーされることになる。

例えば、ＱＣＩＦ形式の表示パネルのソース信号線１８に１個のソースドライバＩＣ１４で駆動する場合は、１７６出力（ソース信号線が各ＲＧＢで１７６出力必要なため）となる。この場合は、Ｎを１６個とし、Ｍ＝１１個とする。しがたって、１６×１１＝１７６

となり、１７６出力に対応できる。このように、ＮまたはＭのうち、一方を８または１６もしくはその倍数とすることにより、ドライバＩＣの電流源のレイアウト設計が容易になる。

本発明の多段式カレントミラー回路による電流駆動方式のソースドライバＩＣ（回路）１４では、前記したように、第１段電流源４７１の電流値を直接Ｎ×Ｍ個の第３段電流源４７３にカレントミラー回路でコピーするのではなく、中間に第２段電流源４７２を配備しているので、そこでトランジスタ特性のばらつきを吸収することが可能である。

特に、本発明は、第１段のカレントミラー回路（電流源４７１）と第２段にカレントミラー回路（電流源４７２）を密接して配置するところに特徴がある。第１段の電流源４７１から第３段の電流源４７３（つまり、カレントミラー回路の２段構成）であれば、第１段の電流源と接続される第２段の電流源４７３の個数が多く、第１段の電流源４７１と第３段の電流源４７３を密接して配置することができない。

本発明のソースドライバ回路１４のように、第１段のカレントミラー回路（電流源４７１）の電流を第２段のカレントミラー回路（電流源４７２）にコピーし、第２段のカレントミラー回路（電流源４７２）の電流を第３段にカレントミラー回路（電流源４７２）にコピーする構成である。この構成では、第１段のカレントミラー回路（電流源４７１）に接続される第２段のカレントミラー回路（電流源４７２）の個数は少ない。したがって、第１段のカレントミラー回路（電流源４７１）と第２段のカレントミラー回路（電流源４７２）とを密接して配置することができる。

密接してカレントミラー回路を構成するトランジスタを配置できれば、当然のことながら、トランジスタのばらつきは少なくなるから、コピーされる電流値のバラツキも少なくなる。また、第２段のカレントミラー回路（電流源４７２）に接続される第３段のカレントミラー回路（電流源４７３）の個数も少なくなる。したがって、第２段のカレントミラー回路（電流源４７２）と第３段のカレントミラー回路（電流源４７３）とを密接して配置することができる。

つまり、全体として、第１段のカレントミラー回路（電流源４７１）、第２段のカレントミラー回路（電流源４７２）、第３段のカレントミラー回路（電流源４７３）の電流受け取り部のトランジスタを密接して配置することができる。したがって、密接してカレントミラー回路を構成するトランジスタを配置できるから、トランジスタのばらつきは少なくなり、出力端子からの電流信号のバラツキは極めて少なくなる（精度が高い）。

本発明において、電流源４７１、４７２、４７３と表現したり、カレントミラー回路と表現したりしている。これらは同義に用いている。つまり、電流源とは、本発明の基本的な構成概念であり、電流源を具体的に構成するとカレントミラー回路となるからである。したがって、電流源はカレントミラー回路のみに限定するものではなく、オペアンプ５５２とトランジスタ４７１と抵抗Ｒの組み合わせからなる定電流回路でもよい。

図４８はさらに具体的なソースドライバＩＣ（回路）１４の構造図である。図４８は第３の電流源４７３の部分を図示している。つまり、１つのソース信号線１８に接続される出力部である。最終段のカレントミラー構成として、複数の同一サイズのカレントミラー回路（単位トランジスタ４８４（１単位））で構成されており、その個数が画像データのビットに対応して、ビット重み付けされている。

なお、本発明のソースドライバＩＣ（回路）１４を構成するトランジスタは、ＭＯＳタイプに限定するものではなく、バイポーラタイプでもよい。また、シリコン半導体に限定するものではなく、ガリ砒素半導体でもよい。また、ゲルマニウム半導体でもよい。また、基板に低温ポリシリコンなどのポリシリコン技術、アモルファスシリコン技術で直接形成したものでもよい。

図４８で明らかであるが、本発明の１実施例として、６ビットのデジタル入力の場合を図示している。つまり、２の６乗であるから、６４階調表示である。このソースドライバＩＣ１４をアレイ基板に積載することにより、赤（Ｒ）、緑（Ｇ）、青（Ｂ）が各６４階調であるから、６４×６４×６４＝約２６万色を表示できることになる。

６４階調の場合は、Ｄ０ビットの単位トランジスタ４８４は１個、Ｄ１ビットの単位トラ

ンジスタ４８４は２個、Ｄ２ビットの単位トランジスタ４８４は４個、Ｄ３ビットの単位トランジスタ４８４は８個、Ｄ４ビットの単位トランジスタ４８４は１６個、Ｄ５ビットの単位トランジスタ４８４は３２個であるから、計単位トランジスタ４８４は６３個である。つまり、本発明は階調の表現数（この実施例の場合は、６４階調）－１個の単位トランジスタ４８４を１出力と構成（形成）する。なお、単位トランジスタ１個が複数のサブ単位トランジスタに分割されている場合であっても、単位トランジスタが単にサブ単位トランジスタに分割されているだけである。したがって、本発明が、階調の表現数－１個の単位トランジスタで構成されていることには差異はない（同義である）。

図４８において、Ｄ０はＬＳＢ入力を示しており、Ｄ５はＭＳＢ入力を示している。Ｄ０入力端子にＨレベル（正論理時）の時、スイッチ４８１ａ（オンオフ手段である。もちろん、単体トランジスタで構成してもよいし、ＰチャンネルトランジスタとＮチャンネルトランジスタとを組み合わせたアナログスイッチなどでもよい）がオンする。すると、カレントミラーを構成する電流源（１単位）４８４に向かって電流が流れる。この電流はＩＣ１４内の内部配線４８３に流れる。この内部配線４８３はＩＣ１４の端子電極を介してソース信号線１８に接続されているから、この内部配線４８３に流れる電流が画素１６のプログラム電流となる。

たとえば、Ｄ１入力端子にＨレベル（正論理時）の時、スイッチ４８１ｂがオンする。すると、カレントミラーを構成する２つの電流源（１単位）４８４に向かって電流が流れる。この電流はＩＣ１４内の内部配線４８３に流れる。この内部配線４８３はＩＣ１４の端子電極を介してソース信号線１８に接続されているから、この内部配線４８３に流れる電流が画素１６のプログラム電流となる。

他のスイッチ４８１でも同様である。Ｄ２入力端子にＨレベル（正論理時）の時は、スイッチ４８１ｃがオンする。すると、カレントミラーを構成する４つの電流源（１単位）４８４に向かって電流が流れる。Ｄ５入力端子にＨレベル（正論理時）の時は、スイッチ４８１ｆがオンする。すると、カレントミラーを構成する３２個の電流源（１単位）４８４に向かって電流が流れる。

以上のように、外部からのデータ（Ｄ０～Ｄ５）に応じて、それに対応する電流源（１単位）に向かって電流が流れる。したがって、データに応じて、０個から６３個に電流源（１単位）に電流が流れるように構成されている。

なお、本発明は説明を容易にするため、電流源は６ビットの６３個としているが、これに限定するものではない。８ビットの場合は、２５５個の単位トランジスタ４８４を形成（配置）すればよい。また、４ビットの時は、１５個の単位トランジスタ４８４を形成（配置）すればよい。単位電流源を構成するトランジスタ４８４は同一のチャンネル幅Ｗ、チャンネル幅Ｌとする。このように同一のトランジスタで構成することにより、ばらつきの少ない出力段を構成することができる。

また、単位トランジスタ４８４はすべてが、同一の電流を流すことに限定するものではない。たとえば、各単位トランジスタ４８４を重み付けしてもよい。たとえば、１単位の単位トランジスタ４８４と、２倍の単位トランジスタ４８４と、４倍の単位トランジスタ４８４などを混在させて電流出力回路を構成してもよい。

しかし、単位トランジスタ４８４を重み付けして構成すると、各重み付けした電流源が重み付けした割合にならず、バラツキが発生する可能性がある。したがって、重み付けする場合であっても、各電流源は、１単位の電流源となるトランジスタを複数個形成することにより構成することが好ましい。

単位トランジスタ４８４を構成するトランジスタの大きさは一定以上の大きさが必要である。トランジスタサイズが小さいほど出力電流のバラツキが大きくなる。トランジスタ４８４の大きさとは、チャンネル長Ｌとチャンネル幅Ｗをかけたサイズをいう。たとえば、Ｗ＝３μｍ、Ｌ＝４μｍであれば、１つの単位電流源を構成するトランジスタ４８４のサイズは、Ｗ×Ｌ＝１２平方μｍである。トランジスタサイズが小さくなるほどバラツキが大きくなるのはシリコンウエハの結晶界面の状態が影響しているためと考えられる。したがって、１つのトランジスタが複数の結晶界面にまたがって形成されているとトランジス

タの出力電流バラツキは小さくなる。
トランジスタサイズと出力電流のバラツキの関係を図１１９に示す。図１１９のグラフの横軸はトランジスタサイズ（平方μｍ）である。縦軸は、出力電流のバラツキを％で示したものである。ただし、出力電流のバラツキ％は、単位電流源（１つの単位トランジスタ）４８４を６３個の組で形成し（６３個形成し）、この組を多数組ウエハ上に形成し、出力電流のバラツキをもとめたものである。したがって、グラフの横軸は、１つの単位電流源を構成するトランジスタサイズ（単位トランジスタ４８４のサイズ）で図示しているが、実際の並列するトランジスタは６３個あるので面積は６３倍である。しかし、図１１９では単位トランジスタ４８４の大きさを単位として検討している。したがって、図１１９でおいて、３０平方μｍの単位トランジスタ４８４を６３個形成したとき、その時の出力電流のバラツキは、０．５％となることを示している。
６４階調の場合は、１００／６４＝１．５％である。したがって、出力電流バラツキは１．５％以内にする必要がある。図１１９から１．５％以下にするためには、単位トランジスタのサイズは２平方μｍ以上にする必要がある（６４階調は６３個の２平方μｍの単位トランジスタが動作する）。一方でトランジスタサイズには制限がある。ＩＣチップサイズが大きくなる点と、１出力あたりの横幅に制限があるからである。この点から、単位トランジスタ４８４のサイズの上限は、３００平方μｍである。したがって、６４階調表示では、単位トランジスタ４８４のサイズは、２平方μｍ以上３００平方μｍ以下にする必要がある。
１２８階調の場合は、１００／１２８＝１％である。したがって、出力電流バラツキは１％以内にする必要がある。図１１９から１％以下にするためには、単位トランジスタのサイズは８平方μｍ以上にする必要がある。したがって、１２８階調表示では、単位トランジスタ４８４のサイズは、８平方μｍ以上３００平方μｍ以下にする必要がある。
一般的に、階調数をＫとし、単位トランジスタ４８４の大きさをＳｔ（平方μｍ）としたとき、
４０　≦　Ｋ／√（Ｓｔ）　かつ　Ｓｔ　≦　３００の関係を満足させる。
さらに好ましくは、１２０　≦　Ｋ／√（Ｓｔ）　かつ　Ｓｔ　≦　３００の関係を満足させることが好ましい。
以上の例は、６４階調で６３個のトランジスタを形成した場合である。６４階調を１２７個の単位トランジスタ４８４で構成する場合は、単位トランジスタ４８４のサイズとは、２つの単位トランジスタ４８４を加えたサイズである。たとえば、６４階調で、単位トランジスタ４８４のサイズが１０平方μｍであり、１２７個形成されていたら、図１１９では単位トランジスタのサイズは１０×２＝２０の欄をみる必要がある。同様に、６４階調で、単位トランジスタ４８４のサイズが１０平方μｍであり、２５５個形成されていたら、図１１９では単位トランジスタのサイズは１０×４＝４０の欄をみる必要がある。
単位トランジスタ４８４は大きさだけでなく、形状も考慮する必要がある。キンクの影響を低減するためである。キンクとは、単位トランジスタ４８４のゲート電圧を一定に保った状態で、単位トランジスタ４８４のソース（Ｓ）－ドレイン（Ｄ）電圧を変化させたときに、単位トランジスタ４８４に流れる電流が変化する現象と言う。キンクの影響がない場合（理想状態）では、ソース（Ｓ）－ドレイン（Ｄ）間に印加する電圧を変化させても、単位トランジスタ４８４に流れる電流は変化しない。
キンクの影響が発生するのは、図１などの駆動用トランジスタ１１ａのＶｔのバラツキにより、ソース信号線１８が異なる場合である。ドライバ回路１４は、画素の駆動用トランジスタ１１ａにプログラム電流が流れるように、プログラム電流をソース信号線１８に流す。このプログラム電流により、駆動用トランジスタ１１ａのゲート端子電圧が変化し、駆動用トランジスタ１１ａにプログラム電流が流れるようになる。図３でわかるように、選択された画素１６がプログラム状態の時は、駆動用トランジスタ１１ａのゲート端子電圧＝ソース信号線１８電位である。
したがって、各画素１６の駆動用トランジスタ１１ａのＶｔばらつきにより、ソース信号線１８の電位は異なる。ソース信号線１８の電位は、ドライバ回路１４の単位トランジス

タ４８４のソース－ドレイン電圧となる。つまり、画素１６の駆動用トランジスタ１１ａのＶｔバラツキにより、単位トランジスタ４８４に印加されるソース－ドレイン電圧が異なり、このソース－ドレイン間電圧により、単位トランジスタ４８４にキンクによる出力電流のバラツキが発生する。

図１２３は単位トランジスタＬ／Ｗと目標値からのずれ（ばらつき）のグラフである。単位トランジスタのＬ／Ｗ比が２以下では、目標値からのずれが大きい（直線の傾きが大きい）。しかし、Ｌ／Ｗが大きくなるにつれて、目標値のずれが小さくなる傾向にある。単位トランジスタＬ／Ｗが２以上では目標値からのずれの変化は小さくなる。また、目標値からのずれ（ばらつき）はＬ／Ｗ＝２以上で、０．５％以下となる。したがって、トランジスタの精度としてソースドライバ回路１４に採用できる。なお、Ｌは単位トランジスタ４８４のチャンネル長、Ｗは単位トランジスタのチャンネル幅である。

しかし、単位トランジスタ４８４のチャンネル長Ｌがいくらでも長くすることはできない。Ｌが長いほどＩＣチップ１４が大きくなるからである。また、単位トランジスタ４８４のゲート端子電圧が上昇し、ソースドライバＩＣ１４に必要な電源電圧が高くなる。電源電圧が高くなると高耐圧のＩＣプロセスを採用する必要がある。高耐圧のＩＣプロセスで形成したソースドライバＩＣ１４は単位トランジスタ４８４の出力バラツキが大きい（図１２１とその説明を参照のこと）。検討の結果によれば、Ｌ／Ｗは１００以下にすることが好ましい。さらに好ましくは、Ｌ／Ｗは５０以下にすることが好ましい。

以上のことから、単位トランジスタＬ／Ｗは２以上にすることが好ましい。また、Ｌ／Ｗは１００以下にすることが好ましい。さらに好ましくは、Ｌ／Ｗは４０以下にすることが好ましい。

また、Ｌ／Ｗの大きさは階調数にも依存する。階調数が少ない場合は、階調と階調との差が大きいため、キンクの影響により単位トランジスタ４８４の出力電流がばらついても問題がない。しかし、階調数が多い表示パネルでは、階調と階調との差が小さいため、キンクの影響により単位トランジスタ４８４の出力電流が少しでもばらつくと階調数が低減する。

以上のことを勘案し、本発明のドライバ回路１４は、階調数をＫとし、単位トランジスタ４８４のＬ／Ｗ（Ｌは単位トランジスタ４８４のチャンネル長、Ｗは単位トランジスタのチャンネル幅）とした時、

（√（Ｋ／１６））　≦　Ｌ／Ｗ　≦　かつ（√（Ｋ／１６））×２０

の関係を満足させるように構成（形成）している。この関係を図示すると図１２０のようになる。図１２０の直線の上側が本発明の実施範囲である。

単位トランジスタ４８４の出力電流のバラツキはソースドライバＩＣ１４の耐圧にも依存している。ソースドライバＩＣの耐圧とは一般的にＩＣの電源電圧を意味する。たとえば、５（Ｖ）耐圧とは、電源電圧を標準電圧５（Ｖ）で使用する。なお、ＩＣ耐圧とは最大使用電圧と読み替えてもよい。これらの耐圧は、半導体ＩＣメーカーが５（Ｖ）耐圧プロセス、１０（Ｖ）耐圧プロセスと標準化して保有している。

ＩＣ耐圧が単位トランジスタ４８４の出力バラツキに影響を与えるのは、単位トランジスタ４８４のゲート絶縁膜の膜質、膜厚によると考えられる。ＩＣ耐圧が高いプロセスで製造したトランジスタ４８４はゲート絶縁膜が厚い。これば高電圧の印加でも絶縁破壊を発生しないようにするためである。絶縁膜が厚いと、ゲート絶縁膜厚の制御が困難になり、またゲート絶縁膜の膜質バラツキも大きくなる。そのため、トランジスタのバラツキが大きくなる。また、高耐圧プロセスで製造したトランジスタはモビリティが低くなる。モビリティが低いと、トランジスタのゲートに注入される電子が少し変化するだけで特性が異なる。したがって、トランジスタのバラツキが大きくなる。したがって、単位トランジスタ４８４のバラツキを少なくするためには、ＩＣ耐圧が低いＩＣプロセスを採用することが好ましい。

図１２１はＩＣ耐圧を単位トランジスタ４８４の出力バラツキの関係を図示してものである。縦軸のバラツキ比率とは、１．８（Ｖ）耐圧プロセスで作製して単位トランジスタ４８４のバラツキを１としている。なお、図１２１は単位トランジスタ４８４の形状Ｌ／Ｗ

を１２（μｍ）／６（μｍ）とし、各耐圧プロセスで製造した単位トランジスタ４８４の出力バラツキを示している。また、各ＩＣ耐圧プロセスで複数の単位トランジスタを形成し、出力電流バラツキを求めている。ただし、耐圧プロセスは、１．８（Ｖ）耐圧、２．５（Ｖ）耐圧、３．３（Ｖ）耐圧、５（Ｖ）耐圧、８（Ｖ）耐圧、１０（Ｖ）耐圧、１５（Ｖ）耐圧など離散値である。しかし、説明を容易にするため、各耐圧で形成したトランジスタのバラツキをグラフに記入し、直線で結んでいる。

図１２１でもわかるが、ＩＣ耐圧が９（Ｖ）程度までは、ＩＣプロセスに対するバラツキ比率（単位トランジスタ４８４の出力電流バラツキ）の増加割合は小さい。しかし、ＩＣ耐圧が１０（Ｖ）以上になるとＩＣ耐圧に対するバラツキ比率の傾きが大きくなる。

図１２１におけるバラツキ比率は３以内が、６４階調から２５６階調表示でのバラツキ許容範囲である。ただし、このばらつき比率は、単位トランジスタ４８４の面積、Ｌ／Ｗにより異なる。しかし、単位トランジスタ４８４の形状などを変化させても、ＩＣ耐圧に対するバラツキ比率の変化傾向はほとんど差がない。ＩＣ耐圧９～１０（Ｖ）以上でバラツキ比率が大きくなる傾向がある。

一方、図４８の出力端子６８１の電位は、画素１６の駆動用トランジスタ１１ａのプログラム電流により変化する。ほぼ、駆動用トランジスタ１１ａのゲート端子電圧とソース信号線１８の電位と等しい。また、ソース信号線１８の電位がソースドライバＩＣ（回路）１４の出力端子６８１の電位となる。画素１６の駆動用トランジスタ１１ａが白ラスター（最大白表示）の電流を流す時のゲート端子電位Ｖｗとする。画素１６の駆動用トランジスタ１１ａが黒ラスター（完全黒表示）の電流を流す時のゲート端子電位Ｖｂとする。Ｖｗ－Ｖｂの絶対値は２（Ｖ）以上必要である。また、Ｖｗ電圧が端子６８１に印加されている時、単位トランジスタ４８４のチャンネル間電圧は、０．５（Ｖ）必要である。

したがって、出力端子６８１（端子６８１はソース信号線１８と接続され、電流プログラム時、画素１６の駆動用トランジスタ１１ａのゲート端子電圧が印加される）には、０．５（Ｖ）から（（Ｖｗ－Ｖｂ）＋０．５）（Ｖ）の電圧が印加される。Ｖｗ－Ｖｂは２（Ｖ）であるから、端子６８１は最大２（Ｖ）＋０．５（Ｖ）＝２．５（Ｖ）印加される。したがって、ソースドライバＩＣ１４の出力電圧（電流）がｒａｉｌ－ｔｏ－ｒａｉｌ回路構成（ＩＣ電源電位まで、電圧を出力できる回路構成）であっても、ＩＣ耐圧としては２．５（Ｖ）必要である。端子７４１の振幅必要範囲は、２．５（Ｖ）以上必要である。以上のことから、ソースドライバＩＣ１４の耐圧は、２．５（Ｖ）以上１０（Ｖ）以下のプロセスを使用することが好ましい。さらに好ましくは、ソースドライバＩＣ１４の耐圧は、３（Ｖ）以上９（Ｖ）以下のプロセスを使用することが好ましい。

なお、以上の説明は、ソースドライバＩＣ１２の使用耐圧プロセスは、２．５（Ｖ）以上１０（Ｖ）以下のプロセスを使用するとした。しかし、この耐圧は、アレイ基板７１に直接にソースドライバ回路１４が形成された実施例（低温ポリシリコンプロセスなど）にも適用される。アレイ基板７１に形成されたソースドライバ回路１４の使用耐圧は１５（Ｖ）以上と高い場合がある。この場合は、ソースドライバ回路１４に使用する電源電圧を図１２１に図示するＩＣ耐圧に置き換えてもよい。また、ソースドライバＩＣ１４にあっても、ＩＣ耐圧とせず、使用する電源電圧に置き換えても良い。

単位トランジスタ４８４の面積は出力電流のバラツキと相関がある。図１２２は単位トランジスタ４８４の面積を一定とし、単位トランジスタ４８４のトランジスタ幅Ｗを変化させた時のグラフである。図１２１は単位トランジスタ４８４のチャンネル幅Ｗ＝２（μｍ）のバラツキを１としている。グラフの縦軸は、チャンネル幅Ｗ＝２（μｍ）のバラツキを１とした時に相対比である。

図１２２で示すようにバラツキ比率は、単位トランジスタのＷが２（μｍ）から９～１０（μｍ）まで緩やかに増加し、１０（μｍ）以上でバラツキ比率の増加は大きくなる傾向がある。また、チャンネル幅Ｗ＝２（μｍ）以下でバラツキ比率が増加する傾向がある。

図１２２におけるバラツキ比率は３以内が、６４階調から２５６階調表示でのバラツキ許容範囲である。ただし、このばらつき比率は、単位トランジスタ４８４の面積により異なる。しかし、単位トランジスタ４８４の面積を変化させても、ＩＣ耐圧に対するバラツキ

比率の変化傾向はほとんど差がない。
以上のことから、単位トランジスタ４８４のチャンネル幅Wは２（μｍ）以上１０（μｍ）以下とすることが好ましい。さらに好ましくは、単位トランジスタ４８４のチャンネル幅Wは２（μｍ）以上９（μｍ）以下とすることが好ましい。ただし、階調数が６４階調の時は、チャンネル幅Wは２（μｍ）以上１５（μｍ）以下でも実用上は支障がない。
図５２に図示するように、第２段のカレントミラー回路４７２ｂを流れる電流は、第３段のカレントミラー回路を構成するトランジスタ４７３ａにコピーされ、カレントミラー倍率が１倍の時は、この電流がトランジスタ４７３ｂに流れる。この電流は、最終段の単位トランジスタ４８４にコピーされる。
Ｄ０に対応する部分は、１個の単位トランジスタ４８４で構成されているので、最終段電流源の単位トランジスタ４７３に流れる電流値である。Ｄ１に対応する部分は２個の単位トランジスタ４８４で構成されているので、最終段電流源の２倍の電流値である。Ｄ２は４個の単位トランジスタ４８４で構成されているので、最終段電流源の４倍の電流値であり、・・・、Ｄ５に対応する部分は３２個のトランジスタで構成されているので、最終段電流源の３２倍の電流値である。ただし、最終段のカレントミラー回路のミラー比が１の場合である。
６ビットの画像データＤ０、Ｄ１、Ｄ２、・・・、Ｄ５で制御されるスイッチを介してプログラム電流Ｉｗはソース信号線に出力される（電流を引き込む）。したがって、６ビットの画像データＤ０、Ｄ１、Ｄ２、・・・、Ｄ５のＯＮ、ＯＦＦに応じて、出力線には、最終段電流源４７３の１倍、２倍、４倍、・・・、３２倍の電流が加算されて出力される。すなわち、６ビットの画像データＤ０、Ｄ１、Ｄ２、・・・、Ｄ５により、最終段電流源４７３の０～６３倍の電流値が出力線より出力される（ソース信号線１８から電流を引き込む。
実際には、図７６、図７７、図７８、図１１８に図示するように、ソースドライバＩＣ１４内には、Ｒ、Ｇ、Ｂごとの基準電流（ＩａＲ、ＩａＧ、ＩａＢ）は、抵抗４９１（４９１Ｒ、４９１Ｇ、４９１Ｂ）などで調整できるように構成されている。基準電流Ｉａを調整することにより、ホワイトバランスを容易に調整することができる。
ＥＬ表示パネルで、フルカラー表示を実現するためには、ＲＧＢのそれぞれに基準電流を形成（作成）する必要がある。ＲＧＢの基準電流の比率でホワイトバランスを調整できる。電流駆動方式の場合は、また、本発明は、１つの基準電流から単位トランジスタ４８４が流す電流値を決定する。したがって、基準電流の大きさを決定すれば、単位トランジスタ４８４が流す電流を決定することができる。そのため、Ｒ、Ｇ、Ｂのそれぞれの基準電流を設定すれば、すべての階調におけるホワイトバランスが取れることになる。以上の事項は、ソースドライバ回路１４が電流きざみ出力（電流駆動）であることから発揮される効果である。したがって、いかに、ＲＧＢごとに基準電流の大きさを設定できるかがポイントとなる。
ＥＬ素子の発光効率は、ＥＬ材料の蒸着あるいは塗布する膜厚で決定される。もしくは、支配的な要因である。膜厚は、ロットごとにほぼ一定である。したがって、ＥＬ素子１５の形成膜厚をロット管理すれば、ＥＬ素子１５に流す電流と発光輝度の関係が決定される。つまり、ロットごとに、ホワイトバランスをとるための電流値は固定である。
図４９に、３段式カレントミラー回路による１７６出力（Ｎ×Ｍ＝１７６）の回路図の一例を示す。図４９では、第１段カレントミラー回路による電流源４７１を親電流源、第２段カレントミラー回路による電流源４７２を子電流源、第３段カレントミラー回路による電流源４７３を孫電流源と記している。最終段カレントミラー回路である第３段カレントミラー回路による電流源の整数倍の構成により、１７６出力のばらつきを極力抑え、高精度な電流出力が可能である。
なお、密集して配置するとは、第１の電流源４７１と第２の電流源４７２とを少なくとも８ｍｍ以内の距離に配置（電流あるいは電圧の出力側と電流あるいは電圧の入力側）することをいう。さらには、５ｍｍ以内に配置することが好ましい。この範囲であれば、検討によりシリコンチップ内で配置されてトランジスタの特性（Ｖｔ、モビリティ（μ））差

がほとんど発生しないからである。また、同様に、第２の電流源４７２と第３の電流源４７３（電流の出力側と電流の入力側）も少なくとも８ｍｍ以内の距離に配置する。さらに好ましくは、５ｍｍ以内の位置に配置することが好ましい。以上の事項は、本発明の他の実施例においても適用されることは言うまでもない。

この電流あるいは電圧の出力側と電流あるいは電圧の入力側とは、以下の関係を意味する。図５０の電圧受け渡しの場合は、第（Ｉ）段の電流源のトランジスタ４７１（出力側）と第（Ｉ＋１）の電流源のトランジスタ４７２ａ（入力側）とを密集して配置する関係である。図５１の電流受け渡しの場合は、第（Ｉ）段の電流源のトランジスタ４７１ａ（出力側）と第（Ｉ＋１）の電流源のトランジスタ４７２ｂ（入力側）とを密集して配置する関係である。

なお、図４９、図５０などにおいて、トランジスタ４７１は１個としたが、これに限定するものではない。たとえば、小さなサブトランジスタ４７１を複数個形成し、この複数個のサブトランジスタのソースまたはドレイン端子を抵抗４９１と接続して単位トランジスタ４８４を構成してもよい。小さなサブトランジスタを複数個並列に接続することにより、単位トランジスタ４８４のばらつきを低減することができる。

同様に、トランジスタ４７２ａは１個としたが、これに限定するものではない。たとえば、小さなトランジスタ４７２ａを複数個形成し、このトランジスタ４７２ａの複数個のゲート端子を、トランジスタ４７１のゲート端子と接続してもよい。小さなトランジスタ４７２ａを複数個並列に接続することにより、トランジスタ４７２ａのばらつきを低減することができる。

したがって、本発明の構成としては、１つのトランジスタ４７１と複数個のトランジスタ４７２ａとを接続する構成、複数個のトランジスタ４７１と１個のトランジスタ４７２ａとを接続する構成、複数個のトランジスタ４７１と複数個のトランジスタ４７２ａとを接続する構成が例示される。以上の実施例は後に詳細に説明する。

以上の事項は、図５２のトランジスタ４７３ａとトランジスタ４７３ｂとの構成にも適用される。１つのトランジスタ４７３ａと複数個のトランジスタ４７３ｂａとを接続する構成、複数個のトランジスタ４７３ａと１個のトランジスタ４７３ｂとを接続する構成、複数個のトランジスタ４７３ａと複数個のトランジスタ４７３ｂとを接続する構成が例示される。小さなトランジスタ４７３を複数個並列に接続することにより、トランジスタ４７３のばらつきを低減することができるからである。

以上の事項は、図５２のトランジスタ４７２ａ、４７２ｂとの関係にも適用することができる。また、図４８のトランジスタ４７３ｂも複数個のトランジスタで構成することが好ましい。図５６、図５７のトランジスタ４７３についても同様に複数個のトランジスタで構成することが好ましい。

ここで、ソースドライバＩＣ１４はシリコンチップで形成するとして説明するが、これに限定するものではない。ソースドライバＩＣ１４は、ガリウム基板、ゲルマニウム基板など形成された他の半導体チップでもよい。また、単位トランジスタ４８４は、バイポーラトランジスタ、ＣＭＯＳトランジスタ、ＦＥＴ、バイＣＭＯＳトランジスタ、ＤＭＯＳトランジスタのいずれでもよい。しかし、単位トランジスタ４８４の出力バラツキを小さくする観点から、単位トランジスタ４８４はＣＭＯＳトランジスタで構成することが好ましい。

単位トランジスタ４８４はＮチャンネルで構成することが好ましい。Ｐチャンネルトランジスタで構成した単位トランジスタは、Ｎチャンネルトランジスタで構成した単位トランジスタに比較して、出力バラツキが１．５倍になる。

ソースドライバＩＣ１４の単位トランジスタ４８４は、Ｎチャンネルトランジスタで構成することが好ましいことから、ソースドライバＩＣ１４のプログラム電流は、画素１６からソースドライバＩＣへの引き込み電流となる。したがって、画素１６の駆動用トランジスタ１１ａはＰチャンネルで構成される。また、図１のスイッチング用トランジスタ１１ｄもＰチャンネルトランジスタで構成される。

以上のことから、ソースドライバＩＣ（回路）１４の出力段の単位トランジスタ４８４を

Ｎチャンネルトランジスタで構成し、画素１６の駆動用トランジスタ１１ａをＰチャンネルトランジスタで構成するという構成は、本発明の特徴ある構成である。なお、画素１６を構成するトランジスタ１１のすべて（トランジスタ１１ａ、１１ｂ、１１ｃ、１１ｄ）をＰチャンネルと形成するとよい。Ｎチャンネルトランジスタを形成するプロセスとなくすことができるから、低コスト化と高歩留まり化を実現できる。

なお、単位トランジスタ４８４はＩＣ１４に形成するとしたが、これに限定するものではない。低温ポリシリコン技術でソースドライバ回路１４を形成してもよい。この場合も、ソースドライバ回路１４内の単位トランジスタ４８４はＮチャンネルトランジスタで構成することが好ましい。

図５１は電流受け渡し構成の実施例である。なお、図５０は電圧受け渡し構成の実施例である。図５０、図５１とも回路図としては同じであり、レイアウト構成すなわち配線の引き回し方が異なる。図５０において、４７１は第１段電流源用Ｎチャンネルトランジスタ、４７２ａは第２段電流源用Ｎチャンネルトランジスタ、４７２ｂは第２段電流源用Ｐチャンネルトランジスタである。

図５１において、４７１ａは第１段電流源用Ｎチャンネルトランジスタ、４７２ａは第２段電流源用Ｎチャンネルトランジスタ、４７２ｂは第２段電流源用Ｐチャンネルトランジスタである。

図５０では、可変抵抗４９１（電流を変化するために用いるものである）とＮチャンネルトランジスタ４７１で構成される第１段電流源のゲート電圧が、第２段電流源のＮチャンネルトランジスタ４７２ａのゲートに受け渡されているので、電圧受け渡し方式のレイアウト構成となる。

一方、図５１では、可変抵抗４９１とＮチャンネルトランジスタ４７１ａで構成される第１段電流源のゲート電圧が、隣接する第２段電流源のＮチャンネルトランジスタ４７２ａのゲートに印加され、その結果トランジスタに流れる電流値が、第２段電流源のＰチャンネルトランジスタ４７２ｂに受け渡されているので、電流受け渡し方式のレイアウト構成となる。

なお、本発明の実施例では説明を容易にするため、あるいは理解を容易にするために、第１の電流源と第２の電流源との関係を中心に説明しているが、これに限定されるものではなく、第２の電流源と第３の電流源との関係、あるいはそれ以外の電流源との関係においても適用される（適用できる）ことは言うまでもない。

図５０に示した電圧受け渡し方式のカレントミラー回路のレイアウト構成では、カレントミラー回路を構成する第１段の電流源のＮチャンネルトランジスタ４７１と第２段の電流源のＮチャンネルトランジスタ４７２ａが離れ離れになる（離れ離れになりやすいというべきではある）ので、両者のトランジスタ特性に相違が生じやすい。したがって、第１段電流源の電流値が第２段電流源に正確に伝達されず、ばらつきが生じやすい。

それに対して、図５１に示した電流受け渡し方式のカレントミラー回路のレイアウト構成では、カレントミラー回路を構成する第１段電流源のＮチャンネルトランジスタ４７１ａと第２段電流源のＮチャンネルトランジスタ４７２ａが隣接している（隣接して配置しやすい）ので、両者のトランジスタ特性に相違は生じにくく、第１段電流源の電流値が第２段電流源に正確に伝達され、ばらつきが生じにくい。

以上のことから、本発明の多段式カレントミラー回路の回路構成（本発明の電流駆動方式のソースドライバ回路（ＩＣ）１４として、電圧受け渡しではなく、電流受け渡しとなるレイアウト構成とすることにより、よりばらつきが小さくでき好ましい。以上の実施例は本発明の他の実施例にも適用できることは言うまでもない。

なお、説明の都合上、第１段電流源から第２段電流源の場合を示したが、第２段電流源から第３段電流源、第３段電流源から第４段電流源、・・・などの多段の場合も同様であることは言うまでもない。また、本発明は１段の電流源構成を採用してもよいことは言うまでもない（図１６４、図１６５、図１６６などを参照のこと）

図５２は、図４９の３段構成のカレントミラー回路（３段構成の電流源）を、電流受け渡し方式にした場合の例を示している（したがって、図４９は電圧受け渡し方式の回路構成

である）。
図５２では、まず、可変抵抗４９１とＮチャンネルトランジスタ４７１で基準電流が作成される。なお、可変抵抗４９１で基準電流を調整するように説明しているが、実際は、ソースドライバＩＣ（回路）１４内に形成（もしくは配置）された電子ボリウム回路によりトランジスタ４７１のソース電圧が設定され、調整されるように構成される。もしくは、図４８に図示するような多数の電流源（１単位）４８４から構成される電流方式の電子ボリウムから出力される電流を直接にトランジスタ４７１のソース端子に供給することにより基準電流は調整される（図５３を参照のこと）。
トランジスタ４７１による第１段電流源のゲート電圧が、隣接する第２段電流源のＮチャンネルトランジスタ４７２ａのゲートに印加され、その結果トランジスタに流れる電流値が、第２段電流源のＰチャンネルトランジスタ４７２ｂに受け渡される。また、第２の電流源のトランジスタ４７２ｂによるゲート電圧が、隣接する第３段電流源のＮチャンネルトランジスタ４７３ａのゲートに印加され、その結果トランジスタに流れる電流値が、第３段電流源のＮチャンネルトランジスタ４７３ｂに受け渡される。第３段電流源のＮチャンネルトランジスタ４７３ｂのゲートには図４８に図示する多数の単位トランジスタ４８４が必要なビット数に応じて形成（配置）される。
図５３では、前記多段式カレントミラー回路の第１段電流源４７１に、電流値調整用素子が具備されていることを特徴としている。この構成により、第１段電流源４７１の電流値を変化させることにより、出力電流をコントロールすることが可能となる。
トランジスタのＶｔバラツキ（特性バラツキ）は、１ウエハ内で１００（ｍＶ）程度のばらつきがある。しかし、１００μ以内に近接して形成されたトランジスタのＶｔバラツキは、少なくとも、１０（ｍＶ）以下である（実測）。つまり、トランジスタを近接して形成し、カレントミラー回路を構成することにより、カレントミラー回路の出力電流バラツキを減少させることができる。したがって、ソースドライバＩＣの各端子の出力電流バラツキを少なくすることができる。
なお、トランジスタのバラツキはＶｔであるとして説明をするが、トランジスタのバラツキはＶｔだけではない。しかし、Ｖｔバラツキがトランジスタの特性バラツキの主要因であるから、理解を容易にするため、Ｖｔバラツキ＝トランジスタバラツキとして説明をする。
図１１８はトランジスタの形成面積（平方ミリメートル）と、単体トランジスタ４８４の出力電流バラツキとの測定結果を示している。出力電流バラツキとは、Ｖｔ電圧での電流バラツキである。黒点は所定の形成面積内に作製された評価サンプル（１０－２００個）のトランジスタ出力電流バラツキである。図１１８のＡ領域（形成面積０．５平方ミリメートル以内）内で形成されたトランジスタには、ほとんど出力電流のバラツキがない（ほぼ、誤差範囲の出力電流バラツキしかない。つまり、一定の出力電流が出力される）。逆にＣ領域（形成面積２．４平方ミリメートル以上）では、形成面積に対する出力電流のバラツキが急激に大きくなる傾向がある。Ｂ領域（形成面積０．５平方ミリメートル以上２．４平方ミリメートル以下）では、形成面積に対する出力電流のバラツキはほぼ比例の関係にある。
ただし、出力電流の絶対値は、ウエハごとに異なる。しかし、この問題は、本発明のソースドライバ回路（ＩＣ）１４において、基準電流を調整すること、あるいは所定値にすることにより対応できる。また、カレントミラー回路などの回路工夫で対応できる（解決できる）。
本発明は、入力デジタルデータ（Ｄ）により、単位トランジスタ４８４に流れる電流数を切り替えることによりソース信号線１８に流れる電流量を変化（制御）する。階調数が６４階調以上であれば、１／６４＝０．０１５であるから、理論的には、１～２％以内の出力電流バラツキ以内にする必要がある。なお、１％以内の出力バラツキは、視覚的には判別することが困難になり、０．５％以下ではほぼ判別することができない（均一に見える）。
出力電流バラツキ（％）を１％以内にするためには、図１１８の結果に示すようにトラン

ジスタ群（バラツキの発生を抑制すべきトランジスタ）の形成面積を２平方ミリメーター以内にする必要がある。さらに好ましくは、出力電流のバラツキ（つまり、トランジスタのＶｔバラツキ）を０．５％以内にすることが好ましい。図１１８の結果に示すようにトランジスタ群５２１の形成面積を１．２平方ミリメーター以内にすればよい。なお、形成面積とは、縦×横の長さの面積である。たとえば、一例として、１．２平方ミリメートルでは、１ｍｍ×１．２ｍｍである。

また、単位トランジスタ４８４の組（６４階調であれば６３個のトランジスタ４８４のかたまり（図４８などを参照のこと）に関しても同様である。単位トランジスタ４８４の組の形成面積を２平方ミリメーター以内にする必要がある。さらに好ましくは、単位トランジスタの組４８４の形成面積を１．２平方ミリメーター以内にすればよい。

なお、以上は、特に８ビット（２５６階調）以上の場合である。２５６階調以下の場合、たとえば、６ビット（６４階調）の場合は、出力電流のバラツキは２％程度であっても良い（画像表示上、実状は問題がない）。この場合は、トランジスタ群５２１は、５平方ミリメートル以内に形成すればよい。また、トランジスタ群５２１（図５２では、トランジスタ群５２１ａと５２１ｂの２つを図示している）の両方が、この条件を満足することを要しない。少なくとも一方が（３つ以上ある場合は、１つ以上のトランジスタ群５２１）この条件を満足するように構成すれば本発明の効果が発揮される。特に、下位のトランジスタ群５２１（５２１ａが上位で、５２１ｂが下位の関係）に関してこの条件を満足させることが好ましい。画像表示に問題が発生しにくくなるからである。

本発明のソースドライバ回路（ＩＣ）１４は、図５２に図示するように、親、子、孫というように複数の電流源を多段接続し、かつ各電流源を密配置にしている（もちろん、親、子の２段接続でもよい）。また、各電流源間（トランジスタ群５２１間）を電流受け渡しにしている。具体的には、図５２の点線で囲った範囲（トランジスタ群５２１）を密配置にする。このトランジスタ群５２１は電圧受け渡しの関係にある。また、親の電流源４７１と子の電流源４７２ａとは、ソースチップの略中央部に形成または配置する。チップの左右に配置された子の電流源を構成するトランジスタ４７２ａと、子の電流源を構成するトランジスタ４７２ｂとの距離を比較的短くすることができるからである。つまり、最上位のトランジスタ群５２１ａをＩＣチップの略中央部に配置する。そして、ＩＣチップ１４の左右に、下位のトランジスタ群５２１ｂを配置する。好ましくは、この下位のトランジスタ群５２１ｂの個数がＩＣチップの左右で略等しくなるように配置または、形成もしくは作製するのである。なお、以上の事項は、ＩＣチップ１４に限定されず、低温ポリシリコン技術あるいは高温ポリシリコン技術でアレイ基板７１に直接形成したソースドライバ回路１４にも適用される。他の事項も同様である。

本発明では、トランジスタ群５２１ａはＩＣチップ１４の略中央部に１つ構成または配置または形成あるいは作製されたおり、チップの左右に８個ずつトランジスタ群５２１ｂが形成されている（Ｎ＝８＋８、図４７を参照のこと）。子のトランジスタ群５２１ｂはチップの左右に等しくなるように、もしくは、チップ中央の親が形成された位置に対し、左側に形成または配置されたトランジスタ群５２１ｂの個数と、チップの右側に形成または配置されたトランジスタ群５２１ｂの個数との差が、４個以内となるように構成することが好ましい。さらには、チップの左側に形成または配置されたトランジスタ群５２１ｂの個数と、チップの右側に形成または配置されたトランジスタ群５２１ｂの個数との差が、１個以内となるように構成することが好ましい。以上の事項は、孫にあたるトランジスタ群（図５２では省略されているが）についても同様である。

親電流源４７１と子電流源４７２ａ間は電圧受け渡し（電圧接続）されている。したがって、トランジスタのＶｔバラツキの影響を受けやすい。そのため、トランジスタ群５２１ａの部分を密配置する。このトランジスタ群５２１ａの形成面積を、図１１８の図示するように２平方ミリメートル以内の面積に形成する。さらに好ましくは１．２平方ミリメートル以内に形成する。もちろん、階調数が６４階調以下の場合は、５平方ミリメートル以内でもよい。

トランジスタ群５２１ａと子トランジスタ４７２ｂ間は電流でデータを受け渡し（電流受

け渡し）をしているので、距離は流れても構わない。この距離の範囲（たとえば、上位のトランジスタ群５２１ａの出力端から下位のトランジスタ群５２１ｂの入力端までの距離）は、先に説明したように、第２の電流源（子）を構成するトランジスタ４７２ａと第２の電流源（子）を構成するトランジスタ４７２ｂとを、少なくとも１０ｍｍ以内の距離に配置する。このましくは８ｍｍ以内に配置または形成する。さらには、５ｍｍ以内に配置することが好ましい。

この範囲であれば、検討によりシリコンチップ内で配置されてトランジスタの特性（Ｖｔ、モビリティ（μ））差が、電流受け渡しではほとんど影響しないからである。特に、この関係は、下位のトランジスタ群で実施することが好ましい。たとえば、トランジスタ群５２１ａが上位で、その下位にトランジスタ群５２１ｂ、さらにその下位にトランジスタ群５２１ｃがあれば、トランジスタ群５２１ｂとトランジスタ群５２１ｃの電流受け渡しをこの関係を満足させる。したがって、すべてのトランジスタ群５２１がこの関係を満足させることに、本発明が限定されるものではない。少なくとも１組のトランジスタ群５２１がこの関係を満足するようにすればよい。特に、下位の方が、トランジスタ群５２１の個数が多くなるからである。

第３の電流源（孫）を構成するトランジスタ４７３ａと第３の電流源を構成するトランジスタ４７３ｂについても同様である。なお、電圧受け渡しでも、ほぼ適用することができることは言うまでもない。

トランジスタ群５２１ｂはチップの左右方向（長手方向、つまり、出力端子６８１と対面する位置に）に形成または作製あるいは配置されている。トランジスタ群５２１ｂはチップの左右方向（長手方向、つまり、出力端子６８１と対面する位置に）に形成または作製あるいは配置されている。このトランジスタ群５２１ｂの個数Ｍは、本発明では１１個（図４７を参照）である。

子電流源４７２ｂと孫電流源４７３ａ間は電圧受け渡し（電圧接続）されている。そのため、トランジスタ群５２１ａと同様にトランジスタ群５２１ｂの部分を密配置する。このトランジスタ群５２１ｂの形成面積を、図１１８の図示するように２平方ミリメートル以内の面積に形成する。さらに好ましくは１．２平方ミリメートル以内に形成する。ただし、このトランジスタ群５２１ｂ部分のＶｔが少しでもばらつくと画像として認識されやすい。したがって、ほとんどバラツキが発生しないように、形成面積は図１１８のＡ領域（０．５平方ミリメートル以内）にすることが好ましい。

トランジスタ群５２１ｂを孫トランジスタ４７３ａとトランジスタ４７３ｂ間は電流でデータを受け渡し（電流受け渡し）をしているので、多少、距離は流れても構わない。この距離の範囲についても先の説明と同様である。第３の電流源（孫）を構成するトランジスタ４７３ａと第２の電流源（孫）を構成するトランジスタ４７３ｂとを、少なくとも８ｍｍ以内の距離に配置する。さらには、５ｍｍ以内に配置することが好ましい。

図５３に、前記電流値制御用素子として、電子ボリウムで構成した場合を示す。電子ボリウムは抵抗５３１（電流制限および各基準電圧を作成する。抵抗５３１はポリシリで形成する）、デコーダ回路５３２、レベルシフタ回路５３３などで構成される。なお、電子ボリウムは電流を出力する。トランジスタ４８１はアナログスイッチ回路として機能する。

なお、ソースドライバＩＣ（回路）１４において、トランジスタを電流源と記載する場合がある。トランジスタで構成されたカレントミラー回路などは電流源として機能するからである。

また、電子ボリウム回路は、ＥＬ表示パネルの色数に応じて形成（もしくは配置）する。たとえば、ＲＧＢの３原色であれば、各色に対応する３つの電子ボリウム回路を形成（もしくは配置）し、各色を独立に調整できるようにすることが好ましい。しかし、１つの色を基準にする（固定する）場合は、色数－１分の電子ボリウム回路を形成（もしくは配置）する。

図６８は、ＲＧＢの３原色を独立に基準電流を制御する抵抗素子４９１を形成（配置）した構成である。もちろん、抵抗素子４９１は電子ボリウムに置き換えてもよいことは言うまでもない。また、抵抗素子４９１はソースドライバＩＣ（回路）１４内に内蔵させても

よい。電流源４７１、電流源４７２などの親電流源、子電流源など基本（根本）となる電流源は図６８に図示する領域に出力電流回路６５４に密集して配置する。密集して配置することにより、各ソース信号線１８からの出力バラツキが低減する。図６８に図示するようにＩＣチップ（回路）１４の中央部に出力電流回路６５４（電流出力回路に限定されるものではない。基準電流発生回路部、コントローラ部でもよい。つまり、６５４とは出力回路が形成されていない領域である）に配置することにより、ＩＣチップ（回路）１４の左右に電流源４７１、４７２などから電流を均等に分配することが容易となる。したがって、左右の出力バラツキが発生しにくい。

ただし、中央部に出力電流回路６５４に配置することに限定するものではない。ＩＣチップの片端もしくは両端に形成してもよい。また、出力電流回路６５４と平行に形成または配置してもよい。

ＩＣチップ１４の中央部にコントローラあるいは出力電流回路６５４を形成することは、ＩＣチップ１４の単位トランジスタ４８４のＶｔ分布の影響を受けやすいため、あまり好ましいとはいえない（ウエハのＶｔはウエハ内で滑らかな分布が発生しているからである）。

図５２の回路構成では、１つのトランジスタ４７３ａと１つのトランジスタ４７３ｂとが一対一の関係で接続されている。図５１においても、１つのトランジスタ４７２ａと１つのトランジスタ４７２ｂとが一対一の完成で接続されている。図４９などにおいても同様である。

しかし、１つのトランジスタと１つのトランジスタとが一対一の関係で接続されていると、対応するトランジスタの特性（Ｖｔなど）の特性がバラツクとこのトランジスタに接続されたトランジスタの出力にバラツキが発生してしまう。

この課題を解決する構成の実施例が図５８の構成である。図５８の構成は、一例として４つのトランジスタ４７３ａからなる伝達トランジスタ群５２１ｂ（５２１ｂ１、５２１ｂ２、５２１ｂ３）と４つのトランジスタ４７３ｂからなる伝達トランジスタ群５２１ｃ（５２１ｃ１、５２１ｃ２、５２１ｃ３）とが接続されている。ただし、伝達トランジスタ群５２１ｂ、伝達トランジスタ群５２１ｃはそれぞれ４つのトランジスタ４７３で構成されるとしたがこれに限定されるものではなく、３以下でもよく、５以上でもよいことは言うまでもない。つまり、トランジスタ４７３ａに流れる基準電流Ｉｂを、トランジスタ４７３ａとカレントミラー回路を構成する複数のトランジスタ４７３で出力し、この出力電流を複数のトランジスタ４７３ｂで受けるものである。

複数のトランジスタ４７３ａと複数のトランジスタ４７３ｂと略同一サイズで、かつ同一個数に設定することが好ましい。また、１出力を構成する単位トランジスタ４８４の個数（図４８のように６４階調の場合は６３個）と、単位トランジスタ４８４とカレントミラーを構成するトランジスタ４７３ｂの個数とは略同一サイズ、かつ同一個数にすることが好ましい。具体的には単位トランジスタ４８４のサイズとトランジスタ４７３ｂのサイズとの差は、±２５％以内にすることが好ましい。以上のように構成すればカレント倍率が精度よく設定でき、また、出力電流のばらつきも少なくなる。なお、トランジスタの面積とは、トランジスタのチャンネル長Ｌとトランジスタのチャンネル幅Ｗをかけた面積をいう。

なお、トランジスタ４７３ｂに流す電流Ｉｃ１に対して、４７２ｂに流れる電流Ｉｂは５倍以上になるように設定することが好ましい。トランジスタ４７３ａのゲート電位が安定し、出力電流による過渡現象の発生を抑制できるからである。

また、伝達トランジスタ群５２１ｂ１には４つのトランジスタ４７３ａが隣接して配置され、伝達トランジスタ群５２１ｂ１に隣接して伝達トランジスタ群５２１ｂ２が配置され、この伝達トランジスタ群５２１ｂ２には４つのトランジスタ４７３ａが隣接して配置されというように形成されるとしているがこれに限定するものではない。たとえば、伝達トランジスタ群５２１ｂ１のトランジスタ４７３ａと伝達トランジスタ群５２１ｂ２のトランジスタ４７３ａとが相互に位置関係を交錯するように配置または形成してもよい。位置関係を交錯（トランジスタ４７３の配置を伝達トランジスタ群５２１間で入れ替える）さ

せることにより、各端子での出力電流（プログラム電流）のバラツキをより少なくすることができる。
このように電流受け渡しするトランジスタを複数のトランジスタで構成することにより、トランジスタ群全体として出力電流のバラツキが少なくなり、各端子での出力電流（プログラム電流）のバラツキをより少なくすることができる。
伝達トランジスタ群５２１を構成するトランジスタ４７３の形成面積の総和が重要な項目である。基本的にトランジスタ４７３の形成面積の総和が大きいほど、出力電流（ソース信号線１８から流入するプログラム電流）のバラツキは少なくなる。つまり、伝達トランジスタ群５２１の形成面積（トランジスタ４７３の形成面積の総和）が大きいほどバラツキは小さくなる。しかし、トランジスタ４７３の形成面積が大きくなればチップ面積が大きくなり、ＩＣチップ１４の価格が高くなる。
なお、伝達トランジスタ群５２１の形成面積とは、伝達トランジスタ群５２１を構成するトランジスタ４７３の面積の総和である。また、トランジスタ４７３の面積とは、トランジスタ４７３のチャンネル長Ｌとトランジスタ４７３のチャンネル幅Ｗをかけた面積をいう。したがって、トランジスタ群５２１が１０個のトランジスタ４７３で構成され、トランジスタ４７３のチャンネル長Ｌが１０μｍ、トランジスタ４７３のチャンネル幅Ｗが５μｍとすれば、伝達トランジスタ群５２１の形成面積Ｔｍ（平方μｍ）は１０μｍ×５μｍ×１０個＝５００（平方μｍ）である。
伝達トランジスタ群５２１の形成面積は単位トランジスタ４８４との関係を所定の関係を維持するようにする必要がある。また、伝達トランジスタ群５２１ａと伝達トランジスタ群５２１ｂとは所定の関係を維持するようにする必要がある。
トランジスタ群５２１の形成面積は単位トランジスタ４８４との関係について説明をする。図５０でも図示しているように、１つのトランジスタ４７３ｂに対応して複数の単位トランジスタ４８４が接続されている。６４階調の場合は、１つのトランジスタ４７３ｂに対応する単位トランジスタ４８４は６３個である（図４８の構成の場合）。この単位トランジスタ郡（この例では、単位トランジスタ４８４が６３個）の形成面積Ｔｓ（平方μｍ）は、単位トランジスタ４７３のチャンネル長Ｌが１０μｍ、トランジスタ４７３のチャンネル幅Ｗが１０μｍとすれば、１０μｍ×１０μｍ×６３個＝６３００平方μｍである。
図４８のトランジスタ４７３ｂが、図５８では、伝達トランジスタ群５２１ｃが該当する。単位トランジスタ群の形成面積Ｔｓと伝達トランジスタ群５２１ｃの形成面積Ｔｍとは、以下の関係となるようにする。

１／４　≦　Ｔｍ／Ｔｓ　≦　６

さらに好ましくは、単位トランジスタ群の形成面積Ｔｓと伝達トランジスタ群５２１ｃの形成面積Ｔｍとは、以下の関係となるようにする。

１／２　≦　Ｔｍ／Ｔｓ　≦　４

以上の関係を満足させることにより、各端子での出力電流（プログラム電流）のバラツキを少なくすることができる。
また、伝達トランジスタ群５２１ｂの形成面積Ｔｍｍは伝達トランジス群５２１ｃの形成面積Ｔｍｓとは、以下の関係となるようにする。

１／２　≦　Ｔｍｍ／Ｔｍｓ　≦　８

さらに好ましくは、単位トランジスタ群の形成面積Ｔｓと伝達トランジスタ群５２１ｃの形成面積Ｔｍとは、以下の関係となるようにする。

１　≦　Ｔｍ／Ｔｓ　≦　４

以上の関係を満足させることにより、各端子での出力電流（プログラム電流）のバラツキを少なくすることができる。
トランジスタ群５２１ｂ１からの出力電流Ｉｃ１、トランジスタ群５２１ｂ２からの出力電流Ｉｃ２、トランジスタ群５２１ｂ２からの出力電流Ｉｃ３とするとき、出力電流Ｉｃ１、出力電流Ｉｃ２、および出力電流Ｉｃ３は一致させる必要がある。本発明では、トランジスタ群５２１は複数のトランジスタ４７３で構成しているため、個々のトランジスタ

４７３がばらついていても、トランジスタ群５２１としては、出力電流Ｉｃのバラツキは発生しない。

なお、以上の実施例は、図５２のように３段のカレントミラー接続（多段のカレントミラー接続）の構成に限定されるものではない。１段のカレントミラー接続にも適用できることは言うまでもない。また、図５２の実施例は、複数のトランジスタ４７３ａからなるトランジスタ群５２１ｂ（５２１ｂ１、５２１ｂ２、５２１ｂ３・・・・・）と複数のトランジスタ４７３ｂからなるトランジスタ群５２１ｃ（５２１ｃ１、５２１ｃ２、５２１ｃ３・・・・・）とを接続した実施例であった。しかし、本発明はこれに限定するものではなく、１つのトランジスタ４７３ａと複数のトランジスタ４７３ｂからなるトランジスタ群５２１ｃ（５２１ｃ１、５２１ｃ２、５２１ｃ３・・・・・）とを接続してもよい。また、複数のトランジスタ４７３ａからなるトランジスタ群５２１ｂ（５２１ｂ１、５２１ｂ２、５２１ｂ３・・・・・）と１つのトランジスタ群４７３ｂとを接続してもよい。

図４８において、スイッチ４８１ａは０ビット目に対応し、スイッチ４８１ｂは１ビット目に対応し、スイッチ４８１ｃは２ビット目に対応し、……スイッチ４８１ｆは５ビット目に対応する。０ビット目は１つの単位トランジスタで構成され、１ビット目は２つの単位トランジスタで構成され、２ビット目は４つの単位トランジスタで構成され、……５ビット目は３２つの単位トランジスタで構成される。説明を容易にするために、ソースドライバ回路１４は６４階調表示対応で、６ビットであるとして説明をする。

本発明のソースドライバＩＣ（回路）１４の構成では、１ビット目は０ビット目に対して２倍のプログラム電流を出力する。２ビット目は１ビット目に対して２倍のプログラム電流を出力する。３ビット目は２ビット目に対して２倍のプログラム電流を出力する。４ビット目は３ビット目に対して２倍のプログラム電流を出力する。５ビット目は４ビット目に対して２倍のプログラム電流を出力する。逆に言えば、各隣接したビットは、正確に２倍のプログラム電流を出力できるように構成する必要がある。

図５８の構成は、複数のトランジスタ４７３ａの出力電流を複数のトランジスタ４７３ｂで受け取ることにより、各端子の出力電流のばらつきを低減させるものであった。図６０は基準電流をトランジスタ群の両側から給電することにより出力電流のバラツキを低減する構成である。つまり、電流Ｉｂの供給源を複数設ける。本発明では、電流Ｉｂ１と電流Ｉｂ２とは同一の電流値とし、電流Ｉｂ１を発生するトランジスタと電流Ｉｂ２を発生するトランジスタと、対をなすトランジスタでカレントミラー回路を構成している。

したがって、本発明は、単位トランジスタ４８４の出力電流を規定する基準電流を発生するトランジスタ（電流発生手段）を複数個形成または配置された構成である。さらに好ましくは、複数のトランジスタからの出力電流を、カレントミラー回路を構成するトランジスタなどの電流受け取り回路に接続し、この複数のトランジスタが発生するゲート電圧により単位トランジスタ４８４の出力電流を制御する構成である。つまり、本発明は、単位トランジスタ４８４とカレントミラー回路を構成するトランジスタ４７３ｂが複数個形成された構成である。図５８では、単位トランジスタ４８４が６３個形成されたトランジスタ群に対し、カレントミラー回路を形成する５つのトランジスタ４７３ｂが配置（形成）されている。

単位トランジスタ４８４のゲート端子電圧は、ＩＣチップがシリコンチップの場合、０．５２以上０．６８（Ｖ）以下の範囲に設定することが好ましい。この範囲であれば、単位トランジスタ４８４の出力電流のバラツキが少なくなる。以上の事項は、図１６３、図１６４、図１６５などの本発明の他の実施例においても同様である。

図６０において、基準電流Ｉｂ１と基準電流Ｉｂ２を個別に調整できるように構成しておくと、ゲート端子５８１のａ点の電圧とｂ点の電圧を自由に設定できるようになる。基準電流Ｉｂ１とＩｂ２の調整により、ＩＣチップ１４の左右で単位トランジスタのＶｔが異なるため、出力電流の傾斜が発生している場合も補正することができる。

カレントミラー回路を構成するトランジスタが発生する電流を受け渡すのは、複数のトランジスタで受け渡すのが好ましい。ＩＣチップ１４内に形成されるトランジスタには特性

バラツキが発生する。トランジスタの特性バラツキを抑制するためには、トランジスタサイズを大きくする方法がある。しかし、トランジスタサイズを大きくしてもカレントミラー回路のカレントミラー倍率が大きくずれる場合がある。この課題を解決するには、複数のトランジスタで電流あるいは電圧受け渡しをするように構成するとよい。複数のトランジスタで構成すれば、各トランジスタの特性がばらついていても全体としての特性バラツキは小さくなる。また、カレントミラー倍率の精度も向上する。トータルで考えればＩＣチップ面積も小さくなる。

図５８はトランジスタ群５２１ａとトランジスタ群５２１ｂでカレントミラー回路を構成している。トランジスタ５２１ａは複数のトランジスタ４７２ｂで構成されている。一方、トランジスタ群５２１ｂはトランジスタ４７３ａで構成されている。同様にトランジスタ群５２１ｃも複数のトランジスタ４７３ｂで構成されている。

トランジスタ群５２１ｂ１、トランジスタ群５２１ｂ２、トランジスタ群５２１ｂ３、トランジスタ群５２１ｂ４・・・・・・・・を構成するトランジスタ４７３ａは同一個数に形成している。また、各トランジスタ群５２１ｂのトランジスタ４７３ａの総面積（トランジスタ群５２１ｂ内のトランジスタ４７３ａのＷＬサイズ×トランジスタ４７３ａ数）は（略）等しくなるように形成している。トランジスタ群５２１ｃについても同様である。

トランジスタ５２１ｃのトランジスタ４７３ｂの総面積（トランジスタ群５２１ｃ内のトランジスタ４７３ｂのＷＬサイズ×トランジスタ４７３ｂ数）をＳｃとする。また、トランジスタ５２１ｂのトランジスタ４７３ａの総面積（トランジスタ群５２１ｂ内のトランジスタ４７３ａのＷＬサイズ×トランジスタ４７３ａ数）とＳｂとする。トランジスタ５２１ａのトランジスタ４７２ｂの総面積（トランジスタ群５２１ａ内のトランジスタ４７２ｂのＷＬサイズ×トランジスタ４７２ｂ数）をＳａとする。また、１出力の単位トランジスタ４８４の総面積をＳｄ（図４８の実施例では単位トランジスタ４８４のＷＬ面積×６３）とする。

総面積Ｓｃと総面積Ｓｂとは略等しくなるように形成することが好ましい。トランジスタ群５２１ｂを構成するトランジスタ４７３ａの個数と、トランジスタ群５２１ｃのトランジスタ４７３ｂの個数とを同数にすることが好ましい。ただし、ＩＣチップ１４のレイアウトの制約などから、トランジスタ群５２１ｂを構成するトランジスタ４７３ａの個数を、トランジスタ群５２１ｃのトランジスタ４７３ｂの個数よりも少なくし、トランジスタ群５２１ｂを構成するトランジスタ４７３ａのサイズをトランジスタ群５２１ｃのトランジスタ４７３ｂのサイズよりも大きくしてもよい。

この実施例を図５９に図示する。トランジスタ群５２１ａは複数のトランジスタ４７２ｂで構成されている。トランジスタ群５２１ａとトランジスタ４７３ａはカレントミラー回路を構成する。トランジスタ４７３ａは電流Ｉｃを発生させる。１つのトランジスタ４７３ａはトランジスタ群５２１ｃの複数のトランジスタ４７３ｂを駆動する（１つのトランジスタ４７３ａからの電流Ｉｃは複数のトランジスタ４７３ｂに分流される。一般にトランジスタ４７３ａの個数は、出力回路分の個数が配置または形成される。たとえば、ＱＣＩＦ＋パネルの場合は、Ｒ、Ｇ、Ｂ回路において、各１７６個のトランジスタ４７３ａが形成または配置される。

総面積Ｓｄと総面積Ｓｃの関係は、出力バラツキに相関がある。この関係を図１２４に図示している。なお、バラツキ比率などに関しては図１２１を参照のこと。バラツキ比率は、総面積Ｓｄ：総面積Ｓｃ＝２：１（Ｓｃ／Ｓｄ＝１／２）の時を１としている。図１２４でもわかるように、Ｓｃ／Ｓｄが小さいと急激にバラツキ比率が悪くなる。特にＳｃ／Ｓｄ＝１／２以下で悪くなる傾向がある。Ｓｃ／Ｓｄが１／２以上では、出力バラツキが低減する。その低減効果は緩やかである。また、Ｓｃ／Ｓｄ＝１／２程度で出力バラツキが許容範囲となる。以上のことから、１／２　≦　Ｓｃ／Ｓｄの関係となるように形成することが好ましい。しかし、Ｓｃが大きくなるとＩＣチップサイズも大きくなることになる。したがって、上限はＳｃ／Ｓｄ＝４とすることが好ましい。つまり、１／２　≦　Ｓｃ／Ｓｄ　≦　４の関係を満足するようにする。

なお、Ａ　≧　Ｂは、ＡはＢ以上という意味である。　Ａ　＞　Ｂは、ＡはＢより大きいという意味である。Ａ　≦　Ｂは、ＡはＢ以下という意味である。　Ａ　＜　Ｂは、ＡはＢより小さいという意味である。

さらには、総面積Ｓｄと総面積Ｓｃは、略等しくなるようにすることが好ましい。さらに１出力の単位トランジスタ４８４の個数と、トランジスタ群５２１ｃのトランジスタ４７３ｂの個数とを同数にすることが好ましい。つまり、６４階調表示であれば、１出力の単位トランジスタ４８４は６３個形成される。したがって、トランジスタ群５２１ｃを構成するトランジスタ４７３ｂの個数は６３個形成される。

また、好ましくは、トランジスタ群５２１ａ、トランジスタ群５２１ｂ、トランジスタ５２１ｃ、単位トランジスタ４８４は、ＷＬ面積の比率が４倍以内のトランジスタで構成することが好ましい。さらに好ましくはＷＬ面積の比率が２倍以内のトランジスタで構成することが好ましい。さらには、すべて同一サイズのトランジスタで構成することが好ましい。つまり、略同一形状のトランジスタでカレントミラー回路、出力電流回路６５４を構成することが好ましい。

総面積Ｓａは総面積Ｓｂよりも大きくなるようにする。好ましくは、２００Ｓｂ　≧　Ｓａ　≧　４Ｓｂの関係を満足するように構成する。また、すべてのトランジスタ群５２１ｂを構成するトランジスタ４７３ａの総面積とＳａが略等しくなるように構成する。

図６０などはゲート配線５８１の両端にトランジスタあるいはトランジスタ群を配置する構成であった。したがって、ゲート配線５８１の両側に配置するトランジスタは２個であり、または、トランジスタ群は２組であった。しかし、本発明はこれに限定するものではない。図６１に図示するようにゲート配線５８１の中央部などにもトランジスタあるいはトランジスタ群を配置または形成してもよい。図６１では３つのトランジスタ群５２１ａを形成している。本発明は、ゲート配線５８１に形成するトランジスタあるいはトランジスタ群５２１は複数形成することに特徴がある。複数形成することにより、ゲート配線５８１を低インピーダンス化でき、安定度が向上する。

さらに安定度を向上させるためには、図６２に図示するように、ゲート配線５８１にコンデンサ６６１を形成または配置することが好ましい。コンデンサ６６１はＩＣチップ１４あるいはソースドライバ回路１４内に形成してもよいし、ソースドライバＩＣ１４の外付けコンデンサとしてチップ外部に配置あるいは積載してもよい。コンデンサ６６１を外付けにする場合は、ＩＣチップの端子にコンデンサ接続端子を配置する。

以上の実施例は、基準電流を流し、この基準電流をカレントミラー回路でコピーし、最終段の単位トランジスタ４８４に伝達する構成である。画像表示が黒表示（完全な黒ラスター）の時は、いずれの単位トランジスタ４８４にも電流が流れない。いずれのスイッチ４８１もオープンだからである。したがって、ソース信号線１８に流れる電流は０（Ａ）であるから、電力は消費しない。

しかし、黒ラスター表示であっても、基準電流は流れる。たとえば、図６３の電流Ｉｂおよび電流Ｉｃである。この電流は無効電流となる。基準電流は電流プログラム時に流れるように構成すると効率がよい。したがって、画像の垂直ブランキング期間水平ブランキング期間には基準電流が流れることを制限する。また、ウエイト期間なども基準電流が流れることを制限する。

基準電流が流れないようにするには、図６３に図示するようにスリープスイッチ６３１をオープンにすればよい。スリープスイッチ６３１はアナログスイッチである。アナログスイッチは、ソースドライバ回路あるいはソースドライバＩＣ１４内に形成する。もちろん、ソースドライバＩＣ１４の外部にスリープスイッチ６３１を配置し、このスリープスイッチ６３１を制御してもよい。

スリープスイッチ６３１をオフにすることにより、基準電流Ｉｂが流れないようになる。そのため、トランジスタ群５２１ａ１内のトランジスタ４７３ａに電流が流れないから、基準電流Ｉｃも０（Ａ）となる。したがって、トランジスタ群５２１ｃのトランジスタ４７３ｂにも電流が流れない。したがって、電力効率が向上する。

図６４は、タイミングチャートである。水平同期信号ＨＤに同期してブランキング信号が

発生する。ブランキング信号はＨレベルの時、ブランキング期間であり、Ｌレベルの時、映像信号が印加されている期間である。スリープスイッチ６３１はＬレベルの時、オフ（オープン）であり、Ｈレベルの時、オンである。
したがって、ブランキング期間Ａの時、スリープスイッチ６３１はオフであるから、基準電流は流れない。Ｄの期間、スリープスイッチ６３１はオンであり、基準電流が発生する。
なお、画像データに応じてスリープスイッチ６３１のオンオフ制御を行っても良い。たとえば、１画素行の画像データがすべて黒画像データの時（１Ｈの期間はすべてのソース信号線１８に出力されるプログラム電流は０である）、スリープスイッチ６３１をオフにして、基準電流（Ｉｃ、Ｉｂなど）が流れないようにする。また、各ソース信号線に対応するようにスリープスイッチを形成または配置し、オンオフ制御してもよい。たとえば、奇数番目のソース信号線１８が黒表示（縦黒ストライプ表示）の時は、奇数番目に対応するスリープスイッチをオフにする。
図５２、図７７は多段接続のカレントミラー構成を有するソースドライバ回路（ＩＣ）１４の構成図である。本発明は、図５２などの多段接続の構成に限定されるものではない。１段接続のソースドライバ回路でもよい。図１６６から図１７２は１段接続のソースドライバ回路（ＩＣ）の構成図である。
特に１段接続のソースドライバ回路では、表示パネルに画像を表示するとソース信号線１８に印加された電流によりソース信号線電位が変動する。この電位変動によいソースドライバＩＣ１４のゲート配線５８１がゆれる課題がある。この揺れは、ソースドライバＩＣ１４の電源電圧が影響する。最大電圧まで振幅するからである。図１６３はソースドライバＩＣ１４の電源電圧が１．８（Ｖ）の時を基準にしたゲート配線の電位変動比率である。変動比率はソースドライバＩＣ１４の電源電圧が高くなるにつれて変動比率も大きくなる。変動比率の許容範囲は３程度である。これ以上変動比率が大きいと、横クロストークが発生する。また、変動比率はＩＣ電源電圧が１０～１２（Ｖ）以上で電源電圧に対する変化割合が大きくなる傾向がある。したがって、ソースドライバＩＣ１４の電源電圧は１２（Ｖ）以下にする必要がある。
一方、駆動用トランジスタ１１ａが白表示から黒表示の電流を流すために、ソース信号線１８の電位は一定の振幅変化させる必要がある。この振幅必要範囲は、２．５（Ｖ）以上必要である。振幅必要範囲は電源電圧以下である。ソース信号線１８の出力電圧がＩＣの電源電圧を越えることはできないからである。
以上のことから、ソースドライバＩＣ１４の電源電圧は、２．５（Ｖ）以上１２（Ｖ）以下にする必要がある。この範囲とすることにおりゲート配線５８１の変動が規定範囲に抑制され、横クロストークが発生せず、良好な画像表示を実現できる。
ゲート配線５８１の配線抵抗も課題となる。ゲート配線５８１の配線抵抗Ｒ（Ω）とは、図１６７では、トランジスタ４７３ｂ１からトランジスタ４７３ｂ２までの配線全長の抵抗である。または、ゲート配線全長の抵抗である。ゲート配線５８１の過渡現象の大きさは、１水平走査期間（１Ｈ）にも依存する。１Ｈ期間が短ければ、過渡現象の影響も大きいからである。配線抵抗Ｒ（Ω）が高いほど過渡現象は発生しやすい。この現象は特に、図１６６から図１７２の１段カレントミラー接続の構成で課題となる。ゲート配線５８１が長く、１つのゲート配線５８１に接続された単位トランジスタ４８４の数が多いためである。
図１６４は、ゲート配線５８１の配線抵抗Ｒ（Ω）と１Ｈ期間Ｔ（ｓｅｃ）と掛算（Ｒ・Ｔ）を横軸にとり、縦軸に変動比率をとったグラフである。変動比率の１はＲ・Ｔ＝１００を基準にしている。図２１２でわかるように、Ｒ・Ｔが５以下で変動比率が大きくなる傾向がある。また、Ｒ・Ｔが１０００以上で変動比率が大きくなる傾向がある。したがって、Ｒ・Ｔは５以上１００以下にすることが好ましい。
図１６７において、トランジスタ４７２ｂと２つのトランジスタ４７３ａとはカレントミラー回路を構成している。トランジスタ４７３ａ１とトランジスタ４７３ａ２は同一サイズである。したがって、トランジスタ４７３ａ１が流す電流Ｉｃとトランジスタ４７３ａ

２が流す電流Ｉｃは同一である。
図１６７の単位トランジスタ４８４からなるトランジスタ群５２１ｃとトランジスタ４７３ｂ１およびトランジスタ４７３ｂ２とはカレントミラー回路を構成する。トランジスタ群５２１ｃの出力電流にはバラツキが発生する。しかし、近接してカレントミラー回路を構成するトランジスタ群５２１の出力は精度よく電流が規定される。トランジスタ４７３ｂ１とトランジスタ群５２１ｃ１とは近接してカレントミラー回路を構成する。また、トランジスタ４７３ｂ２とトランジスタ群５２１ｃｎとは近接してカレントミラー回路を構成する。したがって、トランジスタ４７３ｂ１に流れる電流とトランジスタ４７３ｂ２に流れる電流が等しければ、トランジスタ群５２１ｃ１の出力電流とトランジスタ群５２１ｃｎの出力電流とは等しくなる。各ＩＣチップで電流Ｉｃを精度良く発生させれば、どのＩＣチップでも出力段の両端のトランジスタ群５２１ｃの出力電流は等しくなる。そのため、ＩＣチップをカスケード接続してもＩＣとＩＣとの継ぎ目の発生を目立たなくすることができる。
トランジスタ４７３ｂは図６２と同様に、複数のトランジスタで形成し、トランジスタ群５２１ｂ１、トランジスタ５２１ｂ２としてもよい。また、トランジスタ４７３ａも図６２と同様にトランジスタ群５２１ａとしてもよい。
また、トランジスタ４７２ｂの電流は抵抗Ｒ１で規定するとしたがこれに限定するものではなく、図１７０に図示するように、電子ボリウム４５１ａ、４５１ｂとしてもよい。図１７０の構成では電子ボリウム４５１ａと電子ボリウム４５１ｂを独立に動作させることができる。したがって、トランジスタ４７２ａ１とトランジスタ４７２ａ２とが流す電流の値を変更することができる。したがって、チップの左右の出力段５２１ｃの出力電流傾きを調整可能である。なお、電子ボリウム４５１は図１７１に図示するように１つにし、２つのオペアンプ７２２を制御するように構成してもよい。また、図６３でスリープスイッチ６３１について説明した。同様に、図１７２のようにスリープスイッチを配置あるいは形成しても良いことは言うまでもない。
図１６６から図１７２のカレントミラーの１段構成では単位トランジスタ４８４の個数が非常に多いため、ソースドライバ回路（ＩＣ）１４のドライバ回路出力段について説明を加えておく。なお、説明を容易にするため、図１６８、図１６９を例示して説明をする。しかし、説明はトランジスタ４７３ｂの個数とその総面積、単位トランジスタ４８４の個数と総面積に関わる事項であるので他の実施例にも適用できることは言うまでもない。
図１６８、図１６９において、トランジスタ群５２１ｂのトランジスタ４７３ｂの総面積（トランジスタ群５２１ｂ内のトランジスタ４７３ｂのＷＬサイズ×トランジスタ４７３ｂ数）をＳｂとする。なお、図１６８、図１６９のようにゲート配線５８１の左右にトランジスタ群５２１ｂがある場合は面積を２倍にする。図１６７のように２つの場合はトランジスタ４７３ｂの面積×２である。なお、トランジスタ群５２１ｂが１個のトランジスタ４７３ｂで構成される場合は、１個のトランジスタ４７３ｂのサイズであることは言うまでもない。
また、トランジスタ群５２１ｃの単位トランジスタ４８４の総面積（トランジスタ群５２１ｃ内のトランジスタ４８４のＷＬサイズ×トランジスタ４８４数）をＳｃとする。トランジスタ群５２１ｃの個数をｎとする。ｎはＱＣＩＦ＋パネルの場合は１７６である（ＲＧＢごとに基準電流回路が形成されている場合）。
図１６５の横軸は、Ｓｃ×ｎ／Ｓｂである。縦軸は変動比率であり、変動比率は最も悪い状況を１としている。図１６５に図示するようにＳｃ×ｎ／Ｓｂが大きくなるにしたがって、変動比率は悪くなる。Ｓｃ×ｎ／Ｓｂが大きくなることは、出力端子数ｎを一定とすると、トランジスタ群５２１ｃの単位トランジスタ４８４総面積が、トランジスタ群５２１ｂのトランジスタ４７３ｂ総面積に対して広いことを示す。この場合は変動比率が悪くなる。
Ｓｃ×ｎ／Ｓｂが小さくなることは、出力端子数ｎを一定とすると、トランジスタ群５２１ｃの単位トランジスタ４８４総面積が、トランジスタ群５２１ｂのトランジスタ４７３ｂ総面積に対して狭いことを示す。この場合は変動比率が小さくなる。

変動許容範囲は、Ｓｃ×ｎ／Ｓｂが５０以下である。Ｓｃ×ｎ／Ｓｂが５０以下であれば、変動比率は許容範囲内であり、ゲート配線５８１の電位変動は極めて小さくなる。したがって、横クロストークの発生もなく、出力バラツキも許容範囲内となり良好な画像表示を実現できる。Ｓｃ×ｎ／Ｓｂが５０以下であれば許容範囲であるが、Ｓｃ×ｎ／Ｓｂを５以下としてもほとんど効果がない。逆に、Ｓｂが大きくなりＩＣ１４のチップ面積が増加する。したがって、Ｓｃ×ｎ／Ｓｂは５以上５０以下にすることが好ましい。

画素１６を構成するトランジスタ１１をＰチャンネルで構成すると、プログラム電流は画素１６からソース信号線１８に流れ出す方向になる。そのため、ソースドライバ回路の単位トランジスタ４８４（図４８、図５７などを参照のこと）は、Ｎチャンネルのトランジスタで構成する必要がある。つまり、ソースドライバ回路１４はプログラム電流Ｉｗを引き込むように回路構成する必要がある。

したがって、画素１６の駆動用トランジスタ１１ａ（図１の場合）がＰチャンネルトランジスタの場合は、必ず、ソースドライバ回路１４はプログラム電流Ｉｗを引き込むように、単位トランジスタ４８４をＮチャンネルトランジスタで構成する。ソースドライバ回路１４をアレイ基板７１に形成するには、Ｎチャンネル用マスク（プロセス）とＰチャンネル用マスク（プロセス）の両方を用いる必要がある。概念的に述べれば、画素１６とゲートドライバ回路１２をＰチャンネルトランジスタで構成し、ソースドライバの引き込み電流源のトランジスタはＮチャンネルで構成するのが本発明の表示パネル（表示装置）である。

したがって、画素１６のトランジスタ１１をＰチャンネルトランジスタで形成し、ゲートドライバ回路１２をＰチャンネルトランジスタで形成する。このように画素１６のトランジスタ１１とゲートドライバ回路１２の両方をＰチャンネルトランジスタで形成することによりアレイ基板７１を低コスト化できる。しかし、ソースドライバ回路１４は、単位トランジスタ４８４をＮチャンネルトランジスタで形成することが必要になる。したがって、ソースドライバ回路１４はアレイ基板７１に直接形成することができない。そこで別途、シリコンチップなどでソースドライバ回路１４を作製し、アレイ基板７１に積載する。つまり、本発明は、ソースドライバＩＣ１４（映像信号としてのプログラム電流を出力する手段）を外付けする構成である。

なお、ソースドライバ回路１４はシリコンチップで構成するとしたがこれに限定するものではない。たとえば、低温ポリシリコン技術などでガラス基板に多数個を同時に形成し、チップ状に切断して、アレイ基板７１に積載してもよい。なお、アレイ基板７１にソースドライバ回路を積載するとして説明しているが、積載に限定するものではない。ソースドライバ回路１４の出力端子５２１をアレイ基板７１のソース信号線１８に接続するのであればいずれの形態でもよい。たとえば、ＴＡＢ技術でソースドライバ回路１４をソース信号線１８に接続する方式が例示される。シリコンチップなどに別途ソースドライバ回路１４を形成することにより、出力電流のバラツキが低減し、良好な画像表示を実現できる。また、低コスト化が可能である。

また、画素１６の選択トランジスタをＰチャンネルで構成し、ゲートドライバ回路をＰチャンネルトランジスタで構成するという構成は、有機ＥＬなどの自己発光デバイス（表示パネルあるいは表示装置）に限定されるものではない。たとえば、液晶表示デバイス、ＦＥＤ（フィールドエミッションディスプレイ）にも適用することができる。

画素１６のスイッチング用トランジスタ１１ｂ、１１ｃがＰチャンネルトランジスタで形成されていると、Ｖｇｈで画素１６が選択状態となる。Ｖｇｌで画素１６が非選択状態となる。以前にも説明したが、ゲート信号線１７ａがオン（Ｖｇｌ）からオフ（Ｖｇｈ）になる時に電圧が突き抜ける（突き抜け電圧）。画素１６の駆動用トランジスタ１１ａがＰチャンネルトランジスタで形成されていると、黒表示状態の時、この突き抜け電圧によりトランジスタ１１ａがより電流が流れないようになる。したがって、良好な黒表示を実現できる。黒表示を実現することが困難であるという点が、電流駆動方式の課題である。

本発明では、ゲートドライバ回路１２をＰチャンネルトランジスタで構成することにより、オン電圧はＶｇｈとなる。したがって、Ｐチャンネルトランジスタで形成された画素１

６とマッチングがよい。また、黒表示を良好にする効果を発揮させるためには、図１、図２、図３２、図１１３、図１１６の画素１６の構成のように、アノード電圧Ｖｄｄから駆動用トランジスタ１１ａ、ソース信号線１８を介してソースドライバ回路１４の単位トランジスタ４８４にプログラム電流Ｉｗが流入するように構成することが重要である。したがって、ゲートドライバ回路１２および画素１６をＰチャンネルトランジスタで構成し、ソースドライバ回路１４を基板に積載し、かつソースドライバ回路１４の単位トランジスタ４８４をＮチャンネルトランジスタで構成することは、すぐれた相乗効果を発揮する。また、Ｎチャンネルで形成した単位トランジスタ４８４はＰチャンネルで形成した単位トランジスタ４８４に比較して出力電流のバラツキが小さい。同一面積（Ｗ・Ｌ）のトランジスタ４８４で比較した場合、Ｎチャンネルの単位トランジスタ４８４はＰチャンネルの単位トランジスタ４８４に比較して、出力電流のばらつきは、１／１．５から１／２になる。この理由からもソースドライバＩＣ１４の単位トランジスタ４８４はＮチャンネルで形成することが好ましい。

なお、図４２の（ｂ）においても同様である。図４２の（ｂ）は駆動用トランジスタ１１ｂを介してソースドライバ回路１４の単位トランジスタ４８４に電流が流入するのではない。しかし、アノード電圧Ｖｄｄからプログラム用トランジスタ１１ａ、ソース信号線１８を介してソースドライバ回路１４の単位トランジスタ４８４にプログラム電流Ｉｗが流入するように構成である。したがって、図１と同様に、ゲートドライバ回路１２および画素１６をＰチャンネルトランジスタで構成し、ソースドライバ回路１４を基板に積載し、かつソースドライバ回路１４の単位トランジスタ４８４をＮチャンネルトランジスタで構成することは、すぐれた相乗効果を発揮する。

なお、本発明では、画素１６の駆動トランジスタ１１ａをＰチャンネルで構成し、スイッチングトランジスタ１１ｂ、１１ｃをＰチャンネルで構成する。また、ソースドライバＩＣ１４の出力段の単位トランジスタ４８４をＮチャンネルで構成するとした。また、好ましくは、ゲートドライバ回路１２はＰチャンネルトランジスタで構成するとした。

前述の逆の構成でも効果を発揮することは言うまでもない。画素１６の駆動トランジスタ１１ａをＮチャンネルで構成し、スイッチングトランジスタ１１ｂ、１１ｃをＮチャンネルで構成する。また、ソースドライバＩＣ１４の出力段の単位トランジスタ４８４をＰチャンネルとする構成である。なお、好ましくは、ゲートドライバ回路１２はＮチャンネルトランジスタで構成する。この構成も本発明の構成である。

以下、基準電流回路について説明する。図６８に図示するように基準電流回路６９１は、Ｒ、Ｇ、Ｂごとに形成（配置）する。また、基準電流回路６９１Ｒ、６９１Ｇ、６９１Ｂは近接して配置する。

Ｒの基準電流回路６５４Ｒには基準電流を調整するボリウム（電子ボリウム）４９１Ｒが配置され、Ｇの基準電流回路６５４Ｇには基準電流を調整するボリウム（電子ボリウム）４９１Ｇが配置され、Ｂの基準電流回路６５４Ｂには基準電流を調整するボリウム（電子ボリウム）４９１Ｂが配置される。

なお、ボリウム４９１などは、ＥＬ素子１５の温特を補償できるように、温度で変化するように構成することが好ましい。また、図６９に図示するように、基準電流回路６９１は電流制御回路６９２で制御される。基準電流の制御（調整）により、単位トランジスタ４８４より出力する単位電流を変化させることができる。

ＩＣチップの出力端子には、出力パッド６８１が形成または配置されている。この出力パッドと、表示パネルのソース信号線１８とが接続される。出力パッド６８１は、メッキ技術あるいはネイルヘッドボンダ技術によりバンプ（突起）が形成されている。突起の高さは１０μｍ以上４０μｍ以下の高さにする。

前記バンプと各ソース信号線１８とは導電性接合層（図示せず）を介して電気的に接続されている。導電性接合層は接着剤としてエポキシ系、フェノール系等を主剤とし、銀（Ａｇ）、金（Ａｕ）、ニッケル（Ｎｉ）、カーボン（Ｃ）、酸化錫（ＳｎＯ２）などのフレークを混ぜた物、あるいは紫外線硬化樹脂などである。導電性接合層は、転写等の技術でバンプ上に形成する。なお、バンプあるいは出力パッド６８１とソース信号線１８との接

続は、以上の方式に限定するものではない。また、アレイ基板上にＩＣ１４を積載せず、フィルムキャリヤ技術を用いてもよい。また、ポリイミドフィルム等を用いてソース信号線１８などと接続しても良い。

本発明では、前記基準電流回路６９１が、Ｒ用、Ｇ用、Ｂ用の３系統に分離されているので、発光特性や温度特性をＲ、Ｇ、Ｂでそれぞれ調整することができ、最適なホワイトバランスを得ることが可能である（図７０を参照のこと）。

次にプリチャージ回路について説明をする。先にも説明しているが、電流駆動方式では、黒表示時で、画素に書き込む電流が小さい。そのため、ソース信号線１８などに寄生容量があると、１水平走査期間（１Ｈ）に画素１６に十分な電流を書き込むことができないという問題点があった。一般に、電流駆動型発光素子では、黒レベルの電流値は数ｎＡ程度と微弱であるため、その信号値で数１０ｐＦ程度あると思われる寄生容量（配線負荷容量）を駆動することは困難である。この課題を解決するためには、ソース信号線１８に画像データを書き込む前に、プリチャージ電圧を印加し、ソース信号線１８の電位レベルを画素のトランジスタ１１ａの黒表示電流（基本的にはトランジスタ１１ａはオフ状態）にすることが有効である。このプリチャージ電圧の形成（作成）には、画像データの上位ビットをデコードすることにより、黒レベルの定電圧出力を行うことが有効である。

図６５に、本発明のプリチャージ機能を有した電流出力方式のソースドライバ回路（ＩＣ）１４の一例を示す。図６５では、６ビットの定電流出力回路の出力段にプリチャージ機能を搭載した場合を示している。図６５において、プリチャージ制御信号は、画像データＤ０～Ｄ５の上位３ビットＤ３、Ｄ４、Ｄ５がすべて０である場合をＮＯＲ回路６５２でデコードし、水平同期信号ＨＤによるリセット機能を有するドットクロックＣＬＫのカウンタ回路６５１の出力とのＡＮＤ回路６５３をとり、一定期間黒レベル電圧Ｖｐを出力するように構成されている。他の場合は、電流出力段６５４（具体的には図４８、図５６、図５７などの構成である）からの出力電流がソース信号線１８に印加される（ソース信号線１８からプログラム電流Ｉｗを吸収する）。この構成により、画像データが黒レベルに近い０階調目～７階調目の場合、１水平期間のはじめの一定期間だけ黒レベルに相当する電圧が書き込まれて、電流駆動の負担が減り、書き込み不足を補うことが可能となる。なお、完全黒表示を０階調目とし、完全白表示を６３階調目とする（６４階調表示の場合）。

図６５では、プリチャージ電圧を印加すると、内部配線４８３のＢ点にプリチャージ電圧が印加される。したがって、プリチャージ電圧は電流出力段６５４にも印加されることになる。しかし、電流出力段６５４は定電流回路であるから、高インピーダンスである。そのため、定電流回路６５４にプリチャージ電圧が印加されても回路の動作上問題は発生しない。なお、電流出力段６５４にプリチャージ電圧が印加されないようにするには、図６５のＡ点で切断し、スイッチ６５５を配置すればよい（図６６を参照のこと）。前記スイッチはプリチャージスイッチ４８１ａと連動させ、プリチャージスイッチ４８１ａがオンしている時にはオフになるように制御する。

プリチャージは全階調範囲で実施してもよいが、好ましくは、プリチャージを行う階調は、黒表示領域に限定すべきである。つまり、書き込み画像データを判定し、黒領域階調（低輝度、つまり、電流駆動方式では、書き込み電流が小さい（微小））を選択しプリチャージする（選択プリチャージと呼ぶ）。全階調データに対し、プリチャージすると、今度は、白表示領域で、輝度の低下（目標輝度に到達しない）が発生する。また、画像に縦筋が表示されるという課題が発生する場合がある。

好ましくは、階調データの階調０から全階調の１／８の領域の階調領域で、選択プリチャージを行う（たとえば、６４階調の時は、０階調目から７階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）。さらに、好ましくは、階調データの階調０から１／１６の領域の階調で、選択プリチャージを行う（たとえば、６４階調の時は、０階調目から３階調目までの画像データと時、プリチャージを行ってから、画像データを書き込む）。

特に黒表示で、コントラストを高くするためには、階調０のみを検出してプリチャージす

る方式も有効である。極めて黒表示が良好になる。階調０のみをプリチャージする方法は、画像表示に与える弊害の発生が少ない。したがって、最もプリチャージ技術として採用することが好ましい。

なお、プリチャージの電圧、階調範囲は、Ｒ、Ｇ、Ｂで異ならせることも有効である。ＥＬ表示素子１５は、Ｒ、Ｇ、Ｂで発光開始電圧、発光輝度が異なっているからである。たとえば、Ｒは、階調データの階調０から１／８の領域の階調で、選択プリチャージを行う（たとえば、６４階調の時は、０１階調目から７階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）。他の色（Ｇ、Ｂ）は、階調データの階調０から１／１６の領域の階調で、選択プリチャージを行う（たとえば、６４階調の時は、０階調目から３階調目までの画像データと時、プリチャージを行ってから、画像データを書き込む）などの制御を行う。また、プリチャージ電圧も、Ｒは７（Ｖ）であれば、他の色（Ｇ、Ｂ）は、７．５（Ｖ）の電圧をソース信号線１８に書き込むようにする。最適なプリチャージ電圧は、ＥＬ表示パネルの製造ロットで異なることが多い。したがって、プリチャージ電圧は、外部ボリウムなどで調整できるように構成しておくことが好ましい。この調整回路も電子ボリウム回路を用いることにより容易に実現できる。

なお、プリチャージ電圧は、図１のアノード電圧Ｖｄｄ－０．５（Ｖ）以下、アノード電圧Ｖｄｄ－２．５（Ｖ）以内にすることが好ましい。

階調０のみをプリチャージする方法にあっても、Ｒ、Ｇ、Ｂの一色あるいは２色を選択してプリチャージする方法も有効である。画像表示に与える弊害の発生が少ない。また、画面輝度が所定輝度以下あるいは所定輝度以上の時に、プリチャージすることも有効である。特に画面５０の輝度が低輝度の時は、黒表示が困難である。低輝度の時に、０階調プリチャージなどのプリチャージ駆動を実施することにより画像のコントラスト感が良好になる。

また、全くプリチャージしない第０モード、階調０のみをプリチャージする第１モード、階調０から階調３の範囲でプリチャージする第２モード、階調０から階調７の範囲でプリチャージする第３モード、全階調の範囲でプリチャージする第４モードなどを設定し、これらをコマンドで切り替えるように構成することが好ましい。これらは、ソースドライバ回路（ＩＣ）１４内においてロジック回路を構成（設計）することにより容易に実現できる。

図６６は選択プリチャージ回路部の具体化構成図である。ＰＶはプリチャージ電圧の入力端子である。外部入力あるいは、電子ボリウム回路により、Ｒ、Ｇ、Ｂで個別のプリチャージ電圧が設定される。なお、Ｒ、Ｇ、Ｂで個別のプリチャージ電圧を設定するとしたがこれに限定するものではない。Ｒ、Ｇ、Ｂで共通であってもよい。プリチャージ電圧は、画素１６の駆動用トランジスタ１１ａのＶｔに相関するものであり、この画素１６はＲ、Ｇ、Ｂ画素で同一だからである。画素１６の駆動用トランジスタ１１ａのＷ／Ｌ比などをＲ、Ｇ、Ｂで異ならせている（異なった設計となっている）場合は、プリチャージ電圧を異なった設計に対応して調整することが好ましい。たとえば、駆動用トランジスタ１１ａのチャンネル長Ｌが大きくなれば、トランジスタ１１ａのダイオード特性は悪くなり、ソース－ドレイン（ＳＤ）電圧は大きくなる。したがって、プリチャージ電圧は、ソース電位（Ｖｄｄ）に対して低く設定する必要がある。

プリチャージ電圧ＰＶはアナログスイッチ５６１に入力されている。このアナログスイッチのＷ（チャンネル幅）はオン抵抗を低減するために、１０μｍ以上にする必要がある。しかし、あまりＷが大きいと、寄生容量も大きくなるので１００μｍ以下にする。さらに好ましくは、チャンネル幅Ｗは１５μｍ以上６０μｍ以下にすることが好ましい。

なお、この選択プリチャージは、階調０のみをプリチャージするとか、階調０から階調７の範囲でプリチャージするとか固定してもよいが、低階調流域（図７９の階調０から階調Ｒ１もしくは階調（Ｒ１－１））を選択プリチャージするというように、低階調領域と連動させてもよい。つまり、選択プリチャージは、低階調領域が階調０から階調Ｒ１の時はこの範囲で実施し、低階調領域が階調０から階調Ｒ２の時はこの範囲で実施するように連動させて実施する。なお、この制御方式の方が他の方式に比較して、ハード規模が小さく

なる。
以上の信号の印加状態により、スイッチ４８１ａがオンオフ制御されスイッチ４８１ａオンの時、プリチャージ電圧ＰＶがソース信号線１８に印加される。なお、プリチャージ電圧ＰＶを印加する時間は、別途形成したカウンタ（図示せず）により設定される。このカウンタはコマンドにより設定できるように構成されている。また、プリチャージ電圧の印加時間は１水平走査期間（１Ｈ）の１／１００以上１／５以下の時間に設定することが好ましい。たとえば、１Ｈが１００μｓｅｃとすれば、１μｓｅｃ以上２０μｓｅｃ（１Ｈの１／１００以上１Ｈの１／５以下）とする。さらに好ましくは、２μｓｅｃ以上１０μｓｅｃ（１Ｈの２／１００以上１Ｈの１／１０以下）とする。
図６７は図６５あるいは図６６の変形例である。図６７は入力画像データに応じてプリチャージするかしないかを判定し、プリチャージ制御を行うプリチャージ回路である。たとえば、画像データが階調０のみの時にプリチャージを行う設定、画像データが階調０、１のみの時にプリチャージを行う設定、階調０は必ずプリチャージし、階調１が所定以上連続して発生する場合にプリチャージする設定を行うことができる。
図６７は、本発明のプリチャージ機能を有した電流出力方式のソースドライバ回路（ＩＣ）１４の一例を示す。図６７では、６ビットの定電流出力回路の出力段にプリチャージ機能を搭載した場合を示している。図６７において、一致回路６７１は、画像データＤ０～Ｄ５に応じてデコードし、水平同期信号ＨＤによるリセット機能を有するＲＥＮ端子入力、ドットクロックＣＬＫ端子入力でプリチャージするかしないかを判定する。また、一致回路６７１はメモリを有しており、数Ｈあるいは数フィールド（フレーム）の画像データによるプリチャージ出力結果を保持している。保持結果にもとづき、プリチャージするか否かを判定し、プリチャージ制御する機能を有する。たとえば、階調０は必ずプリチャージし、階調１が６Ｈ（６水平走査期間）以上連続して発生する場合にプリチャージする設定を行うことができる。また、階調０、１は必ずプリチャージし、階調２が３Ｆ（３フレーム期間）以上連続して発生する場合にプリチャージする設定を行うことができる。
一致回路６７１の出力と、カウンタ回路６５１の出力とが、ＡＮＤ回路６５３でＡＮＤされ、一定期間黒レベル電圧Ｖｐを出力するように構成されている。他の場合は、図５２などで説明した電流出力段６５４からの出力電流がソース信号線１８に印加される（ソース信号線１８からプログラム電流Ｉｗを吸収する）。他の構成は、図６５、図６６などと同等あるいは類似であるので説明を省略する。なお、図６７ではプリチャージ電圧はＡ点に印加しているが、Ｂ点に印加してもよいことはいうまでもない（図６６も参照のこと）。
ソース信号線１８に印加する画像データにより、プリチャージ電圧ＰＶ印加時間を可変することによっても良好な結果が得られる。たとえば、完全黒表示の階調０では印加時間を長くし、階調４ではそれよりも短くするなどである。また、１Ｈ前の画像データと次に印加する画像データの差を考慮して、印加時間を設定することも良好な結果を得ることができる。たとえば、１Ｈ前にソース信号線に画素を白表示にする電流と書き込み、次の１Ｈに、画素に黒表示にする電流を書き込む時は、プリチャージ時間を長くする。黒表示の電流は微小であるからである。逆に、１Ｈ前にソース信号線に画素を黒表示にする電流と書き込み、次の１Ｈに、白素に黒表示にする電流を書き込む時は、プリチャージ時間を短くするか、もしくはプリチャージを停止する（行わない）。白表示の書き込み電流は大きいからである。
印加する画像データに応じてプリチャージ電圧を変化かえることも有効である。黒表示の書き込み電流は微小であり、白表示の書き込み電流は大きいからである。したがって、低階調領域になるにしたがって、プリチャージ電圧を高く（Ｖｄｄに対して。なお、画素トランジスタ１１ａがＰチャンネルの時）し、高階調領域になるにしたがって、プリチャージ電圧を低く（画素トランジスタ１１ａがＰチャンネルの時）するという制御方法も有効である。
以下、理解を容易にするため、図６６を中心に説明する。なお、以下に説明する事項は図６５、図６７のプリチャージ回路にも適用できることは言うまでもない。
プログラム電流オープン端子（ＰＯ端子）が＂０＂の時は、スイッチ６５５がオフ状態と

なり、ＩＬ端子およびＩＨ端子とソース信号線１８とは切り離される（Ｉｏｕｔ端子が、ソース信号線１８と接続されている）。したがって、プログラム電流Ｉｗはソース信号線１８には流れない。ＰＯ端子はプログラム電流Ｉｗをソース信号線に印加している時は、"１"とし、スイッチ６５５をオンして、プログラム電流Ｉｗをソース信号線１８に流す。

ＰＯ端子に"０"を印加し、スイッチ６５５をオープンにする時は、表示領域のいずれの画素行も選択されていない時である。単位トランジスタ４８４は入力データ（Ｄ０～Ｄ５）に基づいて電流をたえず、ソース信号線１８から引き込んでいる。この電流が選択された画素１６のＶｄｄ端子からトランジスタ１１ａを介してソース信号線１８に流れ込む電流である。したがって、いずれの画素行も選択されていない時は、画素１６からソース信号線１８に電流が流れる経路がない。いずれの画素行も選択されていない時とは、任意の画素行が選択され、次の画素行が選択されるまでの間に発生する。なお、このようないずれの画素（画素行）も選択されず、ソース信号線１８に流れ込む（流れ出す）経路がない状態を、全非選択期間と呼ぶ。

この状態で、出力端子６８１がソース信号線１８に接続されていると、オンしている単位トランジスタ４８４（実際にはオンしているのはＤ０～Ｄ５端子のデータにより制御されるスイッチ４８１であるが）に電流が流れる。そのため、ソース信号線１８の寄生容量に充電された電荷が放電し、ソース信号線１８の電位が、急激に低下する。以上のように、ソース信号線１８の電位が低下すると、本来ソース信号線１８に書き込む電流により、元の電位まで回復するのに時間を要するようになってしまう。

この課題を解決するため、本発明は、全非選択期間に、ＰＯ端子に"０"を印加し、図６６のスイッチ６５５をオフとして、出力端子６８１とソース信号線１８とを切り離す。切り離すことにより、ソース信号線１８から単位トランジスタ４８４に電流が流れ込むことはなくなるから、全非選択期間にソース信号線１８の電位変化は発生しない。以上のように、全非選択期間にＰＯ端子を制御し、ソース信号線１８から電流源を切り離すことにより、良好な電流書き込みを実施することができる。

また、画面に白表示領域（一定の輝度を有する領域）の面積（白面積）と、黒表示領域（所定以下の輝度の領域）の面積（黒面積）が混在し、白面積と黒面積の割合が一定の範囲の時、プリチャージを停止するという機能を付加することは有効である（適正プリチャージ）。この一定の範囲で、画像に縦筋が発生するからである。もちろん、逆に一定の範囲で、プリチャージするという場合もある。また、画像が動いた時、画像がノイズ的になるからである。適正プリチャージは、演算回路で白面積と黒面積に該当する画素のデータをカウント（演算）することにより、容易に実現することができる。

プリチャージ制御は、Ｒ、Ｇ、Ｂで異ならせることも有効である。ＥＬ素子１５は、Ｒ、Ｇ、Ｂで発光開始電圧、発光輝度が異なっているからである。たとえば、Ｒは、所定輝度の白面積：所定輝度の黒面積の比が１：２０以上でプリチャージを停止または開始し、ＧとＢは、所定輝度の白面積：所定輝度の黒面積の比が１：１６以上でプリチャージを停止または開始するという方法が例示される。なお、実験および検討結果によれば、有機ＥＬパネルの場合、所定輝度の白面積：所定輝度の黒面積の比が１：１００以上（つまり、黒面積が白面積の１００倍以上）でプリチャージを停止することが好ましい。さらには、所定輝度の白面積：所定輝度の黒面積の比が１：２００以上（つまり、黒面積が白面積の２００倍以上）でプリチャージを停止することが好ましい。

図１のように画素１６の駆動用トランジスタ１１ａ、選択トランジスタ（１１ｂ、１１ｃ）がＰチャンネルトランジスタの場合は、突き抜け電圧が発生する。これは、ゲート信号線１７ａの電位変動が、選択トランジスタ（１１ｂ、１１ｃ）のＧ－Ｓ容量（寄生容量）を介して、コンデンサ１９の端子に突き抜けるためである。Ｐチャンネルトランジスタ１１ｂがオフするときにはＶｇｈ電圧となる。そのため、コンデンサ１９の端子電圧がＶｄｄ側に少しシフトする。そのため、トランジスタ１１ａのゲート（Ｇ）端子電圧は上昇し、より黒表示となる。したがって、良好な黒表示を実現できる。

しかし、第０階調目の完全黒表示は実現できるが、第１階調などは表示しにくいことにな

る。もしくは、第０階調から第１階調まで大きく階調飛びが発生したり、特定の階調範囲で黒つぶれが発生したりする。
この課題を解決する構成が、図５４の構成である。出力電流値を嵩上げする機能を有することを特徴としている。嵩上げ回路５４１の主たる目的は、突き抜け電圧の補償である。また、画像データが黒レベル０であっても、ある程度（数１０ｎＡ）電流が流れるようにし、黒レベルの調整にも用いることができる。
基本的には、図５４は、図４８の出力段に嵩上げ回路（図５４の点線で囲まれた部分）を追加したものである。図５４は、電流値嵩上げ制御信号として３ビット（Ｋ０、Ｋ１、Ｋ２）を仮定したものであり、この３ビットの制御信号により、孫電流源の電流値の０～７倍の電流値を出力電流に加算することが可能である。
以上が本発明のソースドライバ回路（ＩＣ）１４の基本的な概要である。以後、さらに詳細に本発明のソースドライバ回路（ＩＣ）１４についてさらに詳しく説明をする。
ＥＬ素子１５に流す電流Ｉ（Ａ）と発光輝度Ｂ（ｎｔ）とは線形の関係がある。つまり、ＥＬ素子１５に流す電流Ｉ（Ａ）と発光輝度Ｂ（ｎｔ）とは比例する。電流駆動方式では、１ステップ（階調刻み）は、電流（単位トランジスタ４８４（１単位））である。
人間の輝度に対する視覚は２乗特性をもっている。つまり、２乗の曲線で変化する時、明るさは直線的に変化しているように認識される。しかし、図８３の関係であると、低輝度領域でも高輝度領域でも、ＥＬ素子１５に流す電流Ｉ（Ａ）と発光輝度Ｂ（ｎｔ）とは比例する。したがって、１ステップ（１階調）きざみづつ変化させると、低階調部（黒領域）では、１ステップに対する輝度変化が大きい（黒飛びが発生する）。高階調部（白領域）は、ほぼ２乗カーブの直線領域と一致するので、１ステップに対する輝度変化は等間隔で変化しているように認識される。以上のことから、電流駆動方式（１ステップが電流きざみの場合）において（電流駆動方式のソースドライバ回路（ＩＣ）１４において）、黒表示領域の表示が特に課題となる。
この課題に対して、低階調領域（階調０（完全黒表示）から階調（Ｒ１））の電流出力の傾きを小さくし、高階調領域（階調（Ｒ１）から最大階調（Ｒ））の電流出力の傾きを大きくする。つまり、低階調領域では、１階調あたりに（１ステップ）増加する電流量と小さくする。高階調領域では、１階調あたりに（１ステップ）増加する電流量と大きくする。高階調領域と低階調領域で１ステップあたりに変化する電流量を異ならせることにより、階調特性が２乗カーブに近くなり、低階調領域での黒飛びの発生はない。
なお、以上の実施例では、低階調領域と高階調領域の２段階の電流傾きとしたが、これに限定するものではない。３段階以上であっても良いことは言うまでもない。しかし、２段階の場合は回路構成が簡単になるので好ましいことは言うまでもない。好ましくは、５段階以上の傾きを発生できるようにガンマ回路は構成することが望ましい。
本発明の技術的思想は、電流駆動方式のソースドライバ回路（ＩＣ）などにおいて（基本的には電流出力で階調表示を行う回路である。したがって、表示パネルがアクティブマトリックス型に限定されるものではなく、単純マトリックス型も含まれる。）、１階調ステップあたりの電流増加量が複数存在することである。
ＥＬなどの電流駆動型の表示パネルは、印加される電流量に比例して表示輝度が変化する。したがって、本発明のソースドライバ回路（ＩＣ）１４では、１つの電流源（１単位トランジスタ）４８４に流れるもととなる基準電流を調整することにより、容易に表示パネルの輝度を調整することができる。
ＥＬ表示パネルでは、Ｒ、Ｇ、Ｂで発光効率が異なり、また、ＮＴＳＣ基準に対する色純度がずれている。したがって、ホワイトバランスを最適にするためにはＲＧＢの比率を適正に調整する必要がある。調整は、ＲＧＢのそれぞれの基準電流を調整することにより行う。たとえば、Ｒの基準電流を２μＡにし、Ｇの基準電流を１．５μＡにし、Ｂの基準電流を３．５μＡにする。以上のように少なくとも複数の表示色の基準電流のうち、少なくとも１色の基準電流は変更あるいは調整あるいは制御できるように構成することが好ましい。
電流駆動方式は、ＥＬに流す電流Ｉと輝度の関係は直線の関係がある。したがって、ＲＧ

Ｂの混合によるホワイトバランスの調整は、所定の輝度の一点でＲＧＢの基準電流を調整するだけでよい。つまり、所定の輝度の一点でＲＧＢの基準電流を調整し、ホワイトバランスを調整すれば、基本的には全階調にわたりホワイトバランスがとれている。したがって、本発明はＲＧＢの基準電流を調整できる調整手段を具備する点、１点折れまたは多点折れガンマカーブ発生回路（発生手段）を具備する点に特徴がある。以上の事項は電流制御のＥＬ表示パネルに特有の回路方式である。

本発明のガンマ回路では、一例として低階調領域で１階調あたり１０ｎＡ増加（低階調領域でのガンマカーブの傾き）にする。また、高階調領域で１階調あたり５０ｎＡ増加（高階調領域でのガンマカーブの傾き）する。

なお、高階調領域で１階調あたり電流増加量／低階調領域で１階調あたり電流増加量をガンマ電流比率と呼ぶ。この実施例では、ガンマ電流比率は、５０ｎＡ／１０ｎＡ＝５である。ＲＧＢのガンマ電流比率は同一にする。つまり、ＲＧＢでは、ガンマ電流比率を同一にした状態でＥＬ素子１５に流れる電流（＝プログラム電流）を制御する。

このようにガンマ電流比率をＲＧＢで同一に維持したまま調整すると回路構成は容易になる。各色に、低階調部に印加する基準電流を発生する定電流回路と、高階調部に印加する基準電流を発生する定電流回路とを作製し、これらに相対的に流す電流を調整するボリウムを作製（配置）すればよいからである。

図５６は低電流領域の定電流発生回路部の構成図である。また、図５７は高電流領域の定電流回路部および嵩上げ電流回路部の構成図である。図５６に図示するように低電流源回路部は基準電流ＩＮＬが印加され、基本的にはこの電流が単位電流となり、入力データＬ０～Ｌ４により、単位トランジスタ４８４が必要個数動作し、その総和として低電流部のプログラム電流ＩｗＬが流れる。

また、図５７に図示するように高電流源回路部は基準電流ＩＮＨが印加され、基本的にはこの電流が単位電流となり、入力データＨ０～Ｌ５により、単位トランジスタ４８４が必要個数動作し、その総和として低電流部のプログラム電流ＩｗＨが流れる。

嵩上げ電流回路部も同様であって、図５７に図示するように基準電流ＩＮＨが印加され、基本的にはこの電流が単位電流となり、入力データＡＫ０～ＡＫ２により、単位トランジスタ４８４が必要個数動作し、その総和として嵩上げ電流に対応する電流ＩｗＫが流れるソース信号線１８に流れるプログラム電流ＩｗはＩｗ＝ＩｗＨ＋ＩｗＬ＋ＩｗＫである。ＩｗＨとＩｗＬの比率、つまりガンマ電流比率は、先にも説明した第１の関係を満足させるようにする。

図５６、図５７に図示するようにオンオフスイッチ４８１は、インバータ５６２とＰチャンネルトランジスタとＮチャンネルトランジスタからなるアナログスイッチ５６１から構成される。このようにスイッチ４８１を、インバータ５６２とＰチャンネルトランジスタとＮチャンネルトランジスタからなるアナログスイッチ５６１から構成することにより、オン抵抗を低下することができ、単位トランジスタ４８４とソース信号線１８間の電圧降下が極めて小さくすることができる。このことは本発明の他の実施例においても適用されることは言うまでもない。

図５６の低電流回路部と図５７の高電流回路部の動作について説明をする。本発明のソースドライバ回路（ＩＣ）１４は、低電流回路部Ｌ０～Ｌ４の５ビットで構成され、高電流回路部Ｈ０～Ｈ５の６ビットで構成される。なお、回路の外部から入力されるデータはＤ０～Ｄ５の６ビット（各色６４階調）である。この６ビットデータをＬ０～Ｌ４の５ビット、高電流回路部Ｈ０～Ｈ５の６ビットに変換してソース信号線に画像データに対応するプログラム電流Ｉｗを印加する。つまり、入力６ビットデータを、５＋６＝１１ビットデータに変換している。したがって、高精度のガンマカーブを形成できる。

以上のように、入力６ビットデータを、５＋６＝１１ビットデータに変換している。本発明では、高電流領域の回路のビット数（Ｈ）は、入力データ（Ｄ）のビット数と同一にし、低電流領域の回路のビット数（Ｌ）は、入力データ（Ｄ）のビット数－１としている。なお、低電流領域の回路のビット数（Ｌ）は、入力データ（Ｄ）のビット数－２としてもよい。このように構成することにより、低電流領域のガンマカーブと、高電流領域のガン

マカーブとが、ＥＬ表示パネルの画像表示に最適になる。
ゲートドライバ回路１２は、通常、Ｎチャンネルトランジスタと Ｐチャンネルトランジスタで構成する。しかし、Ｐチャンネルトランジスタのみで形成することが好ましい。アレイ作製に必要とするマスク数が減少し、製造歩留まり向上、スループットの向上が見込まれるからである。したがって、図１、図２などに例示したように、画素１６を構成するトランジスタをＰチャンネルトランジスタとするとともに、ゲートドライバ回路１２もＰチャンネルトランジスタで形成あるいは構成する。Ｎチャンネルトランジスタと Ｐチャンネルトランジスタでゲートドライバ回路を構成すると必要なマスク数は１０枚となるが、Ｐチャンネルトランジスタのみで形成すると必要なマスク数は５枚になる。
しかし、Ｐチャンネルトランジスタのみでゲートドライバ回路１２などを構成すると、レベルシフタ回路をアレイ基板７１に形成できない。レベルシフタ回路はＮチャンネルトランジスタと Ｐチャンネルトランジスタで構成するからである。
以下、アレイ基板７１に内蔵するゲートドライバ回路１２をＰチャンネルのトランジスタのみで構成した本発明のゲートドライバ回路１２について説明をする。先にも説明したように、画素１６とゲートドライバ回路１２とをＰチャンネルトランジスタのみで形成する（つまり、アレイ基板７１に形成するトランジスタはすべてＰチャンネルトランジスタである。反対に言えば、Ｎチャンネルのトランジスタを用いない状態）ことにより、アレイを作製に必要とするマスク数が減少し、製造歩留まり向上、スループットの向上が見込まれるからである。また、Ｐチャンネルトランジスタの性能のみの向上に取り組みができるため、結果として特性改善が容易である。たとえば、Ｖｔ電圧の低減化（より０（Ｖ）に近くするなど）、Ｖｔバラツキの減少を、ＣＭＯＳ構造（ＰチャンネルとＮチャンネルトランジスタを用いる構成）よりも容易に実施できる。
本発明の実施例では、主として図１の画素構成を例示して説明をするがこれに限定するものではなく、他の画素構成でもよいことは言うまでもない。また、以下に説明するゲートドライバ回路１２構成あるいは配置形態は、有機ＥＬ表示パネルなどの自己発光デバイスに限定されるものではない。液晶表示パネル、電磁遊動表示パネルあるいはＦＥＤ（フィールドエミッションディスプレイ）などにも採用することができる。たとえば、液晶表示パネルでは、画素の選択スイッチング素子の制御として本発明のゲートドライバ回路１２の構成あるいは方式を採用してもよい。また、ゲートドライバ回路１２を２相用いる場合は、１相を画素のスイッチング素子の選択用として用い、他方を画素において、保持容量の１方の端子に接続してもよい。この方式は、独立ＣＣ駆動と呼ばれるものである。また、図７１、図７３などで説明する構成は、ゲートドライバ回路１２だけでなく、ソースドライバ回路１４のシフトレジスタ回路などにも採用することができることは言うまでもない。
図７１は、本発明のゲートドライバ回路１２のブロック図である。説明を容易にするため、４段分しか図示していないが、基本的には、ゲート信号線１７数に対応する単位ゲート出力回路７１１が形成または配置される。
図７１に図示するように、本発明のゲートドライバ回路１２（１２ａ、１２ｂ）では、４つのクロック端子（ＳＣＫ０、ＳＣＫ１、ＳＣＫ２、ＳＣＫ３）と、１つのスタート端子（データ信号（ＳＳＴＡ））、シフト方向を上下反転制御する２つの反転端子（ＤＩＲＡ、ＤＩＲＢ、これらは、逆相の信号を印加する）の信号端子から構成される。また、電源端子としてＬ電源端子（ＶＢＢ）と、Ｈ電源端子（Ｖｄ）などから構成される。
画素１６をＰチャンネルのトランジスタで構成することにより、Ｐチャンネルトランジスタで形成したゲートドライバ回路１２とのマッチングが良くなる。Ｐチャンネルトランジスタ（図１の画素構成では、トランジスタ１１ｂ、１１ｃ、トランジスタ１１ｄ）はＬ電圧でオンする。一方、ゲートドライバ回路１２もＬ電圧が選択電圧である。Ｐチャンネルのゲートドライバは図７３の構成でもわかるが、Ｌレベルを選択レベルとするとマッチングが良い。Ｌレベルが長期間保持できないからである。一方、Ｈ電圧は長時間保持することができる。
ＥＬ素子１５に電流を供給する駆動用トランジスタ（図１ではトランジスタ１１ａ）をＰ

チャンネルで構成することにより、ＥＬ素子１５のカソードが金属薄膜のべた電極に構成することができる。また、アノード電位Ｖｄｄから順方向にＥＬ素子１５に電流を流すことができる。以上の事項から、画素１６のトランジスタをＰチャンネルとし、ゲートドライバ回路１２のトランジスタもＰチャンネルとすることがよい。以上のことから、本発明の画素１６を構成するトランジスタ（駆動用トランジスタ、イッチング用トランジスタ）をＰチャンネルで形成し、ゲートドライバ回路１２のトランジスタをＰチャンネルで構成するという事項は単なる設計事項ではない。

なお、レベルシフタ（ＬＳ）回路を、アレイ基板７１に直接に形成してもよい。つまり、レベルシフタ（ＬＳ）回路をＮチャンネルとＰチャンネルトランジスタで形成する。コントローラ（図示せず）からのロジック信号は、アレイ基板７１に直接形成されたレベルシフタ回路で、Ｐチャンネルトランジスタで形成されたゲートドライバ回路１２のロジックレベルに適合するように昇圧する。この昇圧したロジック電圧を前記ゲートドライバ回路１２に印加する。

なお、レベルシフタ回路を半導体チップで形成し、アレイ基板７１にＣＯＧ実装などしてもよい。また、ソースドライバ回路１４は、半導体チップで形成し、アレイ基板７１にＣＯＧ実装する。ただし、ソースドライバ回路１４を半導体チップで形成することに限定するものではなく、ポリシリコン技術を用いてアレイ基板７１に直接に形成してもよい。

画素１６を構成するトランジスタ１１をＰチャンネルで構成すると、プログラム電流は画素１６からソース信号線１８に流れ出す方向になる。そのため、ソースドライバ回路の単位電流回路４８４（図５６、図５７などを参照のこと）は、Ｎチャンネルのトランジスタで構成する必要がある。つまり、ソースドライバ回路１４はプログラム電流Ｉｗを引き込むように回路構成する必要がある。

したがって、画素１６の駆動用トランジスタ１１ａ（図１の場合）がＰチャンネルトランジスタの場合は、必ず、ソースドライバ回路１４はプログラム電流Ｉｗを引き込むように、単位トランジスタ４８４をＮチャンネルトランジスタで構成する。ソースドライバ回路１４をアレイ基板７１に形成するには、Ｎチャンネル用マスク（プロセス）とＰチャンネル用マスク（プロセス）の両方を用いる必要がある。概念的に述べれば、画素１６とゲートドライバ回路１２をＰチャンネルトランジスタで構成し、ソースドライバの引き込み電流源のトランジスタはＮチャンネルで構成するのが本発明の表示パネル（表示装置）である。

したがって、画素１６のトランジスタ１１をＰチャンネルトランジスタで形成し、ゲートドライバ回路１２をＰチャンネルトランジスタで形成する。このように画素１６のトランジスタ１１とゲートドライバ回路１２の両方をＰチャンネルトランジスタで形成することによりアレイ基板７１を低コスト化できる。しかし、ソースドライバ回路１４は、単位トランジスタ４８４をＮチャンネルトランジスタで形成することが必要になる。したがって、ソースドライバ回路１４はアレイ基板７１に直接形成することができない。そこで別途、シリコンチップなどでソースドライバ回路１４を作製し、アレイ基板７１に積載する。

なお、ソースドライバ回路１４はシリコンチップで構成するとしたがこれに限定するものではない。たとえば、低温ポリシリコン技術などでガラス基板に多数個を同時に形成し、チップ状に切断して、アレイ基板７１に積載してもよい。なお、アレイ基板７１にソースドライバ回路を積載するとして説明しているが、積載に限定するものではない。ソースドライバ回路１４の出力端子６８１をアレイ基板７１のソース信号線１８に接続するのであればいずれの形態でもよい。たとえば、ＴＡＢ技術でソースドライバ回路１４をソース信号線１８に接続する方式が例示される。シリコンチップなどに別途ソースドライバ回路１４を形成することにより、出力電流のバラツキが低減し、良好な画像表示を実現できる。また、低コスト化が可能である。

また、画素１６の選択トランジスタをＰチャンネルで構成し、ゲートドライバ回路をＰチャンネルトランジスタで構成するという構成は、有機ＥＬなどの自己発光デバイス（表示パネルあるいは表示装置）に限定されるものではない。たとえば、液晶表示デバイス、ＦＥＤ（フィールドエミッションディスプレイ）にも適用することができる。

反転端子（ＤＩＲＡ、ＤＩＲＢ）は各単位ゲート出力回路７１１に対し、共通の信号が印加される。なお、図７３の等価回路図をみれば、理解できるが、反転端子（ＤＩＲＡ、ＤＩＲＢ）は互いに逆極性の電圧値を入力する。また、シフトレジスタの走査方向を反転させる場合は、反転端子（ＤＩＲＡ、ＤＩＲＢ）に印加している電圧の極性を反転させる。なお、図７１の回路構成は、クロック信号線数は４つである。４つが本発明では最適な数であるが、本発明はこれに限定するものではない。４つ以下でも４つ以上でもよい。

クロック信号（ＳＣＫ０、ＳＣＫ１、ＳＣＫ２、ＳＣＫ３）の入力は、隣接した単位ゲート出力回路７１１で異ならせている。たとえば、単位ゲート出力回路７１１ａには、クロック端子のＳＣＫ０がＯＣに、ＳＣＫ２がＲＳＴに入力されている。この状態は、単位ゲート出力回路７１１ｃも同様である。単位ゲート出力回路７１１ａに隣接した単位ゲート出力回路７１１ｂ（次段の単位ゲート出力回路）は、クロック端子のＳＣＫ１がＯＣに、ＳＣＫ３がＲＳＴに入力されている。したがって、単位ゲート出力回路７１１に入力されるクロック端子は、ＳＣＫ０がＯＣに、ＳＣＫ２がＲＳＴに入力され、次段は、クロック端子のＳＣＫ１がＯＣに、ＳＣＫ３がＲＳＴに入力され、さらに次段の単位ゲート出力回路７１１に入力されるクロック端子は、ＳＣＫ０がＯＣに、ＳＣＫ２がＲＳＴに入力され、というように交互に異ならせている。

図７３が単位ゲート出力回路７１１の回路構成である。構成するトランジスタはＰチャンネルのみで構成している。図７４が図７３の回路構成を説明するためのタイミングチャートである。なお、図７２は図７３の複数段分におけるタイミングチャートを図示したものである。したがって、図７３を理解することにより、全体の動作を理解することができる。動作の理解は、文章で説明するよりも、図７３の等価回路図を参照しながら、図７４のタイミングチャートを理解することにより達成されるため、詳細な各トランジスタの動作の説明は省略する。

Ｐチャンネルのみでドライバ回路構成を作成すると、基本的にゲート信号線１７をＨレベル（図７３ではＶｄ電圧）に維持することは可能である。しかし、Ｌレベル（図７３ではＶＢＢ電圧）に長時間維持することは困難である。しかし、画素行の選択時などの短期間維持は十分にできる。

画素１６のスイッチング用トランジスタ１１ｂ、１１ｃがＰチャンネルトランジスタで形成されていると、Ｖｇｈで画素１６が選択状態となる。Ｖｇｌで画素１６が非選択状態となる。以前にも説明したが、ゲート信号線１７ａがオン（Ｖｇｌ）からオフ（Ｖｇｈ）になる時に電圧が突き抜ける（突き抜け電圧）。画素１６の駆動用トランジスタ１１ａがＰチャンネルトランジスタで形成されていると、黒表示状態の時、この突き抜け電圧によりトランジスタ１１ａがより電流が流れないようになる。したがって、良好な黒表示を実現できる。黒表示を実現することが困難であるという点が、電流駆動方式の課題である。しかし、ゲートドライバ回路１２をＰチャンネルトランジスタで構成することにより、オン電圧はＶｇｈとなる。したがって、Ｐチャンネルトランジスタで形成された画素１６とマッチングがよい。また、図１、図２、図３２、図１１３、図１１６の画素１６構成のように、アノード電圧Ｖｄｄから駆動用トランジスタ１１ａ、ソース信号線１８を介してソースドライバ回路１４の単位トランジスタ４８４にプログラム電流Ｉｗが流入するように構成することが重要である。したがって、ゲートドライバ回路１２および画素１６をＰチャンネルトランジスタで構成し、ソースドライバ回路１４を基板に積載し、かつソースドライバ回路１４の単位トランジスタ４８４をＮチャンネルトランジスタで構成することは、すぐれた相乗効果を発揮する。

なお、図４２の（ｂ）においても同様である。図４２の（ｂ）は駆動用トランジスタ１１ｂを介してソースドライバ回路１４の単位トランジスタ４８４に電流が流入するのではない。しかし、アノード電圧Ｖｄｄからプログラム用トランジスタ１１ａ、ソース信号線１８を介してソースドライバ回路１４の単位トランジスタ４８４にプログラム電流Ｉｗが流入するように構成である。したがって、図１と同様に、ゲートドライバ回路１２および画素１６をＰチャンネルトランジスタで構成し、ソースドライバ回路１４を基板に積載し、かつソースドライバ回路１４の単位トランジスタ４８４をＮチャンネルトランジスタで構

成することは、すぐれた相乗効果を発揮する。
ＩＮ端子に入力された信号と、ＲＳＴ端子に入力されたＳＣＫクロックにより、ｎ１が変化し、ｎ２はｎ１の反転信号状態となる。ｎ２の電位とｎ４の電位とは同一極性であるが、ＯＣ端子に入力されたＳＣＫクロックによりｎ４の電位レベルはさらに低くなる。この低くなるレベルに対応して、Ｑ端子がその期間、Ｌレベルに維持される（オン電圧がゲート信号線１７から出力される）。ＳＱあるいはＱ端子に出力される信号は、次段の単位ゲート出力回路７１１に転送される。
図７１、図７３の回路構成において、ＩＮ（ＩＮＡ、ＩＮＢ）端子、クロック端子の印加信号のタイミングを制御することにより、図７５の（ａ）に図示するように、１ゲート信号線１７を選択する状態と、図７５の（ｂ）に図示するように２ゲート信号線１７を選択する状態とを同一の回路構成を用いて実現できる。
選択側のゲートドライバ回路１２ａにおいて、図７５の（ａ）の状態は、１画素行（５１ａ）を同時に選択する駆動方式である（ノーマル駆動）。また、選択画素行は１行ずつシフトする。図７５の（ｂ）は、２画素行を選択する構成である。この駆動方式は、図２７、図２８、図２９で説明した複数画素行（５１ａ、５１ｂ）の同時選択駆動（ダミー画素行を構成する方式）である。選択画素行は、１画素行ずつシフトし、かつ隣接した２画素行が同時に選択される。特に、図７５の（ｂ）の駆動方法は、最終的な映像を保持する画素行（５１ａ）に対し、画素行５１ｂは予備充電される。そのため、画素１６が書き込み易くなる。つまり、本発明は、端子に印加する信号により、２つの駆動方式を切り替えて実現できる。
なお、図７５の（ｂ）は隣接した画素１６行を選択する方式であるが、図７６に図示するように、隣接した以外の画素１６行を選択してもよい（図７６は、３画素行離れた位置の画素行を選択している実施例である）。また、図７３の構成では、４画素行の組で制御される。４画素行にうち、１画素行を選択するか、連続した２画素行を選択するかの制御を実施できる。これは、使用するクロック（ＳＣＫ）が４本によることの制約である。クロック（ＳＣＫ）８本になれば、８画素行の組で制御を実施できる。
選択側のゲートドライバ回路１２ａの動作は、図７５の動作である。図７５の（ａ）に図示するように、１画素行を選択し、選択位置を１水平同期信号に同期して１画素行ずつシフトする。また、図７５の（ｂ）に図示するように、２画素行を選択し、選択位置を１水平同期信号に同期して１画素行ずつシフトする。
以下、図面を参照しながら、電流駆動方式（電流プログラム方式）による高画質表示方法について説明をする。電流プログラム方式は、画素１６に電流信号を印加して、画素１６に電流信号を保持させる。そして、ＥＬ素子１５に保持させた電流を印加するものである。
ＥＬ素子１５は印加した電流の大きさに比例して発光する。つまり、ＥＬ素子１５の発光輝度はプログラムする電流の値とリニアの関係がある。一方、電圧プログラム方式では、印加した電圧を画素１６で電流に変換する。この電圧－電流変換は非線形である。非線形の変換は制御方法が複雑になる。
電流駆動方式は、映像データの値をそのままプログラム電流に線形に変換する。簡単な例で例示すれば、６４階調表示であれば、映像データの０はプログラム電流Ｉｗ＝０μＡとし、映像データ６３はプログラム電流Ｉｗ＝６．３μＡとする（比例の関係となる）。同様に、映像データ３２はプログラム電流Ｉｗ＝３．２μＡとし、映像データ１０はプログラム電流Ｉｗ＝１．０μＡとする。つまり、映像データはそのまま、比例の関係でプログラム電流Ｉｗに変換される。
理解を容易にするため、映像データとプログラム電流は比例の関係で変換されるとして説明する。実際はさらに容易に、映像データとプログラム電流とを変換できる。図４８に図示するように本発明は単位トランジスタ４８４の単位電流が、映像データの１に該当するからである。さらに、単位電流は基準電流回路を調整することにより、容易に任意の値に調整できるからである。また、基準電流はＲ、Ｇ、Ｂ回路ごとに設けられており、ＲＧＢ回路に基準電流回路を調整することにより全階調範囲にわたりホワイトバランスをとるこ

とができるからである。このことは電流プログラム方式で、かつ本発明のソースドライバ回路１４、表示パネル構成の相乗効果である。
ＥＬ表示パネルでは、プログラム電流とＥＬ素子１５の発光輝度が線形の関係にあるという特徴がある。このことは電流プログラム方式の大きな特徴である。つまり、プログラム電流の大きさを制御すれば、リニアにＥＬ素子１５の発光輝度を調整できる。
駆動トランジスタ１１ａはゲート端子に印加した電圧と、駆動用トランジスタ１１ａが流す電流とは非線形である（２乗カーブになることが多い）。したがって、電圧プログラム方式では、プログラム電圧と発光輝度とは非線形の関係にあり、きわめて発光制御が困難である。電圧プログラムに比較して電流プログラム方式では極めて発光制御が容易である。特に、図１の画素構成では、プログラム電流とＥＬ素子１５に流れる電流が理論上は等しい。したがって、発光制御は極めてわかりやすく、制御が容易である。本発明のＮ倍パルス駆動の場合も、プログラム電流を１／Ｎにして計算することにより発光輝度を把握できるから、発光制御の容易という点で優れている。図３８などの画素構成がカレントミラー構成の場合は、駆動用トランジスタ１１ｂとプログラム用トランジスタ１１ａとがことなり、カレントミラー倍率のずれが発生するため、発光輝度の誤差要因がある。しかし、図１の画素構成では、駆動用トランジスタとプログラム用トランジスタが同一であるから、この課題もない。
ＥＬ素子１５は、投入電流量により発光輝度が比例して変化する。ＥＬ素子１５に印加する電圧（アノード電圧）は固定値である。したがって、ＥＬ表示パネルの発光輝度は消費電力と比例の関係にある。
以上のことから、映像データとプログラム電流は比例し、プログラム電流とＥＬ素子１５の発光輝度は比例し、ＥＬ素子１５の発光輝度と消費電力は比例する。したがって、映像データをロジック処理すれば、ＥＬ表示パネルの消費電流（電力）、ＥＬ表示パネルの発光輝度、ＥＬ表示パネルの消費電力を制御できることになる。つまり、映像データをロジック処理（加算など）することにより、ＥＬ表示パネルの輝度、消費電力を把握することができる。したがって、ピーク電流が設定値を越えないようにすることなどの処理が極めて容易である。
特に本発明のＥＬ表示パネルは電流駆動方式である。かつ特徴ある構成のより画像表示制御が容易である。特徴ある画像表示制御方法は２つある。１つは、基準電流の制御である。もう１つはｄｕｔｙ比制御である。この基準電流制御とｄｕｔｙ比制御を単独であるいは組み合わせることにより、ダイナミックレンジが広く、かつ高画質表示、高コントラストを実現できる。
まず、基準電流制御は図７７に図示するように、ソースドライバ回路（ＩＣ）１４は、各ＲＧＢの基準電流を調整する回路を具備している。また、ソースドライバ回路１４からのプログラム電流Ｉｗはいくつの単位トランジスタ４８４に流れているが出力されているかで決定される。１つの単位トランジスタ４８４が出力する電流は、基準電流の大きさに比例する。したがって、基準電流を調整することにより、１つの単位トランジスタ４８４が出力する電流が決定され、プログラム電流の大きさが決定される。基準電流と単位トランジスタ４８４の出力電流がリニアの関係にあり、かつ、プログラム電流と輝度がリニアの関係にあることから、白ラスター表示で各ＲＧＢの基準電流を調整してホワイトバランスを調整すれば、すべての階調でホワイトバランスが維持される。
なお、図７７は、カレントミラーを多段接続した構成であるが、本発明はこれに限定するものではない。図１６６から図１７０などの１段構成のソースドライバ回路（ＩＣ）１４であっても基準電流を容易に調整でき、全階調でホワイトバランスが維持されることは言うまでもない。また、基準電流の調整で、ＥＬ表示パネルの輝度を制御できることは言うまでもない。
図７８はｄｕｔｙ比制御方法である。図７８の（ａ）は非表示領域５２を連続して挿入する方法である。動画表示に適する。また、図７８（ａ１）が最も画像が暗く、図７８（ａ４）が最も明るい。ゲート信号線１７ｂの制御で自由にｄｕｔｙ比を変更できる。図７８の（ｃ）は非表示領域５２を多数に分割して挿入する方法である。特に静止画表示に適す

る。また、図７８（ｃ１）が最も画像が暗く、図７８（ｃ４）が最も明るい。ゲート信号線１７ｂの制御で自由にｄｕｔｙ比を変更できる。また、図７８の（ｂ）は、図７８の（ａ）と図７８の（ｃ）との中間状態である。図７８の（ｂ）も同様にゲート信号線１７ｂの制御で自由にｄｕｔｙ比を変更できる。

表示領域５３の分散は、表示パネルの画素行数が２２０本で、１／４ｄｕｔｙであれば、２２０／４＝５５となるから、１から５５（１の明るさからその５５倍の明るさまで調整できる）。また、表示パネルの画素行が２２０本で、１／２ｄｕｔｙであれば、２２０／２＝１１０となるから、１から１１０（１の明るさからその１１０倍の明るさまで調整できる）。したがって、画面輝度５０の明るさの調整レンジは非常に広い（画像表示のダイナミックレンジが広い）。また、いずれに明るさであっても、表現できる階調数を維持できると特徴がある。たとえば、６４階調表示であれば、白ラスターでの画面５０輝度が３００ｎｔであっても、３ｎｔであっても６４階調表示を実現できる。

なお、以前にも説明したが、ｄｕｔｙは、ゲートドライバ回路１２ｂへのスタートパルスを制御することにより容易に変更できる。したがって、１／２ｄｕｔｙ、１／４ｄｕｔｙ、３／４ｄｕｔｙ、３／８ｄｕｔｙと多種多様なｄｕｔｙを容易に変更できる。

１水平走査期間（１Ｈ）単位のｄｕｔｙ比駆動は、水平同期信号に同期させてゲート信号線１７ｂのオンオフ信号を印加すればよい。さらに、１Ｈ単位以下でもｄｕｔｙ比制御することができる。図１４５、図１４６の駆動方法である。１Ｈ期間以内において、ＯＥＶ２制御を行うことにより、微小ステップの明るさ制御（ｄｕｔｙ比制御）が可能である（図１０９とその説明も参照のこと。また、図１７５とその説明を参照のこと）。

１Ｈ以内のｄｕｔｙ比制御を行うのは、ｄｕｔｙ比が１／４ｄｕｔｙ以下の場合に実施する。画素行数が２２０画素行であれば、５５／２２０ｄｕｔｙ以下である。つまり、１／２２０から５５／２２０ｄｕｔｙの範囲で行う。１ステップの変化が変化前から変化後で１／２０（５％）以上変化する時に実施する。さらに好ましくは、１／５０（２％）以下の変化でもＯＥＶ２制御を行い微小なｄｕｔｙ比駆動制御を行うことが望ましい。つまり、ゲート信号線１７ｂによるｄｕｔｙ比制御では、変化前から変化後の明るさ変化が５％以上になる時は、ＯＥＶ２による制御を行うことにより変化量が５％以下になるように少しずつ変化させる。この変化には、図９４で説明するＷａｉｔ機能を導入することが好ましい。

ｄｕｔｙ比が１／４ｄｕｔｙ以下で１Ｈ以内のｄｕｔｙ比制御を実施するのは、１ステップあたりの変化量が大きいためもあるが、画像が中間調であるため、微小な変化でも視覚的に認識されやすいためでもある。人間の視覚は、一定以上の暗い画面では、明るさ変化に対する検出能力が低い。また、一定以上の明るい画面でも、明るさ変化に対する検出能力が低い。これは、人間の視覚が２乗特性に依存しているためと思われる。

図１７４は画面の変化に対する検出機能をグラフ化したものである。横軸は、画面の明るさ（ｎｔ）である。縦軸は許容変化（％）である。許容変化（％）は、任意ｄｕｔｙから次のｄｕｔｙに変化したさせた明るさの変化割合（％）が、許容できるか限界点を記載したものである。ただし、許容変化（％）は、画像の内容（変化割合、シーンなど）により変動割合が大きい。また、個人的な動画検出能力などに依存しやすい。

図１７４でもわかるように、画面５０の輝度が高い時には、ｄｕｔｙ変化に対する許容変化が大きい。また、画面５０の輝度が暗い時もｄｕｔｙ変化に対する許容変化が大きい傾向にある。しかし、中間調表示の場合は、許容変化の限界値（％）は小さい。画像が中間調であるため、微小な変化でも視覚的に認識されやすいためである。

一例をあげれば、パネルの画素行が２００本であれば、５０／２００ｄｕｔｙ以下（１／２００以上５０／２００以下）でＯＥＶ２制御を行って、１Ｈ以下の期間のｄｕｔｙ比制御を行う。１／２００ｄｕｔｙから２／２００ｄｕｔｙに変化すると１／２００ｄｕｔｙと２／２００ｄｕｔｙの差は、１／２００であり、１００％の変化となる。この変化はフリッカとして完全に視覚的に認識されてしまう。したがって、ＯＥＶ２制御（図１７５などを参照のこと）を行い、１Ｈ（１水平走査期間）以下の期間でＥＬ素子１５への電流供給を制御する。なお、１Ｈ期間以下（１Ｈ期間以内）でｄｕｔｙ比制御するとしたが、こ

れに限定するものではない、図１９でもわかるように非表示領域５２は連続している。つまり、１０．５Ｈ期間というような制御も本発明の範疇である。つまり、本発明は１Ｈ期間に限定されず（小数点以下が発生する）、ｄｕｔｙ比駆動を行うものである。
４０／２００ｄｕｔｙから４１／２００ｄｕｔｙに変化すると、４０／２００ｄｕｔｙと４１／２００ｄｕｔｙの差は、１／２００であり、（１／２００）／（４０／２００）で２．５％の変化となる。この変化はフリッカとして視覚的に認識されるか否かは、画面輝度５０に依存する可能性が高い。ただし、４０／２００ｄｕｔｙは中間調表示であるので、視覚的に敏感である。したがって、ＯＥＶ２制御（図１７５などを参照のこと）を行い、１Ｈ（１水平走査期間）以下の期間でＥＬ素子１５への電流供給を制御することが望ましい。
以上のように、本発明の駆動方法および表示装置は、画素１６にＥＬ素子１５に流す電流値を記憶できる構成（図１ではコンデンサ１９が該当する）と、駆動用トランジスタ１１ａと発光素子（ＥＬ素子１５が例示される）との電流経路をオンオフできる構成（図１、図４３、図１１３、図１１４、図１１７などの画素構成が該当する）の表示パネルにあって、少なくとも表示画像の表示状態において図１９の表示状態が発生させる（画像の輝度によっては、画面５０が表示領域５３（ｄｕｔｙ１／１になってもよい）駆動方法である。かつ、ｄｕｔｙ比駆動（少なくとも画面５０の一部が非表示領域５３となる駆動方法または駆動状態）が所定のｄｕｔｙ比以下では、１水平走査期間（１Ｈ期間）以内あるいは１Ｈ期間単位に限定されるＥＬ素子１５に流す電流を制御して、表示画面５０の輝度制御を行うものである。この制御はＯＥＶ２制御により実施する（ＯＥＶ２に関しては図１７５とその説明を参照のこと）。
１Ｈ単位以外のｄｕｔｙ比制御を行う所定ｄｕｔｙ比は、ｄｕｔｙ比が１／４ｄｕｔｙ以下の場合に実施する。逆に所定ｄｕｔｙ比以上では、１Ｈ単位でｄｕｔｙ比制御を行う。もしくはＯＥＶ２制御は実施しない。また、１Ｈ期間以外のｄｕｔｙ比制御は、１ステップの変化が変化前から変化後で１／２０（５％）以上変化する時に実施する。さらに好ましくは、１／５０（２％）以下の変化でもＯＥＶ２制御を行い微小なｄｕｔｙ比駆動制御を行うことが望ましい。もしくは、白ラスターの最大輝度の１／４以下の輝度で実施する。
本発明のｄｕｔｙ比制御駆動によれば、図７９に図示するように、ＥＬ表示パネルの階調表現数が６４階調であれば、表示画面５０の表示輝度（ｎｔ）がいずれの輝度であっても、６４階調表示が維持される。たとえば、画素行数が２２０本で、１画素行のみが表示領域５３（表示状態）の時（ｄｕｔｙ比１／２２０）であっても、６４階調表示を実現できる。各画素行がソースドライバ回路１４のプログラム電流Ｉｗにより順次画像が書き込まれ、ゲート信号線１７ｂにより、この１画素行分が順次画像表示されるからである。
もちろん、２２０画素行のすべてが表示領域５３（表示状態）の時（ｄｕｔｙ比２２０／２２０＝ｄｕｔｙ比１／１）であっても、６４階調表示を実現できる。画素行にソースドライバ回路１４のプログラム電流Ｉｗにより順次画像が書き込まれ、ゲート信号線１７ｂによりすべての画素行が同時に画像表示されるからである。また、２０画素行のみが表示領域５３（表示状態）の時（ｄｕｔｙ２０／２２０＝ｄｕｔｙ１／１１）であっても、６４階調表示を実現できる。各画素行がソースドライバ回路１４のプログラム電流Ｉｗにより順次画像が書き込まれ、ゲート信号線１７ｂにより、この２０画素行分が順次走査されて画像表示されるからである。
本発明のｄｕｔｙ比制御駆動は、ＥＬ素子１５の点灯時間の制御であるから、ｄｕｔｙ比に対する画面５０の明るさは、リニアの関係にある。したがって、画像の明るさ制御がきわめて容易であり、その信号処理回路もシンプルとなり、低コスト化を実現できる。図７７のようにＲＧＢの基準電流を調整し、ホワイトバランスをとる。ｄｕｔｙ比制御では、Ｒ、Ｇ、Ｂを同時に明るさ制御するためにいずれの階調、画面５０の明るさにおいてもホワイトバランスは維持される。
ｄｕｔｙ比制御は、表示画面５０に対する表示領域５３の面積を変化させることにより、画面５０の輝度を変化するものであった。当然、表示面積５３に比例してＥＬ表示パネル

に流れる電流はほぼ比例して変化する。したがって、映像データの総和を求めることにより、表示画面５０のＥＬ素子１５に流れる全消費電流を算出することができる。ＥＬ素子１５のアノード電圧Ｖｄｄは直流電圧で固定値のため、全消費電流が算出できれば、画像データに応じて全消費電力をリアルタイムで算出することができる。算出された全消費電力が規定された最大電力を越えると予測される場合は、図７７の基準電流を電子ボリウムなどの調整回路で調整し、ＲＧＢの基準電流を抑制制御すればよい。

また、白ラスター表示での所定輝度を設定し、この時をｄｕｔｙ比最小になるように設定する。たとえば、ｄｕｔｙ比１／８にする。自然画像はｄｕｔｙ比を大きくする。最大のｄｕｔｙは１／１である。たとえば、画面５０の１／１００しか画像が表示されない自然画像をｄｕｔｙ１／１とする。ｄｕｔｙ比１／１からｄｕｔｙ比１／８は画面５０の自然画像の表示状態で滑らかに変化させる。

以上のように一実施例として、白ラスター表示で（自然画像ではすべての画素が１００％点灯している状態）でｄｕｔｙ比１／８とし、画面５０の１／１００の画素が点灯している状態をｄｕｔｙ比１／１とする。概略の消費電力は、画素数×点灯画素数の割合×ｄｕｔｙ比で算出できる。

説明を容易にするため、画素数を１００とすると、白ラスター表示での消費電力は、１００×１（１００％）×ｄｕｔｙ比１／８＝８０となる。一方、１／１００が点灯している自然画像の消費電力は、１００×（１／１００）（１％）×ｄｕｔｙ比１／１＝１となる。ｄｕｔｙ１／１～ｄｕｔｙ比１／８は画像の点灯画素数（実際には、点灯画素の総電流＝１フレームのプログラム電流の総和）に応じてフリッカが発生しないようになめらかにｄｕｔｙ比制御が実施される。

以上のように白ラスターで消費電力割合は８０であり、１／１００が点灯している自然画像の消費電力割合は、１になる。したがって、白ラスター表示での所定輝度を設定し、この時をｄｕｔｙ比最小になるように設定すれば、最大電流を抑制することができる。

本発明は、１画面のプログラム電流の総和をＳとし、ｄｕｔｙ比をＤとし、Ｓ×Ｄで駆動制御を実施するものである。また、白ラスター表示でのプログラム電流の総和をＳｗとし、最大のｄｕｔｙ比をＤｍａｘ（通常は、ｄｕｔｙ比１／１が最大である）とし、最小のｄｕｔｙ比をＤｍｉｎとし、また、任意の自然画像でのプログラム電流の総和をＳｓとした時、Ｓｗ×Ｄｍｉｎ　≧　Ｓｓ×Ｄｍａｘの関係が維持されるようにする駆動方法およびそれを実現する表示装置である。

なお、ｄｕｔｙ比の最大は１／１とする。最小はｄｕｔｙ比１／１６以上にすることが好ましい。つまり、ｄｕｔｙ比は１／８以上１／１以下にする。なお、１／１を必ず使用することには制約されないことは言うまでもない。好ましくは、最小のｄｕｔｙ比は１／１０以上にする。ｄｕｔｙ比が小さすぎると、フリッカの発生が目立ちやすく、また、画像内容による画面の輝度変化が大きくなりすぎ、画像が見づらくなるからである。

先にも説明したがプログラム電流は映像データと比例の関係にある。したがって、プログラム電流の総和とはプログラム電流の総和と同義である。なお、１フレーム（１フィールド）期間のプログラム電流の総和を求めるとしたが、これに限定するものではない、１フレーム（１フィールド）において、所定間隔あるいは、所定周期などでプログラム電流を加算する画素をサンプリングしてプログラム電流（映像データ）の総和としてもよい。また、制御を行うフレーム（フィールド）の前後の総和データを用いてもよいし、推定あるいは予測による総和データをもちいて、ｄｕｔｙ比制御を行っても良い。

なお、以上の説明ではｄｕｔｙ比Ｄで制御するとして説明したが、ｄｕｔｙ比は、所定期間（通常は１フィールドまたは１フレームである。つまり、一般的には任意の画素の画像データが書き換えられる周期もしくは時間である）におけるＥＬ素子１５の点灯期間である。つまり、ｄｕｔｙ比１／８とは、１フレームの１／８の期間（１Ｆ／８）の間、ＥＬ素子１５が点灯していることを意味する。したがって、ｄｕｔｙ比は、画素１６が書き変えられる周期時間をＴｆとし、画素の点灯期間Ｔａとした時、ｄｕｔｙ比＝Ｔａ／Ｔｆと読み替えることができる。

なお、画素１６が書き変えられる周期時間をＴｆとし、Ｔｆを基準とするとしたがこれに

限定されるものではない。本発明のｄｕｔｙ比制御駆動は、１フレームあるいは１フィールドで動作を完結させる必要はない。つまり、数フィールドあるいは数フレーム期間を１周期としてｄｕｔｙ比制御を実施してもよい（図１０４などを参照のこと）。したがって、Ｔｆは画素を書き換える周期だけに限定されるものではなく、１フレームあるいは１フィールド以上であってもよい。たとえば、１フィールドあるいは１フレームごとに点灯期間Ｔａがことなる場合は、繰り返し周期（期間）をＴｆとし、この期間の総点灯期間Ｔａを採用すればよい。つまり、数フィールドあるいは数フレーム期間の平均点灯時間をＴａとしてもよい。ｄｕｔｙ比についても同様である。ｄｕｔｙがフレーム（フィールド）ごとに異なる場合は、複数フレーム（フィールド）の平均ｄｕｔｙ比を算出して用いればよい。

したがって、白ラスター表示でのプログラム電流の総和をＳｗとし、任意の自然画像でのプログラム電流の総和をＳｓとし、最小の点灯期間をＴａｓ、最大の点灯期間をＴａｍ（通常はＴａｍ＝ＴｆであるからＴａｍ／Ｔｆ＝１）とした時、Ｓｗ×（Ｔａｓ／Ｔｆ）≧　Ｓｓ×（Ｔａｍ／Ｔｆ）の関係が維持されるようにする駆動方法およびそれを実現する表示装置である。

画面５０の明るさを制御する方式として、図７７などで説明した構成もある。つまり、基準電流を調整することにより、単位トランジスタ６３４に流れる電流を変化させプログラム電流の大きさを調整することにより、画面輝度５０を変化させる方式である。なお、基準電流の調整方式に関しては図５３などで説明している。

図７７の４９１Ｒは赤（Ｒ）の基準電流を調整するボリウムである。ただし、ボリウムと表現しているのは説明を容易にするためであり、実際には電子ボリウムであり、外部から６ビットのデジタル信号により、６４段階でＲ回路の基準電流ＩａＲがリニアに調整できるように構成されている。基準電流ＩａＲを調整することにより、トランジスタ４７１Ｒとカレントミラー回路を構成するトランジスタ４７２ａに流れる電流をリニアに変化させることができる。したがって、トランジスタ群５２１ａのトランジスタ４７２ａと電流受け渡しされたトランジスタ４７２ｂに流れる電流が変化し、トランジスタ４７２ｂとカレントミラー回路を構成するトランジスタ群５２１ｂのトランジスタ４７３ａが変化し、トランジスタ４７３ａと電流受け渡しされたトランジスタ４７３ｂが変化する。したがって、単位トランジスタ４８４の駆動電流（単位電流）が変化するから、プログラム電流を変化させることができる。なお、Ｇの基準電流ＩａＧ、Ｂの基準電流ＩａＢについても同様である。

図７７は、親子孫の３段階のトランジスタ接続であるが、本発明はこれに限定するものではない。たとえば、図１６６から図１７０のように基準電流を発生する回路と単位トランジスタ４８４とが直結された１段構成であっても適用されることが言うまでもない。つまり、本発明は、１つの基準電流あるいは基準電圧により、プログラム電流あるいはプログラム電圧を変更できる回路構成にあって、基準電流あるいは基準電圧によって画面５０の明るさを変化させる方式である。

図７７に図示するように、（電子）ボリウム４９１は、赤（Ｒ）、緑（Ｇ）、Ｂ（青）の回路にそれぞれ形成されている。したがって、ボリウム４９１Ｒ、４９１Ｇ、４９１Ｂを調整することにより、それぞれに接続された単位トランジスタ４８４の電流を変化（制御あるいは調整）することができる。したがって、ＲＧＢの割合調整によりホワイト（Ｗ）調整を容易に行うことができる。もちろん、ＲＧＢの基準電流（トランジスタ４７２Ｒ、４７２Ｇ、４７２Ｂに流れる電流）を出荷時にあらかじめ調整しておけば、ＲＧＢの電子ボリウム（４９１Ｒ，４９１Ｇ，４９１Ｂ）を一括して変化できる電子ボリウムを別途設けることにより、ホワイト（Ｗ）バランス調整を行うこともできる。たとえば、図１６９、図１７０において、抵抗Ｒ１の値を、各ＲＧＢ回路にホワイトバランスがとれるように調整する。この状態で、図１６９、図１７０電子ボリウム４５１のスイッチＳをＲＧＢで同一に切り替えればホワイトバランスを維持したまま、画面輝度を調整できる。

以上のように本発明の基準電流の駆動方法は、ホワイトバランスがとれるように、ＲＧＢの基準電流値を調整する。そして、この状態を中心として、ＲＧＢの基準電流を同一比率

で調整するものである。同一比率で調整するため、ホワイトバランスが維持される。
以上のように電子ボリウム４９１の調整により、プログラム電流をリニアに変化することができる。なお、説明を容易にするため、図１に図示した画素構成を例として説明するが、本発明はこれに限定するものではなく、他の画素構成でもよいことは言うまでもない。
図７７に図示あるいは説明したように基準電流の制御により、プログラム電流をリニアに調整することができる。１つあたりの単位トランジスタ４８４の出力電流が変化するからである。単位トランジスタ４８４の出力電流を変化させるとプログラム電流Ｉｗも変化する。画素のコンデンサ１９にプログラムされる電流（実際はプログラム電流に相当する電圧である）が大きいほど、ＥＬ素子１５に流れる電流も大きくなる。ＥＬ素子１５に流れる電流と発光輝度はリニアに比例する。したがって、基準電流を変化することによりＥＬ素子１５の発光輝度をリニアに変化させることができる。
なお、本発明は、図７７で説明した基準電流制御方式と、図７８で説明したｄｕｔｙ比制御方式のうち、少なくとも一方の方式を用いて画面の明るさなどの制御を行うものである。好ましくは、図７７と図７８の方式を組み合わせて実施することが好ましい。
以下、図７７、図７８で説明した方式を用いた駆動方法について、さらに詳しく説明をする。本発明の駆動方法は、ＥＬ表示パネルに消費される消費電流の上限にリミットすることが１つの目的である。ＥＬ表示パネルはＥＬ素子１５に流れる電流を輝度が比例関係にある。したがって、ＥＬ素子１５に流れる電流を増大させれば、ＥＬ表示パネルの輝度もどんどん明るくすることができる。輝度に比例して消費される電流（＝消費電力）も増大する。
携帯装置に用いる場合は、電池などの容量に制限がある。また、電源回路も消費される電流が大きくなると規模が大きくなる。したがって、消費する電流にはリミットを設ける必要がある。このリミットを設けること（ピーク電流抑制）が本発明の１つの目的である。また、画像がコントラストを大きくすることにより、表示が良好になる。めりはりのあるように画像変換して画像を表示することにより表示が良好になる。以上のように画像表示を良好にすることが本発明の２つめの目的である。以上の２つの目的（あるいは一方）を実現する本発明をＡＩ駆動と呼ぶことにする。
まず、説明を容易にするために、本発明のＩＣチップ１４は６４階調表示であるとする。ＡＩ駆動を実現するためには、階調表現範囲を拡大することが望ましい。説明を容易にするために、本発明のソースドライバ回路（ＩＣ）１４は６４階調表示とし、画像データは２５６階調とする。この画像データをＥＬ表示装置のガンマ特性に適合するように、ガンマ変換を行う。ガンマ変換は入力２５６階調を１０２４階調に拡大することによって実施する。ガンマ変換された画像データは、ソースの６４階調に適合するように、誤差拡散処理あるいはフレームレートコントロール（ＦＲＣ）処理が行われ、ソースドライバＩＣ１４に印加される。
ＦＲＣはフィールドごとに画像表示を重ね合わせることにより高階調表示を実現するものである。誤差拡散処理は、一例として図９９に図示するように画素Ａの画像データを処理方向の右に７／１６、左下に３／１６、下に５／１６、右下に１／１６に分散させる方法である。分散処理により高階調表示を実現できる。一種の面積階調である。
図示する容易性から図８０、図８１では６４階調表示を５１２階調に変換するとして説明をする。変換は、誤差拡散処理方式あるいはフレームレート制御（ＦＲＣ）により行う。ただし、図８０では階調変換を行っているというよりは、画像の明るさを変換したと解釈してもよい。
図８０は、本発明の駆動方法による画像変換処理を説明するものである。図８０は、横軸は、階調（番号）である。階調（番号）が大きいほど、画面５０の輝度が明るいことを示している。逆に階調（番号）が小さいほど、画像が暗いことを示している。縦軸は、度数である。度数とは、画像を構成する画素の明るさのヒストグラムを示している。たとえば、図８０の（ａ）のＡ１は画像の２４階調レベルの輝度の画素が最も多いことを示す。
図８０の（ａ）は画像の階調表現数を維持したまま、表示明るさを変化させた例である。Ａ１を原画像とすると、原画像はおよそ６４階調の表現範囲である。Ａ２は階調表現数を

維持したまま、明るさの中心を２５６階調に変換した例である。Ａ３も同様に階調表現数を維持したまま、明るさの中心を４４８階調の変換した例である。このような変換は画像データに所定の大きさのデータを加算することにより変換することにより達成できる。
しかし、図８０の（ａ）の階調変換は本発明の駆動方式では実現が困難である。本発明の駆動方式では、図８０の（ｂ）の階調変換を行う。
図８０の（ｂ）は、原画像の度数分布を拡大した例である。Ｂ１を原画像とすると、原画像はおよそ６４階調の表現範囲である。Ｂ２は階調表現範囲を２５６階調まで拡大した例である。画面の輝度が明るくなり、階調表現範囲も拡大する。Ｂ３は、さらに階調表現範囲を５１２階調まで拡大した例である。画面表示輝度がさらに明るくなり、階調表現範囲も拡大する。
図８０の（ｂ）の実現は、本発明の駆動方式で容易に実現できる。図７７で説明した基準電流を変化させることにより実現できる。また、図７８のｄｕｔｙ比を変更（制御）することにより実現できる。もしくは、図７７と図７８の方式を組み合わせることにより実現できる。基準電流制御あるいはｄｕｔｙ比制御により、画像の明るさ制御は容易である。たとえば、ｄｕｔｙ比が１／４の時に図８０の（ｂ）のＢ２の表示状態であれば、ｄｕｔｙ比を１／１６にすれば、図８０の（ｂ）のＢ１の表示状態となる。また、ｄｕｔｙ比を１／２にすれば、図８０の（ｂ）のＢ３の表示状態となる。基準電流制御の場合も同様である。基準電流の大きさを、２倍あるいは１／４にすることにより図８０の（ｂ）の画像表示が可能である。
図８０の（ｂ）の横軸は階調数としている。本発明の駆動方法では階調数の増加ではない。本発明の駆動方法では、図７９で説明したように表示輝度が変化しても階調数が維持されていることに特徴がある。つまり、図８０の（ｂ）ではＢ１の６４階調数が、Ｂ２では２５６階調に変換されたとしている。しかし、Ｂ２の階調数は６４階調である。１つの階調範囲が、Ｂ１に比較して４倍に拡大されている。Ｂ１からＢ２への変換は画像表示のダイナミック変換されたことにほかならない。したがって、高階調表示を実現したのを同等である。したがって、高画質表示を実現できる。
同様に、図８０の（ｂ）ではＢ１の６４階調数が、Ｂ３では５１２階調に変換されたとしている。しかし、Ｂ３の階調数は６４階調である。１つの階調範囲が、Ｂ１に比較して８倍に拡大されている。Ｂ１からＢ３への変換は画像表示のダイナミック変換されたことにほかならない
図８０の（ａ）では、画面５０の輝度を向上させることができる。しかし、画面５０は全体が白っぽくなる（白浮き）。しかし、消費電流の増加は比較的少ない（といっても、画面輝度に比例して消費電流は増大する）。図８０の（ｂ）では、画面５０の輝度を向上でき、階調の表示範囲も拡大しているため、画質劣化もない。しかし、消費電流の増加は大きい。
階調数と画面輝度を比例とし、原画像を６４階調とすると、階調数の増加（ダイナミックレンジの拡大）＝輝度の増大となる。したがって、消費電力（消費電流）が増加する。この課題を解決するため、本発明は、図７７の基準電流と調整（制御）する方式、図７８のｄｕｔｙ比を制御する方式のいずれか、もしくは両方を組み合わせる。
１画面の画像データが全体的に大きいときは画像データの総和は大きくなる。たとえば、白ラスターは６４階調表示の場合は画像データとしては６３であるから、画面５０の画素数×６３が画像データの総和である。１／１００の白ウインドウ表示で、白表示部が最大輝度の白表示では、画面５０の画素数×（１／１００）×６３が画像データの総和である。
本発明では画像データの総和あるいは画面の消費電流量を予測できる値を求め、この総和あるいは値により、ｄｕｔｙ比制御あるいは基準電流制御を行う。
なお、画像データの総和を求めるとしたが、これに限定するものではない。たとえば、画像データの１フレームの平均レベルを求めてこれを用いてもよい。アナログ信号であれば、アナログ画像信号をコンデンサによりフィルタリングすることにより平均レベルを得ることができる。アナログの映像信号に対しフィルタを介して直流レベルを抽出し、この直

流レベルをＡＤ変換して画像データの総和としてもよい。この場合は、画像データはＡＰＬレベルとも言うことができる。
また、画面５０を構成する画像のすべてのデータを加算する必要はなく、画面５０の１／Ｗ（Ｗは１より大きい値）をピックアップして抽出し、ピックアップしたデータの総和を求めてもよい。
説明を容易にするため、以上の場合も画像データの総和を求めるとして説明をする。画像データの総和は、画像のＡＰＬレベルをもとめる事に一致する場合が多い。また、画像データの総和とは、デジタル的に加算する手段もあるが、以上のデジタルおよびアナログによる画像データの総和を求める方法を、以後、説明を容易にするためＡＰＬレベルと呼ぶ。
白ラスターの時にＡＰＬレベルは画像がＲＧＢ各６ビットであるから６３（６３階調目であるからデータの表現としては６３で示されている）×画素数（ＱＣＩＦパネルの場合は１７６×ＲＧＢ×２２０）となる。したがって、ＡＰＬレベルは最大となる。ただし、ＲＧＢのＥＬ素子１５で消費する電流は異なるから、ＲＧＢで分離して画像データを算出することが好ましい。
この課題に対して、図８４に図示する演算回路を使用する。図８４において、８４１、８４２乗算器である。８４１は発光輝度を重み付けする乗算器である。Ｒ、Ｇ、Ｂでは視感度が異なる。ＮＴＳＣでの視感度は、Ｒ：Ｇ：Ｂ＝３：６：１である。したがって、Ｒの乗算器８４１Ｒでは、Ｒ画像データ（Ｒｄａｔａ）に対して３倍の乗算を行う。また、Ｇの乗算器８４１Ｇでは、Ｇ画像データ（Ｇｄａｔａ）に対して６倍の乗算を行う。また、Ｂの乗算器８４１Ｂでは、Ｂ画像データ（Ｂｄａｔａ）に対して１倍の乗算を行う。
ＥＬ素子１５はＲＧＢで発光効率が異なる。通常、Ｂの発光効率が最も悪い。次にＧが悪い。Ｒが最も発光効率が良好である。そこで、乗算器８４２で発光効率の重み付けを行う。Ｒの乗算器８４２Ｒでは、Ｒ画像データ（Ｒｄａｔａ）に対してＲの発光効率の乗算を行う。また、Ｇの乗算器８４２Ｇでは、Ｇ画像データ（Ｇｄａｔａ）に対してＧの発光効率の乗算を行う。また、Ｂの乗算器８４２Ｂでは、Ｂ画像データ（Ｂｄａｔａ）に対してＢの発光効率の乗算を行う。
乗算器８４１および８４２の結果は、加算器８４３で加算され、総和回路８４４に蓄積される。この総和回路８７の結果にもとづき、図７７のｄｕｔｙ比制御、図７８の基準電流制御を実施する。
図８４のように制御すると、輝度信号（Ｙ信号）に対するｄｕｔｙ比制御、基準電流制御を実施することができる。しかし、輝度信号（Ｙ信号）を求めて、ｄｕｔｙ制御などを行うと課題が発生する場合がある。たとえば、ブルーバック表示である。ブルーバック表示ではＥＬパネルで消費する電流は比較的大きい。しかし、表示輝度は低い。ブルー（Ｂ）の視感度が低いためである。そのため、輝度信号（Ｙ信号）の総和（ＡＰＬレベル）は小さく算出されるため、ｄｕｔｙ制御が高ｄｕｔｙになる。したがって、フリッカの発生などが生じる。
この課題に対しては、乗算器８４１をスルーにして用いるとよい。消費電流に対する総和（ＡＰＬレベル）が求められるからである。輝度信号（Ｙ信号）による総和（ＡＰＬレベル）と消費電流による総和（ＡＰＬレベル）は、両方を求めて加味して総合ＡＰＬレベルを求めることが望ましい。総合ＡＰＬレベルによりｄｕｔｙ比制御、基準電流制御を実施する。
黒ラスターは６４階調表示の場合は０階調目であるから、ＡＰＬレベルは０で最小値となる。図８０の駆動方式では、消費電力（消費電流）は画像データに比例する。なお、画像データは、画面５０を構成するデータの全ビットをカウントする必要はなく、たとえば、画像が６ビットで表現される場合、上位ビット（ＭＳＢ）のみをカウントしてもよい。この場合は、階調数が３２以上で、１カウントされる。したがって、画面５０を構成する画像データによりＡＰＬレベルは変化する。
本発明では、得られたＡＰＬレベルの大きさにより、図７８の基準電流制御あるいは図７７のｄｕｔｙ比制御を実施する。

理解を容易にするため、具体的に数値を例示して説明する。ただし、これは仮想的であり、実際には実験、画像評価により制御データ、制御方法を決定する必要がある。
ＥＬパネルで最大に流せる電流を１００（ｍＡ）とする。白ラスター表示ととき、総和（ＡＰＬレベル）は２００（単位なし）になるとする。このＡＰＬレベルが２００の時、そのままパネルに印加するとＥＬパネルに２００（ｍＡ）が流れるとする。なお、ＡＰＬレベルが０の時、ＥＬパネルに流れる電流は０（ｍＡ）である。また、ＡＰＬレベルが１００の時、ｄｕｔｙ比は１／２で駆動するものとする。
したがって、ＡＰＬが１００以上の場合は、制限である１００（ｍＡ）以下となるようにする必要がある。最も簡単には、ＡＰＬレベルが２００の時、ｄｕｔｙを（１／２）×（１／２）＝１／４にし、ＡＰＬレベルが１００の時、ｄｕｔｙを１／２とする。ＡＰＬレベルが１００以上２００以下の時は、ｄｕｔｙが１／４～１／２の間をとるように制御する。ｄｕｔｙ比１／４～１／２は、ＥＬ選択側のゲートドライバ回路１２ｂが、同時に選択するゲート信号線１７ｂの本数を制御することにより実現できる。
ただし、ＡＰＬレベルのみを考慮し、ｄｕｔｙ比制御を実施すれば、画像に応じて画面５０の平均輝度（ＡＰＬ）に応じで画面５０の輝度が変化し、フリッカが発生する。この課題に対して、もとめるＡＰＬレベルは、少なくとも２フレーム、このましくは、１０フレームさらに好ましくは６０フレーム以上の期間保持し、この期間で演算して、ＡＰＬレベルによりｄｕｔｙ比制御によるｄｕｔｙ比を算出する。また、画面５０の最大輝度（ＭＡＸ）、最小輝度（ＭＩＮ）、輝度の分布状態（ＳＧＭ）などの画像の特徴抽出を行ってｄｕｔｙ比制御を行うことが好ましい。以上の事項は、基準電流制御にも適用されることは言うまでもない。
また、画像の特徴抽出により、黒伸張、白伸張を実施することも重要である。これは、最大輝度（ＭＡＸ）、最小輝度（ＭＩＮ）、輝度の分布状態（ＳＧＭ）を考慮して行うとよい。たとえば、図８１の（ａ）では、画像の中心データＫｂは２５６階調付近に分布し、高輝度部Ｋｃは、３２０階調付近に分布している。また、低輝度部Ｋａは、１２８階調付近に分布している。
図８１の（ｂ）は図８１の（ａ）の画像に対して黒伸張および白伸張を実施した例である。ただし、黒伸張と白伸張を同時に行う必要はなく、一方だけを実施してもよい。また、画像の中心部分（図８１の（ａ）のＫｂも低階調部あるいは高階調部に移動させてもよい。これらの適切な移動情報は、ＡＰＬレベル、最大輝度（ＭＡＸ）、最小輝度（ＭＩＮ）、輝度の分布状態（ＳＧＭ）からもとめることができる。ただし、経験的な事項の場合もある。人間の視感度が影響するからである。したがって、画像評価と実験とを繰り返して検討する必要がある。しかし、黒伸張あるいは白伸張などの画像処理は、ガンマカーブを演算であるいはルックアップテーブルからもとめることをできるから容易に実現できる。図８１の（ｂ）のように処理をすることにより、画像にめりはりがつき、良好な画像表示を実現できる。
なお、ｄｕｔｙ比制御により、画面５０の明るさを変化させるのは、図８２のように行う。図８２の（ａ）は表示領域５３を連続して変化させる駆動方法である。図８２（ａ１）の画面５０輝度よりは図８２（ａ２）の画面５０輝度が明るい。最も明るいのは図８２（ａｎ）の状態である。図８２の（ａ）のｄｕｔｙ比制御による駆動は動画表示に適する。
図８２の（ｂ）は表示領域５３を分割して変化させる駆動方法である。図８２（ｂ１）は一例として画面５０の２箇所に表示領域５３を発生させている。図８２（ｂ２）も図８２（ｂ１）と同様に画面５０の２箇所に表示領域５３を発生させているが、２箇所のうち１箇所に表示領域５３の画素行が増加している（一方は１画素行が表示領域５３、他方は２画素行が表示領域５３である）。図８２（ｂ３）も図８２（ｂ２）と同様に画面５０の２箇所に表示領域５３を発生させているが、２箇所のうち１箇所に表示領域５３の画素行が増加している（両方とも２画素行が表示領域５３である）。以上のように表示領域５３を分散させてｄｕｔｙ比制御を行っても良い。一般的に図８２の（ｂ）は静止画表示に適する。
図８２の（ｂ）は表示領域５３の分散を２分散としている。しかし、これは作図を容易に

するためである。実際には、表示領域５３の分散は３分散以上にする。
図８３は本発明の駆動回路のブロック図である。以下、本発明の駆動回路について説明をする。図８３では、外部からＹ／ＵＶ映像信号と、コンポジット（ＣＯＭＰ）映像信号が入力できるように構成されている。どちらに映像信号を入力するかは、スイッチ回路８３１により選択される。
スイッチ回路８３１で選択された映像信号は、デコーダおよびＡ／Ｄ回路によりデコードおよびＡＤ変換され、デジタルのＲＧＢ画像データに変換される。ＲＧＢ画像データは各８ビットである。また、ＲＧＢ画像データはガンマ回路８３４でガンマ処理される。同時に輝度（Ｙ）信号が求められる。ガンマ処理により、ＲＧＢ画像データは各１０ビットの画像データに変換される。
ガンマ処理後、画像データはＦＲＣ処理または誤差拡散処理が処理回路８３５で行われる。ＦＲＣ処理または誤差拡散処理によりＲＧＢ画像データは６ビットに変換される。この画像データはＡＩ処理回路８３６でＡＩ処理あるいはピーク電流処理が実施される。また、動画検出回路８３７で動画検出が行われる。同時に、カラーマネージメント回路８３８でカラーマネージメント処理が行われる。
ＡＩ処理回路８３６、動画検出回路８３７、カラーマネージメント回路８３８の処理結果は演算回路８３９に送られ、演算処理回路８３９で制御演算、ｄｕｔｙ比制御、基準電流制御データに変換され、変換された結果が、ソースドライバ回路１４およびゲートドライバ回路１２に制御データとして送出される。
ｄｕｔｙ比制御データはゲートドライバ回路１２ｂに送られ、ｄｕｔｙ比制御が実施される。一方、基準電流制御データはソースドライバ回路１４に送られ、基準電流制御が実施される。ガンマ補正され、ＦＲＣまたは誤差拡散処理された画像データもソースドライバ回路１４に送られる。
図８１の（ｂ）の画像データ変換は、ガンマ回路８３４のガンマ処理により行う必要がある。ガンマ回路８３４は、多点折れガンマカーブにより階調変換を行う。２５６階調の画像データは、多点折れガンマカーブにより１０２４階調に変換される。
ガンマ回路８３４により多点折れガンマカーブでガンマ変換するとしたが、これに限定するものではない。図８５に図示するように、一点折れガンマカーブでガンマ変換してもよい。一点折れガンマカーブを構成するハード規模が小さいため、コントロールＩＣを低コスト化できる。
図８５において、ａは３２階調目での折れ線ガンマ変換である。ｂは６４階調目での折れ線ガンマ変換である。ｃは９６階調目での折れ線ガンマ変換である。ｄは１２８階調目での折れ線ガンマ変換である。画像データが高階調に集中している場合は、高階調での階調数を多くするため、図８５のｄのガンマカーブを選択する。画像データが低階調に集中している場合は、低階調での階調数を多くするため、図８５のａのガンマカーブを選択する。画像データの分布が分散している場合は、図８５のｂ、ｃなどのガンマカーブを選択する。なお、以上の実施例では、ガンマカーブを選択するとしたが、実際には、ガンマカーブは演算により発生させるので選択するのではない。
ガンマカーブの選択は、ＡＰＬレベル、最大輝度（ＭＡＸ）、最小輝度（ＭＩＮ）、輝度の分布状態（ＳＧＭ）を加味して行う。また、ｄｕｔｙ比制御、基準電流制御も加味して行う。
図８６は多点折れガンマカーブの実施例である。画像データが高階調に集中している場合は、高階調での階調数を多くするため、図８５のｎのガンマカーブを選択する。画像データが低階調に集中している場合は、低階調での階調数を多くするため、図８５のａのガンマカーブを選択する。画像データの分布が分散している場合は、図８５のｂからｎ－１のガンマカーブを選択する。ガンマカーブの選択は、ＡＰＬレベル、最大輝度（ＭＡＸ）、最小輝度（ＭＩＮ）、輝度の分布状態（ＳＧＭ）を加味して行う。また、ｄｕｔｙ比制御、基準電流制御も加味して行う。
表示パネル（表示装置）が使用する環境に合わせて選択するガンマカーブを変化することも有効である。特にＥＬ表示パネルでは、屋内では良好な画像表示を実現できるが、屋外

では低階調部は見えない。ＥＬ表示パネルは自発光のためである。そこで、図８７に図示するように、ガンマカーブを変化させてもよい。ガンマカーブａは屋内用のガンマカーブである。ガンマカーブｂは屋外用のガンマカーブである。ガンマカーブａとｂとの切り替えは、ユーザーがスイッチを操作することにより切り替えるようにする。また、外光の明るさをホトセンサで検出し、自動的に切り替えるようにしてもよい。なお、ガンマカーブを切り替えるとしたが、これに限定するものではない。計算によりガンマカーブを発生させてもよいことは言うまでもない。屋外の場合は、外光があかるいため、低階調表示部は見えない。したがって、低階調部をつぶすガンマカーブｂを選択することが有効である。
屋外では、図８８のようにガンマカーブを発生させることも有効である。ガンマカーブａは１２８階調目までは出力階調は０にする。１２８階調からガンマ変換を行う。以上のように、低階調部は全く表示しないようにガンマ変換することにより消費電力を削減できる。また、図８８のガンマカーブｂのようにガンマ変換を行っても良い。図８８のガンマカーブは１２８階調目までは出力階調を０にする。１２８以上は出力階調を５１２以上とする。図８８のガンマカーブｂでは高階調部を表示し、出力階調数も少なくすることにより屋外でも画像表示を見えやすくする効果がある。
本発明の駆動方式では、ｄｕｔｙ比制御と基準電流制御により画像輝度を制御し、また、ダイナミックレンジを拡大する。また、高コントラスト表示を実現する。
液晶表示パネルでは、白表示および黒表示はバックライトからの透過率で決定される。本発明のｄｕｔｙ比駆動のように画面５０に非表示領域５２を発生させても、黒表示における透過率は一定である。逆に非表示領域５２を発生させることにより、１フレーム期間における白表示輝度が低下するから表示コントラストは低下する。
ＥＬ表示パネルは、黒表示は、ＥＬ素子１５に流れる電流が０の状態である。したがって、本発明のｄｕｔｙ比駆動のように画面５０に非表示領域５２を発生させても、黒表示の輝度は０である。非表示領域５２の面積を大きくすると白表示輝度は低下する。しかし、黒表示の輝度が０であるから、コントラストは無限大である。したがって、ｄｕｔｙ比駆動は、ＥＬ表示パネルに最適な駆動方法である。以上のことは、基準電流制御においても同様である。基準電流の大きさを変化させても、黒表示の輝度は０である。基準電流を大きくすると白表示輝度は増加する。したがって、基準電流制御においても良好な画像表示を実現できる。
ｄｕｔｙ比制御は、全階調範囲で階調数が保持され、また、全階調範囲でホワイトバランスが維持される。また、ｄｕｔｙ比制御により画面５０の輝度変化は１０倍近く変化させることができる。また、変化はｄｕｔｙ比に線形の関係になるから制御も容易である。しかし、ｄｕｔｙ比制御は、Ｎ倍パルス駆動であるから、ＥＬ素子１５に流れる電流の大きさが大きく、また、画面５０の輝度にかかわらず、常時ＥＬ素子に流れる電流の大きさが大きくなり、ＥＬ素子１５が劣化しやすいという課題がある。
基準電流制御は、画面輝度５０を高くするときに、基準電流量を大きくするものである。したがって、画面５０が高いときにしか、ＥＬ素子１５に流れる電流は大きくならない。そのため、ＥＬ素子１５が劣化しにくい。課題は、基準電流を変化させた時のホワイトバランス維持が困難である傾向が強い。
本発明では、基準電流制御とｄｕｔｙ比制御の両方を用いる。画面５０が白ラスター表示に近い時には、基準電流は一定値に固定し、ｄｕｔｙ比のみを制御して表示輝度などを変化させる。画面５０に黒ラスター表示に近い時は、ｄｕｔｙ比は一定値に固定し、基準電流のみを制御させて表示輝度などを変化させる。
ｄｕｔｙ比制御は、データ和／最大値が１／１０以上１／１の範囲で実施する。さらに好ましくは、データ和／最大値が１／１００以上１／１の範囲で実施する。また、基準電流の倍率変化（単位トランジスタ４８４の出力電流変化）は、データ和／最大値が１／１０以上１／１０００の範囲で実施する。さらに好ましくはデータ和／最大値が１／１００以上１／２０００の範囲で実施する。基準電流制御とｄｕｔｙ比制御はオーバーラップしないようにすることが好ましい。図８９ではデータ和／最大値が１／１００以下では基準電流の倍率を変化させており、１／１００以上でｄｕｔｙ比を変化させている。したがって

、オーバーラップはしていない。
ここでは説明を容易にするため、ｄｕｔｙ比の最大はｄｕｔｙ比１／１とし、最小はｄｕｔｙ比１／８とする。基準電流は、１倍から３倍に変化させるとする。また、データ和は画面５０のデータの総和を意味し、（データ和の）最大値は、最大輝度での白ラスター表示での画像データの総和であるとする。なお、ｄｕｔｙ比１／１まで使用する必要がないことは言うまでもない。ｄｕｔｙ比１／１は最大値として記載している。本発明の駆動方法では、最大のｄｕｔｙ比を２１０／２２０などと設定してもよいことは言うまでもない。なお、２２０はＱＣＩＦ＋の表示パネルの画素行数を例示している。
なお、ｄｕｔｙ比の最大はｄｕｔｙ比１／１とし、最小はｄｕｔｙ比１／１６以内にすることが好ましい。さらに好ましくは、ｄｕｔｙ比１／１０以内にするとよい。フリッカの発生を抑制できるからである。基準電流の変化範囲は、４倍以内にすることが好ましい。さらに好ましくは２．５倍以内にする。基準電流の倍数を大きくしすぎると、基準電流発生回路の線形性がなくなり、ホワイトバランスずれが発生するからである。
データ和／（データ和の）最大値＝１／１００とは、一例として１／１００の白ウインドウ表示である。自然画像では、画像表示する画素のデータ和が、白ラスター表示の１／１００に換算できる状態を意味する。したがって、１００画素あたりに１点の白輝点表示もデータ和／最大値が１／１００である。
以下の説明では最大値とは白ラスターの画像データの加算値としたが、これは説明を容易にするためである。最大値は画像データの加算処理あるいはＡＰＬ処理などで発生する最大値である。したがって、データ和／最大値とは、処理を行う画面の画像データの最大値に対する割合である。
なお、データ和は消費電流で算定するか、輝度で算定するかはどちらでもよい。ここでは説明を容易にするため、輝度（画像データ）の加算であるとして説明をする。一般的に輝度（画像データ）の加算の方式が処理は容易であり、コントローラＩＣのハード規模も小さくできる。また、ｄｕｔｙ比制御によるフリッカの発生もなく、ダイナミックレンジを広く取れることから好ましい。
図８９は本発明の基準電流制御とｄｕｔｙ比制御を実施した例である。図８９ではデータ和／最大値が１／１００以下では基準電流の倍率を３倍まで変化させている。１／１００以上でｄｕｔｙ比を１／１から１／８まで変化させている。したがって、データ和／最大値が１／１から１／１００００までで、ｄｕｔｙ比制御で８倍、基準電流制御で３倍であるから、８×３＝２４倍の変化が実施されている。基準電流制御およびｄｕｔｙ比制御はともに画面輝度を変化させるから、２４倍のダイナミックレンジが実現されていることになる。
データ和／最大値が１／１ではｄｕｔｙ比が１／８である。したがって、表示輝度は最大値の１／８になっている。データ和／最大値が１であるから、白ラスター表示である。つまり、白ラスター表示では表示輝度が最大の１／８に低下している。画面５０の１／８が画像表示領域５３であり、非表示領域５２が７／８を占めている。データ和／最大値が１／１に近い画像は、ほとんどの画素１６が高階調表示である。ヒストグラムで表現すれば、ヒストグラムの高階調領域に大多数のデータが分布している。この画像表示では、画像が白つぶれ状態でありメリハリ感がない。そのため、図８６などのガンマカーブのｎまたはｎに近いものが選択される。
データ和／最大値が１／１００では、ｄｕｔｙ比は１／１である。画面５０の全体が表示領域５３である。したがって、Ｎ倍パルス駆動は実施されていない。ＥＬ素子１５の発光輝度がそのまま画面５０の表示輝度となる。画像表示はほとんどが黒表示であり、一部に画像が表示されている状態である。イメージで表現すれば、データ和／最大値が１／１００の画像表示とは、真っ暗な夜空に月がでている画像である。この画像でｄｕｔｙ比を１／１にするということは、月の部分は、白ラスターの輝度の８倍の輝度で表示されることになる。したがって、ダイナミックレンジの広い画像表示を実現できる。画像表示されているのは１／１００の領域であるから、１／１００の領域の輝度を８倍にしたとしても消費電力の増加はわずかである。

データ和／最大値が１／１００に近い画像は、ほとんどの画素１６が低階調表示である。ヒストグラムで表現すれば、ヒストグラムの低階調領域に大多数のデータが分布している。この画像表示では、画像が黒つぶれ状態でありメリハリ感がない。そのため、図８６などのガンマカーブのｂまたはｂに近いものが選択される。

以上のように本発明の駆動方法は、ｄｕｔｙ比が大きくなるにしたがって、ガンマのｘ乗数を大きくする駆動方法である。ｄｕｔｙ比が小さくなるにしたがって、ガンマのｘ乗数を小さくする駆動方法である。

図８９ではデータ和／最大値が１／１００以下では基準電流の倍率を３倍まで変化させている。データ和／最大値が１／１００ではｄｕｔｙ比が１／１として、ｄｕｔｙ比により画面輝度を高くしている。データ和／最大値が１／１００よりも小さくなるにしたがって、基準電流の倍率を大きくしている。したがって、発光している画素１６はより高輝度で発光する。たとえば、データ和／最大値が１／１０００とは、メージで表現すれば、真っ暗な夜空に星がでている画像である。この画像でｄｕｔｙ比を１／１にするということは、星の部分は、白ラスターの輝度の８×２＝１６倍の輝度で表示されることになる。したがって、ダイナミックレンジの広い画像表示を実現できる。画像表示されているのは１／１０００の領域であるから、１／１０００の領域の輝度を１６倍にしたとしても消費電力の増加はわずかである。

基準電流の制御はホワイトバランスを維持することが難しいという点である。しかし、真っ暗な夜空に星がでている画像ではホワイトバランスがずれていても視覚的にはホワイトバランスずれは認識されない。以上のことから、データ和／最大値が非常に小さい範囲で、基準電流制御を行う本発明は適切な駆動方法である。

データ和／最大値が１／１０００では、ｄｕｔｙ比は１／１である。画面５０の全体が表示領域５３である。したがって、Ｎ倍パルス駆動は実施されていない。ＥＬ素子１５の発光輝度がそのまま画面５０の表示輝度となる。画像表示はほとんどが黒表示であり、一部に画像が表示されている状態である。

データ和／最大値が１／１０００に近い画像は、ほとんどの画素１６が低階調表示である。ヒストグラムで表現すれば、ヒストグラムの低階調領域に大多数のデータが分布している。この画像表示では、画像が黒つぶれ状態でありメリハリ感がない。そのため、図８６などのガンマカーブのｂまたはｂに近いものが選択される。

以上のように本発明の駆動方法は、基準電流が小さくなるにしたがって、ガンマのｘ乗数を大きくする駆動方法である。また、基準電流が大きくなるにしたがって、ガンマのｘ乗数を小さくする駆動方法である。

図８９では、基準電流の変化およびｄｕｔｙ比制御の変化は直線的に図示している。しかし、本発明はこれに限定されるものではない。図９０に図示するように基準電流の倍率制御、ｄｕｔｙ比制御を曲線的にしてもよい。図８９、図９０では、横軸のデータ和／最大値が対数であるから、基準電流制御およびｄｕｔｙ比制御の線が曲線になるのは自然である。データ和／最大値と基準電流倍率の関係、データ和／最大値とｄｕｔｙ比制御の関係は、画像データの内容、画像表示状態、外部環境に合わせて設定することが好ましい。

図８９、図９０は、ＲＧＢのｄｕｔｙ比制御、基準電流制御を同一にした実施例である。本発明は、これに限定するものではない。図９１に図示するように、ＲＧＢで基準電流倍率の傾きを変化させてもよい。図９１では、青（Ｂ）の基準電流倍率の変化の傾きを最も大きくし、緑（Ｇ）の基準電流倍率の変化の傾きを次に大きくし、赤（Ｒ）の基準電流倍率の変化の傾きを最も小さくしている。基準電流を大きくすると、ＥＬ素子１５に流れる電流も大きくなる。ＥＬ素子はＲＧＢで発光効率が異なる。また、ＥＬ素子１５に流れる電流が大きくなると印加電流に対する発光効率が悪くなる。特に、Ｂではその傾向が顕著である。そのため、ＲＧＢで基準電流量を調整しないとホワイトバランスが取れなくなる。したがって、図９１のように、基準電流倍率を大きくした時（各ＲＧＢのＥＬ素子１５に流す電流が大きい領域）では、ホワイトバランスを維持できるようにＲＧＢの基準電流倍率を異ならせることが有効である。データ和／最大値と基準電流倍率の関係、データ和／最大値とｄｕｔｙ比制御の関係は、画像データの内容、画像表示状態、外部環境に合わ

せて設定することが好ましい。
図９１は基準電流倍率をＲＧＢで異ならせた実施例であった。図９２はｄｕｔｙ比制御も異ならせている。データ和／最大値を１／１００以上でＢとＧで同一にし、Ｒの傾きを小さくしている。また、ＧとＲは１／１００以下でｄｕｔｙ比１／１であるが、Ｂは１／１００以下でｄｕｔｙ比１／２としている。以上のような駆動方法は、図１２５から図１３１で説明した駆動方法により実施することができる。以上のように駆動すれば、ＲＧＢのホワイトバランス調整を最適にすることができる。データ和／最大値と基準電流倍率の関係、データ和／最大値とｄｕｔｙ比制御の関係は、画像データの内容、画像表示状態、外部環境に合わせて設定することが好ましい。また、ユーザーが自由に設定あるいは調整できるように構成することが好ましい。
図８９から図９１は、一例としてデータ和／最大値を１／１００を境に基準電流倍率とｄｕｔｙ比を変化させる方法であった。データ和／最大値を一定の値を境で、基準電流倍率とｄｕｔｙ比を変化させ、基準電流倍率が変化させる領域とｄｕｔｙ比を変化させる領域を重ならないようにしている。このように構成することによりホワイトバランスの維持が容易である。つまり、データ和／最大値が１／１００以上ｄｕｔｙ比を変化させ、データ和／最大値が１／１００以下で基準電流を変化させている。基準電流倍率が変化させる領域とｄｕｔｙ比を変化させる領域を重ならないようにしている。この方法は、本発明の特徴ある方法である。
なお、データ和／最大値が１／１００以上でｄｕｔｙ比を変化させ、データ和／最大値が１／１００以下で基準電流を変化させたとしたが、逆の関係でもよい。つまり、データ和／最大値が１／１００以下でｄｕｔｙ比を変化させ、データ和／最大値が１／１００以上で基準電流を変化させてもよい。また、データ和／最大値が１／１０以上でｄｕｔｙ比を変化させ、データ和／最大値が１／１００以下で基準電流を変化させ、データ和／最大値が１／１００以上１／１０以下では、基準電流倍率およびｄｕｔｙ比を一定値としてもよい。
場合によっては、本発明は以上の方法に限定されない。図９３に図示するようにデータ和／最大値が１／１００以上でｄｕｔｙ比を変化させ、データ和／最大値が１／１０以下でＢの基準電流を変化させてもよい。Ｂの基準電流変化とＲＧＢのｄｕｔｙ比とを変化をオーバーラップさせている。
早いスピードで明るい画面と暗い画面とは交互に繰り返す時、変化に応じてｄｕｔｙ比を変化させるとのフリッカが発生する。したがって、あるｄｕｔｙ比から他のｄｕｔｙ比に変化する時は、ヒステリシス（時間遅延）を設けて変化させることが好ましい。たとえば、ヒステリシス期間を１ｓｅｃとすると、１ｓｅｃ期間内に、画面輝度が明るい暗いが複数回繰り返しても、以前のｄｕｔｙ比が維持される。つまり、ｄｕｔｙ比は変化しない。このヒステリシス（時間遅延）時間をＷａｉｔ時間と呼ぶ。また、変化前のｄｕｔｙ比を変化前ｄｕｔｙ比と呼び、変化後のｄｕｔｙ比を変化後ｄｕｔｙ比と呼ぶ。
変化前ｄｕｔｙ比が小さい状態から、他のｄｕｔｙ比に変化する時は、変化によるフリッカの発生が起こりやすい。変化前ｄｕｔｙ比が小さい状態は、画面５０のデータ和が小さい状態あるいは画面５０に黒表示部が多い状態である。したがって、画面５０が中間調の表示で視感度が高いためと思われる。また、ｄｕｔｙ比が小さい領域では、変化ｄｕｔｙとの差が大きくなる傾向があるからである。もちろん、ｄｕｔｙ比の差が大きくなる時は、ＯＥＶ２端子を用いて制御する。しかし、ＯＥＶ２制御にも限界がある。以上のことから、変化前ｄｕｔｙ比が小さい時は、ｗａｉｔ時間を長くする必要がある。
変化前ｄｕｔｙ比が大きい状態から、他のｄｕｔｙ比に変化する時は、変化によるフリッカの発生が起こりにくい。変化前ｄｕｔｙ比が大きい状態は、画面５０のデータ和が大きい状態あるいは画面５０に白表示部が多い状態である。したがって、画面５０全体が白表示で視感度が低いためと思われる。以上のことから、変化前ｄｕｔｙ比が大きい時は、ｗａｉｔ時間は短くてよい。
以上の関係を図９４に図示する。横軸は変化前ｄｕｔｙ比である。縦軸はＷａｉｔ時間（秒）である。ｄｕｔｙ比が１／１６以下では、Ｗａｉｔ時間を３秒（ｓｅｃ）と長くして

いる。ｄｕｔｙ比が１／１６以上ｄｕｔｙ比８／１６（＝１／２）では、ｄｕｔｙ比に応じてＷａｉｔ時間を３秒から２秒に変化させる。ｄｕｔｙ比８／１６以上ｄｕｔｙ比１６／１６＝１／１では、ｄｕｔｙ比に応じて２秒から０秒に変化させる。

以上のように、本発明のｄｕｔｙ比制御はｄｕｔｙ比に応じてＷａｉｔ時間を変化させる。ｄｕｔｙ比が小さい時はＷａｉｔ時間を長くし、ｄｕｔｙ比が大きい時はＷａｉｔ時間を短くする。つまり、少なくともｄｕｔｙ比を可変する駆動方法にあって、第１の変化前のｄｕｔｙ比が第２の変化前のｄｕｔｙ比よりも小さく、第１の変化前ｄｕｔｙ比のＷａｉｔ時間が、第２の変化前ｄｕｔｙ比のＷａｉｔ時間よりも長く設定することを特徴とするものである。

なお、以上の実施例では、変化前ｄｕｔｙ比を基準にしてＷａｉｔ時間を制御あるいは規定するとした。しかし、変化前ｄｕｔｙ比と変化後ｄｕｔｙ比との差はわずかである。したがって、前述の実施例において変化前ｄｕｔｙ比を変化後ｄｕｔｙ比と読み替えても良い。

また、以上の実施例において、変化前ｄｕｔｙ比と変化後ｄｕｔｙ比を基準にして説明した。変化前ｄｕｔｙ比と変化後ｄｕｔｙ比との差が大きい時はＷａｉｔ時間を長くとる必要があることはいうまでもない。また、ｄｕｔｙ比の差が大きい時は、中間状態のｄｕｔｙ比を経由して変化後ｄｕｔｙ比に変化させることが良好であることは言うまでもない。

本発明のｄｕｔｙ比制御方法は、変化前ｄｕｔｙ比と変化後ｄｕｔｙ比との差が大きい時はＷａｉｔ時間を長くとる駆動方法である。つまり、ｄｕｔｙ比の差に応じてＷａｉｔ時間を変化させる駆動方法である。また、ｄｕｔｙ比の差が大きい時にＷａｉｔ時間を長くとる駆動方法である。

また、本発明のｄｕｔｙ比の方法は、ｄｕｔｙ比の差が大きい時は、中間状態のｄｕｔｙ比を経由して変化後ｄｕｔｙ比に変化させることを特徴とする駆動方法である。

図９４の実施例では、ｄｕｔｙ比に対するＷａｉｔ時間を、Ｒ（赤）Ｇ（緑）Ｂ（青）で同一にするとして説明した。しかし、本発明は、図９５に図示するようにＲＧＢでＷａｉｔ時間を変化させてもよいことは言うまでもない。ＲＧＢで視感度が異なるからである。視感度にあわせてＷａｉｔ時間を設定することにより、より良好な画像表示を実現できる。

以上の実施例は、ｄｕｔｙ比制御に関する実施例であった。基準電流制御についてもＷａｉｔ時間を設定することが好ましい。図９６はその実施例である。

基準電流が小さい時は画面５０が暗く、基準電流が大きい時は画面５０が明るい。つまり、基準電流倍率が小さい時は、中間調表示状態と言い換えることができる。基準電流倍率が高いときは、高輝度の画像表示状態である。したがって、基準電流倍率が低い時は、変化に対する視感度が高いため、Ｗａｉｔ時間を長くする必要がある。一方、基準電流倍率が高いときは、変化に対する視感度が低いため、Ｗａｉｔ時間が短くても良い。したがって、図９６に図示するように、基準電流倍率に対するＷａｉｔ時間を設定すればよい。

本発明は、データ和あるいはＡＰＬを算出（検出）し、この値のよりｄｕｔｙ比制御、基準電流制御を行うものである。図９８はこのｄｕｔｙ比と基準電流倍率を求めるフローチャートである。

図９８に図示するように、入力された画像データは、概略のＡＰＬが算出される（仮ＡＰＬが算出される）。このＡＰＬから基準電流の値、基準電流倍率が決定される。決定された基準電流、基準電流倍率は、電子ボリウムデータに変換されソースドライバ回路１４に印加される。

一方、画像データはガンマ処理回路に入力され、ガンマ特性が決定される。ガンマ特性の処理した画像データからＡＰＬが算出される。算出されたＡＰＬよりｄｕｔｙ比を決定する。次に、画像が動画か静止画により、ｄｕｔｙパターンが決定される。ｄｕｔｙパターンとは、非表示領域５２と表示領域５３との分布状態である。動画の場合は、非表示領域５２を一括に挿入する。静止画の場合は、非表示領域５２を分散させて挿入にする。したがって、静止画の場合は、非表示領域５２と表示領域非表示領域５２を分散させて挿入するｄｕｔｙパターンに変換する。動画の場合は、非表示領域５２を一括で挿入するｄｕｔ

ｙパターンに変換する。変換されたパターンは、ゲートドライバ回路１２ｂのスタートパルスＳＴ（図６を参照のこと）として印加される。
図９４、図９５では、ｄｕｔｙ比に応じてＷａｉｔ時間を制御することを説明し、また、図８９から図９３において、データ和に応じてｄｕｔｙ比制御を行うことを説明した。図１０３はさらにｄｕｔｙ比制御およびＷａｉｔ時間を行うための詳細な説明図である。ただし、説明を容易にするため、時間的ファクタなどを縮小して表現している。
図１０３において、最上段はフレーム（フィールド）番号を示している。２段目はＡＰＬレベル（データ和が該当）を示している。３段目はＡＰＬレベルから算出された対応ｄｕｔｙ比を示している。最下段は、Ｗａｉｔ時間を考慮し補正して結果のｄｕｔｙ比（処理ｄｕｔｙ比）を示している。つまり、各フレームのＡＰＬレベルにより対応ｄｕｔｙ比（３段目）は８／６４→９／６４→９／６４→１０／６４→９／６４→１０／６４→１１／６４→１１／６４→１２／６４→１４／６４→・・・・・と変化する。
対応ｄｕｔｙ比に対して、処理ｄｕｔｙ比はＷａｉｔ時間を考慮して、８／６４→８／６４→９／６４→９／６４→９／６４→１０／６４→１０／６４→１１／６４→１２／６４→１２／６４→・・・・・と変化する。
図１０３では、Ｗａｉｔ時間により対応ｄｕｔｙ比を補正している。また、処理ｄｕｔｙ比は分子が整数にしている（図１０７は分子には小数点があることと比較のこと）。図１０３では、ｄｕｔｙ比の変化が滑らかにし、フリッカが発生しにくいように駆動している。図１０３において、フレーム３、４、５で対応ｄｕｔｙ比が９／６４、１０／６４、９／６４に変化しているが、Ｗａｉｔ時間制御を実施し、処理ｄｕｔｙ比は、９／６４、９／６４、９／６４に変化させている（フレーム４において点線で補正箇所を記載している）。また、図１０３において、フレーム９、１０、１１で対応ｄｕｔｙ比が１２／６４、１４／６４、１１／６４に変化しているが、Ｗａｉｔ時間制御を実施し、処理ｄｕｔｙ比は、１２／６４、１２／６４、１１／６４に変化させている（フレーム１０において点線で補正箇所を記載している）。以上のようにＷａｉｔ時間制御を行うことにより、ｄｕｔｙ比制御にヒステリシス（時間遅延あるいはローパスフィルタ）を持たせることにより、ＡＰＬレベルが急激に変化してもｄｕｔｙ比が変化しないようにしている。
以上のような、ｄｕｔｙ比制御は、１フレームあるいは１フィールドで完結する必要はない。数フィールド（数フレーム）の期間でｄｕｔｙ比制御を行っても良い。この場合のｄｕｔｙ比は数フィールド（数フレーム）の平均値をｄｕｔｙ比とする。なお、数フィールド（数フレーム）でｄｕｔｙ比制御を行う場合であっても、数フィールド（数フレーム）期間は、６フィールド（６フレーム）以下にすることが好ましい。これ以上であるとフリッカが発生する場合があるからである。また、数フィールド（数フレーム）とは整数ではなく、２．５フレーム（２．５フィールド）などでもよい。つまり、フィールド（フレーム）単位には限定されない。
図１０４は数フィールド（数フレーム）でｄｕｔｙ比制御を行う場合の実施例である。図１０４は数フィールド（数フレーム）を行う場合の概念を図示している。Ｍはｄｕｔｙ比制御を行う長さである。１フィールド（１フレーム）が画素行数２５６であれば、Ｍ＝１０２４は４フィールド（４フレーム）が該当する。つまり、図１０４は４フィールド（４フレーム）でｄｕｔｙ比制御を行う実施例である。
Ｍは仮想的ゲートドライバ回路１２ｂのシフトレジスタ６１ｂの保持データ列をしめしている（図６を参照のこと）。保持データ列には、ゲート信号線１７ｂに印加する電圧をオフ電圧にするかオン電圧にするかのデータ（オンオフ電圧）が保持されている。この保持データ列の平均値がｄｕｔｙ比を示すことになる。なお、図１０４において、Ｍ＝Ｎであっても良いことは言うまでもない。また、場合によっては、Ｍ　＜　Ｎの関係でｄｕｔｙ比制御を行っても良いことは言うまでもない。
たとえば、Ｍ＝１０２４の保持データ列において、オン電圧データが２５６あり、オフ電圧が７６８であれば、ｄｕｔｙ比は２５６／１０２４＝１／４となる。なお、オン電圧データの分布状態は表示画像が動画の場合は、固まって保持されており、表示画像が静止画の場合は、オン電圧の分布状態は分散して保持されている。

つまり、仮想的にオンオフ電圧データ列がＥＬ表示パネルのゲート信号線１７ｂに順次印加される。オンオフ電圧が順次印加されることによりＥＬ表示パネルがｄｕｔｙ比制御され、所定の明るさで報じされる。

図１０５は図１０４のｄｕｔｙ比制御を実現するための回路構成のブロック図である。まず、映像信号（画像データ）はＹ変換回路１０５１により、輝度信号に変換される。次に、ＡＰＬ演算回路１０５２により、ＡＰＬレベル（データ和あるいはデータ和／最大値）が求められる。このＡＰＬレベルによりｄｕｔｙ比がフィールド（フレーム）単位で算出され、結果はスタック１０５３に蓄えられる。スタック回路１０５３はｆｉｒｓｔ　ｉｎ　ｆｉｒｓｔ　ｏｕｔ構成である。なお、Ｗａｉｔ時間制御によりｄｕｔｙ比は補正されてスタック回路１０５３に格納される。スタック１０５３に格納されたｄｕｔｙ比データは、パラレル／シリアル変換（Ｐ／Ｓ）回路１０５４により、シフトレジスタ６１ｂのＳＴパルス（図６を参照のこと）として印加され、印加されたデータの順番に応じてゲートドライバ回路１２ｂからゲート信号線１７ｂのオンオフ電圧が出力される。

以上の実施例では、フィールドあるいはフレームでｄｕｔｙ比制御を実施するとした。しかし、本発明はこれに限定するものではない。たとえば、１フレーム＝４フィールドとし、複数のフィールドを単位としてｄｕｔｙ比制御を行っても良い。複数のフィールドを用いてｄｕｔｙ比制御を行うことにより、フリッカの発生しない滑らかな画像表示を実現できる。

図１０６において、１－１は１フレームの第１フィールドを意味し、１－２は１フレームの第２フィールドを意味し、１－３は１フレームの第３フィールドを意味し、１－４は１フレームの第４フィールドを意味する。また、２－１は２フレームの第１フィールドを意味する。

ｄｕｔｙ比が１２８／１０２４→１３２／１０２４に変化させる場合は、１－１では１２８／１０２４、１－２では１２９／１０２４、１－３では１３０／１０２４、１－４では１３１／１０２４、２－１では１３２／１０２４と変化させる。以上の変化により１２８／１０２４から１３２／１０２４に緩やかに変化する。

ｄｕｔｙ比が１２８／１０２４→１３０／１０２４に変化させる場合は、１－１では１２８／１０２４、１－２では１２８／１０２４、１－３では１２９／１０２４、１－４では１２９／１０２４、２－１では１３０／１０２４と変化させる。以上の変化により１２８／１０２４から１３０／１０２４に緩やかに変化する。

ｄｕｔｙ比が１２８／１０２４→１３６／１０２４に変化させる場合は、１－１では１２８／１０２４、１－２では１３０／１０２４、１－３では１３２／１０２４、１－４では１３４／１０２４、２－１では１３６／１０２４と変化させる。以上の変化により１２８／１０２４から１３６／１０２４に緩やかに変化する。

フィールド（フレーム）のｄｕｔｙ比制御におけるｄｕｔｙ比の分子は整数である必要はない。たとえば、図１０７に図示するように、小数点以下となるように制御してもよい。分子が小数点以下とするのは、ＯＥＶ２端子を制御することより、容易に実現できる。また、複数のフレーム（フィールド）での平均ｄｕｔｙ比を用いることによりｄｕｔｙ比の分母を小数点以下が発生することができる。逆に、ｄｕｔｙ比の分母に小数点以下を発生するようにしてもよい。図１０７では、分子が３０．８、３１．２など小数点以下としている。なお、分母、分子を一定以上の大きな整数にすることにより小数点以下を必要ないようにすることができる。

動画と静止画とでは、ｄｕｔｙ比パターンを変化させる。ｄｕｔｙ比パターンを急激に変化させると画像変化が認識されてしまうことがある。また、フリッカが発生する場合がある。この課題は動画のｄｕｔｙ比と静止画のｄｕｔｙ比との差異によって発生する。動画では非表示領域５２を一括して挿入するｄｕｔｙパターンを用いる。静止画では非表示領域５２を分散して挿入するｄｕｔｙパターンを用いる。非表示領域５２の面積／画面面積５０の比率がｄｕｔｙ比となる。しかし、同一ｄｕｔｙ比であっても、非表示領域５２の分散状態で人間の視感度は異なる。これは人間の動画応答性に依存するためと考えられる。

中間動画は、非表示領域５２の分散状態が、動画の分散状態と静止画の分散状態との中間の分散状態である。なお、中間動画は複数の状態を準備し、変化前の動画状態あるいは静止画状態に対応させて複数の中間動画から選択してもよい。複数の中間動画状態とは、非表示領域の分散状態が動画表示に近く、たとえば、非表示領域５２が３分割された構成が一例として例示される。また、逆に非表示領域が静止画のように多数に分散された状態が例示される。

静止画でも明るい画像もあれば暗い画像もある。動画も同様である。したがって、変化前の状態に応じてどの中間動画の状態に移行するかを決定すればよい。また、場合によっては、中間動画を経由せずに動画から静止画に移行してもよい。中間動画を経由せずに静止画から動画に移行してもよい。たとえば、画面５０が低輝度の画像は動画表示と静止画表示とが直接移動しても違和感はない。また、複数の中間動画表示を経由して表示状態を移行させてもよい。たとえば、動画表示のｄｕｔｙ状態から、中間動画表示１のｄｕｔｙ比状態に移行し、さらに中間動画表示２のｄｕｔｙ状態に移行してから静止画表示のｄｕｔｙ状態に移行させてもよい。

図１０８に図示するように動画表示から静止画表示に移動する時に、中間動画状態を経由させる。また、静止画表示から中間動画表示を経由して動画表示に移行させる。各状態の移行時間はＷａｉｔ時間をおくことが好ましい。

図１１０は動画と静止画および中間動画を移行するときの、ｄｕｔｙ比、非表示領域の分散数を示している。図１１０において、動画静止画レベルが０の時は、画像表示が動画レベルであること、１の時は画像表示が準動画（中間動画）状態であることを示している。また、２の時は、画像表示が静止画状態であることを示している。

分散数は、非表示領域５２の分割数である。１とは非表示領域５２が一括して画面に挿入されていることを示している。３０とは非表示領域５２が３０に分割して挿入されていることを示している。同様に５０とは非表示領域５２が５０に分割して挿入されていることを示している。ｄｕｔｙ比は以前にも説明したが、白表示の輝度低減率をしめしている。つまり、ｄｕｔｙ比１／２とは、最高の白輝度の１／２の表示状態となっていることを示す。

図１１０で図示するように、動画静止画レベルは、動画から静止画に移行する時、静止画から動画に移行する時に中間動画（準動画）状態を経由して以降する。

動画から静止画に移行する時間は、図１１１に図示するようにＷａｉｔ時間を設けることが好ましい。Ｗａｉｔ時間は、動画の割合によって決定するとよい。図１１０の横軸の異なるデータ数とは、あるフレームと次のフレーム間で動画検出をし、動画検出により検出された動画の割合を示している。つまり、フレーム間で演算し、画像データが異なっている画素の割合が横軸である。したがって、数値が大きいほど、動画表示に近いということになる。図１１０では動画表示に近いほど、Ｗａｉｔ時間を長く確保している。

さらにｄｕｔｙ比制御について説明するために、本発明の有機ＥＬ表示装置の電源回路について説明をする。図１１２は本発明の電源回路の構成図である。１１２２は制御回路である。抵抗１１２５ａと１１２５ｂの中点電位を制御し、トランジスタ１１２６のゲート信号を出力する。トランス１１２１の１次側には電源Ｖｐｃが印加され、１次側の電流がトランジスタ１１２６のオンオフ制御により２次側に伝達される。１１２３は整流ダイオードであり、１１２４は平滑化コンデンサである。

有機ＥＬ表示パネルは、アノードＶｄｄとカソードＶｋ間にＥＬ素子１５が形成（配置）されている。図１１２の電源回路からアノードＶｄｄ電圧およびカソードＶｋ電圧の供給を受ける。ＥＬ素子１５が発光しない時は、アノード－カソード間に流れる電流は０である。本発明のｄｕｔｙ比制御では、画素行ごとにゲート信号線１７ｂのオンオフ電圧と印加し、ＥＬ素子１５の電流制御を行なう。また、オン電圧を印加したゲート信号線１７ｂの位置は走査される。たとえば、図９７は非表示領域５２を４分割した実施例である。図９７の（ａ）、（ｂ）、（ｃ）、（ｄ）は非表示領域５２の大きさは異なる。しかし、非表示領域５２は画面５０の上部から下部に走査される（移動していく）。同様に表示領域５３も画面５０の上から下方向に走査される。非表示領域５２に該当する画素１６のＥＬ

素子１５には電流が流れない。一方、表示領域５３に該当する画素１６のＥＬ素子１５には電流が流れる。
ここで課題を説明するために、１画素行ごとに非表示領域５２と表示領域５３とが繰り返す表示パターンを例示する。この表示状態は白黒の横ストライプ表示である。つまり、奇数画素行が白表示であり、偶数画素行が黒表示である。なお、この表示パターンを１横ストライプと呼ぶ。
画素行数を２２０画素行数あるとし、ｄｕｔｙ比を１１０／２２０の状態を例示する。ｄｕｔｙ比１１０／２２０とは、ゲート信号線１７ｂに対し、１画素行ごとにオン電圧とオフ電圧が印加された状態である。また、オン電圧またはオフ電圧が印加されたゲート信号線１７ｂ位置は、水平同期信号に同期して走査される。したがって、ある画素行のゲート信号線１７ｂに着目すれば、このゲート信号線１７ｂには水平同期信号に同期して、オン電圧印加状態とオフ電圧印加状態とが交互に繰り返される。画面５０全体で考えれば偶数画素行にオン電圧が印加される。この期間には、奇数画素行にはオフ電圧が印加されている。１水平走査期間後に奇数画素行にオン電圧が印加される。この期間には偶数画素行にはオフ電圧が印加される。
奇数画素行が白表示で、偶数画素行が黒表示の１横ストライプ表示では、奇数画素行にオン電圧が印加された時には、電源回路から表示領域に電流が流れる。しかし、偶数画素行にオン電圧が印加されたときは、偶数画素行が黒表示のため、電源回路から表示領域には電流が流れない。したがって、電源回路は１水平走査期間ごとに、電流を流す動作と、電流を全く流さない動作とを繰り返すことになる。この動作は電源回路にとって、好ましいことではない。電源回路に過渡現象が発生し、また電源効率が悪化するからである。
この課題を解決する駆動方式を図１００に図示する。図１００では、ｄｕｔｙ比を１／２とせず、複数のｄｕｔｙ比の状態が画面５０内で発生するようにし、１横ストライプ表示であっても常時電流が流れるように制御している。
図１００の（ａ）（ｂ）はｄｕｔｙ比１／２とｄｕｔｙ比１／１とｄｕｔｙ比１／３とを発生させ、全体として（１フレーム期間の平均で）ｄｕｔｙ比１／２を実現している。以上のように、複数のｄｕｔｙ比を１フレーム期間に組み合わせることにより１横ストライプ表示であっても、電源回路からの出力電流がオンオフ状態となることはなくなる。つまり、比較的１横ストライプなどの規則正しい表示パターンは多く表示さえることが多い。これに対して、非表示領域５２幅が等間隔になるｄｕｔｙ比パターンによるｄｕｔｙ比制御を行うと電源回路に負担が発生しやすい。したがって、ｄｕｔｙ比パターンは画面５０に同時に複数発生するように駆動することが好ましい。また、ｄｕｔｙ比パターンは、単一ｄｕｔｙ比パターンとせず、１フレームまたは福数フレーム（フィールド）の平均として所定ｄｕｔｙ比になるようにすることが好ましい。
なお、図１００において、ｄｕｔｙ比パターンは図９７に図示するように画面５０の上から下方向に走査されることはいうまでもない。また、本発明のｄｕｔｙ比制御方法において、水平同期信号に同期して１画素行ごとに走査位置を移動させるとしたが、これに限定するものではない。たとえば、水平同期信号に同期して複数画素行ずつ走査位置を移動させてもよい。また、走査方向は、画面５０の上から下方向に限定するものではない。たとえば、１フィールド目は画面５０の上から下方向に走査し、２フィールド目は画面５０の下から上方向に走査してもよい。
図１００は離散した１画素行のゲート信号線１７ｂごとにオン電圧印加とオフ電圧印加する駆動方法であった。しかし、本発明はこれに限定するものではない。図１０１ａ）は図１００の駆動状態である。同様の画面５０輝度を実現する駆動は、図１０１の（ｂ）のｄｕｔｙ比パターンでの実現できる。図１０１の（ｂ）ではオン電圧またはオフ電圧が印加される画素行連続させている。
同一の画面５０輝度を実現するｄｕｔｙ比パターンは多種多様なパターンがある。図１０２の（ａ）に図示するように、非表示領域５２を極めて多く分散させるパターンもあれば、図１０２の（ｂ）のように比較的非表示領域５２の分散状態を少なくしたパターンもある。図１０２の（ａ）のパターンも図１０２の（ｂ）のパターンのｄｕｔｙ比を約分すれ

ば同一になる。したがって、画面５０輝度は同一にすることができる。
ＥＬ表示パネルでは、ＥＬ素子１５の劣化により画像が焼きつくという問題がある。特に画像は固定パターンで焼きつきやすい。この課題に対応するため、本発明は、固定パターンを表示するサブ画像表示領域５０ｂ（サブ画面）を具備している。表示領域５０ａ（メイン画面）はテレビ画像などの動画表示領域である。
図１４７の本発明のＥＬ表示パネルでは、サブ画面５０ｂとメイン画面５０ａとのゲートドライバ回路１２は共通である。サブ画面５０ａは２０画素行以上とする。したがって、一例として画面５０はメイン画面５０ａの２２０画素行と、サブ画面５０ｂの２４画素行から構成される。なお、画素列数は１７６×ＲＧＢである。
メイン画面５０ａとサブ画面５０ｂとは図１４９に図示するように、明確に分離してもよい。図１４９では、メイン画面５０ａとサブ画面５０ｂ間にスペースＢＬを設けている。スペースＢＬは画素１６が形成されていない領域である。
なお、メイン画面（メインパネル）とサブ画面（サブパネル）の画素の駆動用トランジスタ１７ａのＷ／Ｌ（Ｗは駆動用トランジスタのチャンネル幅、Ｌは駆動用トランジスタのチャンネル長）を変化させてもよい。基本的にはサブ画面（サブパネル）のＷ／Ｌを大きくする。また、メイン画面（メインパネル）５０ａの画素１６ａサイズとサブ画面（サブパネル）５０ｂの画素サイズ１６ｂの大きさを変化させてもよい。また、メイン画面（メインパネル）５０ａのアノード電源あるいはカソード電源と、サブ画面（サブパネル）５０ｂのアノード電圧Ｖｄｄあるいはカソード電圧Ｖｋを別電圧とし、印加する電圧を変化させてもよい。
また、サブパネル７１ａとメインパネル７１ａを図１５０の（ｂ）に図示するように重ねて使用する場合は、封止基板（封止薄膜層）８５ａと封止基板（封止薄膜層）８５ｂ間に緩衝シート１５０４を配置もしくは形成する。緩衝シート１５０４としては、マグネシウム合金などの金属からなる板あるいはシート、ポリエステルなどの樹脂からなる板あるいはシートが例示される。
図１５０も図示するように、サブ画面５０ｂを表示するサブパネル７１ｂを別途設けてもよい。メインパネル７１ａとサブパネル７１ｂとはフレキ基板８４でソース信号線１８ａと１８ｂ接続する。フレキ基板８４には、接続配線１５０３を形成しておく。ソース信号線１８ａの終端には、アナログスイッチ１５０１から構成されるアナログスイッチ群を配置する。アナログスイッチ１５０１はソースドライバ回路１４からの電流信号をサブパネル７１ｂに供給するか否かの制御を行うものである。
アナログスイッチ１５０１のオンオフ制御を行うため、スイッチ制御線１５０２が形成される。スイッチ制御線１５０２へのロジック信号によりサブパネルへの信号供給が制御され画像が表示される。
なお、サブパネル７１ｂにゲートドライバ回路を形成せず、もしくはゲートドライバＩＣチップを実装せず、図９で説明したようにＷＲ側にゲート信号線１７を形成し、図４０で説明した点灯制御線４０１を形成または配置してもよい。
アナログスイッチ１５０１は図１５２に図示するようにＰチャンネルとＮチャンネルとを組み合わせたＣＭＯＳタイプが好ましい。スイッチ制御線１５０２の途中にインバータ１５２１を配置してスイッチ１５０１をオンオフ制御する。また、図１５３に図示するように、アナログスイッチ１５０１ｂはＰチャンネルのみで形成してもよい。
また、サブパネル７１ｂとメインパネル７１ａでソース信号線１８数が異なる場合は、図１５４のように構成してもよい。アナログスイッチ１５０１ａと１５０１ｂの出力をショートし、同一の端子１３２２ａに接続する。また、図１５５に図示するように、アナログスイッチ１５０１ｂの出力をＶｄｄ電圧に接続し、オンしないように構成してもよい。また、図１５６に図示するように、サブパネル７１ｂと接続することが不要なソース信号線１８の終端にはアナログスイッチ１５０１ａ（１５０１ａ１，１５０１ａ２）を配置または形成してもよい。アナログスイッチ１５０１ａはオフ電圧を印加し、オンしないように構成する。
つぎに、本発明の駆動方式を実施する本発明の表示機器についての実施例について説明を

する。図１５７は情報端末装置の一例としての携帯電話の平面図である。筐体１５７３にアンテナ１５７１、テンキー１５７２などが取り付けられている。１５７２などが表示色切換キーあるいは電源オンオフ、フレームレート切り替えキーである。
キー１５７２を１度押さえると表示色は８色モードに、つづいて同一キー１５７２を押さえると表示色は４０９６色モード、さらにキー１５７２を押さえると表示色は２６万色モードとなるようにシーケンスを組んでもよい。キーは押さえるごとに表示色モードが変化するトグルスイッチとする。なお、別途表示色に対する変更キーを設けてもよい。この場合、キー１５７２は3つ（以上）となる。
キー１５７２はプッシュスイッチの他、スライドスイッチなどの他のメカニカルなスイッチでもよく、また、音声認識などにより切換るものでもよい。たとえば、４０９６色を受話器に音声入力すること、たとえば、「高品位表示」、「４０９６色モード」あるいは「低表示色モード」と受話器に音声入力することにより表示パネルの表示画面５０に表示される表示色が変化するように構成する。これは現行の音声認識技術を採用することにより容易に実現することができる。
また、表示色の切り替えは電気的に切換るスイッチでもよく、表示パネルの表示部５０に表示させたメニューを触れることにより選択するタッチパネルでも良い。また、スイッチを押さえる回数で切換る、あるいはクリックボールのように回転あるいは方向により切換るように構成してもよい。
１５７２は表示色切換キーとしたが、フレームレートを切換るキーなどとしてもよい。また、動画と静止画とを切換るキーなどとしてもよい。また、動画と静止画とフレームレートなどの複数の要件を同時に切り替えてもよい。また、押さえ続けると徐々に（連続的に）フレームレートが変化するように構成してもよい。この場合は発振器を構成するコンデンサC、抵抗Rのうち、抵抗Rを可変抵抗にしたり、電子ボリウムにしたりすることにより実現できる。また、コンデンサはトリマコンデンサとすることにより実現できる。また、半導体チップに複数のコンデンサを形成しておき、１つ以上のコンデンサを選択し、これらを回路的に並列に接続することにより実現してもよい。
さらに、本発明のＥＬ表示パネルあるいはＥＬ表示装置もしくは駆動方法を採用した実施の形態について、図面を参照しながら説明する。
図１５８は本発明の実施の形態におけるビューファインダの断面図である。但し、説明を容易にするため模式的に描いている。また一部拡大あるいは縮小した箇所が存在し、また、省略した箇所もある。たとえば、図１５８において、接眼カバーを省略している。以上のことは他の図面においても該当する。
ボデー１５７３の裏面は暗色あるいは黒色にされている。これは、ＥＬ表示パネル（表示装置）１５７４から出射した迷光がボデー１５７３の内面で乱反射し表示コントラストの低下を防止するためである。また、表示パネルの光出射側には位相板（λ／４板など）１０８、偏光板１０９などが配置されている。このことは図１０、図１１でも説明している。
接眼リング１５８１には拡大レンズ１５８２が取り付けられている。観察者は接眼リング１５８１をボデー１５７３内での挿入位置を可変して、表示パネル１５７４の表示画像５０にピントがあうように調整する。
また、必要に応じて表示パネル１５７４の光出射側に正レンズ１５８３を配置すれば、拡大レンズ１５８２に入射する主光線を収束させることができる。そのため、拡大レンズ１５８２のレンズ径を小さくすることができ、ビューファインダを小型化することができる。
図１５９はビデオカメラの斜視図である。ビデオカメラは撮影（撮像）レンズ部１５９２とビデオかメラ本体１５７３と具備し、撮影レンズ部１５９２とビューファインダ部１５７３とは背中合わせとなっている。また、ビューファインダ（図１５８も参照）１５７３には接眼カバーが取り付けられている。観察者（ユーザー）はこの接眼カバー部から表示パネル１５７４の画像５０を観察する。
一方、本発明のＥＬ表示パネルは表示モニターとしても使用されている。表示画面５０は

支点１５９１で角度を自由に調整できる。表示画面５０を使用しない時は、格納部１５９３に格納される。
スイッチ１５９４は以下の機能を実施する切り替えあるいは制御スイッチである。スイッチ１５９４は表示モード切り替えスイッチである。スイッチ１５９４は、携帯電話などにも取り付けることが好ましい。この表示モード切り替えスイッチ１５９４について説明をする。
本発明の駆動方法の１つにＮ倍の電流をＥＬ素子１５に流し、１Ｆの１／Ｍの期間だけ点灯させる方法がある。この点灯させる期間を変化させることにより、明るさをデジタル的に変更することができる。たとえば、Ｎ＝４として、ＥＬ素子１５には４倍の電流を流す。点灯期間を１／Ｍとし、Ｍ＝１、２、３、４と切り替えれば、１倍から４倍までの明るさ切り替えが可能となる。なお、Ｍ＝１、１．５、２、３、４、５、６などと変更できるように構成してもよい。
以上の切り替え動作は、携帯電話、モニターなどの電源をオンしたときに、表示画面５０を非常に明るく表示し、一定の時間を経過した後は、電力セーブするために、表示輝度を低下させる構成に用いる。また、ユーザーが希望する明るさに設定する機能としても用いることができる。たとえば、屋外などでは、画面を非常に明るくする。屋外では周辺が明るく、画面が全く見えなくなるからである。しかし、高い輝度で表示し続けるとＥＬ素子１５は急激に劣化する。そのため、非常に明るくする場合は、短時間で通常の輝度に復帰させるように構成しておく。さらに、高輝度で表示させる場合は、ユーザーがボタンを押すことにより表示輝度を高くできるようの構成しておく。
したがって、ユーザーがボタンスイッチ１５９４で切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成しておくことが好ましい。また、表示輝度を５０％、６０％、８０％とユーザーなどが設定できるように構成しておくことが好ましい。
なお、表示画面５０はガウス分布表示にすることが好ましい。ガウス分布表示とは、中央部の輝度が明るく、周辺部を比較的暗くする方式である。視覚的には、中央部が明るければ周辺部が暗くとも明るいと感じられる。主観評価によれば、周辺部が中央部に比較して７０％の輝度を保っておれば、視覚的に遜色ない。さらに低減させて、５０％輝度としてもほぼ、問題がない。本発明の自己発光型表示パネルでは、以前に説明したＮ倍パルス駆動（Ｎ倍の電流をＥＬ素子１５に流し、１Ｆの１／Ｍの期間だけ点灯させる方法）を用いて画面の上から下方向に、ガウス分布を発生させている。
具体的には、画面の上部と下部ではＭの値と大きくし、中央部でＭの値を小さくする。これは、ゲートドライバ回路１２のシフトレジスタの動作速度を変調することなどにより実現する。画面の左右の明るさ変調は、テーブルのデータと映像データとを乗算することにより発生させている。以上の動作により、周辺輝度（画角０．９）を５０％にした時、１００％輝度の場合に比較して約２０％の低消費電力化が可能である。周辺輝度（画角０．９）を７０％にした時、１００％輝度の場合に比較して約１５％の低消費電力化が可能である。
なお、ガウス分布表示はオンオフできるように切り替えスイッチなどを設けることが好ましい。たとえば、屋外などで、ガウス表示させると画面周辺部が全く見えなくなるからである。したがって、ユーザーがボタンで切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成しておくことが好ましい。また、周辺輝度を５０％、６０％、８０％とユーザーなどが設定できるように構成しておくことがこのましい。
液晶表示パネルではバックライトで固定のガウス分布を発生させている。したがって、ガウス分布のオンオフを行うことはできない。ガウス分布をオンオフできるのは自己発光型の表示デバイス特有の効果である。
また、フレームレートが所定の時、室内の蛍光灯などの点灯状態と干渉してフリッカが発生する場合がある。つまり、蛍光灯が６０Ｈｚの交流で点灯しているとき、ＥＬ表示素子１５がフレームレート６０Ｈｚで動作していると、微妙な干渉が発生し、画面がゆっくり

と点滅しているように感じられる場合がある。これをさけるにはフレームレートを変更すればよい。本発明はフレームレートの変更機能を付加している。また、Ｎ倍パルス駆動（Ｎ倍の電流をＥＬ素子１５に流し、１Ｆの１／Ｍの期間だけ点灯させる方法）において、ＮまたはＭの値を変更できるように構成している。
以上の機能をスイッチ１５９４で実現できるようにする。スイッチ１５９４は表示画面５０のメニューにしたがって、複数回おさえることにより、以上に説明した機能を切り替え実現する。
なお、以上の事項は、携帯電話だけに限定されるものではなく、テレビ、モニターなどに用いることができることはいうまでもない。また、どのような表示状態にあるかをユーザーがすぐに認識できるように、表示画面にアイコン表示をしておくことが好ましい。以上の事項は以下の事項に対しても同様である。
本実施の形態のＥＬ表示装置などはビデオカメラだけでなく、図１６０に示すような電子カメラ、スチルカメラなどにも適用することができる。表示装置はカメラ本体１６０１に付属されたモニター５０として用いる。カメラ本体１６０１にはシャッタ１６０３の他、スイッチ１５９４が取り付けられている。
以上は表示パネルの表示領域が比較的小型の場合であるが、３０インチ以上と大型となると表示画面５０がたわみやすい。その対策のため、本発明では図１６１に示すように表示パネルに外枠１６１１をつけ、外枠１６１１をつりさげられるように固定部材１６１４で取り付けている。この固定部材１６１４を用いて、壁などに取り付ける。
しかし、表示パネルの画面サイズが大きくなると重量も重たくなる。そのため、表示パネルの下側に脚取り付け部１６１３を配置し、複数の脚１６１２で表示パネルの重量を保持できるようにしている。
脚１６１２はＡに示すように左右に移動でき、また、脚１６１２はＢに示すように収縮できるように構成されている。そのため、狭い場所であっても表示装置を容易に設置することができる。
図１６１のテレビでは、画面の表面を保護フィルム（保護板でもよい）で被覆している。これは、表示パネルの表面に物体があたって破損することを防止することが１つの目的である。保護フィルムの表面にはＡＩＲコートが形成されており、また、表面をエンボス加工することにより表示パネルに外の状況（外光）が写り込むことを抑制している。
保護フィルムと表示パネル間にビーズなどを散布することにより、一定の空間が配置されるように構成されている。また、保護フィルムの裏面に微細な凸部を形成し、この凸部で表示パネルと保護フィルム間に空間を保持させる。このように空間を保持することにより保護フィルムからの衝撃が表示パネルに伝達することを抑制する。
また、保護フィルムと表示パネル間にアルコール、エチレングリコールなど液体あるいはゲル状のアクリル樹脂あるいはエポキシなどの固体樹脂などの光結合剤を配置または注入することも効果がある。界面反射を防止できるとともに、前記光結合剤が緩衝材として機能するからである。
保護フィルムをしては、ポリカーボネートフィルム（板）、ポリプロピレンフィルム（板）、アクリルフィルム（板）、ポリエステルフィルム（板）、ＰＶＡフィルム（板）などが例示される。その他エンジニアリング樹脂フィルム（ＡＢＳなど）を用いることができることは言うまでもない。また、強化ガラスなど無機材料からなるものでもよい。保護フィルムを配置するかわりに、表示パネルの表面をエポキシ樹脂、フェノール樹脂、アクリル樹脂で０．５ｍｍ以上２．０ｍｍ以下の厚みでコーティングすることも同様の効果がある。また、これらの樹脂表面にエンボス加工などをすることも有効である。
また、保護フィルムあるいはコーティング材料の表面をフッ素コートすることも効果がある。表面についた汚れを洗剤などで容易にふき落とすことができるからである。また、保護フィルムを厚く形成し、フロントライトと兼用してもよい。
本発明の実施例における表示パネルは、３辺フリーの構成と組み合わせることも有効であることはいうまでもない。特に３辺フリーの構成は画素がアモルファスシリコン技術を用いて作製されているときに有効である。また、アモルファスシリコン技術で形成されたパ

ネルでは、トランジスタ素子の特性バラツキのプロセス制御が不可能のため、本発明のＮ倍パルス駆動、リセット駆動、ダミー画素駆動などを実施することが好ましい。つまり、本発明におけるトランジスタ１１などは、ポリシリコン技術によるものに限定するものではなく、アモルファスシリコンによるものであってもよい。つまり、本発明の表示パネルにおいて画素１６を構成するトランジスタ１１はアモルファスシリコン技術で用いて形成したトランジスタであってもよい。また、ゲートドライバ回路１２、ソースドライバ回路１４もアモルファスシリコン技術を用いて形成あるいは構成してもよいことは言うまでもない。

なお、本発明のＮ倍パルス駆動（図１３、図１６、図１９、図２０、図２２、図２４、図３０など）などは、低温ポリシリコン技術でトランジスタ１１を形成して表示パネルよりも、アモルファスシリコン技術でトランジスタ１１を形成した表示パネルに有効である。アモルファスシリコンのトランジスタ１１では、隣接したトランジスタの特性がほぼ一致しているからである。したがって、加算した電流で駆動しても個々のトランジスタの駆動電流はほぼ目標値となっている（特に、図２２、図２４、図３０のＮ倍パルス駆動はアモルファスシリコンで形成したトランジスタの画素構成において有効である）。

ｄｕｔｙ比制御駆動、基準電流制御、Ｎ倍パルス駆動など本明細書で記載した本発明の駆動方法および駆動回路などは、有機ＥＬ表示パネルの駆動方法および駆動回路などに限定されるものではない。図１７３に図示するようにフィールドエミッションディスプレイ（ＦＥＤ）などの他のディスプレイにも適用できることは言うまでもない。

図１７３のＦＥＤではアレイ基板７１上にマトリックス状に電子を放出する電子放出突起１７３３（図１０では画素電極１０５が該当する）が形成されている。画素には映像信号回路１７３２（図１ではソースドライバ回路１４が該当する）からの画像データを保持する保持回路１７３４が形成されている（図１ではコンデンサが該当する）。また、電子放出突起１７３３の前面には制御電極１７３１が配置されている。制御電極１７３１にはオンオフ制御回路１７３５（図１ではゲートドライバ回路１２が該当する）により電圧信号が印加される。

図１７３の画素構成で、図１７４に図示するように周辺回路を構成すれば、ｄｕｔｙ比制御駆動あるいはＮ倍パルス駆動などを実施できる。映像信号回路１７３２からソース信号線１８に画像データ信号が印加される。オンオフ制御回路１７３５ａから選択信号線２１７３に画素１６選択信号が印加され順次画素１６が選択され、画像データが書き込まれる。また、オンオフ制御回路１７３５ｂからオンオフ信号線１７４２にオンオフ信号が印加され、画素のＦＥＤがオンオフ制御（ｄｕｔｙ比制御）される。

本発明の実施例で説明した技術的思想はビデオカメラ、プロジェクター、立体テレビ、プロジェクションテレビなどに適用できる。また、ビューファインダ、携帯電話のモニター、ＰＨＳ、携帯情報端末およびそのモニター、デジタルカメラおよびそのモニターにも適用できる。

また、電子写真システム、ヘッドマウントディスプレイ、直視モニターディスプレイ、ノートパーソナルコンピュータ、ビデオカメラ、電子スチルカメラにも適用できる。また、現金自動引き出し機のモニター、公衆電話、テレビ電話、パーソナルコンピュータ、腕時計およびその表示装置にも適用できる。

さらに、家庭電器機器の表示モニター、ポケットゲーム機器およびそのモニター、表示パネル用バックライトあるいは家庭用もしくは業務用の照明装置などにも適用あるいは応用展開できることは言うまでもない。照明装置は色温度を可変できるように構成することが好ましい。これは、ＲＧＢの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更できる。また、広告あるいはポスターなどの表示装置、ＲＧＢの信号器、警報表示灯などにも応用できる。

また、スキャナの光源としても有機ＥＬ表示パネルは有効である。ＲＧＢのドットマトリックスを光源として、対象物に光を照射し、画像を読み取る。もちろん、単色でもよいことは言うまでもない。また、アクティブマトリックスに限定するものではなく、単純マトリックスでもよい。色温度を調整できるようにすれば画像読み取り精度も向上する。

また、液晶表示装置のバックライトにも有機ＥＬ表示装置は有効である。ＥＬ表示装置（バックライト）のＲＧＢの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更でき、また、明るさの調整も容易である。その上、面光源であるから、画面の中央部を明るく、周辺部を暗くするガウス分布を容易に構成できる。また、Ｒ、Ｇ、Ｂ光を交互に走査する、フィールドシーケンシャル方式の液晶表示パネルのバックライトとしても有効である。また、バックライトを点滅しても黒挿入することにより動画表示用などの液晶表示パネルのバックライトとしても用いることができる。

産業上の利用可能性

本発明のソースドライバ回路は、カントミラー回路を構成するトランジスタが隣接するように形成しているので、しきい値のずれによる出力電流のばらつきが小さく。したがって、ＥＬ表示パネルの輝度むらの発生を抑制することが可能となり、その実用的効果は大きい。

また、本発明の表示パネル、表示装置等は、高画質、良好な動画表示性能、低消費電力、低コスト化、高輝度化等のそれぞれの構成に応じて特徴ある効果を発揮する。

なお、本発明を用いれば、低消費電力の情報表示装置などを構成できるので、電力を消費しない。また、小型軽量化できるので、資源を消費しない。また、高精細の表示パネルであっても十分に対応できる。したがって、地球環境、宇宙環境に優しいこととなる。

【図面の簡単な説明】

図１は、本発明の表示パネルの画素構成図である。
図２は、本発明の表示パネルの画素構成図である。
図３は、本発明の表示パネルの動作の説明図である。
図４は、本発明の表示パネルの動作の説明図である。
図５は、本発明の表示装置の駆動方法の説明図である。
図６は、本発明の表示装置の構成図である。
図７は、本発明の表示パネルの製造方法の説明図である。
図８は、本発明の表示装置の構成図である。
図９は、本発明の表示装置の構成図である。
図１０は、本発明の表示パネルの断面図である。
図１１は、本発明の表示パネルの断面図である。
図１２は、本発明の表示パネルの説明図である。
図１３は、本発明の表示装置の駆動方法の説明図である。
図１４は、本発明の表示装置の駆動方法の説明図である。
図１５は、本発明の表示装置の駆動方法の説明図である。
図１６は、本発明の表示装置の駆動方法の説明図である。
図１７は、本発明の表示装置の駆動方法の説明図である。
図１８は、本発明の表示装置の駆動方法の説明図である。
図１９は、本発明の表示装置の駆動方法の説明図である。
図２０は、本発明の表示装置の駆動方法の説明図である。
図２１は、本発明の表示装置の駆動方法の説明図である。
図２２は、本発明の表示装置の駆動方法の説明図である。
図２３は、本発明の表示装置の駆動方法の説明図である。
図２４は、本発明の表示装置の駆動方法の説明図である。
図２５は、本発明の表示装置の駆動方法の説明図である。
図２６は、本発明の表示装置の駆動方法の説明図である。
図２７は、本発明の表示装置の駆動方法の説明図である。
図２８は、本発明の表示装置の駆動方法の説明図である。
図２９は、本発明の表示装置の駆動方法の説明図である。
図３０は、本発明の表示装置の駆動方法の説明図である。
図３１は、本発明の表示装置の駆動方法の説明図である。

図３２は、本発明の表示装置の駆動方法の説明図である。
図３３は、本発明の表示装置の駆動方法の説明図である。
図３４は、本発明の表示装置の構成図である。
図３５は、本発明の表示装置の駆動方法の説明図である。
図３６は、本発明の表示装置の駆動方法の説明図である。
図３７は、本発明の表示装置の構成図である。
図３８は、本発明の表示パネルの画素構成図である。
図３９は、本発明の表示装置の駆動方法の説明図である。
図４０は、本発明の表示装置の構成図である。
図４１は、本発明の表示装置の構成図である。
図４２は、本発明の表示パネルの画素構成図である。
図４３は、本発明の表示パネルの画素構成図である。
図４４は、本発明の表示装置の駆動方法の説明図である。
図４５は、本発明の表示装置の駆動方法の説明図である。
図４６は、本発明の表示装置の駆動方法の説明図である。
図４７は、本発明の駆動回路の説明図である。
図４８は、本発明の駆動回路の説明図である。
図４７は、本発明の駆動回路の説明図である。
図４８は、本発明の駆動回路の説明図である。
図４７は、本発明の駆動回路の説明図である。
図４８は、本発明の駆動回路の説明図である。
図４７は、本発明の駆動回路の説明図である。
図４８は、本発明の駆動回路の説明図である。
図４９は、本発明の駆動回路の説明図である。
図５０は、本発明の駆動回路の説明図である。
図５１は、本発明の駆動回路の説明図である。
図５２は、本発明の駆動回路の説明図である。
図５３は、本発明の駆動回路の説明図である。
図５４は、本発明の駆動回路の説明図である。
図５５は、本発明の駆動回路の説明図である。
図５６は、本発明の駆動回路の説明図である。
図５７は、本発明の駆動回路の説明図である。
図５８は、本発明の駆動回路の説明図である。
図５９は、本発明の駆動回路の説明図である。
図６０は、本発明の駆動回路の説明図である。
図６１は、本発明の駆動回路の説明図である。
図６２は、本発明の駆動回路の説明図である。
図６３は、本発明の駆動回路の説明図である。
図６４は、本発明の駆動回路の説明図である。
図６５は、本発明の駆動回路の説明図である。
図６６は、本発明の駆動回路の説明図である。
図６７は、本発明の駆動回路の説明図である。
図６８は、本発明の駆動回路の説明図である。
図６９は、本発明の駆動回路の説明図である。
図７０は、本発明の駆動回路の説明図である。
図７１は、本発明の駆動回路の説明図である。
図７２は、本発明の駆動回路の説明図である。
図７３は、本発明の駆動回路の説明図である。
図７４は、本発明の駆動回路の説明図である。
図７５は、本発明の表示装置の駆動方法の説明図である。

図７６は、本発明の表示装置の駆動方法の説明図である。
図７７は、本発明の駆動回路の説明図である。
図７８は、本発明の表示装置の駆動方法の説明図である。
図７９は、本発明の表示装置の駆動方法の説明図である。
図８０は、本発明の表示装置の駆動方法の説明図である。
図８１は、本発明の表示装置の駆動方法の説明図である。
図８２は、本発明の表示装置の駆動方法の説明図である。
図８３は、本発明の表示装置の駆動回路の説明図である。
図８４は、本発明の表示装置の駆動回路の説明図である。
図８５は、本発明の表示装置の駆動回路の説明図である。
図８６は、本発明の表示装置の駆動回路の説明図である。
図８７は、本発明の表示装置の駆動回路の説明図である。
図８８は、本発明の表示装置の駆動回路の説明図である。
図８９は、本発明の表示装置の駆動回路の説明図である。
図９０は、本発明の表示装置の駆動回路の説明図である。
図９１は、本発明の表示装置の駆動回路の説明図である。
図９２は、本発明の表示装置の駆動回路の説明図である。
図９３は、本発明の表示装置の駆動回路の説明図である。
図９４は、本発明の表示装置の駆動回路の説明図である。
図９５は、本発明の表示装置の駆動回路の説明図である。
図９６は、本発明の表示装置の駆動回路の説明図である。
図９７は、本発明の表示装置の駆動回路の説明図である。
図９８は、本発明の表示装置の駆動回路の説明図である。
図９９は、本発明の表示装置の駆動回路の説明図である。
図１００は、本発明の表示パネルの駆動方法の説明図である。
図１０１は、本発明の表示パネルの駆動方法の説明図である。
図１０２は、本発明の表示パネルの駆動方法の説明図である。
図１０３は、本発明の表示パネルの駆動方法の説明図である。
図１０４は、本発明の表示パネルの駆動方法の説明図である。
図１０５は、本発明の表示パネルの駆動方法の説明図である。
図１０６は、本発明の表示パネルの駆動方法の説明図である。
図１０７は、本発明の表示パネルの駆動方法の説明図である。
図１０８は、本発明の表示パネルの駆動方法の説明図である。
図１０９は、本発明の表示パネルの駆動方法の説明図である。
図１１０は、本発明の表示パネルの駆動方法の説明図である。
図１１１は、本発明の表示パネルの駆動方法の説明図である。
図１１２は、本発明の表示装置の駆動回路の説明図である。
図１１３は、本発明の表示パネルの画素構成図である。
図１１４は、本発明の表示パネルの画素構成図である。
図１１５は、本発明の表示パネルの画素構成図である。
図１１６は、本発明の表示パネルの画素構成図である。
図１１７は、本発明の表示パネルの画素構成図である。
図１１８は、本発明の表示装置の駆動回路の説明図である。
図１１９は、本発明の表示装置の駆動回路の説明図である。
図１２０は、本発明の表示装置の駆動回路の説明図である。
図１２１は、本発明の表示装置の駆動回路の説明図である。
図１２２は、本発明の表示装置の駆動回路の説明図である。
図１２３は、本発明の表示装置の駆動回路の説明図である。
図１２４は、本発明の表示装置の駆動回路の説明図である。
図１２５は、本発明の表示装置の説明図である。

図１２６は、本発明の表示装置の説明図である。
図１２７は、本発明の表示パネルの駆動方法の説明図である。
図１２８は、本発明の表示パネルの駆動方法の説明図である。
図１２９は、本発明の表示パネルの駆動方法の説明図である。
図１３０は、本発明の表示パネルの駆動方法の説明図である。
図１３１は、本発明の表示パネルの駆動方法の説明図である。
図１３２は、本発明の表示装置の説明図である。
図１３３は、本発明の表示装置の説明図である。
図１３４は、本発明の表示パネルの駆動方法の説明図である。
図１３５は、本発明の表示パネルの駆動方法の説明図である。
図１３６は、本発明の表示パネルの駆動方法の説明図である。
図１３７は、本発明の表示パネルの駆動方法の説明図である。
図１３８は、本発明の表示パネルの駆動方法の説明図である。
図１３９は、本発明の表示パネルの駆動方法の説明図である。
図１４０は、本発明の表示パネルの駆動方法の説明図である。
図１４１は、本発明の表示パネルの駆動方法の説明図である。
図１４２は、本発明の表示パネルの駆動方法の説明図である。
図１４３は、本発明の表示パネルの駆動方法の説明図である。
図１４４は、本発明の表示パネルの駆動方法の説明図である。
図１４５は、本発明の表示パネルの駆動方法の説明図である。
図１４６は、本発明の表示パネルの駆動方法の説明図である。
図１４７は、本発明の表示装置の説明図である。
図１４８は、本発明の表示装置の説明図である。
図１４９は、本発明の表示装置の説明図である。
図１５０は、本発明の表示装置の説明図である。
図１５１は、本発明の表示装置の説明図である。
図１５２は、本発明の表示装置の説明図である。
図１５３は、本発明の表示装置の説明図である。
図１５４は、本発明の表示装置の説明図である。
図１５５は、本発明の表示装置の説明図である。
図１５６は、本発明の表示装置の説明図である。
図１５７は、本発明の表示装置の説明図である。
図１５８は、本発明の表示装置の説明図である。
図１５９は、本発明の表示装置の説明図である。
図１６０は、本発明の表示装置の説明図である。
図１６１は、本発明の表示装置の説明図である。
図１６２は、本発明の表示装置の説明図である。
図１６３は、本発明のソースドライバＩＣの説明図である。
図１６４は、本発明のソースドライバＩＣの説明図である。
図１６５は、本発明のソースドライバＩＣの説明図である。
図１６６は、本発明のソースドライバＩＣの説明図である。
図１６７は、本発明のソースドライバＩＣの説明図である。
図１６８は、本発明のソースドライバＩＣの説明図である。
図１６９は、本発明のソースドライバＩＣの説明図である。
図１７０は、本発明のソースドライバＩＣの説明図である。
図１７１は、本発明のソースドライバＩＣの説明図である。
図１７２は、本発明のソースドライバＩＣの説明図である。
図１７３は、本発明の表示装置の説明図である。
図１７４は、本発明の表示装置の説明図である。
図１７５は、本発明のソースドライバＩＣの説明図である。

図１７６は、本発明のソースドライバＩＣの説明図である。

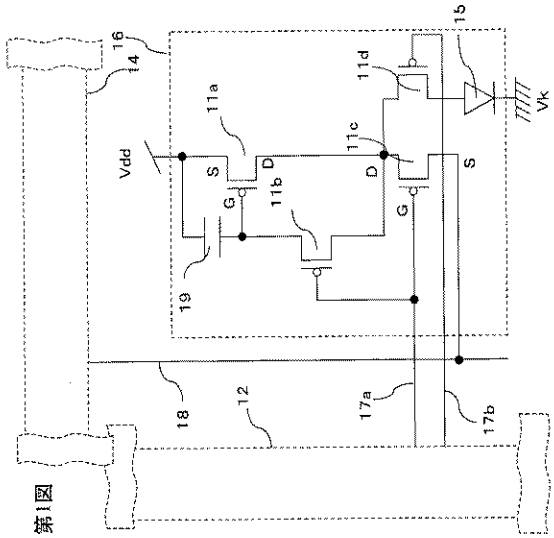
（符号の説明）

１１　トランジスタ（薄膜トランジスタ）
１２　ゲートドライバＩＣ（回路）
１４　ソースドライバＩＣ（回路）
１５　ＥＬ（素子）（発光素子）
１６　画素
１７　ゲート信号線
１８　ソース信号線
１９　蓄積容量（付加コンデンサ、付加容量）
５０　表示画面
５１　書き込み画素（行）
５２　非表示画素（非表示領域、非点灯領域）
５３　表示画素（表示領域、点灯領域）
６１　シフトレジスタ
６２　インバータ
６３　出力バッファ
７１　アレイ基板（表示パネル）
７２　レーザー照射範囲（レーザースポット）
７３　位置決めマーカー
７４　ガラス基板（アレイ基板）
８１　コントロールＩＣ（回路）
８２　電源ＩＣ（回路）
８３　プリント基板
８４　フレキシブル基板
８５　封止フタ
８６　カソード配線
８７　アノード配線（Ｖｄｄ）
８８　データ信号線
８９　ゲート制御信号線
１０１土手（リブ）
１０２層間絶縁膜
１０４コンタクト接続部
１０５画素電極
１０６カソード電極
１０７乾燥剤
１０８λ／４板
１０９偏光板
１１１薄膜封止膜
２７１ダミー画素（行）
３４１出力段回路
３７１ＯＲ回路
４０１点灯制御線
４７１逆バイアス線
４７２ゲート電位制御線
４５１電子ボリウム回路
４５２トランジスタのＳＤ（ソース－ドレイン）ショート
４７１、４７２、４７３　電流源（トランジスタ）
４８１　スイッチ（オンオフ手段）
４８４　電流源（単位トランジスタ）

４８３　内部配線
４９１　電子ボリウム
５２１　トランジスタ群
５３１　抵抗
５３２　デコーダ回路
５３３　レベルシフタ回路
５４１　嵩上げ回路
５５１　Ｄ／Ａ変換器
５５２　オペアンプ
５６１　アナログスイッチ
５６２　インバータ
５８１　ゲート配線
６３１　スリープスイッチ（基準電流オンオフ手段）
６５１　カウンタ
６５２　ＮＯＲ
６５３　ＡＮＤ
６５４　電流出力回路
６５５　スイッチ
６７１　一致回路
６８１　入出力パッド
６９１　基準電流回路
６９２　電流制御回路
７０１　温度検出手段
７０２　温度制御回路
７１１　単位ゲート出力回路
１１２１　コイル（トランス）
１１２２　制御回路
１１２３　ダイオード
１１２４　コンデンサ
１１２５　抵抗
１１２６　トランジスタ
１１３１　切り替え回路（アナログスイッチ）
１２５１　出力切り替え回路
１２５２　切り替えスイッチ
１５０１　アナログスイッチ
１５０２　スイッチ制御線
１５０３　接続配線
１５０４　緩衝シート（板）
１５２１　インバータ
１５２２　接続端子
１５７１　アンテナ
１５７２　キー
１５７３　筐体
１５７４　表示パネル
１５８１　接眼リング
１５８２　拡大レンズ
１５８３　凸レンズ
１５９１　支点（回転部）
１５９２　撮影レンズ
１５９３　格納部

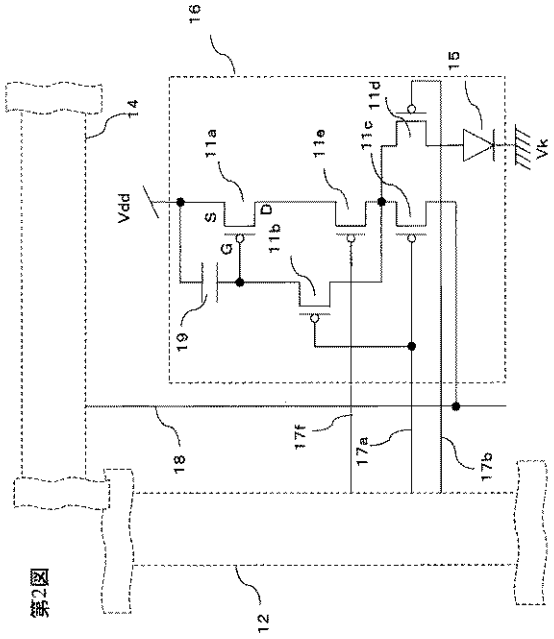
１５９４　　スイッチ
１６０１　　本体
１６０２　　撮影部
１６０３　　シャッタスイッチ
１６１１　　取り付け枠
１６１２　　脚
１６１３　　取り付け台
１６１４　　固定部
１７３１　制御電極
１７３２　映像信号回路
１７３３　電子放出突起
１７３４　保持回路
１７３５　オンオフ制御回路
１７４１　選択信号線
１７４２　オンオフ信号線

【図１】



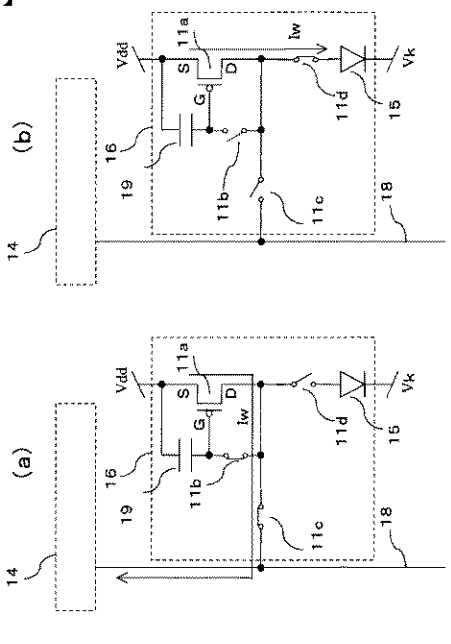
第1図

【図２】



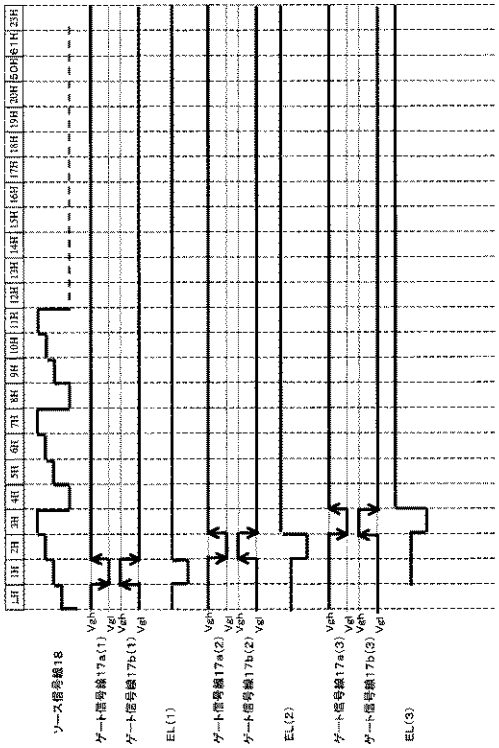
第2図

【図３】



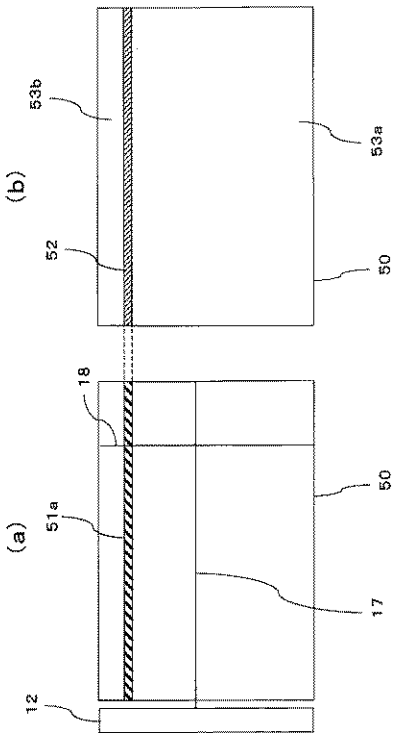
第3図

【図４】



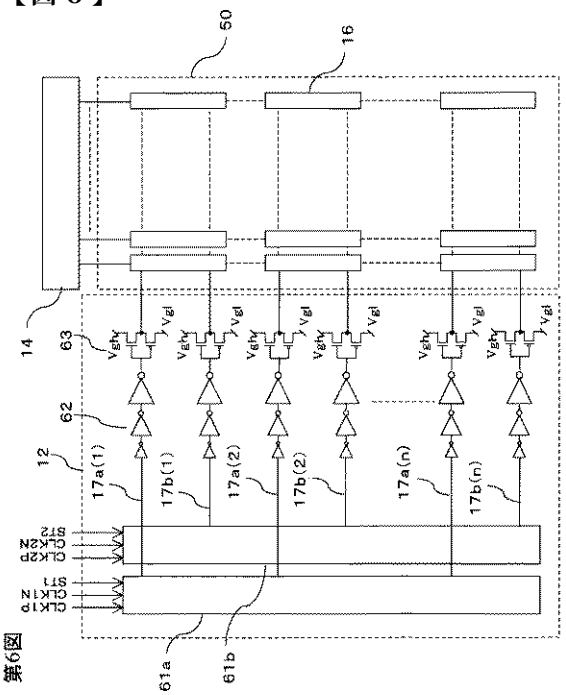
第4図

【図５】



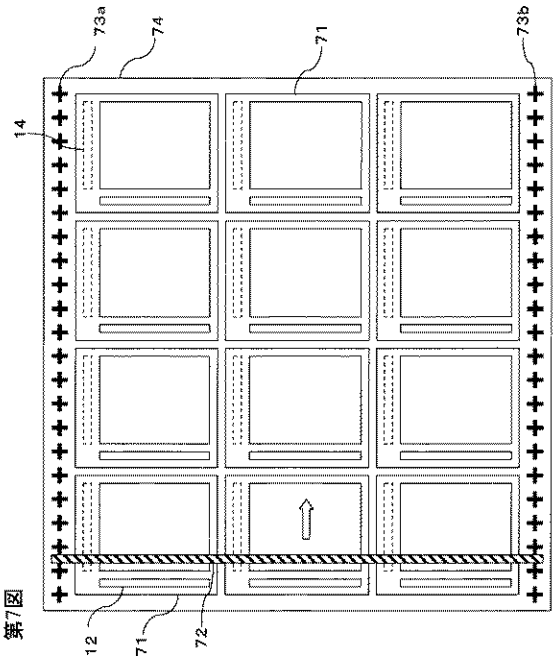
第5図

【図６】



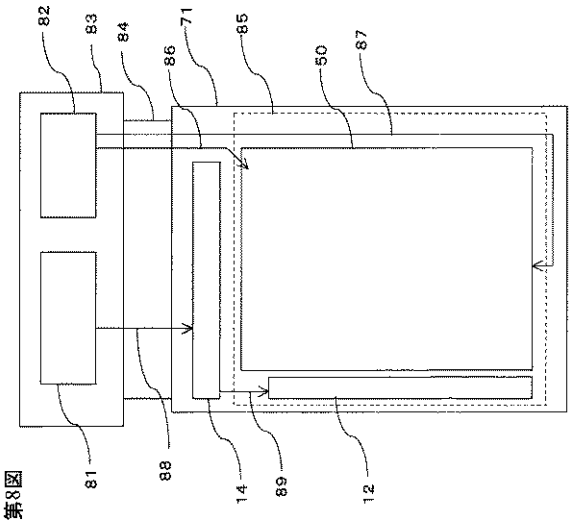
第6図

【図７】



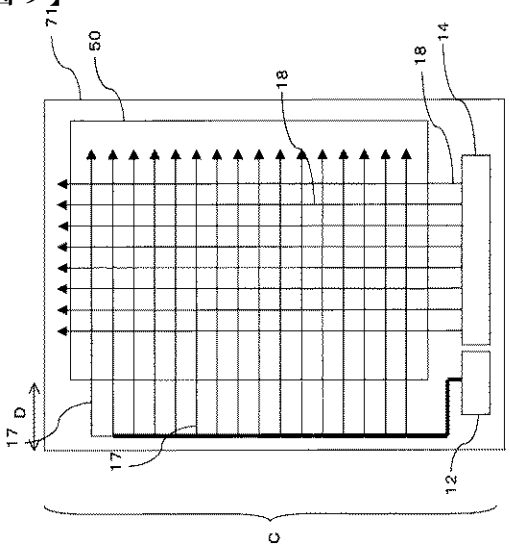
第7図

【図８】



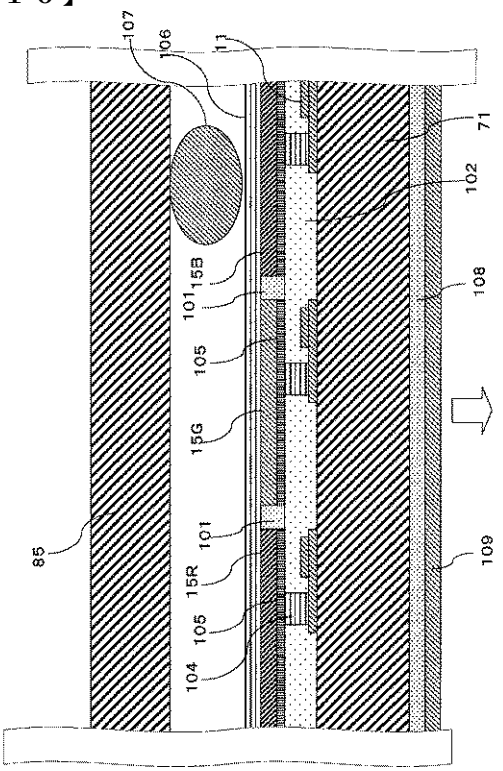
第8図

【図９】



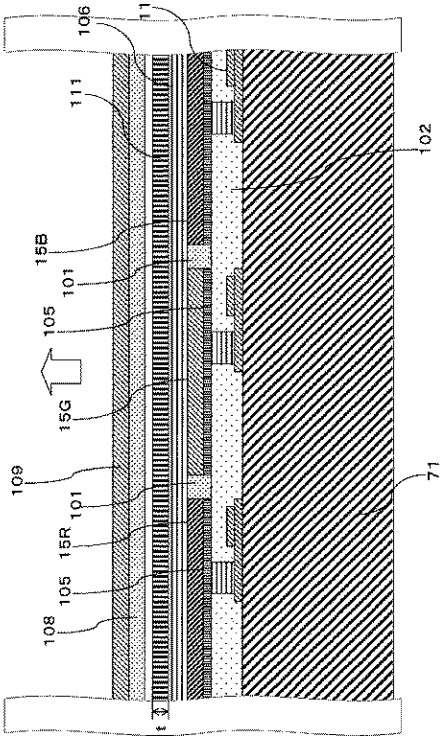
第9図

【図１０】



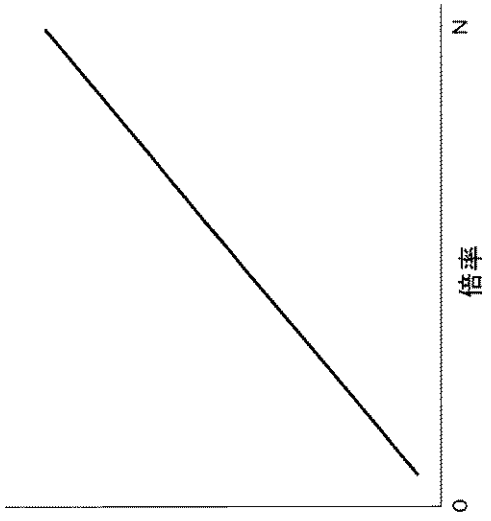
第10図

【図１１】



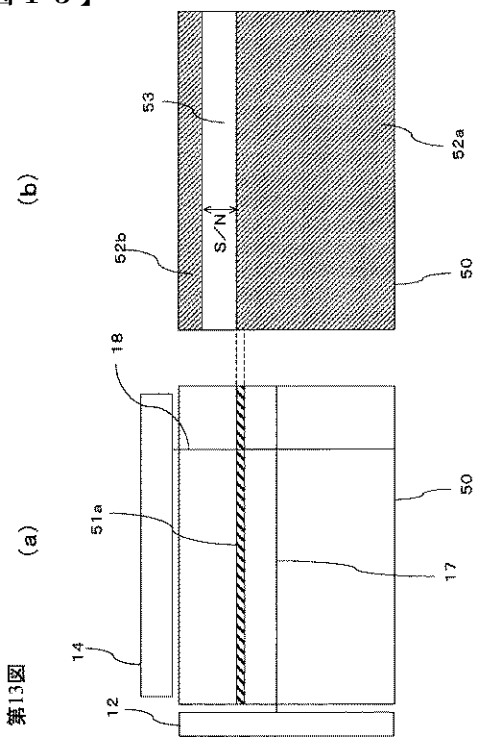
第11図

【図１２】



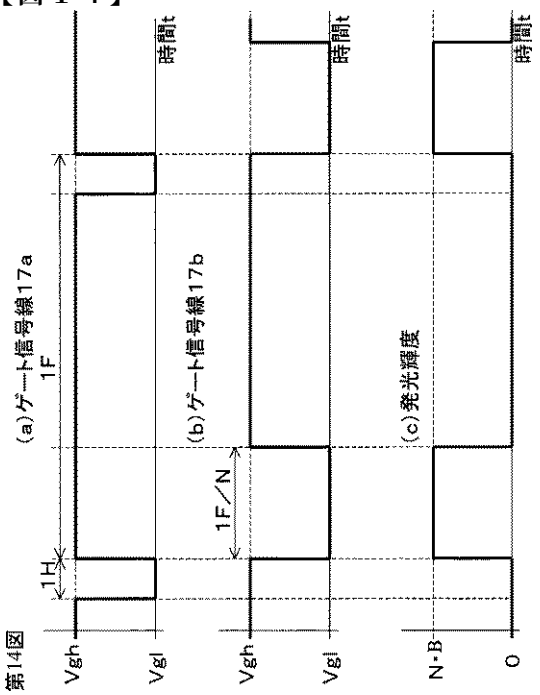
第12図

【図１３】



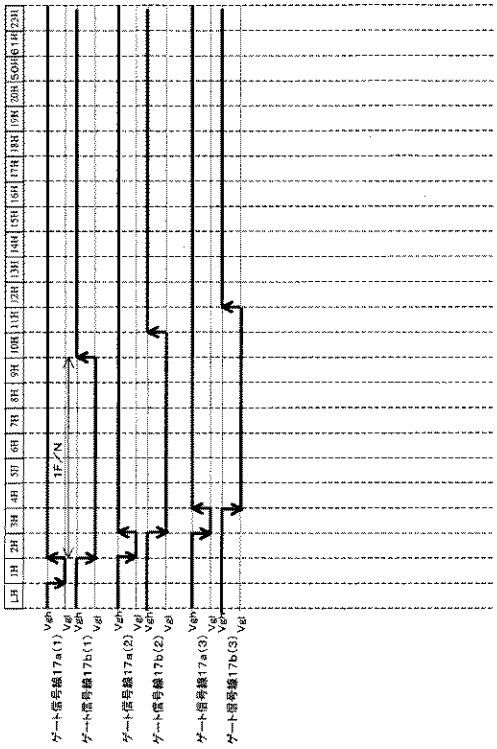
第13図

【図１４】



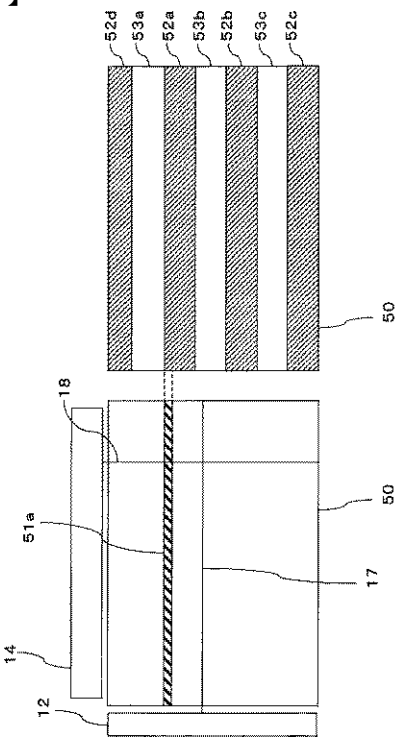
第14図

【図１５】



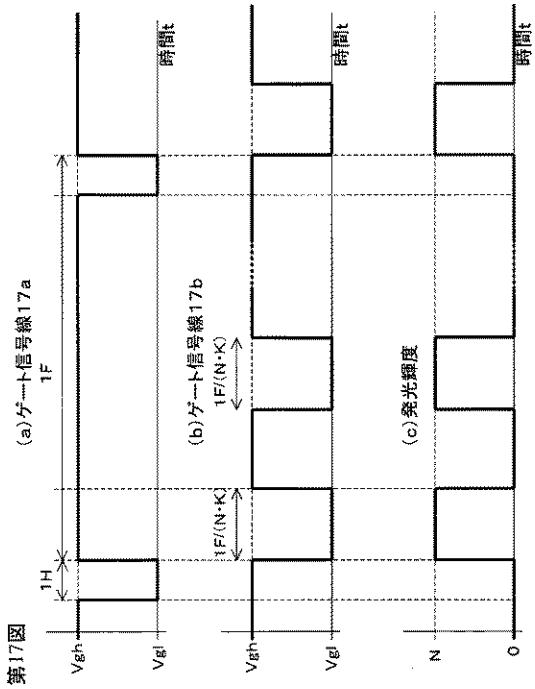
第15図

【図１６】



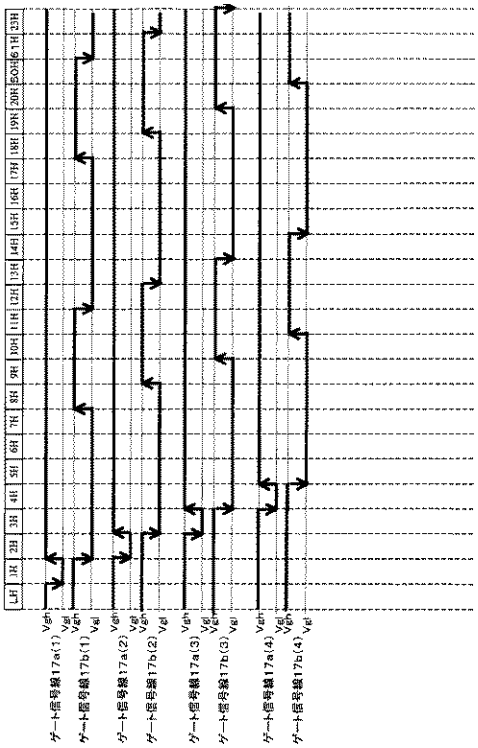
第16図

【図１７】



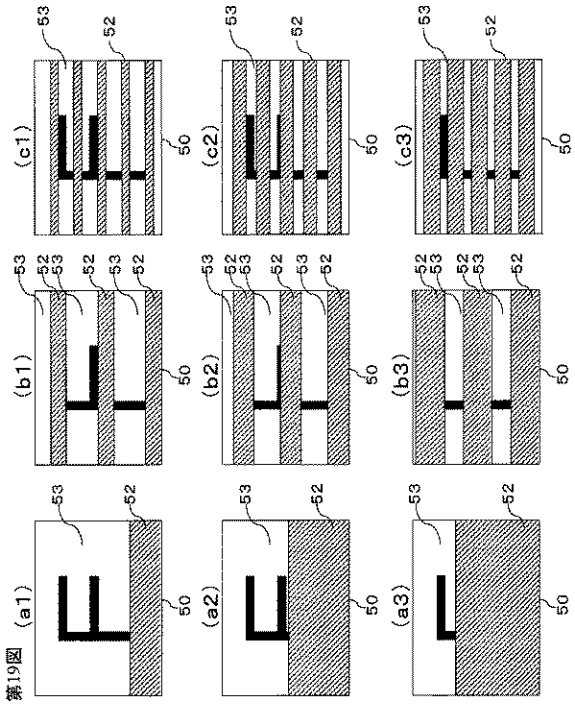
第17図

【図１８】



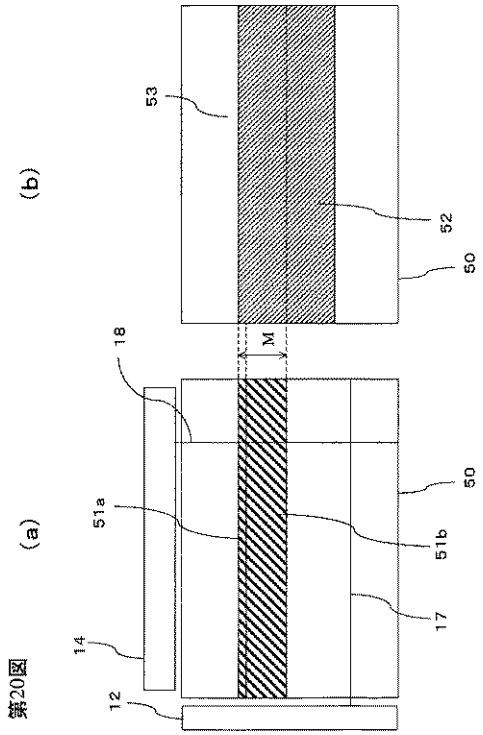
第18図

【図１９】



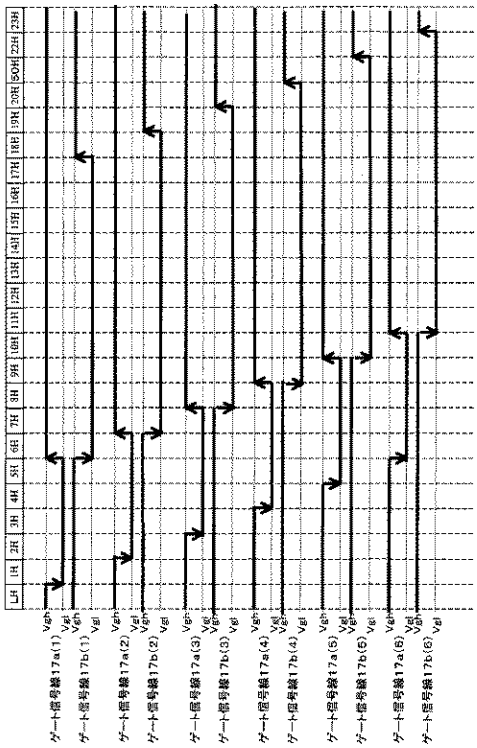
第19図

【図２０】



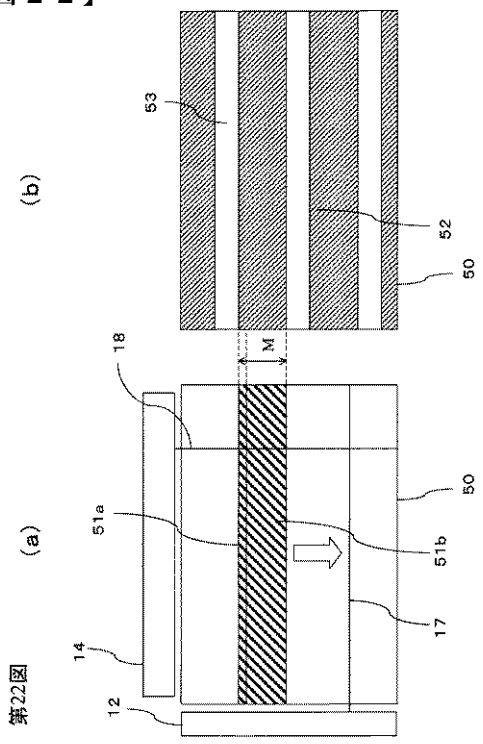
第20図

【図２１】



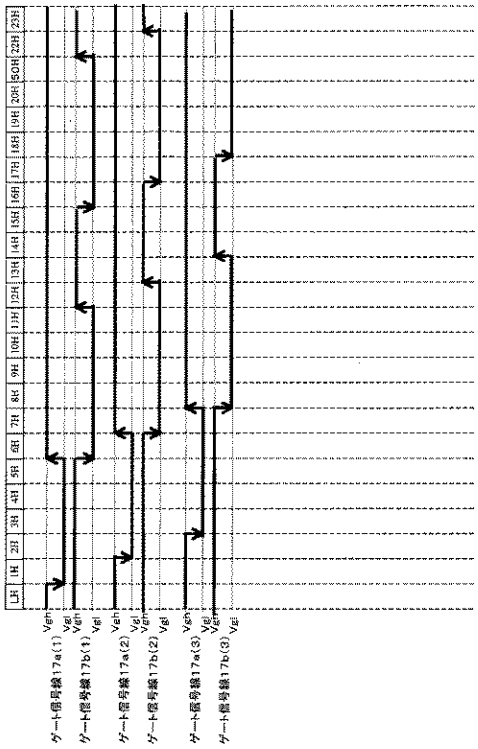
第21図

【図２２】



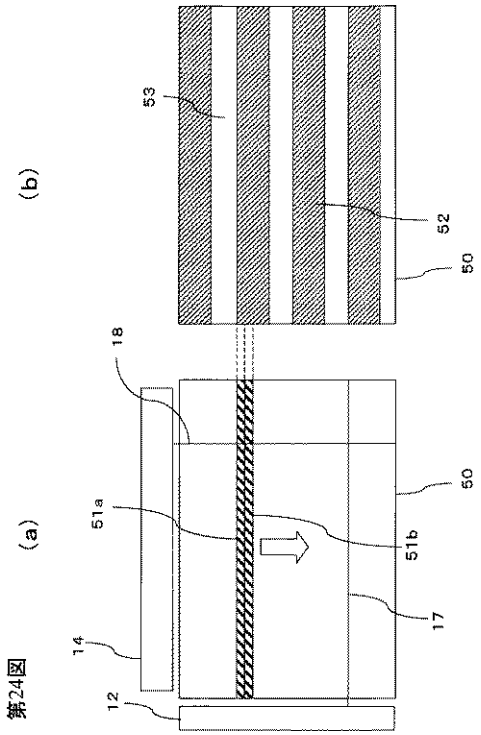
第22図

【図２３】



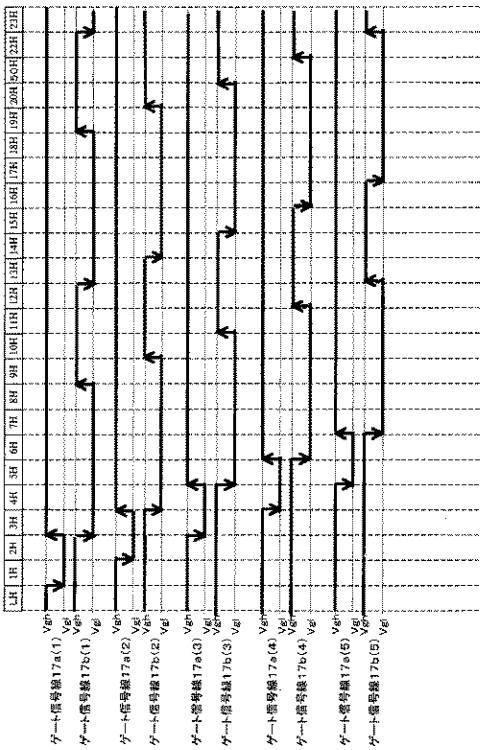
第23図

【図２４】



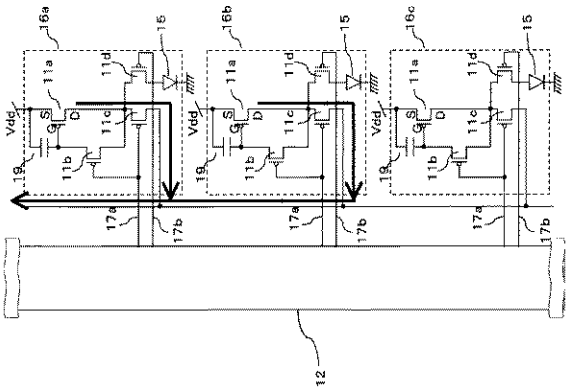
第24図

【図２５】



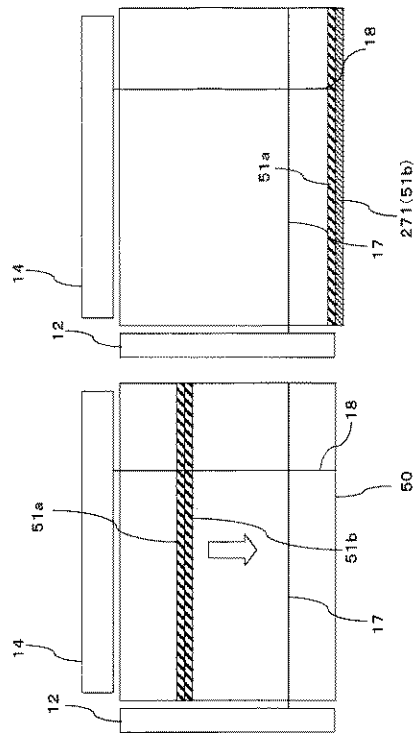
第25図

【図２６】



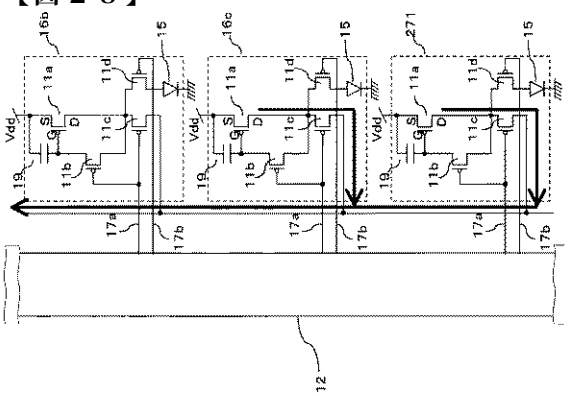
第26図

【図２７】



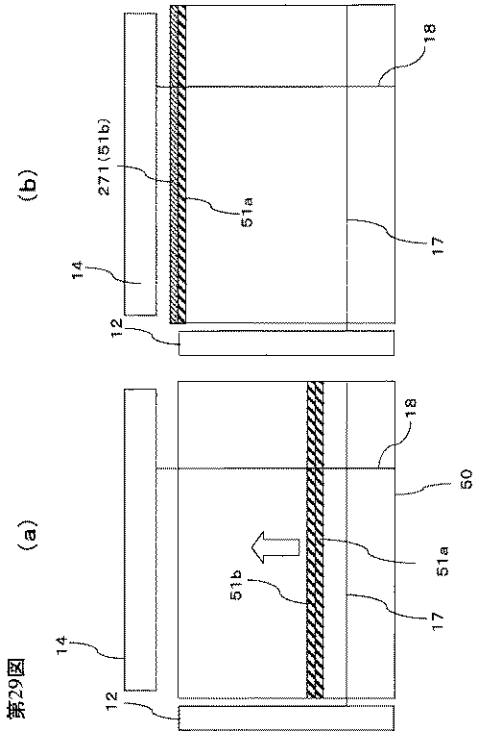
第27図

【図２８】



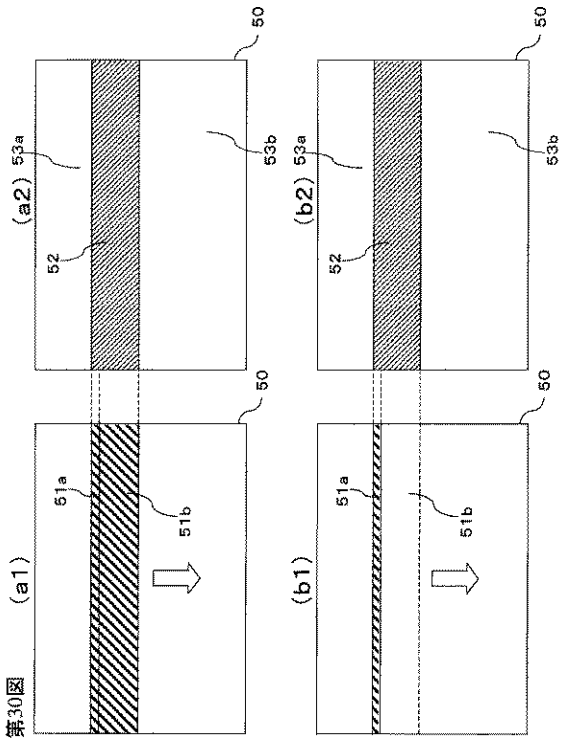
第28図

【図２９】



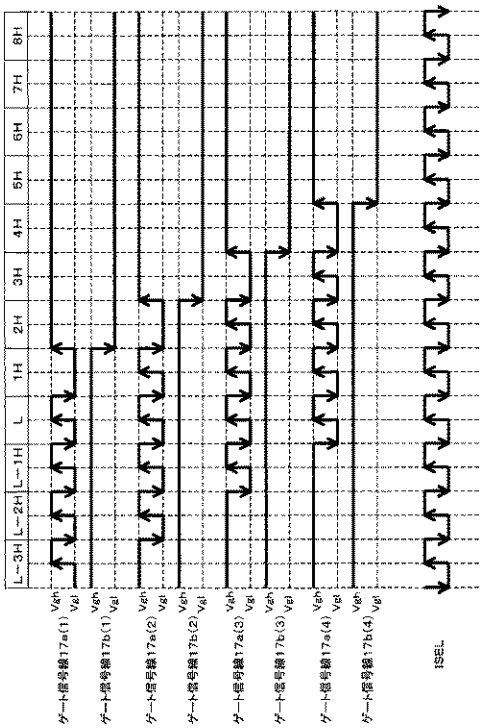
第29図

【図３０】



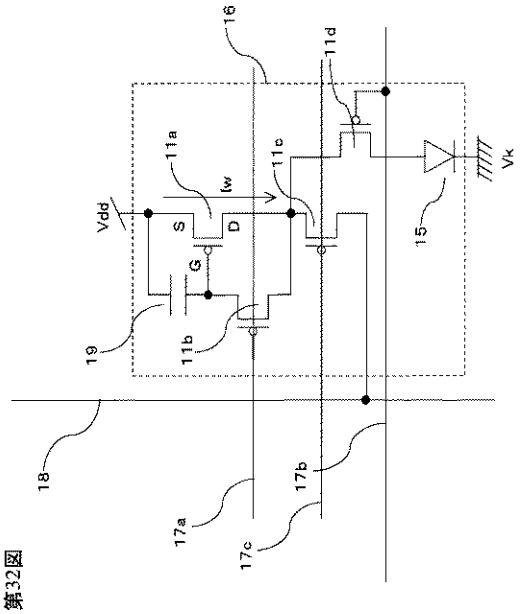
第30図

【図３１】



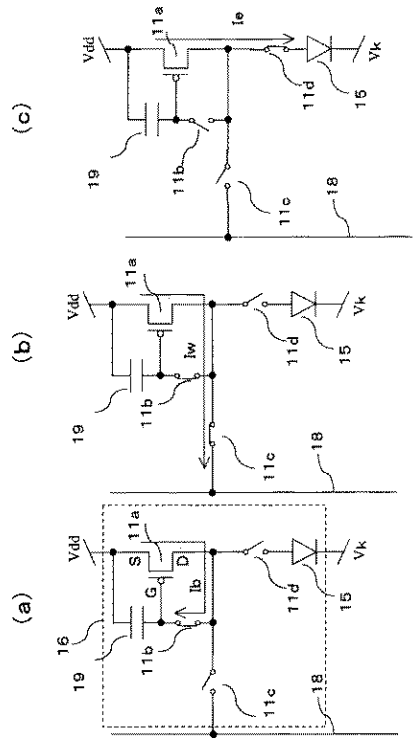
第31図

【図３２】



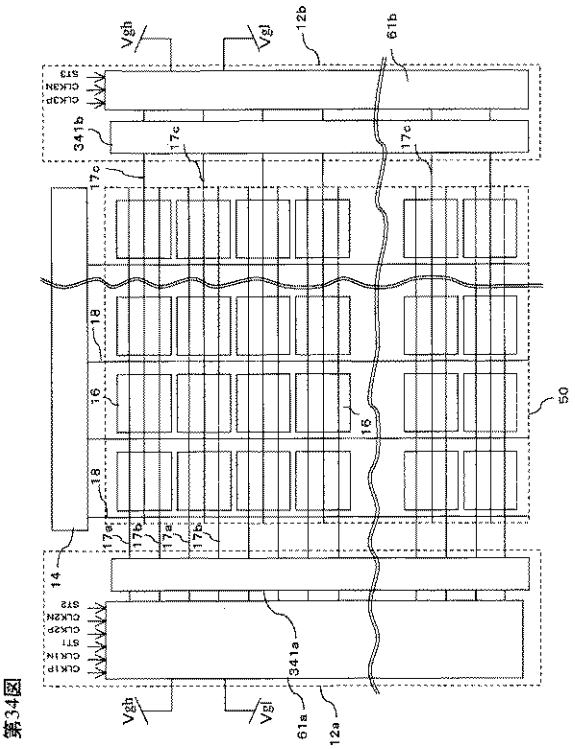
第32図

【図３３】



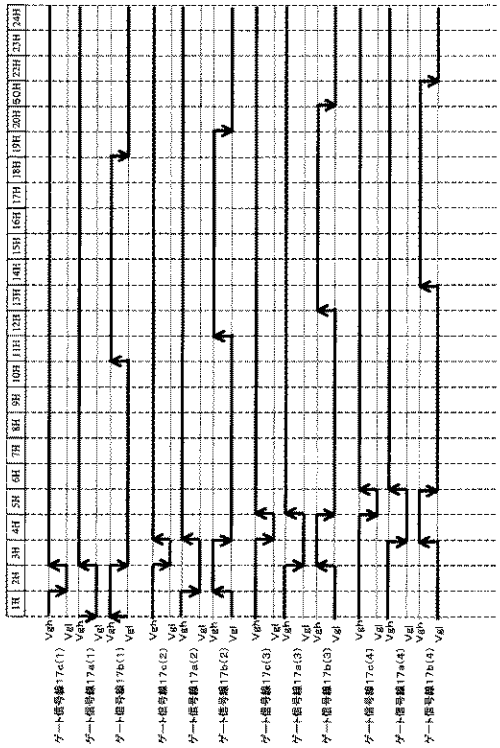
第33図

【図３４】



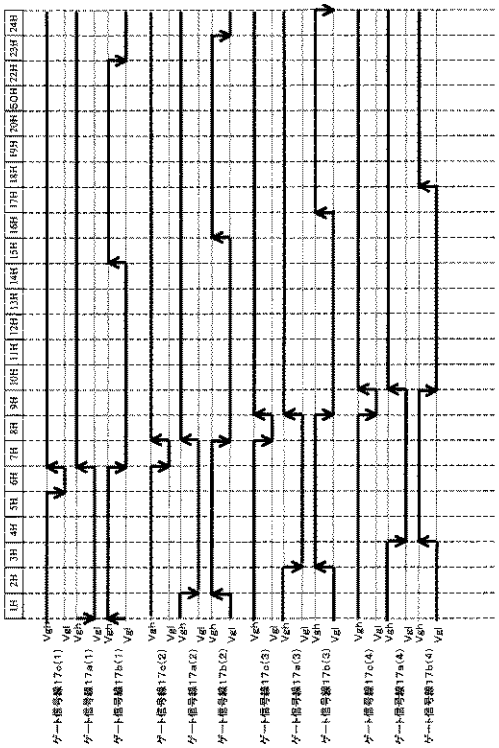
第34図

【図３５】



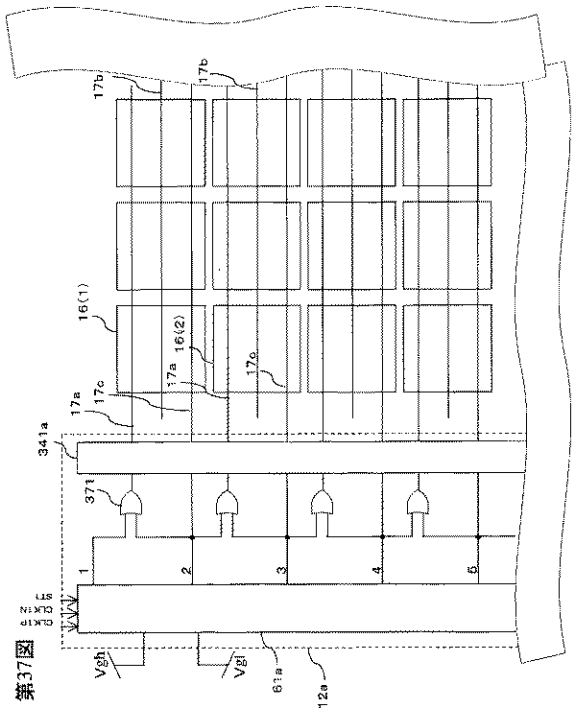
第35図

【図３６】



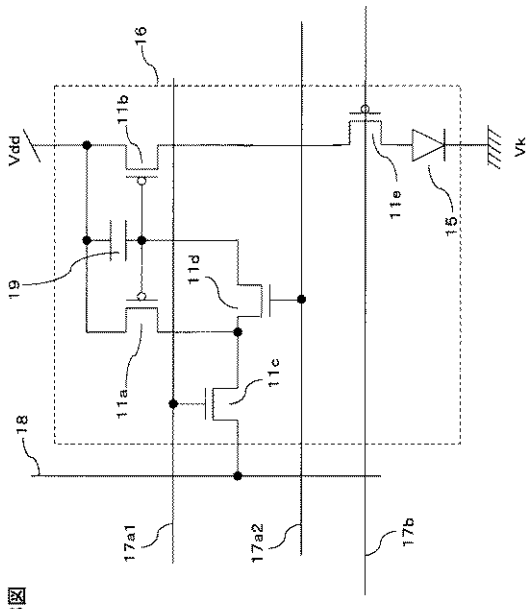
第36図

【図３７】



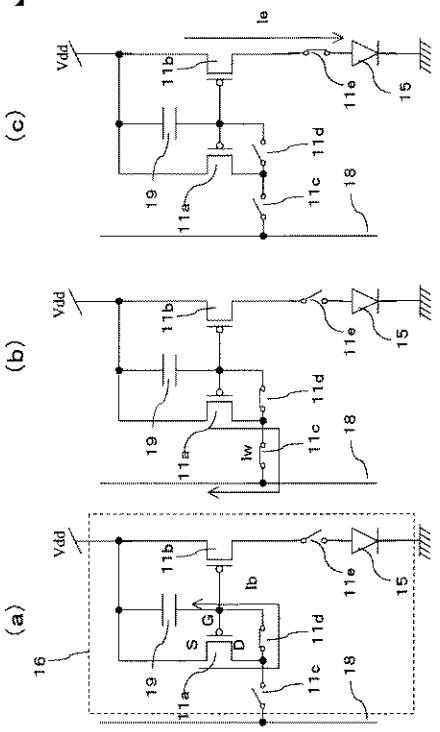
第37図

【図３８】



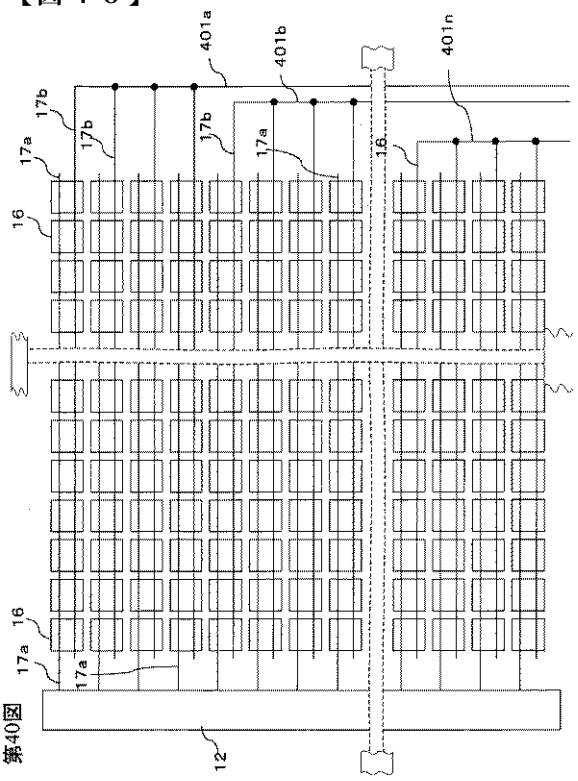
第38図

【図３９】



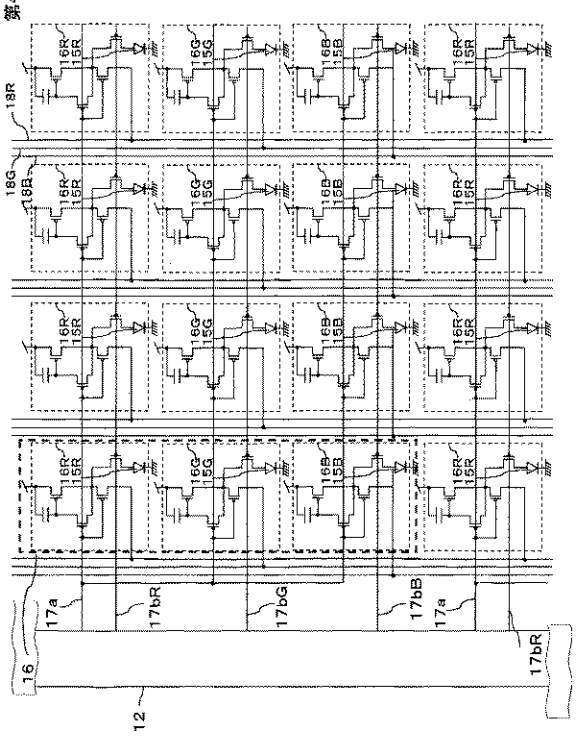
第39図

【図４０】



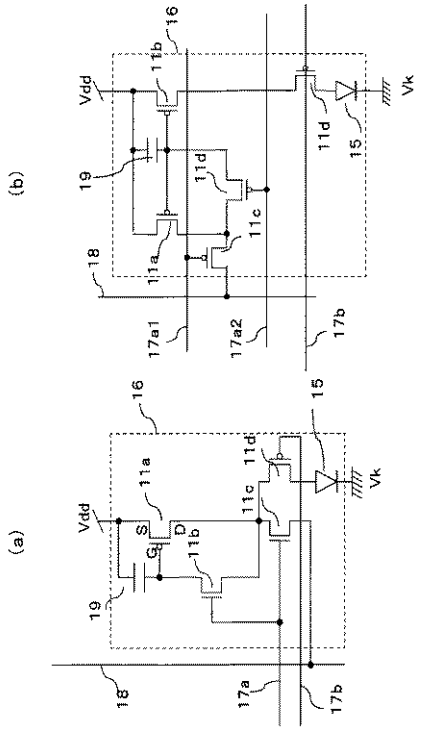
第40図

【図４１】



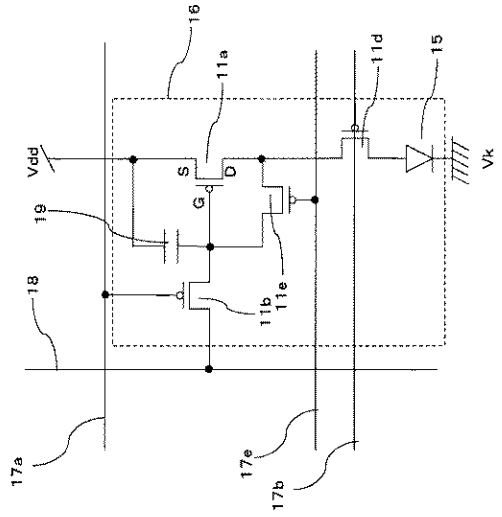
第41図

【図４２】



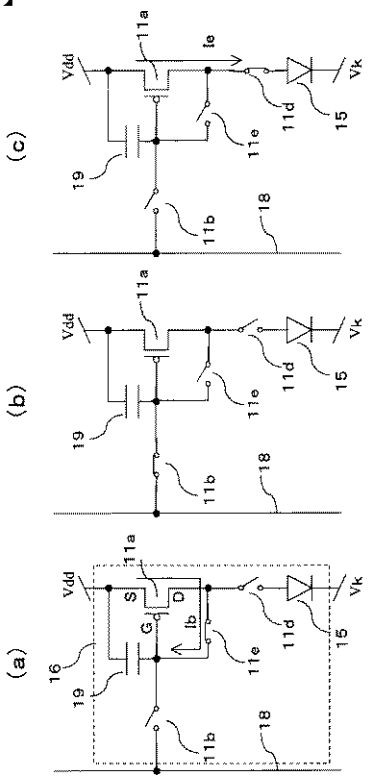
第42図

【図４３】



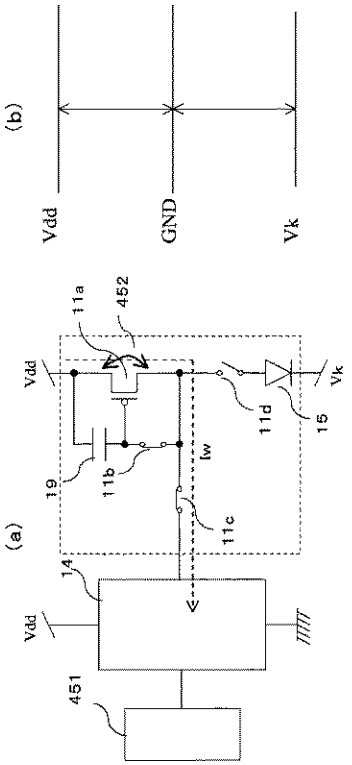
第43図

【図４４】



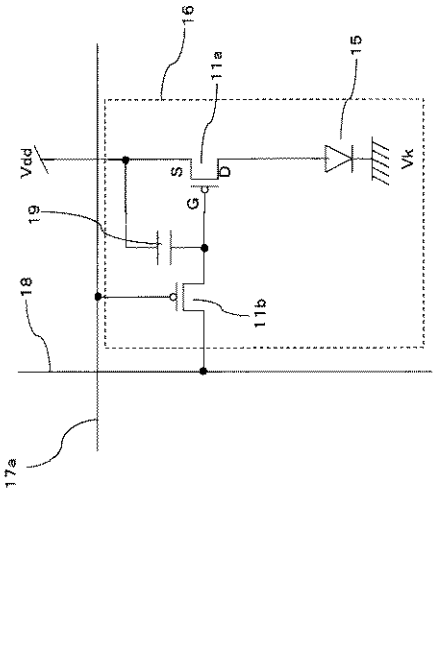
第44図

【図４５】



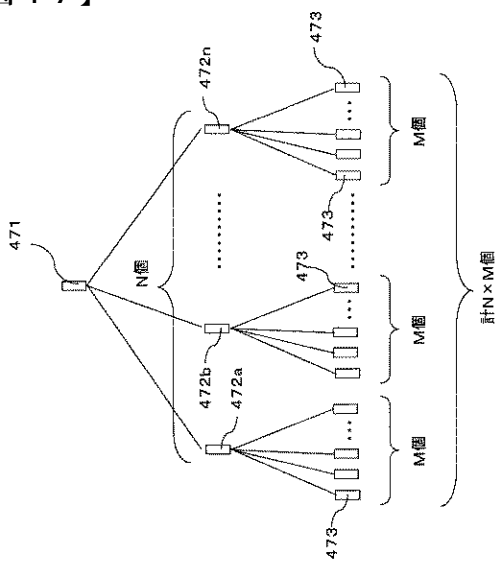
第45図

【図４６】



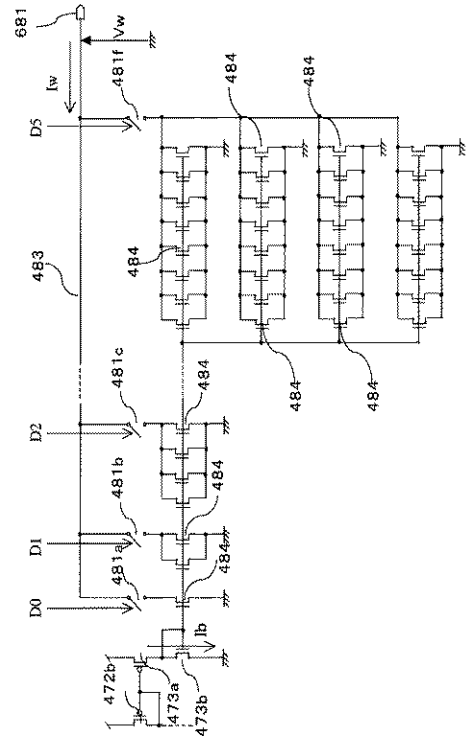
第46図

【図４７】



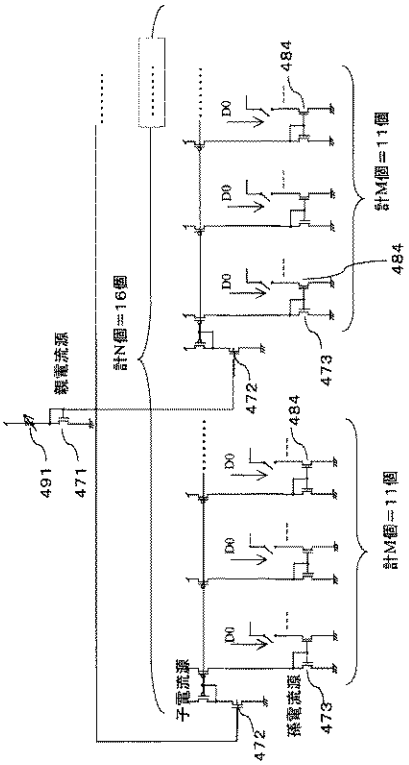
第47図

【図４８】



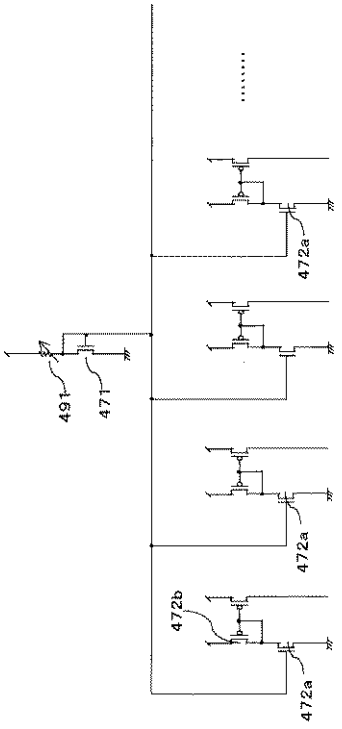
第48図

【図４９】



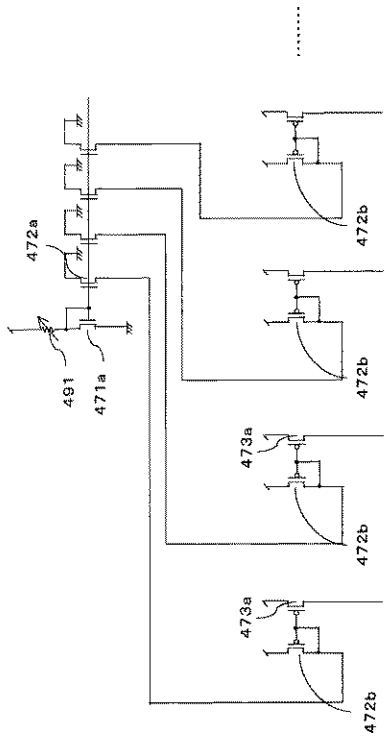
第49図

【図５０】



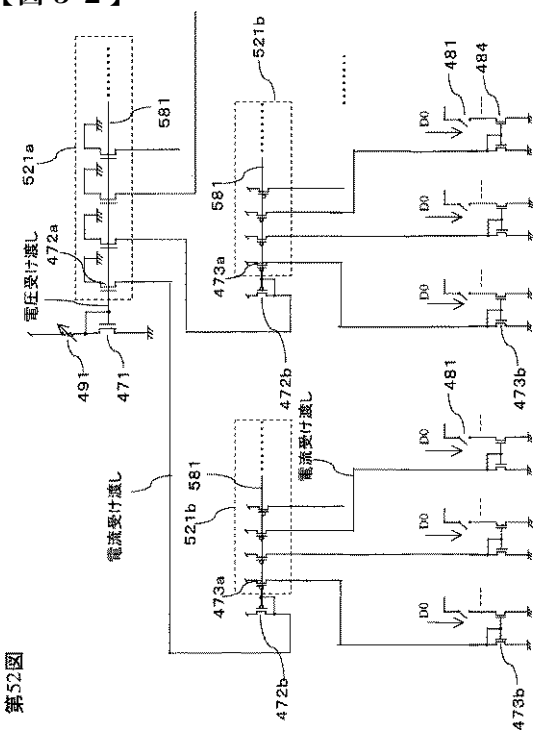
第50図

【図５１】



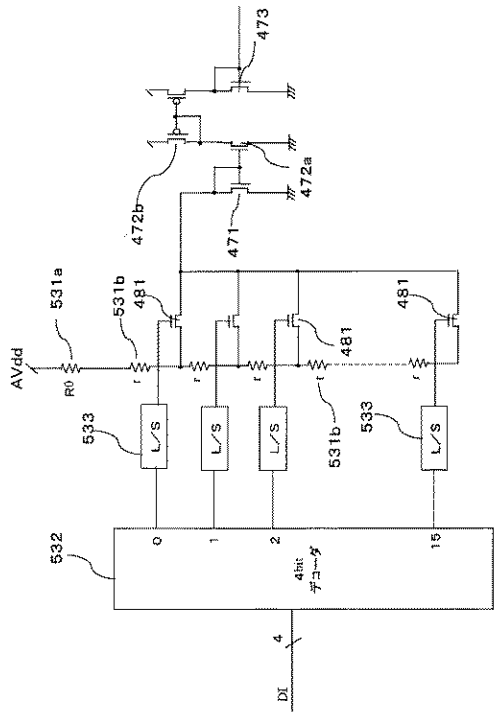
第51図

【図５２】



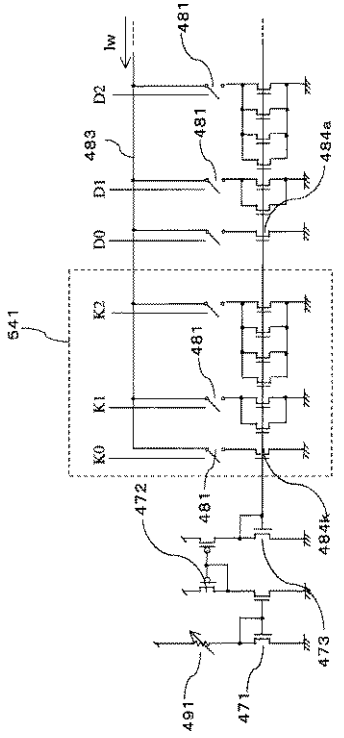
第52図

【図５３】



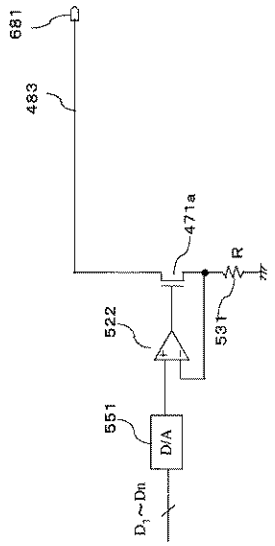
第53図

【図５４】



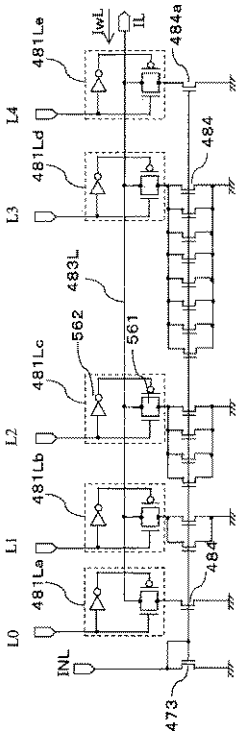
第54図

【図５５】



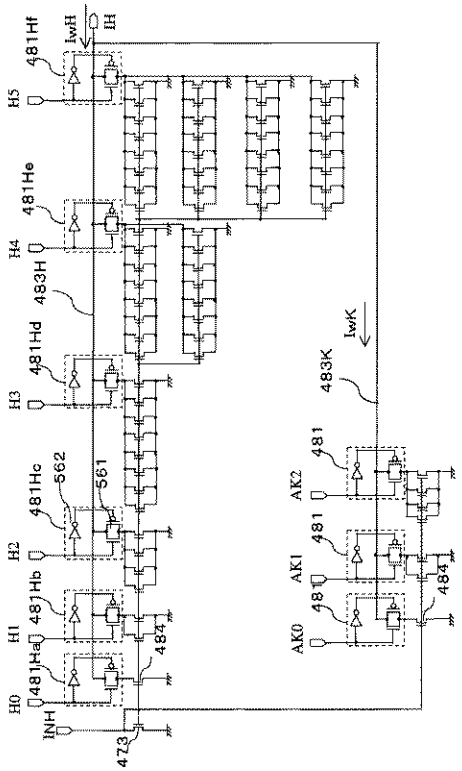
第55図

【図５６】



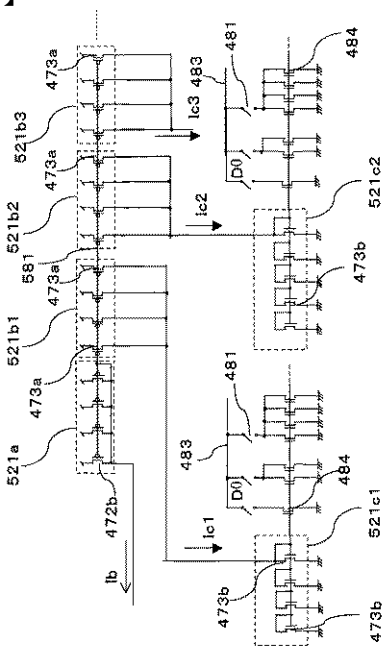
第56図

【図５７】



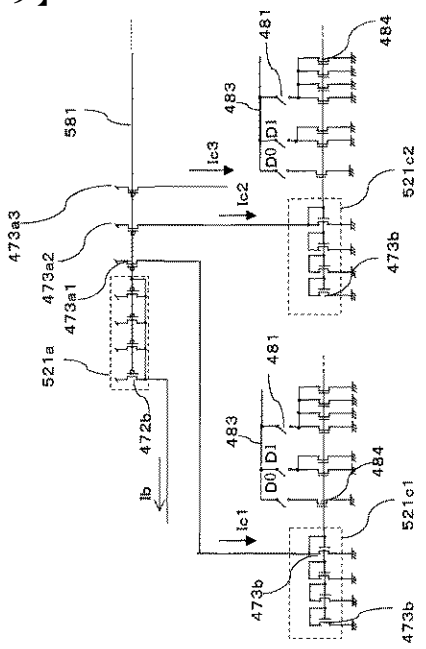
第57図

【図５８】



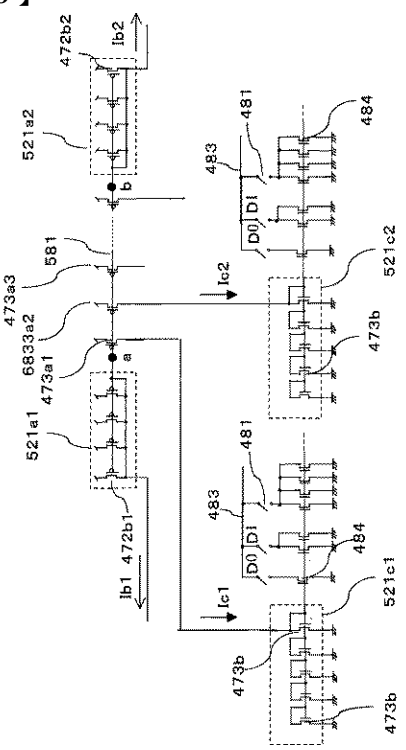
第58図

【図５９】



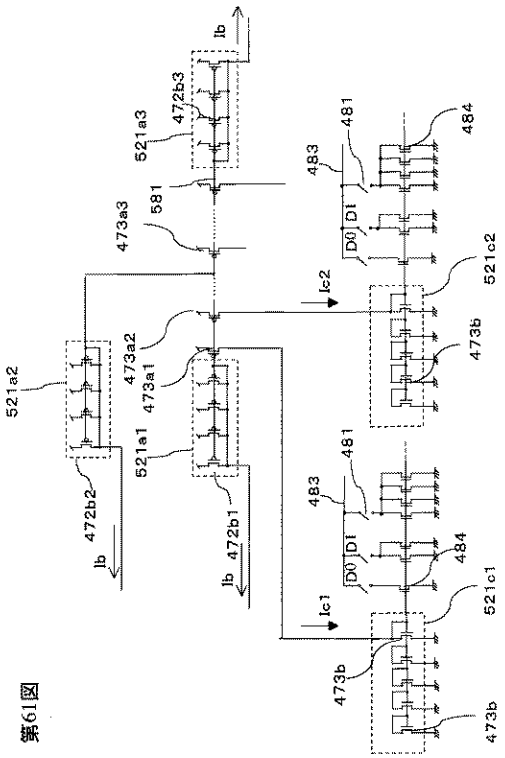
第59図

【図６０】



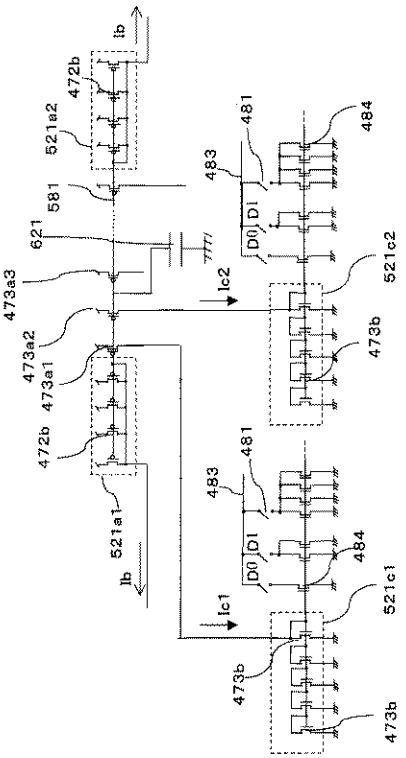
第60図

【図６１】



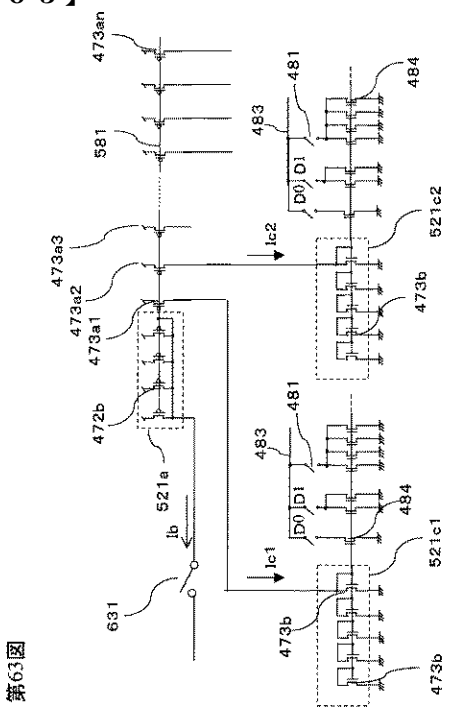
第61図

【図６２】



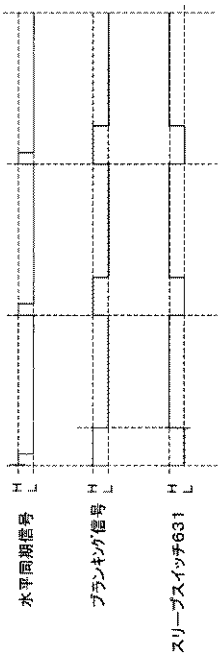
第62図

【図６３】



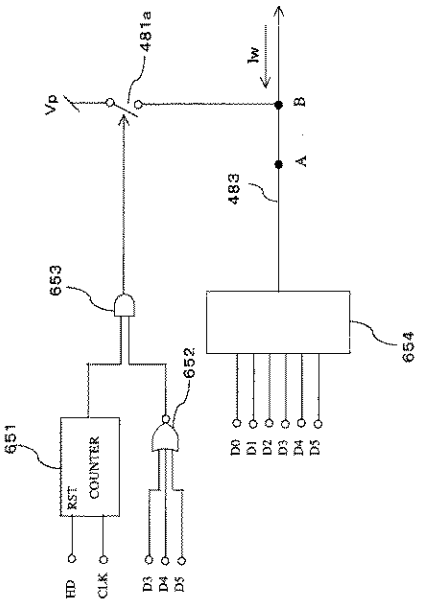
第63図

【図６４】



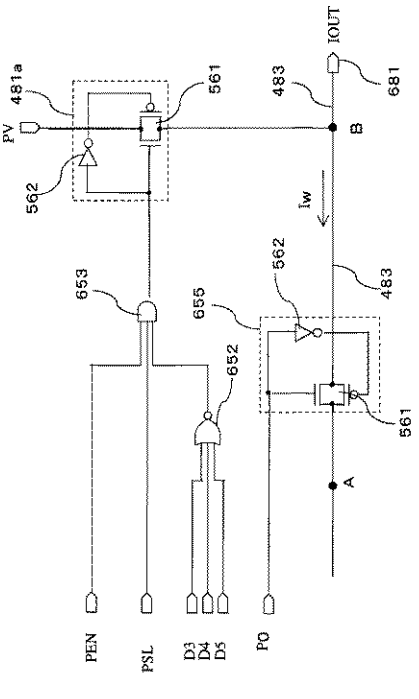
第64図

【図６５】



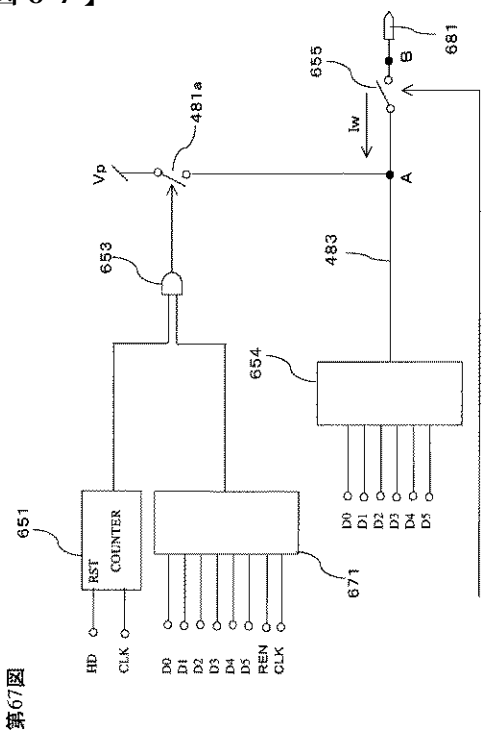
第65図

【図６６】



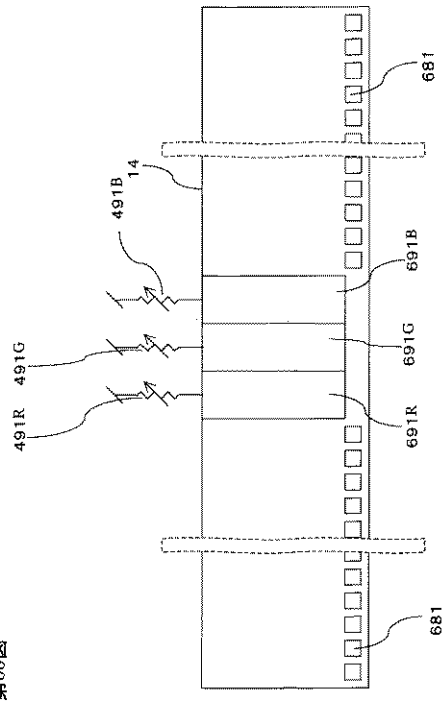
第66図

【図６７】



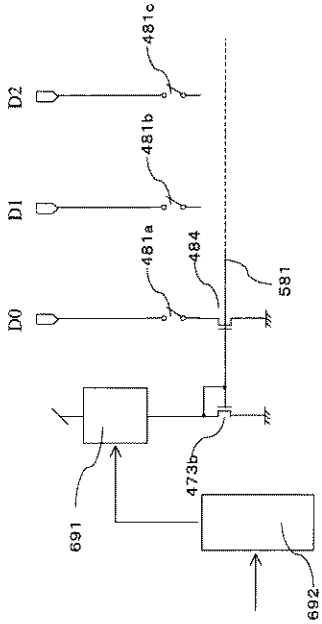
第67図

【図６８】



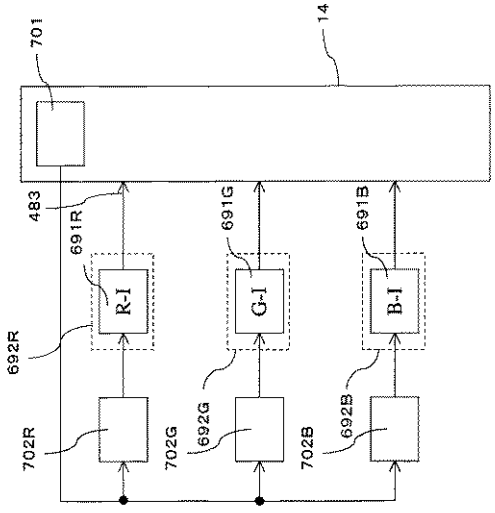
第68図

【図６９】



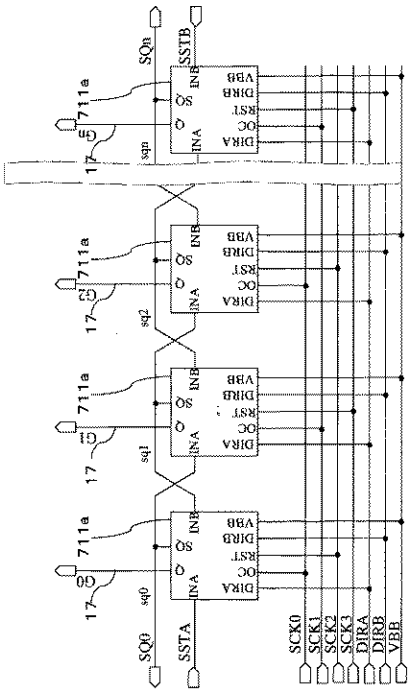
第69図

【図７０】



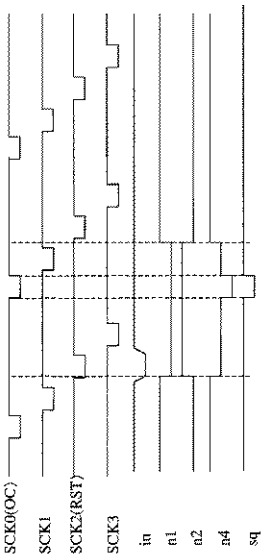
第70図

【図７１】



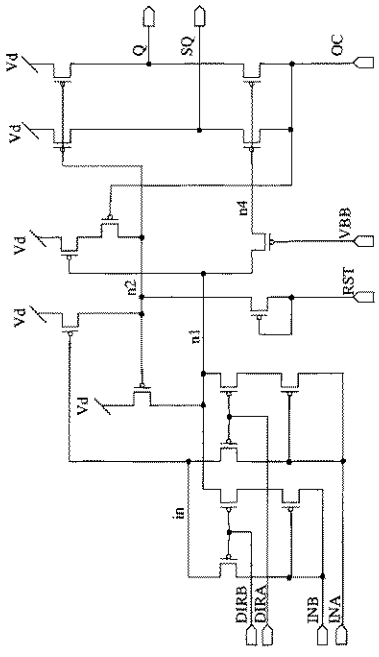
第71図

【図７２】



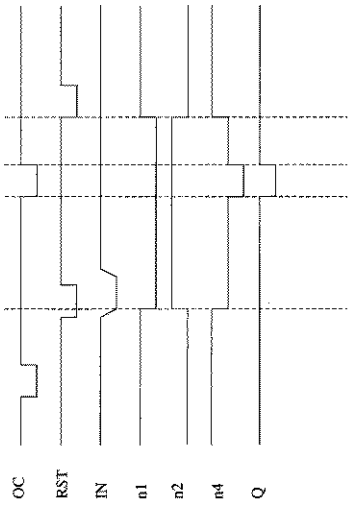
第72図

【図７３】



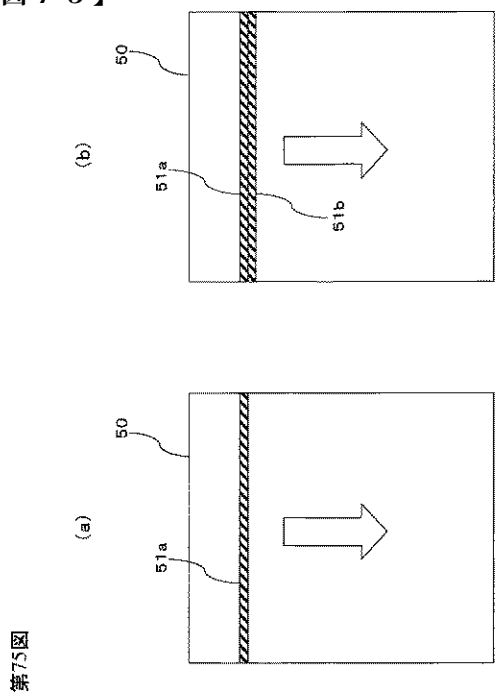
第73図

【図７４】



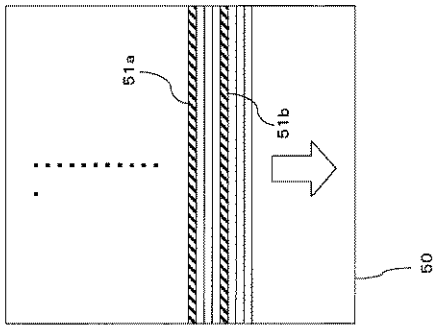
第74図

【図７５】



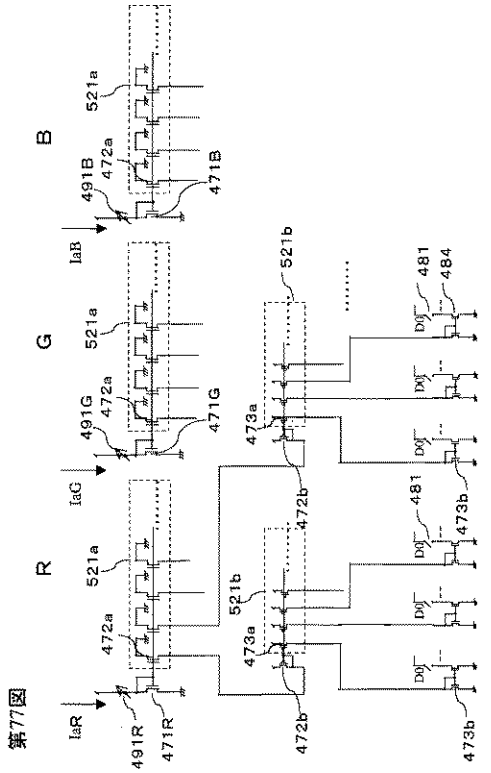
第75図

【図７６】



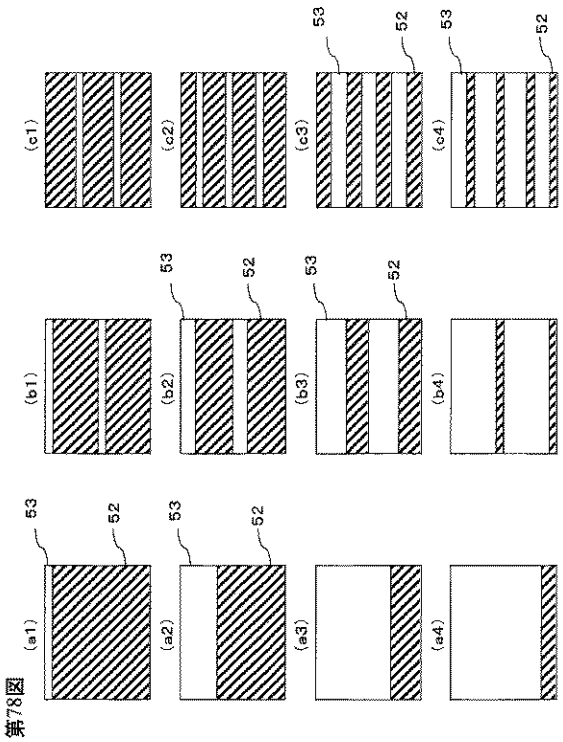
第76図

【図７７】



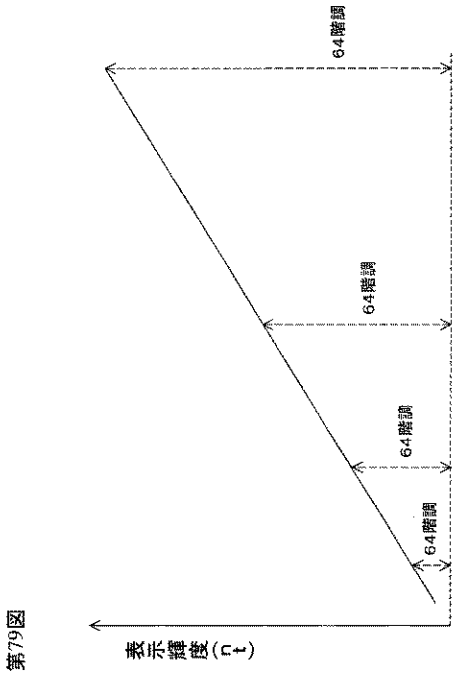
第77図

【図７８】



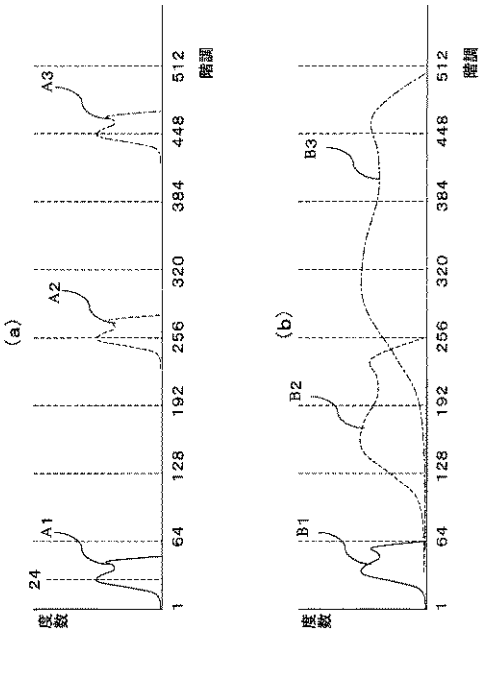
第78図

【図７９】



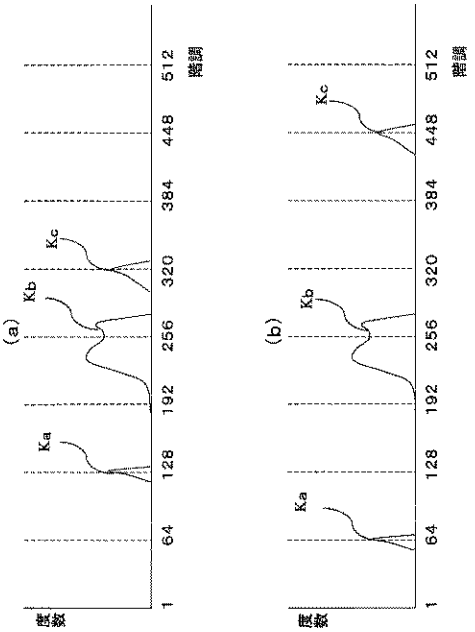
第79図

【図８０】



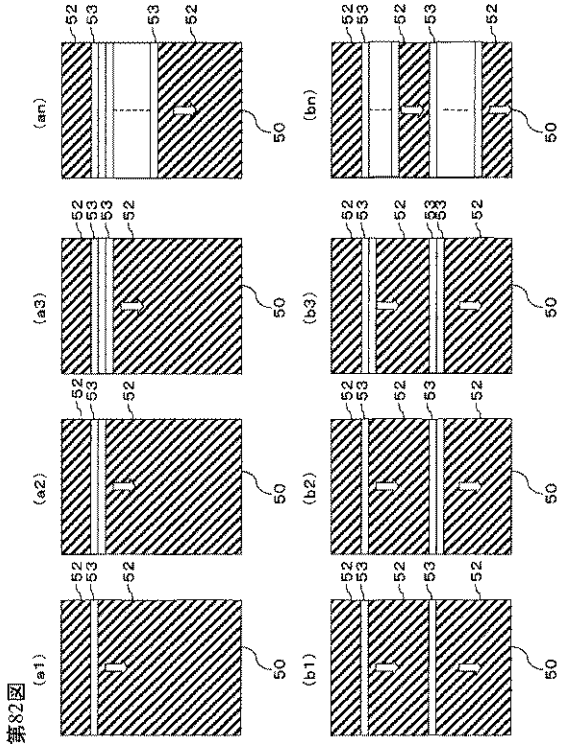
第80図

【図８１】



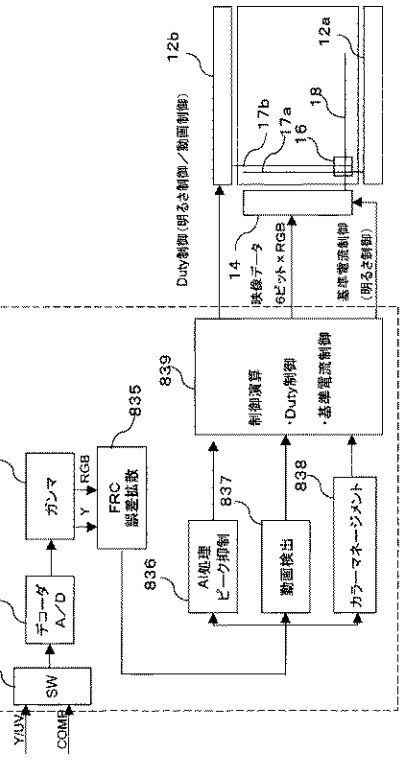
第81図

【図８２】



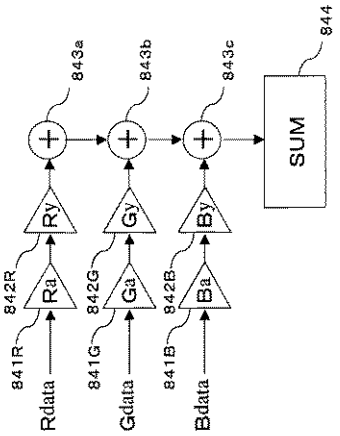
第82図

【図８３】



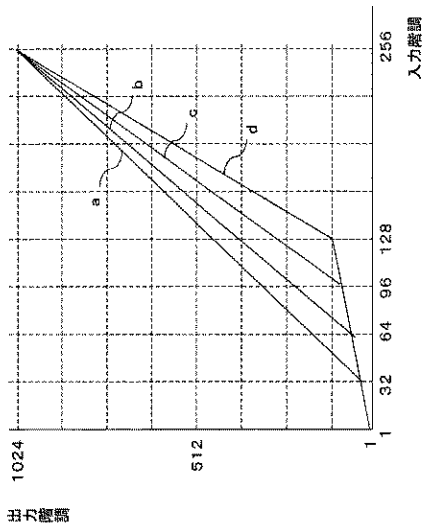
第83図

【図８４】



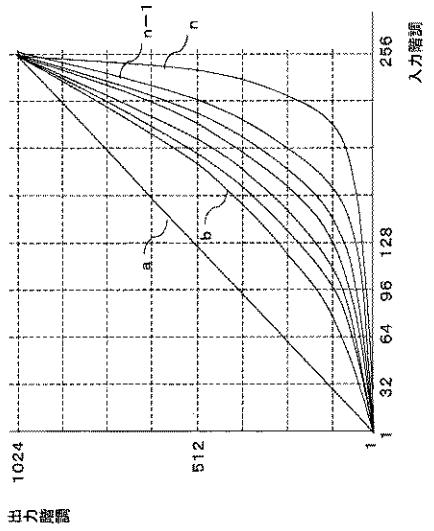
第84図

【図８５】



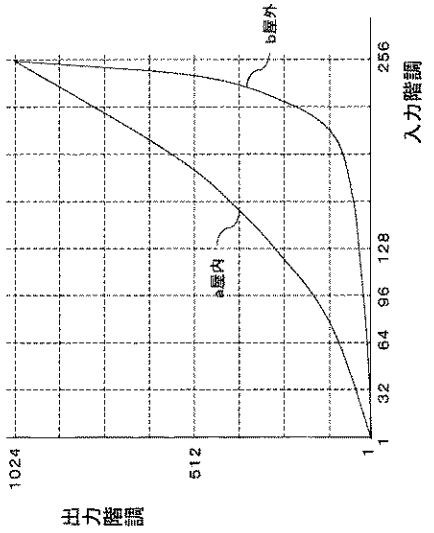
第85図

【図８６】



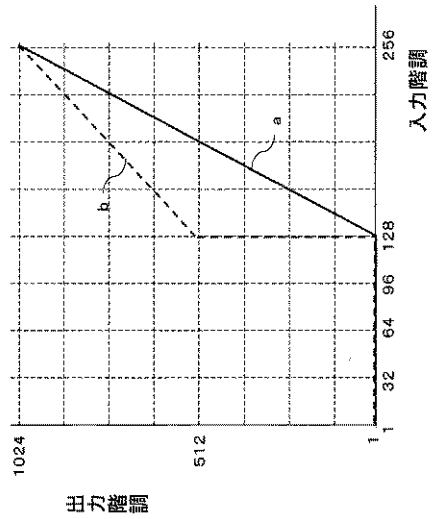
第86図

【図８７】



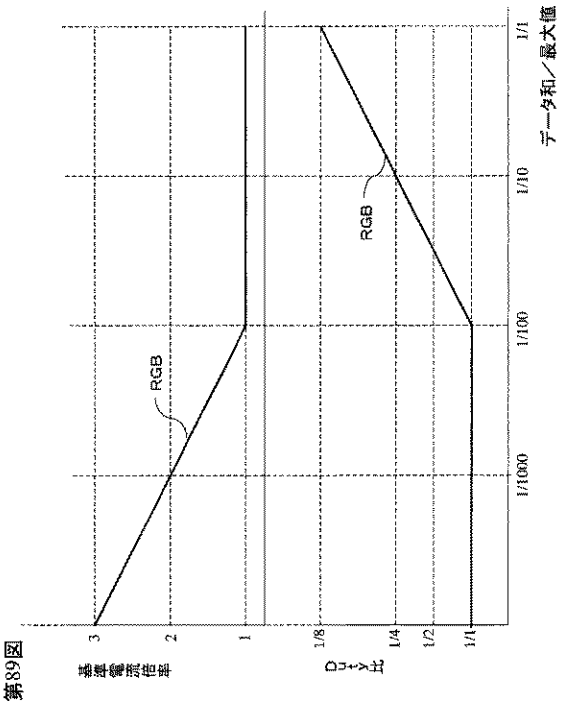
第87図

【図８８】



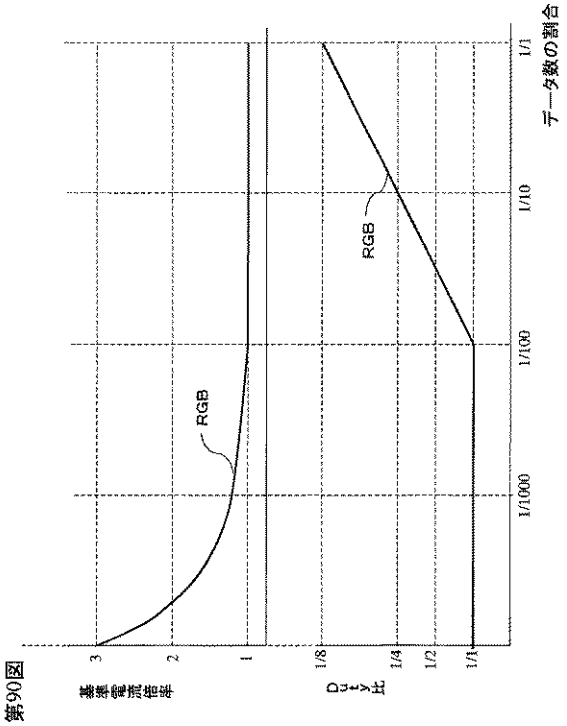
第88図

【図８９】



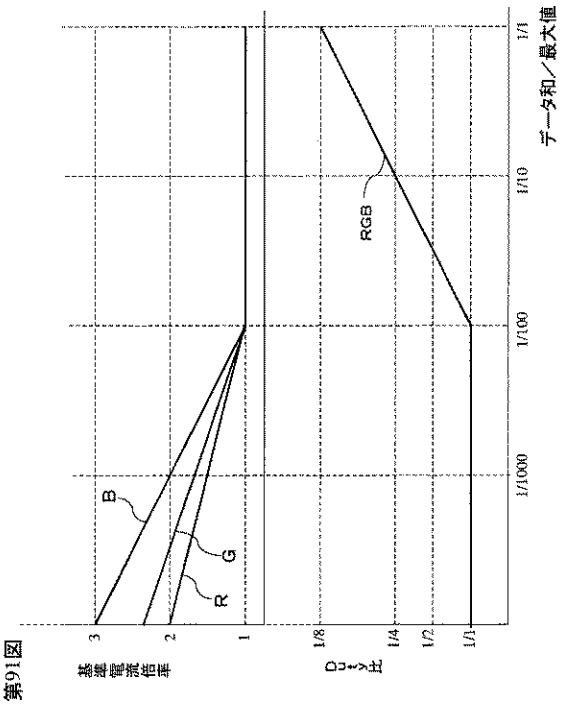
第89図

【図９０】



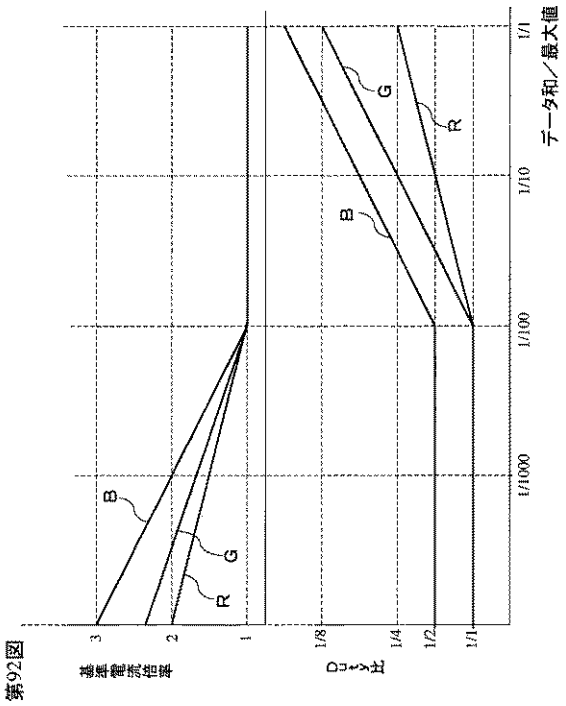
第90図

【図９１】



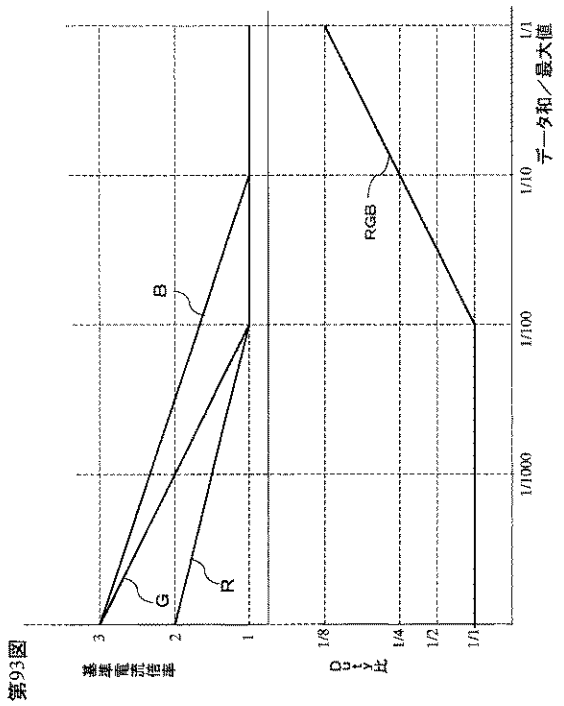
第91図

【図９２】



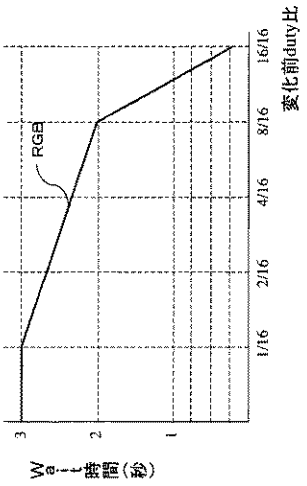
第92図

【図９３】



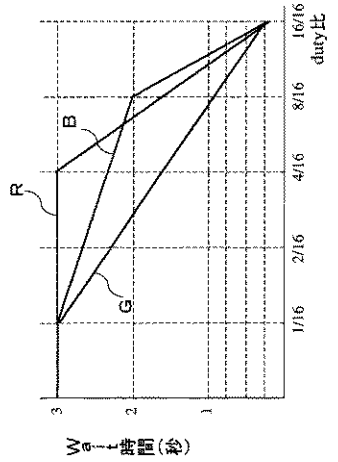
第93図

【図９４】



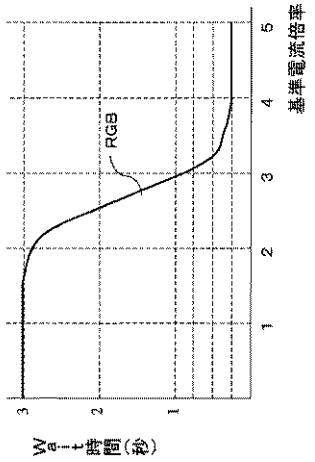
第94図

【図９５】



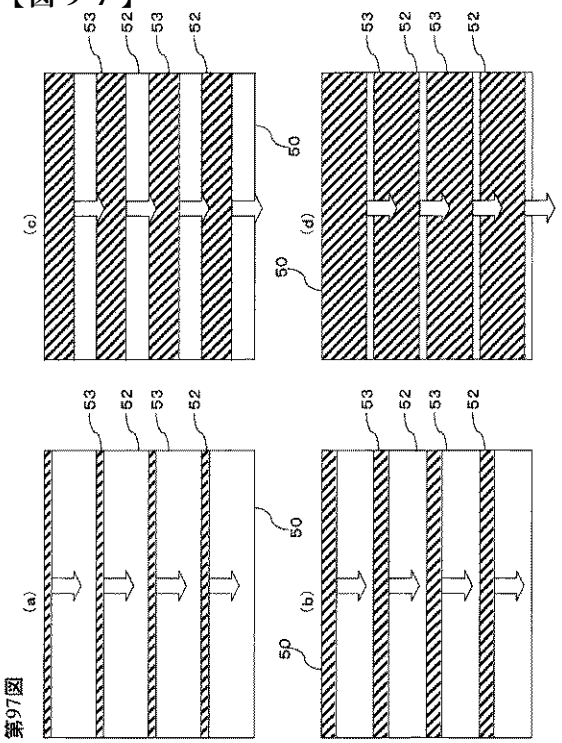
第95図

【図９６】



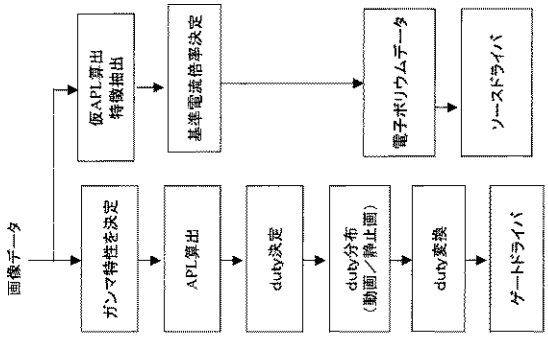
第96図

【図９７】



第97図

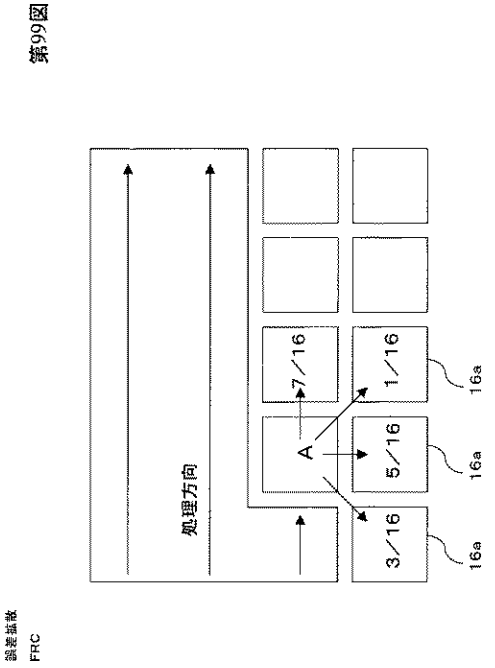
【図９８】



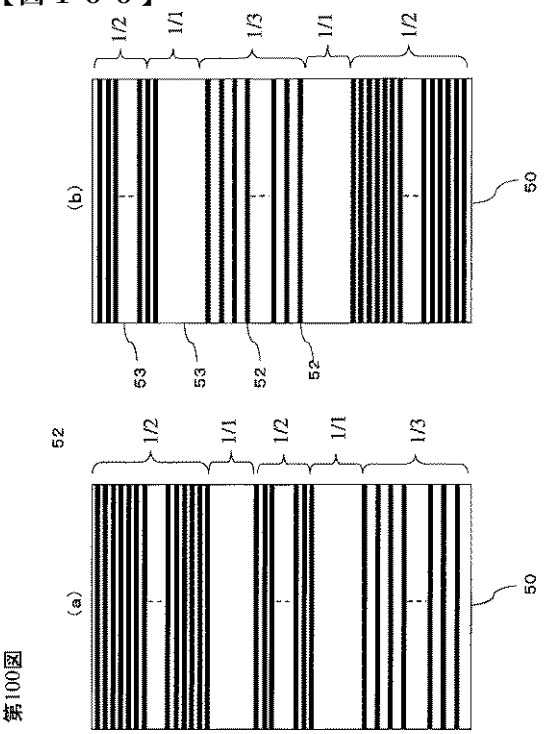
第98図

【図９９】

第99図

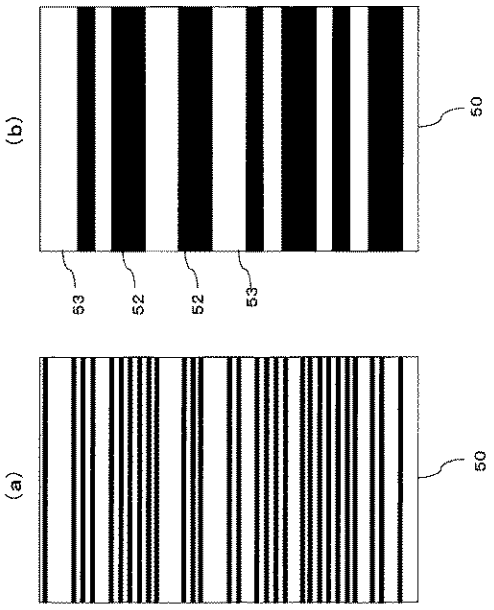


【図１００】



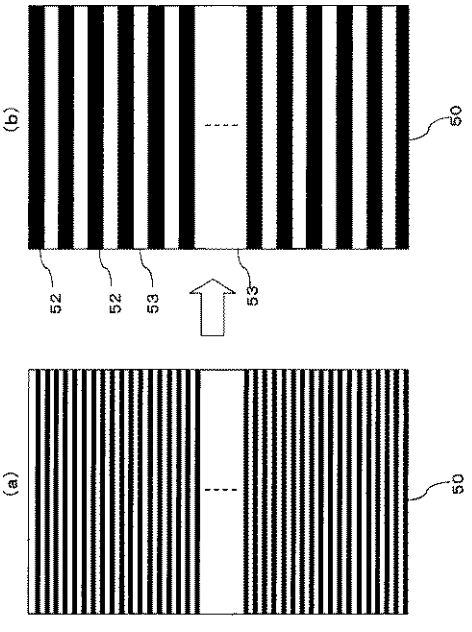
第100図

【図１０１】



第101図

【図１０２】



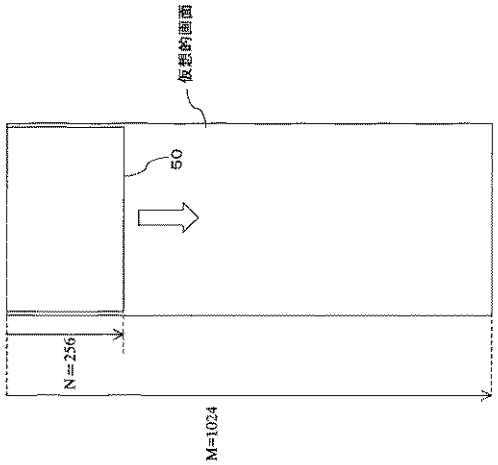
第102図

【図１０３】

第103図

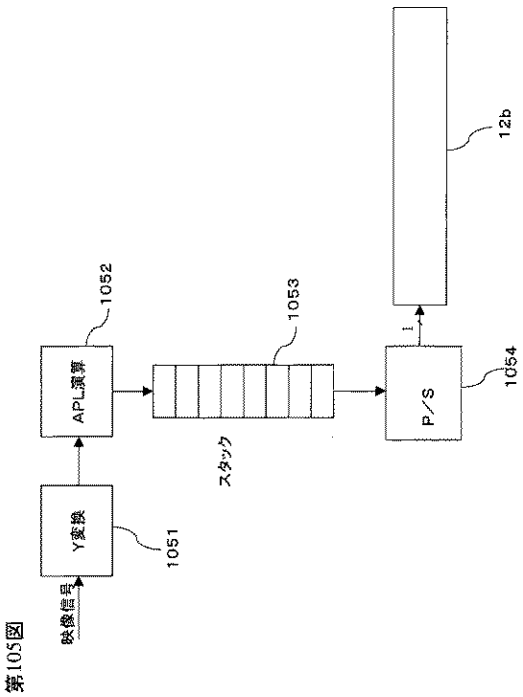
フレーム（フィールド）番号	1	2	3	4	5	6	7	8	9	10	11	12
APLレベル	228	220	218	216	212	210	192	198	182	168	192	182
対応Duty比	8/64	9/64	9/64	10/64	9/64	10/64	11/64	11/64	12/64	14/64	11/64	12/64
処理Duty比	8/64	8/64	9/64	9/64	9/64	10/64	10/64	11/64	12/64	12/64	11/64	12/64

【図１０４】



第104図

【図１０５】



第105図

【図１０６】

	1－1	1－2	1－3	1－4	2－1
128/1024→132/1024	128/1024	129/1024	130/1024	131/1024	132/1024
128/1024→130/1024	128/1024	128/1024	129/1024	129/1024	130/1024
128/1024→136/1024	128/1024	130/1024	132/1024	134/1024	136/1024

第106図

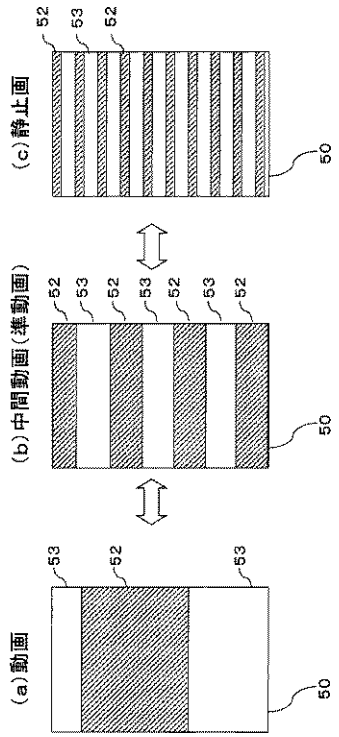
【図１０７】

第107図

	1	2	3	4	5	6	7	8
A	30.0/256	30.2/256	30.4/256	30.6/256	30.8/256	31.0/256	31.2/256	31.4/256
B	30.0/256	30.0/256	30.4/256	30.4/256	30.8/256	30.8/256	31.2/256	31.2/256
C	30.2/256	30.5/256	30.0/256	30.5/256	31.0/256	30.5/256	31.0/256	31.5/256

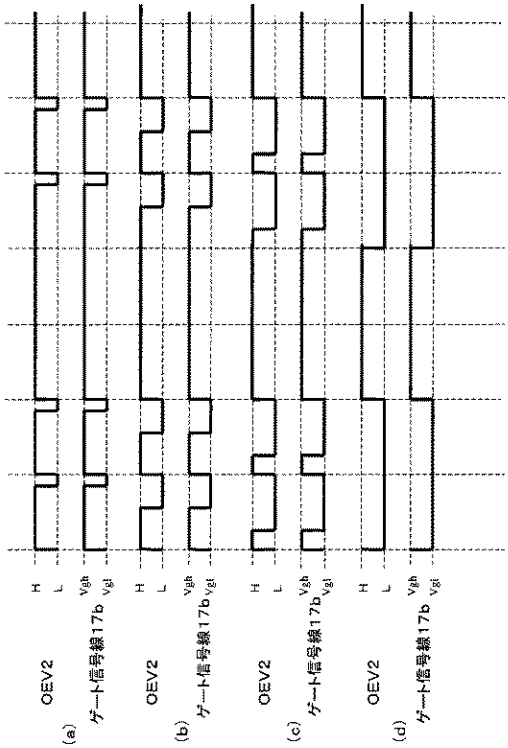
【図１０８】

第108図



【図１０９】

第109図



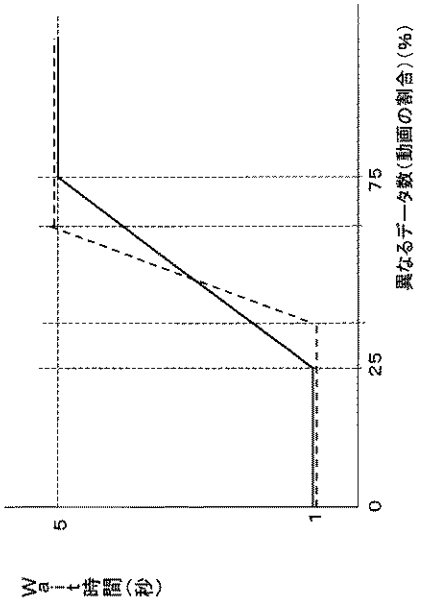
【図１１０】

第110図

0 静止画
1 準動画
2 動画

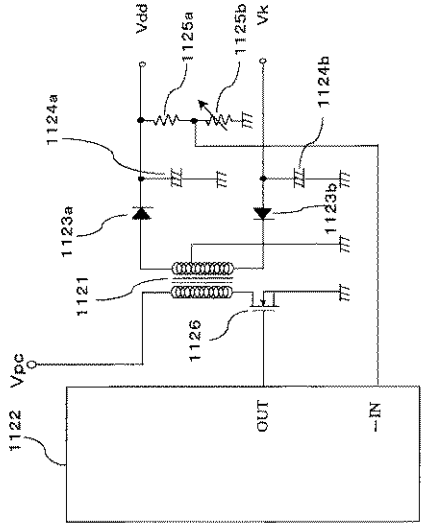
フレーム	1	2	3	4	5	6	7	8	9	10	11	12
動画静止画レベル	0	0	0	1	1	2	2	2	2	1	0	0
分数数	1	1	1	10	10	30	50	50	50	30	1	1
Duty比	4/9	5/9	5/9	4/9	4/9	8/9	8/9	7/9	6/9	3/9	3/9	4/9

【図１１１】



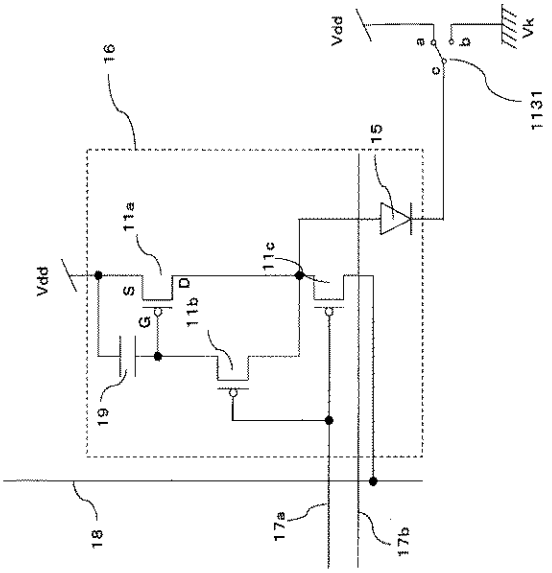
第111図

【図１１２】



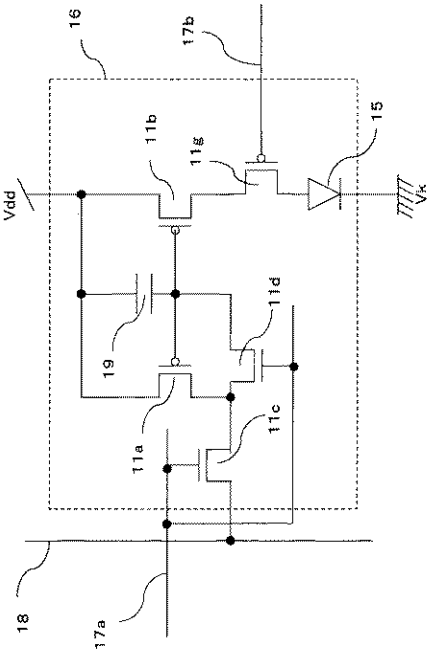
第112図

【図１１３】



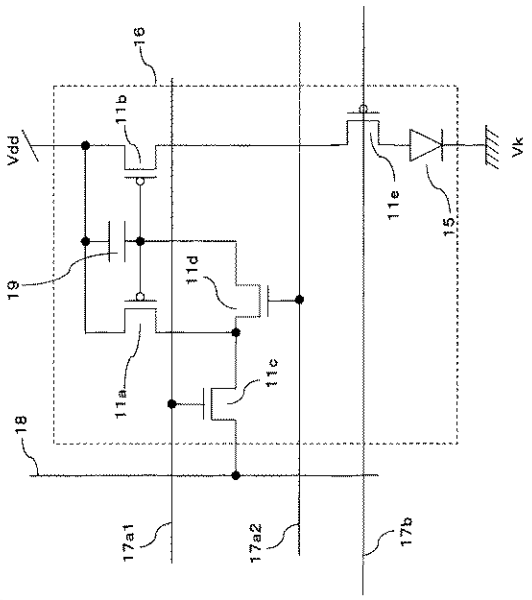
第113図

【図１１４】



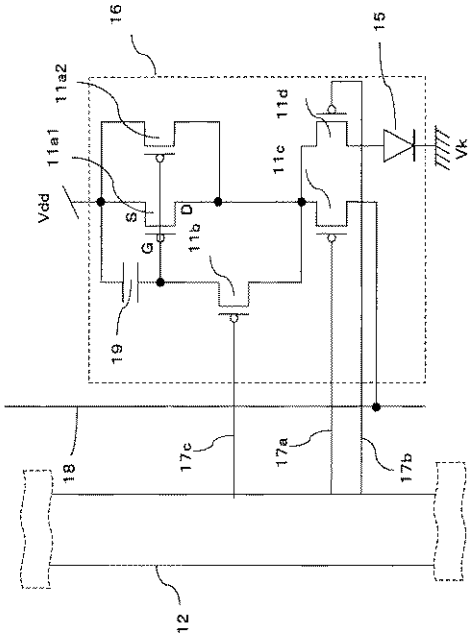
第114図

【図１１５】



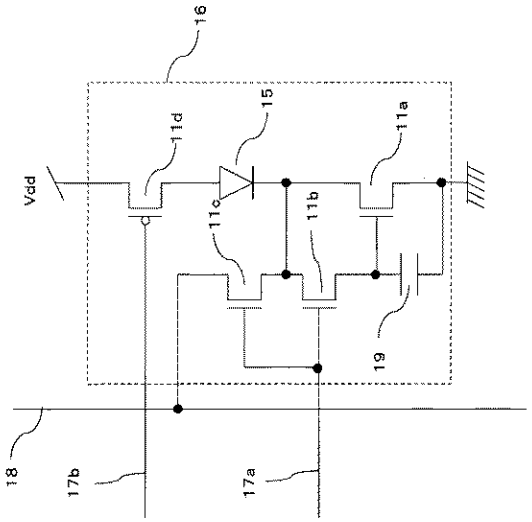
第115図

【図１１６】



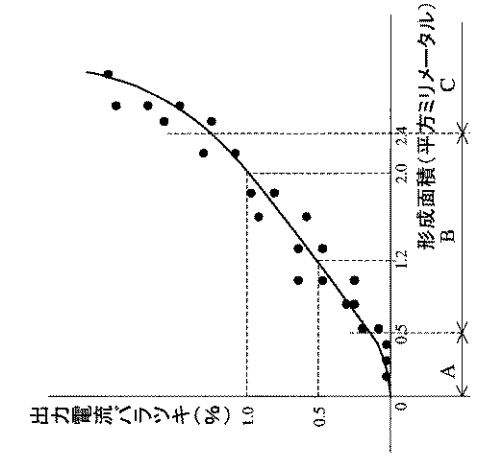
第116図

【図１１７】



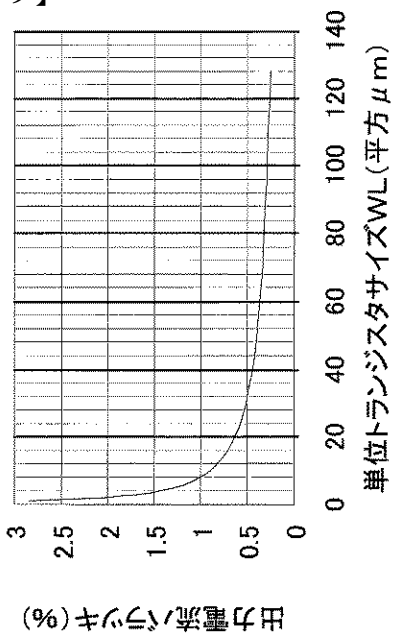
第117図

【図１１８】



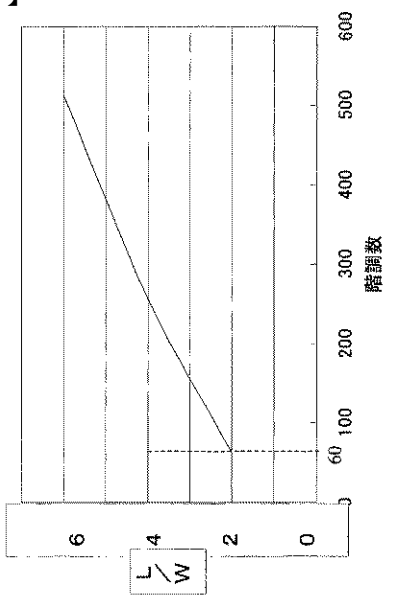
第118図

【図１１９】



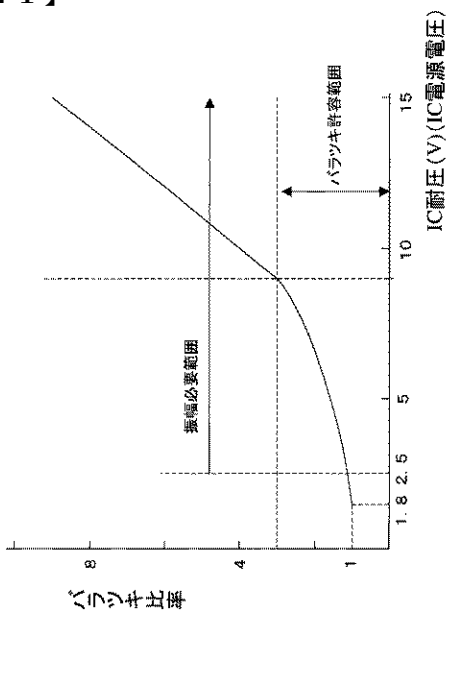
第119図

【図１２０】



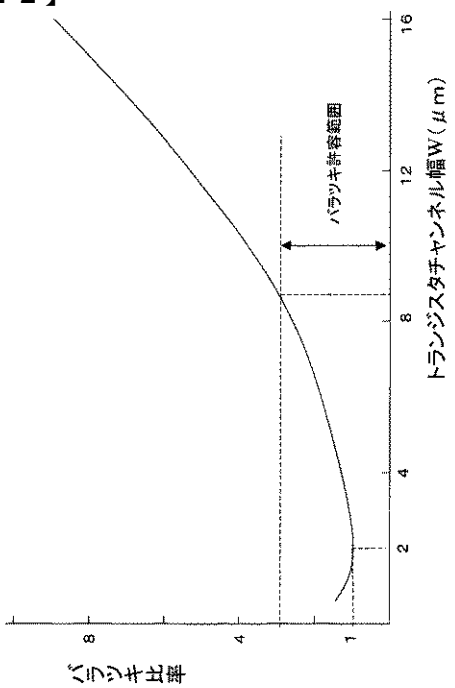
第120図

【図１２１】



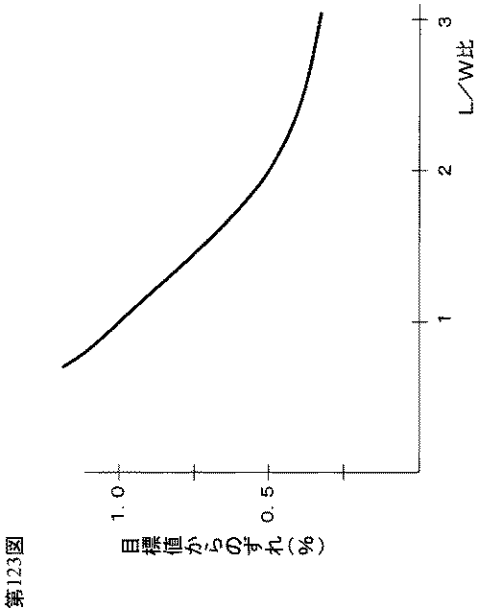
第121図

【図１２２】



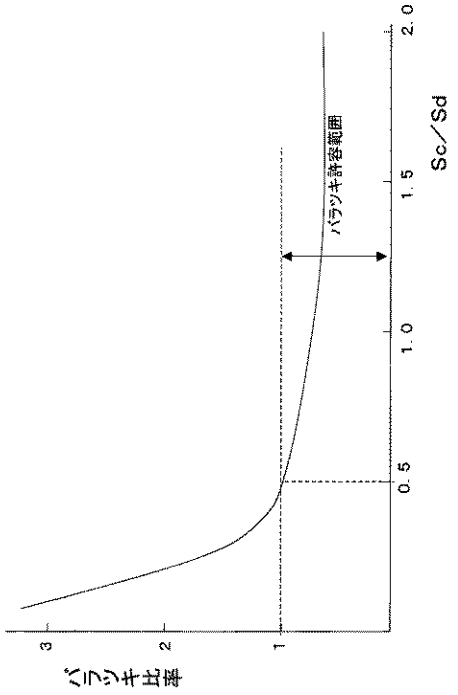
第122図

【図１２３】



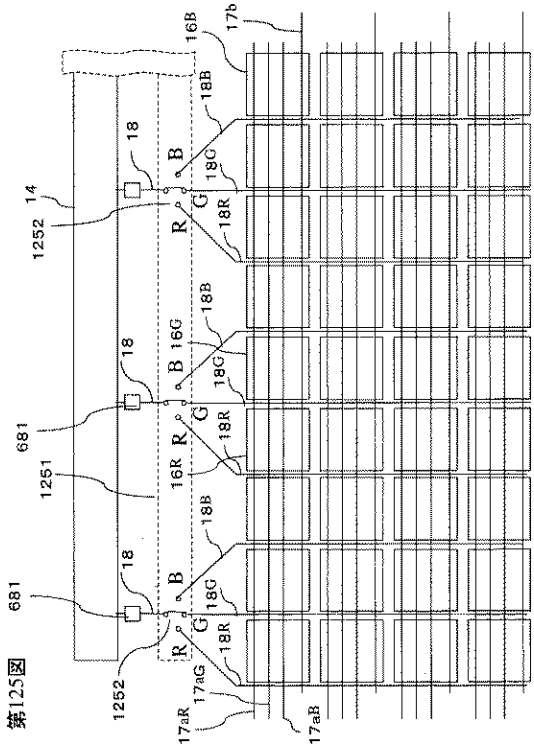
第123図

【図１２４】



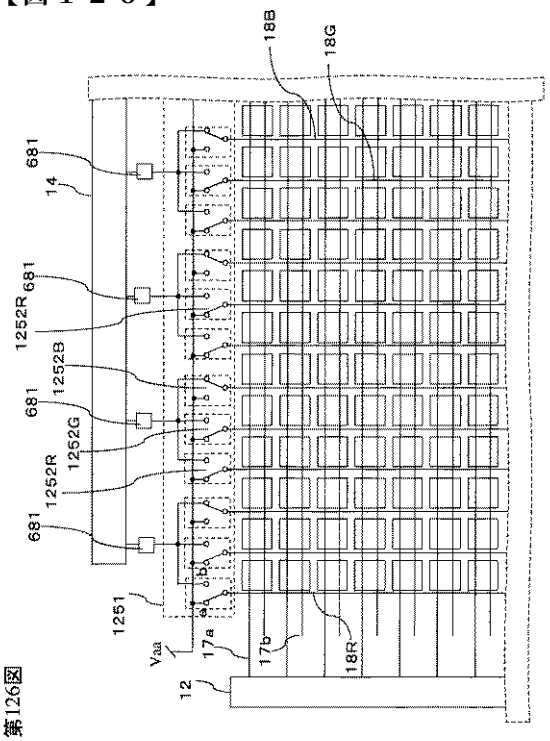
第124図

【図１２５】



第125図

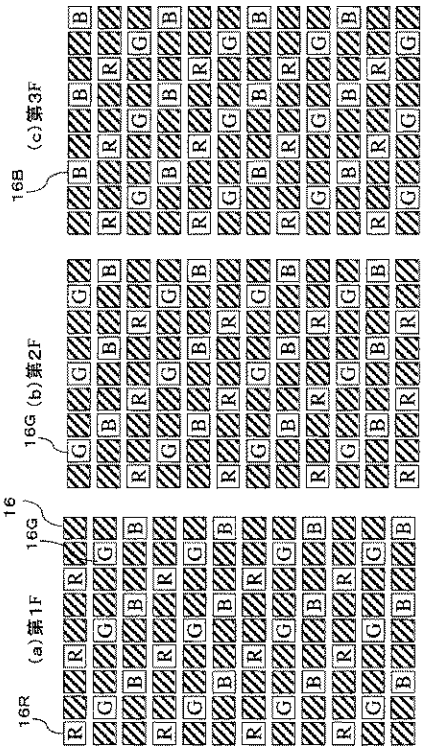
【図１２６】



第126図

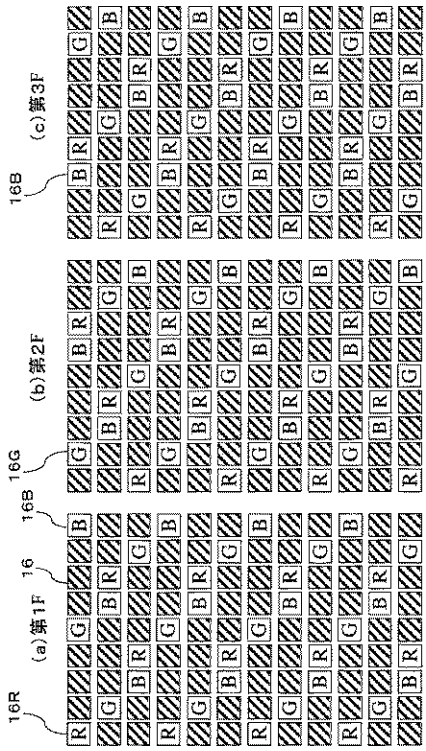
【図１２７】

第127図



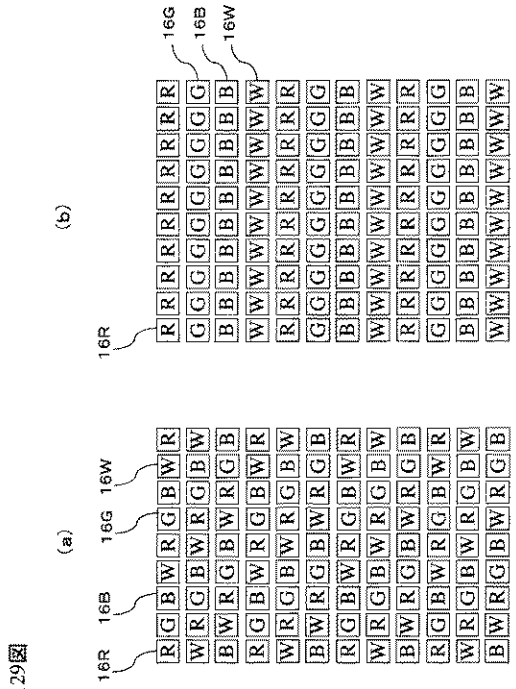
【図１２８】

第128図



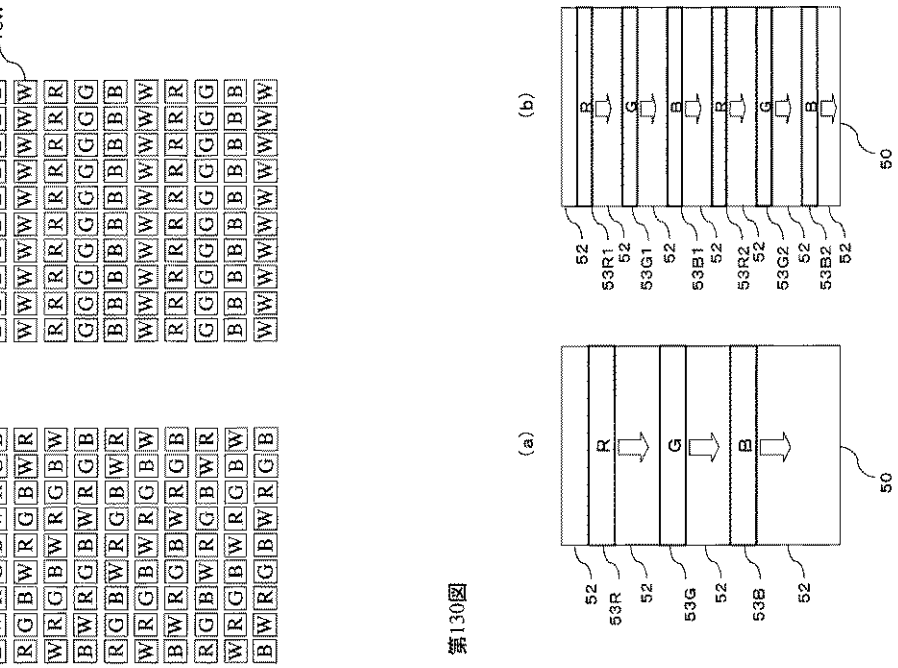
【図１２９】

第129図

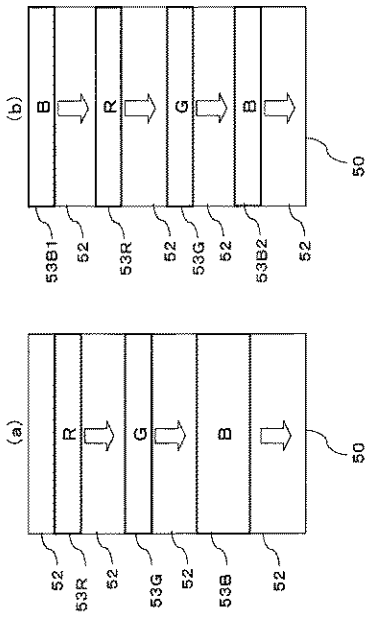


【図１３０】

第130図

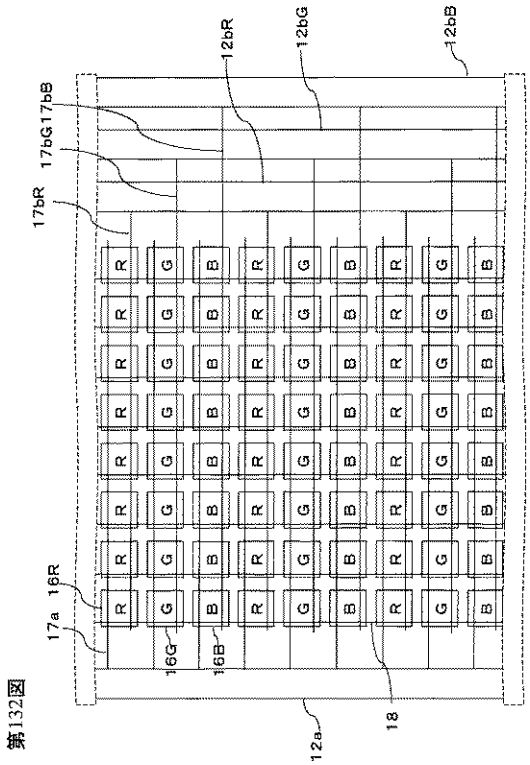


【図１３１】



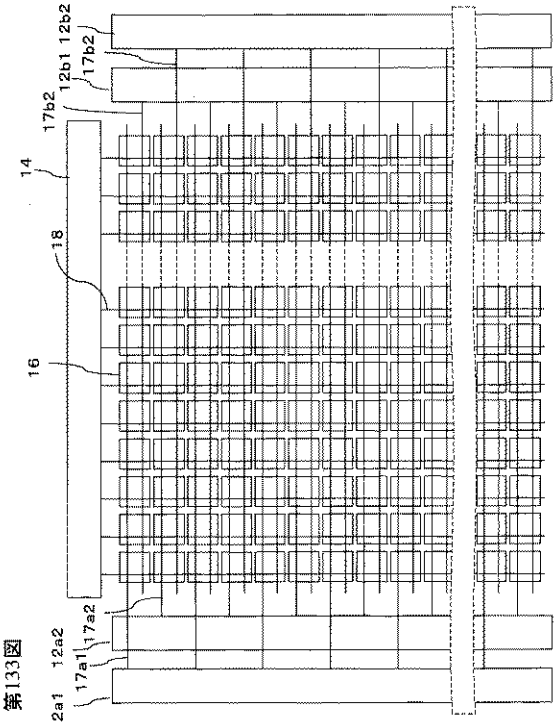
第131図

【図１３２】



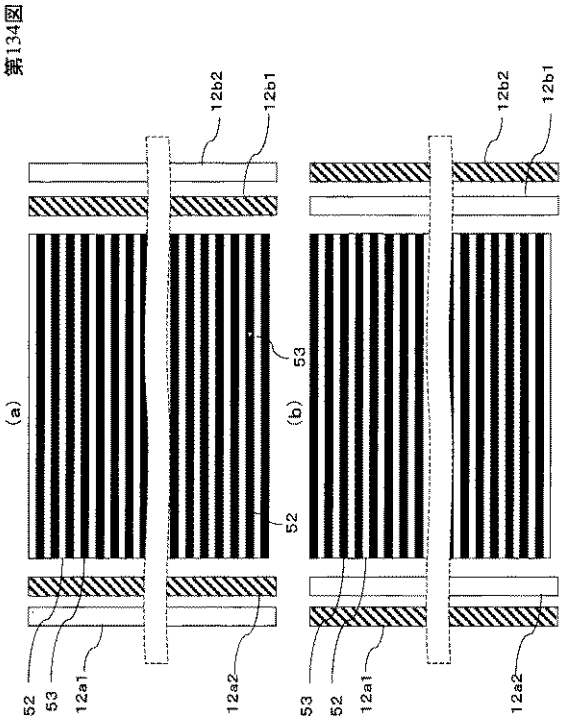
第132図

【図１３３】



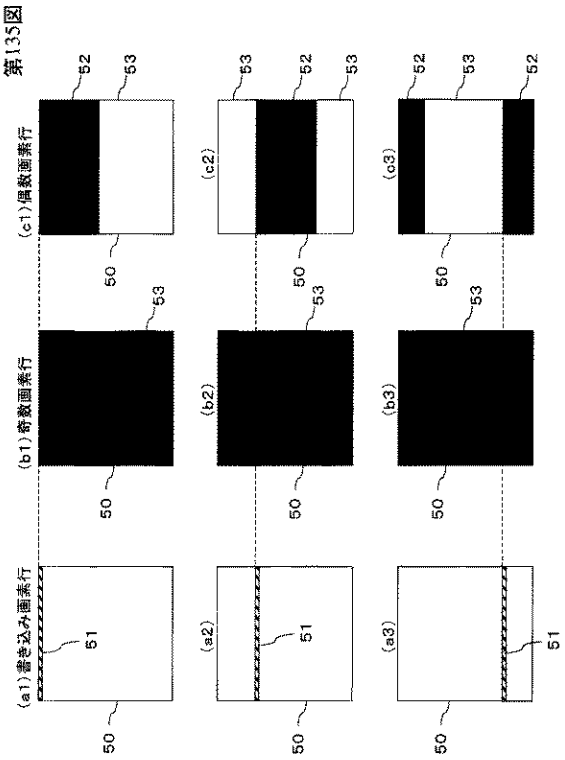
第133図

【図１３４】



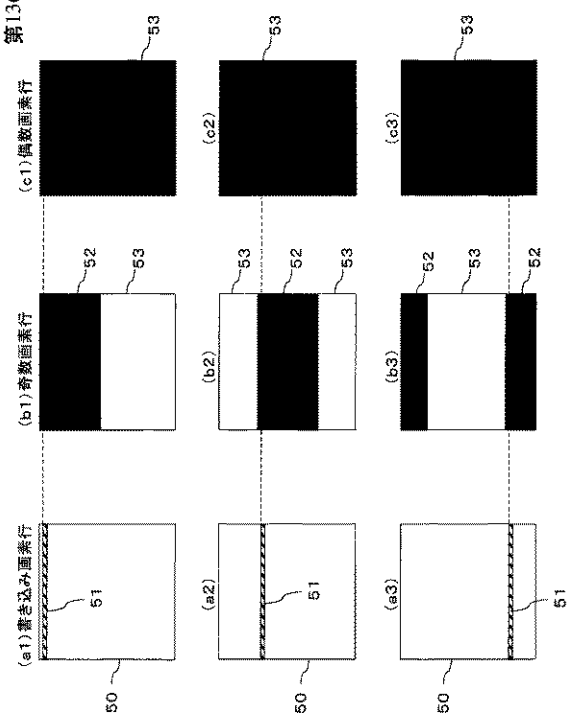
第134図

【図１３５】



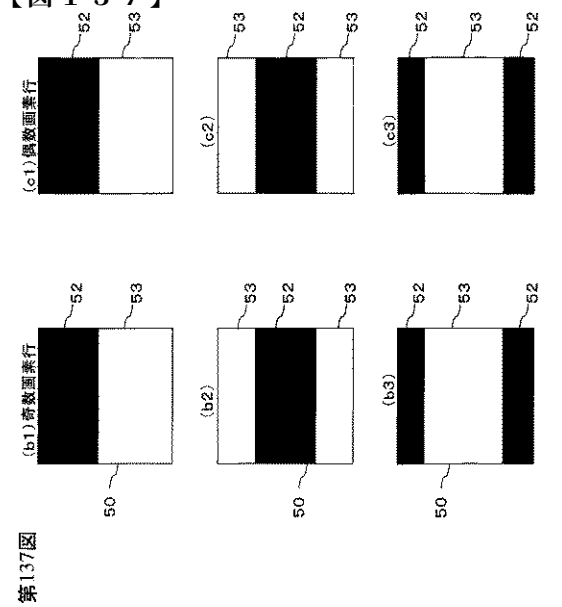
第135図

【図１３６】



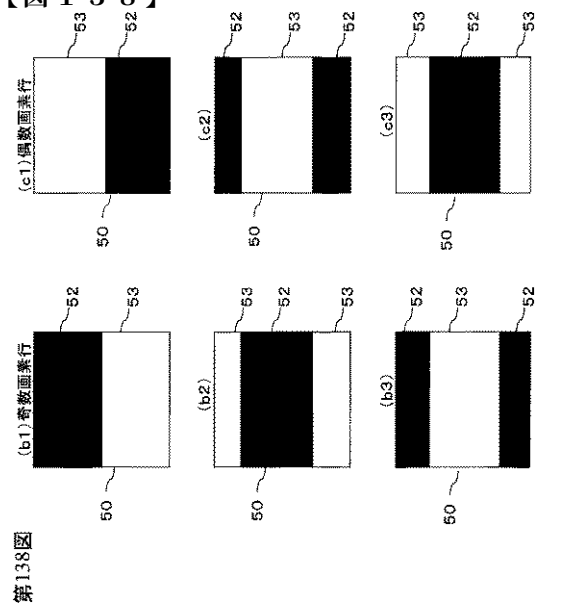
第136図

【図１３７】



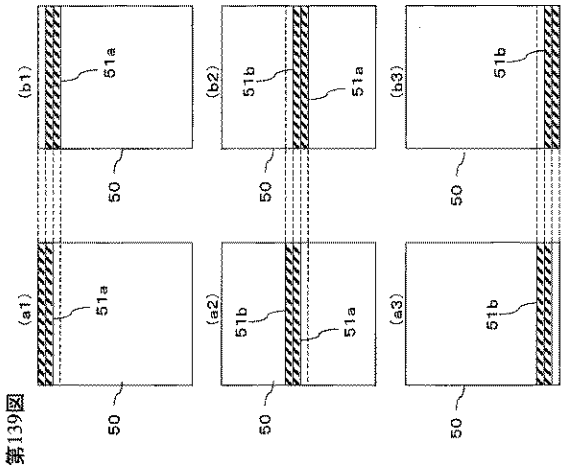
第137図

【図１３８】



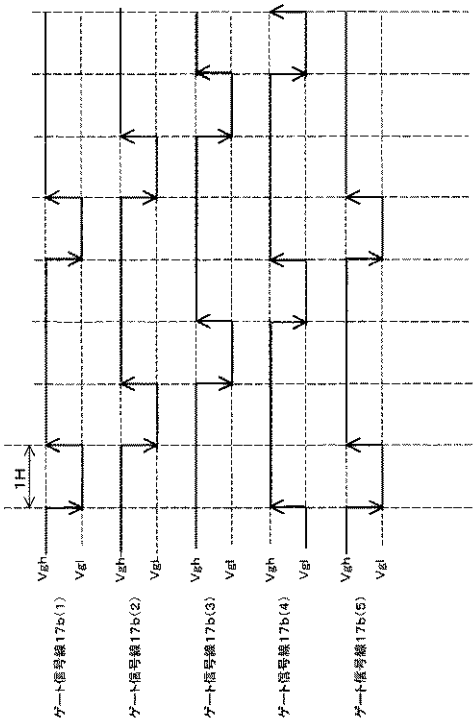
第138図

【図１３９】



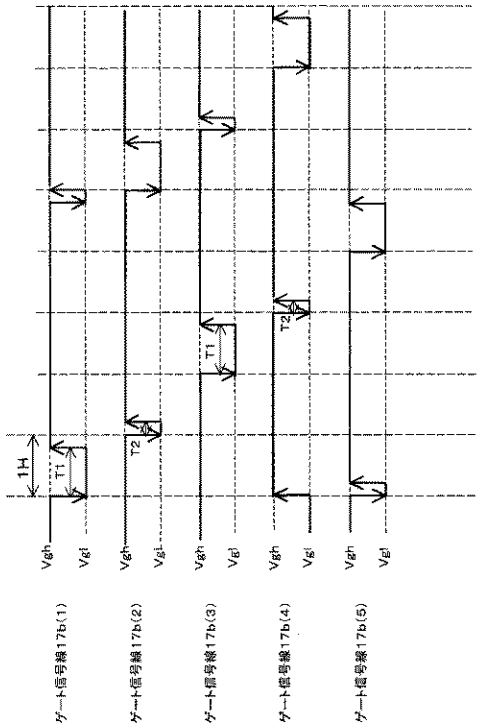
第139図

【図１４０】



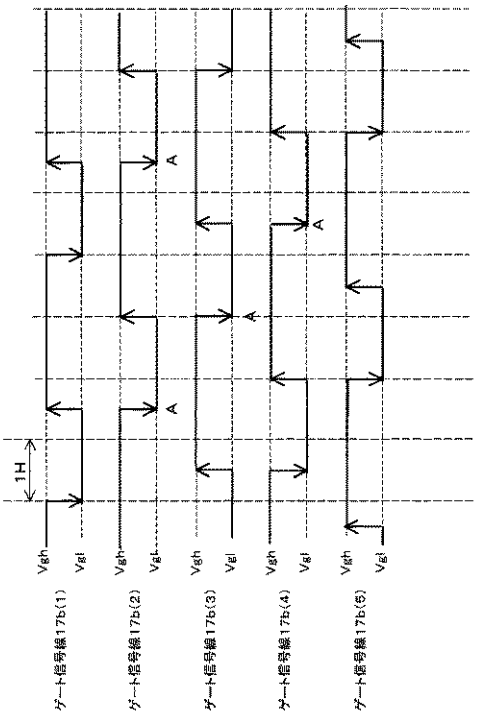
第140図

【図１４１】



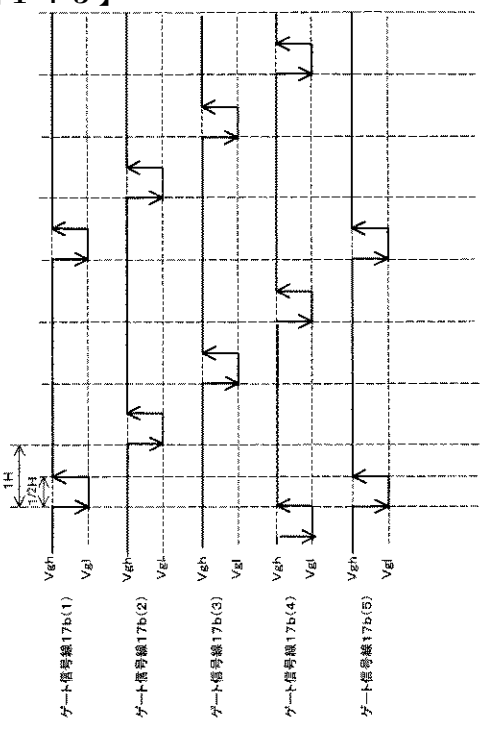
第141図

【図１４２】



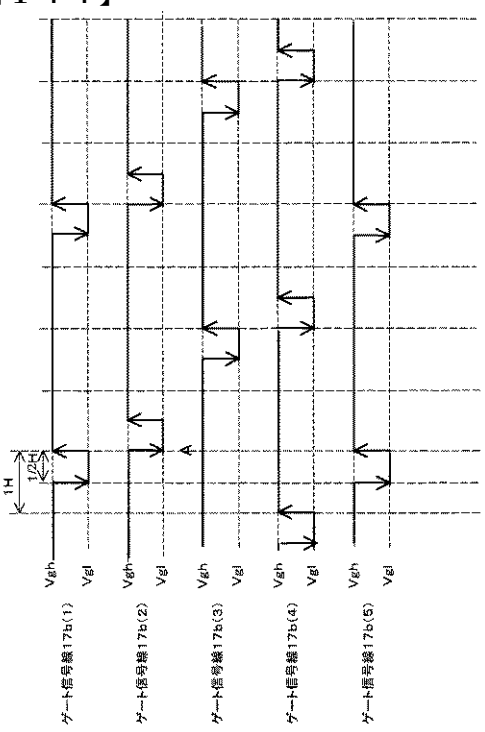
第142図

【図１４３】



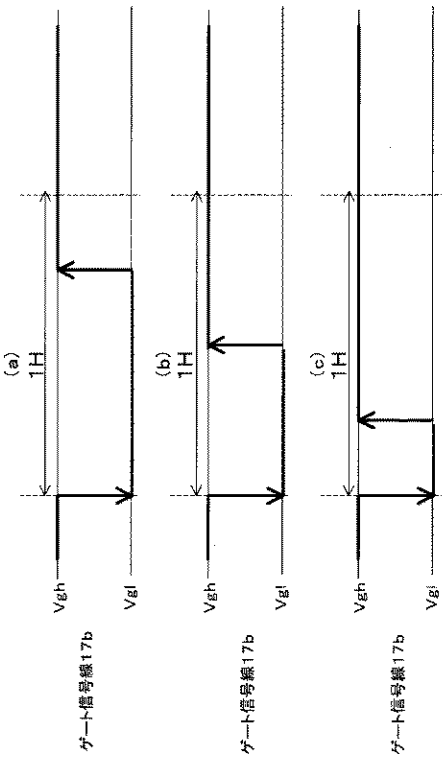
第143図

【図１４４】



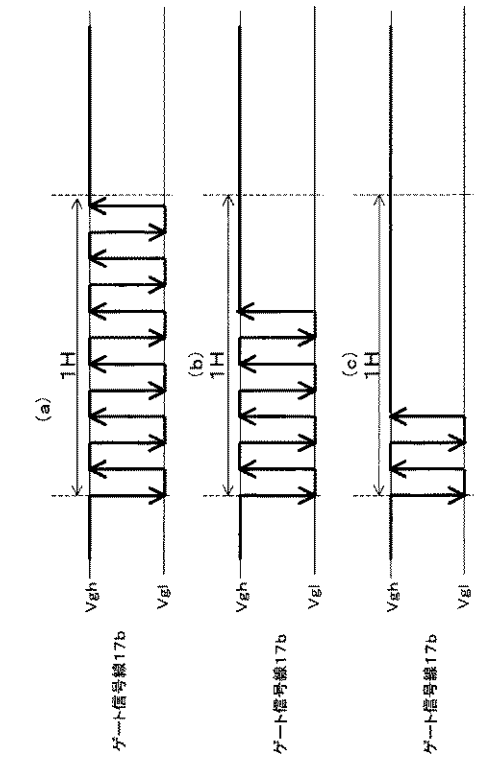
第144図

【図１４５】



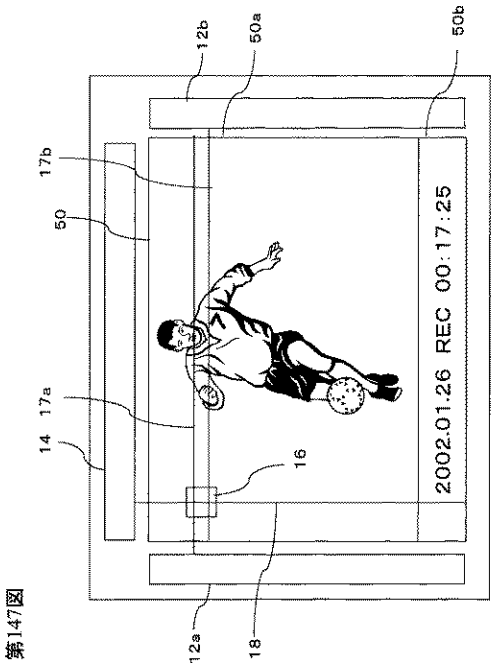
第145図

【図１４６】



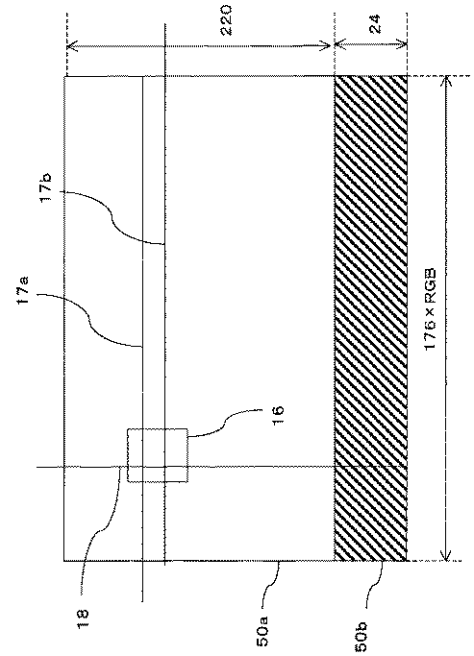
第146図

【図１４７】



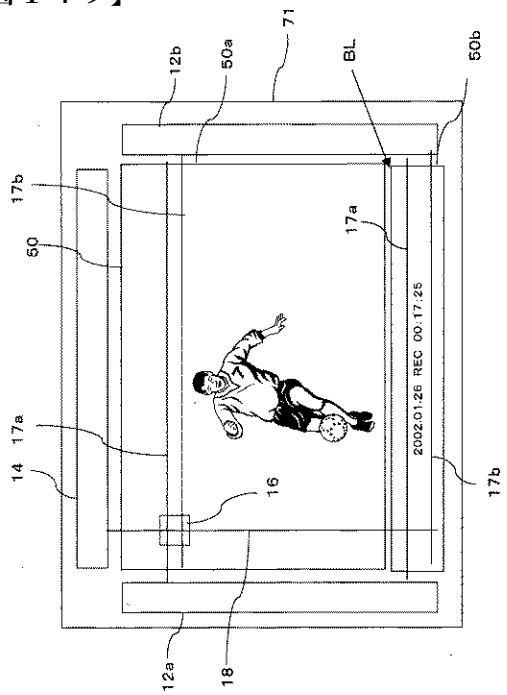
第147図

【図１４８】



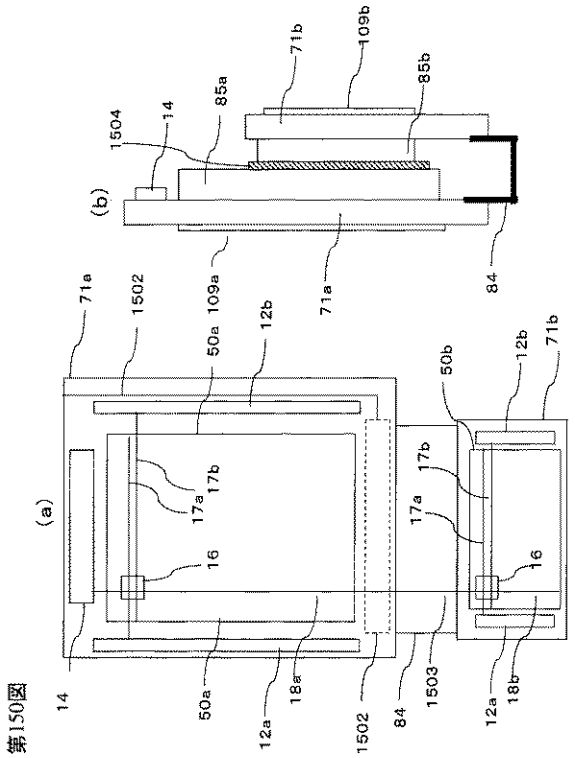
第148図

【図１４９】



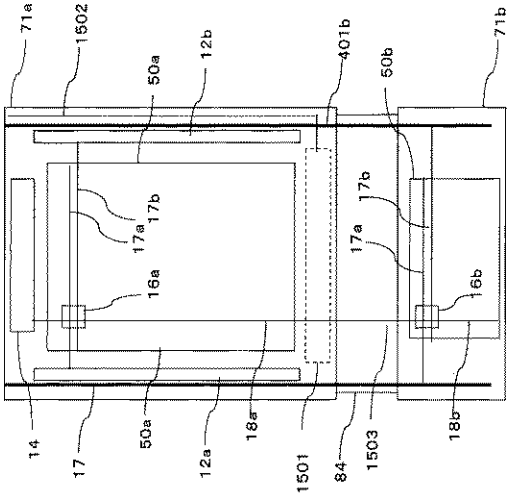
第149図

【図１５０】



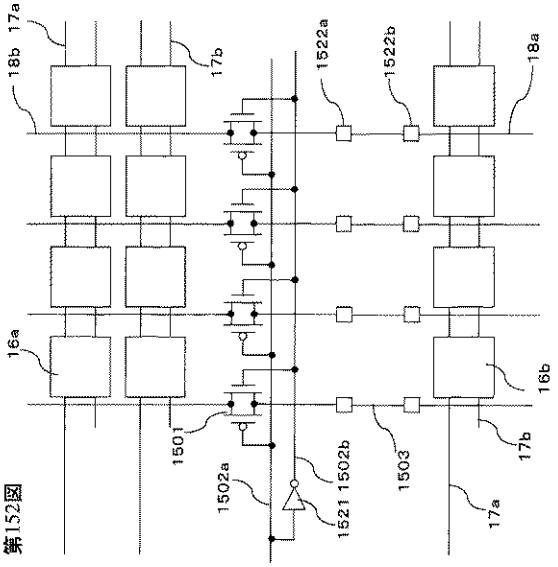
第150図

【図１５１】



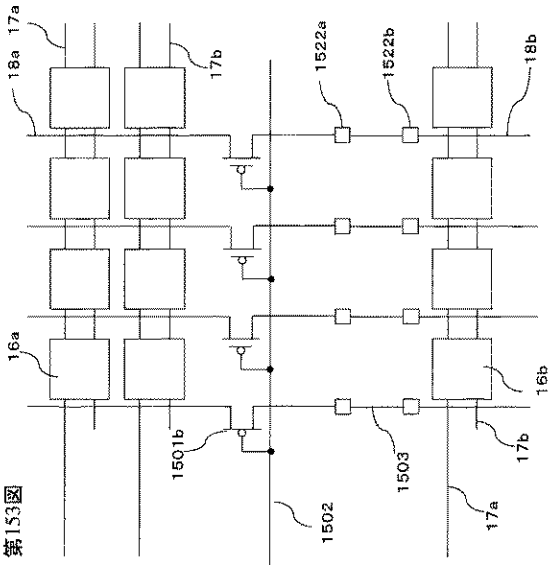
第151図

【図１５２】



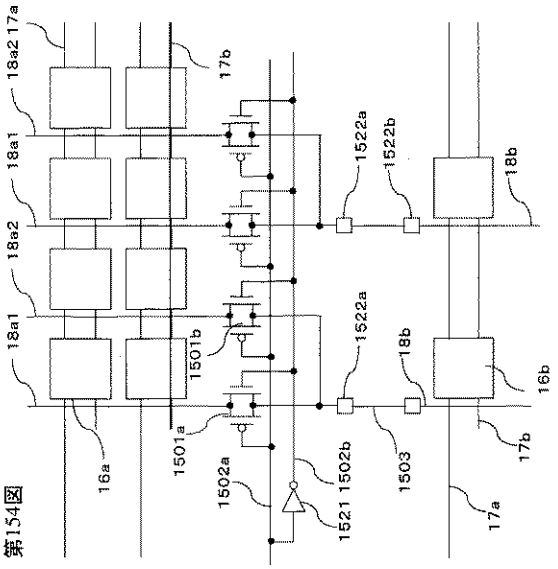
第152図

【図１５３】



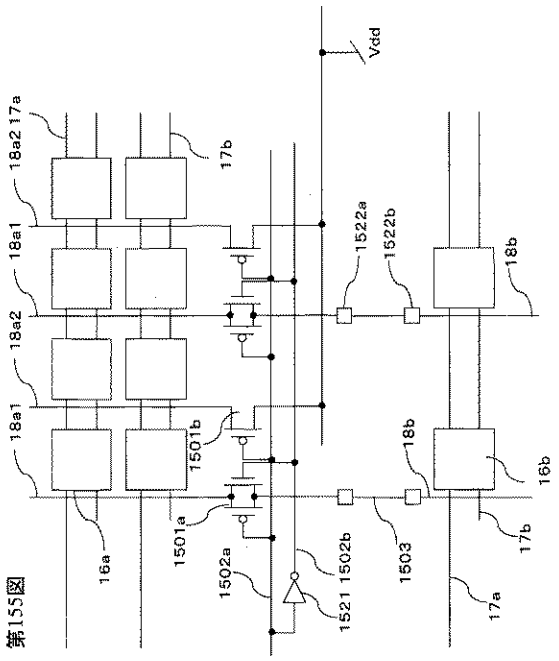
第153図

【図１５４】



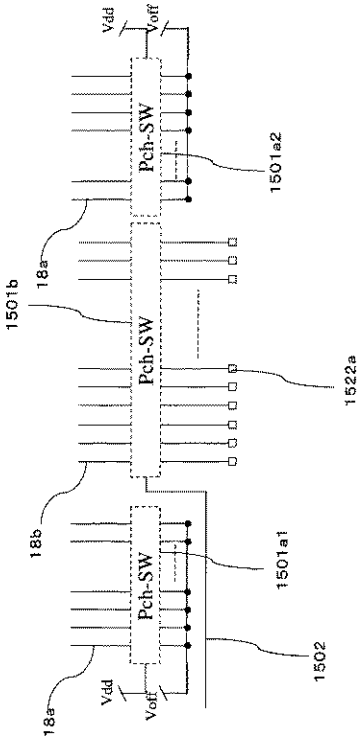
第154図

【図１５５】



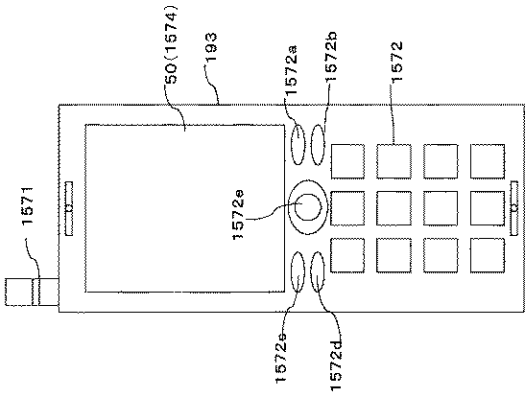
第155図

【図１５６】



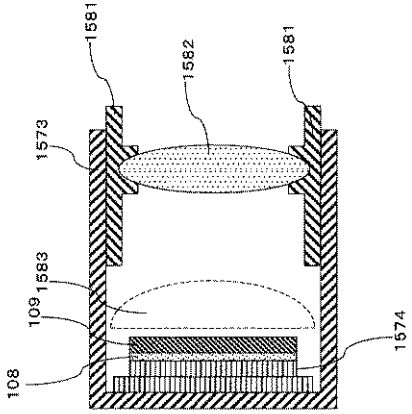
第156図

【図１５７】



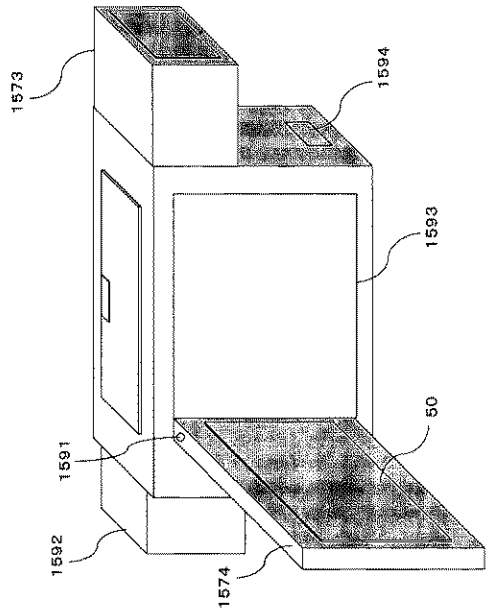
第157図

【図１５８】



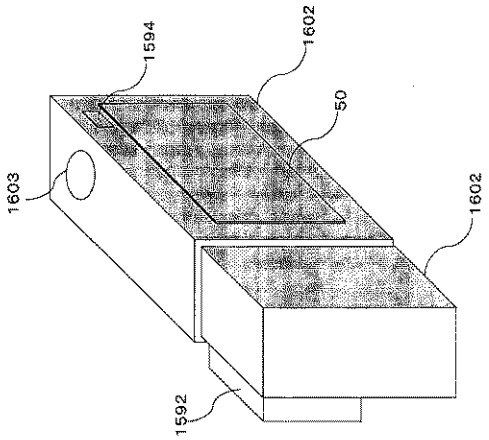
第158図

【図１５９】



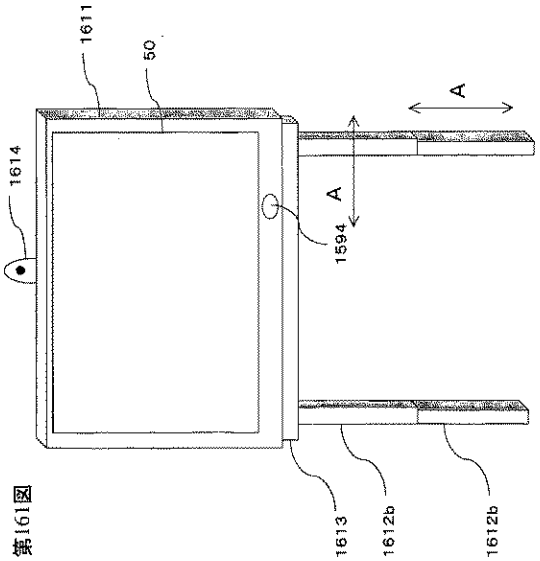
第159図

【図１６０】



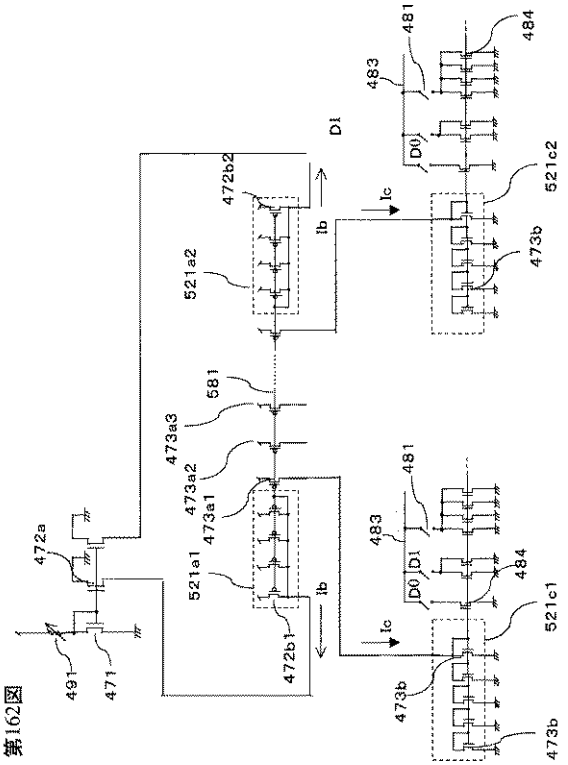
第160図

【図１６１】



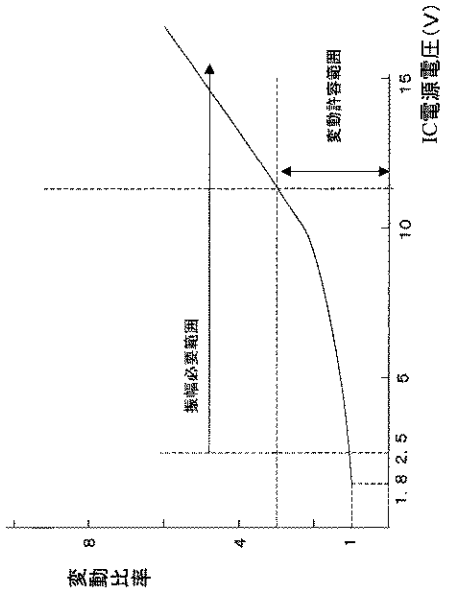
第161図

【図１６２】



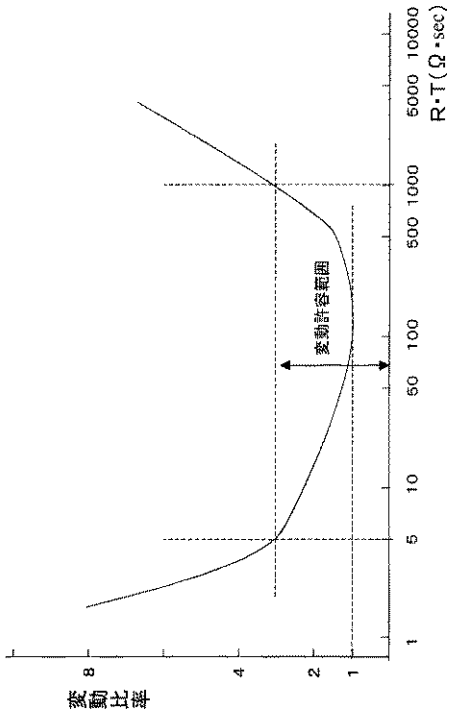
第162図

【図１６３】



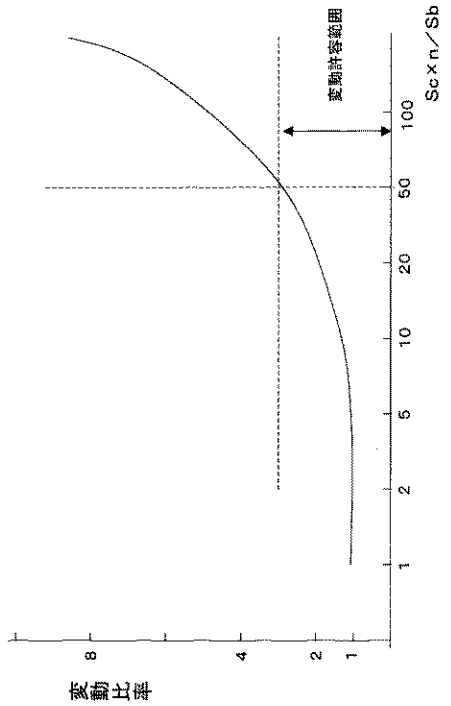
第163図

【図１６４】



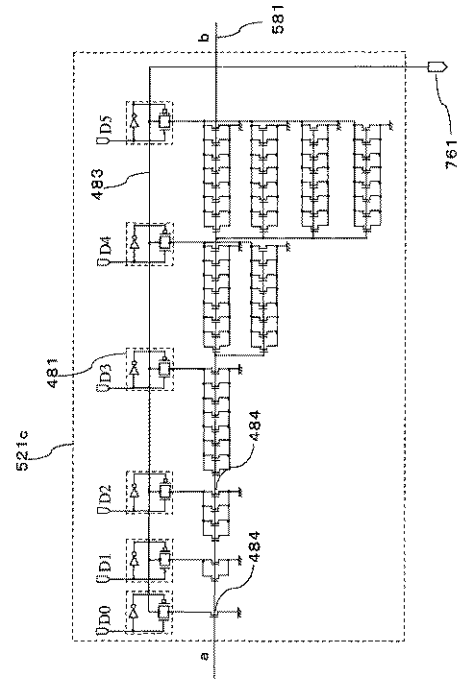
第164図

【図１６５】



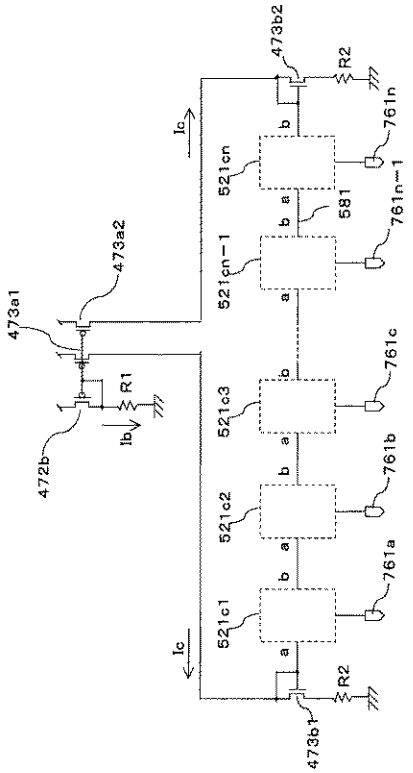
第165図

【図１６６】



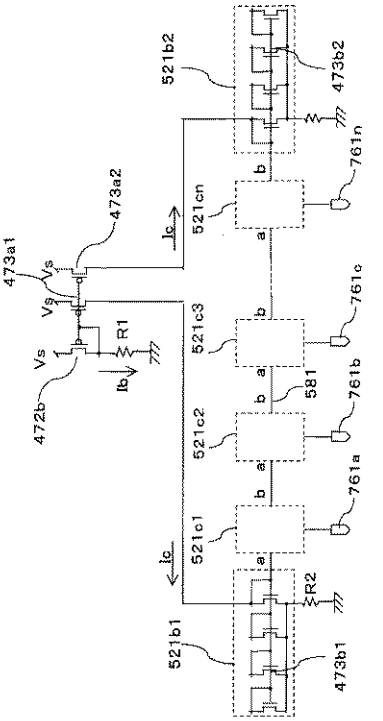
第166図

【図１６７】



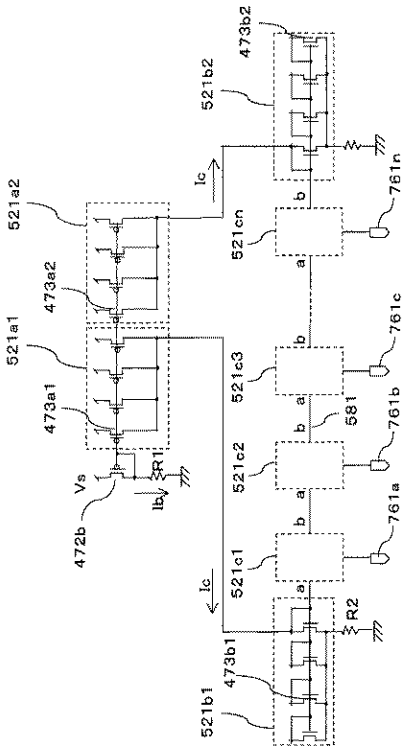
第167図

【図１６８】



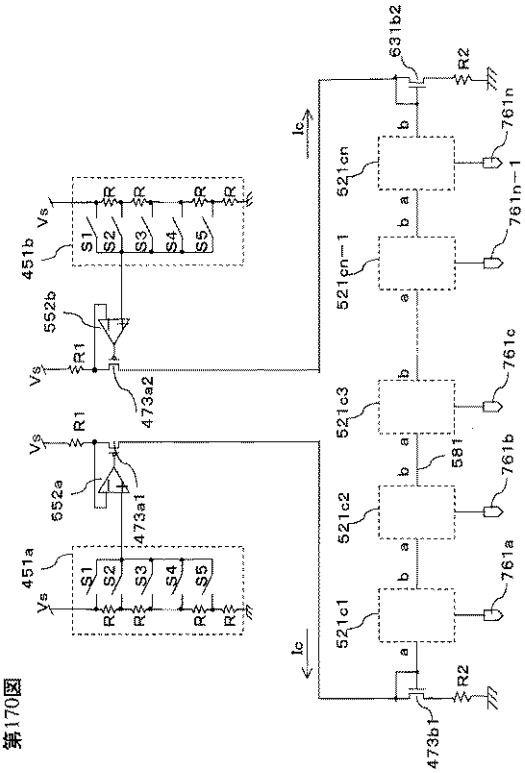
第168図

【図１６９】



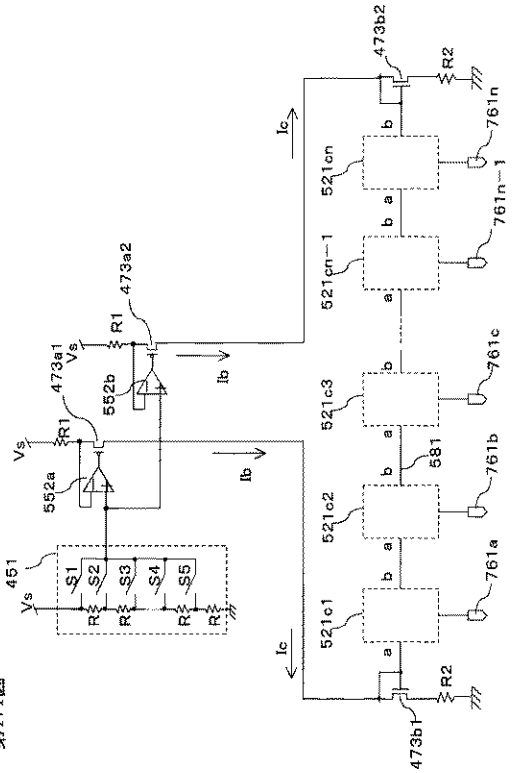
第169図

【図１７０】



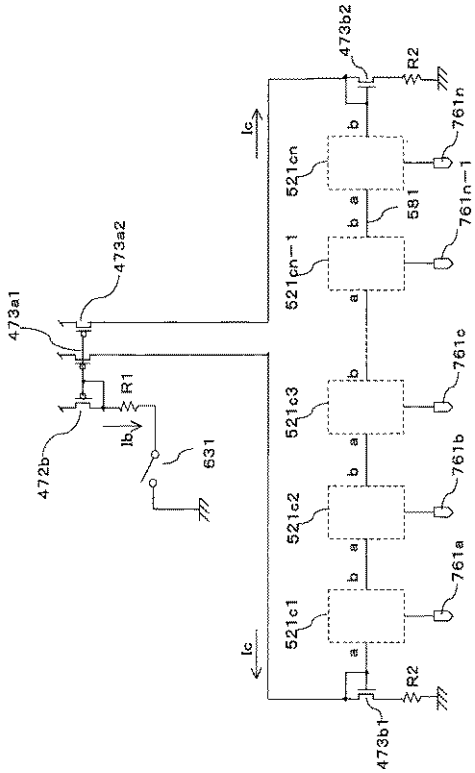
第170図

【図１７１】



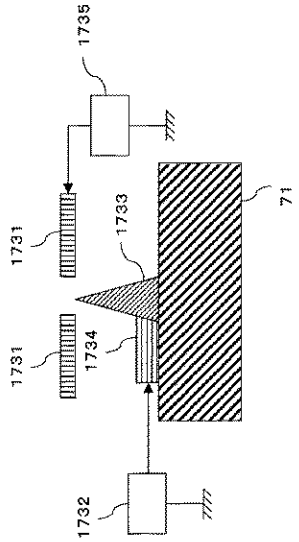
第171図

【図１７２】



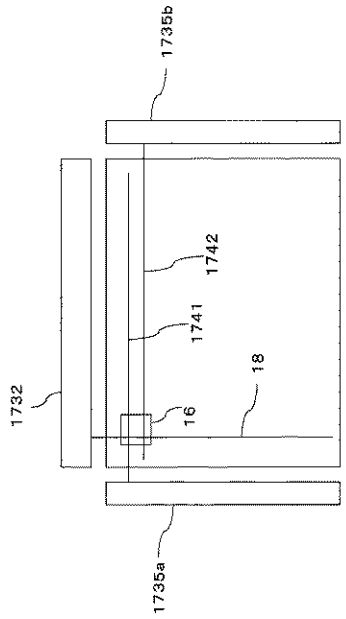
第172図

【図１７３】



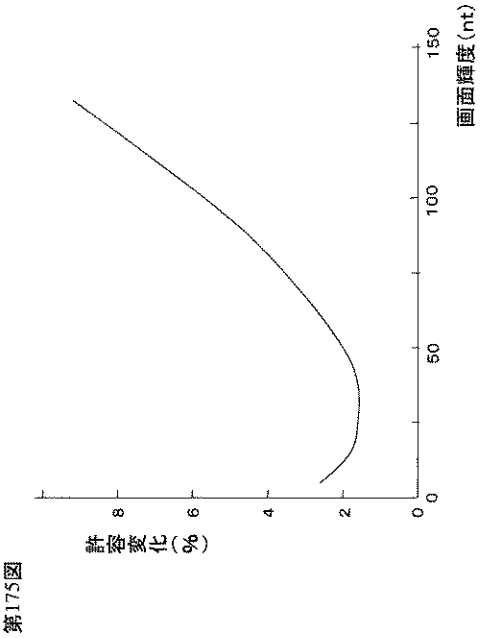
第173図

【図１７４】



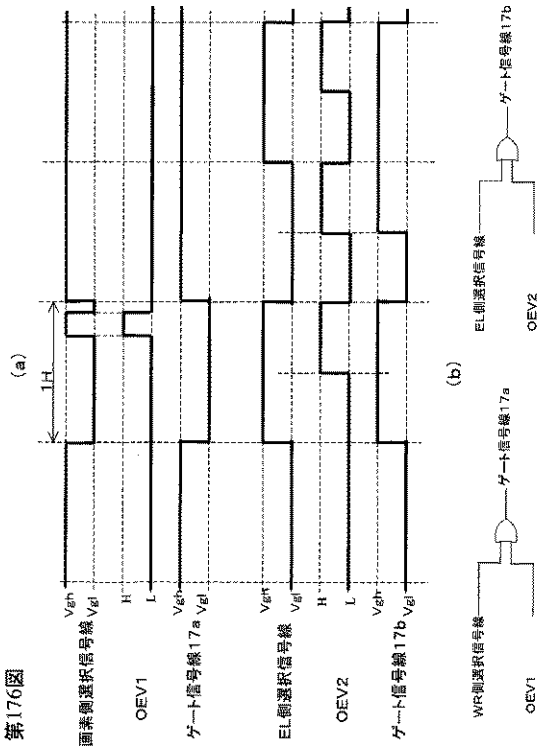
第174図

【図１７５】



第175図

【図１７６】



第176図

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/02598

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl[7] G09G3/30, H05B33/14

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl[7] G09G3/00-3/38, H05B33/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Jitsuyo Shinan Toroku Koho	1996-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Toroku Jitsuyo Shinan Koho	1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-60076 A (Sony Corp.), 06 March, 2001 (06.03.01), Par. Nos. [0020] to [0022], [0025]; Figs. 1 to 3, 5 & CN 1278635 A	1
Y	WO 01/006484 A1 (Sony Corp.), 25 January, 2001 (25.01.01), Page 50, line 17 to page 51, line 28; Figs. 10 to 11 & EP 1130565 A1	1
Y	JP 01-193797 A (Deikushi Kabushiki Kaisha), 03 August, 1989 (03.08.89), Page 5, upper left column, line 4 to page 8, lower left column, line 16; Figs. 1 to 7 (Family: none)	1

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
30 June, 2003 (30.06.03)	15 July, 2003 (15.07.03)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

Form PCT/ISA/210 (second sheet) (July 1998)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/02598

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-255843 A (Fujitsu Hitachi Plasma Display Ltd.), 21 September, 2001 (21.09.01), Par. Nos. [0010] to [0012]; Fig. 3 (Family: none)	1
E,A	JP 2003-150104 A (Matsushita Electric Industrial Co., Ltd.), 23 May, 2003 (23.05.03), Par. Nos. [0400] to [0416]; Figs. 1, 33 to 35 (Family: none)	1
P,A	JP 2002-182612 A (Sony Corp.), 26 June, 2002 (26.06.02), Full text; all drawings (Family: none)	1

国際調査報告	国際出願番号 PCT／JP03／02598

A. 発明の属する分野の分類（国際特許分類（IPC））
Int.Cl' G09G 3／30
H05B33／14

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））
Int.Cl' G09G 3／00－3／38
H05B33／14

最小限資料以外の資料で調査を行った分野に含まれるもの
日本国実用新案公報 1926－1996年
日本国公開実用新案公報 1971－2003年
日本国実用新案登録公報 1996－2003年
日本国登録実用新案公報 1994－2003年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー＊	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Y	JP 2001－60076 A（ソニー株式会社） 2001.03.06，段落【0020】－【0022】， 【0025】，【図1】－【図3】，【図5】 & CN 1278635 A	1
Y	WO 01／006484 A1（ソニー株式会社） 2001.01.25，第50頁第17行－第51頁第28行 第10－11図 & EP 1130565 A1	1

☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー
「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
30.06.03	15.07.03
国際調査機関の名称及びあて先 日本国特許庁（ISA／JP） 郵便番号100－8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 西島 篤宏 2G 9308 電話番号 03－3581－1101 内線 3225

様式PCT／ISA／210（第2ページ）（1998年7月）

国際調査報告	国際出願番号 PCT／JP03／02598

C（続き）． 関連すると認められる文献

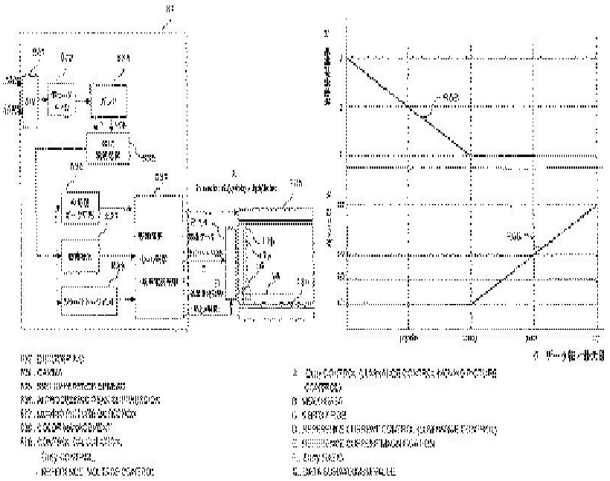
引用文献のカテゴリー＊	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Y	JP 01－193797 A（デイクシー株式会社）1989．08．03，第5頁左上欄第4行－第8頁左下欄第16行，第1－7図（ファミリーなし）	1
Y	JP 2001－255843 A（富士通日立プラズマディスプレイ株式会社）2001．09．21 段落【0010】－【0012】，【図3】（ファミリーなし）	1
E．A	JP 2003－150104 A（松下電器産業株式会社）2003．05．23，段落【0400】－【0416】【図1】，【図33】－【図35】（ファミリーなし）	1
P．A	JP 2002－182612 A（ソニー株式会社）2002．06．26，全文，全図（ファミリーなし）	1

フロントページの続き

(51)Int.Cl.[7]	FI		
	G09G	3/20	624B
	G09G	3/20	641D
	G09G	3/20	642A
	H05B	33/14	A
	H05B	33/14	Z

（注）この公表は、国際事務局（ＷＩＰＯ）により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願（日本語実用新案登録出願）の国際公開の効果は、特許法第１８４条の１０第１項(実用新案法第４８条の１３第２項）により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	用于驱动EL显示装置的方法		
公开(公告)号	JPWO2003091979A1	公开(公告)日	2005-09-02
申请号	JP2004500277	申请日	2003-03-06
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	高原博司		
发明人	高原 博司		
IPC分类号	G09G3/30 G09G3/20 G09G3/22 G09G3/32 H05B33/14		
CPC分类号	G09G3/3241 G09G3/2014 G09G3/22 G09G3/325 G09G3/3266 G09G3/3283 G09G2300/0452 G09G2300/0842 G09G2300/0861 G09G2310/0235 G09G2310/0248 G09G2310/0251 G09G2310/0297 G09G2320/0247 G09G2320/0261 G09G2320/0271 G09G2320/0276 G09G2320/064 G09G2320/066 G09G2330/021 G09G2360/16		
FI分类号	G09G3/30.J G09G3/30.K G09G3/20.611.H G09G3/20.612.U G09G3/20.621.A G09G3/20.624.B G09G3/20.641.D G09G3/20.642.A H05B33/14.A H05B33/14.Z		
代理人(译)	松田 正道		
优先权	2002127532 2002-04-26 JP 2002127637 2002-04-26 JP 2002282013 2002-09-26 JP		
其他公开文献	JP4146421B2 JPWO2003091979A5		
外部链接	Espacenet		

摘要(译)

包括显示屏的EL显示装置的驱动方法，其中以矩阵形式提供每个像素包括EL元件的像素。 该驱动方法包括：通过使用直方图来聚合或处理施加到EL显示设备的图像信号，以及根据聚集图像信号的结果或图像信号的结果中的至少一个来控制在显示面板中流动的电流。 通过使用直方图进行处理。