

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4192133号
(P4192133)

(45) 発行日 平成20年12月3日 (2008. 12. 3)

(24) 登録日 平成20年9月26日 (2008. 9. 26)

(51) Int. Cl.

F I

G 0 9 G 3 / 3 0 (2006. 01)

G 0 9 G 3 / 2 0 (2006. 01)

H 0 1 L 5 1 / 5 0 (2006. 01)

G 0 9 G 3 / 3 0 K

G 0 9 G 3 / 2 0 6 2 2 G

G 0 9 G 3 / 2 0 6 2 4 B

G 0 9 G 3 / 2 0 6 4 1 D

G 0 9 G 3 / 2 0 6 4 2 E

請求項の数 9 (全 15 頁) 最終頁に続く

(21) 出願番号 特願2004-282677 (P2004-282677)
 (22) 出願日 平成16年9月28日 (2004. 9. 28)
 (65) 公開番号 特開2006-98551 (P2006-98551A)
 (43) 公開日 平成18年4月13日 (2006. 4. 13)
 審査請求日 平成19年9月19日 (2007. 9. 19)

(73) 特許権者 302020207
 東芝松下ディスプレイテクノロジー株式会
 社
 東京都港区港南4-1-8
 (74) 代理人 100058479
 弁理士 鈴江 武彦
 (74) 代理人 100091351
 弁理士 河野 哲
 (74) 代理人 100088683
 弁理士 中村 誠
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100084618
 弁理士 村松 貞男

最終頁に続く

(54) 【発明の名称】 表示装置及びその駆動方法

(57) 【特許請求の範囲】

【請求項 1】

マトリクス状に配置された複数の画素と、前記複数の画素が形成する行に対応して配列した複数本の第1走査信号線と、前記複数の画素が形成する列に対応して配列した複数本の映像信号線とを具備し、

前記複数の画素のそれぞれは、

第1電源端子に接続された第1入力端子と第1制御端子とそれらの間の電圧に対応した電流を出力する第1出力端子とを含んだ第1駆動制御素子と、

前記第1出力端子に接続された第2入力端子と第2制御端子とそれらの間の電圧に対応した電流を出力する第2出力端子とを含んだ第2駆動制御素子と、

定電位端子と前記第1制御端子との間に接続された第1キャパシタと、

前記第1走査信号線と前記第2制御端子との間に接続された第2キャパシタと、

流れる電流に応じて光学特性が変化する表示素子と、

前記第2出力端子と第2電源端子との間に前記表示素子と直列に接続された出力制御スイッチと、

前記第1及び第2制御端子と前記第1出力端子と前記映像信号線との接続を、それらが互いに接続された状態と、各接続が断たれた状態との間で切り替えるスイッチ群とを備えたことを特徴とする表示装置。

【請求項 2】

前記複数の画素のそれぞれの書込期間において、前記出力制御スイッチを開いたまま、

10

20

前記第 1 及び第 2 制御端子と前記第 1 出力端子と前記映像信号線とを互いに接続すると共に前記第 1 走査信号線の電位を第 1 電位に設定して前記表示素子に流すべき駆動電流に対応した大きさの電流を前記映像信号線に流す第 1 動作と、前記第 1 及び第 2 制御端子と前記第 1 出力端子と前記映像信号線との各接続を断った状態で前記第 1 走査信号線の電位を前記第 1 電位から第 2 電位へと変化させる第 2 動作とを順次行い、

この書込期間に続く有効表示期間では、前記出力制御スイッチを閉じ且つ前記第 1 及び第 2 制御端子と前記第 1 出力端子と前記映像信号線との各接続を断つと共に前記第 1 走査信号線の電位を前記第 2 電位に維持した状態で、前記表示素子に前記駆動電流を流すように構成されたことを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

10

前記第 2 動作により、前記第 2 入力端子と前記第 2 出力端子との間の抵抗を小さくするように構成されたことを特徴とする請求項 2 に記載の表示装置。

【請求項 4】

前記複数の画素が形成する行に対応して配列した複数本の第 2 走査信号線をさらに具備し、

前記スイッチ群は、一方の端子が前記第 1 制御端子に接続された第 1 スイッチと、一方の端子が前記第 2 制御端子に接続された第 2 スイッチと、一方の端子が前記第 1 出力端子又は前記映像信号線に接続された第 3 スイッチとを含み、

前記複数の画素のそれぞれにおいて、前記第 1 乃至第 3 スイッチの制御端子は前記第 2 走査信号線に接続されたことを特徴とする請求項 1 に記載の表示装置。

20

【請求項 5】

前記複数の画素のそれぞれにおいて、前記出力制御スイッチの制御端子は前記第 1 走査信号線に接続されたことを特徴とする請求項 1 に記載の表示装置。

【請求項 6】

前記複数の画素が形成する行に対応して配列した複数本の第 3 走査信号線をさらに具備し、

前記複数の画素のそれぞれにおいて、前記出力制御スイッチの制御端子は前記第 3 走査信号線に接続されたことを特徴とする請求項 1 に記載の表示装置。

【請求項 7】

前記表示素子は有機 EL 素子であることを特徴とする請求項 1 に記載の表示装置。

30

【請求項 8】

マトリクス状に配置された複数の画素と、前記複数の画素が形成する行に対応して配列した複数本の第 1 走査信号線と、前記複数の画素が形成する列に対応して配列した複数本の映像信号線とを具備し、

前記複数の画素のそれぞれは、第 1 電源端子に接続された第 1 入力端子と第 1 制御端子とそれらの間の電圧に対応した電流を出力する第 1 出力端子とを含んだ第 1 駆動制御素子と、前記第 1 出力端子に接続された第 2 入力端子と第 2 制御端子とそれらの間の電圧に対応した電流を出力する第 2 出力端子とを含んだ第 2 駆動制御素子と、定電位端子と前記第 1 制御端子との間に接続された第 1 キャパシタと、前記第 1 走査信号線と前記第 2 制御端子との間に接続された第 2 キャパシタと、流れる電流に応じて光学特性が変化する表示素子と、前記第 2 出力端子と第 2 電源端子との間に前記表示素子と直列に接続された出力制御スイッチと、前記第 1 及び第 2 制御端子と前記第 1 出力端子と前記映像信号線との接続を、それらが互いに接続された状態と、各接続が断たれた状態との間で切り替えるスイッチ群とを備えた表示装置の駆動方法であって、

40

前記複数の画素のそれぞれの書込期間において、前記出力制御スイッチを開いたまま、前記第 1 及び第 2 制御端子と前記第 1 出力端子と前記映像信号線とを互いに接続すると共に前記第 1 走査信号線の電位を第 1 電位に設定して前記表示素子に流すべき駆動電流に対応した大きさの電流を前記映像信号線に流す第 1 動作と、前記第 1 及び第 2 制御端子と前記第 1 出力端子と前記映像信号線との各接続を断った状態で前記第 1 走査信号線の電位を前記第 1 電位から第 2 電位へと変化させる第 2 動作とを順次行い、

50

この書込期間に続く有効表示期間では、前記出力制御スイッチを閉じ且つ前記第 1 及び第 2 制御端子と前記第 1 出力端子と前記映像信号線との各接続を断つと共に前記第 1 走査信号線の電位を前記第 2 電位に維持した状態で、前記表示素子に前記駆動電流を流すことを特徴とする駆動方法。

【請求項 9】

前記第 2 動作により、前記第 2 入力端子と前記第 2 出力端子との間の抵抗を小さくするように構成されたことを特徴とする請求項 8 に記載の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

10

本発明は、表示装置及びその駆動方法に係り、特に、表示素子の光学特性をそれに流す電流により制御する表示装置及びその駆動方法に関する。

【背景技術】

【0002】

有機 EL (エレクトロルミネッセンス) 表示装置のように表示素子の光学特性をそれに流す駆動電流によって制御する表示装置では、駆動電流がばらつくと、輝度むら等の画質不良が生じる。それゆえ、そのような表示装置でアクティブマトリクス駆動方式を採用した場合には、駆動電流の大きさを制御する駆動制御素子の特性が各画素間でほぼ同一であることが要求される。しかしながら、この表示装置では、通常、駆動制御素子をガラス基板などの絶縁体上に形成するため、その特性にばらつきを生じ易い。

20

【0003】

以下の特許文献 1 には、カレントコピー型の回路を画素回路に採用した有機 EL 表示装置が記載されている。

【0004】

このカレントコピー型の画素回路は、駆動制御素子である n チャンネル FET (Field-Effect Transistor) と、有機 EL 素子と、キャパシタとを含んでいる。n チャンネル FET のソースは低電位の電源線に接続されており、キャパシタは n チャンネル FET のゲートと先の電源線との間に接続されている。また、有機 EL 素子の陽極は、より高電位の電源線に接続されている。

【0005】

30

この画素回路は、以下の方法で駆動する。

まず、n チャンネル FET のドレインとゲートとを接続し、この状態で n チャンネル FET のドレイン - ソース間に映像信号に対応した大きさの電流 I_{sig} を流す。この動作により、キャパシタの両電極間の電圧は、n チャンネル FET のチャンネルに電流 I_{sig} を流すのに必要なゲート - ソース間電圧に設定される。

【0006】

次に、n チャンネル FET のドレインとゲートとの接続を断ち、キャパシタの両電極間の電圧を保持する。続いて、n チャンネル FET のドレインを有機 EL 素子の陰極に接続する。これにより、有機 EL 素子には、先の電流 I_{sig} とほぼ等しい大きさの駆動電流が流れる。有機 EL 素子は、この駆動電流の大きさに対応した輝度で発光する。

40

【0007】

このように、上記のカレントコピー型回路を画素回路に採用すると、書込期間において映像信号として供給した電流 I_{sig} とほぼ等しい大きさの駆動電流を、書込期間に続く保持期間においても n チャンネル FET のドレインとソースとの間に流すことができる。それゆえ、n チャンネル FET の閾値 V_{th} だけでなく移動度や寸法などが駆動電流に与える影響も排除することができる。

【0008】

しかしながら、上記のカレントコピー型回路を画素回路に採用した表示装置には、駆動電流を十分に小さくすることが難しいという問題がある。駆動電流を十分に小さくできないと、例えば有機 EL 表示装置では、低階調域の各階調が本来の明るさよりも明るく表示

50

され、その結果、高コントラストの実現が困難となるという問題を生じる。

【特許文献1】米国特許第6,373,454B1号明細書

【発明の開示】

【発明が解決しようとする課題】

【0009】

本発明の目的は、表示素子に小さな駆動電流を流すことを可能とすることにある。

【課題を解決するための手段】

【0010】

本発明の第1側面によると、マトリクス状に配置された複数の画素と、前記複数の画素が形成する行に対応して配列した複数の第1走査信号線と、前記複数の画素が形成する列に対応して配列した複数の映像信号線とを具備し、前記複数の画素のそれぞれは、第1電源端子に接続された第1入力端子と第1制御端子とそれらの間の電圧に対応した電流を出力する第1出力端子とを含んだ第1駆動制御素子と、前記第1出力端子に接続された第2入力端子と第2制御端子とそれらの間の電圧に対応した電流を出力する第2出力端子とを含んだ第2駆動制御素子と、定電位端子と前記第1制御端子との間に接続された第1キャパシタと、前記第1走査信号線と前記第2制御端子との間に接続された第2キャパシタと、流れる電流に応じて光学特性が変化する表示素子と、前記第2出力端子と第2電源端子との間に前記表示素子と直列に接続された出力制御スイッチと、前記第1及び第2制御端子と前記第1出力端子と前記映像信号線との接続を、それらが互いに接続された状態と、各接続が断たれた状態との間で切り替えるスイッチ群とを備えたことを特徴とする表示装置が提供される。

【0011】

本発明の第2側面によると、マトリクス状に配置された複数の画素と、前記複数の画素が形成する行に対応して配列した複数の第1走査信号線と、前記複数の画素が形成する列に対応して配列した複数の映像信号線とを具備し、前記複数の画素のそれぞれは、第1電源端子に接続された第1入力端子と第1制御端子とそれらの間の電圧に対応した電流を出力する第1出力端子とを含んだ第1駆動制御素子と、前記第1出力端子に接続された第2入力端子と第2制御端子とそれらの間の電圧に対応した電流を出力する第2出力端子とを含んだ第2駆動制御素子と、定電位端子と前記第1制御端子との間に接続された第1キャパシタと、前記第1走査信号線と前記第2制御端子との間に接続された第2キャパシタと、流れる電流に応じて光学特性が変化する表示素子と、前記第2出力端子と第2電源端子との間に前記表示素子と直列に接続された出力制御スイッチと、前記第1及び第2制御端子と前記第1出力端子と前記映像信号線との接続を、それらが互いに接続された状態と、各接続が断たれた状態との間で切り替えるスイッチ群とを備えた表示装置の駆動方法であって、前記複数の画素のそれぞれの書込期間において、前記出力制御スイッチを開いたまま、前記第1及び第2制御端子と前記第1出力端子と前記映像信号線とを互いに接続すると共に前記第1走査信号線の電位を第1電位に設定して前記表示素子に流すべき駆動電流に対応した大きさの電流を前記映像信号線に流す第1動作と、前記第1及び第2制御端子と前記第1出力端子と前記映像信号線との各接続を断った状態で前記第1走査信号線の電位を前記第1電位から第2電位へと変化させる第2動作とを順次行い、この書込期間に続く有効表示期間では、前記出力制御スイッチを閉じ且つ前記第1及び第2制御端子と前記第1出力端子と前記映像信号線との各接続を断つと共に前記第1走査信号線の電位を前記第2電位に維持した状態で、前記表示素子に前記駆動電流を流すことを特徴とする駆動方法が提供される。

【発明の効果】

【0012】

本発明によると、表示素子に小さな駆動電流を流すことが可能となる。

【発明を実施するための最良の形態】

【0013】

以下、本発明の幾つかの態様について、図面を参照しながら詳細に説明する。なお、各

10

20

30

40

50

図において、同様または類似する構成要素には同一の参照符号を付し、重複する説明は省略する。

【 0 0 1 4 】

図 1 は、本発明の第 1 態様に係る表示装置を概略的に示す平面図である。この表示装置は、アクティブマトリクス駆動方式の表示装置、例えばアクティブマトリクス駆動方式の有機 E L 表示装置、であり、複数の画素 P X を含んでいる。これら画素 P X は、絶縁基板 S U B 上にマトリクス状に配置されている。

【 0 0 1 5 】

基板 S U B 上には、走査信号線ドライバ Y D R 及び映像信号線ドライバ X D R がさらに設けられている。

10

【 0 0 1 6 】

この基板 S U B 上には、走査信号線ドライバ Y D R に接続された走査信号線 S L 1 及び S L 2 が、画素 P X の行方向に延在するように設けられている。これら走査信号線 S L 1 及び S L 2 には、走査信号線ドライバ Y D R から走査信号が電圧信号として供給される。

【 0 0 1 7 】

また、基板 S U B 上には、映像信号線ドライバ X D R に接続された映像信号線 D L が、画素 P X の列方向に延在するように設けられている。これら映像信号線 D L には、映像信号線ドライバ X D R から映像信号が供給される。

【 0 0 1 8 】

さらに、この基板 S U B 上には、電源線 P S L が設けられている。

20

【 0 0 1 9 】

画素 P X は、第 1 駆動制御素子 D R 1 と、第 2 駆動制御素子 D R 2 と、第 1 スイッチ S W 1 と、第 2 スイッチ S W 2 と、第 3 スイッチ S W 3 と、出力制御スイッチ S W 4 と、第 1 キャパシタ C 1 と、第 2 キャパシタ C 2 と、表示素子 O L E D とを含んでいる。スイッチ S W 1 乃至 S W 3 は、スイッチ群を構成している。

【 0 0 2 0 】

表示素子 O L E D は、互いに対向した陽極及び陰極とそれらの間に流れる電流に応じて光学特性が変化する活性層とを含んでいる。ここでは、一例として、表示素子 O L E D は、活性層として発光層を含んだ有機 E L 素子とする。また、ここでは、一例として、陽極は下部電極として設けられ、陰極は活性層を介して下部電極と対向配置した上部電極として設けられていることとする。

30

【 0 0 2 1 】

第 1 駆動制御素子 D R 1 は、第 1 入力端子と、第 1 制御端子と、それらの間の電圧に対応した電流を出力する第 1 出力端子とを含んでいる。ここでは、一例として、駆動制御素子 D R 1 に p チャネル薄膜トランジスタ (T F T) を使用しており、その制御端子であるゲートは第 1 キャパシタ C 1 の一方の電極に接続し、入力端子であるソースは電源線 P S L に接続している。なお、電源線 P S L 上のノード N D 1 は、第 1 電源端子に相当している。

【 0 0 2 2 】

第 2 駆動制御素子 D R 2 は、第 2 入力端子と、第 2 制御端子と、それらの間の電圧に対応した電流を出力する第 2 出力端子とを含んでいる。ここでは、一例として、駆動制御素子 D R 2 に p チャネル T F T を使用しており、その制御端子であるゲートは第 2 キャパシタ C 2 の一方の電極に接続し、入力端子であるソースは第 1 駆動制御素子 D R 1 の第 1 出力端子に接続している。

40

【 0 0 2 3 】

スイッチ S W 1 乃至 S W 3 で構成されたスイッチ群は、駆動制御素子 D R 1 の制御端子と、駆動制御素子 D R 2 の制御端子と、駆動制御素子 D R 2 の出力端子と、映像信号線 D L との接続を、それらが互いに接続された状態と、各接続が断たれた状態との間で切り替える。このスイッチ群には、様々な構造を採用することが可能である。これについては、後で詳述する。

50

【 0 0 2 4 】

第1スイッチSW1は、その一方の端子が駆動制御素子DR1の制御端子に接続されている。スイッチSW1は、単独で或いはスイッチSW2及び/又はSW3と共に、駆動制御素子DR1の出力端子と制御端子との接続を、それらが互いに接続された状態と、その接続が断たれた状態との間で切り替える。

【 0 0 2 5 】

スイッチSW1は、例えば、駆動制御素子DR1の制御端子と出力端子との間に接続し、そのスイッチング動作は、例えば、走査信号線ドライバYDRから走査信号線SL2を介して供給される走査信号によって制御する。ここでは、スイッチSW1としてpチャネルTFTを使用し、そのゲートを走査信号線SL2に接続し、ソース及びドレインは駆動制御素子DR1のゲート及びドレインにそれぞれ接続している。

10

【 0 0 2 6 】

第2スイッチSW2は、その一方の端子が駆動制御素子DR2の制御端子に接続されている。スイッチSW2は、単独で或いはスイッチSW1及び/又はSW3と共に、駆動制御素子DR1の出力端子と駆動制御素子DR2の制御端子との接続を、それらが互いに接続された状態と、その接続が断たれた状態との間で切り替える。

【 0 0 2 7 】

スイッチSW2は、例えば、駆動制御素子DR2の制御端子と駆動制御素子DR1の出力端子との間に接続し、そのスイッチング動作は、例えば、走査信号線ドライバYDRから走査信号線SL2を介して供給される走査信号によって制御する。ここでは、スイッチSW2としてpチャネルTFTを使用し、そのゲートは走査信号線SL2に接続し、ソース及びドレインは駆動制御素子DR1の出力端子と駆動制御素子DR2の制御端子とにそれぞれ接続している。

20

【 0 0 2 8 】

第3スイッチSW3は、その一方の端子が駆動制御素子DR1の出力端子又は映像信号線DLに接続されている。スイッチSW3は、単独で或いはスイッチSW1及び/又はSW2と共に、駆動制御素子DR1の出力端子と映像信号線DLとの接続を、それらが互いに接続された状態と、その接続が断たれた状態との間で切り替える。

【 0 0 2 9 】

スイッチSW3は、例えば、駆動制御素子DR1の出力端子と映像信号線DLとの間に接続し、そのスイッチング動作は、例えば、走査信号線ドライバYDRから走査信号線SL2を介して供給される走査信号によって制御する。ここでは、スイッチSW3としてpチャネルTFTを使用し、そのゲートは走査信号線SL2に接続し、ソース及びドレインは駆動制御素子DR1の出力端子と映像信号線DLとにそれぞれ接続している。

30

【 0 0 3 0 】

出力制御スイッチSW4と表示素子OLEDとは、駆動制御素子DR2の出力端子と第2電源端子ND2との間に直列に接続されている。ここでは、スイッチSW4としてpチャネルTFTを使用し、そのゲートはキャパシタC2を介して走査信号線SL1に接続し、ソース及びドレインは駆動制御素子DR2の出力端子と表示素子OLEDの陽極とにそれぞれ接続している。なお、この例では、出力制御スイッチSW4と表示素子OLEDとは、この順に、駆動制御素子DR2の出力端子と第2電源端子ND2との間に直列に接続しているが、それらの接続順序は逆でも良い。

40

【 0 0 3 1 】

キャパシタC1は、定電位端子と駆動制御素子DR1の制御端子との間に接続されている。また、キャパシタC2は、駆動制御素子DR2の制御端子と走査信号線SL1との間に接続されている。ここでは、一例として、キャパシタC1は電源線PSL上のノードND1と駆動制御素子DR1のゲートとの間に接続しているが、キャパシタC1を接続する定電位端子は電源線PSLから電氣的に絶縁されていても良い。すなわち、上記の定電位端子として、電源線PSLから電氣的に絶縁された他の定電位端子を利用しても良い。

【 0 0 3 2 】

50

図 2 は、図 1 に示す表示装置の駆動方法の一例を概略的に示すタイミングチャートである。

【 0 0 3 3 】

図 2 において、横軸は時間を示し、縦軸は電位又は電流の大きさを示している。また、図 2 において、「XDR 出力 (I_{out})」で示す波形は映像信号線ドライバ XDR が各映像信号線 DL に流す電流を示し、「SL1 電位」及び「SL2 電位」で示す波形は走査信号線 SL1 及び SL2 の電位をそれぞれ示し、「DR1 ゲート電位」及び「DR2 ゲート電位」で示す波形は駆動制御素子 DR1 及び DR2 のゲート電位をそれぞれ示している。さらに、図 2 において、「I (m + k)」は「m + k 行目」の画素 PX を選択している「m + k 行目選択期間」にその画素 PX が接続された映像信号線 DL に流す電流又はその大きさを示している。

10

【 0 0 3 4 】

図 2 には、m 行目の画素 PX で表示する階調をより小さな駆動電流に対応した階調からより大きな駆動電流に対応した階調へと切り替えるとともに、m + 1 行目の画素 PX で表示する階調を大きな駆動電流に対応した階調からより小さな駆動電流に対応した階調へと切り替える例を示している。また、図 2 の方法では、一例として、電源端子 ND1 及び ND2 の電位を + 6 V 及び - 9 V にそれぞれ設定すると共に、走査信号線 SL1 及び SL2 のそれぞれに供給する走査信号の大きさは + 6 V と - 2 V との間で切り替えている。

【 0 0 3 5 】

図 2 の方法では、図 1 の表示装置を以下の方法により駆動する。

20

【 0 0 3 6 】

m 行目の画素 PX でより大きな駆動電流に対応した階調を表示する場合、m 行目の画素 PX を選択する期間、すなわち、m 行目選択期間、では、まず、例えば、走査信号線 SL1 の電位を第 2 電位である - 2 V から第 1 電位である + 6 V へと変化させることにより、スイッチ SW4 を開く。なお、走査信号線 SL1 の電位を変化させるのに伴い、駆動制御素子 DR2 のゲート電位も変化する。スイッチ SW4 を開いている書込期間内に、以下の第 1 動作及び第 2 動作を順次実施する。

【 0 0 3 7 】

すなわち、まず、例えば、走査信号線 SL2 の電位を + 6 V から - 2 V へと変化させることにより、スイッチ SW1 乃至 SW3 を閉じる。これにより、駆動制御素子 DR1 のゲートと、駆動制御素子 DR2 のゲートと、駆動制御素子 DR1 のドレインと、映像信号線 DL とを互いに接続する。この状態で、選択した画素 PX に映像信号線ドライバ XDR から映像信号線 DL を介して映像信号を供給する。すなわち、映像信号線ドライバ XDR により、電源端子 ND1 から映像信号線 DL へと電流 I (m) を流す。この電流 I (m) の大きさは、表示素子 OLED に流すべき駆動電流に対応した大きさ、すなわち、選択した画素 PX で表示すべき階調、に対応している。

30

【 0 0 3 8 】

この第 1 動作を行うと、駆動制御素子 DR1 のゲート電位は、そのソース - ドレイン間に電流 I (m) が流れる時の値に設定される。図 2 の例では、第 1 動作により、駆動制御素子 DR1 のゲート電位を + 3 V に設定している。また、この第 1 動作を行うと、駆動制御素子 DR2 のゲート電位も、駆動制御素子 DR1 のゲート電位と等しい値、ここでは + 3 V、に設定される。

40

【 0 0 3 9 】

次に、例えば、走査信号線 SL2 の電位を - 2 V から + 6 V へと変化させることにより、スイッチ SW1 乃至 SW3 を開く。すなわち、駆動制御素子 DR1 のゲートと、駆動制御素子 DR2 のゲートと、駆動制御素子 DR1 のドレインと、映像信号線 DL との間の各接続を断つ。続いて、この状態で、走査信号線 SL1 の電位を第 1 電位である + 6 V から第 2 電位である - 2 V へと変化させることにより、出力制御スイッチ SW4 を閉じる。

【 0 0 4 0 】

この第 2 動作を実施すると、走査信号線 SL1 の電位変化に伴い、駆動制御素子 DR2

50

のゲート電位も変化する。この例では、駆動制御素子 D R 2 のゲート電位は、+ 3 V から - 5 V へと変化している。

【 0 0 4 1 】

上記の通り、第 1 動作によって、駆動制御素子 D R 1 のゲート電位は、電流 $I(m)$ が流れる時の値、ここでは + 3 V、に設定されている。このゲート電位は、スイッチ S W 1 乃至 S W 3 を閉じるまで維持される。

【 0 0 4 2 】

また、上記の通り、第 2 動作によって、駆動制御素子 D R 2 のゲート電位は、第 1 動作終了直後の電位 (+ 3 V) に第 2 電位 (- 2 V) と第 1 電位 (+ 6 V) との差を加えた値、ここでは - 5 V、に設定されている。このゲート電位は、走査信号線 S L 1 の電位を第 2 電位から第 1 電位へと変化させるまで維持される。

10

【 0 0 4 3 】

すなわち、有効表示期間では、駆動制御素子 D R 2 の抵抗は小さい。したがって、表示素子 O L E D には十分に大きな駆動電流を流すことができる。図 2 の方法では、このようにして、大きな駆動電流に対応した階調を表示する。

【 0 0 4 4 】

図 2 の方法では、より小さな駆動電流に対応した階調を表示する場合、図 1 の表示装置を以下の方法により駆動する。

【 0 0 4 5 】

$m + 1$ 行目の画素 P X でより小さな駆動電流に対応した階調を表示する場合、 m 行目の画素 P X について説明したのと同様に、スイッチ S W 4 を開いている書込期間内に、第 1 動作及び第 2 動作を順次実施する。

20

【 0 0 4 6 】

但し、 $m + 1$ 行目の画素 P X ではより小さな駆動電流に対応した階調を表示するので、第 1 動作で映像信号線 D L に流す電流 $I(m + 1)$ は、 m 行目の画素 P X について上述した電流 $I(m)$ よりも小さい。したがって、第 1 動作を終了した直後における駆動制御素子 D R 1 のゲート電位は、 m 行目の画素 P X について上述した値とは異なっている。図 2 の例では、電流 $I(m + 1)$ を流すことにより、駆動制御素子 D R 1 のゲート電位を + 5 . 5 V に設定している。

【 0 0 4 7 】

30

また、第 1 動作を終了した直後における駆動制御素子 D R 2 のゲート電位は、駆動制御素子 D R 1 のゲート電位と等しい値、ここでは + 5 . 5 V、に設定されている。第 2 動作を実施することにより生じる駆動制御素子 D R 2 のゲート電位変化は、 m 行目の画素 P X について上述した値と等しい。したがって、この例では、第 2 動作を実施することにより、駆動制御素子 D R 2 のゲート電位は、+ 5 . 5 V から - 2 . 5 V へと変化する。

【 0 0 4 8 】

すなわち、より小さな駆動電流に対応した階調を表示する $m + 1$ 行目の画素 P X の有効表示期間では、より大きな駆動電流に対応した階調を表示する m 行目の画素 P X の有効表示期間と比較して、駆動制御素子 D R 2 の抵抗が大きい。したがって、表示素子 O L E D を流れる駆動電流は十分に小さくなる。図 2 の方法では、このようにして、より小さな駆動電流に対応した階調を表示する。

40

【 0 0 4 9 】

ところで、各画素 P X で駆動制御素子 D R 2 とキャパシタ C 2 とスイッチ S W 2 とを省略した場合、駆動電流を十分に小さくすることが難しい。これについては、図 3 及び図 4 を参照しながら説明する。

【 0 0 5 0 】

図 3 は、第 2 駆動制御素子 D R 2 と第 2 キャパシタ C 2 と第 2 スイッチ S W 2 とを省略した画素 P X を示す等価回路図である。図 4 は、図 3 の画素 P X で得られる駆動制御素子 D R 1 の電圧電流特性の例を示すグラフである。

【 0 0 5 1 】

50

図 4 において、横軸は駆動制御素子 D R 1 のドレイン電位 V_d を示し、縦軸は駆動制御素子 D R 1 のソース - ドレイン間を流れる電流 I_{sd} 又は表示素子 O L E D を流れる駆動電流を示している。

【 0 0 5 2 】

また、図 4 において、曲線 D T 1 乃至 D T 3 は、電源端子 N D 1 の電位を + 6 V とし、電源端子 N D 2 の電位を - 9 V とした場合のデータを示している。具体的には、曲線 D T 1 は、図 1 及び図 2 を参照しながら説明したのと同様の方法で画素 P X に最大の駆動電流に対応した映像信号を書き込んだ場合に得られる駆動制御素子 D R 1 の電圧電流特性を示している。曲線 D T 2 は、図 1 及び図 2 を参照しながら説明したのと同様の方法で画素 P X に最小の駆動電流に対応した映像信号を書き込んだ場合に得られる駆動制御素子 D R 1 の電圧電流特性を示している。曲線 D T 3 は、表示素子 O L E D の電圧電流特性を示している。

10

【 0 0 5 3 】

さらに、図 4 において、曲線 D T 1 と曲線 D T 3 との交点 O P 1 3 は、表示素子 O L E D に最大の駆動電流を流す場合の駆動制御素子 D R 1 の動作点である。また、曲線 D T 2 と曲線 D T 3 との交点 O P 2 3 は、表示素子 O L E D に最小の駆動電流を流す場合の駆動制御素子 D R 1 の動作点である。

【 0 0 5 4 】

図 4 に曲線 D T 2 で示すように、画素 P X に最小の駆動電流に対応した映像信号を書き込んだ場合、駆動制御素子 D R 1 のドレイン電位 V_d が低い範囲内では、ドレイン電位 V_d が低くなるほど電流 I_{sd} が大きくなる。したがって、駆動電流を小さくするには、動作点におけるドレイン電位 V_d がより高くなるように交点 O P 2 3 をシフトさせればよい。

20

【 0 0 5 5 】

このような交点 O P 2 3 のシフトは、例えば、有効表示期間における走査信号線 S L 1 の電位を高めて、出力制御スイッチ S W 4 の抵抗を大きくすることにより可能である。これについては、図 5 を参照しながら説明する。

【 0 0 5 6 】

図 5 は、図 3 の画素 P X で得られる駆動制御素子 D R 1 の電圧電流特性の他の例を示すグラフである。

【 0 0 5 7 】

30

図 5 において、横軸は駆動制御素子 D R 1 のドレイン電位 V_d を示し、縦軸は駆動制御素子 D R 1 のソース - ドレイン間を流れる電流 I_{sd} 又は表示素子 O L E D を流れる駆動電流を示している。

【 0 0 5 8 】

また、図 5 において、曲線 D T 1 ' は、電源端子 N D 1 の電位を + 1 0 V に設定したこと以外は図 1 及び図 2 を参照しながら説明したのと同様の方法で画素 P X に最大の駆動電流に対応した映像信号を書き込んだ場合に得られる駆動制御素子 D R 1 の電圧電流特性を示している。曲線 D T 2 ' は、電源端子 N D 1 の電位を + 1 0 V に設定したこと以外は図 1 及び図 2 を参照しながら説明したのと同様の方法で画素 P X に最小の駆動電流に対応した映像信号を書き込んだ場合に得られる駆動制御素子 D R 1 の電圧電流特性を示している。曲線 D T 3 ' は、出力制御スイッチ S W 4 の抵抗を増加させると共に、その増加分を表示素子 O L E D の抵抗とみなした場合の表示素子 O L E D の電圧電流特性を示している。

40

【 0 0 5 9 】

図 5 に示すように、出力制御スイッチ S W 4 の抵抗を大きくすると、表示素子 O L E D の電圧電流特性は、曲線 D T 3 から曲線 D T 3 ' へと変化する。曲線 D T 3 ' 及び曲線 D T 2 の交点 O P 2 3 ' と交点 O P 2 3 との比較から明らかなように、出力制御スイッチ S W 4 の抵抗を大きくすると、駆動電流の最小値を小さくすることができる。

【 0 0 6 0 】

しかしながら、この場合、曲線 D T 3 ' は、曲線 D T 1 と交点 O P 1 3 ' で交わるものとなる。すなわち、駆動制御素子 D R 1 を、電流 I_{sd} がほぼ一定の飽和領域で動作させる

50

ことができず、ドレイン電位 V_d に対して電流 I_{sd} が大きく変化する線形領域で動作させることとなると共に、駆動電流の最大値が小さくなる。

【0061】

これを防止するには、電源端子 $ND1$ の電位を高めればよい。こうすると、例えば、曲線 $DT1$ を曲線 $DT1'$ へと変化させることができる。曲線 $DT1'$ と曲線 $DT3'$ との交点 $OP13''$ は、飽和領域内にあり、曲線 $DT1$ と曲線 $DT3$ との交点 $OP13$ と駆動電流がほぼ等しい。また、電源端子 $ND1$ の電位を高めることに伴う曲線 $DT2$ から曲線 $DT2'$ への変化は僅かであるので、曲線 $DT2'$ と曲線 $DT3'$ との交点 $OP23''$ と、曲線 $DT2$ と曲線 $DT3'$ との交点 $OP23'$ とでも、駆動電流が互いにほぼ等しい。すなわち、出力制御スイッチ $SW4$ の抵抗を大きくすると共に、電源端子 $ND1$ の電位を高めると、駆動電流を最大としたときに駆動制御素子 $DR1$ を飽和領域内で動作させることができ、しかも、駆動電流の最小値を小さくすることができる。

10

【0062】

但し、電源端子 $ND1$ の電位を高めた場合、消費電力が大きくなるのに加え、映像信号線ドライバ XDR などへの負荷が増大する。

【0063】

これに対し、画素 PX に図1の構造を採用すると、図1及び図2を参照しながら説明した通り、より大きな駆動電流に対応した階調を表示する場合には駆動制御素子 $DR2$ の抵抗を小さくし、より小さな駆動電流に対応した階調を表示する場合には駆動制御素子 $DR2$ の抵抗を大きくすることができる。すなわち、例えば、図4に示す曲線 $DT3$ を、曲線 $DT1$ との交点 $OP13$ の位置が殆ど変化せず且つ曲線 $DT2$ とより高いドレイン電位 V_d で交差するように変形させることができる。したがって、駆動電流の最小値を小さくすることが可能となると共に、電源端子 $ND1$ の電位を高めることなく、駆動電流を最大としたときに駆動制御素子 $DR1$ を飽和領域内で動作させることができる。

20

【0064】

次に、本発明の第2態様について説明する。

第1態様に係る表示装置では、駆動制御素子 $DR2$ 及び出力制御スイッチ $SW4$ の動作は、走査信号線ドライバ YDR から走査信号線 $SL1$ を介して供給する走査信号によって制御した。そのため、第1態様に係る表示装置では、駆動制御素子 $DR2$ の動作を、出力制御スイッチ $SW4$ の動作から独立して制御することは不可能である。

30

【0065】

これに対し、第2態様に係る表示装置では、出力制御スイッチ $SW4$ の動作を制御するための走査信号線を、駆動制御素子 $DR2$ の動作を制御するための走査信号線 $SL1$ とは別に設ける。これにより、駆動制御素子 $DR2$ の動作を、出力制御スイッチ $SW4$ の動作から独立して制御することを可能とする。

【0066】

図6は、本発明の第2態様に係る表示装置を概略的に示す平面図である。この表示装置は、アクティブマトリクス駆動方式の表示装置、例えばアクティブマトリクス駆動方式の有機 EL 表示装置、である。図6の表示装置は、以下の構成を除き、図1の表示装置と同様の構造を有している。

40

【0067】

すなわち、図6の表示装置では、画素 PX の行毎に第3走査信号線 $SL3$ が設けられている。出力制御スイッチ $SW4$ は、そのスイッチング動作を制御する制御端子であるゲートが、走査信号線 $SL1$ ではなく、走査信号線 $SL3$ に接続されている。

【0068】

この表示装置は、例えば、走査信号線 $SL1$ に供給する走査信号を走査信号線 $SL3$ にも供給すること以外は、図1及び図2を参照しながら説明したのと同様の方法により駆動することができる。この場合、第1態様と同様の効果を得ることができる。

【0069】

また、図6の表示装置では、走査信号線 $SL1$ に供給する走査信号の大きさと、走査信

50

号線 S L 3 に供給する走査信号の大きさとを異ならしめることができる。したがって、出力制御スイッチ S W 4 のスイッチング動作を制御するのに最適な大きさの走査信号を走査信号線 S L 3 に供給すると共に、走査信号線 S L 1 に任意の大きさの走査信号を供給することができる。すなわち、出力制御スイッチ S W 4 のスイッチング動作に束縛されことなく、駆動制御素子 D R 2 のゲート電位を第 2 動作によって所望の大きさだけ変化させることが可能となる。

【 0 0 7 0 】

第 1 及び第 2 態様に係る表示装置には、様々な変形が可能である。

【 0 0 7 1 】

例えば、図 1 及び図 6 に示す表示装置では、スイッチ S W 1 を、駆動制御素子 D R 1 のゲートとドレインとの間に接続しているが、スイッチ S W 1 は、駆動制御素子 D R 1 のゲートと映像信号線 D L との間に接続しても良い。この場合、スイッチ S W 2 は、駆動制御素子 D R 2 のゲートと駆動制御素子 D R 1 のドレインとの間に接続しても良く、駆動制御素子 D R 2 のゲートと映像信号線 D L との間に接続しても良く、駆動制御素子 D R 2 のゲートと駆動制御素子 D R 1 のゲートとの間に接続しても良い。

【 0 0 7 2 】

スイッチ S W 1 を駆動制御素子 D R 1 のゲートと映像信号線 D L との間に接続すると共に、スイッチ S W 2 を駆動制御素子 D R 2 のゲートと駆動制御素子 D R 1 のドレインとの間に接続した場合、スイッチ S W 3 は、駆動制御素子 D R 1 のドレインと映像信号線 D L との間に接続しても良い。或いは、スイッチ S W 3 は、駆動制御素子 D R 1 のドレインと駆動制御素子 D R 1 のゲートとの間に接続しても良い。

【 0 0 7 3 】

スイッチ S W 1 を駆動制御素子 D R 1 のゲートと映像信号線 D L との間に接続すると共に、スイッチ S W 2 を駆動制御素子 D R 2 のゲートと映像信号線 D L との間に接続した場合、スイッチ S W 3 は、駆動制御素子 D R 1 のドレインと映像信号線 D L との間に接続しても良い。或いは、スイッチ S W 3 は、駆動制御素子 D R 1 のドレインとゲートとの間に接続しても良い。或いは、スイッチ S W 3 は、駆動制御素子 D R 1 のドレインと駆動制御素子 D R 2 のゲートとの間に接続しても良い。

【 0 0 7 4 】

スイッチ S W 1 は、駆動制御素子 D R 1 のゲートと駆動制御素子 D R 2 のゲートとの間に接続しても良い。この場合、スイッチ S W 2 は、駆動制御素子 D R 2 のゲートと駆動制御素子 D R 1 のドレインとの間に接続しても良く、駆動制御素子 D R 2 のゲートと映像信号線 D L との間に接続しても良い。

【 0 0 7 5 】

スイッチ S W 1 を駆動制御素子 D R 1 のゲートと駆動制御素子 D R 2 のゲートとの間に接続すると共に、スイッチ S W 2 を駆動制御素子 D R 2 のゲートと駆動制御素子 D R 1 のドレインとの間に接続する場合、スイッチ S W 3 は、駆動制御素子 D R 1 のドレインと映像信号線 D L との間に接続しても良い。或いは、スイッチ S W 3 は、駆動制御素子 D R 1 のゲートと映像信号線 D L との間に接続しても良い。或いは、スイッチ S W 3 は、駆動制御素子 D R 2 のゲートと映像信号線 D L との間に接続しても良い。

【 0 0 7 6 】

スイッチ S W 1 を、図 1 及び図 6 に示すように、駆動制御素子 D R 1 のゲートとドレインとの間に接続する場合、スイッチ S W 2 は、駆動制御素子 D R 2 のゲートと駆動制御素子 D R 1 のドレインとの間に接続しても良く、駆動制御素子 D R 2 のゲートと映像信号線 D L との間に接続しても良く、駆動制御素子 D R 2 のゲートと駆動制御素子 D R 1 のゲートとの間に接続しても良い。

【 0 0 7 7 】

スイッチ S W 1 を駆動制御素子 D R 1 のゲートとドレインとの間に接続すると共に、スイッチ S W 2 を駆動制御素子 D R 2 のゲートと駆動制御素子 D R 1 のドレインとの間に接続する場合、スイッチ S W 3 は、図 1 及び図 6 に示すように、駆動制御素子 D R 1 のドレ

インと映像信号線DLとの間に接続しても良い。或いは、スイッチSW3は、駆動制御素子DR1のゲートと映像信号線DLとの間に接続しても良い。或いは、スイッチSW3は、駆動制御素子DR2のゲートと映像信号線DLとの間に接続しても良い。

【0078】

スイッチSW1とスイッチSW3とは、駆動制御素子DR1のゲートと映像信号線DLとの間に、この順に直列に接続しても良い。この場合、スイッチSW1のスイッチSW3に接続された端子は駆動制御素子DR1のドレインに接続する。また、この場合、スイッチSW2は、駆動制御素子DR2のゲートと駆動制御素子DR1のドレインとの間に接続しても良く、駆動制御素子DR2のゲートと映像信号線DLとの間に接続しても良く、駆動制御素子DR2のゲートと駆動制御素子DR1のゲートとの間に接続しても良く、駆動制御素子DR2のゲートとスイッチSW1のスイッチSW3に接続された端子との間に接続しても良い。

10

【0079】

スイッチSW2とスイッチSW3とは、駆動制御素子DR2のゲートと映像信号線DLとの間に、この順に直列に接続しても良い。この場合、スイッチSW2のスイッチSW3に接続された端子は駆動制御素子DR1のドレインに接続する。また、この場合、スイッチSW1は、駆動制御素子DR1のゲートと駆動制御素子DR1のドレインとの間に接続しても良く、駆動制御素子DR1のゲートと映像信号線DLとの間に接続しても良く、駆動制御素子DR1のゲートと駆動制御素子DR2のゲートとの間に接続しても良く、駆動制御素子DR1のゲートとスイッチSW2のスイッチSW3に接続された端子との間に接続しても良い。

20

【0080】

図1及び図6に示す表示装置では、駆動制御素子DR1及びDR2にpチャネルTFTを使用したが、nチャネルTFTを使用してもよい。この場合、電源端子ND1を電源端子ND2よりも低電位とすると共に、表示素子OLEDの陽極及び陰極を電源端子ND2及び出力制御スイッチSW4にそれぞれ接続する。また、この場合、図1の表示装置では、出力スイッチSW4に使用するTFTをnチャネルTFTとする。

【0081】

図1乃至図6の表示装置では、スイッチSW1乃至SW3にpチャネルTFTを使用したが、nチャネルTFTを使用してもよい。

30

【0082】

図1及び図6の表示装置では、スイッチSW1乃至SW3のスイッチング動作を制御するための走査信号線を画素PXの行毎に1本だけ設けているが、画素PXの行毎に2本又は3本設けても良い。すなわち、各画素PXに含まれるスイッチSW1乃至SW3の一部のスイッチング動作を、残りのスイッチング動作から独立して制御可能としても良い。

【図面の簡単な説明】

【0083】

【図1】本発明の第1態様に係る表示装置を概略的に示す平面図。

【図2】図1に示す表示装置の駆動方法の一例を概略的に示すタイミングチャート。

【図3】第2駆動制御素子と第2キャパシタと第2スイッチとを省略した画素を示す等価回路図。

40

【図4】図3の画素で得られる駆動制御素子の電圧電流特性の例を示すグラフ。

【図5】図3の画素で得られる駆動制御素子の電圧電流特性の他の例を示すグラフ。

【図6】本発明の第2態様に係る表示装置を概略的に示す平面図。

【符号の説明】

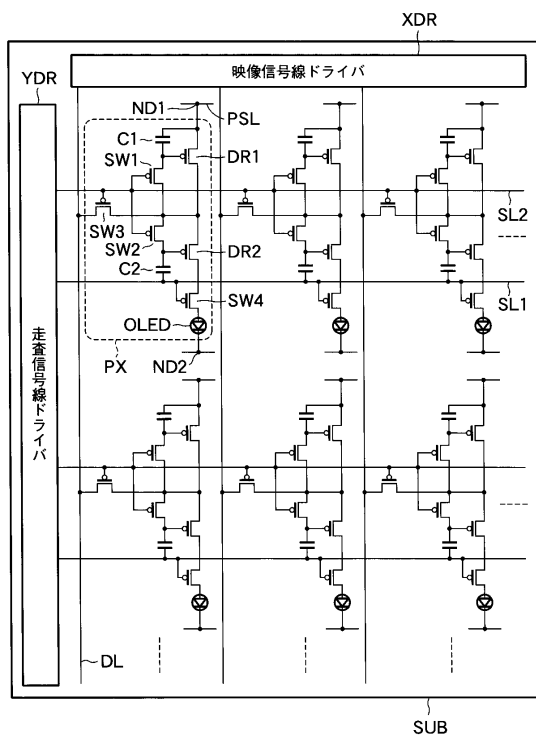
【0084】

C1...第1キャパシタ、C2...第2キャパシタ、DL...映像信号線、DR1...第1駆動制御素子、DR2...第2駆動制御素子、DT1...曲線、DT1'...曲線、DT2...曲線、DT2'...曲線、DT3...曲線、DT3'...曲線、ND1...第1電源端子、ND2...第2電源端子、OLED...表示素子、OP13...交点、OP13'...交点、OP13''...交点

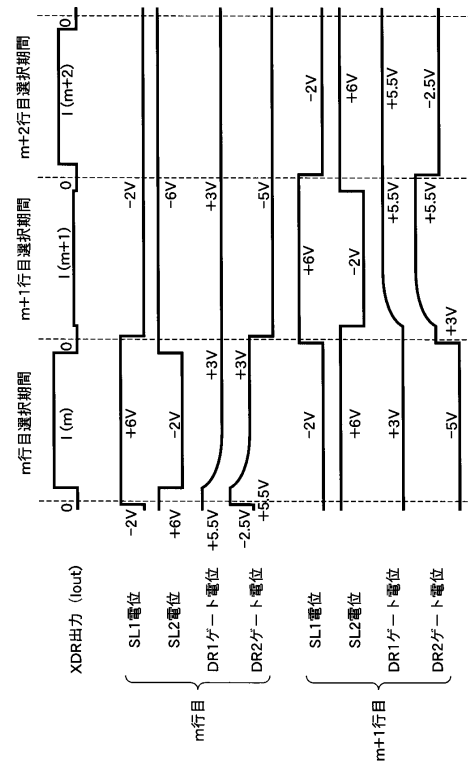
50

、 $OP23 \dots$ 交点、 $OP23' \dots$ 交点、 $OP23'' \dots$ 交点、 $PSL \dots$ 電源線、 $PX \dots$ 画素、 $SL1 \dots$ 走査信号線、 $SL2 \dots$ 走査信号線、 $SL3 \dots$ 走査信号線、 $SUB \dots$ 基板、 $SW1 \dots$ 第1スイッチ、 $SW2 \dots$ 第2スイッチ、 $SW3 \dots$ 第3スイッチ、 $SW4 \dots$ 出力制御スイッチ、 $XDR \dots$ 映像信号線ドライバ、 $YDR \dots$ 走査信号線ドライバ。

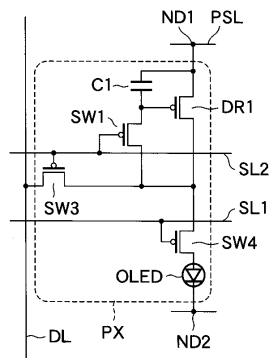
【図1】



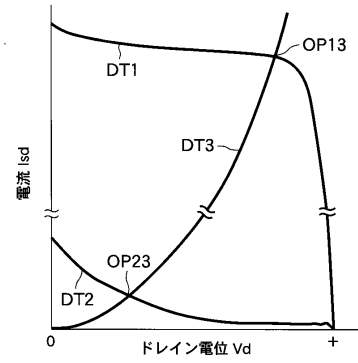
【図2】



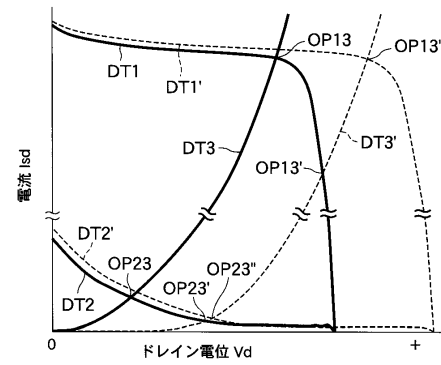
【図 3】



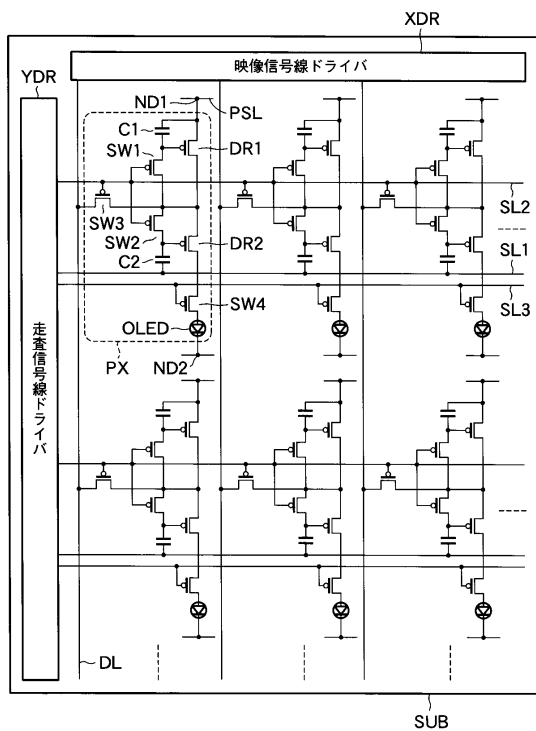
【図 4】



【図 5】



【図 6】



フロントページの続き

(51)Int.Cl. F I
H 0 5 B 33/14 A

(74)代理人 100092196
弁理士 橋本 良郎

(72)発明者 青木 良郎
東京都港区港南四丁目 1 番 8 号 東芝松下ディスプレイテクノロジー株式会社内

審査官 福村 拓

(56)参考文献 特開 2 0 0 3 - 3 3 0 4 1 6 (J P , A)
特開 2 0 0 3 - 2 9 5 8 2 6 (J P , A)
特表 2 0 0 2 - 5 1 7 8 0 6 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 3 0
G 0 9 G 3 / 2 0

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JP4192133B2	公开(公告)日	2008-12-03
申请号	JP2004282677	申请日	2004-09-28
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
当前申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	青木良朗		
发明人	青木 良朗		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/325 G09G2300/0852 G09G2300/0861 G09G2300/0885 G09G2320/0271 G09G2320/066		
FI分类号	G09G3/30.K G09G3/20.622.G G09G3/20.624.B G09G3/20.641.D G09G3/20.642.E H05B33/14.A G09G3/3241 G09G3/3283		
F-TERM分类号	3K007/AB02 3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K007/GA04 3K107/AA01 3K107/BB01 3K107/CC32 3K107/EE03 3K107/HH04 5C080/AA06 5C080/BB05 5C080/DD01 5C080/EE29 5C080/FF07 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB18 5C380/BA01 5C380/BA46 5C380/BB23 5C380/CA13 5C380/CC14 5C380/CC26 5C380/CC29 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC63 5C380/CD014 5C380/CD026 5C380/CF26 5C380/DA02 5C380/DA06		
代理人(译)	河野 哲 中村 诚		
审查员(译)	福村 拓		
其他公开文献	JP2006098551A		
外部链接	Espacenet		

摘要(译)

要解决的问题：在显示元件中使驱动电流流动小。
 解决方案：在每个像素PX的写入时段中，第一操作，其中保持输出控制开关SW4打开，驱动控制元件DR1的第一控制端子，驱动控制元件DR2的第二控制端子，第一输出驱动控制元件DR1的端子和视频信号线DL彼此连接，并且通过设置扫描信号的电位，使流到显示元件OLED的驱动电流等效的电流流到视频信号线DL。在切断第一和第二控制端子的每个连接的状态下，线SL1到第一电位，以及第二操作，其中扫描信号线SL1的电位从第一电位变为第二电位，第一输出端子和视频信号线DL顺序执行。在写入时段之后的有效显示时段中，在输出控制开关SW4闭合并且第一和第二控制端子的每个连接与第一输出的状态下，驱动电流流到显示元件OLED。在切断端子和视频信号线DL时，扫描信号线SL1的电位保持在第二电位。

【图1】

