

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4175569号
(P4175569)

(45) 発行日 平成20年11月5日(2008.11.5)

(24) 登録日 平成20年8月29日(2008.8.29)

(51) Int.Cl.		F I			
G09G	3/30	(2006.01)	G09G	3/30	K
G09G	3/20	(2006.01)	G09G	3/20	624B
H01L	51/50	(2006.01)	G09G	3/20	641D
			H05B	33/14	A

請求項の数 4 (全 9 頁)

<p>(21) 出願番号 特願2004-337195 (P2004-337195)</p> <p>(22) 出願日 平成16年11月22日(2004.11.22)</p> <p>(62) 分割の表示 特願平7-168428の分割 原出願日 平成7年7月4日(1995.7.4)</p> <p>(65) 公開番号 特開2005-92237 (P2005-92237A)</p> <p>(43) 公開日 平成17年4月7日(2005.4.7)</p> <p>審査請求日 平成16年11月22日(2004.11.22)</p> <p>審判番号 不服2006-6408 (P2006-6408/J1)</p> <p>審判請求日 平成18年4月6日(2006.4.6)</p>	<p>(73) 特許権者 000003067 TDK株式会社 東京都中央区日本橋一丁目13番1号</p> <p>(73) 特許権者 000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地</p> <p>(74) 代理人 100103827 弁理士 平岡 憲一</p> <p>(74) 代理人 100083297 弁理士 山谷 皓榮</p> <p>(74) 代理人 100096530 弁理士 今村 辰夫</p> <p>(72) 発明者 高山 一郎 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内</p> <p style="text-align: right;">最終頁に続く</p>
---	--

(54) 【発明の名称】 画像表示装置

(57) 【特許請求の範囲】

【請求項1】

一画素毎に薄膜画素素子と、

前記薄膜画素素子の発光制御用の第一の非線形素子と、

前記第一の非線形素子のゲート電極に接続された信号保持用のキャパシタと、

前記キャパシタへのデータ書き込み用の第二の非線形素子と、

前記第一の非線形素子と任意の固定電位との間に、電流 - 電圧特性が一次比例である負荷素子とを有し、

前記負荷素子は、前記第一の非線形素子の相互コンダクタンスの逆数の10倍以上の抵抗を有するポリシリコンからなる高抵抗薄膜であることを特徴とする画像表示装置。

【請求項2】

一画素毎に薄膜画素素子と、

前記薄膜画素素子の発光制御用の第一の非線形素子と、

前記第一の非線形素子のゲート電極に接続された信号保持用のキャパシタと、

前記キャパシタへのデータ書き込み用の第二の非線形素子と、

前記第一の非線形素子と任意の固定電位との間に、電流 - 電圧特性が一次比例である負荷素子とを有し、

前記負荷素子は、前記第一の非線形素子の相互コンダクタンスの逆数の10倍以上の抵抗を有する第三の非線形素子の出力抵抗であることを特徴とする画像表示装置。

【請求項3】

10

20

前記第一の非線形素子又は前記第二の非線形素子は、薄膜トランジスタであることを特徴とする請求項 1 又は 2 記載の画像表示装置。

【請求項 4】

前記第一の非線形素子は、飽和領域で駆動されていることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の画像表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画像表示装置に係り、例えば有機 EL 画像表示装置のような、エレクトロルミネセンス (EL) 画像表示装置に関する。

10

【背景技術】

【0002】

図 5、図 6 は従来例を示した図である。以下、これらの図面に基づいて従来例を説明する。

【0003】

図 5 (A) は、パネルブロック図であり、ディスプレイ (表示) パネル 10 には、ディスプレイ画面 11、X 軸のシフトレジスタ 12、Y 軸のシフトレジスタ 13 が設けてある。

【0004】

ディスプレイ画面 11 には、EL 電源が供給されており、また X 軸のシフトレジスタ 12 には、シフトレジスタ電源の供給と X 軸同期信号の入力が行われる。さらに Y 軸のシフトレジスタ 13 には、シフトレジスタ電源の供給と Y 軸同期信号の入力が行われる。また、X 軸のシフトレジスタ 12 の出力部に画像データ信号の出力が設けてある。

20

【0005】

図 5 (B) は、図 5 (A) の A 部の拡大説明図であり、ディスプレイ画面 11 の一画素 (点線の四角で示す) は、トランジスタが 2 個、コンデンサが 1 個、EL 素子が 1 個より構成されている。

【0006】

この 1 画素の発光動作は、例えば、Y 軸のシフトレジスタ 13 で選択信号 Y1 の出力があり、また X 軸のシフトレジスタ 12 で選択信号 X1 の出力があった場合、トランジスタ Ty11 とトランジスタ Tx1 がオンとなる。

30

【0007】

このため、画像データ (映像信号) Di は、非線形素子 (BIAS TFT) M11 である薄膜トランジスタのゲートに入力される。これにより、このゲート電圧に応じた電流が EL 電源から非線形素子 M11 のドレイン、ソース間に流れ、EL 素子 EL11 が発光する。

【0008】

次のタイミングでは、X 軸のシフトレジスタ 12 は、選択信号 X1 の出力をオフとし、選択信号 X2 を出力することになるが、非線形素子 M11 のゲート電圧は、コンデンサ C11 で保持されるため、次にこの画素が選択されるまで EL 素子 EL11 の前記発光は、持続することになる。

40

【0009】

図 6 に一画素を抜き出して示す如く、一画素毎の EL 素子を発光制御用の非線形素子 (BIAS TFT) M に直列接続し、この非線形素子 (BIAS TFT) M のゲート電極に信号保持用のキャパシタ C を接続する。

【0010】

そしてこの信号保持用のキャパシタ C にデータ書き込み用の非線形素子 (SELECT-SW 用 TFT) Ty を接続し、このデータ書き込み用の非線形素子 (SELECT-SW 用 TFT) Ty に Y 座標選択信号 Yn と X 座標選択信号により選択された画像データ (映像信号) Di を印加する。

50

【 0 0 1 1 】

この画像データ D_i により前記信号保持用のキャパシタ C に電荷を蓄積し、この信号保持用のキャパシタ C に蓄積された電圧により前記発光制御用の非線形素子 ($B I A S T F T$) M に流れる電流を制御することにより、 $E L$ 素子の発光強度が決定される。(“ $A 6 \times 6 - in 20 - lpi Electroluminescent Display Panel$ ” T.P.BRODY, FANG CHEN LUO, et.al. IEEE Trans. Electron Devices, Vol. ED-22, No. 9, Sept. 1975、p739 ~ p749 参照)

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 1 2 】

ところが、発光制御用の非線形素子 ($B I A S T F T$) M に流れる電流と、キャパシタ C に蓄積された電圧との特性関係は必ずしも一次比例の関係ではない。このため入力された映像信号の大きさと $E L$ 素子の発光輝度との関係が直線的でないため、入力映像信号に忠実に $E L$ 素子の発光輝度が得られないため、映像信号の大きさに忠実な発光輝度の再現が難しかった。

10

【 0 0 1 3 】

例えばこの非線形素子 M が電界効果トランジスタ ($T F T$) の場合、これに流れる電流は飽和領域で次式のものとなる。

【 0 0 1 4 】

$$I d s = (1 / 2) (W / L) \mu_0 C_0 (V g s - V t h) ^ 2$$

$I d s$ $T F T$ に流れる電流

$V g s$ ゲートソース間電圧 (キャパシタに蓄積された電圧)

C_0 単位面積当りのゲート容量

μ_0 移動度

W $T F T$ のゲートのチャネル幅

L $T F T$ のゲートのチャネル長

$V t h$ $T F T$ の閾値電圧

前記式より明らかな如く、 $I d s$ と $V g s$ とは比例関係でなく、このため映像信号に比例した発光輝度を得ることができなかつた。

20

【 0 0 1 5 】

本発明は、前記従来の課題を解決し、入力電圧と非線形素子に流れる電流を一次比例関係にすることで、入力映像信号に忠実な薄膜画素素子の輝度を得ることを目的とする。

30

【 課題を解決するための手段 】

【 0 0 1 6 】

この目的を達成するため、本発明では図 1 (A) に示す如く、この発光制御用の非線形素子 ($B I A S T F T$) M と任意の固定電位 $C O M$ との間に、電流 - 電圧特性が一次比例特性を有する負荷素子として抵抗 $R s$ を接続する。

【 0 0 1 7 】

(作用)

前記一次比例特性を有する負荷素子としてソース抵抗 $R s$ を接続したので、下記の如く負帰還が非線形素子 ($B I A S T F T$) M に係り、非線形素子 M に流れる電流 $I d s$ とキャパシタ C に蓄積された電圧 $V g$ との間に一次比例特性の関係が得られる。

40

【 0 0 1 8 】

即ち、図 1 (A) において、非線形素子 M のゲート電圧 $V g$ が変化すると非線形素子 M に流れる電流 $I d s$ が変化し、 $I d s \cdot R s$ つまり、非線形素子 M のソース電極と固定電位である共通電位 $C O M$ 間の電位 $V s$ が変化する。これにもとづき $V g - V s$ つまり $V g s$ が変化し、非線形素子 M に流れる電流が変化する。これにより負帰還が係りゲート電圧 $V g$ が大きくなったとき、 $I d s$ は増加するものの、ソースフォロア回路を構成しているため負帰還が係り $V g - I d s$ 特性は一次比例特性が得られる。

【 発明の効果 】

【 0 0 1 9 】

50

以上のように、本発明によれば次のような効果がある。

【0020】

(1) 入力電圧と第一の非線形素子に流れる電流を一次比例関係に構成することができるので、入力映像信号に忠実な薄膜画素素子の輝度を得ることができる。

【0021】

(2) 高抵抗導線を使用して前記一次比例関係を得ることができるので、特別な抵抗を必要とせず、入力映像信号に忠実な薄膜画素素子の輝度を得ることができる。

【0022】

(3) 第一の非線形素子の寄生抵抗を用いて前記一次比例関係を得ることができるので、これまた特別な抵抗を必要とせず、入力映像信号に忠実な薄膜画素素子の輝度を得ることができる。

10

【0023】

(4) 薄膜画素素子の寄生抵抗を用いたので、特別な抵抗を必要とせず、入力映像信号に忠実な薄膜画素素子の輝度を得ることができる。

【0024】

(5) 薄膜画素素子に抵抗薄膜を形成したので、非常に簡単な構成で、入力映像信号に忠実な薄膜画素素子の輝度を得ることができる。

【0025】

(6) 負荷素子として第三の非線形素子の出力抵抗を用いたので出力抵抗の制御が容易に行うことができ、かつ、大きな抵抗値を小さな面積で作ることができる。

20

【発明を実施するための最良の形態】

【0026】

本発明の一実施例を図1に基づき説明する。

【0027】

本発明では、図1(A)に示す如く、EL素子に直列接続された発光制御用の非線形素子(BIAS TFT)Mと共通電位COMとの間に、電流-電圧特性が一次比例特性を有する負荷素子として抵抗Rsを接続する。

【0028】

これにより、非線形素子Mのゲート電圧Vg、つまりコンデンサCの充電電圧が大きくなると、図1(B)に示す如く、この非線形素子Mに流れる電流Idsが増加する。この電流Idsが増大することにより抵抗Rsにおける電圧降下が大きくなり、ソース電位Vsが上昇する。

30

【0029】

これにより下記の式で得られるソースゲート間電圧Vgs、 $Vgs = Vg - Vs$ も、ソース電位Vsが上昇するため小さくなり、これによりBIAS TFTに流れる電流Idsが減少する。このようにして負帰還がBIAS TFTにかかるので、Ids対Vg特性は一次比例の関係を持つ範囲を得ることができる。

【0030】

この場合、前記発光制御用の非線形素子(BIAS TFT)Mのソース電極と任意の共通電位COMの間に、発光制御用の非線形素子の相互コンダクタンスの逆数よりも十分に大きな抵抗〔10倍以上～1T(テラ=10¹²)以下〕を配したことにより負帰還が係り、発光制御用の非線形素子Mに流れる電流IdsとキャパシタCに蓄積された電圧との間に一次比例の関係を持つ範囲を作ることができる。

40

【0031】

例えばこの非線形素子Mが電界効果トランジスタ(TFT:薄膜トランジスタ)の場合、ソース電位VsとこのTFTに流れる電流Idsは、飽和領域で次式の通りとなる。

【0032】

$$Vs = Rs Ids \quad \dots \dots \dots (1)$$

$$Ids = (1/2)(W/L)\mu_0 C_0 (Vg - Vs - Vth)^2 \quad \dots (2)$$

Ids TFTに流れる電流

50

V_g	キャパシタCに蓄積された電圧
V_s	ソース電位
V_{th}	TFTの閾値電圧
R_s	電流 - 電圧特性が一次比例特性を有する抵抗
C_0	単位面積当りのゲート容量
μ_0	移動度
W	TFTのゲートのチャネル幅
L	TFTのゲートのチャネル長

この(1)、(2)の両式を微分すると、

$$V_s = R_s I_{ds} \quad \dots \dots \dots (3) \quad 10$$

$$I_{ds} = g_m (V_g - V_s) \quad \dots \dots \dots (4)$$

ここで、 g_m はTFTの相互コンダクタンス〔 $g_m = (W/L) \mu_0 C_0 (V_g - V_s - V_{th})$ 〕である。

【0033】

(3)式より

$$I_{ds} = V_s / R_s \quad \dots \dots \dots (5)$$

(5)式を(4)式に代入し、

$$V_s / R_s = g_m (V_g - V_s)$$

これを变形し、

$$(1 + g_m R_s) V_s = g_m R_s V_g \quad 20$$

これにより、

$$V_s = (g_m R_s) / (1 + g_m R_s) \cdot V_g$$

ここで、抵抗 R_s が発光制御用の非線形素子(TFT)の相互コンダクタンス g_m の逆数より十分大きな場合、即ち、 $g_m R_s \gg 1$ のとき、

$$V_s \approx V_g$$

これにより(5)式から、

$$I_{ds} = (1 / R_s) V_s = (1 / R_s) V_g \quad \dots \dots \dots (6)$$

この(6)式の関係により、EL素子に流れる電流 I_{ds} とゲート電圧 V_g とが一次比例の関係となっていることがわかる。

【0034】

ところで、図1における抵抗 R_s は個別の抵抗体を使用せずに、ソース電極を共通電位COMに接続する導線を、例えばポリシリコンの如き高抵抗な薄膜により作成することもできる。この場合の抵抗値の制御は、そのパターン寸法(例えば、幅、長さ、厚さ等)を調節することにより行うことができる。

【0035】

また前記ソース電極に付加する抵抗は、非線形素子(BIAS-TFT)に必ず存在する寄生抵抗、例えばソース抵抗、オフセット領域(ドーピングのない領域)等を使用して作ってもよい。このときの抵抗値の制御は、ドーピング量、オフセット距離、電極のパターン形状等により行う。図2(A)に示す抵抗 R_s は、この寄生抵抗を等価的に示したものである。

【0036】

図2(A)において、非線形素子(BIAS-TFT)MとしてPチャネル電界効果トランジスタを使用し、この非線形素子Mのドレイン電極と任意の共通電位COMの間に、EL素子が設けてある。また、ゲート電極と任意の固定電位VDとの間に信号保持用のキャパシタCが設けてある。

【0037】

この場合も寄生抵抗である抵抗 R_s を発光制御用の非線形素子Mの相互コンダクタンスの逆数よりも十分に大きな抵抗(10倍以上~1T以下)とすることにより負帰還が係り、非線形素子Mに流れる電流 I_{ds} とキャパシタCに蓄積された電圧との間に一次比例の関係を持つ範囲を作ることができる。

【 0 0 3 8 】

図 2 (B) は非線形素子 M の寄生抵抗の一例を示しており、上からドレイン電極 D、ドレインパターン、ゲート電極 G、ソースパターン、ソース電極 S を示している。このソースパターンの一部にオフセット領域 O P を設け、抵抗 R s を作ることができる。勿論このソースパターンの幅、長さ、厚さ等を調節して抵抗 R s を作るようにしてもよい。

【 0 0 3 9 】

さらに前記ソース電極に付加する抵抗は、薄膜画素素子に必ず発生する寄生抵抗を用いてもよく、図 3 (A) に示す抵抗 R s は、この寄生抵抗を等価的に示したものである。

【 0 0 4 0 】

図 3 (A) において、非線形素子 (B I A S T F T) M として P チャネル電界効果トランジスタを使用し、この非線形素子 M のゲート電極と固定電位 V D との間に信号保持用のキャパシタ C が設けてある。また、ソース電極と固定電位 V D との間に薄膜画素素子である E L 素子とその寄生抵抗 R s が設けてある。

10

【 0 0 4 1 】

この場合も寄生抵抗である抵抗 R s を発光制御用の非線形素子 M の相互コンダクタンスの逆数よりも十分に大きな抵抗 (1 0 倍以上 ~ 1 T 以下) とすることにより負帰還が係り、非線形素子 M に流れる電流 I d s とキャパシタ C に蓄積された電圧との間に一次比例の関係を持つ範囲を作ることができる。

【 0 0 4 2 】

図 3 (B) は薄膜画素素子の一例 (有機 E L 発光素子) を示す図であり、寄生抵抗としてこの図に示す如く、抵抗層 1 0 2 を使用してもよい。この場合もその等価回路は図 3 (A) に示す通りである。なお図 3 (B) に示す有機 E L 発光素子において、1 0 1 は M g A g 等の陰極、1 0 3 は電子注入輸送層、1 0 4 は発光層、1 0 5 は正孔注入輸送層、1 0 6 は透明電極である。

20

【 0 0 4 3 】

この寄生抵抗の値を制御するには、抵抗層 1 0 2 としてポリシリコン薄膜、アモルファスシリコン薄膜、高抵抗有機薄膜等の膜厚で制御を行う。勿論薄膜画素素子の電流 - 電圧特性が一次比例する場合には、これを用いてもよい。

【 0 0 4 4 】

また、前記ソース電極に付加する抵抗は非線形素子の出力抵抗を用いてもよい。図 4 (A) は非線形素子である負荷 T F T (L O A D T F T) の出力抵抗を用いたときを示したものである。L O A D T F T のゲート電極には抵抗 R 1、R 2 で分圧された一定の電位が加えられている。

30

【 0 0 4 5 】

図 4 (B) はこの時の L O A D T F T の $V_{DS} - I_{ds}$ 特性 (ドレインソース間の電圧電流特性) を示し、 V_{DS} に一定以上の値が加わるとき (飽和領域)、 $V_{DS} - I_{ds}$ の関係は一次比例となり L O A D T F T が抵抗と見なせることを表している。なお、ここでの V_{DS} は L O A D T F T のドレインソース電極間にかかる電圧を表している。この出力抵抗値は L O A D T F T に印加される電圧、すなわち抵抗 R 1、R 2 の抵抗比、及び L O A D T F T のチャンネル長で制御を行うものである。また L O A D T F T のゲート電極に加える一定の電位は抵抗 R 1、R 2 を使用しないで外部から一定の電位を与える等の他の手段を用いることもできる。

40

【 0 0 4 6 】

このように、L O A D T F T のゲート電極に加える電位を制御することにより出力抵抗値の制御を容易に行うことができ、しかも、大きな抵抗値を小さな面積で作ることができる。

【 0 0 4 7 】

なお、前記実施例では非線形素子として薄膜で製造した T F T を用いた場合の説明をしたが、これに限定されるものではなく、他の製法で製造した非線形素子を用いることもできる。

50

【図面の簡単な説明】

【0048】

【図1】本発明の原理説明図である。

【図2】実施例における非線形素子の寄生抵抗を用いる場合の説明図である。

【図3】実施例における薄膜画素素子の寄生抵抗を用いる場合の説明図である。

【図4】実施例における非線形素子の出力抵抗を用いる場合の説明図である。

【図5】従来例の説明図(1)である。

【図6】従来例の説明図(2)である。

【符号の説明】

【0049】

- EL 薄膜画素素子
- M 非線形素子
- C キャパシタ
- R_s 負荷素子
- T_y 非線形素子
- Y_n Y座標選択信号
- D_i 画像データ
- COM 共通電位(固定電位)
- V_D 固定電位
- V_S ソース電位
- V_g ゲート電圧
- V_{gs} ソースゲート間電圧
- I_{ds} 非線形素子Mに流れる電流

10

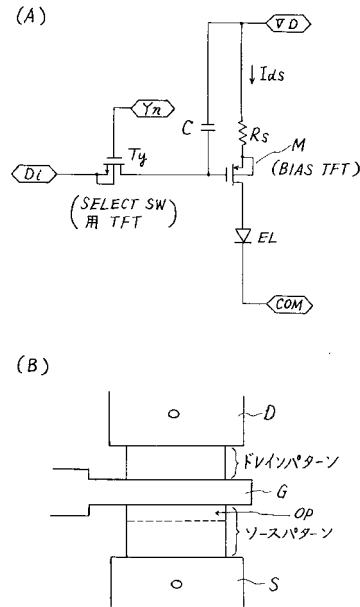
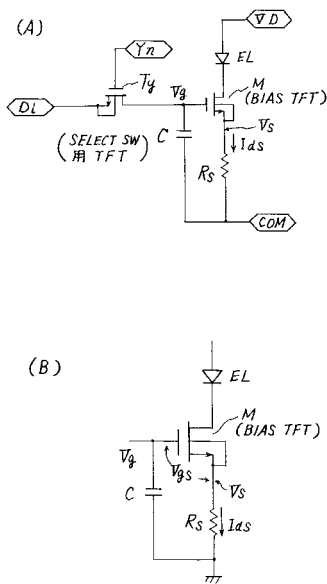
20

【図1】

【図2】

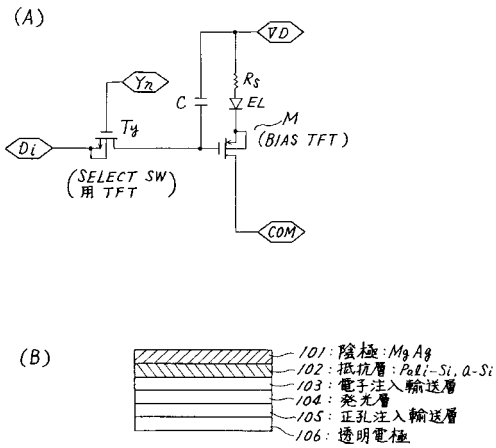
本発明の原理説明図

非線形素子の寄生抵抗を用いる場合の説明図



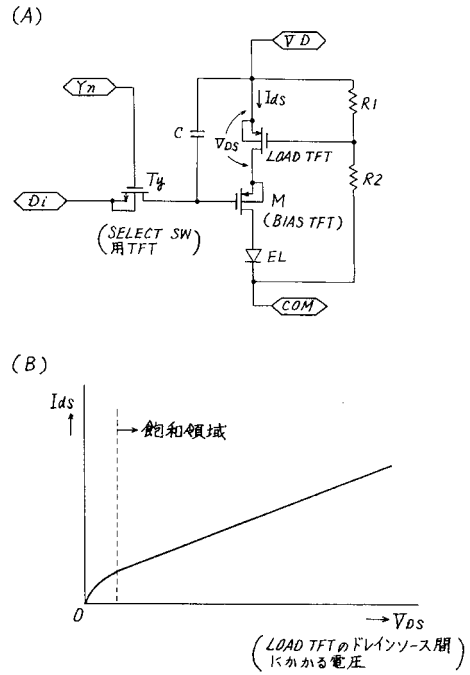
【図3】

薄膜画素素子の寄生抵抗を用いる場合の説明図



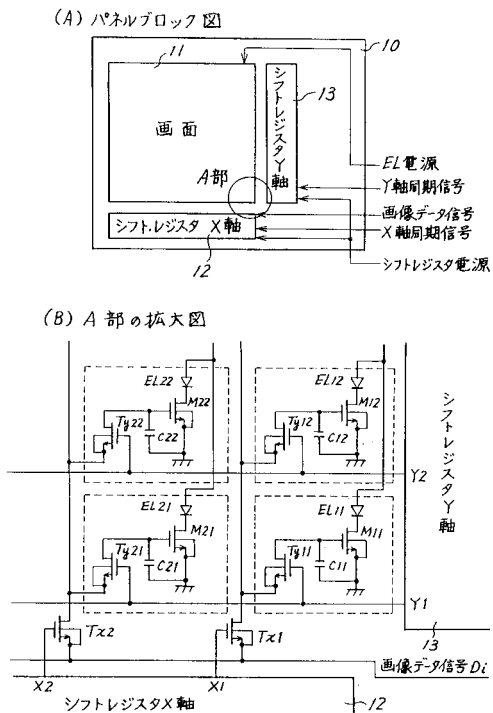
【図4】

非線形素子の出力抵抗を用いる場合の説明図



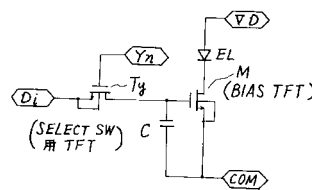
【図5】

従来例の説明図(1)



【図6】

従来例の説明図(2)



フロントページの続き

(72)発明者 荒井 三千男
東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

合議体

審判長 杉野 裕幸

審判官 山下 雅人

審判官 下中 義之

(56)参考文献 特開平5 - 74569 (JP, A)
特開平4 - 161984 (JP, A)
特公平1 - 51871 (JP, B2)
特開昭54 - 32095 (JP, A)
特開昭52 - 113670 (JP, A)
特開昭59 - 142597 (JP, A)
特開昭62 - 275229 (JP, A)
特開昭54 - 130899 (JP, A)
特開平2 - 287224 (JP, A)
特開昭62 - 228172 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G09G3/00-3/38

H05B33/00-33/28

专利名称(译)	画像表示装置		
公开(公告)号	JP4175569B2	公开(公告)日	2008-11-05
申请号	JP2004337195	申请日	2004-11-22
[标]申请(专利权)人(译)	东京电气化学工业株式会社 株式会社半导体能源研究所		
申请(专利权)人(译)	TDK株式会社 半导体能源研究所有限公司		
当前申请(专利权)人(译)	TDK株式会社 半导体能源研究所有限公司		
[标]发明人	高山 一郎 荒井 三千男		
发明人	高山 一郎 荒井 三千男		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 H05B33/14		
FI分类号	G09G3/30.K G09G3/20.624.B G09G3/20.641.D H05B33/14.A G09G3/3233		
F-TERM分类号	3K007/AB02 3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K007/GA04 3K107/AA01 3K107/BB01 3K107/CC02 3K107/CC31 3K107/EE04 3K107/FF04 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD01 5C080/EE29 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ05 5C080/JJ06 5C380/AA01 5C380/AB06 5C380/AB22 5C380/AB23 5C380/AB25 5C380/CC02 5C380/CC26 5C380/CC30 5C380/CC33 5C380/CC68 5C380/CD012 5C380/CD013 5C380/CF41 5C380/DA02 5C380/DA06 5C380/HA02 5C380/HA07		
助理审查员(译)	山下正人		
其他公开文献	JP2005092237A		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过将输入电压和流过非线性元件的电流设置为线性比例关系，获得忠实于输入视频信号的薄膜像素元件的亮度 薄膜像素元件EL，用于薄膜像素元件EL的发光控制的非线性元件M，连接到非线性元件M的栅电极的信号保持电容器C，用于将数据写入C的非线性元件Ty和在用于发光控制的非线性元件M和任意固定电位之间具有主要比例电流-电压特性的负载元件Rs。点域1

非線形素子の寄生抵抗を用いる場合の説明図

