

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-191921

(P2016-191921A)

(43) 公開日 平成28年11月10日(2016.11.10)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
H01L 21/336 (2006.01)	H01L 29/78 612Z	5C380
H01L 29/786 (2006.01)	H05B 33/14 A	5F048
H01L 51/50 (2006.01)	H01L 27/08 321A	5F110
H01L 21/8238 (2006.01)		

審査請求 有 請求項の数 3 O L (全 54 頁) 最終頁に続く

(21) 出願番号	特願2016-83375 (P2016-83375)	(71) 出願人	000153878
(22) 出願日	平成28年4月19日 (2016.4.19)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2014-98332 (P2014-98332)		神奈川県厚木市長谷398番地
の分割		(72) 発明者	小山 潤
原出願日	平成12年10月12日 (2000.10.12)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願平11-299210		半導体エネルギー研究所内
(32) 優先日	平成11年10月21日 (1999.10.21)	(72) 発明者	犬飼 和隆
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願平11-336995		半導体エネルギー研究所内
(32) 優先日	平成11年11月29日 (1999.11.29)	(72) 発明者	山崎 舜平
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
(特許庁注：以下のものは登録商標)		(72) 発明者	秋葉 麻衣
1. レーザーディスク			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内

最終頁に続く

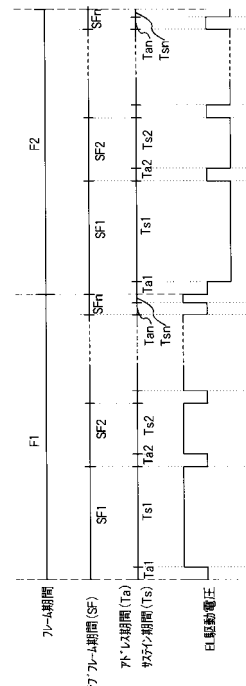
(54) 【発明の名称】 半導体装置、表示モジュール及び電子機器

(57) 【要約】

【課題】 EL素子の寿命を延ばすことが可能なEL表示装置。

【解決手段】 第1のトランジスタ、第2のトランジスタ、及び有機EL素子をそれぞれ含む複数の画素を有する表示装置であって、表示装置は有機EL素子の発光する時間を制御することで階調表示を行い、有機EL素子は画素電極と対向電極とをそれぞれ有しており、有機EL素子には、逆の極性のEL駆動電圧がかかる期間がある。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

第 1 乃至第 4 のチャネル形成領域と、第 1 乃至第 10 の導電層と、を有し、
前記第 1 の導電層は、第 1 のトランジスタのゲートとなる領域を有し、
前記第 2 の導電層は、第 2 のトランジスタのゲートとなる領域を有し、
前記第 1 の導電層は、第 3 のトランジスタのゲートとなる領域を有し、
前記第 3 の導電層は、第 4 のトランジスタのゲートとなる領域を有し、
前記第 1 のトランジスタは、前記第 1 のチャネル形成領域を有し、
前記第 2 のトランジスタは、前記第 2 のチャネル形成領域を有し、
前記第 3 のトランジスタは、前記第 3 のチャネル形成領域を有し、
前記第 4 のトランジスタは、前記第 4 のチャネル形成領域を有し、
前記第 4 の導電層は、前記第 1 のチャネル形成領域を介して、前記第 5 の導電層と電氣的に接続され、
前記第 6 の導電層は、前記第 2 のチャネル形成領域を介して、前記第 7 の導電層と電氣的に接続され、
前記第 8 の導電層は、前記第 3 のチャネル形成領域を介して、前記第 9 の導電層と電氣的に接続され、
前記第 6 の導電層は、前記第 4 のチャネル形成領域を介して、前記第 10 の導電層と電氣的に接続され、
前記第 5 の導電層は、前記第 2 の導電層と電氣的に接続され、
前記第 9 の導電層は、前記第 3 の導電層と電氣的に接続されることを特徴とする半導体装置。

【請求項 2】

請求項 1 乃至請求項 3 のいずれか一項に記載の半導体装置と、
F P C と、
を有する表示モジュール。

【請求項 3】

請求項 4 に記載の表示モジュールと、
筐体、カメラ、操作スイッチ、又はバッテリーと、を有する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本願発明は E L（エレクトロルミネッセンス）素子を基板上に作り込んで形成された E L ディスプレイ（表示装置）に関する。特に半導体素子（半導体薄膜を用いた素子）を用いた E L ディスプレイに関する。また E L ディスプレイを表示部に用いた電子機器に関する。

【背景技術】

【0002】

近年、基板上に T F T を形成する技術が大幅に進歩し、アクティブマトリクス型表示装置への応用開発が進められている。特に、ポリシリコン膜を用いた T F T は、従来のアモルファスシリコン膜を用いた T F T よりも電界効果移動度（モビリティともいう）が高いため、高速動作が可能である。そのため、従来、基板外の駆動回路で行っていた画素の制御を、画素と同一の基板上に形成した駆動回路で行うことが可能となっている。

【0003】

このようなアクティブマトリクス型表示装置は、同一基板上に様々な回路や素子を作り込むことで製造コストの低減、表示装置の小型化、歩留まりの上昇、スループットの低減など、様々な利点を得られる。

【0004】

そしてさらに、自発光型素子として E L 素子を有したアクティブマトリクス型 E L ディスプレイの研究が活発化している。E L ディスプレイは有機 E L ディスプレイ（O E L D

：Organic EL Display) 又は有機ライトエミッティングダイオード (O L E D : Organic Light Emitting Diode) とも呼ばれている。

【0005】

E L ディスプレイは、液晶表示装置と異なり自発光型である。E L 素子是一对の電極間に E L 層が挟まれた構造となっているが、E L 層は通常、積層構造となっている。代表的には、イーストマン・コダック・カンパニーのTangらが提案した「正孔輸送層／発光層／電子輸送層」という積層構造が挙げられる。この構造は非常に発光効率が高く、現在、研究開発が進められている E L ディスプレイは殆どこの構造を採用している。

【0006】

また他にも、画素電極上に正孔注入層／正孔輸送層／発光層／電子輸送層、または正孔注入層／正孔輸送層／発光層／電子輸送層／電子注入層の順に積層する構造でも良い。発光層に対して蛍光性色素等をドーピングしても良い。

【0007】

本明細書において一对の電極間に設けられる全ての層を総称して E L 層と呼ぶ。よって上述した正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等は、全て E L 層に含まれる。

【0008】

そして、上記構造でなる E L 層に一对の電極から所定の電圧をかけ、それにより発光層においてキャリアの再結合が起こって発光する。なお本明細書において E L 素子が発光することを、E L 素子が駆動すると呼ぶ。また、本明細書中では、陽極、E L 層及び陰極で形成される発光素子を E L 素子と呼ぶ。

【発明の概要】

【発明が解決しようとする課題】

【0009】

E L ディスプレイを実用化する上で問題となっているのが、E L 層の劣化による E L 素子の寿命の短さであった。E L 層の寿命の長さを左右する要因として、E L ディスプレイを駆動するデバイスの構造、E L 層を構成する有機 E L 材料の特性、電極の材料、作成工程における条件等が挙げられる。

【0010】

そして上述した要因の他に、E L 層の寿命の長さを左右する要因として最近注目されているのが、E L ディスプレイの駆動方法である。

【0011】

E L 素子を発光させるために、E L 層を挟んだ陽極と陰極の2つの電極に、直流の電流をかける方法が、従来一般的に用いられてきた。従来のデジタル方式の時分割階調表示について、図16を用いて説明する。ここではnビットデジタル駆動方式により2ⁿ階調のフルカラー表示を行う場合について説明する。

【0012】

図15にE L ディスプレイの画素部の構造を示す。ゲート信号が入力されるゲート信号線 (G 1 ~ G n) は、各画素が有するスイッチング用 T F T 1 5 0 1 のゲート電極に接続されている。また各画素の有するスイッチング用 T F T 1 5 0 1 のソース領域とドレイン領域は、一方がデジタルデータ信号を入力するソース信号線 (データ信号線ともいう) (S 1 ~ S n) に、もう一方が各画素が有する E L 駆動用 T F T 1 5 0 4 のゲート電極及び各画素が有するコンデンサ 1 5 0 8 にそれぞれ接続されている。

【0013】

各画素が有する E L 駆動用 T F T 1 5 0 4 のソース領域とドレイン領域は、それぞれ一方は電源供給線 (V 1 ~ V n) に、もう一方は E L 素子 1 5 0 6 に接続されている。電源供給線 (V 1 ~ V n) の電位を電源電位と呼ぶ。また電源供給線 (V 1 ~ V n) は、各画素が有するコンデンサ 1 5 0 8 に接続されている。なおデジタルデータ信号とは、デジタルのビデオ信号を意味する。

【0014】

10

20

30

40

50

E L 素子 1 5 0 6 は陽極と陰極と、陽極と陰極との間に設けられた E L 層とからなる。陽極が E L 駆動用 T F T 1 5 0 4 のソース領域またはドレイン領域と接続している場合、言い換えると陽極が画素電極の場合、対向電極である陰極は一定の電位に保たれる。逆に陰極が E L 駆動用 T F T 1 5 0 4 のソース領域またはドレイン領域と接続している場合、言い換えると陰極が画素電極の場合、対向電極である陽極は一定の電位に保たれる。

【0015】

また本明細書において、対向電極の電位を定常電位と呼ぶ。なお対向電極に定常電位を与える電源を定常電源と呼ぶ。陽極の電位は陰極にかかる電位よりも高いことが望ましい。そのため定常電位は、対向電極が陽極か陰極かによって変わってくる。例えば対向電極が陽極の場合、定常電位は電源電位よりも高くすることが望ましい。逆に対向電極が陰極の場合、定常電位は電源電位よりも低くすることが望ましい。

10

【0016】

対向電極の定常電位と画素電極の電源電位との電位差が E L 駆動電圧であり、この E L 駆動電圧が E L 層にかかる。

【0017】

図 1 6 に従来の E L ディスプレイのデジタル方式の直流駆動におけるタイミングチャートを示す。まず、1 フレーム期間を n 個のサブフレーム期間 (S F 1 ~ S F n) に分割する。なお、画素部の全ての画素が 1 つの画像を表示する期間を 1 フレーム期間 (F) と呼ぶ。通常の E L ディスプレイでは発振周波数は 6 0 H z 以上、即ち 1 秒間に 6 0 以上のフレーム期間が設けられており、1 秒間に 6 0 以上の画像が表示されている。1 秒間に表示される画像の数が 6 0 より少なくなると、視覚的にフリッカ等の画像のちらつきが目立ち始める。なお、1 フレーム期間をさらに複数に分割した期間をサブフレーム期間と呼ぶ。階調数が多くなるにつれて 1 フレーム期間の分割数も増え、駆動回路を高い周波数で駆動しなければならない。

20

【0018】

1 つのサブフレーム期間はアドレス期間 (T a) とサステイン期間 (T s) とに分けられる。アドレス期間とは、1 サブフレーム期間中、全画素にデータを入力するのに要する時間であり、サステイン期間 (点灯期間とも呼ぶ) とは、E L 素子を発光させる期間を示している。

【0019】

n 個のサブフレーム期間 (S F 1 ~ S F n) がそれぞれ有するアドレス期間 (T a 1 ~ T a n) の長さは全て同じである。S F 1 ~ S F n がそれぞれ有するサステイン期間 (T s) をそれぞれ T s 1 ~ T s n とする。

30

【0020】

サステイン期間の長さは、T s 1 : T s 2 : T s 3 : ... : T s ($n - 1$) : T s n = 2^0 : 2^{-1} : 2^{-2} : ... : $2^{-(n-2)}$: $2^{-(n-1)}$ となるように設定する。但し、S F 1 ~ S F n を出現させる順序はどのようにしても良い。このサステイン期間の組み合わせで 2^n 階調のうち所望の階調表示を行うことができる。

【0021】

まずアドレス期間において、電源供給線 (V 1 ~ V n) は定常電位と同じ高さの電源電位に保たれている。本明細書において、デジタル駆動のアドレス期間における電源電位をオフの電源電位と呼ぶ。なおオフの電源電位の高さは、E L 素子 1 5 0 6 が発光しない範囲で、定常電位の高さと同じであれば良い。なおこのときの E L 駆動電圧をオフの E L 駆動電圧と呼ぶ。理想的にはオフの E L 駆動電圧は 0 V であることが望ましいが、E L 素子 1 5 0 6 が発光しない程度の大きさであれば良い。

40

【0022】

そしてゲート信号線 G 1 にゲート信号が入力され、ゲート信号線 G 1 にゲート電極が接続されているスイッチング用 T F T 1 5 0 1 が、全て O N の状態になる。

【0023】

そしてゲート信号線 G 1 にゲート電極が接続されているスイッチング用 T F T 1 5 0 1

50

がONの状態、ソース信号線（S1～Sn）に順にデジタルデータ信号が入力される。デジタルデータ信号は「0」または「1」の情報を持っており、「0」と「1」のデジタルデータ信号がそれぞれHiまたはLoのいずれかの電圧を有する信号を意味している。そしてソース信号線（S1～Sn）に入力されたデジタルデータ信号は、オン（ON）の状態のスイッチング用TFT1501を介してEL駆動用TFT1504のゲート電極に入力される。またコンデンサ1508にもデジタルデータ信号が入力され保持される。

【0024】

次にゲート信号線G2にゲート信号が入力され、ゲート信号線G2にゲート電極が接続されているスイッチング用TFT1501全てがONの状態になる。そしてゲート信号線G2にゲート電極が接続されているスイッチング用TFT1501をONにした状態で、ソース信号線（S1～Sn）に順にデジタルデータ信号が入力される。ソース信号線（S1～Sn）に入力されたデジタルデータ信号は、スイッチング用TFT1501を介してEL駆動用TFT1504のゲート電極に入力される。またコンデンサ1508にもデジタルデータ信号が入力され保持される。

【0025】

上述した動作を繰り返し、全ての画素にデジタルデータ信号が入力される。全ての画素にデジタルデータ信号が入力されるまでの期間がアドレス期間である。

【0026】

アドレス期間が終了と同時にサステイン期間となる。サステイン期間になると、電源供給線（V1～Vn）の電位は、オフの電源電位からオンの電源電位に変わる。本明細書において、デジタル駆動の場合、サステイン期間における電源電位をオンの電源電位と呼ぶ。オンの電源電位は、EL素子が発光する程度に定常電位との間に電位差を有していればよい。なおこの電位差をオンのEL駆動電圧と呼ぶ。なおオフの電源電位とオンの電源電位とを総称して電源電位と呼ぶ。またオンのEL駆動電圧とオフのEL駆動電圧を総称してEL駆動電圧と呼ぶ。

【0027】

サステイン期間において、スイッチング用TFT1501はオフ状態となる。そしてコンデンサ1508において保持されたデジタルデータ信号が、EL駆動用TFT1504のゲート電極に入力される。

【0028】

デジタルデータ信号が「0」の情報を持っていた場合、EL駆動用TFT1504はオフ状態となり、EL素子1506の画素電極はオフの電源電位に保たれたままである。その結果、「0」の情報を持するデジタルデータ信号が印加された画素が有するEL素子1506は発光しない。

【0029】

逆に、「1」の情報を持していた場合、EL駆動用TFT1504はオン状態となり、EL素子1506の画素電極はオンの電源電位になる。その結果、「1」の情報を持するデジタルデータ信号が印加された画素が有するEL素子1506は発光する。

【0030】

全てのスイッチング用TFT1501がオフ状態である期間がサステイン期間である。

【0031】

EL素子は、Ts1～Tsnまでのいずれかの期間において発光する。Tsnの期間において、所定のEL素子を発光（所定の画素を点灯）させたとする。

【0032】

次に、再びアドレス期間が出現し、全画素にデジタルデータ信号を入力した後、サステイン期間が出現する。このときはTs1～Ts（n-1）のいずれかのサステイン期間が出現する。ここではTs（n-1）が出現し、Ts（n-1）の期間において、所定の画素を点灯させたとする。

【0033】

以下、残りのn-2個のサブフレームにおいても同様の動作を繰り返し、順次Ts（n

10

20

30

40

50

－ 2)、 $T_s(n-3) \cdots T_s 1$ とサステイン期間が出現し、それぞれのサブフレームにおいて所定の画素を点灯させたとする。

【0034】

n 個のサブフレーム期間が出現したら1フレーム期間を終えたことになる。このとき、1フレーム期間内に画素が点灯していたサステイン期間、言い換えると「1」の情報を有するデジタルデータ信号が画素に印加されたアドレス期間の直後のサステイン期間の長さを積算することによって、その画素の階調がきまる。

例えば、 $n=8$ のとき、全部のサステイン期間で画素が発光した場合の輝度を100%とすると、 $T_s 1$ と $T_s 2$ において画素が発光した場合には75%の輝度が表現でき、 $T_s 3$ と $T_s 5$ と $T_s 8$ を選択した場合には16%の輝度が表現できる。

10

【0035】

このように従来ELディスプレイは直流駆動されており、EL層に加えられるEL駆動電圧は常に同じ極性を有していた。

【0036】

しかし「TSUTSUI T, JPN J Appl Phys Part 2 VOL. 37, NO. 11B PAGE. L1406-L1408 1998」において紹介されているように、EL素子に一定期間ごとに逆の極性のEL駆動電圧をかけることによって、EL素子の電流－電圧特性の劣化が改善されることが見いだされている。

【0037】

しかし、EL素子に一定期間ごとに逆の極性のEL駆動電圧をかけることによって、EL素子の電流－電圧特性の劣化が改善されることを利用したELディスプレイの駆動方法、及び前記駆動方法を利用したELディスプレイは、具体的には提案されていなかった。

20

【0038】

そこで、EL素子の寿命を延ばすために、EL素子に一定期間ごとに逆の極性のEL駆動電圧をかけて表示を行うELディスプレイの駆動方法（以下、本明細書において交流駆動と呼ぶ）の提案、及び前記駆動方法を用いたELディスプレイの作製が切望されていた。特に交流駆動により表示を行うアクティブマトリクス型ELディスプレイの作製が切望されていた。

【課題を解決するための手段】

【0039】

本願発明は、ELディスプレイの駆動において、EL素子が有する第1の電極を一定の電位（定常電位）に保ち、第2の電極を電源供給線の電位（電源電位）に保つ。そして一定期間ごとに、定常電位と電源電位の差であるEL駆動電圧の極性が逆になるように、定常電位を固定し、電源電位の高さを変える。例えばある期間において定常電位が V_T 、電源電位が V_D 、EL駆動電圧が $V_T - V_D = \Delta V$ だったとすると、次の期間において定常電位が V_T 、電源電位が V_D' 、EL駆動電圧が $V_T - V_D' = -\Delta V$ となる。

30

【0040】

デジタル方式の駆動回路による時分割階調表示の場合、1フレーム期間ごとにEL駆動電圧の極性を逆に変化させても良いし、1サブフレーム期間ごとにEL駆動電圧の極性を逆に変化させても良い。

40

【0041】

アナログ方式の駆動回路の場合、1フレーム期間ごとにEL駆動電圧を逆の極性に変化させる。

【0042】

なお、EL素子はダイオードであるため、ある極性をもつEL駆動電圧を加えてEL素子が発光した場合、逆の極性を有するEL駆動電圧加えてもEL素子は発光しない。

【0043】

上記構成によって、EL素子に一定期間ごとに逆の極性のEL駆動電圧がかかる。よって、EL素子の電流－電圧特性の劣化が改善され、EL素子の寿命を従来の駆動方式に比べて長くすることが可能になる。

50

【0044】

また上述したように、交流駆動において、1フレーム期間ごとに画像の表示を行う場合、観察者の目にフリッカとしてちらつきが生じてしまう。

【0045】

そのため本願発明では、直流駆動において観察者の目にフリッカが生じない周波数の倍以上の周波数でELディスプレイを交流駆動するのが好ましい。つまり1秒間に120以上のフレーム期間を設け、60以上の画像を表示するのが好ましい。上記構成によって、交流駆動によるフリッカを防ぐ。

【0046】

また本願発明の交流駆動は、アクティブマトリクス型のEL表示装置だけではなく、パッシブ型のEL表示装置にも適用可能である。

【0047】

以下に、本願発明の構成を示す。

【0048】

本願発明によって、複数のEL素子を含む複数の画素を有する表示装置であって、前記表示装置は1フレーム期間における前記複数のEL素子の発光する時間を制御することで階調表示を行い、前記複数のEL素子は第1の電極と第2の電極とをそれぞれ有しており、前記第1の電極は一定の電位に保たれており、前記第2の電極の電位は、前記第1の電極にかかる電位と、前記第2の電極にかかる電位の差であるEL駆動電圧の極性が1フレーム期間ごとに逆になるように変化していることを特徴とする表示装置が提供される。

【0049】

本願発明によって、複数のEL素子を含む複数の画素を有する表示装置であって、前記表示装置は、1フレーム期間に含まれる複数のサブフレーム期間のうち、前記複数のEL素子が発光したサブフレーム期間の長さの和を制御することによって階調表示を行い、前記複数のEL素子は第1の電極と第2の電極とをそれぞれ有しており、前記第1の電極は一定の電位に保たれており、前記第2の電極の電位は、前記第1の電極にかかる電位と、前記第2の電極にかかる電位の差であるEL駆動電圧の極性が前記サブフレーム期間ごとに逆になるように変化していることを特徴とする表示装置が提供される。

【0050】

本願発明によって、複数のEL素子と、前記複数のEL素子の発光をそれぞれ制御する複数のEL駆動用TFTと、前記複数のEL駆動用TFTの駆動をそれぞれ制御する複数のスイッチング用TFTと、を含む複数の画素を有する表示装置であって、前記表示装置は1フレーム期間における前記複数のEL素子の発光する時間を制御することで階調表示を行い、前記複数のEL素子は第1の電極と第2の電極とをそれぞれ有しており、前記第1の電極は一定の電位に保たれており、前記第2の電極の電位は、前記第1の電極にかかる電位と、前記第2の電極にかかる電位の差であるEL駆動電圧の極性が1フレーム期間ごとに逆になるように変化していることを特徴とする表示装置が提供される。

【0051】

本願発明によって、複数のEL素子と、前記複数のEL素子の発光をそれぞれ制御する複数のEL駆動用TFTと、前記複数のEL駆動用TFTの駆動をそれぞれ制御する複数のスイッチング用TFTと、を含む複数の画素を有する表示装置であって、前記表示装置は、1フレーム期間に含まれる複数のサブフレーム期間のうち、前記複数のEL素子が発光したサブフレーム期間の長さの和を制御することによって階調表示を行い、前記複数のEL素子は第1の電極と第2の電極とをそれぞれ有しており、前記第1の電極は一定の電位に保たれており、前記第2の電極の電位は、前記第1の電極にかかる電位と、前記第2の電極にかかる電位の差であるEL駆動電圧の極性が前記各フレーム期間ごとに逆になるように変化していることを特徴とする表示装置が提供される。

【0052】

本願発明によって、複数のEL素子を含む複数の画素を有する表示装置であって、

前記表示装置は1フレーム期間における前記複数のEL素子の発光する時間を制御することで階調表示を行い、前記複数のEL素子は第1の電極と第2の電極とをそれぞれ有しており、前記第1の電極は一定の電位に保たれており、前記第2の電極の電位は、前記第1の電極にかかる電位と、前記第2の電極にかかる電位の差であるEL駆動電圧の極性が1フレーム期間ごとに逆になるように変化しており、前記複数の画素のうち、隣り合う画素同士で、前記第2の電極にかかる電圧を供給する電源供給線を共有していることを特徴とする表示装置が提供される。

【0053】

本願発明によって、複数のEL素子を含む複数の画素を有する表示装置であって、前記表示装置は、1フレーム期間に含まれる複数のサブフレーム期間のうち、前記複数のEL素子が発光したサブフレーム期間の長さの和を制御することによって階調表示を行い、前記複数のEL素子は第1の電極と第2の電極とをそれぞれ有しており、前記第1の電極は一定の電位に保たれており、前記第2の電極の電位は、前記第1の電極にかかる電位と、前記第2の電極にかかる電位の差であるEL駆動電圧の極性が前記フレーム期間ごとに逆になるように変化しており、前記複数の画素のうち、隣り合う画素同士で、前記第2の電極にかかる電圧を供給する電源供給線を共有していることを特徴とする表示装置が提供される。

【0054】

本願発明によって、複数のEL素子と、前記複数のEL素子の発光をそれぞれ制御する複数のEL駆動用TFTと、前記複数のEL駆動用TFTの駆動をそれぞれ制御する複数のスイッチング用TFTと、を含む複数の画素を有する表示装置であって、前記表示装置は1フレーム期間における前記複数のEL素子の発光する時間を制御することで階調表示を行い、前記複数のEL素子は第1の電極と第2の電極とをそれぞれ有しており、前記第1の電極は一定の電位に保たれており、前記第2の電極の電位は、前記第1の電極にかかる電位と、前記第2の電極にかかる電位の差であるEL駆動電圧の極性が1フレーム期間ごとに逆になるように変化しており、前記複数の画素のうち、隣り合う画素同士で、前記第2の電極にかかる電圧を供給する電源供給線を共有していることを特徴とする表示装置が提供される。

【0055】

本願発明によって、複数のEL素子と、前記複数のEL素子の発光をそれぞれ制御する複数のEL駆動用TFTと、前記複数のEL駆動用TFTの駆動をそれぞれ制御する複数のスイッチング用TFTと、を含む複数の画素を有する表示装置であって、前記表示装置は、1フレーム期間に含まれる複数のサブフレーム期間のうち、前記複数のEL素子が発光したサブフレーム期間の長さの和を制御することによって階調表示を行い、前記複数のEL素子は第1の電極と第2の電極とをそれぞれ有しており、前記第1の電極は一定の電位に保たれており、前記第2の電極の電位は、前記第1の電極にかかる電位と、前記第2の電極にかかる電位の差であるEL駆動電圧の極性が前記サブフレーム期間ごとに逆になるように変化しており、前記複数の画素のうち、隣り合う画素同士で、前記第2の電極にかかる電圧を供給する電源供給線を共有していることを特徴とする表示装置が提供される。

【0056】

前記EL駆動用TFTと前記スイッチング用TFTとは、nチャネル型TFTまたはpチャネル型TFTである。

【0057】

前記複数のEL素子の発光は、スイッチング用TFTに入力されるデジタルデータ信号によって制御されていても良い。

【0058】

前記1フレーム期間とは1/120s以下であれば良い。

【0059】

本願発明によって、複数のEL素子と、前記複数のEL素子の発光をそれぞれ制御す

10

20

30

40

50

る複数の E L 駆動用 T F T と、前記複数の E L 駆動用 T F T の駆動をそれぞれ制御する複数のスイッチング用 T F T と、を含む複数の画素を有する表示装置であって、前記表示装置は、スイッチング用 T F T のソース領域にアナログのビデオ信号を入力することで階調表示を行い、前記複数の E L 素子は第 1 の電極と第 2 の電極とをそれぞれ有しており、前記第 1 の電極は一定の電位に保たれており、前記第 2 の電極は、1 フレーム期間ごとに第 1 の電極にかかる電圧を基準として逆の極性を有する電圧に保たれていることを特徴とする表示装置が提供される。

【0060】

本願発明によって、複数の E L 素子と、前記複数の E L 素子の発光をそれぞれ制御する複数の E L 駆動用 T F T と、前記複数の E L 駆動用 T F T の駆動をそれぞれ制御する複数のスイッチング用 T F T と、を含む複数の画素を有する表示装置であって、前記表示装置は、スイッチング用 T F T のソース領域にアナログのビデオ信号を入力することで階調表示を行い、前記複数の E L 素子は第 1 の電極と第 2 の電極とをそれぞれ有しており、前記第 1 の電極は一定の電位に保たれており、前記第 2 の電極は、1 フレーム期間ごとに第 1 の電極にかかる電圧を基準として逆の極性を有する電圧に保たれており、前記複数の画素のうち、隣り合う画素同士で、前記第 2 の電極にかかる電圧を供給する電源供給線を共有していることを特徴とする表示装置が提供される。

【0061】

前記 E L 駆動用 T F T と前記スイッチング用 T F T とは、n チャンネル型 T F T または p チャンネル型 T F T である。

【0062】

前記 1 フレーム期間とは $1/120$ s 以下であれば良い。

【0063】

前記複数の E L 素子が有する E L 層は低分子系有機物質またはポリマー系有機物質であっても良い。

【0064】

前記低分子系有機物質は、Alq₃（トリスー8ーキノリライトーアルミニウム）または TPD（トリフェニルアミン誘導体）からなっても良い。

【0065】

前記ポリマー系有機物質は、PPV（ポリフェニレンビニレン）、PVK（ポリビニルカルバゾール）またはポリカーボネートからなっても良い。

【0066】

前記表示装置を用いることを特徴とするコンピュータ。

【0067】

前記表示装置を用いることを特徴とするビデオカメラ。

【0068】

前記表示装置を用いることを特徴とする DVD プレーヤー。

【発明の効果】

【0069】

上記構成によって、E L 素子に一定期間ごとに逆の極性の E L 駆動電圧がかかる。よって、E L 素子の電流－電圧特性の劣化が改善され、E L 素子の寿命を従来の駆動方式に比べて長くすることが可能になる。

【0070】

また上述したように、交流駆動において、1 フレーム期間ごとに画像の表示を行う場合、観察者の目にフリッカとしてちらつきが生じてしまう。

【0071】

そのため本願発明では、直流駆動において観察者の目にフリッカが生じない周波数の倍以上の周波数で E L ディスプレイを交流駆動するのが好ましい。つまり 120 Hz 以上の周波数で画像を表示するのが好ましい。上記構成によって、交流駆動によるフリッカを防ぐ。

10

20

30

40

50

【図面の簡単な説明】

【0072】

【図1】本願発明のELディスプレイの構成を示す図。

【図2】本願発明の画素部の回路図。

【図3】本願発明のデジタル方式の交流駆動のタイミングチャート。

【図4】本願発明のアナログ方式の交流駆動のタイミングチャート。

【図5】本願発明のデジタル方式の交流駆動のタイミングチャート。

【図6】本願発明のELディスプレイの画素部の回路図と上面図。

【図7】本願発明のELディスプレイの断面構造を示す図。

【図8】ELディスプレイの作製工程を示す図。

10

【図9】ELディスプレイの作製工程を示す図。

【図10】ELディスプレイの作製工程を示す図。

【図11】ELディスプレイの作製工程を示す図。

【図12】ELモジュールの外観を示す図。

【図13】ELモジュールの外観を示す図。

【図14】電子機器の具体例を示す図。

【図15】従来のELディスプレイの画素部の回路図。

【図16】従来のデジタル方式の交流駆動のタイミングチャート。

【図17】本願発明のELディスプレイの画素部の回路図。

【図18】本願発明のELディスプレイの画素部の回路図。

20

【図19】本願発明のELディスプレイの画素部の回路図。

【図20】本願発明のELディスプレイの画素部の回路図。

【図21】本願発明のELディスプレイの断面構造を示す図。

【発明を実施するための形態】

【0073】

本願発明の構成を、デジタル駆動方式の時分割階調表示を行うELディスプレイの例を用いて説明する。図1に本願発明の回路構成の一例を示す。

【0074】

図1のELディスプレイは、基板上に形成されたTFTによって画素部101、画素部の周辺に配置されたソース信号側駆動回路102及びゲート信号側駆動回路103を有している。なお、本実施の形態でELディスプレイはソース信号側駆動回路とゲート信号側駆動回路とを1つずつ有しているが、本願発明においてソース信号側駆動回路は2つあってもよい。またゲート信号側駆動回路も2つあってもよい。

30

【0075】

ソース信号側駆動回路102は基本的にシフトレジスタ102a、ラッチ(A)102b、ラッチ(B)102cを含む。また、シフトレジスタ102aにはクロック信号(CK)及びスタートパルス(SP)が入力され、ラッチ(A)102bにはデジタルデータ信号(Digital Data Signals)が入力され、ラッチ(B)102cにはラッチ信号(Latch Signals)が入力される。

【0076】

また図示しないが、ゲート信号側駆動回路103はシフトレジスタ、バッファを有する。バッファの出力側にマルチプレクサを設けても良い。

40

【0077】

画素部101に入力されるデジタルデータ信号は、時分割階調データ信号発生回路114にて形成される。この回路ではアナログ信号又はデジタル信号でなるビデオ信号(画像情報を含む信号)を、時分割階調を行うためのデジタルデータ信号に変換すると共に、時分割階調表示を行うために必要なタイミングパルス等を発生させる回路である。

【0078】

典型的には、時分割階調データ信号発生回路114には、1フレーム期間をnビット(nは2以上の整数)の階調に対応した複数のサブフレーム期間に分割する手段と、それら

50

複数のサブフレーム期間においてアドレス期間及びサステイン期間を選択する手段と、そのサステイン期間の長さを $Ts1 : Ts2 : Ts3 : \dots : Ts(n-1) : Ts(n) = 2^0 : 2^{-1} : 2^{-2} : \dots : 2^{-(n-2)} : 2^{-(n-1)}$ となるように設定する手段とが含まれる。

【0079】

この時分割階調データ信号発生回路114は、本願発明のELディスプレイの外部に設けられても良い。その場合、そこで形成されたデジタルデータ信号が本願発明のELディスプレイに入力される構成となる。この場合、本願発明のELディスプレイを表示ディスプレイとして有する電子機器（EL表示装置）は、本願発明のELディスプレイと時分割階調データ信号発生回路を別の部品として含むことになる。

【0080】

また、時分割階調データ信号発生回路114をICチップなどの形で本願発明のELディスプレイに実装しても良い。その場合、そのICチップで形成されたデジタルデータ信号が本願発明のELディスプレイに入力される構成となる。この場合、本願発明のELディスプレイをディスプレイとして有する電子機器は、時分割階調データ信号発生回路を含むICチップを実装した本願発明のELディスプレイを部品として含むことになる。

【0081】

また最終的には、時分割階調データ信号発生回路114を画素部101、ソース信号側駆動回路102及びゲート信号側駆動回路103と同一の基板上にTFTでもって形成しうる。この場合、ELディスプレイに画像情報を含むビデオ信号を入力すれば全て基板上で処理することができる。この場合の時分割階調データ信号発生回路はポリシリコン膜を活性層とするTFTで形成しても良い。また、この場合、本願発明のELディスプレイをディスプレイとして有する電子機器は、時分割階調データ信号発生回路がELディスプレイ自体に内蔵されており、電子機器の小型化を図ることが可能である。

【0082】

画素部101にはマトリクス状に複数の画素104が配列される。画素104の拡大図を図2（A）に示す。図2（A）において、105はスイッチング用TFTである。スイッチング用TFT105のゲート電極は、ゲート信号を入力するゲート信号線106に接続されている。スイッチング用TFT105のソース領域とドレイン領域は、一方がデジタルデータ信号を入力するソース信号線107に、もう一方がEL駆動用TFT108のゲート電極及び各画素が有するコンデンサ113にそれぞれ接続されている。

【0083】

また、EL駆動用TFT108のソース領域とドレイン領域は、一方が電源供給線111に接続され、もう一方はEL素子110に接続される。電源供給線111はコンデンサ113に接続されている。コンデンサ113はスイッチング用TFT105が非選択状態（オフ状態）にある時、EL駆動用TFT108のゲート電圧を保持するために設けられている。

【0084】

EL素子110は陽極と陰極と、陽極と陰極との間に設けられたEL層とからなる。陽極がEL駆動用TFT110のソース領域またはドレイン領域と接続している場合、言い換えると陽極が画素電極の場合、陰極は対向電極である。逆に陰極がEL駆動用TFT110のソース領域またはドレイン領域と接続している場合、言い換えると陰極が画素電極の場合、陽極は対向電極である。

【0085】

電源供給線111は電源電位に保たれている。本実施の形態において、電源電位は常に一定の電位に保たれる

【0086】

なお、EL駆動用TFT108のドレイン領域またはソース領域と、EL素子110との間に抵抗体を設けても良い。抵抗体を設けることによって、EL駆動用TFTからEL素子へ供給される電流量を制御し、EL駆動用TFTの特性のバラツキの影響を防ぐことが可能になる。抵抗体はEL駆動用TFT108のオン抵抗よりも十分に大きい抵抗値を

10

20

30

40

50

示す素子であれば良いため構造等に限定はない。なお、オン抵抗とは、T F Tがオン状態の時に、T F Tのドレイン電圧をその時に流れているドレイン電流で割った値である。抵抗体の抵抗値としては $1\text{ k}\Omega \sim 50\text{ M}\Omega$ （好ましくは $10\text{ k}\Omega \sim 10\text{ M}\Omega$ 、さらに好ましくは $50\text{ k}\Omega \sim 1\text{ M}\Omega$ ）の範囲から選択すれば良い。抵抗体として抵抗値の高い半導体層を用いると形成が容易であり好ましい。

【0087】

次に本願発明の交流駆動について、図2（B）及び図3を用いて説明する。ここではnビットデジタル駆動方式により 2^n 階調のフルカラーの時分割階調表示を行う場合について説明する。

【0088】

図2（B）に本願発明のELディスプレイの画素部の構造を示す。ゲート信号線（ $G_1 \sim G_n$ ）は各画素が有するスイッチング用T F Tのゲート電極に接続されている。各画素の有するスイッチング用T F Tのソース領域とドレイン領域は、一方がソース信号線（ $S_1 \sim S_n$ ）に、もう一方がEL駆動用T F Tのゲート電極とコンデンサとに接続されている。またEL駆動用T F Tのソース領域とドレイン領域は、一方が電源供給線（ $V_1 \sim V_n$ ）に、もう一方が各画素が有するEL素子に接続されている。電源供給線（ $V_1 \sim V_n$ ）は各画素が有するコンデンサとも接続されている。

【0089】

図2（A）に示したELディスプレイにおけるタイミングチャートを、図3に示す。まず、1フレーム期間（F）をn個のサブフレーム期間（ $SF_1 \sim SF_n$ ）に分割する。なお、画素部の全ての画素が1つの画像を表示する期間を1フレーム期間と呼ぶ。本願発明のELディスプレイでは1秒間に120以上のフレーム期間が設けられており、結果的に1秒間に60以上の画像が表示されるようにするのが好ましい。

【0090】

1秒間に表示される画像の数が120より少なくなると、視覚的にフリッカ等の画像のちらつきが目立ち始める。

【0091】

なお、1フレーム期間をさらに複数に分割した期間をサブフレーム期間と呼ぶ。階調数が多くなるにつれて1フレーム期間の分割数も増え、駆動回路を高い周波数で駆動しなければならない。

【0092】

1つのサブフレーム期間はアドレス期間（ T_a ）とサステイン期間（ T_s ）とに分けられる。アドレス期間とは、1サブフレーム期間中、全画素にデータを入力するのに要する時間であり、サステイン期間（点灯期間とも呼ぶ）とは、表示を行う期間を示している。

【0093】

n個のサブフレーム期間（ $SF_1 \sim SF_n$ ）がそれぞれ有するアドレス期間（ $T_{a1} \sim T_{an}$ ）の長さは全て同じである。 $SF_1 \sim SF_n$ がそれぞれ有するサステイン期間（ T_s ）をそれぞれ $T_{s1} \sim T_{sn}$ とする。

【0094】

サステイン期間の長さは、 $T_{s1} : T_{s2} : T_{s3} : \dots : T_{s(n-1)} : T_{sn} = 2^0 : 2^{-1} : 2^{-2} : \dots : 2^{-(n-2)} : 2^{-(n-1)}$ となるように設定する。但し、 $SF_1 \sim SF_n$ を出現させる順序はどのようにしても良い。このサステイン期間の組み合わせで 2^n 階調のうち所望の階調表示を行うことができる。

【0095】

まずアドレス期間において、対向電極は電源電位と同じ高さの定常電位に保たれている。本明細書において、デジタル駆動のアドレス期間における定常電位をオフの定常電位と呼ぶ。なおオフの定常電位の高さは、EL素子が発光しない範囲で、電源電位の高さと同じであれば良い。なおこのときのEL駆動電圧をオフのEL駆動電圧と呼ぶ。理想的にはオフのEL駆動電圧は0Vであることが望ましいが、EL素子が発光しない程度の大きさであれば良い。

10

20

30

40

50

【0096】

そしてゲート信号線G1にゲート信号が入力され、ゲート信号線G1にゲート電極が接続されているスイッチング用TFT全てがONの状態になる。

【0097】

ゲート信号線G1にゲート電極が接続されているスイッチング用TFTがONの状態、全てのソース信号線(S1～Sn)に同時にデジタルデータ信号が入力される。デジタルデータ信号は「0」または「1」の情報を有しており、「0」と「1」のデジタルデータ信号がそれぞれHiまたはLoのいずれかの電圧を有する信号を意味している。そしてソース信号線(S1～Sn)に入力されたデジタルデータ信号は、オン(ON)の状態のスイッチング用TFTを介してEL駆動用TFTのゲート電極に入力される。またコンデンサにもデジタルデータ信号が入力され保持される。

10

【0098】

次にゲート信号線G2にゲート信号が入力され、ゲート信号線G2にゲート電極が接続されているスイッチング用TFT全てがONの状態になる。そしてゲート信号線G2にゲート電極が接続されているスイッチング用TFTをONにした状態で、全てのソース信号線(S1～Sn)に同時にデジタルデータ信号が入力される。ソース信号線(S1～Sn)に入力されたデジタルデータ信号は、スイッチング用TFTを介してEL駆動用TFTのゲート電極に入力される。またコンデンサにもデジタルデータ信号が入力され保持される。

【0099】

20

上述した動作を繰り返し、全ての画素にデジタルデータ信号が入力される。全ての画素にデジタルデータ信号が入力されるまでの期間がアドレス期間である。

【0100】

アドレス期間が終了すると同時にサステイン期間となる。サステイン期間になると、対向電極の電位は、オフの定常電位からオンの定常電位に変わる。本明細書において、デジタル駆動のサステイン期間における定常電位をオンの定常電位と呼ぶ。オンの定常電位は、EL素子が発光する程度に電源電位との間に電位差を有していればよい。なおこの電位差をオンのEL駆動電圧と呼ぶ。

【0101】

そしてスイッチング用TFTがオフ状態になり、コンデンサにおいて保持されたデジタルデータ信号が、EL駆動用TFTのゲート電極に入力される。

30

【0102】

本実施の形態において、デジタルデータ信号が「0」の情報を有していた場合、EL駆動用TFTはオフ状態となり、EL素子の画素電極はオフの定常電位に保たれたままである。その結果、「0」の情報を有するデジタルデータ信号が印加された画素が有するEL素子は発光しない。

【0103】

逆に、「1」の情報を有していた場合、EL駆動用TFTはオン状態となり、EL素子の画素電極に電源電位が与えられる。その結果、「1」の情報を有するデジタルデータ信号が印加された画素が有するEL素子は発光する。

40

【0104】

全てのスイッチング用TFTがオフ状態である期間がサステイン期間である。

【0105】

EL素子を発光させる(画素を点灯させる)期間はTs1～Ts nまでのいずれかの期間である。ここではTs nの期間、所定の画素を点灯させたとする。

【0106】

次に、再びアドレス期間が出現し、全画素にデータ信号を入力したらサステイン期間が出現する。このときはTs1～Ts (n-1)のいずれかのサステイン期間が出現する。ここではTs (n-1)の期間、所定の画素を点灯させたとする。

【0107】

50

以下、残りの $n - 2$ 個のサブフレームについて同様の動作を繰り返し、順次 $T_s (n - 2)$ 、 $T_s (n - 3) \cdots T_s 1$ とサステイン期間を設定し、それぞれのサブフレームで所定の画素を点灯させたとする。

【0108】

n 個のサブフレーム期間が出現したら 1 フレーム期間を終えたことになる。このとき、1 フレーム期間内に画素が点灯していたサステイン期間、言い換えると「1」の情報を有するデジタルデータ信号が画素に印加されたアドレス期間の直後のサステイン期間の長さを積算することによって、その画素の階調がきまる。

例えば、 $n = 8$ のとき、全部のサステイン期間で画素が発光した場合の輝度を 100 % とすると、 $T_s 1$ と $T_s 2$ において画素が発光した場合には 75 % の輝度が表現でき、 $T_s 3$ と $T_s 5$ と $T_s 8$ を選択した場合には 16 % の輝度が表現できる。

10

【0109】

1 フレーム期間が終了すると、次のフレーム期間において電源電位とオンの定常電位の差であるオンの EL 駆動電圧の極性が逆になるように、オンの定常電位の高さを変える。そして、先のフレーム期間と同じ、上述した動作を行う。しかしこのフレーム期間におけるオンの EL 駆動電圧は、先のフレーム期間におけるオンの EL 駆動電圧の逆の極性を有していることから、全ての EL 素子は発光しない。本明細書において、EL 素子が画像を表示するフレーム期間を表示フレーム期間と呼ぶ。また逆に全ての EL 素子が発光せずに画像を表示しないフレーム期間を非表示フレーム期間と呼ぶ。

【0110】

20

非表示フレーム期間が終了すると、次に別の表示フレーム期間となり、オンの EL 駆動電圧は、非表示フレーム期間におけるオンの EL 駆動電圧の逆の極性を有する電圧に変わる。

【0111】

このように表示フレーム期間と非表示フレーム期間を交互に繰り返すことによって、画像の表示を行う。本願発明は上記構成を有することで、EL 素子が有する EL 層に、一定期間ごとに逆の極性の EL 駆動電圧がかかる。よって、EL 素子の電流－電圧特性の劣化が改善され、EL 素子の寿命を従来の駆動方式に比べて長くすることが可能になる。

【0112】

また上述したように、交流駆動において、1 フレーム期間ごとに画像の表示を行う場合、観察者の目にフリッカとしてちらつきが生じてしまう。

30

【0113】

そのため本願発明では、直流駆動において観察者の目にフリッカが生じない周波数の倍以上の周波数で EL ディスプレイを交流駆動する。つまり 1 秒間に 120 以上のフレーム期間が設けられており、結果的に 1 秒間に 60 以上の画像が表示されている。上記構成によって、交流駆動によるフリッカを防ぐ。

【0114】

なお本実施の形態で示した EL ディスプレイの駆動方法において、電源電位を常に一定に保ち、対向電位をアドレス期間とサステイン期間とで変化させることにより、EL 駆動電圧の大きさを変え、EL 素子の発光を制御していた。しかし本願発明はこの構成に限定されない。本願発明の EL ディスプレイは、対向電位を常に一定に保ち、画素電極の電位を変化させても良い。つまり実施の形態の場合とは逆に、対向電極の電位を常に一定に保ち、電源電位をアドレス期間とサステイン期間とで変化させ EL 駆動電圧の大きさを変えることにより、EL 素子の発光を制御しても良い。

40

【0115】

また本実施の形態では、アドレス期間において対向電極の電位と電源電位とを同じ電位に保っていたため、EL 素子は発光しなかった。しかし本願発明はこの構成に限定されない。EL 素子が発光する程度の電位差を、対向電位と電源電位との間に常に設けることで、アドレス期間においても表示期間と同様に表示を行うようにしても良い。ただしこの場合、サブフレーム期間全体が実際に発光する期間となるので、サブフレーム期間の長さを

50

、 $S F 1 : S F 2 : S F 3 : \dots : S F (n-1) : S F n = 2^0 : 2^{-1} : 2^{-2} : \dots : 2^{-(n-2)} : 2^{-(n-1)}$ となるように設定する。上記構成により、アドレス期間を発光させない駆動方法に比べて、高い輝度の画像が得られる。

【0116】

次に図1、図2に示した本願発明のELディスプレイの、アナログ方式で交流駆動させる駆動方法について説明する。なおタイミングチャートは図4を参照する。

【0117】

アナログ方式で交流駆動するELディスプレイの画素部の構造は、デジタル方式で交流駆動するELディスプレイと同じであり、ゲート信号線（ $G1 \sim Gn$ ）は各画素が有するスイッチング用TFTのゲート電極に接続されている。各画素の有するスイッチング用TFTのソース領域とドレイン領域は、一方がソース信号線（ $S1 \sim Sn$ ）に、もう一方がEL駆動用TFTのゲート電極とコンデンサとに接続されている。またEL駆動用TFTのソース領域とドレイン領域は、一方が電源供給線（ $V1 \sim Vn$ ）に、もう一方が各画素が有するEL素子に接続されている。電源供給線（ $V1 \sim Vn$ ）は各画素が有するコンデンサとも接続されている。

【0118】

ELディスプレイをアナログ方式で交流駆動させた場合のタイミングチャートを、図4に示す。1つのゲート信号線が選択されている期間を1ライン期間と呼ぶ。また全てのゲート信号線の選択が終了するまでの期間が1フレーム期間に相当する。本実施の形態の場合、ゲート信号線は n 本あるので、1フレーム期間中に、 n 個のライン期間が設けられている。

【0119】

なお、本願発明のELディスプレイでは、1秒間に120以上のフレーム期間を設けることが好ましく、1秒間に60以上の画像が表示されていることが望ましい。1秒間に表示される画像の数が60より少なくなると、視覚的にフリッカ等の画像のちらつきが目立ち始める。

【0120】

階調数が多くなるにつれて1フレーム期間中のライン期間の数も増え、駆動回路を高い周波数で駆動しなければならない。

【0121】

まず電源電圧線（ $V1 \sim Vn$ ）がオフの電源電位に保たれている。なおアナログ方式の交流駆動の場合、オフの電源電位の高さは、EL素子が発光しない範囲で、定常電位の高さと同じであれば良い。なおこのときのEL駆動電圧をオフのEL駆動電圧と呼ぶ。理想的にはオフのEL駆動電圧は0Vであることが望ましいが、EL素子1506が発光しない程度の大きさであれば良い。

【0122】

第1のライン期間（ $L1$ ）において、ソース信号線（ $S1 \sim Sn$ ）に順にアナログのビデオ信号が入力される。第1のライン期間（ $L1$ ）においてゲート信号線 $G1$ にはゲート信号が入力されている。そのためスイッチング用TFT（1, 1）はオン状態（オン）になるので、ソース信号線 $S1$ に入力されたアナログのビデオ信号は、スイッチング用TFT（1, 1）を介してEL駆動用TFT（1, 1）のゲート電極に入力される。

【0123】

そして電源供給線 $V1$ の電位がオフの電源電位から飽和電源電位に変化する。なお本明細書において、飽和電源電位とはアナログ駆動においてEL素子が発光する程度に定常電位との間に電位差を有している電位である。

【0124】

EL駆動用TFTのチャネル形成領域を流れる電流の量は、そのゲート電極に入力されるアナログのビデオ信号の電圧の大きさによって制御される。アナログ駆動の場合、EL駆動用TFTのゲート電極にアナログのビデオ信号を入力し、ソース領域とドレイン領域のいずれか一方を飽和電源電位に保った時、もう一方の電位をオンの電源電位とする。な

おこのときの E L 駆動電圧をオンの E L 駆動電圧と呼ぶ。

【0125】

E L 駆動用 T F T (1 , 1) のゲート電極に印加されるアナログのビデオ信号によって大きさが制御されたオンの E L 駆動電圧が、E L 素子に加えられる。

【0126】

次に、同様にソース信号線 S 2 にアナログのビデオ信号が入力され、スイッチング用 T F T (2 , 1) がオン状態になる。よってソース信号線 S 2 に入力されたアナログのビデオ信号は、スイッチング用 T F T (2 , 1) を介して E L 駆動用 T F T (2 , 1) のゲート電極に入力される。

【0127】

よって E L 駆動用 T F T (2 , 1) はオン状態となる。そして電源供給線 V 2 の電位がオフの電源電位から飽和電源電位に変化する。よって E L 駆動用 T F T (2 , 1) のゲート電極に印加されるアナログのビデオ信号によって大きさが制御されたオンの E L 駆動電圧が E L 素子に印加される。

【0128】

上述した動作を繰り返し、にソース信号線 (S 1 ~ S n) へのアナログのビデオ信号の入力が終了すると、第 1 のライン期間 (L 1) が終了する。そして次に第 2 のライン期間 (L 2) となりゲート信号線 G 2 にゲート信号が入力される。

そして第 1 のライン期間 (L 1) と同様にソース信号線 (S 1 ~ S n) に順にアナログのビデオ信号が入力される。

【0129】

ソース信号線 S 1 にアナログのビデオ信号が入力される。スイッチング用 T F T (1 , 2) はオンになるので、ソース信号線 S 1 に入力されたアナログのビデオ信号は、スイッチング用 T F T (1 , 2) を介して E L 駆動用 T F T (1 , 2) のゲート電極に入力される。

【0130】

よって E L 駆動用 T F T (1 , 2) はオン状態となる。そして電源供給線 V 1 の電位がオフの電源電位から飽和電源電位に変化する。よって E L 駆動用 T F T (1 , 2) のゲート電極に印加されるアナログのビデオ信号によって大きさが制御された E L 駆動電圧が E L 素子に印加される。

【0131】

上述した動作を繰り返し、にソース信号線 (S 1 ~ S n) へのアナログのビデオ信号の入力が終了すると、第 2 のライン期間 (L 2) が終了する。そして次に第 3 のライン期間 (L 3) となりゲート信号線 G 3 にゲート信号が入力される。

そして順にゲート信号線 (G 1 ~ G n) にゲート信号が入力され、1 フレーム期間が終了する。

【0132】

このフレーム期間が終了すると、次のフレーム期間において飽和電源電位が変化することにより、オンの電源電位が変化する。そしてオンの E L 駆動電圧は逆の極性を有する電圧に変わる。そして、先のフレーム期間と同じ、上述した動作を行う。しかしこのフレーム期間におけるオンの E L 駆動電圧は、先のフレーム期間におけるオンの E L 駆動電圧の逆の極性を有している。そのため全ての E L 素子には先のフレーム期間とは逆の極性を有するオンの E L 駆動電圧が加えられ、E L 素子は発光しない。本明細書において、E L 素子が画像を表示するフレーム期間を表示フレーム期間、また逆に全ての E L 素子が発光せずに画像を表示しないフレーム期間を非表示フレーム期間と呼ぶ。

【0133】

非表示フレーム期間が終了すると、次に別の表示フレーム期間となり、E L 駆動電圧は、非表示フレーム期間における E L 駆動電圧の逆の極性を有する電圧に変わる。

【0134】

このように表示フレーム期間と非表示フレーム期間を交互に繰り返すことによって、画

10

20

30

40

50

像の表示を行う。本願発明は上記構成を有することで、E L素子に一定期間ごとに逆の極性のオンのE L駆動電圧がかかる。よって、E L素子の電流－電圧特性の劣化が改善され、E L素子の寿命を従来の駆動方式に比べて長くすることが可能になる。

【0135】

また本実施の形態ではノン・インターレース走査で駆動した例について説明したが、本願発明はインターレースで駆動することも可能である。

【0136】

以下に、本願発明の実施例を説明する。

【実施例1】

【0137】

本実施例ではデジタル方式の交流駆動で時分割階調表示を行う場合において、サブフレーム期間ごとにオンのE L駆動電圧が逆の極性になる例について説明する。ここではnビットデジタル駆動方式により 2^n 階調のフルカラーの時分割階調表示を行う場合について説明する。

【0138】

本実施例におけるE Lディスプレイの画素部の構造は、図2 (B)において示した構造と同じであり、ゲート信号線(G 1～G n)は各画素が有するスイッチング用T F Tのゲート電極に接続されている。各画素の有するスイッチング用T F Tのソース領域とドレイン領域は、一方がソース信号線(S 1～S n)に、もう一方がE L駆動用T F Tのゲート電極とコンデンサとに接続されている。またE L駆動用T F Tのソース領域とドレイン領域は、一方が電源供給線(V 1～V n)に、もう一方が各画素が有するE L素子に接続されている。電源供給線(V 1～V n)は各画素が有するコンデンサとも接続されている。

【0139】

図5に本実施例の駆動方法のタイミングチャートを示す。まず、1フレーム期間をn個のサブフレーム期間(S F 1～S F n)に分割する。なお、画素部の全ての画素が1つの画像を表示する期間を1フレーム期間と呼ぶ。

【0140】

なお、1フレーム期間をさらに複数に分割した期間をサブフレーム期間と呼ぶ。階調数が多くなるにつれて1フレーム期間の分割数も増え、駆動回路を高い周波数で駆動しなければならない。

【0141】

1つのサブフレーム期間はアドレス期間(T a)とサステイン期間(T s)とに分けられる。アドレス期間とは、1サブフレーム期間中、全画素にデータを入力するのに要する時間であり、サステイン期間(点灯期間とも呼ぶ)とは、E L素子を発光させる期間を示している。

【0142】

n個のサブフレーム期間(S F 1～S F n)がそれぞれ有するアドレス期間(T a 1～T a n)の長さは全て同じである。S F 1～S F nがそれぞれ有するサステイン期間(T s)をそれぞれT s 1～T s nとする。

【0143】

サステイン期間の長さは、 $T s 1 : T s 2 : T s 3 : \dots : T s (n-1) : T s n = 2^0 : 2^{-1} : 2^{-2} : \dots : 2^{-(n-2)} : 2^{-(n-1)}$ となるように設定する。但し、S F 1～S F nが出現させる順序はどのようにしても良い。このサステイン期間の組み合わせで 2^n 階調のうち所望の階調表示を行うことができる。

【0144】

まず、対向電極がオフの定常電位に保たれる。そしてゲート信号線G 1にゲート信号が入力され、ゲート信号線G 1にゲート電極が接続されているスイッチング用T F T全てがONの状態になる。

【0145】

そしてゲート信号線G 1にゲート電極が接続されているスイッチング用T F TがONの

10

20

30

40

50

状態で、全てのソース信号線（ $S_1 \sim S_n$ ）に同時にデジタルデータ信号が入力される。そしてソース信号線（ $S_1 \sim S_n$ ）に入力されたデジタルデータ信号は、オン（ON）の状態のスイッチング用TFTを介してEL駆動用TFTのゲート電極に入力される。またコンデンサにもデジタルデータ信号が入力され保持される。

【0146】

上述した動作を繰り返し、全ての画素にデジタルデータ信号が入力される。全ての画素にデジタルデータ信号が入力されるまでの期間がアドレス期間である。

【0147】

アドレス期間が終了すると同時にサステイン期間となる。サステイン期間になると、対向電極の電位がオフの定常電位からオンの定常電位に変わる。そしてスイッチング用TFTがオフ状態になり、コンデンサにおいて保持されたデジタルデータ信号が、EL駆動用TFTのゲート電極に入力される。

【0148】

本実施例において、オンの定常電位と電源電位の差であるオンのEL駆動電圧の極性は、オンの定常電位の高さを変えることによって、サブフレーム期間ごとに逆になる。よってサブフレーム期間ごとにオンのEL駆動電圧の極性を逆にすることで、ELディスプレイは表示と非表示を繰り返す。表示を行うサブフレーム期間を表示サブフレーム期間と呼び、表示を行わないサブフレーム期間を非表示サブフレーム期間と呼ぶ。

【0149】

例えば第1のフレーム期間において、第1のサブフレーム期間は表示期間としたら、第2のサブフレーム期間は非表示期間であり、第3のフレーム期間は再び表示期間となる。そして全てのサブフレーム期間が出現し第1のフレーム期間が終了したら、第2のフレーム期間となる。第2のフレーム期間における第1のサブフレーム期間では、第1のフレーム期間内の第1のサブフレーム期間においてEL素子に加えられたEL駆動電圧とは逆の極性を有するEL駆動電圧が、EL素子のEL層に加えられるので、非表示期間となる。そして次に第2のサブフレーム期間は表示期間となり、サブフレーム期間ごとに交互に表示期間と非表示期間となる。

【0150】

なお、本明細書において、EL駆動電圧の極性が逆になることで表示と非表示とが切り替わるとき、表示しているときの期間を表示期間と呼ぶ。また逆に表示していないときの期間を非表示期間と呼ぶ。よって本明細書において、表示フレーム期間と、表示サブフレーム期間を総称して表示期間と呼ぶ。また逆に非表示フレーム期間と、非表示サブフレーム期間を総称して非表示期間と呼ぶ。

【0151】

本実施例においてデジタルデータ信号が「0」の情報を持っていた場合、EL駆動用TFTはオフ状態となり、EL素子の画素電極はオフの定常電位に保たれたままである。その結果、「0」の情報を有するデジタルデータ信号が加えられた画素が有するEL素子は発光しない。

【0152】

逆に、「1」の情報を有していた場合、EL駆動用TFTはオン状態となり、EL素子の画素電極に電源電位が与えられる。その結果、「1」の情報を有するデジタルデータ信号が入力された画素が有するEL素子は発光する。

【0153】

全てのスイッチング用TFTがオフ状態である期間がサステイン期間である。

【0154】

EL素子を発光させる（画素を点灯させる）期間は $T_{s1} \sim T_{sn}$ までのいずれかの期間である。ここでは T_{sn} の期間、所定の画素を点灯させたとする。

【0155】

次に、再びアドレス期間に入り、全画素にデジタルデータ信号を入力したらサステイン期間に入る。このときは $T_{s1} \sim T_{s(n-1)}$ のいずれかの期間がサステイン期間とな

10

20

30

40

50

る。ここでは $T_s(n-1)$ の期間、所定の画素を点灯させたとする。

【0156】

以下、残りの $n-2$ 個のサブフレームについて同様の動作を繰り返し、順次 $T_s(n-2)$ 、 $T_s(n-3) \cdots T_s1$ とサステイン期間を設定し、それぞれのサブフレームで所定の画素を点灯させたとする。

【0157】

このように、交流駆動の時分割階調表示において、サブフレームごとに逆の極性を有する EL 駆動電圧を EL 素子に加える場合、2つのフレーム期間で1つの階調表示を行う。2つの隣り合うフレーム期間において、画素が点灯していたサステイン期間、言い換えると「1」の情報を有するデジタルデータ信号が画素にされたアドレス期間の直後のサステイン期間の長さを積算することによって、その画素の階調がきまる。例えば、 $n=8$ のとき、全部のサステイン期間で画素が発光した場合の輝度を100%とすると、 T_s1 と T_s2 において画素が発光した場合には75%の輝度が表現でき、 T_s3 と T_s5 と T_s8 を選択した場合には16%の輝度が表現できる。

10

【0158】

本願発明は上記構成を有することで、EL素子が有するEL層に、サブフレーム期間ごとに逆の極性のEL駆動電圧がかかる。よって、EL素子の電流－電圧特性の劣化が改善され、EL素子の寿命を従来の駆動方式に比べて長くすることが可能になる。

【0159】

本実施例では、実施の形態で示したフレーム期間ごとに交流駆動するデジタル方式の EL ディスプレイに比べてフリッカが起こりにくいという効果が得られる。

20

【実施例2】

【0160】

本実施例では、図2(A)で示した本願発明のELディスプレイの画素部とは別の例を示す。

【0161】

図6(A)に本実施例のELディスプレイの画素部の拡大図の一例を回路図で示す。画素部にはマトリクス状に複数の画素が配列される。画素603と画素604とが隣接して設けられている。図6(A)において、605及び625はスイッチング用TFTである。スイッチング用TFT605及び625のゲート電極は、ゲート信号を入力するゲート信号線606に接続されている。スイッチング用TFT605及び625のソース領域とドレイン領域は、一方はデジタルデータ信号を入力するデータ信号線(ソース信号線ともいう)607と627とに、もう一方はEL駆動用TFTのゲート電極及びコンデンサ613と623にそれぞれ接続されている。

30

【0162】

そして、EL駆動用TFT608及び628のソース領域は共通の電源供給線611に接続され、ドレイン領域はEL素子610及び630が有する画素電極にそれぞれ接続される。このように本実施例では隣り合う2つの画素で電源供給線を共有している。

【0163】

EL素子610及び630はそれぞれ陽極(本実施例では画素電極)と、陰極(本実施例では対向電極)と、陽極と陰極との間に設けられたEL層とでなる。本実施例において、EL駆動用TFT608及び628のドレイン領域は陽極に接続されている。陰極は定常電源612、622に接続されており、定常電位に保たれている。本願発明はこの構成に限定されず、EL駆動用TFT608及び628のドレイン領域が陰極に接続されていても良い。

40

【0164】

なお、EL駆動用TFT608及び628のドレイン領域と、EL素子610及び630がそれぞれ有する陽極(画素電極)との間に抵抗体をそれぞれ設けても良い。抵抗体を設けることによって、EL駆動用TFTからEL素子へ供給される電流量を制御し、EL駆動用TFTの特性のバラツキの影響を防ぐことが可能になる。抵抗体はEL駆動用TFT

50

T 6 0 8 及び 6 2 8 のオン抵抗よりも十分に大きい抵抗値を示す素子であれば良いため構造等に限定はない。なお、オン抵抗とは、T F T がオン状態の時に、T F T のドレイン電圧をその時に流れているドレイン電流で割った値である。抵抗体の抵抗値としては $1\text{ k}\Omega \sim 50\text{ M}\Omega$ (好ましくは $10\text{ k}\Omega \sim 10\text{ M}\Omega$ 、さらに好ましくは $50\text{ k}\Omega \sim 1\text{ M}\Omega$) の範囲から選択すれば良い。抵抗体として抵抗値の高い半導体層を用いると形成が容易であり好ましい。

【0165】

また、スイッチング用 T F T 6 0 5 及び 6 2 5 が非選択状態 (オフ状態) にある時、E L 駆動用 T F T 6 0 8 及び 6 2 8 のゲート電圧を保持するためにコンデンサ 6 1 3 及び 6 3 3 が設けられる。このコンデンサ 6 1 3 及び 6 3 3 が有する 2 つの電極は、一方はスイ

10

【0166】

図 6 (B) に図 6 (A) で示した回路図の具体的な構成図を示す。ソース信号線 6 0 7 及び 6 2 7 と、ゲート信号線 6 0 6 及び 6 1 6 と、電源供給線 6 1 1 とに囲まれた領域に、画素 6 0 3 及び画素 6 0 4 が設けられている。画素 6 0 3 及び画素 6 0 4 がそれぞれ有する E L 駆動用 T F T 6 0 8 及び 6 2 8 のソース領域は、両方とも電源供給線 6 1 1 に接続されている。このように本実施例では隣り合う 2 つの画素で電源供給線を共有している。これにより、図 2 (A) で示した構成に比べて、画素部全体に対する配線の割合を小さくすることができる。配線の画素部全体に対する割合が小さいと、E L 層の発光する方向

20

【0167】

本実施例において示した構成は、実施例 1 と自由に組み合わせて実施することが可能である。

【実施例 3】

【0168】

本実施例では、本願発明の E L ディスプレイの断面構造の概略について、図 7 を用いて説明する。

【0169】

図 7 において、1 1 は基板、1 2 は下地となる絶縁膜 (以下、下地膜という) である。基板 1 1 としては透光性基板、代表的にはガラス基板、石英基板、ガラスセラミックス基板、又は結晶化ガラス基板を用いることができる。但し、作製プロセス中の最高処理温度に耐えるものでなくてはならない。

30

【0170】

また、下地膜 1 2 は特に可動イオンを含む基板や導電性を有する基板を用いる場合に有効であるが、石英基板には設けなくても構わない。下地膜 1 2 としては、珪素 (シリコン) を含む絶縁膜を用いれば良い。なお、本明細書において「珪素を含む絶縁膜」とは、具体的には酸化珪素膜、窒化珪素膜若しくは窒化酸化珪素膜 (SiO_xN_y : x, y は任意の整数、で示される) など珪素に対して酸素若しくは窒素を所定の割合で含ませた絶縁膜を指す。

40

【0171】

2 0 1 はスイッチング用 T F T、2 0 2 は E L 駆動用 T F T であり、それぞれ n チャネル型 T F T、p チャネル型 T F T で形成されている。E L の発光方向が基板の下面 (T F T 及び E L 層が設けられていない面) の場合、上記構成であることが好ましい。しかし本願発明はこの構成に限定されない。スイッチング用 T F T と E L 駆動用 T F T は、n チャネル型 T F T でも p チャネル型 T F T でも、どちらでも構わない。

【0172】

スイッチング用 T F T 2 0 1 は、ソース領域 1 3、ドレイン領域 1 4、L D D 領域 1 5 a ~ 1 5 d、分離領域 1 6 及びチャネル形成領域 1 7 a、1 7 b を含む活性層と、ゲート絶縁膜 1 8 と、ゲート電極 1 9 a、1 9 b と、第 1 層間絶縁膜 2 0 と、ソース信号線 2 1 と、ド

50

レイン配線 22 とを有している。なお、ゲート絶縁膜 18 又は第 1 層間絶縁膜 20 は基板上の全 TFT に共通であっても良いし、回路又は素子に応じて異ならせても良い。

【0173】

また、図 7 に示すスイッチング用 TFT 201 はゲート電極 19a、19b が電氣的に接続されており、いわゆるダブルゲート構造となっている。勿論、ダブルゲート構造だけでなく、トリプルゲート構造などいわゆるマルチゲート構造（直列に接続された二つ以上のチャンネル形成領域を有する活性層を含む構造）であっても良い。

【0174】

マルチゲート構造はオフ電流を低減する上で極めて有効であり、スイッチング用 TFT のオフ電流を十分に低くすれば、それだけ EL 駆動用 TFT 202 のゲート電極に接続されたコンデンサが必要とする最低限の容量を抑えることができる。即ち、コンデンサの面積を小さくすることができるので、マルチゲート構造とすることは EL 素子の有効発光面積を広げる上でも有効である。

【0175】

さらに、スイッチング用 TFT 201 においては、LDD 領域 15a~15d は、ゲート絶縁膜 18 を介してゲート電極 19a、19b と重ならないように設ける。このような構造はオフ電流を低減する上で非常に効果的である。また、LDD 領域 15a~15d の長さ（幅）は 0.5~3.5 μm 、代表的には 2.0~2.5 μm とすれば良い。

【0176】

なお、チャンネル形成領域と LDD 領域との間にオフセット領域（チャンネル形成領域と同一組成の半導体層となり、ゲート電圧が加えられない領域）を設けることはオフ電流を下げる上でさらに好ましい。また、二つ以上のゲート電極を有するマルチゲート構造の場合、チャンネル形成領域の間に設けられた分離領域 16（ソース領域又はドレイン領域と同一の濃度で同一の不純物元素が添加された領域）がオフ電流の低減に効果的である。

【0177】

次に、EL 駆動用 TFT 202 は、ソース領域 26、ドレイン領域 27 及びチャンネル形成領域 29 を含む活性層と、ゲート絶縁膜 18 と、ゲート電極 30 と、第 1 層間絶縁膜 20 と、ソース信号線 31 並びにドレイン配線 32 を有して形成される。本実施例において EL 駆動用 TFT 202 は p チャンネル型 TFT である。

【0178】

また、スイッチング用 TFT 201 のドレイン領域 14 は EL 駆動用 TFT 202 のゲート 30 に接続されている。図示してはいないが、具体的には EL 駆動用 TFT 202 のゲート電極 30 はスイッチング用 TFT 201 のドレイン領域 14 とドレイン配線（接続配線とも言える）22 を介して電氣的に接続されている。なお、ゲート電極 30 はシングルゲート構造となっているが、マルチゲート構造であっても良い。また、EL 駆動用 TFT 202 のソース信号線 31 は電源供給線（図示せず）に接続される。

【0179】

EL 駆動用 TFT 202 は EL 素子に注入される電流量を制御するための素子であり、比較的多くの電流が流れる。そのため、チャンネル幅（W）はスイッチング用 TFT のチャンネル幅よりも大きく設計することが好ましい。また、EL 駆動用 TFT 202 に過剰な電流が流れないように、チャンネル長（L）は長めに設計することが好ましい。望ましくは一画素あたり 0.5~2 μA （好ましくは 1~1.5 μA ）となるようにする。

【0180】

またさらに、EL 駆動用 TFT 202 の活性層（特にチャンネル形成領域）の膜厚を厚くする（好ましくは 50~100 nm、さらに好ましくは 60~80 nm）ことによって、TFT の劣化を抑えてもよい。逆に、スイッチング用 TFT 201 の場合はオフ電流を小さくするという観点から見れば、活性層（特にチャンネル形成領域）の膜厚を薄くする（好ましくは 20~50 nm、さらに好ましくは 25~40 nm）ことも有効である。

【0181】

以上は画素内に設けられた TFT の構造について説明したが、このとき同時に駆動回路

10

20

30

40

50

も形成される。図 7 には駆動回路を形成する基本単位となる CMOS 回路が図示されている。

【0182】

図 7 においては極力動作速度を落とさないようにしつつホットキャリア注入を低減させる構造を有する TFT を CMOS 回路の n チャネル型 TFT 204 として用いる。なお、ここでいう駆動回路としては、ソース信号側駆動回路、ゲート信号側駆動回路を指す。勿論、他の論理回路（レベルシフタ、A/D コンバータ、信号分割回路等）を形成することも可能である。

【0183】

CMOS 回路の n チャネル型 TFT 204 の活性層は、ソース領域 35、ドレイン領域 36、LDD 領域 37 及びチャネル形成領域 38 を含み、LDD 領域 37 はゲート絶縁膜 18 を介してゲート電極 39 と重なっている。

【0184】

ドレイン領域 36 側のみに LDD 領域 37 を形成しているのは、動作速度を落とさないための配慮である。また、この n チャネル型 TFT 204 はオフ電流値をあまり気にする必要はなく、それよりも動作速度を重視した方がよい。従って、LDD 領域 37 は完全にゲート電極に重ねてしまい、極力抵抗成分を少なくすることが望ましい。即ち、いわゆるオフセットはなくした方がよい。

【0185】

また、CMOS 回路の p チャネル型 TFT 205 は、ホットキャリア注入による劣化が殆ど気にならないので、特に LDD 領域を設けなくても良い。従って活性層はソース領域 40、ドレイン領域 41 及びチャネル形成領域 42 を含み、その上にはゲート絶縁膜 18 とゲート電極 43 が設けられる。勿論、n チャネル型 TFT 204 と同様に LDD 領域を設け、ホットキャリア対策を講じることも可能である。

【0186】

また、n チャネル型 TFT 204 及び p チャネル型 TFT 205 はそれぞれソース領域上に第 1 層間絶縁膜 20 を間に介して、ソース信号線 44、45 を有している。また、ドレイン配線 46 によって n チャネル型 TFT 204 と p チャネル型 TFT 205 とのドレイン領域は互いに電氣的に接続される。

【0187】

次に、47 は第 1 パッシベーション膜であり、膜厚は 10 nm ~ 1 μ m（好ましくは 200 ~ 500 nm）とすれば良い。材料としては、珪素を含む絶縁膜（特に窒化酸化珪素膜又は窒化珪素膜が好ましい）を用いることができる。このパッシベーション膜 47 は形成された TFT をアルカリ金属や水分から保護する役割金属を有する。最終的に TFT（特に EL 駆動用 TFT）の上方に設けられる EL 層にはナトリウム等のアルカリ金属が含まれている。即ち、第 1 パッシベーション膜 47 はこれらのアルカリ金属（可動イオン）を TFT 側に侵入させない保護層としても働く。

【0188】

また、48 は第 2 層間絶縁膜であり、TFT によってできる段差の平坦化を行う平坦化膜としての機能を有する。第 2 層間絶縁膜 48 としては、有機樹脂膜が好ましく、ポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）等を用いると良い。これらの有機樹脂膜は良好な平坦面を形成しやすく、比誘電率が低いという利点を有する。EL 層は凹凸に非常に敏感であるため、TFT による段差は第 2 層間絶縁膜 48 で殆ど吸収してしまうことが望ましい。また、ゲート信号線やデータ信号線と EL 素子の陰極との間に形成される寄生容量を低減する上で、比誘電率の低い材料を厚く設けておくことが望ましい。従って、膜厚は 0.5 ~ 5 μ m（好ましくは 1.5 ~ 2.5 μ m）が好ましい。

【0189】

また、49 は透明導電膜でなる画素電極（EL 素子の陽極）であり、第 2 層間絶縁膜 48 及び第 1 パッシベーション膜 47 にコンタクトホール（開孔）を開けた後、形成された

10

20

30

40

50

開孔部においてE L駆動用T F T 2 0 2のドレイン配線3 2に接続されるように形成される。なお、図7のように画素電極4 9とドレイン領域2 7とが直接接続されないようにしておく、E L層のアルカリ金属が画素電極を経由して活性層へ侵入することを防ぐことができる。

【0190】

画素電極4 9の上には酸化珪素膜、窒化酸化珪素膜または有機樹脂膜でなる第3層間絶縁膜5 0が0. 3~1 μmの厚さに設けられる。この第3層間絶縁膜5 0は画素電極4 9の上にエッチングにより開口部が設けられ、その開口部の縁はテーパ形状となるようにエッチングする。テーパの角度は1 0~6 0°（好ましくは3 0~5 0°）とすると良い。

10

【0191】

第3層間絶縁膜5 0の上にはE L層5 1が設けられる。E L層5 1は単層又は積層構造で用いられるが、積層構造で用いた方が発光効率は良い。一般的には画素電極上に正孔注入層／正孔輸送層／発光層／電子輸送層の順に形成されるが、正孔輸送層／発光層／電子輸送層、または正孔注入層／正孔輸送層／発光層／電子輸送層／電子注入層のような構造でも良い。本願発明では公知のいずれの構造を用いても良いし、E L層に対して蛍光性色素等をドーピングしても良い。

【0192】

有機E L材料としては、例えば、以下の米国特許又は公開公報に開示された材料を用いることができる。米国特許第4, 356, 429号、米国特許第4, 539, 507号、米国特許第4, 720, 432号、米国特許第4, 769, 292号、米国特許第4, 885, 211号、米国特許第4, 950, 950号、米国特許第5, 059, 861号、米国特許第5, 047, 687号、米国特許第5, 073, 446号、米国特許第5, 059, 862号、米国特許第5, 061, 617号、米国特許第5, 151, 629号、米国特許第5, 294, 869号、米国特許第5, 294, 870号、特開平10-189525号公報、特開平8-241048号公報、特開平8-78159号公報。

20

【0193】

なお、E Lディスプレイには大きく分けて四つのカラー化表示方式があり、R（赤）G（緑）B（青）に対応した三種類のE L素子を形成する方式、白色発光のE L素子とカラーフィルターを組み合わせた方式、青色又は青緑発光のE L素子と蛍光体（蛍光性の色変換層：CCM）とを組み合わせた方式、陰極（対向電極）に透明電極を使用してRGBに対応したE L素子を重ねる方式、がある。

30

【0194】

図2の構造はRGBに対応した三種類のE L素子を形成する方式を用いた場合の例である。なお、図7には一つの画素しか図示していないが、同一構造の画素が赤、緑又は青のそれぞれの色に対応して形成され、これによりカラー表示を行うことができる。

【0195】

本願発明は発光方式に関わらず実施することが可能であり、上記四つの全ての方式を本願発明に用いることができる。しかし、蛍光体はE Lに比べて応答速度が遅く残光が問題となりうるので、蛍光体を用いない方式が望ましい。また、発光輝度を落とす要因となるカラーフィルターもなるべく使わない方が望ましいと言える。

40

【0196】

E L層5 1の上にはE L素子の陰極5 2が設けられる。陰極5 2としては、仕事関数の小さいマグネシウム（Mg）、リチウム（Li）若しくはカルシウム（Ca）を含む材料を用いる。好ましくはMgAg（MgとAgをMg：Ag=10：1で混合した材料）でなる電極を用いれば良い。他にもMgAgAl電極、LiAl電極、また、LiFAl電極が挙げられる。

【0197】

なお、画素電極（陽極）4 9、E L層5 1及び陰極5 2によってE L素子2 0 6が形成

50

される。

【0198】

EL層51と陰極52とでなる積層体は、各画素で個別に形成する必要があるが、EL層51は水分に極めて弱いため、通常のフォトリソグラフィ技術を用いることができない。従って、メタルマスク等の物理的なマスク材を用い、真空蒸着法、スパッタ法、プラズマCVD法等の気相法で選択的に形成することが好ましい。

【0199】

なお、EL層を選択的に形成する方法として、インクジェット法、スクリーン印刷法又はスピンコート法等を用いることも可能であるが、これらは現状では陰極の連続形成ができないので、上述の方法の方が好ましいと言える。

10

【0200】

また、53は保護電極であり、陰極52を外部の水分等から保護すると同時に、各画素の陰極52を接続するための電極である。保護電極53としては、アルミニウム(A1)、銅(Cu)若しくは銀(Ag)を含む低抵抗な材料を用いることが好ましい。この保護電極53にはEL層の発熱を緩和する放熱効果も期待できる。

【0201】

また、54は第2パッシベーション膜であり、膜厚は10nm~1μm(好ましくは200~500nm)とすれば良い。第2パッシベーション膜54を設ける目的は、EL層51を水分から保護する目的が主であるが、放熱効果をもたせることも有効である。但し、上述のようにEL層は熱に弱いので、なるべく低温(好ましくは室温から120℃までの温度範囲)で成膜するのが望ましい。従って、プラズマCVD法、スパッタ法、真空蒸着法、イオンプレーティング法又は溶液塗布法(スピンコーティング法)が望ましい成膜方法と言える。

20

【0202】

なお、図7に図示されたTFEは全て、本願発明で用いるポリシリコン膜を活性層として有していても良いことは言うまでもない。

【0203】

本願発明は、図7のELディスプレイの構造に限定されるものではなく、図7の構造は本願発明を実施する上での好ましい形態の一つに過ぎない。

【0204】

本実施例において示した構成は、実施例1または実施例2と自由に組み合わせて実施することが可能である。

30

【実施例4】

【0205】

本実施例では、本願発明のELディスプレイの断面構造の概略について、図7とは別の例を図21を用いて説明する。本実施例ではTFEにボトムゲート型の薄膜トランジスタを用いた例について説明する。

【0206】

図21において、811は基板、812は下地となる絶縁膜(以下、下地膜という)である。基板811としては透光性基板、代表的にはガラス基板、石英基板、ガラスセラミックス基板、又は結晶化ガラス基板を用いることができる。但し、作製プロセス中の最高処理温度に耐えるものでなくてはならない。

40

【0207】

また、下地膜812は特に可動イオンを含む基板や導電性を有する基板を用いる場合に有効であるが、石英基板には設けなくても構わない。下地膜812としては、珪素(シリコン)を含む絶縁膜を用いれば良い。なお、本明細書において「珪素を含む絶縁膜」とは、具体的には酸化珪素膜、窒化珪素膜若しくは窒化酸化珪素膜(SiO_xN_y : x、yは任意の整数、で示される)など珪素に対して酸素若しくは窒素を所定の割合で含ませた絶縁膜を指す。

【0208】

50

8201はスイッチング用TFT、8202はEL駆動用TFTであり、それぞれnチャネル型TFT、pチャネル型TFTで形成されている。ELの発光方向が基板の下面（TFT及びEL層が設けられていない面）の場合、上記構成であることが好ましい。しかし本願発明はこの構成に限定されない。スイッチング用TFTとEL駆動用TFTは、nチャネル型TFTでもpチャネル型TFTでも、どちらでも構わない。

【0209】

スイッチング用TFT8201は、ソース領域813、ドレイン領域814、LDD領域815a～815d、分離領域816及びチャネル形成領域863a、864bを含む活性層と、ゲート絶縁膜818と、ゲート電極819a、819bと、第1層間絶縁膜820と、ソース信号線821と、ドレイン配線822とを有している。なお、ゲート絶縁膜818又は第1層間絶縁膜820は基板上の全TFTに共通であっても良いし、回路又は素子に応じて異ならせても良い。

10

【0210】

また、図21に示すスイッチング用TFT8201はゲート電極819a、819bが電氣的に接続されており、いわゆるダブルゲート構造となっている。勿論、ダブルゲート構造だけでなく、トリプルゲート構造などいわゆるマルチゲート構造（直列に接続された二つ以上のチャネル形成領域を有する活性層を含む構造）であっても良い。

【0211】

マルチゲート構造はオフ電流を低減する上で極めて有効であり、スイッチング用TFTのオフ電流を十分に低くすれば、それだけEL駆動用TFT8202のゲート電極に接続されたコンデンサが必要とする最低限の容量を抑えることができる。即ち、コンデンサの面積を小さくすることができるので、マルチゲート構造とすることはEL素子の有効発光面積を広げる上でも有効である。

20

【0212】

さらに、スイッチング用TFT8201においては、LDD領域815a～815dは、ゲート絶縁膜818を介してゲート電極819a、819bと重ならないように設ける。このような構造はオフ電流を低減する上で非常に効果的である。また、LDD領域815a～815dの長さ（幅）は0.5～3.5μm、代表的には2.0～2.5μmとすれば良い。

【0213】

なお、チャネル形成領域とLDD領域との間にオフセット領域（チャネル形成領域と同一組成の半導体層となり、ゲート電圧が加えられない領域）を設けることはオフ電流を下げる上でさらに好ましい。また、二つ以上のゲート電極を有するマルチゲート構造の場合、チャネル形成領域の間に設けられた分離領域816（ソース領域又はドレイン領域と同一の濃度で同一の不純物元素が添加された領域）がオフ電流の低減に効果的である。

30

【0214】

次に、EL駆動用TFT8202は、ソース領域826、ドレイン領域827及びチャネル形成領域805を含む活性層と、ゲート絶縁膜818と、ゲート電極830と、第1層間絶縁膜820と、ソース信号線831並びにドレイン配線832を有して形成される。本実施例においてEL駆動用TFT8202はpチャネル型TFTである。

40

【0215】

また、スイッチング用TFT8201のドレイン領域814はEL駆動用TFT8202のゲート830に接続されている。図示してはいないが、具体的にはEL駆動用TFT8202のゲート電極830はスイッチング用TFT8201のドレイン領域814とドレイン配線（接続配線とも言える）822を介して電氣的に接続されている。なお、ゲート電極830はシングルゲート構造となっているが、マルチゲート構造であっても良い。また、EL駆動用TFT8202のソース信号線831は電源供給線（図示せず）に接続される。

【0216】

EL駆動用TFT8202はEL素子に注入される電流量を制御するための素子であり

50

、比較的多くの電流が流れる。そのため、チャネル幅（W）はスイッチング用TFTのチャネル幅よりも大きく設計することが好ましい。また、EL駆動用TFT 8202に過剰な電流が流れないように、チャネル長（L）は長めに設計することが好ましい。望ましくは一画素あたり0.5～2μA（好ましくは1～1.5μA）となるようにする。

【0217】

またさらに、EL駆動用TFT 8202の活性層（特にチャネル形成領域）の膜厚を厚くする（好ましくは50～100nm、さらに好ましくは60～80nm）ことによって、TFTの劣化を抑えてもよい。逆に、スイッチング用TFT 8201の場合はオフ電流を小さくするという観点から見れば、活性層（特にチャネル形成領域）の膜厚を薄くする（好ましくは20～50nm、さらに好ましくは25～40nm）ことも有効である。

10

【0218】

以上は画素内に設けられたTFTの構造について説明したが、このとき同時に駆動回路も形成される。図21には駆動回路を形成する基本単位となるCMOS回路が図示されている。

【0219】

図21においては極力動作速度を落とさないようにしつつホットキャリア注入を低減させる構造を有するTFTをCMOS回路のnチャネル型TFT 8204として用いる。なお、ここでいう駆動回路としては、ソース信号側駆動回路、ゲート信号側駆動回路を指す。勿論、他の論理回路（レベルシフタ、A/Dコンバータ、信号分割回路等）を形成することも可能である。

20

【0220】

CMOS回路のnチャネル型TFT 8204の活性層は、ソース領域835、ドレイン領域836、LDD領域837及びチャネル形成領域862を含み、LDD領域837はゲート絶縁膜818を介してゲート電極839と重なっている。

【0221】

ドレイン領域836側のみにLDD領域837を形成しているのは、動作速度を落とさないための配慮である。また、このnチャネル型TFT 8204はオフ電流値をあまり気にする必要はなく、それよりも動作速度を重視した方がよい。

従って、LDD領域837は完全にゲート電極に重なってしまい、極力抵抗成分を少なくすることが望ましい。即ち、いわゆるオフセットはなくした方がよい。

30

【0222】

また、CMOS回路のpチャネル型TFT 8205は、ホットキャリア注入による劣化が殆ど気にならないので、特にLDD領域を設けなくても良い。従って活性層はソース領域840、ドレイン領域841及びチャネル形成領域861を含み、その上にはゲート絶縁膜818とゲート電極843が設けられる。勿論、nチャネル型TFT 8204と同様にLDD領域を設け、ホットキャリア対策を講じることも可能である。

【0223】

なお817a、817b、829、838、842はチャネル形成領域861、862、863、864、805を形成するためのマスクである。

【0224】

また、nチャネル型TFT 8204及びpチャネル型TFT 8205はそれぞれソース領域上に第1層間絶縁膜820を間に介して、ソース信号線844、845を有している。また、ドレイン配線846によってnチャネル型TFT 8204とpチャネル型TFT 8205とのドレイン領域は互いに電氣的に接続される。

40

【0225】

次に、847は第1パッシベーション膜であり、膜厚は10nm～1μm（好ましくは200～500nm）とすれば良い。材料としては、珪素を含む絶縁膜（特に窒化酸化珪素膜又は窒化珪素膜が好ましい）を用いることができる。このパッシベーション膜847は形成されたTFTをアルカリ金属や水分から保護する役割金属を有する。最終的にTFT（特にEL駆動用TFT）の上方に設けられるEL層にはナトリウム等のアルカリ金属

50

が含まれている。即ち、第1パッシベーション膜847はこれらのアルカリ金属（可動イオン）をTFT側に侵入させない保護層としても働く。

【0226】

また、848は第2層間絶縁膜であり、TFTによってできる段差の平坦化を行う平坦化膜としての機能を有する。第2層間絶縁膜848としては、有機樹脂膜が好ましく、ポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）等を用いると良い。これらの有機樹脂膜は良好な平坦面を形成しやすく、比誘電率が低いという利点を有する。EL層は凹凸に非常に敏感であるため、TFTによる段差は第2層間絶縁膜848で殆ど吸収してしまうことが望ましい。また、ゲート信号線やデータ信号線とEL素子の陰極との間に形成される寄生容量を低減する上で、比誘電率の低い材料を厚く設けておくことが望ましい。従って、膜厚は0.5～5μm（好ましくは1.5～2.5μm）が好ましい。

10

【0227】

また、849は透明導電膜でなる画素電極（EL素子の陽極）であり、第2層間絶縁膜848及び第1パッシベーション膜847にコンタクトホール（開孔）を開けた後、形成された開孔部においてEL駆動用TFT8202のドレイン配線832に接続されるように形成される。なお、図21のように画素電極849とドレイン領域827とが直接接続されないようにしておくと、EL層のアルカリ金属が画素電極を経由して活性層へ侵入することを防ぐことができる。

【0228】

画素電極849の上には酸化珪素膜、窒化酸化珪素膜または有機樹脂膜でなる第3層間絶縁膜850が0.3～1μmの厚さに設けられる。この第3層間絶縁膜850は画素電極849の上にエッチングにより開口部が設けられ、その開口部の縁はテーパ形状となるようにエッチングする。テーパの角度は10～60°（好ましくは30～50°）とすると良い。

20

【0229】

第3層間絶縁膜850の上にはEL層851が設けられる。EL層851は単層又は積層構造で用いられるが、積層構造で用いた方が発光効率は良い。一般的には画素電極上に正孔注入層／正孔輸送層／発光層／電子輸送層の順に形成されるが、正孔輸送層／発光層／電子輸送層、または正孔注入層／正孔輸送層／発光層／電子輸送層／電子注入層のような構造でも良い。本願発明では公知のいずれの構造を用いても良いし、EL層に対して蛍光性色素等をドーピングしても良い。

30

【0230】

図21の構造はRGBに対応した三種類のEL素子を形成する方式を用いた場合の例である。なお、図21には一つの画素しか図示していないが、同一構造の画素が赤、緑又は青のそれぞれの色に対応して形成され、これによりカラー表示を行うことができる。本願発明は発光方式に関わらず実施することが可能である。

【0231】

EL層851の上にはEL素子の陰極852が設けられる。陰極852としては、仕事関数の小さいマグネシウム（Mg）、リチウム（Li）若しくはカルシウム（Ca）を含む材料を用いる。好ましくはMgAg（MgとAgをMg：Ag＝10：1で混合した材料）でなる電極を用いれば良い。他にもMgAgAl電極、LiAl電極、また、LiFAl電極が挙げられる。

40

【0232】

なお、画素電極（陽極）849、EL層851及び陰極852によってEL素子8206が形成される。

【0233】

EL層851と陰極852とでなる積層体は、各画素で個別に形成する必要があるが、EL層851は水分に極めて弱いため、通常のフォトリソグラフィ技術を用いることができない。従って、メタルマスク等の物理的なマスク材を用い、真空蒸着法、スパッタ法、プラズマCVD法等の気相法で選択的に形成することが好ましい。

50

【0234】

なお、EL層を選択的に形成する方法として、インクジェット法、スクリーン印刷法又はスピコート法等を用いることも可能であるが、これらは現状では陰極の連続形成ができないので、上述の方法の方が好ましいと言える。

【0235】

また、853は保護電極であり、陰極852を外部の水分等から保護すると同時に、各画素の陰極852を接続するための電極である。保護電極853としては、アルミニウム(A1)、銅(Cu)若しくは銀(Ag)を含む低抵抗な材料を用いることが好ましい。この保護電極853にはEL層の発熱を緩和する放熱効果も期待できる。

【0236】

また、854は第2パッシベーション膜であり、膜厚は10nm～1μm(好ましくは200～500nm)とすれば良い。第2パッシベーション膜854を設ける目的は、EL層851を水分から保護する目的が主であるが、放熱効果をもたせることも有効である。但し、上述のようにEL層は熱に弱いので、なるべく低温(好ましくは室温から120℃までの温度範囲)で成膜するのが望ましい。従って、プラズマCVD法、スパッタ法、真空蒸着法、イオンプレーティング法又は溶液塗布法(スピコーティング法)が望ましい成膜方法と言える。

【0237】

なお、図21に図示されたTF Tは全て、本願発明で用いるポリシリコン膜を活性層として有していても良いことは言うまでもない。

【0238】

本願発明は、図21のELディスプレイの構造に限定されるものではなく、図21の構造は本願発明を実施する上での好ましい形態の一つに過ぎない。

【0239】

本実施例において示した構成は、実施例1または実施例2と自由に組み合わせて実施することが可能である。

【実施例5】

【0240】

本実施例では、画素部とその周辺に設けられる駆動回路部のTF Tを同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路に関しては基本単位であるCMOS回路を図示することとする。

【0241】

まず、図8(A)に示すように、下地膜(図示せず)を表面に設けた基板501を用意する。本実施例では結晶化ガラス上に下地膜として100nm厚の窒化酸化珪素膜を200nm厚の窒化酸化珪素膜とを積層して用いる。この時、結晶化ガラス基板に接する方の窒素濃度を10～25wt%としておくが良い。勿論、下地膜を設けずに石英基板上に直接素子を形成しても良い。

【0242】

次に基板501の上に45nmの厚さのアモルファスシリコン膜502を公知の成膜法で形成する。なお、アモルファスシリコン膜に限定する必要はなく、非晶質構造を含む半導体膜(微結晶半導体膜を含む)であれば良い。さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜でも良い。

【0243】

ここから図8(C)までの工程は本出願人による特開平10-247735号公報を完全に引用することができる。同公報ではNi等の元素を触媒として用いた半導体膜の結晶化方法に関する技術を開示している。

【0244】

まず、開口部503a、503bを有する保護膜504を形成する。本実施例では150nm厚の酸化珪素膜を用いる。そして、保護膜504の上にスピコート法によりニッケル(Ni)を含有する層(Ni含有層)505を形成する。このNi含有層の形成に関し

10

20

30

40

50

ては、前記公報を参考にすれば良い。

【0245】

次に、図8（B）に示すように、不活性雰囲気中で570℃14時間の加熱処理を加え、アモルファスシリコン膜502を結晶化する。この際、Niが接した領域（以下、Ni添加領域という）506a、506bを起点として、基板と概略平行に結晶化が進行し、棒状結晶が集まって並んだ結晶構造でなるポリシリコン膜507が形成される。

【0246】

次に、図8（C）に示すように、保護膜504をそのままマスクとして15族に属する元素（好ましくはリン）をNi添加領域506a、506bに添加する。

こうして高濃度にリンが添加された領域（以下、リン添加領域という）508a、508bが形成される。 10

【0247】

次に、図8（C）に示すように、不活性雰囲気中で600℃12時間の加熱処理を加える。この熱処理によりポリシリコン膜507中に存在するNiは移動し、最終的には殆ど全て矢印が示すようにリン添加領域508a、508bに捕獲されてしまう。これはリンによる金属元素（本実施例ではNi）のゲッタリング効果による現象であると考えられる。

【0248】

この工程によりポリシリコン膜509中に残るNiの濃度はSIMS（質量二次イオン分析）による測定値で少なくとも 2×10^{17} atoms/cm³にまで低減される。Niは半導体にとってライフタイムキラーであるが、この程度まで低減されるとTFT特性には何ら悪影響を与えることはない。また、この濃度は殆ど現状のSIMS分析の測定限界であるので、実際にはさらに低い濃度（ 2×10^{17} atoms/cm³以下）であると考えられる。 20

【0249】

こうして触媒を用いた結晶化され、且つ、その触媒がTFTの動作に支障を与えないレベルにまで低減されたポリシリコン膜509が得られる。その後、このポリシリコン膜509のみを用いた活性層510～513をパターンニング工程により形成する。また、この時、後のパターンニングにおいてマスク合わせを行うためのマーカーを、上記ポリシリコン膜を用いて形成すると良い。（図8（D））

【0250】

次に、図8（E）に示すように、50nm厚の窒化酸化シリコン膜をプラズマCVD法により形成し、その上で酸化雰囲気中で950℃1時間の加熱処理を加え、熱酸化工程を行う。なお、酸化雰囲気は酸素雰囲気でも良いし、ハロゲン元素を添加した酸素雰囲気でも良い。 30

【0251】

この熱酸化工程では活性層と上記窒化酸化シリコン膜との界面で酸化が進行し、約15nm厚のポリシリコン膜が酸化されて約30nm厚の酸化シリコン膜が形成される。即ち、30nm厚の酸化シリコン膜と50nm厚の窒化酸化シリコン膜が積層されてなる80nm厚のゲート絶縁膜514が形成される。また、活性層510～513の膜厚はこの熱酸化工程によって30nmとなる。 40

【0252】

次に、図9（A）に示すように、レジストマスク515を形成し、ゲート絶縁膜514を介して活性層511～513にp型を付与する不純物元素（以下、p型不純物元素という）を添加する。p型不純物元素としては、代表的には13族に属する元素、典型的にはボロンまたはガリウムを用いることができる。この工程（チャネルドープ工程という）はTFTのしきい値電圧を制御するための工程である。

【0253】

なお、本実施例ではジボラン（B₂H₆）を質量分離しないでプラズマ励起したイオンドープ法でボロンを添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。この工程により $1 \times 10^{15} \sim 1 \times 10^{18}$ atoms/cm³（代表的には $5 \times 10^{16} \sim 5 \times 10^{17}$ atoms/cm³）の濃度でボロンを含む不純物領域516～518が形成される。 50

【0254】

次に、図9（B）に示すように、レジストマスク519a、519bを形成し、ゲート絶縁膜514を介してn型を付与する不純物元素（以下、n型不純物元素という）を添加する。なお、n型不純物元素としては、代表的には15族に属する元素、典型的にはリン又は砒素を用いることができる。なお、本実施例ではフォスフィン（ PH_3 ）を質量分離しないでプラズマ励起したプラズマドーピング法を用い、リンを $1 \times 10^{18} \text{atoms/cm}^3$ の濃度で添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。

【0255】

この工程により形成されるn型不純物領域520、521には、n型不純物元素が $2 \times 10^{16} \sim 5 \times 10^{19} \text{atoms/cm}^3$ （代表的には $5 \times 10^{17} \sim 5 \times 10^{18} \text{atoms/cm}^3$ ）の濃度で含まれるようにドーズ量を調節する。

10

【0256】

次に、図9（C）に示すように、添加されたn型不純物元素及びp型不純物元素の活性化工程を行う。活性化手段を限定する必要はないが、ゲート絶縁膜514が設けられているので電熱炉を用いたファースアニール処理が好ましい。また、図9（A）の工程でチャンネル形成領域となる部分の活性層／ゲート絶縁膜界面にダメージを与えてしまっている可能性があるため、なるべく高い温度で加熱処理を行うことが望ましい。

【0257】

本実施例の場合には耐熱性の高い結晶化ガラスを用いているので、活性化工程を 800°C 1時間のファースアニール処理により行う。なお、処理雰囲気酸化性雰囲気にして熱酸化を行っても良いし、不活性雰囲気酸化性雰囲気で行っても良い。

20

【0258】

この工程によりn型不純物領域520、521の端部、即ち、n型不純物領域520、521の周囲に存在するn型不純物元素を添加していない領域（図9（A）の工程で形成されたp型不純物領域）との境界部（接合部）が明確になる。このことは、後にTF Tが完成した時点において、LDD領域とチャンネル形成領域とが非常に良好な接合部を形成しうることを意味する。

【0259】

次に、 $200 \sim 400 \text{nm}$ 厚の導電膜を形成し、パターニングしてゲート電極522～525を形成する。このゲート電極522～525の線幅によって各TF Tのチャンネル長の長さが決定する。

30

【0260】

なお、ゲート電極は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。ゲート電極の材料としては公知の導電膜を用いることができる。具体的には、アルミ（Al）、タンタル（Ta）、チタン（Ti）、モリブデン（Mo）、タングステン（W）、クロム（Cr）、シリコン（Si）から選ばれた元素でなる膜、または前記元素の窒化物でなる膜（代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜）、または前記元素を組み合わせた合金膜（代表的にはMo-W合金、Mo-Ta合金）、または前記元素のシリサイド膜（代表的にはタングステンシリサイド膜、チタンシリサイド膜）を用いることができる。勿論、単層で用いても積層して用いても良い。

40

【0261】

本実施例では、 50nm 厚の窒化タングステン（WN）膜と、 350nm 厚のタングステン（W）膜とでなる積層膜を用いる。これはスパッタ法で形成すれば良い。また、スパッタガスとしてキセノン（Xe）、ネオン（Ne）等の不活性ガスを添加すると応力による膜はがれを防止することができる。

【0262】

またこの時、ゲート電極523、525はそれぞれn型不純物領域520、521の一部とゲート絶縁膜514を介して重なるように形成する。この重なった部分が後にゲート電極と重なったLDD領域となる。なお、ゲート電極524a、524bは断面では二つに

50

見えるが、実際は電氣的に接続されている。

【0263】

次に、図10(A)に示すように、ゲート電極522～525をマスクとして自己整合的にn型不純物元素（本実施例ではリン）を添加する。こうして形成される不純物領域527～533にはn型不純物領域520、521の $1/2 \sim 1/10$ （代表的には $1/3 \sim 1/4$ ）の濃度でリンが添加されるように調節する。具体的には、 $1 \times 10^{16} \sim 5 \times 10^{18} \text{atoms/cm}^3$ （典型的には $3 \times 10^{17} \sim 3 \times 10^{18} \text{atoms/cm}^3$ ）の濃度が好ましい。

【0264】

次に、図10(B)に示すように、ゲート電極等を覆う形でレジストマスク534a～534dを形成し、n型不純物元素（本実施例ではリン）を添加して高濃度にリンを含む不純物領域535～541を形成する。ここでもフォスフィン（ PH_3 ）を用いたイオンドーブ法で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21} \text{atoms/cm}^3$ （代表的には $2 \times 10^{20} \sim 5 \times 10^{21} \text{atoms/cm}^3$ ）となるように調節する。

【0265】

この工程によってnチャネル型TFETのソース領域若しくはドレイン領域が形成されるが、スイッチング用TFETは、図10(A)の工程で形成したn型不純物領域530～532の一部を残す。この残された領域が、スイッチング用TFETのLDD領域に対応する。

【0266】

次に、図10(C)に示すように、レジストマスク534a～534cを除去し、新たにレジストマスク543を形成する。そして、p型不純物元素（本実施例ではボロン）を添加し、高濃度にボロンを含む不純物領域544、545を形成する。ここではジボラン（ B_2H_6 ）を用いたイオンドーブ法により $3 \times 10^{20} \sim 3 \times 10^{21} \text{atoms/cm}^3$ （代表的には $5 \times 10^{20} \sim 1 \times 10^{21} \text{atoms/cm}^3$ ）の濃度となるようにボロンを添加する。

【0267】

なお、不純物領域544、545には既に $1 \times 10^{20} \sim 1 \times 10^{21} \text{atoms/cm}^3$ の濃度でリンが添加されているが、ここで添加されるボロンはその少なくとも3倍以上の濃度で添加される。そのため、予め形成されていたn型の不純物領域は完全にP型に反転し、P型の不純物領域として機能する。

【0268】

次に、図10(D)に示すように、レジストマスク543を除去した後、第1層間絶縁膜546を形成する。第1層間絶縁膜546としては、珪素を含む絶縁膜を単層で用いるか、その中で組み合わせた積層膜を用いれば良い。また、膜厚は $400 \text{nm} \sim 1.5 \mu\text{m}$ とすれば良い。本実施例では、 200nm 厚の窒化酸化珪素膜の上に 800nm 厚の酸化珪素膜を積層した構造とする。

【0269】

その後、それぞれの濃度で添加されたn型またはp型不純物元素を活性化する。活性化手段としては、ファーネスアニール法が好ましい。本実施例では電熱炉において窒素雰囲気中、 550°C 、4時間の熱処理を行う。

【0270】

さらに、 $3 \sim 100\%$ の水素を含む雰囲気中で、 $300 \sim 450^\circ\text{C}$ で $1 \sim 12$ 時間の熱処理を行い水素化処理を行う。この工程は熱的に励起された水素により半導体膜の不対結合手を水素終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0271】

なお、水素化処理は第1層間絶縁膜546を形成する間に入れても良い。即ち、 200nm 厚の窒化酸化珪素膜を形成した後で上記のように水素化処理を行い、その後で残り 800nm 厚の酸化珪素膜を形成しても構わない。

【0272】

次に、図11(A)に示すように、第1層間絶縁膜546に対してコンタクトホールを

10

20

30

40

50

形成し、ソース信号線 547～550 と、ドレイン配線 551～553 を形成する。なお、本実施例ではこの電極を、Ti 膜を 100 nm、Ti を含むアルミニウム膜を 300 nm、Ti 膜 150 nm をスパッタ法で連続形成した 3 層構造の積層膜とする。勿論、他の導電膜でも良い。

【0273】

次に、50～500 nm（代表的には 200～300 nm）の厚さで第 1 パッシベーション膜 554 を形成する。本実施例では第 1 パッシベーション膜 554 として 300 nm 厚の窒化酸化シリコン膜を用いる。これは窒化シリコン膜で代用しても良い。

【0274】

この時、窒化酸化シリコン膜の形成に先立って H₂、NH₃ 等水素を含むガスを用いてプラズマ処理を行うことは有効である。この前処理により励起された水素が第 1 層間絶縁膜 546 に供給され、熱処理を行うことで、第 1 パッシベーション膜 554 の膜質が改善される。それと同時に、第 1 層間絶縁膜 546 に添加された水素が下層側に拡散するため、効果的に活性層を水素化することができる。

【0275】

次に、図 11（B）に示すように、有機樹脂からなる第 2 層間絶縁膜 555 を形成する。有機樹脂としてはポリイミド、アクリル、BCB（ベンゾシクロブテン）等を使用することができる。特に、第 2 層間絶縁膜 555 は TFT が形成する段差を平坦化するためがあるので、平坦性に優れたアクリル膜が好ましい。本実施例では 2.5 μm の厚さでアクリル膜を形成する。

【0276】

次に、第 2 層間絶縁膜 555、第 1 パッシベーション膜 554 にドレイン配線 553 に達するコンタクトホールを形成し、次に保護電極 556 を形成する。保護電極 556 としてはアルミニウムを主成分とする導電膜を用いれば良い。保護電極 556 は真空蒸着法で形成すれば良い。

【0277】

次に、珪素を含む絶縁膜（本実施例では酸化珪素膜）を 500 nm の厚さに形成し、画素電極となる部分に対応する位置に開口部を形成して第 3 層間絶縁膜 557 を形成する。開口部を形成する際、ウェットエッチング法を用いることで容易にテーパー形状の側壁とすることができる。開口部の側壁が十分になだらかでないとならば段差に起因する EL 層の劣化が顕著な問題となってしまう。

【0278】

次に EL 素子の陰極である対向電極（MgAg 電極）558 を形成する。MgAg 電極 558 は真空蒸着法を用いて、厚さが 180～300 nm（典型的には 200～250 nm）になるように形成する。

【0279】

次に、EL 層 559 を、真空蒸着法を用いて大気解放しないで形成する。なお、EL 層 559 の膜厚は 80～200 nm（典型的には 100～120 nm）、画素電極（陽極）560 を 110 nm の厚さとすれば良い。

【0280】

本実施例における工程では、赤色に対応する画素、緑色に対応する画素及び青色に対応する画素に対して順次 EL 層及び画素電極（陽極）を形成する。但し、EL 層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的に EL 層及び画素電極（陽極）を形成するのが好ましい。

【0281】

即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光の EL 層及び画素電極（陽極）を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光の EL 層及び画素電極（陽極）を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスク

10

20

30

40

50

をセットし、そのマスクを用いて青色発光のEL層及び画素電極（陽極）を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。また、全画素にEL層及び画素電極（陽極）を形成するまで真空を破らずに処理することが好ましい。

【0282】

なお、EL層559としては公知の材料を用いることができる。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層及び電子注入層でなる4層構造をEL層とすれば良い。

また、本実施例ではEL素子の画素電極（陽極）560として酸化インジウム・スズ（ITO）膜を形成する。また、酸化インジウムに2～20%の酸化亜鉛（ZnO）を混合した透明導電膜を用いても良いし、公知の他の材料であっても良い。

10

【0283】

最後に、窒化珪素膜でなる第2パッシベーション膜561を300nmの厚さに形成する。

【0284】

こうして図11（C）に示すような構造のELディスプレイが完成する。なお、実際には、図11（C）まで完成したら、さらに外気に曝されないように気密性の高い保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）やセラミックス製シーリングカンなどのハウジング材でパッケージング（封入）することが好ましい。その際、ハウジング材の内部を不活性雰囲気にしたたり、内部に吸湿性材料（例えば酸化バリウム）を配置することでEL層の信頼性（寿命）が向上する。

20

【0285】

また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ（フレキシブルプリントサーキット：FPC）を取り付けて製品として完成する。このような出荷できる状態にまでしたELディスプレイを本明細書中ではELモジュールという。

【0286】

本実施例において示した構成は、実施例1または実施例2と自由に組み合わせて実施することが可能である。

【実施例6】

30

【0287】

本実施例では本願発明のELディスプレイの構成を図12の斜視図を用いて説明する。

【0288】

本実施例のELディスプレイは、ガラス基板3201上に形成された、画素部3202と、ゲート信号側駆動回路3203と、ソース側駆動回路3204とで構成される。画素部3202のスイッチング用TFET3205はnチャネル型TFETであり、ゲート信号側駆動回路3203に接続されたゲート信号線3206、ソース側駆動回路3204に接続されたソース信号線3207の交点に配置されている。また、スイッチング用TFET3205のドレイン領域はEL駆動用TFET3208のゲートに接続されている。

【0289】

40

さらに、EL駆動用TFET3208のソース領域は電源供給線3209に接続される。またEL駆動用TFET3208のゲート領域と電源供給線3209とに接続されたコンデンサ3216が設けられている。本実施例では、電源供給線3209には電源電位が加えられている。また、このEL素子3211の対向電極（本実施例では陰極）は定常電位（本実施例では0V）に保たれている。

【0290】

そして、外部入出力端子となるFPC3212には駆動回路まで信号を伝達するための入出力配線（接続配線）3213、3214、及び電源供給線3209に接続された入出力配線3215が設けられている。

【0291】

50

さらに、ハウジング材をも含めた本実施例の E L モジュールについて図 1 3 (A)、(B)を用いて説明する。なお、必要に応じて図 1 2 で用いた符号を引用することにする。

【0292】

ガラス基板 3 2 0 1 上には画素部 3 2 0 2、ゲート信号側駆動回路 3 2 0 3、ソース信号側駆動回路 3 2 0 4 が形成されている。それぞれの駆動回路からの各種配線は、入出力配線 3 2 1 3 ~ 3 2 1 5 を経て F P C 3 2 1 2 に至り外部機器へと接続される。

【0293】

このとき少なくとも画素部 3 2 0 2、好ましくは駆動回路 3 2 0 3、3 2 0 4 及び画素部 3 2 0 2 を囲むようにしてハウジング材 3 3 0 4 を設ける。なお、ハウジング材 3 3 0 4 は E L 素子の外寸よりも内寸が大きい凹部を有する形状又はシート形状であり、接着剤 3 3 0 5 によって、ガラス基板 3 2 0 1 と共同して密閉空間を形成するようにしてガラス基板 3 2 0 1 に固着される。このとき、E L 素子は完全に前記密閉空間に封入された状態となり、外気から完全に遮断される。なお、ハウジング材 3 3 0 4 は複数設けても構わない。

10

【0294】

また、ハウジング材 3 3 0 4 の材質はガラス、ポリマー等の絶縁性物質が好ましい。例えば、非晶質ガラス（硼硅酸塩ガラス、石英等）、結晶化ガラス、セラミックスガラス、有機系樹脂（アクリル系樹脂、スチレン系樹脂、ポリカーボネート系樹脂、エポキシ系樹脂等）、シリコーン系樹脂が挙げられる。また、セラミックスを用いても良い。また、接着剤 3 3 0 5 が絶縁性物質であるならステンレス合金等の金属材料を用いることも可能である。

20

【0295】

また、接着剤 3 3 0 5 の材質は、エポキシ系樹脂、アクリレート系樹脂等の接着剤を用いることが可能である。さらに、熱硬化性樹脂や光硬化性樹脂を接着剤として用いることもできる。但し、可能な限り酸素、水分を透過しない材質であることが必要である。

【0296】

さらに、ハウジング材 3 3 0 4 とガラス基板 3 2 0 1 との間の空隙 3 3 0 6 は不活性ガス（アルゴン、ヘリウム、窒素等）を充填しておくことが望ましい。また、ガスに限らず不活性液体（パーフルオロアルカンに代表されるの液状フッ素化炭素等）を用いることも可能である。不活性液体に関しては特開平 8 - 7 8 5 1 9 号で用いられているような材料で良い。

30

【0297】

また、空隙 3 3 0 6 に乾燥剤を設けておくことも有効である。乾燥剤としては特開平 9 - 1 4 8 0 6 6 号公報に記載されているような材料を用いることができる。一般的には酸化バリウムが用いられている。

【0298】

また、図 1 3 (B) に示すように、画素部には個々に孤立した E L 素子を有する複数の画素が設けられ、それらは全て保護電極 3 3 0 7 を共通電極として有している。本実施例では、E L 層、陰極 (M g A g 電極) 及び保護電極を大気解放しないで連続形成することが好ましいとしたが、E L 層と陰極とを同じマスク材を用いて形成しても良い。

40

【0299】

このとき、E L 層と陰極は画素部の上のみ設ければよく、駆動回路の上に設ける必要はない。勿論、駆動回路上に設けられていても問題とはならないが、E L 層にアルカリ金属が含まれていることを考慮すると設けない方が好ましい。

【0300】

なお、保護電極 3 3 0 7 は 3 3 0 8 で示される領域において、画素電極と同一材料でなる接続配線 3 3 0 9 を介して入出力配線 3 3 1 0 に接続される。入出力配線 3 3 1 0 は保護電極 3 3 0 7 に電源電位を加えるための電源供給線であり、導電性ペースト材料 3 3 1 1 を介して F P C 3 2 1 2 に接続される。

【0301】

50

本実施例において示した構成は、実施例 1 と自由に組み合わせて実施することが可能である。

【実施例 7】

【0302】

本実施例では、本願発明における EL ディスプレイの画素の構成について説明する。

【0303】

本願発明における EL ディスプレイの画素部には、マトリクス状に複数の画素が配列されている。画素の回路図の一例を図 17 (A) に示す。図 17 (A) において、画素 1000 の中にスイッチング用 TFT 1001 が設けられている。

なお本願発明において、スイッチング用 TFT 1001 は n チャネル型 TFT でも p チャネル型 TFT でも、どちらでも用いることが可能である。図 17 (A)

において、スイッチング用 TFT 1001 には n チャネル型 TFT を用いる。スイッチング用 TFT 1001 のゲート電極は、ゲート信号を入力するゲート信号線 1002 に接続されている。スイッチング用 TFT 1001 のソース領域とドレイン領域は、一方はアナログまたはデジタルのビデオ信号を入力するデータ信号線（ソース信号線ともいう）1003 に接続されている。またもう一方は EL 駆動用 TFT 1004 のゲート電極に接続される。

【0304】

EL 駆動用 TFT 1004 のソース領域とドレイン領域は、一方は電源供給線 1005 に接続され、もう一方はドレイン領域は EL 素子 1006 に接続される。

【0305】

EL 素子 1006 は陽極と、陰極と、陽極と陰極との間に設けられた EL 層とでなる。なお本願発明において、陽極が画素電極で陰極が対向電極の場合、EL 駆動用 TFT 1004 のソース領域またはドレイン領域は、EL 素子 1006 の陽極に接続される。逆に陽極が対向電極で陰極が画素電極の場合、EL 駆動用 TFT 1004 のソース領域またはドレイン領域は、EL 素子 1006 の陰極に接続される。なお EL 駆動用 TFT 1004 は n チャネル型 TFT でも p チャネル型 TFT でもどちらでも用いることが可能であるが、EL 素子 1006 の陽極が画素電極で陰極が対向電極の場合、EL 駆動用 TFT 1004 は p チャネル型 TFT であることが好ましい。また逆に EL 素子 1006 の陽極が対向電極で陰極が画素電極の場合、EL 駆動用 TFT 1004 は n チャネル型 TFT であることが好ましい。図 17 (A) では EL 駆動用 TFT 1004 に p チャネル型 TFT を用いており、EL 素子 1006 の陰極は定常電源 1007 に接続されている。

【0306】

また EL 駆動用 TFT 1004 の活性層中に LDD 領域を設け、LDD 領域とゲート電極とがゲート絶縁膜を介して重なる領域（Lov 領域）を形成しても良い。EL 駆動用 TFT 1004 が特に n チャネル型 TFT の場合、活性層のドレイン領域側に Lov 領域を形成することでオン電流を増加させることができ、また EL 駆動用 TFT 1004 のゲート電極と Lov 領域との間に容量を形成することができる。

【0307】

また、スイッチング用 TFT 1001 が非選択状態（オフの状態）にある時、EL 駆動用 TFT 1004 のゲート電圧を保持するためにコンデンサを設けても良い。コンデンサを設ける場合、スイッチング用 TFT 1001 のソース領域とドレイン領域のソース信号線に接続されていない方と、電源供給線 1005 との間にコンデンサを接続するようにする。図 17 (A) に示した回路図において、電源供給線 1005 はソース信号線 1003 と平行に並んでいる。

【0308】

EL 駆動用 TFT の Lov 領域を EL 駆動用 TFT 1004 のゲート電圧を保持するためのコンデンサとして用いるには、例えば画素のサイズが $22\ \mu\text{m} \times 22\ \mu\text{m}$ 、ゲート絶縁膜の厚さが $800\ \text{\AA}$ 、ゲート絶縁膜の比誘電率が 4.1 であった場合約 $19.8\ \text{fF}$ の容量値が必要である。よって Lov 領域の面積（LDD 領域とゲート電極とがゲート絶縁

膜を介して重なる面積)は、約 $66 \mu\text{m}^2$ 必要となる。

【0309】

なお図17(A)に示した回路図において、スイッチング用TF T 1 0 0 1またはEL駆動用TF T 1 0 0 4をマルチゲート構造(直列に接続された二つ以上のチャネル形成領域を有する活性層を含む構造)としても良い。図17(A)に示した画素のスイッチング用TF T 1 0 0 1をマルチゲート構造とした画素の回路図を図18(A)に示す。

【0310】

スイッチング用TF T 1 1 0 1 aとスイッチング用TF T 1 1 0 1 bとが直列に接続して設けられている。スイッチング用TF T 1 1 0 1 a、1 1 0 1 b以外は図17(A)に示した回路図と構成が同じである。スイッチング用TF Tをマルチゲート構造にすることによって、オフ電流を下げることができる。なお図18(A)ではダブルゲート構造としたが、本実施例はダブルゲートに限定されることはなく、マルチゲート構造であれば良い。

【0311】

また図には示してはいないが、EL駆動用TF Tをマルチゲート構造にした場合、熱によるEL駆動用TF Tの劣化を抑えることができる。

【0312】

次に本願発明の画素の回路図の別の一例を図17(B)に示す。図17(B)において、画素1 1 0 0の中にスイッチング用TF T 1 1 0 1が設けられている。

なお本願発明において、スイッチング用TF T 1 1 0 1はnチャネル型TF Tでもpチャネル型TF Tでも、どちらでも用いることが可能である。図17(B)

において、スイッチング用TF T 1 1 0 1にはnチャネル型TF Tを用いる。スイッチング用TF T 1 1 0 1のゲート電極は、ゲート信号を入力するゲート信号線1 1 0 2に接続されている。スイッチング用TF T 1 1 0 1のソース領域とドレイン領域のいずれか一方はアナログまたはデジタルのビデオ信号を入力するデータ信号線(ソース信号線ともいう)1 1 0 3に接続されている。またもう一方はEL駆動用TF T 1 1 0 4のゲート電極に接続される。

【0313】

そして、EL駆動用TF T 1 1 0 4のソース領域とドレイン領域は、一方は電源供給線1 1 0 5に接続され、もう一方はEL素子1 1 0 6に接続される。

【0314】

EL素子1 1 0 6は陽極と、陰極と、陽極と陰極との間に設けられたEL層とでなる。なお本願発明において、陽極が画素電極で陰極が対向電極の場合、EL駆動用TF T 1 1 0 4のソース領域またはドレイン領域は、EL素子1 1 0 6の陽極に接続される。逆に陽極が対向電極で陰極が画素電極の場合、EL駆動用TF T 1 1 0 4のソース領域またはドレイン領域は、EL素子1 1 0 6の陰極に接続される。なおEL駆動用TF T 1 1 0 4はnチャネル型TF Tでもpチャネル型TF Tでもどちらでも用いることが可能であるが、EL素子1 1 0 6の陽極が画素電極で陰極が対向電極の場合、EL駆動用TF T 1 1 0 4はpチャネル型TF Tであることが好ましい。また逆にEL素子1 1 0 6の陽極が対向電極で陰極が画素電極の場合、EL駆動用TF T 1 1 0 4はnチャネル型TF Tであることが好ましい。図17(B)ではEL駆動用TF T 1 1 0 4にpチャネル型TF Tを用いており、EL素子1 1 0 6の陰極は定常電源1 1 0 7に接続されている。

【0315】

またEL駆動用TF T 1 1 0 4の活性層中にLDD領域を設け、LDD領域とゲート電極とがゲート絶縁膜を介して重なる領域(Lov領域)を形成しても良い。EL駆動用TF T 1 1 0 4が特にnチャネル型TF Tの場合、活性層のドレイン領域側にLov領域を形成することでオン電流を増加させることができ、またEL駆動用TF T 1 1 0 4のゲート電極とLov領域との間に容量を形成することができる。

【0316】

また、スイッチング用TF T 1 1 0 1が非選択状態(オフの状態)にある時、EL駆動用TF T 1 1 0 4のゲート電圧を保持するためにコンデンサを設けても良い。コンデンサ

を設ける場合、スイッチング用TFT1101のソース領域とドレイン領域のソース信号線に接続されていない方と、電源供給線1105との間にコンデンサを接続するようにする。図17(B)に示した回路図において、電源供給線1105はゲート信号線1102と平行に並んでいる。

【0317】

なお図17(B)に示した回路図において、スイッチング用TFT1101またはEL駆動用TFT1104をマルチゲート構造としても良い。図17(B)に示した画素のスイッチング用TFT1101をマルチゲート構造とした画素の回路図を図18(B)に示す。

【0318】

スイッチング用TFT1101aとスイッチング用TFT1101bとが直列に接続して設けられている。スイッチング用TFT1101a、1101b以外は図17(B)に示した回路図と構成が同じである。スイッチング用TFTをマルチゲート構造にすることによって、オフ電流を下げるができる。なお図18(B)ではダブルゲート構造としたが、本実施例はダブルゲートに限定されることはなく、マルチゲート構造であれば良い。

【0319】

また図には示してはいないが、EL駆動用TFTをマルチゲート構造にした場合、熱によるEL駆動用TFTの劣化を抑えることができる。

【0320】

次に本願発明の画素の回路図の別の一例を図19(A)に示す。図19(A)において、画素1200と画素1210とが隣接して設けられている。図19(A)において、1201及び1211はスイッチング用TFTである。なお本願発明において、スイッチング用TFT1201及び1211はnチャネル型TFTでもpチャネル型TFTでも、どちらでも用いることが可能である。図19(A)において、スイッチング用TFT1201及び1211にはnチャネル型TFTを用いる。スイッチング用TFT1201及び1211のゲート電極は、ゲート信号を入力するゲート信号線1202に接続されている。スイッチング用TFT1201及び1211のソース領域とドレイン領域は、一方はアナログまたはデジタルのビデオ信号を入力するデータ信号線(ソース信号線ともいう)1203と1204とにそれぞれ接続されている。またもう一方はEL駆動用TFT1204及び1214のゲート電極にそれぞれ接続される。

【0321】

そして、EL駆動用TFT1204及び1214のソース領域とドレイン領域の一方は電源供給線1220に接続され、もう一方はEL素子1205及び1215にそれぞれ接続される。このように本実施例では隣り合う2つの画素で1つの電源供給線1220を共有している。これにより、図17及び図18で示した構成に比べて、電源供給線の数減らすことができる。配線の画素部全体に対する割合が小さいと、EL層の発光する方向に配線が設けられている場合において、配線による光の遮蔽が抑えられる。

【0322】

EL素子1205及び1215はそれぞれ陽極と、陰極と、陽極と陰極との間に設けられたEL層とでなる。なお本願発明において、陽極が画素電極で陰極が対向電極の場合、EL駆動用TFT1204及び1214のソース領域またはドレイン領域は、EL素子1205及び1215の陽極に接続される。逆に陽極が対向電極で陰極が画素電極の場合、EL駆動用TFT1204及び1214のソース領域またはドレイン領域は、EL素子1205及び1215の陰極に接続される。なおEL駆動用TFT1204及び1214はnチャネル型TFTでもpチャネル型TFTでもどちらでも用いることが可能であるが、EL素子1205及び1215の陽極が画素電極で陰極が対向電極の場合、EL駆動用TFT1204及び1214はpチャネル型TFTであることが好ましい。また逆にEL素子1205及び1215の陽極が対向電極で陰極が画素電極の場合、EL駆動用TFT1204及び1214はnチャネル型TFTであることが好ましい。図19(A)ではEL駆動用TFT1204及び1214にpチャネル型TFTを用いており、EL素子120

5及び1215の陰極は定常電源1206及び1216に接続されている。

【0323】

またEL駆動用TFT1204及び1214の活性層中にLDD領域を設け、LDD領域とゲート電極とがゲート絶縁膜を介して重なる領域（Lov領域）を形成しても良い。EL駆動用TFT1204が特にnチャネル型TFTの場合、活性層のドレイン領域側にLov領域を形成することでオン電流を増加させることができ、またEL駆動用TFT1204のゲート電極とLov領域との間に容量を形成することができる。

【0324】

また、スイッチング用TFT1201及び1211が非選択状態（オフの状態）にある時、EL駆動用TFT1204及び1214のゲート電圧を保持するためにコンデンサを設けても良い。コンデンサを設ける場合、スイッチング用TFT1201のソース領域とドレイン領域のソース信号線に接続されていない方と、電源供給線1220との間にコンデンサを接続するようにする。

【0325】

なお図19（A）に示した回路図において、スイッチング用TFT1201、1211またはEL駆動用TFT1204、1214をマルチゲート構造としても良い。図19（A）に示した画素のスイッチング用TFT1201、1211をマルチゲート構造とした画素の回路図を図20（A）に示す。

【0326】

スイッチング用TFT1201aとスイッチング用TFT1201bとが直列に接続して設けられている。またスイッチング用TFT1211aとスイッチング用TFT1211bとが直列に接続して設けられている。スイッチング用TFT1201a、1201b及びスイッチング用TFT1211a及び1211b以外は図19（A）に示した回路図と構成が同じである。スイッチング用TFTをマルチゲート構造にすることによって、オフ電流を下げるができる。なお図20（A）ではダブルゲート構造としたが、本実施例はダブルゲートに限定されることはなく、マルチゲート構造であれば良い。

【0327】

また図には示してはいないが、EL駆動用TFTをマルチゲート構造にした場合、熱によるEL駆動用TFTの劣化を抑えることができる。

【0328】

次に本願発明の画素の回路図の別の一例を図19（B）に示す。図19（B）において、画素1300と画素1310とが隣接して設けられている。図19（B）において、1301及び1311はスイッチング用TFTである。なお本願発明において、スイッチング用TFT1301及び1311はnチャネル型TFTでもpチャネル型TFTでも、どちらでも用いることが可能である。図19（B）において、スイッチング用TFT1301及び1311にはnチャネル型TFTを用いる。スイッチング用TFT1301及び1311のゲート電極は、ゲート信号を入力するゲート信号線1302及び1312にそれぞれ接続されている。スイッチング用TFT1301及び1311のソース領域とドレイン領域は、一方はアナログまたはデジタルのビデオ信号を入力するデータ信号線（ソース信号線ともいう）1303にそれぞれ接続されている。またもう一方はEL駆動用TFT1304及び1314のゲート電極にそれぞれ接続される。

【0329】

そして、EL駆動用TFT1304及び1314のソース領域とドレイン領域は、一方は電源供給線1320に接続され、もう一方はEL素子1305及び1315にそれぞれ接続される。このように本実施例では隣り合う2つの画素で1つの電源供給線1320を共有している。これにより、図17及び図18で示した構成に比べて、電源供給線の数を減らすことができる。配線の画素部全体に対する割合が小さいと、EL層の発光する方向に配線が設けられている場合において、配線による光の遮蔽が抑えられる。そして図20（B）に示した回路図において、電源供給線1320はゲート信号線1302、1312と平行に並んでいる。

10

20

30

40

50

【0330】

EL素子1305及び1315はそれぞれ陽極と、陰極と、陽極と陰極との間に設けられたEL層とでなる。なお本願発明において、陽極が画素電極で陰極が対向電極の場合、EL駆動用TF T 1304及び1314のソース領域またはドレイン領域は、EL素子1305及び1315の陽極に接続される。逆に陽極が対向電極で陰極が画素電極の場合、EL駆動用TF T 1304及び1314のソース領域またはドレイン領域は、EL素子1305及び1315の陰極に接続される。なおEL駆動用1304及び1314はnチャネル型TF Tでもpチャネル型TF Tでもどちらでも用いることが可能であるが、EL素子1305及び1315の陽極が画素電極で陰極が対向電極の場合、EL駆動用TF T 1304及び1314はpチャネル型TF Tであることが好ましい。また逆にEL素子1305及び1315の陽極が対向電極で陰極が画素電極の場合、EL駆動用TF T 1304及び1314はnチャネル型TF Tであることが好ましい。図19(B)ではEL駆動用TF T 1304及び1314にpチャネル型TF Tを用いており、EL素子1305及び1315の陰極は定常電源1306及び1316に接続されている。

10

【0331】

またEL駆動用TF T 1304及び1314の活性層中にLDD領域を設け、LDD領域とゲート電極とがゲート絶縁膜を介して重なる領域(Lov領域)を形成しても良い。EL駆動用TF T 1304及び1314が特にnチャネル型TF Tの場合、活性層のドレイン領域側にLov領域を形成することでオン電流を増加させることができ、またEL駆動用TF T 1304及び1314のゲート電極とLov領域との間に容量を形成することができる。

20

【0332】

また、スイッチング用TF T 1301及び1311が非選択状態(オフの状態)にある時、EL駆動用TF T 1304及び1314のゲート電圧を保持するためにコンデンサを設けても良い。コンデンサを設ける場合、スイッチング用TF T 1301、1311のソース領域とドレイン領域のソース信号線に接続されていない方と、電源供給線1320との間にコンデンサを接続するようにする。

【0333】

なお図19(B)に示した回路図において、スイッチング用TF T 1301、1311またはEL駆動用TF T 1304、1314をマルチゲート構造としても良い。図19(B)に示した画素のスイッチング用TF T 1301、1311をマルチゲート構造とした画素の回路図を図20(B)に示す。

30

【0334】

スイッチング用TF T 1301aとスイッチング用TF T 1301bとが直列に接続して設けられている。またスイッチング用TF T 1311aとスイッチング用TF T 1311bとが直列に接続して設けられている。スイッチング用TF T 1301a、1301b及びスイッチング用TF T 1311a及び1311b以外は図19(B)に示した回路図と構成が同じである。スイッチング用TF Tをマルチゲート構造にすることによって、オフ電流を下げるができる。なお図20(B)ではダブルゲート構造としたが、本実施例はダブルゲートに限定されることはなく、マルチゲート構造であれば良い。

40

【0335】

また図には示してはいないが、EL駆動用TF Tをマルチゲート構造にした場合、熱によるEL駆動用TF Tの劣化を抑えることができる。

【0336】

なお本実施例において、EL駆動用TF Tのドレイン領域とEL素子が有する画素電極との間に抵抗体を設けても良い。抵抗体を設けることによって、EL駆動用TF TからEL素子へ供給される電流量を制御し、EL駆動用TF Tの特性のバラツキの影響を防ぐことが可能になる。抵抗体はEL駆動用TF Tのオン抵抗よりも十分に大きい抵抗値を示す素子であれば良いため構造等に限定はない。

なお、オン抵抗とは、TF Tがオンの状態の時に、TF Tのドレイン電圧をその時に流れ

50

ているドレイン電流で割った値である。抵抗体の抵抗値としては $1\text{ k}\Omega \sim 50\text{ M}\Omega$ （好ましくは $10\text{ k}\Omega \sim 10\text{ M}\Omega$ 、さらに好ましくは $50\text{ k}\Omega \sim 1\text{ M}\Omega$ ）の範囲から選択すれば良い。抵抗体として抵抗値の高い半導体層を用いると形成が容易であり好ましい。

【0337】

本実施例において示した構成は、実施例1、3、4、5または6と自由に組み合わせて実施することが可能である。

【実施例8】

【0338】

本願発明は有機EL材料に限定されず、無機EL材料を用いても実施できる。但し、現在の無機EL材料は非常に駆動電圧が高いため、そのような駆動電圧に耐えうる耐圧特性を有するTFEを用いなければならない。

10

【0339】

または、将来的にさらに駆動電圧の低い無機EL材料が開発されれば、本願発明に適用することは可能である。

【0340】

また、本実施例の構成は、実施例1～7のいずれの構成とも自由に組み合わせることが可能である。

【実施例9】

【0341】

本願発明において、EL層として用いる有機物質は低分子系有機物質であってもポリマー系（高分子系）有機物質であっても良い。低分子系有機物質はAlq₃（トリス-8-キノリライト-アルミニウム）、TPD（トリフェニルアミン誘導体）等を中心とした材料が知られている。ポリマー系有機物質として、 π 共役ポリマー系の物質が挙げられる。代表的には、PPV（ポリフェニレンビレン）、PVK（ポリビニルカルbazol）、ポリカーボネート等が挙げられる。

20

【0342】

ポリマー系（高分子系）有機物質は、スピンコーティング法（溶液塗布法ともいう）、ディッピング法、ディスペンス法、印刷法またはインクジェット法など簡易な薄膜形成方法で形成でき、低分子系有機物質に比べて耐熱性が高い。

【0343】

また本願発明のELディスプレイが有するEL素子において、そのEL素子が有するEL層が、電子輸送層と生孔輸送層とを有している場合、電子輸送層と生孔輸送層とを無機材料、例えば非晶質のSiまたは非晶質のSi_{1-x}C_x等の非晶質半導体で構成しても良い。

30

【0344】

非晶質半導体には多量のトラップ準位が存在し、かつ非晶質半導体が他の層と接する界面において多量の界面準位を形成する。そのため、EL素子は低い電圧で発光させることができるとともに、高輝度化を図ることもできる。

【0345】

また有機EL層にドーパント（不純物）を添加し、有機EL層の発光の色を変化させても良い。ドーパントとして、DCM1、ナイルレッド、ルブレン、クマリン6、TPB、キナクリドン等が挙げられる。

40

【0346】

また、本実施例の構成は、実施例1～7のいずれの構成とも自由に組み合わせることが可能である。

【実施例10】

【0347】

次に図1、図2に示した本願発明のELディスプレイの、別の駆動方法について説明する。ここではnビットデジタル駆動方式により2ⁿ階調のフルカラー表示を行う場合について説明する。なおタイミングチャートは実施の形態で示した場合と同じであるので、図

50

3を参照する。

【0348】

画素部101にはマトリクス状に複数の画素104が配列される。画素104の拡大図を図2(A)に示す。図2(A)において、105はスイッチング用TFTである。スイッチング用TFT105のゲート電極は、ゲート信号を入力するゲート信号線106に接続されている。スイッチング用TFT105のソース領域とドレイン領域は、一方がデジタルデータ信号を入力するソース信号線107に、もう一方がEL駆動用TFT108のゲート電極及び各画素が有するコンデンサ113にそれぞれ接続されている。

【0349】

また、EL駆動用TFT108のソース領域とドレイン領域は、一方が電源供給線111に接続され、もう一方はEL素子110に接続される。電源供給線111はコンデンサ113に接続されている。コンデンサ113はスイッチング用TFT105が非選択状態（オフ状態）にある時、EL駆動用TFT108のゲート電圧を保持するために設けられている。

【0350】

EL素子110は陽極と陰極と、陽極と陰極との間に設けられたEL層とからなる。陽極がEL駆動用TFT110のソース領域またはドレイン領域と接続している場合、言い換えると陽極が画素電極の場合、対向電極である陰極は一定の電位に保たれる。逆に陰極がEL駆動用TFT110のソース領域またはドレイン領域と接続している場合、言い換えると陰極が画素電極の場合、対向電極である陽極は一定の電位に保たれる。

【0351】

電源供給線111は電源電位に保たれている。

【0352】

なお、EL駆動用TFT108のドレイン領域またはソース領域と、EL素子110との間に抵抗体を設けても良い。抵抗体を設けることによって、EL駆動用TFTからEL素子へ供給される電流量を制御し、EL駆動用TFTの特性のバラツキの影響を防ぐことが可能になる。抵抗体はEL駆動用TFT108のオン抵抗よりも十分に大きい抵抗値を示す素子であれば良いため構造等に限定はない。なお、オン抵抗とは、TFTがオン状態の時に、TFTのドレイン電圧をその時に流れているドレイン電流で割った値である。抵抗体の抵抗値としては $1\text{ k}\Omega\sim 50\text{ M}\Omega$ （好ましくは $10\text{ k}\Omega\sim 10\text{ M}\Omega$ 、さらに好ましくは $50\text{ k}\Omega\sim 1\text{ M}\Omega$ ）の範囲から選択すれば良い。抵抗体として抵抗値の高い半導体層を用いると形成が容易であり好ましい。

【0353】

図2(B)に本願発明のELディスプレイの画素部の構造を示す。ゲート信号線(G1～Gn)は各画素が有するスイッチング用TFTのゲート電極に接続されている。各画素の有するスイッチング用TFTのソース領域とドレイン領域は、一方がソース信号線(S1～Sn)に、もう一方がEL駆動用TFTのゲート電極とコンデンサとに接続されている。またEL駆動用TFTのソース領域とドレイン領域は、一方が電源供給線(V1～Vn)に、もう一方が各画素が有するEL素子に接続されている。電源供給線(V1～Vn)は各画素が有するコンデンサとも接続されている。

【0354】

図2(A)に示したELディスプレイにおけるタイミングチャートを、図3に示す。まず、1フレーム期間(F)をn個のサブフレーム期間(SF1～SFn)に分割する。なお、画素部の全ての画素が1つの画像を表示する期間を1フレーム期間と呼ぶ。本願発明のELディスプレイでは1秒間に120以上のフレーム期間が設けられており、結果的に1秒間に60以上の画像が表示されている。

【0355】

1秒間に表示される画像の数が120より少なくなると、視覚的にフリッカ等の画像のちらつきが目立ち始める。

【0356】

なお、1 フレーム期間をさらに複数に分割した期間をサブフレーム期間と呼ぶ。階調数が多くなるにつれて1 フレーム期間の分割数も増え、駆動回路を高い周波数で駆動しなければならない。

【0357】

1 つのサブフレーム期間はアドレス期間 (T a) とサステイン期間 (T s) とに分けられる。アドレス期間とは、1 サブフレーム期間中、全画素にデータを入力するのに要する時間であり、サステイン期間 (点灯期間とも呼ぶ) とは、表示を行う期間を示している。

【0358】

n 個のサブフレーム期間 (S F 1 ~ S F n) がそれぞれ有するアドレス期間 (T a 1 ~ T a n) の長さは全て同じである。S F 1 ~ S F n がそれぞれ有するサステイン期間 (T s) をそれぞれ T s 1 ~ T s n とする。

10

【0359】

サステイン期間の長さは、 $T s 1 : T s 2 : T s 3 : \dots : T s (n-1) : T s n = 2^0 : 2^{-1} : 2^{-2} : \dots : 2^{-(n-2)} : 2^{-(n-1)}$ となるように設定する。但し、S F 1 ~ S F n を出現させる順序はどのようにしても良い。このサステイン期間の組み合わせで 2^n 階調のうち所望の階調表示を行うことができる。

【0360】

まずアドレス期間において、電源供給線 (V 1 ~ V n) は定常電位と同じ高さの電源電位に保たれている。本明細書において、デジタル駆動のアドレス期間における電源電位をオフの電源電位と呼ぶ。なおオフの電源電位の高さは、E L 素子が発光しない範囲で、定常電位の高さと同じであれば良い。なおこのときの E L 駆動電圧をオフの E L 駆動電圧と呼ぶ。理想的にはオフの E L 駆動電圧は 0 V であることが望ましいが、E L 素子が発光しない程度の大きさであれば良い。

20

【0361】

そしてゲート信号線 G 1 にゲート信号が入力され、ゲート信号線 G 1 にゲート電極が接続されているスイッチング用 T F T 全てが ON の状態になる。

【0362】

ゲート信号線 G 1 にゲート電極が接続されているスイッチング用 T F T が ON の状態で、ソース信号線 (S 1 ~ S n) に順にデジタルデータ信号が入力される。デジタルデータ信号は「0」または「1」の情報を有しており、「0」と「1」のデジタルデータ信号がそれぞれ H i または L o のいずれかの電圧を有する信号を意味している。そしてソース信号線 (S 1 ~ S n) に入力されたデジタルデータ信号は、オン (ON) の状態のスイッチング用 T F T を介して E L 駆動用 T F T のゲート電極に入力される。またコンデンサにもデジタルデータ信号が入力され保持される。

30

【0363】

次にゲート信号線 G 2 にゲート信号が入力され、ゲート信号線 G 2 にゲート電極が接続されているスイッチング用 T F T 全てが ON の状態になる。そしてゲート信号線 G 2 にゲート電極が接続されているスイッチング用 T F T を ON にした状態で、ソース信号線 (S 1 ~ S n) に順にデジタルデータ信号が入力される。

ソース信号線 (S 1 ~ S n) に入力されたデジタルデータ信号は、スイッチング用 T F T を介して E L 駆動用 T F T のゲート電極に入力される。またコンデンサにもデジタルデータ信号が入力され保持される。

40

【0364】

上述した動作を繰り返し、全ての画素にデジタルデータ信号が入力される。全ての画素にデジタルデータ信号が入力されるまでの期間がアドレス期間である。

【0365】

アドレス期間が終了すると同時にサステイン期間となる。サステイン期間になると、電源供給線 (V 1 ~ V n) の電位は、オフの電源電位からオンの電源電位に変わる。本明細書において、デジタル駆動のサステイン期間における電源電位をオンの電源電位と呼ぶ。オンの電源電位は、E L 素子が発光する程度に定常電位との間に電位差を有していればよ

50

い。なおこの電位差をオンのE L駆動電圧と呼ぶ。

【0366】

そしてスイッチング用T F Tがオフ状態になり、コンデンサにおいて保持されたデジタルデータ信号が、E L駆動用T F Tのゲート電極に入力される。

【0367】

本実施例において、デジタルデータ信号が「0」の情報を有していた場合、E L駆動用T F Tはオフ状態となり、E L素子の画素電極はオフの電源電位に保たれたままである。その結果、「0」の情報を有するデジタルデータ信号が印加された画素が有するE L素子は発光しない。

【0368】

逆に、「1」の情報を有していた場合、E L駆動用T F Tはオン状態となり、E L素子の画素電極はオンの電源電位になる。その結果、「1」の情報を有するデジタルデータ信号が印加された画素が有するE L素子は発光する。

【0369】

全てのスイッチング用T F Tがオフ状態である期間がサステイン期間である。

【0370】

E L素子を発光させる（画素を点灯させる）期間は $T_{s1} \sim T_{sn}$ までのいずれかの期間である。ここでは T_{sn} の期間、所定の画素を点灯させたとする。

【0371】

次に、再びアドレス期間に入り、全画素にデータ信号を入力したらサステイン期間に入る。このときは $T_{s1} \sim T_{s(n-1)}$ のいずれかの期間がサステイン期間となる。ここでは $T_{s(n-1)}$ の期間、所定の画素を点灯させたとする。

【0372】

以下、残りの $n-2$ 個のサブフレームについて同様の動作を繰り返し、順次 $T_{s(n-2)}$ 、 $T_{s(n-3)} \dots T_{s1}$ とサステイン期間を設定し、それぞれのサブフレームで所定の画素を点灯させたとする。

【0373】

n 個のサブフレーム期間が出現したら1フレーム期間を終えたことになる。このとき、画素が点灯していたサステイン期間、言い換えると「1」の情報を有するデジタルデータ信号が画素に印加されたアドレス期間の直後のサステイン期間の長さを積算することによって、その画素の階調がきまる。例えば、 $n=8$ のとき、全部のサステイン期間で画素が発光した場合の輝度を100%とすると、 T_{s1} と T_{s2} において画素が発光した場合には75%の輝度が表現でき、 T_{s3} と T_{s5} と T_{s8} を選択した場合には16%の輝度が表現できる。

【0374】

1フレーム期間が終了すると、次のフレーム期間において定常電位とオンの電源電位の差であるオンのE L駆動電圧の極性が逆になるように、オンの電源電位の高さを変える。そして、先のフレーム期間と同じ、上述した動作を行う。しかしこのフレーム期間におけるオンのE L駆動電圧は、先のフレーム期間におけるオンのE L駆動電圧の逆の極性を有していることから、全てのE L素子は発光しない。本明細書において、E L素子が画像を表示するフレーム期間を表示フレーム期間と呼ぶ。また逆に全てのE L素子が発光せずに画像を表示しないフレーム期間を非表示フレーム期間と呼ぶ。

【0375】

非表示フレーム期間が終了すると、次に別の表示フレーム期間となり、オンのE L駆動電圧は、非表示フレーム期間におけるオンのE L駆動電圧の逆の極性を有する電圧に変わる。

【0376】

このように表示フレーム期間と非表示フレーム期間を交互に繰り返すことによって、画像の表示を行う。本願発明は上記構成を有することで、E L素子が有するE L層に、一定期間ごとに逆の極性のE L駆動電圧がかかる。よって、E L素子の電流－電圧特性の劣化

10

20

30

40

50

が改善され、E L 素子の寿命を従来の駆動方式に比べて長くすることが可能になる。

【0377】

また上述したように、交流駆動において、1 フレーム期間ごとに画像の表示を行う場合、観察者の目にフリッカとしてちらつきが生じてしまう。

【0378】

そのため本願発明では、直流駆動において観察者の目にフリッカが生じない周波数の倍以上の周波数でE L ディスプレイを交流駆動する。つまり1秒間に120以上のフレーム期間が設けられており、結果的に1秒間に60以上の画像が表示されている。上記構成によって、交流駆動によるフリッカを防ぐ。

【0379】

本実施例において示した構成は、実施例2～9と自由に組み合わせて実施することが可能である。

【実施例11】

【0380】

本実施例ではデジタル方式の交流駆動で時分割階調表示を行う場合において、サブフレーム期間ごとにオンのE L 駆動電圧が逆の極性になる、実施例1とは別の例について説明する。ここではnビットデジタル駆動方式により 2^n 階調のフルカラーの時分割階調表示を行う場合について説明する。なおタイミングチャートは実施例1で示した場合と同じであるので、図5を参照する。

【0381】

本実施例におけるE L ディスプレイの画素部の構造は、図2 (B) において示した構造と同じであり、ゲート信号線 (G1～Gn) は各画素が有するスイッチング用TFTのゲート電極に接続されている。各画素の有するスイッチング用TFTのソース領域とドレイン領域は、一方がソース信号線 (S1～Sn) に、もう一方がE L 駆動用TFTのゲート電極とコンデンサとに接続されている。またE L 駆動用TFTのソース領域とドレイン領域は、一方が電源供給線 (V1～Vn) に、もう一方が各画素が有するE L 素子に接続されている。電源供給線 (V1～Vn) は各画素が有するコンデンサとも接続されている。

【0382】

図5に本実施例の駆動方法のタイミングチャートを示す。まず、1フレーム期間をn個のサブフレーム期間 (SF1～SFn) に分割する。なお、画素部の全ての画素が1つの画像を表示する期間を1フレーム期間と呼ぶ。

【0383】

1つのサブフレーム期間はアドレス期間 (Ta) とサステイン期間 (Ts) とに分けられる。アドレス期間とは、1サブフレーム期間中、全画素にデータを入力するのに要する時間であり、サステイン期間 (点灯期間とも呼ぶ) とは、E L 素子を発光させる期間を示している。

【0384】

n個のサブフレーム期間 (SF1～SFn) がそれぞれ有するアドレス期間 (Ta1～Tan) の長さは全て同じである。SF1～SFnがそれぞれ有するサステイン期間 (Ts) をそれぞれTs1～Tsnとする。

【0385】

サステイン期間の長さは、 $Ts1 : Ts2 : Ts3 : \dots : Ts(n-1) : Tsn = 2^0 : 2^{-1} : 2^{-2} : \dots : 2^{-(n-2)} : 2^{-(n-1)}$ となるように設定する。但し、SF1～SFnが出現させる順序はどのようにしても良い。このサステイン期間の組み合わせで 2^n 階調のうち所望の階調表示を行うことができる。

【0386】

まず、電源供給線 (V1～Vn) がオフの電源電位に保たれる。そしてゲート信号線G1にゲート信号が入力され、ゲート信号線G1にゲート電極が接続されているスイッチング用TFT全てがONの状態になる。

【0387】

そしてゲート信号線 G 1 にゲート電極が接続されているスイッチング用 T F T が O N の状態で、ソース信号線 (S 1 ~ S n) に順にデジタルデータ信号が入力される。そしてソース信号線 (S 1 ~ S n) に入力されたデジタルデータ信号は、オン (O N) の状態のスイッチング用 T F T を介して E L 駆動用 T F T のゲート電極に入力される。またコンデンサにもデジタルデータ信号が入力され保持される。

【 0 3 8 8 】

上述した動作を繰り返し、全ての画素にデジタルデータ信号が入力される。全ての画素にデジタルデータ信号が入力されるまでの期間がアドレス期間である。

【 0 3 8 9 】

アドレス期間が終了すると同時にサステイン期間となる。サステイン期間になると、電源供給線 (V 1 ~ V n) の電位がオフの電源電位からオンの電源電位に変わる。そしてスイッチング用 T F T がオフ状態になり、コンデンサにおいて保持されたデジタルデータ信号が、E L 駆動用 T F T のゲート電極に入力される。

【 0 3 9 0 】

本実施例において、オンの電源電位と定常電位の差であるオンの E L 駆動電圧の極性は、電源電位の高さを変えることによって、サブフレーム期間ごとに逆になる。よってサブフレーム期間ごとにオンの E L 駆動電圧の極性を逆にすることで、E L ディスプレイは表示と非表示を繰り返す。表示を行うサブフレーム期間を表示サブフレーム期間と呼び、表示を行わないサブフレーム期間を非表示サブフレーム期間と呼ぶ。

【 0 3 9 1 】

例えば第 1 のフレーム期間において、第 1 のサブフレーム期間は表示期間としたら、第 2 のサブフレーム期間は非表示期間であり、第 3 のフレーム期間は再び表示期間となる。そして全てのサブフレーム期間が出現し第 1 のフレーム期間が終了したら、第 2 のフレーム期間となる。第 2 のフレーム期間における第 1 のサブフレーム期間では、第 1 のフレーム期間内の第 1 のサブフレーム期間において E L 素子に加えられた E L 駆動電圧とは逆の極性を有する E L 駆動電圧が、E L 素子の E L 層に加えられるので、非表示期間となる。そして次に第 2 のサブフレーム期間は表示期間となり、サブフレーム期間ごとに交互に表示期間と非表示期間となる。

【 0 3 9 2 】

なお、本明細書において、E L 駆動電圧の極性が逆になることで表示と非表示とが切り替わるとき、表示しているときの期間を表示期間と呼ぶ。また逆に表示していないときの期間を非表示期間と呼ぶ。よって本明細書において、表示フレーム期間と、表示サブフレーム期間を総称して表示期間と呼ぶ。また逆に非表示フレーム期間と、非表示サブフレーム期間を総称して非表示期間と呼ぶ。

【 0 3 9 3 】

本実施例においてデジタルデータ信号が「 0 」の情報を有していた場合、E L 駆動用 T F T はオフ状態となり、E L 素子の画素電極はオフの電源電位に保たれたままである。その結果、「 0 」の情報を有するデジタルデータ信号が加えられた画素が有する E L 素子は発光しない。

【 0 3 9 4 】

逆に、「 1 」の情報を有していた場合、E L 駆動用 T F T はオン状態となり、E L 素子の画素電極はオンの電源電位になる。その結果、「 1 」の情報を有するデジタルデータ信号が入力された画素が有する E L 素子は発光する。

【 0 3 9 5 】

全てのスイッチング用 T F T がオフ状態である期間がサステイン期間である。

【 0 3 9 6 】

E L 素子を発光させる (画素を点灯させる) 期間は T s 1 ~ T s n までのいずれかの期間である。ここでは T s n の期間、所定の画素を点灯させたとする。

【 0 3 9 7 】

次に、再びアドレス期間に入り、全画素にデータ信号を入力したらサステイン期間に入

10

20

30

40

50

る。このときは $Ts1 \sim Ts(n-1)$ のいずれかの期間がサステイン期間となる。ここでは $Ts(n-1)$ の期間、所定の画素を点灯させたとする。

【0398】

以下、残りの $n-2$ 個のサブフレームについて同様の動作を繰り返し、順次 $Ts(n-2)$ 、 $Ts(n-3) \dots Ts1$ とサステイン期間を設定し、それぞれのサブフレームで所定の画素を点灯させたとする。

【0399】

このように、交流駆動の時分割階調表示において、サブフレームごとに逆の極性を有するEL駆動電圧をEL素子に加える場合、2つのフレーム期間で1つの階調表示を行う。2つの隣り合うフレーム期間において、画素が点灯していたサステイン期間、言い換えると「1」の情報を有するデジタルデータ信号が画素に入力されたアドレス期間の直後のサステイン期間の長さを積算することによって、その画素の階調がきまる。例えば、 $n=8$ のとき、全部のサステイン期間で画素が発光した場合の輝度を100%とすると、 $Ts1$ と $Ts2$ において画素が発光した場合には75%の輝度が表現でき、 $Ts3$ と $Ts5$ と $Ts8$ を選択した場合には16%の輝度が表現できる。

【0400】

本願発明は上記構成を有することで、EL素子が有するEL層に、サブフレーム期間ごとに逆の極性のEL駆動電圧がかかる。よって、EL素子の電流－電圧特性の劣化が改善され、EL素子の寿命を従来の駆動方式に比べて長くすることが可能になる。

【0401】

本実施例では、実施の形態で示したフレーム期間ごとに交流駆動するデジタル方式のELディスプレイに比べてフリッカが起こりにくいという効果が得られる。

【0402】

本実施例において示した構成は、実施例2～9と自由に組み合わせて実施することが可能である。

【実施例12】

【0403】

本願発明を実施して形成されたELディスプレイ(ELモジュール)は、自発光型であるため液晶表示装置に比べて明るい場所での視認性に優れている。そのため本願発明は直視型のELディスプレイ(ELモジュールを組み込んだ表示ディスプレイを指す)に対して実施することが可能である。ELディスプレイとしてはパソコンモニタ、TV放送受信モニタ、広告表示モニタ等が挙げられる。

【0404】

また、本願発明は上述のELディスプレイも含めて、表示ディスプレイを部品として含むあらゆる電子機器に対して実施することが可能である。

【0405】

そのような電子機器としては、EL表示装置、ビデオカメラ、デジタルカメラ、頭部取り付け型ディスプレイ(ヘッドマウントディスプレイ等)、カーナビゲーション、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話または電子書籍等)、記録媒体を備えた画像再生装置(具体的にはコンパクトディスク(CD)、レーザーディスク(LD)又はデジタルビデオディスク(DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。それら電子機器の例を図14に示す。

【0406】

図14(A)はパーソナルコンピュータであり、本体2001、筐体2002、ELディスプレイ2003、キーボード2004等を含む。本願発明のELディスプレイ2003はパーソナルコンピュータの表示部に用いることができる。

【0407】

図14(B)はビデオカメラであり、本体2101、ELディスプレイ2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等を含む

。本願発明の E L ディスプレイ 2 1 0 2 はビデオカメラの表示部に用いることができる。

【0408】

図 1 4 (C) は頭部取り付け型の E L 表示装置の一部 (右片側) であり、本体 2 3 0 1、信号ケーブル 2 3 0 2、頭部固定バンド 2 3 0 3、表示モニタ 2 3 0 4、光学系 2 3 0 5、E L ディスプレイ 2 3 0 6 等を含む。本願発明の E L ディスプレイ 2 3 0 6 は E L 表示装置の表示部に用いることができる。

【0409】

図 1 4 (D) は記録媒体を備えた画像再生装置 (具体的には D V D 再生装置) であり、本体 2 4 0 1、記録媒体 (C D、L D または D V D 等) 2 4 0 2、操作スイッチ 2 4 0 3、E L ディスプレイ (a) 2 4 0 4、E L ディスプレイ (b) 2 4 0 5 等を含む。E L ディスプレイ (a) は主として画像情報を表示し、E L ディスプレイ (b) は主として文字情報を表示するが、本願発明のこれら E L ディスプレイ (a)、(b) は記録媒体を備えた画像再生装置の表示部に用いることができる。なお、記録媒体を備えた画像再生装置としては、C D 再生装置、ゲーム機器などに本願発明を用いることができる。

【0410】

図 1 4 (E) は携帯型 (モバイル) コンピュータであり、本体 2 5 0 1、カメラ部 2 5 0 2、受像部 2 5 0 3、操作スイッチ 2 5 0 4、E L ディスプレイ 2 5 0 5 等を含む。本願発明の E L ディスプレイ 2 5 0 5 は携帯型 (モバイル) コンピュータの表示部に用いることができる。

【0411】

また、将来的に E L 材料の発光輝度が高くなれば、フロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0412】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1 ~ 1 1 のどのような組み合わせからなる構成を用いても実現することができる。

【符号の説明】

【0413】

- 1 0 1 画素部
- 1 0 2 ソース信号側駆動回路
- 1 0 3 ゲート信号側駆動回路
- 1 0 4 画素
- 1 0 5 スイッチング用 T F T
- 1 0 6 ゲート信号線
- 1 0 7 ソース信号線
- 1 0 8 E L 駆動用 T F T
- 1 1 0 E L 素子
- 1 1 1 電源供給線
- 1 1 2 定常電源
- 1 1 3 コンデンサ
- 1 1 4 時分割階調データ信号発生回路

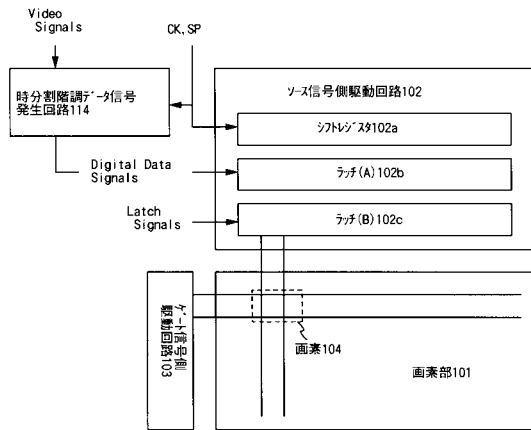
10

20

30

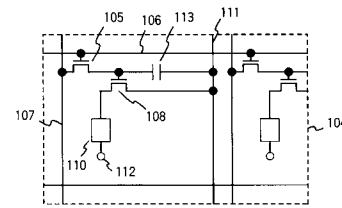
40

【図 1】

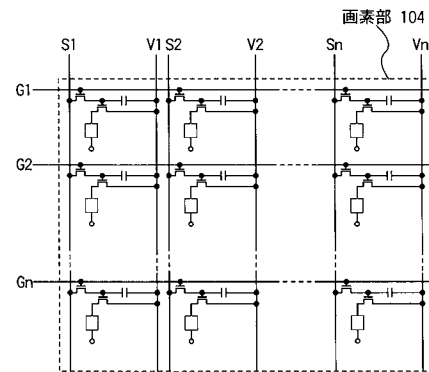


【図 2】

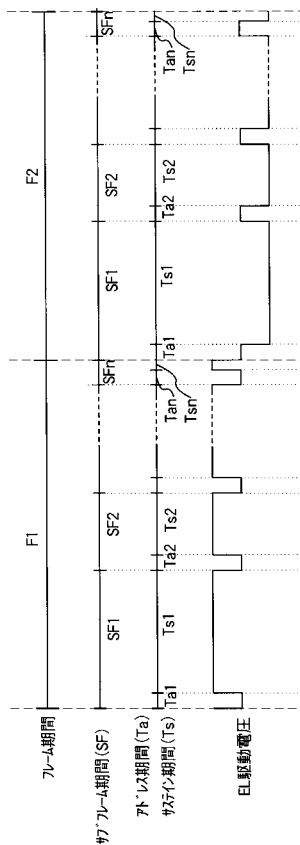
(A)



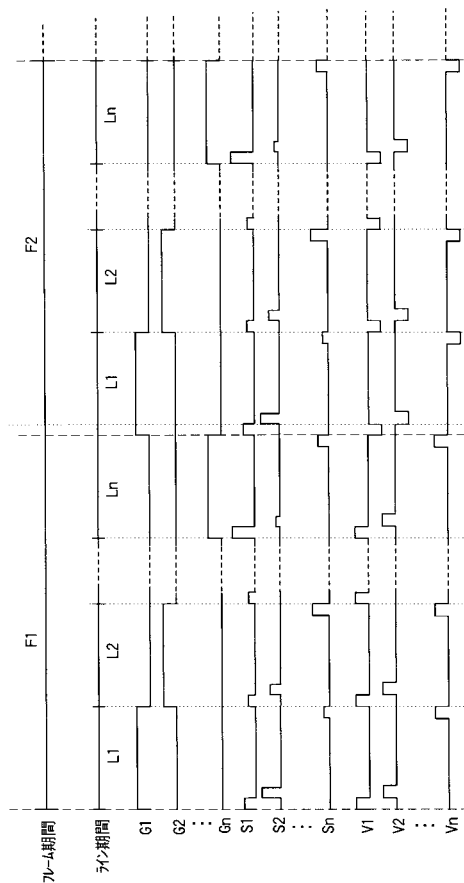
(B)



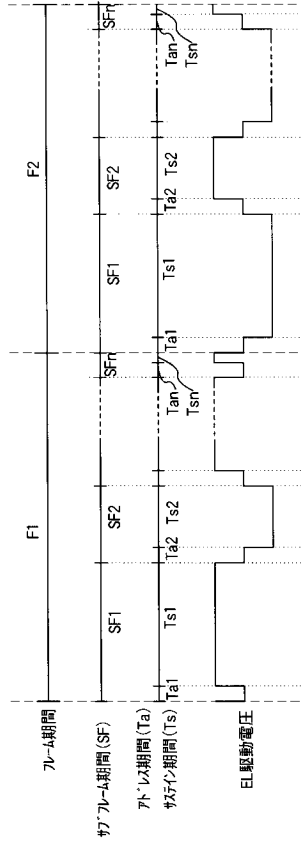
【図 3】



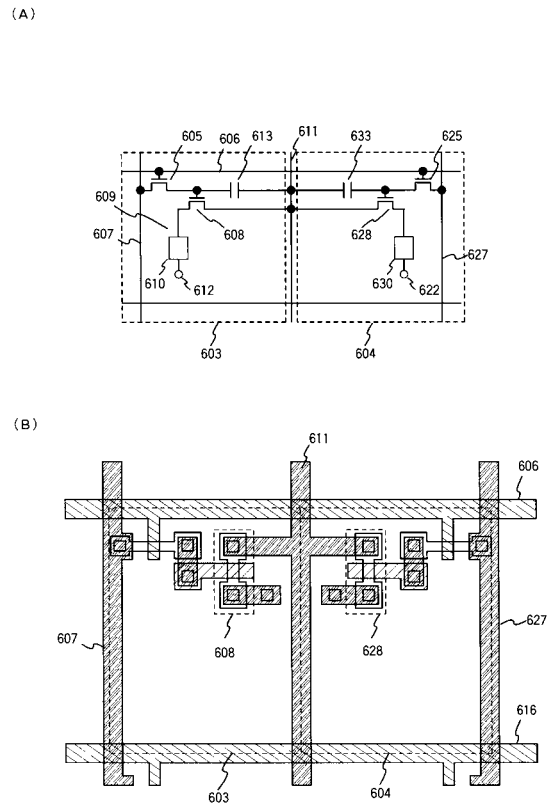
【図 4】



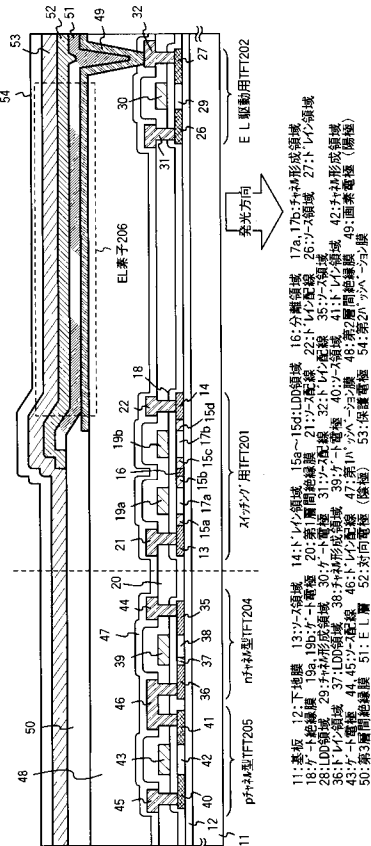
【図 5】



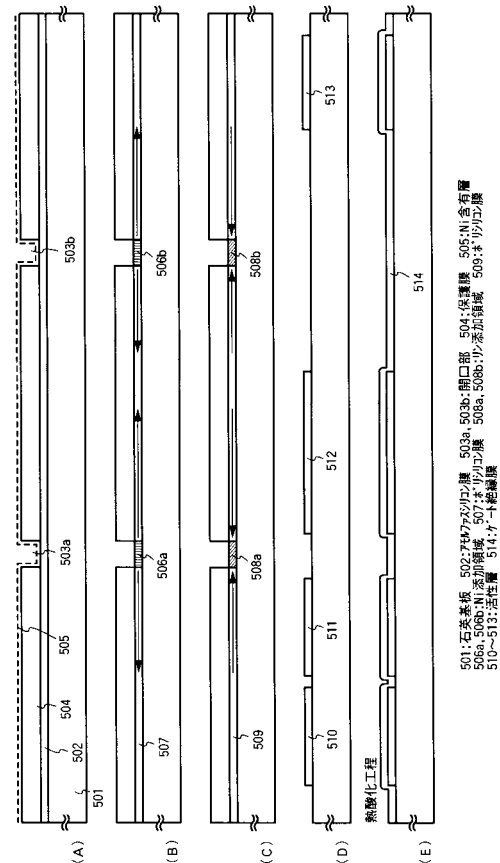
【図 6】



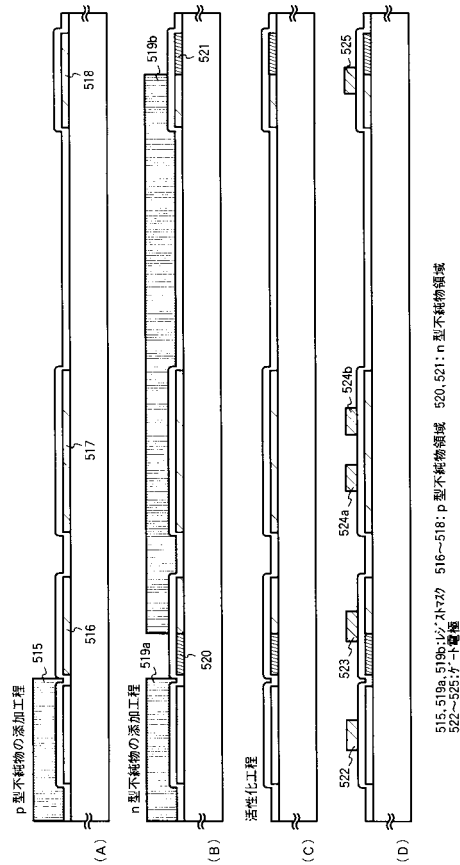
【図 7】



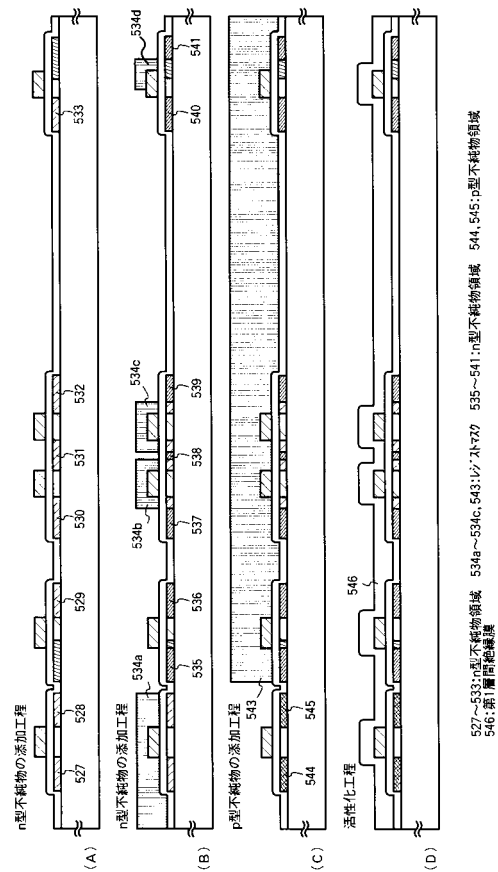
【図 8】



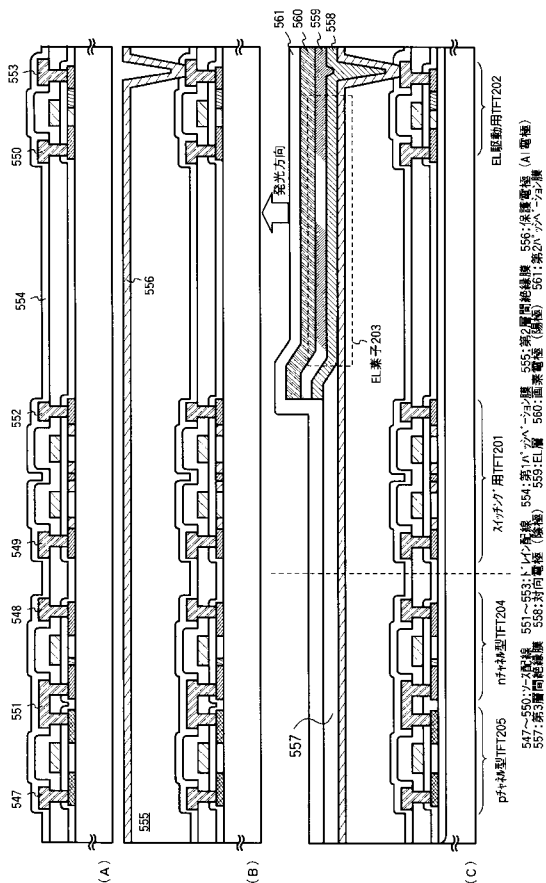
【 図 9 】



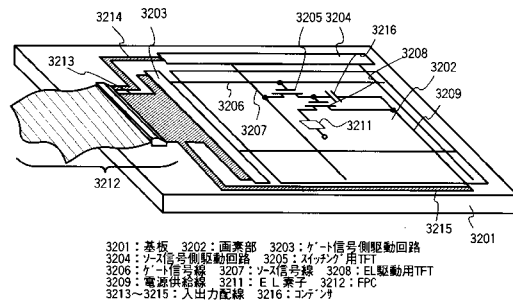
【 図 1 0 】



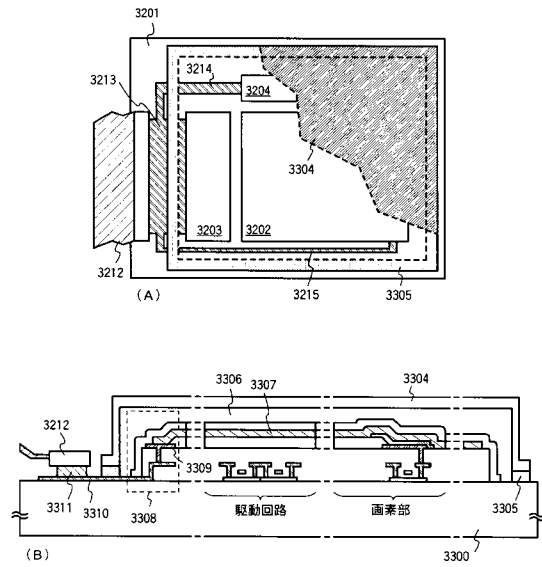
【図 1 1】



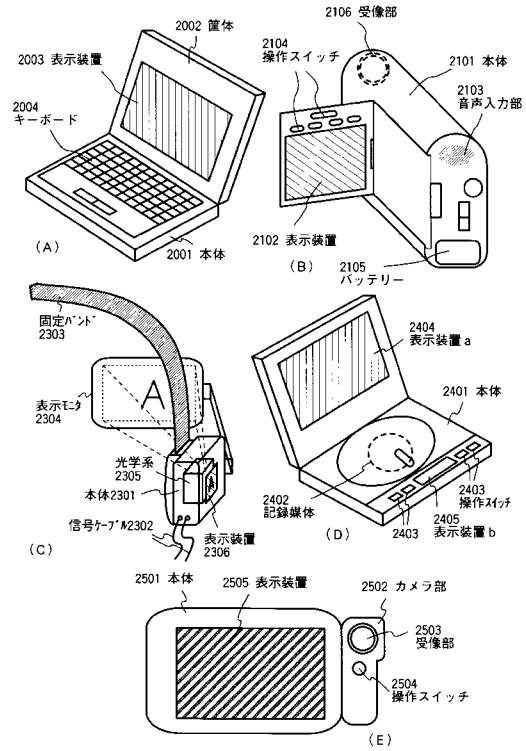
【 図 1 2 】



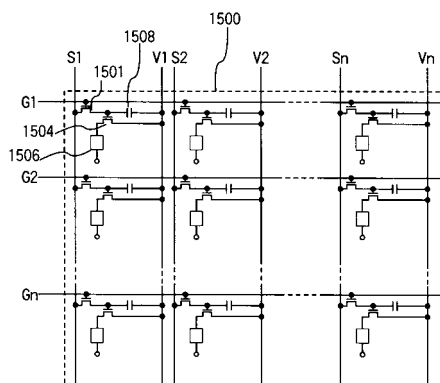
【図 13】



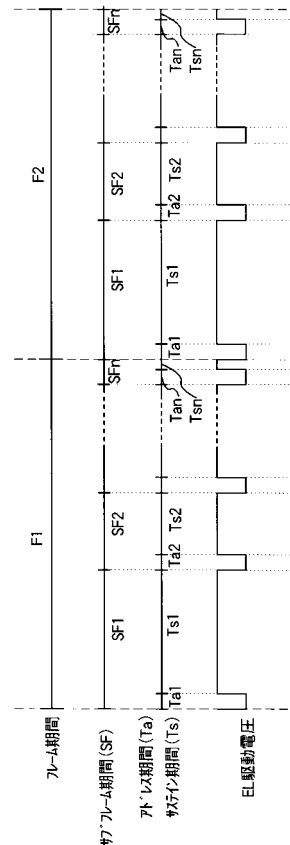
【図 14】



【図 15】

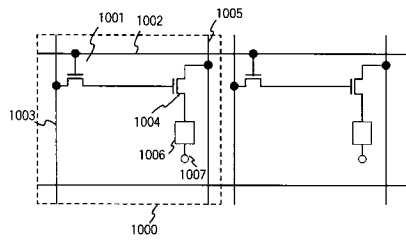


【図 16】

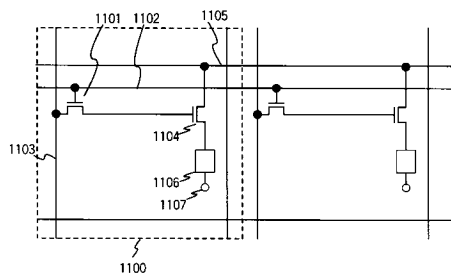


【図 17】

(A)

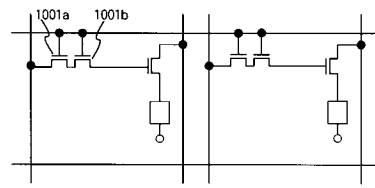


(B)

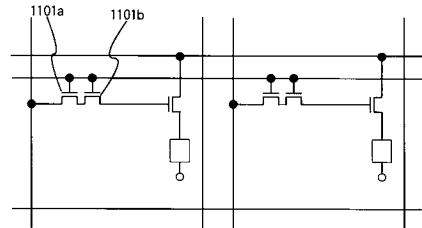


【図 18】

(A)

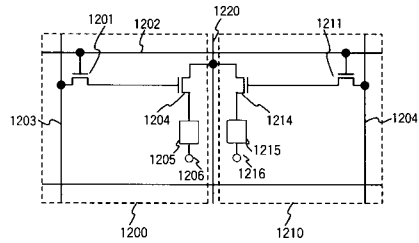


(B)

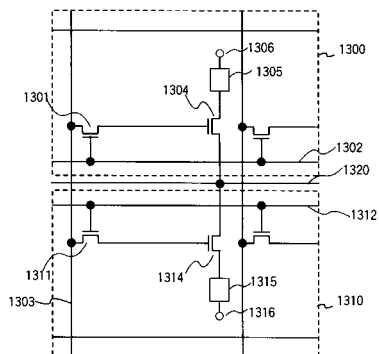


【図 19】

(A)

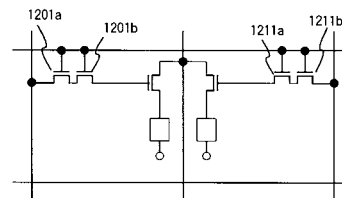


(B)

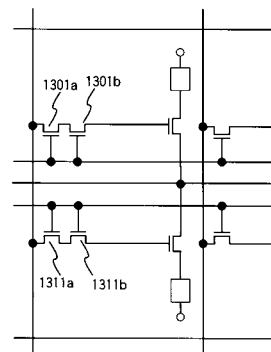


【図 20】

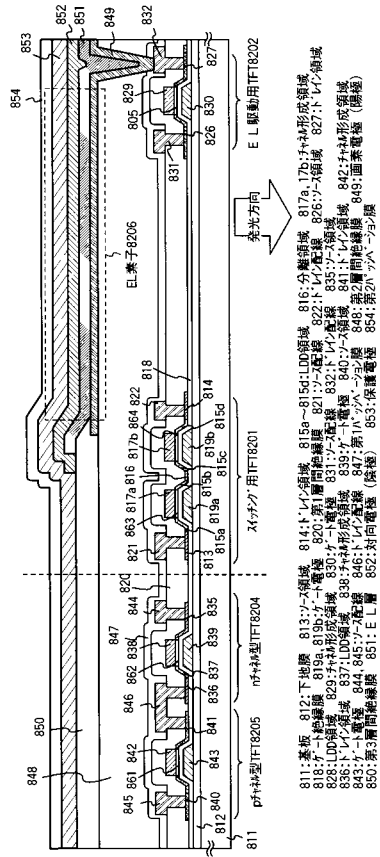
(A)



(B)



【図 21】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

H 0 1 L 27/092 (2006.01)

F ターム(参考) 3K107 AA01 BB01 BB02 BB06 BB08 CC21 EE04 EE57 EE61 EE63
 FF15 HH02 HH05
 5C380 AA01 AB05 AB06 AB11 AB12 AB18 AB23 AB34 AB36 AB37
 AB46 AC05 AC08 AC09 AC11 AC12 AC13 BA11 BA12 BA14
 BA38 BB09 BD08 BD09 BD10 CA02 CA04 CA05 CA08 CA12
 CA14 CA17 CA57 CB01 CB20 CC02 CC21 CC26 CC27 CC30
 CC33 CC34 CC41 CC62 CC68 CC77 CD012 CD072 CD073 CE14
 CE19 CF07 CF09 CF22 CF24 CF31 CF41 CF49 CF52 DA01
 DA02 DA06 DA07 DA09 DA16 DA35 HA02 HA03 HA11 HA13
 5F048 AC03 AC10 BA01 BA16 BB04 BB08 BB09 BB12 BB13 BB18
 BC03 BC06 BC18 BE08 BF07 BF16
 5F110 AA02 AA06 AA08 AA19 BB01 BB04 CC02 CC08 DD02 DD03
 DD13 DD14 DD15 DD17 EE01 EE03 EE04 EE05 EE06 EE08
 EE14 EE15 EE28 EE44 FF02 FF03 FF04 FF30 FF36 GG01
 GG02 GG13 GG25 GG32 GG34 GG51 HJ01 HJ04 HJ12 HJ13
 HJ23 HL03 HL04 HL12 HL14 HL23 HM12 HM13 HM14 HM15
 NN02 NN03 NN04 NN05 NN22 NN23 NN24 NN27 NN39 NN40
 NN71 NN72 NN78 PP10 PP34 QQ09 QQ11 QQ19 QQ24 QQ25
 QQ28

专利名称(译)	半导体器件，显示模块和电子设备		
公开(公告)号	JP2016191921A	公开(公告)日	2016-11-10
申请号	JP2016083375	申请日	2016-04-19
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	小山潤 犬飼和隆 山崎舜平 秋葉麻衣		
发明人	小山 潤 犬飼 和隆 山崎 舜平 秋葉 麻衣		
IPC分类号	G09G3/30 H01L21/336 H01L29/786 H01L51/50 H01L21/8238 H01L27/092 G09G3/20 G09G3/32 H05B33/14		
CPC分类号	H01L27/1214 G09G3/2022 G09G3/30 G09G3/3258 G09G2300/0417 G09G2300/0426 G09G2300/0842 G09G2310/0254 G09G2310/0256 G09G2320/0247 G09G2320/0266 H01L27/156 H04N5/44		
FI分类号	G09G3/30.J H01L29/78.612.Z H05B33/14.A H01L27/08.321.A G09G3/3216 G09G3/3233 G09G3/3258 G09G3/3266 G09G3/3275 G09G3/3291 H01L27/092.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/BB02 3K107/BB06 3K107/BB08 3K107/CC21 3K107/EE04 3K107/EE57 3K107/EE61 3K107/EE63 3K107/FF15 3K107/HH02 3K107/HH05 5C380/AA01 5C380/AB05 5C380/AB06 5C380/AB11 5C380/AB12 5C380/AB18 5C380/AB23 5C380/AB34 5C380/AB36 5C380/AB37 5C380/AB46 5C380/AC05 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/AC13 5C380/BA11 5C380/BA12 5C380/BA14 5C380/BA38 5C380/BB09 5C380/BD08 5C380/BD09 5C380/BD10 5C380/CA02 5C380/CA04 5C380/CA05 5C380/CA08 5C380/CA12 5C380/CA14 5C380/CA17 5C380/CA57 5C380/CB01 5C380/CB20 5C380/CC02 5C380/CC21 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC34 5C380/CC41 5C380/CC62 5C380/CC68 5C380/CC77 5C380/CD012 5C380/CD072 5C380/CD073 5C380/CE14 5C380/CE19 5C380/CF07 5C380/CF09 5C380/CF22 5C380/CF24 5C380/CF31 5C380/CF41 5C380/CF49 5C380/CF52 5C380/DA01 5C380/DA02 5C380/DA06 5C380/DA07 5C380/DA09 5C380/DA16 5C380/DA35 5C380/HA02 5C380/HA03 5C380/HA11 5C380/HA13 5F048/AC03 5F048/AC10 5F048/BA01 5F048/BA16 5F048/BB04 5F048/BB08 5F048/BB09 5F048/BB12 5F048/BB13 5F048/BB18 5F048/BC03 5F048/BC06 5F048/BC18 5F048/BE08 5F048/BF07 5F048/BF16 5F110/AA02 5F110/AA06 5F110/AA08 5F110/AA19 5F110/BB01 5F110/BB04 5F110/CC02 5F110/CC08 5F110/DD02 5F110/DD03 5F110/DD13 5F110/DD14 5F110/DD15 5F110/DD17 5F110/EE01 5F110/EE03 5F110/EE04 5F110/EE05 5F110/EE06 5F110/EE08 5F110/EE14 5F110/EE15 5F110/EE28 5F110/EE44 5F110/FF02 5F110/FF03 5F110/FF04 5F110/FF30 5F110/FF36 5F110/GG01 5F110/GG02 5F110/GG13 5F110/GG25 5F110/GG32 5F110/GG34 5F110/GG51 5F110/HJ01 5F110/HJ04 5F110/HJ12 5F110/HJ13 5F110/HJ23 5F110/HL03 5F110/HL04 5F110/HL12 5F110/HL14 5F110/HL23 5F110/HM12 5F110/HM13 5F110/HM14 5F110/HM15 5F110/NN02 5F110/NN03 5F110/NN04 5F110/NN05 5F110/NN22 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN39 5F110/NN40 5F110/NN71 5F110/NN72 5F110/NN78 5F110/PP10 5F110/PP34 5F110/QQ09 5F110/QQ11 5F110/QQ19 5F110/QQ24 5F110/QQ25 5F110/QQ28		
优先权	1999299210 1999-10-21 JP 1999336995 1999-11-29 JP		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够延长EL元件的使用寿命的EL显示装置。解决方案：显示装置包括多个像素，包括第一晶体管，第二晶体管和有机EL元件。显示装置通过控制有机EL元件发光的时间来进行灰度显示。有机EL元件包括像素电极和对电极。在有机EL元件上施加相反极性的EL驱动电压的时间段。图3：图3

