

【特許請求の範囲】**【請求項 1】**

電気光学素子およびトランジスタを含む画素が行列状に配置され、
前記画素は、

前記トランジスタのソース領域およびドレイン領域を形成する第 1 の半導体層と、前記第 1 の半導体層と異なる層に形成された第 2 の半導体層との間にメタル層を設けることによって形成される容量素子を備え、

前記電気光学素子の発光時に、前記メタル層に、前記容量素子の容量値を大きくする電圧が印加される

表示装置。

10

【請求項 2】

前記画素は、前記容量素子として、映像信号の信号電圧を保持する保持容量を備え、

前記保持容量の前記メタル層は、前記信号電圧を前記保持容量に書込む書込みトランジスタのゲート電極と同一層に設けられる

請求項 1 に記載の表示装置。

【請求項 3】

前記電気光学素子の発光時に、前記保持容量の前記メタル層に、前記保持容量の容量値を大きくする電圧が印加される

請求項 2 に記載の表示装置。

【請求項 4】

前記画素は、前記容量素子として、前記電気光学素子の等価容量の補助となる補助容量をさらに備え、

前記補助容量の前記メタル層は、前記電気光学素子を駆動する駆動トランジスタのゲート電極と同一層に設けられ、

前記信号電圧の前記保持容量への書込み時に、前記補助容量の前記メタル層に、前記補助容量の容量値を大きくする電圧が印加される

請求項 3 に記載の表示装置。

20

【請求項 5】

前記駆動トランジスタの閾値電圧の補正時に、前記保持容量および前記補助容量の前記メタル層それぞれに、前記保持容量および前記補助容量それぞれの容量値を小さくする電圧が印加される

請求項 4 に記載の表示装置。

30

【請求項 6】

前記メタル層は、配線層と同一層に設けられる

請求項 1 に記載の表示装置。

【請求項 7】

電気光学素子およびトランジスタを含む画素が行列状に配置され、
前記画素は、

前記トランジスタのソース領域およびドレイン領域を形成する第 1 の半導体層と、前記第 1 の半導体層と異なる層に形成された第 2 の半導体層との間にメタル層を設けることによって形成される容量素子を備える表示装置の駆動方法であって、

前記電気光学素子の発光時に、前記メタル層に、前記容量素子の容量値を大きくする電圧が印加されるステップを含む

表示装置の駆動方法。

40

【請求項 8】

電気光学素子およびトランジスタを含む画素が行列状に配置され、
前記画素は、

前記トランジスタのソース領域およびドレイン領域を形成する第 1 の半導体層と、前記第 1 の半導体層と異なる層に形成された第 2 の半導体層との間にメタル層を設けることによって形成される容量素子を備え、

50

前記電気光学素子の発光時に、前記メタル層に、前記容量素子の容量値を大きくする電圧が印加される表示装置

を備える電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本技術は、表示装置およびその駆動方法、並びに電子機器に関し、特に、より簡単な構成で、画面のユニフォーミティを損なうことなく、良質な表示画像を得ることができるようにする表示装置およびその駆動方法、並びに電子機器に関する。

【背景技術】

10

【0002】

従来、フラットパネル型の表示装置として、有機EL (Electro-Luminescence) 表示装置、液晶表示装置 (LCD: Liquid Crystal Display)、プラズマ表示装置 (PDP: Plasma Display Panel) 等が広く知られている。

【0003】

有機EL表示装置の中には、発光期間を長く設定できるように、駆動トランジスタの閾値電圧の変動に対する補正を行う閾値補正処理を迅速に行わせるようにした表示装置がある (例えば、特許文献1参照)。

【先行技術文献】

【特許文献】

20

【0004】

【特許文献1】特開2009-294507号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献1の表示装置においては、補正用走査信号AZの追加や書込み走査信号WSの3値化によってドライバにかかるコストが上がったり、4Tr/1C構成とするためにトランジスタを追加する必要がある、これによって歩留りが低下する等の恐れがあった。

【0006】

30

本技術は、このような状況に鑑みてなされたものであり、より簡単な構成で、画面のユニフォーミティを損なうことなく、良質な表示画像を得ることができるようにするものである。

【課題を解決するための手段】

【0007】

本技術の一側面の表示装置は、電気光学素子およびトランジスタを含む画素が行列状に配置され、前記画素は、前記トランジスタのソース領域およびドレイン領域を形成する第1の半導体層と、前記第1の半導体層と異なる層に形成された第2の半導体層との間にメタル層を設けることによって形成される容量素子を備え、前記電気光学素子の発光時に、前記メタル層に、前記容量素子の容量値を大きくする電圧が印加される。

40

【0008】

前記画素には、前記容量素子として、映像信号の信号電圧を保持する保持容量を設け、前記保持容量の前記メタル層は、前記信号電圧を前記保持容量に書込む書込みトランジスタのゲート電極と同一層に設けられるようにすることができる。

【0009】

前記電気光学素子の発光時に、前記保持容量の前記メタル層に、前記保持容量の容量値を大きくする電圧が印加されるようにすることができる。

【0010】

前記画素には、前記容量素子として、前記電気光学素子の等価容量の補助となる補助容量をさらに備え、前記補助容量の前記メタル層は、前記電気光学素子を駆動する駆動トラ

50

ンジスタのゲート電極と同一層に設けられ、前記信号電圧の前記保持容量への書込み時に、前記補助容量の前記メタル層に、前記補助容量の容量値を大きくする電圧が印加されるようにすることができる。

【0011】

前記駆動トランジスタの閾値電圧の補正時に、前記保持容量および前記補助容量の前記メタル層それぞれに、前記保持容量および前記補助容量それぞれの容量値を小さくする電圧が印加されるようにすることができる。

【0012】

前記メタル層は、配線層と同一層に設けられるようにすることができる。

【0013】

本技術の一側面の表示装置の駆動方法は、電気光学素子およびトランジスタを含む画素が行列状に配置され、前記画素は、前記トランジスタのソース領域およびドレイン領域を形成する第1の半導体層と、前記第1の半導体層と異なる層に形成された第2の半導体層との間にメタル層を設けることによって形成される容量素子を備える表示装置の駆動方法であって、前記電気光学素子の発光時に、前記メタル層に、前記容量素子の容量値を大きくする電圧が印加されるステップを含む。

【0014】

本技術の一側面の電子機器は、電気光学素子およびトランジスタを含む画素が行列状に配置され、前記画素は、前記トランジスタのソース領域およびドレイン領域を形成する第1の半導体層と、前記第1の半導体層と異なる層に形成された第2の半導体層との間にメタル層を設けることによって形成される容量素子を備え、前記電気光学素子の発光時に、前記メタル層に、前記容量素子の容量値を大きくする電圧が印加される表示装置を備える。

【0015】

本技術の一側面においては、電気光学素子の発光時に、メタル層に、容量素子の容量値を大きくする電圧が印加される。

【発明の効果】

【0016】

本技術の一側面によれば、より簡単な構成で、画面のユニフォーミティを損なうことなく、良質な表示画像を得ることが可能となる。

【図面の簡単な説明】

【0017】

【図1】本技術を適用したアクティブマトリクス型表示装置の一実施の形態を示すブロック図である。

【図2】画素回路の構成例を示す図である。

【図3】画素回路の動作について説明するタイミングチャートである。

【図4】駆動トランジスタの移動度のばらつきについて説明する図である。

【図5】トップゲート構造のトランジスタの断面構造を示す断面図である。

【図6】ボトムゲート構造のトランジスタの断面構造を示す断面図である。

【図7】容量素子の容量値の制御について説明するタイミングチャートである。

【図8】画素回路の他の構成例を示す図である。

【図9】容量素子の容量値の制御について説明するタイミングチャートである。

【図10】本技術を適用したテレビジョン受像機の外観を示す図である。

【図11】本技術を適用したデジタルカメラの外観を示す図である。

【図12】本技術を適用したノート型パーソナルコンピュータの外観を示す図である。

【図13】本技術を適用したデジタルビデオカメラの外観を示す図である。

【図14】本技術を適用した多機能携帯電話機の外観を示す図である。

【発明を実施するための形態】

【0018】

以下、本技術の実施の形態について図を参照して説明する。

10

20

30

40

50

【 0 0 1 9 】

[表示装置の構成例]

図 1 は、本技術を適用したアクティブマトリクス型表示装置の一実施の形態を示すブロック図である。

【 0 0 2 0 】

アクティブマトリクス型表示装置は、電気光学素子に流れる電流を、その電気光学素子と同じ画素内に設けられた能動素子、例えば絶縁ゲート型電界効果トランジスタによって制御する表示装置である。絶縁ゲート型電界効果トランジスタとしては、例えば薄膜トランジスタ (TFT: Thin Film Transistor) が用いられる。

【 0 0 2 1 】

ここでは、一例として、電流値に応じて発光輝度が変化する電流駆動型の電気光学素子である有機EL素子を、画素 (画素回路) の発光素子として用いるアクティブマトリクス型有機EL表示装置の構成について説明する。

【 0 0 2 2 】

図 1 に示されるように、本技術を適用した有機EL表示装置 1 は、画素アレイ部 1 1、ライトスキャナ 1 2、ドライブスキャナ 1 3、水平セクタ 1 4、第 1 のスキャナ 1 5、および第 2 のスキャナ 1 6 から構成される。

【 0 0 2 3 】

画素アレイ部 1 1 は、有機EL素子を含む複数の画素 3 0 が行列状に 2 次元配置されてなり、ライトスキャナ 1 2 乃至第 2 のスキャナ 1 6 は、画素アレイ部 1 1 の各画素 3 0 を駆動する駆動回路部として機能する。

【 0 0 2 4 】

ここで、有機EL表示装置 1 がカラー表示対応の場合、カラー画像を形成する単位となる 1 つの画素 (単位画素) は複数の副画素 (サブピクセル) から構成され、この副画素それぞれが図 1 の画素 3 0 に相当する。具体的には、カラー表示対応の表示装置において、1 つの画素は、例えば、赤色 (R: Red) 光を発光する副画素、緑色 (G: Green) 光を発光する副画素、青色 (B: Blue) 光を発光する副画素の 3 つの副画素から構成される。

【 0 0 2 5 】

ただし、1 つの画素としては、RGB 3 色の副画素の組み合わせに限られるものではなく、3 色の副画素にさらに 1 色または複数色の副画素を加えて 1 つの画素を構成することも可能である。具体的には、輝度向上のために白色 (W: White) 光を発光する副画素を加えて 1 つの画素を構成したり、色再現範囲を拡大するために補色光を発光する少なくとも 1 つの副画素を加えて 1 つの画素を構成することも可能である。

【 0 0 2 6 】

画素アレイ部 1 1 においては、m 行 n 列の画素 3 0 の配列に対して、行方向 (画素行の画素の配列方向) に沿って走査線 3 1 - 1 乃至 3 1 - m と電源供給線 3 2 - 1 乃至 3 2 - m とが、画素行毎に配線されている。さらに、m 行 n 列の画素 3 0 の配列に対して、列方向 (画素列の画素の配列方向) に沿って信号線 3 3 - 1 乃至 3 3 - n が画素列毎に配線されている。

【 0 0 2 7 】

走査線 3 1 - 1 乃至 3 1 - m は、ライトスキャナ 1 2 の対応する行の出力端にそれぞれ接続されている。電源供給線 3 2 - 1 乃至 3 2 - m は、ドライブスキャナ 1 3 の対応する行の出力端にそれぞれ接続されている。信号線 3 3 - 1 乃至 3 3 - n は、水平セクタ 1 4 の対応する列の出力端にそれぞれ接続されている。

【 0 0 2 8 】

また、画素アレイ部 1 1 においては、m 行 n 列の画素 3 0 の配列に対して、行方向に沿って走査線 3 4 - 1 乃至 3 4 - m と走査線 3 5 - 1 乃至 3 5 - m とが、画素行毎に配線されている。

【 0 0 2 9 】

走査線 3 4 - 1 乃至 3 4 - m は、第 1 のスキャナ 1 5 の対応する行の出力端にそれぞれ

10

20

30

40

50

接続されている。走査線 35 - 1 乃至 35 - m は、第 2 のスキャナ 16 の対応する行の出力端にそれぞれ接続されている。

【0030】

画素アレイ部 11 は、通常、ガラス基板等の透明絶縁基板上に形成される。これにより、有機EL表示装置 1 は、平面型（フラット型）のパネル構造となる。画素アレイ部 11 の各画素 30 の画素回路は、アモルファスシリコンTFTまたは低温ポリシリコンTFTを用いて形成することができる。低温ポリシリコンTFTを用いる場合には、ライトスキャナ 12、ドライブスキャナ 13、水平セクタ 14、第 1 のスキャナ 15、および第 2 のスキャナ 16 についても、画素アレイ部 11 を形成する表示パネル（基板）上に実装することができる。

10

【0031】

ライトスキャナ 12 は、クロックパルスに同期してスタートパルス（転送）するシフトレジスタ回路等によって構成されている。ライトスキャナ 12 は、画素アレイ部 11 の各画素 30 への映像信号の信号電圧の書込みに際して、走査線 31 - 1 乃至 31 - m（以下、単に走査線 31 という）に対して書込み走査信号 WS1 乃至 WSm（以下、単に書込み走査信号 WS という）を順次供給することによって画素アレイ部 11 の各画素 30 を行単位で順番に走査（線順次走査）する。

【0032】

ドライブスキャナ 13 は、クロックパルスに同期してスタートパルス（転送）するシフトレジスタ回路等によって構成されている。ドライブスキャナ 13 は、ライトスキャナ 12 による線順次走査に同期して、第 1 電源電位 Vcc と、第 1 電源電位 Vcc よりも低い第 2 電源電位 Vini とで切替え可能な電源電位 DS1 乃至 DSm（以下、単に電源電位 DS という）を電源供給線 32 - 1 乃至 32 - m（以下、単に電源供給線 32 という）に供給する。この電源電位 DS の Vcc / Vini の切替えによって、画素 30 の発光 / 非発光の制御が行われる。

20

【0033】

水平セクタ 14 は、図示せぬ信号供給源から供給される輝度情報に応じた映像信号の信号電圧 Vsig と基準電圧 Vofs とを選択的に出力する。ここで、基準電圧 Vofs は、映像信号の信号電圧 Vsig の基準となる電位（例えば、映像信号の黒レベルに相当する電位）であり、後述する閾値補正処理の際に用いられる。

【0034】

水平セクタ 14 から出力される信号電圧 Vsig / 基準電圧 Vofs は、信号線 33 - 1 乃至 33 - n（以下、単に信号線 33 という）を介して画素アレイ部 11 の各画素 30 に対して、ライトスキャナ 12 による走査によって選択された画素行の単位で書込まれる。すなわち、水平セクタ 14 は、信号電圧 Vsig を行単位で書込む線順次書込みの駆動形態をとっている。

30

【0035】

第 1 のスキャナ 15 は、所定のタイミングで、所定の電圧信号 WCs1 乃至 WCs m（以下、単に電圧信号 WCs という）を走査線 34 - 1 乃至 34 - m（以下、単に走査線 34 という）に供給する。

【0036】

第 2 のスキャナ 16 は、所定のタイミングで、所定の電圧信号 WCsub1 乃至 WCsub m（以下、単に電圧信号 WCsub という）を走査線 35 - 1 乃至 35 - m（以下、単に走査線 35 という）に供給する。

40

【0037】

[画素回路の構成例]

図 2 は、画素（画素回路）30 の具体的な構成例を示している。画素 30 の発光部は、電流値に応じて発光輝度が変化する電流駆動型の電気光学素子である有機EL素子 51 となる。

【0038】

図 2 に示されるように、画素 30 は、有機EL素子 51 と、有機EL素子 51 に電流を流す

50

ことによって有機EL素子 5 1 を駆動する駆動回路とによって構成される。

【 0 0 3 9 】

有機EL素子 5 1 は、全ての画素 3 0 に対して共通に配線（いわゆるベタ配線）された共通電源供給線にカソード電極が接続されている。

【 0 0 4 0 】

有機EL素子 5 1 を駆動する駆動回路は、駆動トランジスタ 5 2 、書込みトランジスタ 5 3 、保持容量 5 4 、および補助容量 5 5 から構成される。駆動トランジスタ 5 2 および書込みトランジスタ 5 3 としては、Nチャネル型のTFTが用いられる。なお、ここでの駆動トランジスタ 5 2 および書込みトランジスタ 5 3 の導電型の組み合わせは一例に過ぎず、これらの組み合わせに限られるものではない。さらに、以下で説明するトランジスタや保持容量、有機EL素子等の結線関係についても、この形態に限られるものではない。

10

【 0 0 4 1 】

駆動トランジスタ 5 2 は、一方の電極（ソース/ドレイン電極）が有機EL素子 5 1 のアノード電極に接続され、他方の電極（ソース/ドレイン電極）が電源供給線 3 2 に接続されている。

【 0 0 4 2 】

書込みトランジスタ 5 3 は、一方の電極（ソース/ドレイン電極）が信号線 3 3 に接続され、他方の電極（ソース/ドレイン電極）が駆動トランジスタ 5 2 のゲート電極に接続されている。また、書込みトランジスタ 5 3 のゲート電極は、走査線 3 1 に接続されている。

20

【 0 0 4 3 】

駆動トランジスタ 5 2 および書込みトランジスタ 5 3 において、一方の電極とは、ソース/ドレイン領域に電氣的に接続された金属配線をいい、他方の電極とは、ドレイン/ソース領域に電氣的に接続された金属配線をいう。また、一方の電極と他方の電極との電位関係によって一方の電極がソース電極ともなればドレイン電極ともなり、他方の電極がドレイン電極ともなればソース電極ともなる。

【 0 0 4 4 】

保持容量 5 4 は、一方の電極が駆動トランジスタ 5 2 のゲート電極に接続され、他方の電極が駆動トランジスタ 5 2 の他方の電極、および、有機EL素子 5 1 のアノード電極に接続されている。保持容量 5 4 は、走査線 3 4 からの電圧信号WCsに応じて、その容量値が可変とされる。

30

【 0 0 4 5 】

補助容量 5 5 は、一方の電極が有機EL素子 5 1 のアノード電極に、他方の電極が共通電源供給線にそれぞれ接続されている。補助容量 5 5 は、有機EL素子 5 1 の等価容量の容量不足分を補うべくその等価容量の補助となって、保持容量 5 4 に対する映像信号の書込みゲインを高めるために設けられている。補助容量 5 5 は、走査線 3 5 からの電圧信号WCsubbに応じて、その容量値が可変とされる。

【 0 0 4 6 】

なお、図 2 においては、補助容量 5 5 の他方の電極が共通電源供給線に接続されるようにしているが、他方の電極の接続先としては、共通電源供給線に限られるのではなく、固定電位のノードであればよい。補助容量 5 5 の他方の電極を固定電位のノードに接続することで、有機EL素子 5 1 の容量不足分を補い、保持容量 5 4 に対する映像信号の書込みゲインを高めることができるようになる。

40

【 0 0 4 7 】

[画素回路の動作]

次に、図 3 のタイミングチャートを参照して、有機EL表示装置 1 の画素回路 3 0 の動作について説明する。

【 0 0 4 8 】

図 3 のタイミングチャートには、電源供給線 3 2 の電位（電源電位）DS、走査線 3 1 の電位（書込み走査信号）WS、信号線 3 3 の電位（Vsig/Vofs）、並びに、図 2 の画素回路

50

30におけるA点(駆動トランジスタ52のゲート電位)およびB点(駆動トランジスタ52のソース電位)それぞれの変化が示されている。

【0049】

図3において、時刻 t_0 以前は、前の表示フレーム(前フレーム)における有機EL素子51の発光期間となる。前フレームの発光期間では、電源供給線32の電位DSが第1電源電位(以下、高電位という) V_{cc} にあり、また、書込みトランジスタ53が非導通状態にある。

【0050】

ここで、駆動トランジスタ52は、飽和領域で動作するように設計されている。これにより、駆動トランジスタ52のゲート-ソース間電圧 V_{gs} に応じた駆動電流(ドレイン-ソース間電流) I_{ds} が、電源供給線32から駆動トランジスタ52を通して有機EL素子51に供給される。そして、有機EL素子51は、駆動電流 I_{ds} の電流値に応じた輝度で発光する。

【0051】

時刻 t_0 になると、線順次走査の新しい表示フレーム(現フレーム)に入る。駆動トランジスタ52の閾値電圧を V_{th} とすると、電源供給線32の電位DSが、高電位 V_{cc} から、信号線33の基準電圧 V_{ofs} に対して $V_{ofs} - V_{th}$ よりも十分に低い第2電源電位(以下、低電位という) V_{ini} に切替わる。

【0052】

ここで、有機EL素子51の閾値電圧を V_{thel} 、共通電源供給線の電位(カソード電位)を V_{cath} とする。このとき、低電位 V_{ini} を、 $V_{ini} < V_{thel} + V_{cath}$ とすると、B点の電位が低電位 V_{ini} に略等しくなるため、有機EL素子51は逆バイアス状態となって消光する。

【0053】

時刻 t_1 において、信号線33の電位が信号電圧 V_{sig} から基準電圧 V_{ofs} とされ、時刻 t_2 において、走査線31の電位WSが低電位側から高電位側に遷移することで、書込みトランジスタ53が導通状態となる。このとき、水平セクタ14から信号線33に対して基準電圧 V_{ofs} が供給されている状態にあるため、A点の電位が基準電圧 V_{ofs} になる。また、B点の電位は、基準電圧 V_{ofs} よりも十分に低い電位、すなわち低電位 V_{ini} にある。

【0054】

またこのとき、駆動トランジスタ52のゲート-ソース間電圧 V_{gs} は $V_{ofs} - V_{ini}$ となる。ここで、 $V_{ofs} - V_{ini}$ が駆動トランジスタ52の閾値電圧 V_{th} よりも大きくないと、後述する閾値補正処理を行うことができないため、 $V_{ofs} - V_{ini} > V_{th}$ となる関係に設定する必要がある。

【0055】

このように、A点の電位を基準電圧 V_{ofs} に固定し、かつ、B点の電位を低電位 V_{ini} に固定して初期化する処理が、後述する閾値補正処理を行う前の準備(閾値補正準備)の処理である。

【0056】

時刻 t_3 において、電源供給線32の電位DSが低電位 V_{ini} から高電位 V_{cc} に切替わると、A点の電位が基準電圧 V_{ofs} に保たれた状態で閾値補正処理が開始される。すなわち、A点の電位から駆動トランジスタ52の閾値電圧 V_{th} を減じた電位に向けてB点の電位が上昇を開始する。

【0057】

この閾値補正処理が進むと、やがて駆動トランジスタ52のゲート-ソース間電圧 V_{gs} が駆動トランジスタ52の閾値電圧 V_{th} に収束する。この閾値電圧 V_{th} に相当する電圧は保持容量54に保持される。

【0058】

なお、閾値補正処理を行う期間(閾値補正期間)において、電流が専ら保持容量54側に流れ、有機EL素子51側には流れないようにするために、有機EL素子51がカットオフ状態となるように、共通電源供給線の電位 V_{cath} を設定しておくこととする。

10

20

30

40

50

【 0 0 5 9 】

時刻 t_4 において、走査線 3 1 の電位 WS が低電位側に遷移することで、書込みトランジスタ 5 3 が非導通状態となる。このとき、駆動トランジスタ 5 2 のゲート電極が信号線 3 3 から電氣的に切り離されることによってフローティング状態になる。しかしながら、ゲート - ソース間電圧 V_{gs} が駆動トランジスタ 5 2 の閾値電圧 V_{th} に等しいために、駆動トランジスタ 5 2 はカットオフ状態にある。したがって、駆動トランジスタ 5 2 に駆動電流 I_{ds} は流れない。

【 0 0 6 0 】

時刻 t_5 において、信号線 3 3 の電位が基準電圧 V_{ofs} から映像信号の信号電圧 V_{sig} に切替わる。続いて、時刻 t_6 において、走査線 3 1 の電位 WS が高電位側に遷移することで、書込みトランジスタ 5 3 は、導通状態となって映像信号の信号電圧 V_{sig} をサンプリングして画素 3 0 内に書込む。

10

【 0 0 6 1 】

この書込みトランジスタ 5 3 による信号電圧 V_{sig} の書込みにより、A 点の電位が信号電圧 V_{sig} になる。そして、映像信号の信号電圧 V_{sig} による駆動トランジスタ 5 2 の駆動の際に、駆動トランジスタ 5 2 の閾値電圧 V_{th} が、保持容量 5 4 に保持された閾値電圧 V_{th} に相当する電圧と相殺される。

【 0 0 6 2 】

このとき、有機 EL 素子 5 1 は、カットオフ状態（ハイインピーダンス状態）にある。したがって、映像信号の信号電圧 V_{sig} に応じて電源供給線 3 2 から駆動トランジスタ 5 2 に流れる駆動電流 I_{ds} は、有機 EL 素子 5 1 の等価容量および補助容量 5 5 に流れ込む。これにより、有機 EL 素子 5 1 の等価容量および補助容量 5 5 の充電が開始される。

20

【 0 0 6 3 】

有機 EL 素子 5 1 の等価容量および補助容量 5 5 が充電されることにより、B 点の電位が時間の経過とともに上昇していく。このときすでに、駆動トランジスタ 5 2 の閾値電圧 V_{th} の画素毎のばらつきがキャンセルされており、駆動トランジスタ 5 2 の駆動電流 I_{ds} は、駆動トランジスタ 5 2 の移動度 μ に依存したものとなる。なお、駆動トランジスタ 5 2 の移動度 μ は、駆動トランジスタ 5 2 のチャンネルを構成する半導体薄膜の移動度である。

【 0 0 6 4 】

ここで、映像信号の信号電圧 V_{sig} に対する保持容量 5 4 の保持電圧（駆動トランジスタ 5 2 のゲート - ソース間電圧） V_{gs} の比率、すなわち書込みゲインが 1（理想値）であると仮定する。すると、B 点の電位が $V_{ofs} - V_{th} + \Delta V$ の電位まで上昇することで、駆動トランジスタ 5 2 のゲート - ソース間電圧 V_{gs} は $V_{sig} - V_{ofs} + V_{th} - \Delta V$ となる。

30

【 0 0 6 5 】

すなわち、B 点の電位の上昇分 ΔV は、保持容量 5 4 に保持された電圧（ $V_{sig} - V_{ofs} + V_{th}$ ）から差し引かれるように、すなわち、保持容量 5 4 の充電電荷を放電するように作用する。言い換えると、B 点の電位の上昇分 ΔV は、保持容量 5 4 に対して負帰還がかけられたことになる。したがって、B 点の電位の上昇分 ΔV は負帰還の帰還量となる。

【 0 0 6 6 】

このように、駆動トランジスタ 5 2 に流れる駆動電流 I_{ds} に応じた帰還量 ΔV でゲート - ソース間電圧 V_{gs} に負帰還をかけることで、駆動トランジスタ 5 2 の駆動電流 I_{ds} の移動度 μ に対する依存性を打ち消すことができる。この処理が、駆動トランジスタ 5 2 の移動度 μ の画素毎のばらつきを補正する移動度補正処理である。

40

【 0 0 6 7 】

[移動度補正の原理]

ここで、図 4 を参照して、駆動トランジスタ 5 2 の移動度補正の原理について説明する。

【 0 0 6 8 】

図 4 には、駆動トランジスタ 5 2 の移動度 μ が相対的に大きい画素 A と、駆動トランジスタ 5 2 の移動度 μ が相対的に小さい画素 B とを比較した状態での特性カーブが示されて

50

いる。駆動トランジスタ 5 2 をポリシリコン薄膜トランジスタなどで構成した場合、画素 A や画素 B のように、画素間で移動度 μ がばらつくことは避けられない。

【 0 0 6 9 】

画素 A と画素 B とで移動度 μ にばらつきがある状態で、駆動トランジスタ 5 2 のゲート電極に対して、例えば両画素 A , B に同レベルの信号振幅 $V_{in} (= V_{sig} - V_{ofs})$ を書き込んだ場合を考える。この場合、何ら移動度 μ の補正が行われないと、移動度 μ の大きい画素 A に流れる駆動電流 I_{ds1}' と移動度 μ の小さい画素 B に流れる駆動電流 I_{ds2}' との間には大きな差が生じてしまう。このように、移動度 μ の画素毎のばらつきに起因して駆動電流 I_{ds} に画素間で大きな差が生じると、画面のユニフォームティ（一様性）が損なわれる。

10

【 0 0 7 0 】

ここで、移動度 μ が大きいと駆動電流 I_{ds} が大きくなることが知られている。したがって、負帰還における帰還量 ΔV は移動度 μ が大きくなる程大きくなる。図 4 に示されるように、移動度 μ の大きな画素 A の帰還量 ΔV_1 は、移動度の小さな画素 B の帰還量 ΔV_2 に比べて大きい。

【 0 0 7 1 】

そこで、移動度補正処理によって駆動トランジスタ 5 2 の駆動電流 I_{ds} に応じた帰還量 ΔV でゲート - ソース間電圧 V_{gs} に負帰還をかけることにより、移動度 μ が大きいほど負帰還が大きくなることになる。その結果、移動度 μ の画素毎のばらつきを抑制することができる。

20

【 0 0 7 2 】

具体的には、移動度 μ の大きな画素 A で帰還量 ΔV_1 の補正をかけると、駆動電流 I_{ds} は I_{ds1}' から I_{ds1} まで大きく下降する。一方、移動度 μ の小さな画素 B の帰還量 ΔV_2 は小さいために、駆動電流 I_{ds} は I_{ds2}' から I_{ds2} までの下降となり、それ程大きく下降しない。その結果、画素 A の駆動電流 I_{ds1} と画素 B の駆動電流 I_{ds2} とはほぼ等しくなるために、移動度 μ の画素毎のばらつきが補正されるようになる。

【 0 0 7 3 】

図 3 のタイミングチャートに戻り、時刻 t_7 において、走査線 3 1 の電位 WS が低電位側に遷移することで、書込みトランジスタ 5 3 が非導通状態となる。これにより、駆動トランジスタ 5 2 のゲート電極は、信号線 3 3 から電氣的に切り離されるためにフローティング状態になる。

30

【 0 0 7 4 】

ここで、駆動トランジスタ 5 2 のゲート電極がフローティング状態にあるときは、駆動トランジスタ 5 2 のゲート - ソース間に保持容量 5 4 が接続されていることにより、B 点の電位（駆動トランジスタ 5 2 のソース電位）の変動に連動して A 点の電位（駆動トランジスタ 5 2 のゲート電位）も変動する。

【 0 0 7 5 】

このように、駆動トランジスタ 5 2 のゲート電位がソース電位の変動に連動して変動する動作が、言い換えると、保持容量 5 4 に保持されたゲート - ソース間電圧 V_{gs} を保ったまま、駆動トランジスタ 5 2 のゲート電位およびソース電位が上昇する動作が、いわゆるブートストラップ動作である。

40

【 0 0 7 6 】

駆動トランジスタ 5 2 のゲート電極がフローティング状態になり、それと同時に、駆動トランジスタ 5 2 の駆動電流 I_{ds} が有機 EL 素子 5 1 に流れ始めることにより、有機 EL 素子 5 1 のアノード電位が上昇する。

【 0 0 7 7 】

そして、有機 EL 素子 5 1 のアノード電位が $V_{thel} + V_{cath}$ を越えると、有機 EL 素子 5 1 に駆動電流が流れ始め、有機 EL 素子 5 1 が発光を開始する。また、有機 EL 素子 5 1 のアノード電位の上昇は、駆動トランジスタ 5 2 のソース電位、すなわち B 点の電位の上昇に他ならない。そして、B 点の電位が上昇すると、保持容量 5 4 のブートストラップ動作により

50

、A 点の電位も連動して上昇する。

【0078】

このとき、ブートストラップゲインが1（理想値）であると仮定した場合、A 点の電位の上昇量はB 点の電位の上昇量に等しくなる。したがって、発光期間中、駆動トランジスタ52のゲート - ソース間電圧 V_{gs} は、 $V_{sig} - V_{ofs} + V_{th} - \Delta V$ で一定に保持される。そして、時刻 t_8 で信号線33の電位が映像信号の信号電圧 V_{sig} から基準電圧 V_{ofs} に切替わる。

【0079】

上述した一連の回路動作において、閾値補正準備、閾値補正、信号電圧 V_{sig} の書込み（信号書込み）、および移動度補正の各処理動作は、1 水平走査期間（1 H）において実行される。また、信号書込みおよび移動度補正の各処理動作は、時刻 t_6 乃至 t_7 の期間において並行して実行される。

10

【0080】

[分割閾値補正]

なお、以上においては、閾値補正処理を1 回だけ実行する回路動作について説明したが、この回路動作は一例に過ぎず、この回路動作に限られるものではない。例えば、閾値補正処理を移動度補正および信号書込み処理とともに行う1 H 期間に加えて、1 H 期間に先行する複数の水平走査期間にわたって分割して閾値補正処理を複数回実行する、いわゆる分割閾値補正を行う回路動作とすることも可能である。

【0081】

この分割閾値補正の回路動作によれば、高精細化に伴う多画素化によって1 水平走査期間として割り当てられる時間が短くなったとしても、閾値補正期間として複数の水平走査期間にわたって十分な時間を確保することができる。したがって、1 水平走査期間として割り当てられる時間が短くなっても、閾値補正期間として十分な時間を確保できるため、閾値補正処理を確実に実行することが可能となる。

20

【0082】

[トップゲート構造とボトムゲート構造]

ところで、上述した有機EL表示装置1において、画素30のトランジスタ、具体的には、駆動トランジスタ52および書込みトランジスタ53を形成するTFTは、その構造面から、トップゲート構造とボトムゲート構造とに大別される。トップゲート構造は、ゲート電極が半導体層に対して基板と反対側に位置する構造である。ボトムゲート構造は、ゲート電極が半導体層に対して基板側に位置する構造である。

30

【0083】

図5は、本技術を適用した有機EL表示装置1の画素30における、トップゲート構造のトランジスタの断面図を示している。

【0084】

図5に示されるように、トップゲート構造のトランジスタにおいては、例えばガラス基板からなる基板71の上に半導体層72が形成されている。

【0085】

図5左側においては、半導体層72の領域72aがチャネル領域となり、チャネル領域72aの両端部（一端は図示せず）の領域72bがソース/ドレイン領域となる。そして、半導体層72のチャネル領域72aの上に図示せぬゲート絶縁膜が成膜され、そのゲート絶縁膜の上にゲート電極73が形成される。

40

【0086】

このようにして形成されるTFT回路部 Tr の上の平坦化を図るために、TFT回路部 Tr の上には、絶縁平坦化膜74が形成される。絶縁平坦化膜74には、半導体層72のソース/ドレイン領域72bに臨むコンタクトホール75が形成される。そして、絶縁平坦化膜74の上に、ソース/ドレイン電極76が形成されるとともに、コンタクトホール75に配線材料（電極材料）が埋め込まれることによって、ソース/ドレイン電極76とソース/ドレイン領域72bとが電氣的に接続される。

【0087】

50

一方、図 5 右側においては、半導体層 7 2 の上層に、半導体層 7 7 が形成されるとともに、半導体層 7 2 と半導体層 7 7 との間に、メタル層 7 8 が設けられることによって、容量素子 Cval が形成される。このメタル層 7 8 は、TFT回路部 Tr におけるゲート電極 7 3 と同一層に設けられている。すなわち、メタル層 7 8 をゲート電極 7 3 と同一の工程で形成されるようにできるので、従来のプロセスに加え、メタル層 7 8 を形成する工程を増やす必要はない。

【 0 0 8 8 】

この容量素子 Cval は、TFT回路部 Tr が書込みトランジスタ 5 3 である場合は保持容量 5 4 として機能し、TFT回路部 Tr が駆動トランジスタ 5 2 である場合は補助容量 5 5 として機能する。

10

【 0 0 8 9 】

図 6 は、本技術を適用した有機 EL 表示装置 1 の画素 3 0 における、ボトムゲート構造のトランジスタの断面図を示している。

【 0 0 9 0 】

図 6 に示されるように、トップゲート構造のトランジスタにおいては、基板 8 1 の上に、絶縁平坦化膜 8 4 を介して、半導体層 8 2 が形成されている。

【 0 0 9 1 】

図 6 左側においては、半導体層 8 2 の領域 8 2 a がチャネル領域となり、チャネル領域 8 2 a の両端部（一端は図示せず）の領域 8 2 b がソース / ドレイン領域となる。そして、半導体層 8 2 のチャネル領域 8 2 a の下には、ゲート電極 8 3 が形成される。

20

【 0 0 9 2 】

このようにして形成される TFT回路部 Tr の上の絶縁平坦化膜 8 4 には、半導体層 8 2 のソース / ドレイン領域 8 2 b に臨むコンタクトホール 8 5 が形成される。そして、絶縁平坦化膜 8 4 の上に、ソース / ドレイン電極 8 6 が形成されるとともに、コンタクトホール 8 5 に配線材料（電極材料）が埋め込まれることによって、ソース / ドレイン電極 8 6 とソース / ドレイン領域 8 2 b とが電氣的に接続される。

【 0 0 9 3 】

一方、図 6 右側においては、半導体層 8 2 の下層に、半導体層 8 7 が形成されるとともに、半導体層 8 2 と半導体層 8 7 との間に、メタル層 8 8 が設けられることによって、容量素子 Cval が形成される。このメタル層 8 8 は、TFT回路部 Tr におけるゲート電極 8 3 と同一層に設けられている。すなわち、メタル層 8 8 をゲート電極 8 3 と同一の工程で形成されるようにできるので、従来のプロセスに加え、メタル層 8 8 を形成する工程を増やす必要はない。

30

【 0 0 9 4 】

この容量素子 Cval は、TFT回路部 Tr が書込みトランジスタ 5 3 である場合は保持容量 5 4 として機能し、TFT回路部 Tr が駆動トランジスタ 5 2 である場合は有機 EL 素子 5 1 の等価容量の補助としての機能を持つ補助容量 5 5 として機能する。

【 0 0 9 5 】

なお、図 5 および図 6 においては、容量素子 Cval のメタル層は、TFT回路部 Tr におけるゲート電極と同一層に設けられるものとしたが、例えば、ソース / ドレイン電極等の配線層と同一層に設けられるようにしてもよい。

40

【 0 0 9 6 】

ここで、図 5（または図 6）に示されるメタル層 7 8（8 8）に、半導体層 7 2，7 7（8 2，8 7）に対して十分高い電圧が印加された場合、半導体層 7 2，7 7（8 2，8 7）の表面に電子が蓄積され、容量素子 Cval の容量値は大きくなる。一方、半導体層 7 2，7 7（8 2，8 7）に対して低い電圧が印加された場合、半導体層 7 2，7 7（8 2，8 7）の表面には電子が蓄積されず、容量素子 Cval の容量値は小さくなる。このように、メタル層 7 8（8 8）に印加される電圧に応じて、容量素子 Cval の容量値は可変とされる。

【 0 0 9 7 】

50

本技術を適用した有機EL表示装置 1 においては、容量素子Cvalが保持容量 5 4 として機能する場合には、走査線 3 4 からの電圧信号WCsがメタル層 7 8 (8 8) に印加されることによって、その容量値が可変とされ、容量素子Cvalが補助容量 5 5 として機能する場合には、走査線 3 5 からの電圧信号WCsubがメタル層 7 8 (8 8) に印加されることによって、その容量値が可変とされる。

【 0 0 9 8 】

[容量素子の容量の制御]

そこで、図 7 のタイミングチャートを参照して、電圧信号WCsおよび電圧信号WCsubに応じて、保持容量 5 4 および補助容量 5 5 の容量値を制御する動作例について説明する。

【 0 0 9 9 】

図 7 のタイミングチャートには、電源供給線 3 2 の電位DS、走査線 3 1 の電位WS、走査線 3 4 の電圧信号WCs、および走査線 3 5 の電圧信号WCsubそれぞれの変化が示されている。

【 0 1 0 0 】

なお、図 7 のタイミングチャートにおいて、電源供給線 3 2 の電位DSおよび走査線 3 1 の電位WSの変化は、図 3 のタイミングチャートにおける変化と同一である。また、図示はしないが、信号線 3 3 の電位 (V_{sig}/V_{ofs}) の変化も、図 3 のタイミングチャートにおける変化と同一である。すなわち、図 7 のタイミングチャートに示されるように、時刻t11乃至t12の期間において閾値補正の処理が行われ、時刻t13乃至t14の期間において信号書込みおよび移動度補正の各処理が行われ、時刻t14以降は発光期間とされる。

【 0 1 0 1 】

図 7 において、前フレームにおける発光期間から時刻t11までの期間では、走査線 3 4 の電圧信号WCsは高電位VH1とされ、走査線 3 5 の電圧信号WCsubは高電位VH2とされる。すなわち、前フレームにおける発光期間から時刻t11までの期間では、保持容量 5 4 および補助容量 5 5 の容量値は大きい状態とされる。

【 0 1 0 2 】

時刻t11になると、走査線 3 4 の電圧信号WCsが高電位VH1から低電位VL1に遷移し、走査線 3 5 の電圧信号WCsubが高電位VH2から低電位VL2に遷移する。すなわち、閾値補正の処理時には、保持容量 5 4 および補助容量 5 5 の容量値は小さい状態とされる。これにより、駆動トランジスタ 5 2 のゲート - ソース間電圧Vgsが閾値電圧Vthに収束するまでの時間を短縮することができるようになる。

【 0 1 0 3 】

また、時刻t13になると、走査線 3 5 の電圧信号WCsubが低電位VL2から高電位VH2に遷移する。すなわち、信号書込みおよび移動度補正の処理時には、保持容量 5 4 の容量値は小さい状態とされ、補助容量 5 5 の容量値は大きい状態とされる。これにより、書込みゲインをより高くすることができるようになる。

【 0 1 0 4 】

そして、時刻t14になると、走査線 3 4 の電圧信号WCsが低電位VL1から高電位VH1に遷移する。すなわち、有機EL素子 5 1 の発光開始時には、保持容量 5 4 および補助容量 5 5 の容量値は大きい状態とされる。これにより、ブートストラップゲインをより高くすることができるようになる。

【 0 1 0 5 】

なお、以上においては、電圧信号WCsの高電位VH1と電圧信号WCsubの高電位VH2とは、それぞれ同じ電位であってもよいし、異なる電位であってもよい。また、電圧信号WCsの低電位VL1と電圧信号WCsubの低電位VL2とは、それぞれ同じ電位であってもよいし、異なる電位であってもよい。

【 0 1 0 6 】

以上の動作によれば、有機EL素子 5 1 の発光時に、保持容量 5 4 のメタル層に、容量値を大きくする電圧が印加されるので、保持容量 5 4 の容量値が大きい状態となる。これにより、ブートストラップゲインをより高くすることができるようになり、有機EL素子 5 1

10

20

30

40

50

の電流 - 電圧特性の経時変化に対する駆動電流 I_{ds} を安定させることができる。結果として、より簡単な構成で、画面のユニフォームティを損なうことなく、良質な表示画像を得ることが可能となる。

【0107】

また、信号書込みの処理時には、補助容量 55 のメタル層に、容量値を大きくする電圧が印加されるので、補助容量 55 の容量値が大きい状態となる。これにより、書込みゲインをより高くすることができるようになり、ひいては画面の輝度を高めることが可能となる。

【0108】

さらに、閾値補正の処理時には、保持容量 54 および補助容量 55 のメタル層それぞれに、それぞれの容量値を小さくする電圧が印加されるので、保持容量 54 および補助容量 55 の容量値が小さい状態となる。これにより、駆動トランジスタ 52 のゲート - ソース間電圧 V_{gs} が閾値電圧 V_{th} に収束するまでの時間を短縮することができるようになり、結果として、閾値補正処理をより迅速に行わせることができる。

【0109】

以上においては、本技術を、駆動トランジスタ 52 および書込みトランジスタ 53 の 2 つのトランジスタと、保持容量 54 および補助容量 55 の 2 つの容量素子とを有するいわゆる $2T1C$ 構成の画素回路を備える有機 EL 表示装置に適用した例について説明したが、本技術は、他の構成の画素回路を備える有機 EL 表示装置にも適用することができる。すなわち、本技術は、さらに多い数のトランジスタを有する画素回路や、さらに多い数の容量素子を有する画素回路を備える有機 EL 表示装置に対しても適用することができる。

【0110】

[表示装置の他の構成例]

図 8 は、 $3T1C$ 構成の画素回路を備えるアクティブマトリクス型有機 EL 表示装置の構成例を示している。

【0111】

なお、図 8 の有機 EL 表示装置 101 において、図 2 の有機 EL 表示装置 1 に設けられたものと同様の機能を備える構成については、同一名称および同一符号を付するものとし、その説明は、適宜省略するものとする。

【0112】

すなわち、図 8 の有機 EL 表示装置 101 において、図 2 の有機 EL 表示装置 1 と異なるのは、第 2 のスキャナ 16 が削除された点と、画素 30 に代えて画素 130 を設けた点である。また、図 8 の画素 130 において、図 2 の画素 30 と異なるのは、補助容量 55 に代えて補助容量 151 が設けられた点と、スイッチングトランジスタ 152 が新たに設けられた点である。

【0113】

補助容量 151 は、基本的には、図 2 の補助容量 55 と同様にして構成されるが、その容量値は、図 2 の補助容量 55 と異なり一定とされる。

【0114】

スイッチングトランジスタ 152 は、一方の電極（ソース/ドレイン電極）が固定電位 V_{cc} に接続され、他方の電極（ソース/ドレイン電極）が駆動トランジスタ 52 のソース/ドレイン電極に接続されている。また、スイッチングトランジスタ 152 のゲート電極は、走査線 32' に接続されている。

【0115】

なお、図 8 の有機 EL 表示装置 101 においては、ドライブスキャナ 13 が、ライトスキャナ 12 による線順次走査に同期して、走査線 32' に対して走査信号 DS' を供給することで、画素 130 の発光/非発光の制御が行われる。

【0116】

[画素回路の動作]

次に、図 9 のタイミングチャートを参照して、有機 EL 表示装置 101 の画素回路 130

10

20

30

40

50

の動作について説明する。

【0117】

図9のタイミングチャートには、走査線32'の電位DS'、走査線31の電位WS、および走査線34の電圧信号WCsのそれぞれの変化が示されている。

【0118】

図9のタイミングチャートにおいて、時刻t21以前に行われる処理、具体的には、閾値補正準備および閾値補正の各処理についての説明は省略するが、図9のタイミングチャートに示されるように、時刻t21乃至t22の期間において信号書込みの処理が行われ、時刻t23以降は発光期間とされる。なお、図9のタイミングチャートにおいては、移動度補正の処理は行われない。

10

【0119】

図9において、時刻t21乃至t22の期間では、走査線34の電圧信号WCsは低電位VL1とされる。すなわち、信号書込みの処理時には、保持容量54の容量値は小さい状態とされる。

【0120】

時刻t22になると、走査線34の電圧信号WCsが低電位VL1から高電位VH1に遷移する。そして、時刻t23になると、スイッチングトランジスタ152が導通状態となり、有機EL素子51が発光を開始する。すなわち、有機EL素子51の発光開始時には、保持容量54の容量値が大きい状態とされる。これにより、ブートストラップゲインをより高くすることができるようになる。

20

【0121】

以上の動作によれば、有機EL素子51の発光時に、保持容量54のメタル層に、容量値を大きくする電圧が印加されるので、保持容量54の容量値が大きい状態となる。これにより、ブートストラップゲインをより高くすることができるようになり、有機EL素子51の電流-電圧特性の経時変化に対する駆動電流Idsを安定させることができる。結果として、より簡単な構成で、画面のユニフォーミティを損なうことなく、良質な表示画像を得ることが可能となる。

【0122】

以上においては、本技術を適用した有機EL表示装置の構成および動作について説明してきたが、本技術は他の表示装置に適用することができる。具体的には、本技術は、無機EL素子、LED素子、半導体レーザ素子等、そのデバイスに流れる電流の電流値に応じて発光輝度に変化する電流駆動型の電気光学素子（発光素子）を用いた表示装置全般に対して適用することができる。さらに、電流駆動型の電気光学素子を用いた表示装置以外にも、液晶表示装置やプラズマ表示装置等、画素内に容量素子を有する構成の表示装置全般に対して適用することができる。

30

【0123】

[電子機器]

上述した本技術を適用した表示装置は、電子機器に入力された画像信号または電子機器内で生成した画像信号を、画像として表示するあらゆる分野の電子機器の表示部（表示装置）に適用することができる。例えば、図10乃至図14に示される様々な電子機器の表示部に適用することができる。

40

【0124】

上述したように、本技術を適用した表示装置によれば、より簡単な構成で、画面のユニフォーミティを損なうことなく、良質な表示画像を得ることが可能となる。したがって、あらゆる分野の電子機器において、その表示部として本技術を適用した表示装置を用いることで、高品位の表示画像を得ることができる。

【0125】

本技術を適用した表示装置には、封止された構成のモジュール形状のものも含まれる。例えば、本技術を適用した表示装置には、画素アレイ部に透明なガラス等の対向部が貼り付けられて形成された表示モジュールが含まれる。なお、表示モジュールには、外部から

50

画素アレイ部への信号等を入出力するための回路部やFPC（フレキシブルプリントサーキット）等が設けられていてもよい。

【0126】

以下、本技術を適用した電子機器の具体例について説明する。

【0127】

図10は、本技術を適用したテレビジョン受像機の外観を示す斜視図である。本技術を適用したテレビジョン受像機は、フロントパネル202やフィルターガラス203等から構成される画像表示画面部201を有し、画像表示画面部201として本技術の表示装置が用いられることにより作製される。

【0128】

図11は、本技術を適用したデジタルカメラの外観を示す斜視図であり、図11Aは表側から見た斜視図、図11Bは裏側から見た斜視図である。本技術を適用したデジタルカメラは、フラッシュ用の発光部211、表示部212、メニュースイッチ213、シャッターボタン214等を有し、表示部212として本技術の表示装置が用いられることにより作製される。

【0129】

図12は、本技術を適用したノート型パーソナルコンピュータの外観を示す斜視図である。本技術を適用したノート型パーソナルコンピュータは、本体221に、文字等を入力するときに操作されるキーボード222、画像を表示する表示部223等を有し、表示部223として本技術の表示装置が用いられることにより作製される。

【0130】

図13は、本技術を適用したビデオカメラの外観を示す斜視図である。本技術を適用したビデオカメラは、本体部231、被写体撮影用のレンズ232、撮影時のスタート/ストップスイッチ233、表示部234等を有し、表示部234として本技術の表示装置が用いられることにより作製される。

【0131】

図14は、本技術を適用した携帯端末装置、例えば多機能携帯電話機を示す外観図である。本技術を適用した多機能携帯電話機は、筐体241、タッチパネル機能を備えるディスプレイ242、図示せぬカメラ等を有し、ディスプレイ242として本技術の表示装置が用いられることにより作製される。

【0132】

なお、本技術の実施の形態は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

【0133】

さらに、本技術は以下のような構成をとることができる。

(1)

電気光学素子およびトランジスタを含む画素が行列状に配置され、
前記画素は、

前記トランジスタのソース領域およびドレイン領域を形成する第1の半導体層と、前記第1の半導体層と異なる層に形成された第2の半導体層との間にメタル層を設けること
によって形成される容量素子を備え、

前記電気光学素子の発光時に、前記メタル層に、前記容量素子の容量値を大きくする電圧が印加される

表示装置。

(2)

前記画素は、前記容量素子として、映像信号の信号電圧を保持する保持容量を備え、

前記保持容量の前記メタル層は、前記信号電圧を前記保持容量に書込む書込みトランジスタのゲート電極と同一層に設けられる

(1)に記載の表示装置。

(3)

10

20

30

40

50

前記電気光学素子の発光時に、前記保持容量の前記メタル層に、前記保持容量の容量値を大きくする電圧が印加される

(2) に記載の表示装置。

(4)

前記画素は、前記容量素子として、前記電気光学素子の等価容量の補助となる補助容量をさらに備え、

前記補助容量の前記メタル層は、前記電気光学素子を駆動する駆動トランジスタのゲート電極と同一層に設けられ、

前記信号電圧の前記保持容量への書込み時に、前記補助容量の前記メタル層に、前記補助容量の容量値を大きくする電圧が印加される

10

(3) に記載の表示装置。

(5)

前記駆動トランジスタの閾値電圧の補正時に、前記保持容量および前記補助容量の前記メタル層それぞれに、前記保持容量および前記補助容量それぞれの容量値を小さくする電圧が印加される

(4) に記載の表示装置。

(6)

前記メタル層は、配線層と同一層に設けられる

(1) 乃至 (5) のいずれかに記載の表示装置。

(7)

20

電気光学素子およびトランジスタを含む画素が行列状に配置され、

前記画素は、

前記トランジスタのソース領域およびドレイン領域を形成する第 1 の半導体層と、前記第 1 の半導体層と異なる層に形成された第 2 の半導体層との間にメタル層を設けることによって形成される容量素子を備える表示装置の駆動方法であって、

前記電気光学素子の発光時に、前記メタル層に、前記容量素子の容量値を大きくする電圧が印加されるステップを含む

表示装置の駆動方法。

(8)

電気光学素子およびトランジスタを含む画素が行列状に配置され、

30

前記画素は、

前記トランジスタのソース領域およびドレイン領域を形成する第 1 の半導体層と、前記第 1 の半導体層と異なる層に形成された第 2 の半導体層との間にメタル層を設けることによって形成される容量素子を備え、

前記電気光学素子の発光時に、前記メタル層に、前記容量素子の容量値を大きくする電圧が印加される表示装置

を備える電子機器。

【符号の説明】

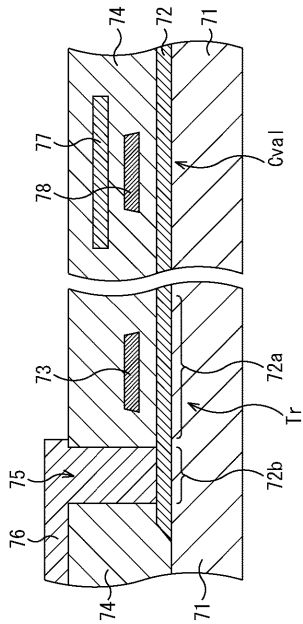
【 0 1 3 4 】

1 有機EL表示装置， 1 1 画素アレイ， 1 2 ライトスキャナ， 1 3 ドライブスキャナ， 1 4 水平セクタ， 1 5 第 1 のスキャナ， 1 6 第 2 のスキャナ， 3 0 画素， 5 1 有機EL素子， 5 2 駆動トランジスタ， 5 3 書込みトランジスタ， 5 4 保持容量， 5 5 補助容量

40

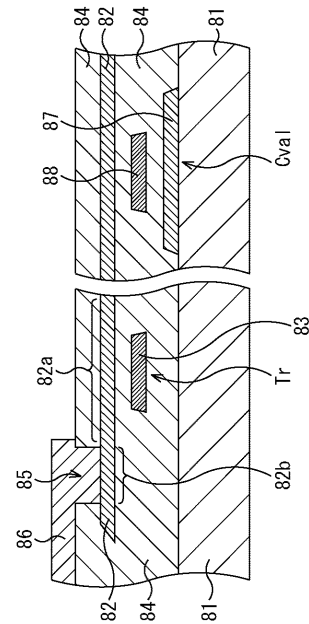
【図 5】

図5



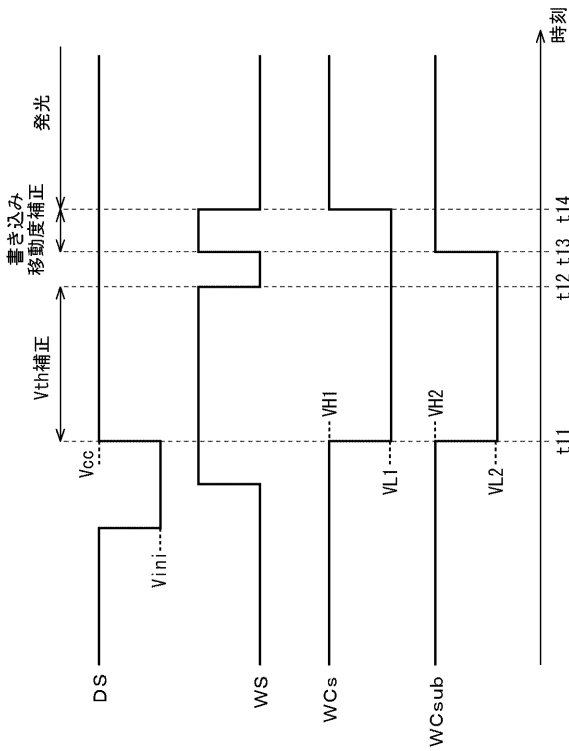
【図 6】

図6



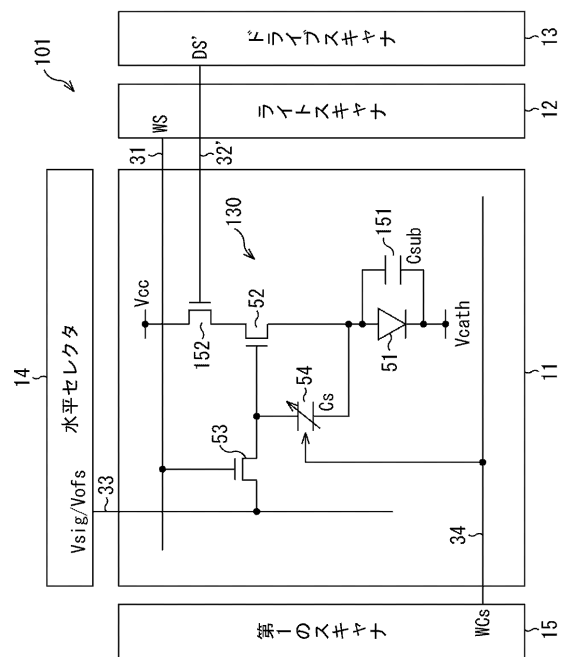
【図 7】

図7



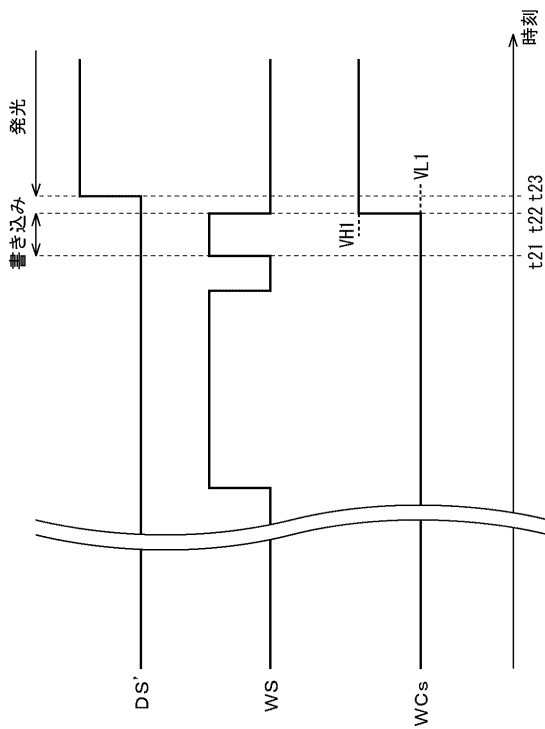
【図 8】

図8



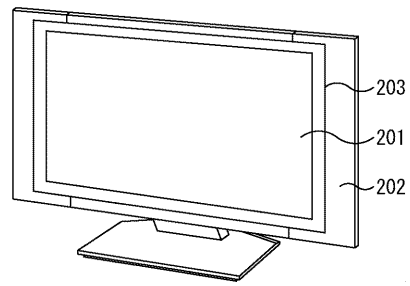
【図 9】

図9



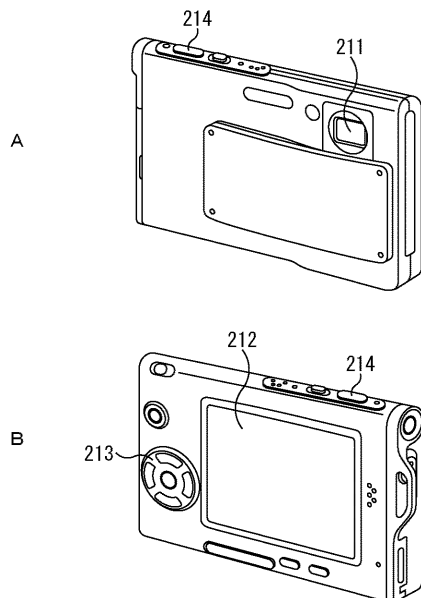
【図 10】

図10



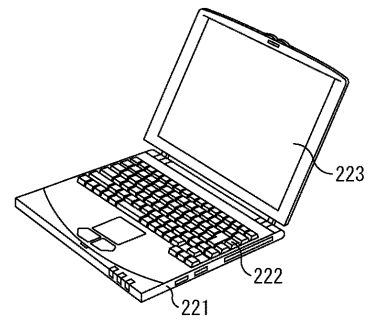
【図 11】

図11



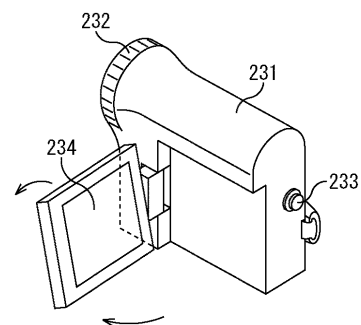
【図 12】

図12



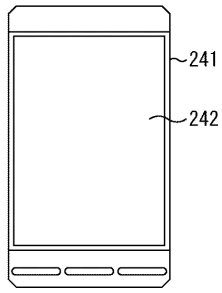
【図 13】

図13



【 図 1 4 】

図14



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 29/78 6 1 2 C

F ターム(参考) 5C080 AA06 BB05 CC03 DD05 DD22 EE30 FF11 HH09 JJ02 JJ03
JJ04 JJ05 JJ06 KK02 KK07 KK43
5C380 AA01 AB06 AB22 AB24 AB34 AB36 AC07 AC08 AC09 AC11
AC12 BA13 BA38 BA39 BB02 CC02 CC03 CC04 CC07 CC27
CC30 CC39 CC41 CC42 CC64 CD022 CD023
5F110 AA08 BB02 CC01 CC07 DD02 NN72

