

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-177928

(P2012-177928A)

(43) 公開日 平成24年9月13日(2012.9.13)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
H01L 51/50 (2006.01)	G09G 3/20 641E	5C380
H05B 33/14 (2006.01)	G09G 3/20 611H	
	G09G 3/20 642A	
審査請求 有 請求項の数 3 O L (全 34 頁) 最終頁に続く		

(21) 出願番号 特願2012-99675 (P2012-99675)
 (22) 出願日 平成24年4月25日 (2012.4.25)
 (62) 分割の表示 特願2001-224422 (P2001-224422)
 の分割
 原出願日 平成13年7月25日 (2001.7.25)
 (31) 優先権主張番号 特願2000-226709 (P2000-226709)
 (32) 優先日 平成12年7月27日 (2000.7.27)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 小山 潤
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム(参考) 3K107 AA01 AA05 BB01 BB08 CC33
 CC45 EE03 HH02 HH04 HH05
 5C080 AA06 BB05 CC03 DD05 EE29
 EE30 FF11 JJ03 JJ04 JJ05
 JJ06 KK02 KK07 KK23 KK43
 KK47 KK50

最終頁に続く

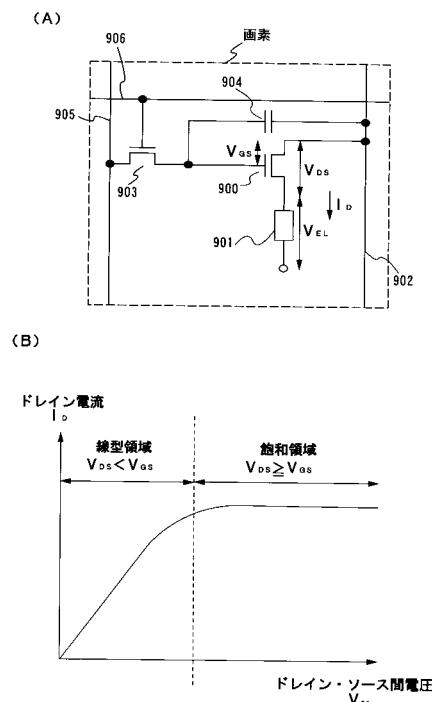
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 アクティブマトリクス型EL表示装置において、画素を構成するTFTの特性のバラつきや、表示装置を使用する環境温度の変化に対して、輝度表示のバラつきを抑えることを課題とする。

【解決手段】 時間階調方式を用いる。且つEL駆動用TFTを、オン状態において飽和領域で動作させることにより、EL駆動用TFTのドレイン電流を一定に保つことができる。これにより、EL素子に一定の電流を流すことができ、正確な階調表示の高画質なアクティブマトリクス型EL表示装置が提供される。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

ＥＬ素子と、トランジスタとをそれぞれ有する画素を備え、

１フレーム期間を複数のサブフレーム期間に分割し、前記複数のサブフレーム期間それぞれにおいて、前記トランジスタのゲート電極に、第１のゲート電圧または第２のゲート電圧が印加され、

前記第１のゲート電圧が、前記トランジスタのゲート電極に印加されると、前記トランジスタのドレイン電流が、前記ＥＬ素子の両電極間に流れ、前記ＥＬ素子は発光状態となり、

前記第２のゲート電圧が、前記トランジスタのゲート電極に印加されると、前記トランジスタが非導通状態となって、前記ＥＬ素子は非発光状態となる表示装置の駆動方法であって、

前記第１のゲート電圧の絶対値は、前記トランジスタのドレイン・ソース間の電圧の絶対値以下であることを特徴とする表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明はＥＬ（エレクトロルミネッセンス）素子を基板上に作り込んで形成された電子表示装置の駆動方法に関する。特に半導体素子（半導体薄膜を用いた素子）を用いたＥＬ表示装置の駆動方法に関する。またＥＬ表示装置を表示部に用いた電子機器に関する。

【０００２】

なお、本明細書中では、ＥＬ素子とは、一重項励起子からの発光（蛍光）を利用するものと、三重項励起子からの発光（燐光）を利用するものの両方を示すものとする。

【背景技術】

【０００３】

近年、自発光型素子としてＥＬ素子を有したＥＬ表示装置の開発が活発化している。ＥＬ表示装置は有機ＥＬディスプレイ（ＯＥＬＤ：Organic EL Display）又は有機ライトエミッティングダイオード（ＯＬＥＤ：Organic Light Emitting Diode）とも呼ばれている。

【０００４】

ＥＬ表示装置は、液晶表示装置と異なり自発光型である。ＥＬ素子是一对の電極（陽極と陰極）間にＥＬ層が挟まれた構造となっているが、ＥＬ層は通常、積層構造となっている。代表的には、コダック・イーストマン・カンパニーのTangらが提案した「正孔輸送層／発光層／電子輸送層」という積層構造が挙げられる。この構造は非常に発光効率が高く、現在、研究開発が進められているＥＬ表示装置はほとんどこの構造を採用している。

【０００５】

また他にも、陽極上に正孔注入層／正孔輸送層／発光層／電子輸送層の順に積層する構造、または正孔注入層／正孔輸送層／発光層／電子輸送層／電子注入層の順に積層する構造でも良い。発光層に対して蛍光性色素等をドーピングしても良い。

【０００６】

本明細書において陰極と陽極の間に設けられる全ての層を総称してＥＬ層と呼ぶ。よって上述した正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等は、全てＥＬ層に含まれる。

【０００７】

そして、上記構造でなるＥＬ層に一对の電極（両電極）間に所定の電圧をかけ、それにより発光層においてキャリアの再結合が起こって発光する。なお本明細書においてＥＬ素子が発光することを、ＥＬ素子が駆動すると呼ぶ。

【０００８】

ＥＬ表示装置の駆動方法として、アクティブマトリクス型ＥＬ表示装置が挙げられる。

【０００９】

10

20

30

40

50

図 3 に、アクティブマトリクス型 E L 表示装置の画素部の構成の例を示す。ゲート信号線駆動回路から選択信号を入力するゲート信号線 (G 1 ~ G y) は、各画素が有するスイッチング用 T F T 3 0 1 のゲート電極に接続されている。また、各画素が有するスイッチング用 T F T 3 0 1 のソース領域とドレイン領域は、一方がソース信号線駆動回路から信号を入力するソース信号線 (S 1 ~ S x) に、他方が E L 駆動用 T F T 3 0 2 のゲート電極及び各画素が有するコンデンサ 3 0 3 の一方の電極に接続されている。コンデンサ 3 0 3 のもう一方の電極は、電源供給線 (V 1 ~ V x) に接続されている。各画素の有する E L 駆動用 T F T 3 0 2 のソース領域とドレイン領域の一方は、電源供給線 (V 1 ~ V x) に、他方は、各画素が有する E L 素子 3 0 4 の一方の電極に接続されている。

【 0 0 1 0 】

10

E L 素子 3 0 4 は、陽極と、陰極と、陽極と陰極の間に設けられた E L 層とを有する。E L 素子 3 0 4 の陽極が E L 駆動用 T F T 3 0 2 のソース領域またはドレイン領域と接続している場合、E L 素子 3 0 4 の陽極が画素電極、陰極が対向電極となる。逆に、E L 素子 3 0 4 の陰極が E L 駆動用 T F T 3 0 2 のソース領域またはドレイン領域と接続している場合、E L 素子 3 0 4 の陰極が画素電極、陽極が対向電極となる。

【 0 0 1 1 】

なお、本明細書において、対向電極の電位を対向電位という。なお、対向電極に対向電位を与える電源を対向電源と呼ぶ。画素電極の電位と対向電極の電位の電位差が E L 駆動電圧であり、この E L 駆動電圧が E L 層に印加される。

【 0 0 1 2 】

20

上記 E L 表示装置の階調表示方法として、アナログ階調方式と、時間階調方式が挙げられる。

【 0 0 1 3 】

まず、E L 表示装置のアナログ階調方式について説明する。図 3 で示した表示装置をアナログ階調方式で駆動した場合のタイミングチャートを図 4 に示す。1 つのゲート信号線が選択されてから、その次のゲート信号線が選択されるまでの期間を 1 ライン期間 (L) と呼ぶ。また、1 つの画像が選択されてから、次の画像が選択されるまでの期間が、1 フレーム期間に相当する。図 3 の E L 表示装置の場合、ゲート信号線は y 本あるので、1 フレーム期間中に y 個のライン期間 (L 1 ~ L y) が設けられている。

【 0 0 1 4 】

30

解像度が高くなるにつれ、1 フレーム期間中のライン期間の数も増え、駆動回路を高い周波数で駆動しなければならない。

【 0 0 1 5 】

電源供給線 (V 1 ~ V x) は、一定の電位 (電源電位) に保たれている。また、対向電位も一定に保たれている。対向電位は、E L 素子が発光する程度に電源電位との間に電位差を有している。

【 0 0 1 6 】

第 1 のライン期間 (L 1) においてゲート信号線 G 1 にはゲート信号線駆動回路からの選択信号が入力される。そして、ソース信号線 (S 1 ~ S x) に順にアナログのビデオ信号が入力される。

40

【 0 0 1 7 】

ゲート信号線 G 1 に接続された全てのスイッチング用 T F T 3 0 1 はオンの状態になるので、ソース信号線 (S 1 ~ S x) に入力されたアナログのビデオ信号は、スイッチング用 T F T 3 0 1 を介して E L 駆動用 T F T 3 0 2 のゲート電極に入力される。

【 0 0 1 8 】

スイッチング用 T F T 3 0 1 がオンとなって画素内に入力されたアナログのビデオ信号の電位により、E L 駆動用 T F T 3 0 2 のゲート電圧が変化する。このとき E L 駆動用 T F T 3 0 2 の I d - V g 特性に従ってゲート電圧に対してドレイン電流が 1 対 1 で決まる。即ち、E L 駆動用 T F T 3 0 2 のゲート電極に入力されるアナログのビデオ信号の電位に対応して、ドレイン領域の電位 (オンの E L 駆動電位) が定まり、所定のドレイン電流

50

が E L 素子に流れ、その電流量に対応した発光量で前記 E L 素子が発光する。

【 0 0 1 9 】

上述した動作を繰り返し、ソース信号線 (S 1 ~ S x) へのアナログのビデオ信号の入力が終了すると、第 1 のライン期間 (L 1) が終了する。なお、ソース信号線 (S 1 ~ S x) へのアナログのビデオ信号の入力が終了するまでの期間と水平帰線期間とを合わせて 1 つのライン期間としても良い。そして次に第 2 のライン期間 (L 2) となりゲート信号線 G 2 に選択信号が入力される。そして第 1 のライン期間 (L 1) と同様にソース信号線 (S 1 ~ S x) に順にアナログのビデオ信号が入力される。

【 0 0 2 0 】

そして全てのゲート信号線 (G 1 ~ G y) に選択信号が入力されると、全てのライン期間 (L 1 ~ L y) が終了する。全てのライン期間 (L 1 ~ L y) が終了すると、1 フレーム期間が終了する。1 フレーム期間中において全ての画素が表示を行い、1 つの画像が形成される。なお全てのライン期間 (L 1 ~ L y) と垂直帰線期間とを合わせて 1 フレーム期間としても良い。

10

【 0 0 2 1 】

以上のように、アナログのビデオ信号によって E L 素子の発光量が制御され、その発光量の制御によって階調表示がなされる。このように、アナログ階調方式では、ソース信号線に入力されるアナログのビデオ信号の電位の変化で階調表示が行われる。

【 0 0 2 2 】

次に、時間階調方式について説明する。

20

【 0 0 2 3 】

時間階調方式では、画素にデジタル信号を入力して、E L 素子の発光状態もしくは非発光状態を選択し、1 フレーム期間あたりに E L 素子が発光した期間の累計によって階調を表現する。

【 0 0 2 4 】

ここでは 2^n (n は、自然数) 階調を表現する場合について説明する。図 3 で示した表示装置を、この時間階調方式で駆動した場合のタイミングチャートを図 5 に示す。まず、1 フレーム期間を n 個のサブフレーム期間 (S F₁ ~ S F_n) に分割する。なお、画素部の全ての画素が 1 つの画像を表示する期間を 1 フレーム期間 (F) と呼ぶ。また、1 フレーム期間をさらに複数に分割した期間をサブフレーム期間と呼ぶ。階調数が多くなるにつれて 1 フレーム期間の分割数も増え、駆動回路を高い周波数で駆動しなければならない。

30

【 0 0 2 5 】

1 つのサブフレーム期間は書き込み期間 (T a) と表示期間 (T s) とに分けられる。書き込み期間とは、1 サブフレーム期間中、全画素にデジタル信号を入力する期間であり、表示期間 (点灯期間とも呼ぶ) とは、入力されたデジタル信号によって E L 素子が発光または非発光状態となり、表示を行う期間を示している。

【 0 0 2 6 】

また、図 5 に示した E L 駆動電圧は発光状態を選択された E L 素子の E L 駆動電圧を表す。すなわち、発光状態を選択された E L 素子の E L 駆動電圧 (図 5) は、書き込み期間中は 0 V となり、表示期間中は E L 素子が発光する程度の大きさを有する。

40

【 0 0 2 7 】

対向電位は外部スイッチ (図示せず) により制御され、対向電位は、書き込み期間において電源電位とほぼ同じ高さに保たれ、表示期間において電源電位との間に E L 素子が発光する程度の電位差を有する。

【 0 0 2 8 】

まず、それぞれのサブフレーム期間が有する書き込み期間と表示期間について、図 3 と図 5 を用いて詳しく説明し、その後、時間階調表示について説明する。

【 0 0 2 9 】

まずゲート信号線 G 1 にゲート信号が入力され、ゲート信号線 G 1 に接続されている全

50

てのスイッチング用 T F T 3 0 1 がオンの状態になる。そしてソース信号線 (S 1 ~ S x) に順にデジタル信号が入力される。対向電位は電源供給線 (V 1 ~ V x) の電位 (電源電位) と同じ高さに保たれている。デジタル信号は「 0 」または「 1 」の情報を有している。「 0 」と「 1 」のデジタル信号はそれぞれ H i または L o のいずれかの電圧を有する信号を意味する。

【 0 0 3 0 】

そしてソース信号線 (S 1 ~ S x) に入力されたデジタル信号は、オンの状態のスイッチング用 T F T 3 0 1 を介して E L 駆動用 T F T 3 0 2 のゲート電極に入力される。またコンデンサ 3 0 3 にもデジタル信号が入力され保持される。

【 0 0 3 1 】

そして順にゲート信号線 G 2 ~ G y にゲート信号を入力することで上述した動作を繰り返し、全ての画素にデジタル信号が入力され、各画素において入力されたデジタル信号が保持される。全ての画素にデジタル信号が入力されるまでの期間を書き込み期間と呼ぶ。

【 0 0 3 2 】

全ての画素にデジタル信号が入力されると、全てのスイッチング用 T F T 3 0 1 はオフの状態となる。そして対向電極に接続されている外部スイッチ (図示せず) によって、対向電位は、電源電位との間に E L 素子 3 0 4 が発光する程度の電位差を有するように変化する。

【 0 0 3 3 】

デジタル信号が「 0 」の情報を有していた場合、E L 駆動用 T F T 3 0 2 はオフの状態となり E L 素子 3 0 4 は発光しない。逆に、「 1 」の情報を有していた場合、E L 駆動用 T F T 3 0 2 はオンの状態となる。その結果 E L 素子 3 0 4 の画素電極はほぼ電源電位に等しく保たれ、E L 素子 3 0 4 は発光する。このようにデジタル信号が有する情報によって、E L 素子の発光状態または非発光状態が選択され、全ての画素が一斉に表示を行う。全ての画素が表示を行うことによって、画像が形成される。画素が表示を行う期間を表示期間と呼ぶ。

【 0 0 3 4 】

n 個のサブフレーム期間 (S F₁ ~ S F_n) がそれぞれ有する書き込み期間 (T a₁ ~ T a_n) の長さは全て同じである。S F₁ ~ S F_n がそれぞれ有する表示期間 (T s) をそれぞれ T s₁ ~ T s_n とする。

【 0 0 3 5 】

表示期間の長さは、T s₁ : T s₂ : T s₃ : ... : T s_(n-1) : T s_n = 2⁰ : 2⁻¹ : 2⁻² : ... : 2⁻⁽ⁿ⁻²⁾ : 2⁻⁽ⁿ⁻¹⁾ となるように設定する。この表示期間の組み合わせで 2ⁿ 階調のうち所望の階調表示を行うことができる。

【 0 0 3 6 】

表示期間は T s₁ ~ T s_n までのいずれかの期間である。ここでは T s₁ の期間、所定の画素を点灯させたとする。

【 0 0 3 7 】

次に、再び書き込み期間に入り、全画素にデータ信号を入力したら表示期間に入る。このときは T s₂ ~ T s_n のいずれかの期間が表示期間となる。ここでは T s₂ の期間、所定の画素を点灯させたとする。

【 0 0 3 8 】

以下、残りの n - 2 個のサブフレームについて同様の動作を繰り返し、順次 T s₃、T s₄ ... T s_n と表示期間を設定し、それぞれのサブフレームで所定の画素を点灯させたとする。

【 0 0 3 9 】

n 個のサブフレーム期間が出現したら 1 フレーム期間を終えたことになる。このとき、画素が点灯していた表示期間の長さを積算することによって、その画素の階調がきまる。例えば、n = 8 のとき、全部の表示期間で画素が発光した場合の輝度を 1 0 0 % とすると、T s₁ と T s₂ において画素が発光した場合には 7 5 % の輝度が表現でき、T s₃ と T s₅

10

20

30

40

50

と T_{s8} を選択した場合には 16% の輝度が表現できる。

【0040】

なお、 n ビットのデジタル信号を入力して階調を表現する時間階調方式の駆動方法において、1 フレーム期間を複数のサブフレーム期間に分割する際の、分割数や個々のサブフレーム期間の長さ等は、上記に限定されない。

【発明の概要】

【発明が解決しようとする課題】

【0041】

従来例に示したアナログ階調方式を用いる場合の問題点を次に挙げる。

【0042】

10

アナログ階調方式では、TFT の特性のバラツキが、階調表示に大きく影響するという問題点がある。例えばスイッチング用 TFT の $I_d - V_g$ 特性が、同じ階調を表現する 2 つの画素で異なる場合（どちらかの画素の特性が、もう一方に対して全体的にプラス又はマイナス側へシフトした場合）を想定する。

【0043】

その場合、各スイッチング用 TFT のドレイン電流は異なる値となり、各画素の EL 駆動用 TFT には異なる値のゲート電圧が印加されることになる。即ち、各 EL 素子に対して異なる量の電流が流れ、結果として異なる発光量となり、同じ階調を表現することができなくなる。

【0044】

20

また、仮に各画素の EL 駆動用 TFT に等しいゲート電圧が印加されたとしても、EL 駆動用 TFT の $I_d - V_g$ 特性にバラツキがあれば、同じドレイン電流を出力することはできない。そのため、 $I_d - V_g$ 特性が僅かでも異なれば、等しいゲート電圧が印加されても、出力される電流量は大きく異なるといった事態が生じる。すると僅かな $I_d - V_g$ 特性のバラツキによって、同じ電圧の信号を入力しても EL 素子の発光量が隣接画素で大きく異なってしまう。

【0045】

実際には、スイッチング用 TFT と EL 駆動用 TFT との、両者のバラツキの相乗効果となるので、さらに大きく階調表示がバラつくことになる。このように、アナログ階調表示は TFT の特性バラツキに対して極めて敏感である。そのため、この EL 表示装置が、階調表示を行う場合、その表示にムラが多いことが問題となる。

30

【0046】

次に、時間階調方式を用いる場合の問題点を挙げる。

【0047】

時間階調方式では、EL 素子の輝度は、EL 素子に電流が流れ発光していた時間によって表現される。そのため、上記のアナログ階調方式において問題となった、TFT の特性バラツキによる表示ムラは、大幅に抑えられる。しかし、別の問題がある。

【0048】

EL 素子に流れる電流は、EL 素子の両電極間に印加される電圧（EL 駆動電圧）によって制御されている。この EL 駆動電圧は、電源電位と対向電位の電位差から、EL 駆動用 TFT のドレイン・ソース間の電圧を差し引いた電圧である。EL 駆動用 TFT の特性のバラツキによるドレイン・ソース間電圧のバラツキの影響を避け、この EL 駆動電圧を一定に保つため、EL 駆動用 TFT のドレイン・ソース間の電圧は、EL 駆動電圧に比べて遙かに小さく設定される。このとき、EL 駆動用 TFT は線形領域で動作している。

40

【0049】

TFT 動作において、線型領域とは、TFT のドレイン・ソース間の電圧 V_{DS} が、TFT のゲート電圧 V_{GS} より小さな場合の動作領域に相当する。

【0050】

ここで、EL 素子の両電極間を流れる電流は、温度によって影響を受ける。図 17 は、EL 素子の温度特性を示すグラフである。このグラフにより、ある温度下において、EL

50

素子の両電極間に印加された電圧に対して、ＥＬ素子の両電極間を流れる電流量を知ることができる。温度 T_1 は、温度 T_2 よりも高く、温度 T_2 は温度 T_3 よりも高い。画素部のＥＬ素子の両電極間に印加される電圧が同じであっても、ＥＬ素子がある温度特性によって、ＥＬ層の温度が高くなれば高くなるほど、ＥＬ素子の両電極間を流れる電流は大きくなることわかる。

【００５１】

また、ＥＬ素子の輝度は、ＥＬ素子の両電極間を流れる電流量に比例する。

【００５２】

この様に、ＥＬ表示装置を使用する環境温度の変化により、たとえ一定の電圧をＥＬ素子の両電極間に加え続けていたとしても、ＥＬ素子の両電極間を流れる電流が変動し、輝度の変化してしまい、正確な階調表示ができなくなることが問題である。

10

【００５３】

アクティブマトリクス型ＥＬ表示装置において、従来のようなアナログ階調方式及び時間階調方式を用いる場合、上述した理由により正確な階調表示ができない。そこで本発明は、正確な階調表示の可能にし、高画質表示が可能なＥＬ表示装置の駆動方法を提供することを課題とする。

【課題を解決するための手段】

【００５４】

本発明は、アクティブマトリクス型ＥＬ表示装置を時間階調方式によって駆動する。このとき、ＥＬ駆動用ＴＦＴを飽和領域で動作させ、ドレイン電流を、温度変化に対して一定に保つことを特徴とする。

20

【００５５】

これにより、ＥＬ素子の両電極間に流れる電流を、ＴＦＴの特性のバラツキや、環境温度の変化に対して一定に保つことができ、正確な階調表示が可能で、高画質表示が可能なＥＬ表示装置の駆動方法を提供することができる。

【００５６】

以下に本発明の構成を示す。

【００５７】

本発明によって、ＥＬ素子と、トランジスタとをそれぞれ有する画素を備え、１フレーム期間を複数のサブフレーム期間に分割し、前記複数のサブフレーム期間それぞれにおいて、前記トランジスタのゲート電極に、第１のゲート電圧または第２のゲート電圧が印加され、前記第１のゲート電圧が、前記トランジスタのゲート電極に印加されると、前記トランジスタのドレイン電流が、前記ＥＬ素子の両電極間に流れ、前記ＥＬ素子は発光状態となり、前記第２のゲート電圧が、前記トランジスタのゲート電極に印加されると、前記トランジスタが非導通状態となって、前記ＥＬ素子は非発光状態となる表示装置の駆動方法であって、前記第１のゲート電圧の絶対値は、前記トランジスタのドレイン・ソース間の電圧の絶対値以下であることを特徴とする表示装置の駆動方法が提供される。

30

【００５８】

本発明によって、ＥＬ素子と、トランジスタと、抵抗とをそれぞれ有する画素を備え、１フレーム期間を複数のサブフレーム期間に分割し、前記複数のサブフレーム期間それぞれにおいて、前記トランジスタのゲート電極に、第１のゲート電圧または第２のゲート電圧が印加され、前記第１のゲート電圧が、前記トランジスタのゲート電極に印加されると、前記トランジスタのドレイン電流が、前記抵抗及び前記ＥＬ素子の両電極間に流れ、前記ＥＬ素子は発光状態となり、前記第２のゲート電圧が、前記トランジスタのゲート電極に印加されると、前記トランジスタが非導通状態となって、前記ＥＬ素子は非発光状態となる表示装置の駆動方法であって、前記第１のゲート電圧の絶対値は、前記トランジスタのドレイン・ソース間の電圧の絶対値以下であることを特徴とする表示装置の駆動方法が提供される。

40

【００５９】

50

前記トランジスタの、ゲート幅のゲート長に対する比が 1 より小さければ小さいほど、前記トランジスタのゲート電極に印加される前記第 1 のゲート電圧の絶対値が、前記トランジスタのドレイン・ソース間電圧の絶対値を超えない範囲で大きいことを特徴とする表示装置の駆動方法であってもよい。

【0060】

前記 E L 素子は、単色発光する E L 層を用い、色変換層と組み合わせて、カラー表示を可能にすることを特徴とする表示装置の駆動方法であってもよい。

【0061】

前記 E L 素子は、白色発光する E L 層を用い、カラーフィルタと組み合わせて、カラー表示を可能にすることを特徴とする表示装置の駆動方法であってもよい。

10

【0062】

前記 E L 素子の E L 層は、低分子系有機物質またはポリマー系有機物質であることを特徴とする表示装置の駆動方法であってもよい。

【0063】

前記低分子系有機物質は、Alq₃（トリス - 8 - キノリライト - アルミニウム）または TPD（トリフェニルアミン誘導体）からなることを特徴とする表示装置の駆動方法であってもよい。

【0064】

前記ポリマー系有機物質は、PPV（ポリフェニレンビニレン）、PVK（ポリビニルカルバゾール）またはポリカーボネートからなることを特徴とする表示装置の駆動方法であってもよい。

20

【0065】

前記 E L 素子の E L 層は、無機物質であることを特徴とする表示装置の駆動方法であってもよい。

【0066】

前記表示装置の駆動方法を用いることを特徴とするビデオカメラ、画像再生装置、ヘッドマウントディスプレイ、携帯電話または携帯情報端末であってもよい。

【発明の効果】

【0067】

アクティブマトリクス型 E L 表示装置において、従来の階調表示方式では、画素部の TFT の特性のバラツキや、使用する際の環境温度の変化により E L 素子を流れる電流量がバラつくため、輝度表示にバラツキが生じるという問題があった。

30

【0068】

しかし、本発明は、上記構成によって、画素部 E L 素子に流れる電流を温度変化に対して一定に保ち、表示のバラツキを抑えることができる。これにより、高画質表示が可能な E L 表示装置の駆動方法を提供することができる。

【図面の簡単な説明】

【0069】

【図 1】本発明の表示装置の駆動方法を示す図。

【図 2】本発明の駆動方法を用いる表示装置の画素部の構成を示す図。

40

【図 3】E L 表示装置の画素部の構成を示す図。

【図 4】従来の E L 表示装置の駆動方法を示すタイミングチャートを示す図。

【図 5】E L 表示装置の駆動方法を示すタイミングチャートを示す図。

【図 6】E L 表示装置のソース信号線駆動回路の回路図。

【図 7】E L 表示装置のラッチの上面図。

【図 8】E L 表示装置の作製工程を示す図。

【図 9】E L 表示装置の作製工程を示す図。

【図 10】E L 表示装置の作製工程を示す図。

【図 11】E L 表示装置の上面図及び断面図。

【図 12】E L 表示装置の上面図及び断面図。

50

【図 1 3】E L 表示装置の画素部の断面図。

【図 1 4】E L 表示装置の画素部の断面図。

【図 1 5】E L 表示装置の上面図及び断面図。

【図 1 6】E L 表示装置の断面図。

【図 1 7】E L 素子の温度特性を示す図。

【図 1 8】本発明の駆動方法を用いる E L 表示装置を備えた電子機器の図。

【発明を実施するための形態】

【0070】

本発明の実施の形態について図1を用いて説明する。

【0071】

10

図 1 (A) は、本発明の E L 表示装置の画素の構成を示したものである。スイッチング用 T F T 9 0 3 のゲート電極は、ゲート信号線 9 0 6 に接続されている。スイッチング用 T F T 9 0 3 のソース領域とドレイン領域とは、一方はソース信号線 9 0 5 に接続され、もう一方は E L 駆動用 T F T 9 0 0 のゲート電極及びコンデンサ 9 0 4 に接続されている。E L 駆動用 T F T 9 0 0 のソース領域とドレイン領域とは、一方は電源供給線 9 0 2 に接続されており、もう一方は E L 素子 9 0 1 の陽極もしくは陰極に接続されている。

【0072】

スイッチング用 T F T 9 0 3 より E L 駆動用 T F T 9 0 0 のゲート・ソース間に印加される電圧 (ゲート電圧) を V_{GS} とする。また、E L 駆動用 T F T 9 0 0 のドレイン・ソース間に与えられる電圧 (ドレイン・ソース間電圧) を V_{DS} とし、このときドレイン・ソース間を流れる電流 (ドレイン電流) を I_D とする。このドレイン電流 I_D が、E L 素子 9 0 1 に入力される。また、E L 素子 9 0 1 の両電極間に印加される電圧 (E L 駆動電圧) を V_{EL} とすると、電源供給線 9 0 2 から画素部 (E L 素子の対向電極) に印加される電圧 V_{IN} は、ドレイン・ソース間電圧 V_{DS} と E L 駆動電圧 V_{EL} の和で与えられる。

20

【0073】

ここで、図 1 (B) に、ドレイン・ソース間電圧 V_{DS} とドレイン電流 I_D の関係をグラフに示す。ゲート電圧 V_{GS} は一定である。このグラフにおいて、ドレイン・ソース間電圧 V_{DS} に対してドレイン電流 I_D が 1 対 1 で対応する領域を線型領域といい、ドレイン・ソース間電圧 V_{DS} がゲート電圧 V_{GS} に比べて小さな場合に相当する。また、ドレイン・ソース間電圧 V_{DS} に対して、ドレイン電流 I_D がほぼ一定の領域を飽和領域という。これは、ドレイン・ソース間電圧 V_{DS} がゲート電圧 V_{GS} 以上の場合に相当する。

30

【0074】

従来の時間階調方式による E L 表示装置の駆動方法では、E L 素子の両電極間に印加される電圧が一定になるよう制御していた。このとき、E L 駆動用 T F T のドレイン・ソース間電圧 V_{DS} が T F T の特性のパラツキによりバラつくと、E L 駆動電圧 V_{EL} に影響を与えてしまう。そこで、このパラツキの影響をできるだけ抑えるために、E L 駆動用 T F T のドレイン・ソース間電圧 V_{DS} を、E L 駆動電圧 V_{EL} に対して小さく設定し、画素に入力される電圧 V_{IN} の大部分が E L 素子の両電極間に印加されるようにしていた。そのため、E L 駆動用 T F T は、ドレイン・ソース間電圧 V_{DS} がゲート電圧 V_{GS} に比べて小さな場合に相当する、線型領域で動作させていた。

40

【0075】

本発明の E L 表示装置では、E L 駆動用 T F T 9 0 0 の、ドレイン・ソース間電圧 V_{DS} をゲート電圧 V_{GS} 以上に設定し、E L 駆動用 T F T 9 0 0 をドレイン・ソース間電圧 V_{DS} に関わらず一定のドレイン電流 I_D を流す、飽和領域で動作させる。これにより、E L 素子には、温度変化によらず常に一定の電流が供給されることになる。

【0076】

E L 素子、E L 駆動用 T F T に入力される電圧の値の例を以下に示す。

【0077】

例えば、E L 駆動用 T F T のしきい値電圧を、2 V 程度とする。ここで、E L 素子の発光状態を選択された画素において、E L 駆動用 T F T のゲート電圧 V_{GS} を 5 V とした場合

50

、表示期間における、E L素子の対向電極と電源供給線との間の電圧（対向電位と電源電位との差）を、15 V程度とする。このとき、E L素子の両電極間の電圧 V_{EL} は、5 ~ 10 V程度の値をとり、E L駆動用T F Tのドレイン・ソース間電圧 V_{DS} は、5 V以上となる。このとき、E L駆動用T F Tのドレイン・ソース間の電圧 V_{DS} は、ゲート電圧 V_{GS} 以上になって、E L駆動用T F Tは、飽和領域で動作する。

【0078】

これにより、E L素子には、温度変化によらず常に一定の電流が流れることになり、一定の輝度で発光する。

【0079】

以下に、本発明の実施例について説明する。

10

【実施例1】

【0080】

発明の実施の形態で述べた、E L駆動用T F Tを飽和領域で動作させE L素子の両電極間に流れる電流 I_D を一定に保つ手法において、本実施例では、E L駆動用T F Tの特性のバラツキの影響を抑える方法について述べる。説明には、図1（A）において用いた符号と同一の符号及び新しく追加した符号を用いる。

【0081】

E L駆動用T F T 900を飽和領域で動作させる場合、以下に示す式1が成立する。

【0082】

（式1）

20

$$I_D = \alpha (W/L) (V_{GS} - V_{th})^2$$

【0083】

式1において、 I_D はドレイン電流、 V_{GS} はゲート電圧、 V_{th} はしきい値電圧、 W はゲート幅、 L はゲート長、 α は定数である。ここで、しきい値電圧 V_{th} は、バラツキを持つため、ドレイン電流 I_D がバラツキを持ってしまう。

【0084】

そこで、このバラツキを抑えるため、飽和領域で動作する範囲において、ゲート幅 W のゲート長 L に対する比 W/L を小さくし、且つゲート電圧 V_{GS} を大きくする。これにより、E L駆動用T F T 900のしきい値電圧 V_{th} のバラツキによる、ドレイン電流 I_D のバラツキを抑えることができる。

30

【0085】

例えば、しきい値電圧 V_{th} が、 2 ± 0.1 Vの値をとり、5 %のバラツキを持つとする。 W/L を8としたとき、ゲート電圧 V_{GS} を3 Vとする。このとき、ドレイン電流 I_D の値を計算すると、約20 %のバラツキを持つことになる。ここで、ドレイン電流 I_D の平均値は I_0 であるとする。一方、 W/L を0.5にすると、ドレイン電流 I_D の平均値 I_0 を W/L が8の場合と同じにするために、ゲート電圧 V_{GS} は約6 Vにする必要がある。ゲート電圧 V_{GS} が6 Vのとき、ドレイン電流 I_D の値を計算すると、約5 %のバラツキに抑えられる。

【0086】

この様に、 W/L を1未満に、望ましくは0.5以下にするとよい。

40

【実施例2】

【0087】

発明の実施の形態で述べた、E L駆動用T F Tを飽和領域で動作させE L素子の両電極間に流れる電流 I_D を一定に保つ手法において、本実施例では、実施例1とは異なった方法で、E L駆動用T F Tの特性のバラツキの影響を抑える方法について述べる。

【0088】

図2に、本実施例の表示装置の画素部の構成を示す。基本的な構造は、図1（A）と同様であるので、変更部分に異なる符号を付して説明する。

【0089】

スイッチング用T F T 903のゲート電極は、ゲート信号線906に接続されている。

50

スイッチング用 T F T 9 0 3 のソース領域とドレイン領域とは、一方はソース信号線 9 0 5 に接続され、もう一方は E L 駆動用 T F T 9 0 0 のゲート電極及びコンデンサ 9 0 4 の一方の電極に接続されている。コンデンサ 9 0 4 のもう一方の電極は、電源供給線 9 0 2 に接続されている。E L 駆動用 T F T 9 0 0 のソース領域とドレイン領域とは、一方は抵抗 9 0 7 を介して電源供給線 9 0 2 に接続されており、もう一方は E L 素子 9 0 1 の陽極もしくは陰極に接続されている。

【 0 0 9 0 】

本実施例の画素の構成の場合、実施例 1 で示した式 1 と、次に示す式 2 が同時に成立する。

【 0 0 9 1 】

10

(式 2)

$$V = V_{GS} + R I_D$$

【 0 0 9 2 】

ここで、V は E L 駆動用 T F T 9 0 0 のゲート電極と電源供給線 9 0 2 の間に与えられる電位差である。また、R は抵抗 9 0 7 の抵抗値である。

【 0 0 9 3 】

式 1 と式 2 により、抵抗 9 0 7 を図 2 に示すように配した場合の、ゲート電圧 V_{GS} とドレイン電流 I_D が求められる。このとき、しきい値電圧 V_{th} のバラツキに対する、ドレイン電流 I_D のバラツキを計算する。

【 0 0 9 4 】

20

例えば、式 1 及び式 2 において、 α を、 $2 \times 10^{-6} \text{ F} / \text{V} \cdot \text{s}$ とし、 W/L を 1 とする。ここで、 V_{th} は $2 \pm 0.1 \text{ V}$ の値をとり、5 % のバラツキを持つとする。

【 0 0 9 5 】

はじめに、R が、0 の場合 (抵抗 9 0 7 が無い場合) を考える。V を 4 V とする。ゲート電圧 V_{GS} は、V と一致し 4 V となる。このときのドレイン電流のバラツキは、約 10 % である。このとき、ドレイン電流の平均値は、約 $8 \times 10^{-6} \text{ A}$ である。

【 0 0 9 6 】

次に、R が、 $1 \times 10^6 \Omega$ の場合を考える。ドレイン電流の平均値を、約 $8 \times 10^{-6} \text{ A}$ に保つため、V を 12 V とする。このとき、しきい値電圧 V_{th} のバラツキに対するドレイン電流 I_D のバラツキは、約 1 % に抑えられる。

30

【 0 0 9 7 】

今度は、R が、 $2 \times 10^6 \Omega$ の場合を考える。ドレイン電流の平均値を、約 $8 \times 10^{-6} \text{ A}$ に保つため、V は 20 V とする。このとき、しきい値電圧 V_{th} のバラツキに対するドレイン電流 I_D のバラツキは、約 0.6 % に抑えられる。

【 0 0 9 8 】

この様に、抵抗を 9 0 7 を配し、その抵抗値を大きくとることにより、しきい値電圧 V_{th} のバラツキに対するドレイン電流 I_D のバラツキを抑えることができる。

【 0 0 9 9 】

本実施例は、実施例 1 と自由に組み合わせて実施することが可能である。

【 実施例 3 】

40

【 0 1 0 0 】

本実施例では、本発明の駆動方法を用いる表示装置の画素部とその周辺に設けられる駆動回路部 (ソース信号線側駆動回路、ゲート信号線側駆動回路) の T F T を同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路部に関しては基本単位である C M O S 回路を図示することとする。

【 0 1 0 1 】

まず、図 8 (A) に示すように、コーニング社の # 7 0 5 9 ガラスや # 1 7 3 7 ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板 5 0 0 1 上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜 5 0 0 2 を形成する。

50

例えば、プラズマCVD法で SiH_4 、 NH_3 、 N_2O から作製される酸化窒化シリコン膜5002aを10～200[nm]（好ましくは50～100[nm]）形成し、同様に SiH_4 、 N_2O から作製される酸化窒化水素化シリコン膜5002bを50～200[nm]（好ましくは100～150[nm]）の厚さに積層形成する。本実施例では下地膜5002を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させた構造として形成しても良い。

【0102】

島状半導体層5003～5006は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層5003～5006の厚さは25～80[nm]（好ましくは30～60[nm]）の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム（SiGe）合金などで形成すると良い。

【0103】

レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数30[Hz]とし、レーザーエネルギー密度を100～400[mJ/cm²]（代表的には200～300[mJ/cm²])とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数1～10[kHz]とし、レーザーエネルギー密度を300～600[mJ/cm²]（代表的には350～500[mJ/cm²])とすると良い。そして幅100～1000[μm]、例えば400[μm]で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率（オーバーラップ率）を80～98[%]として行う。

【0104】

次いで、島状半導体層5003～5006を覆うゲート絶縁膜5007を形成する。ゲート絶縁膜5007はプラズマCVD法またはスパッタ法を用い、厚さを40～150[nm]としてシリコンを含む絶縁膜で形成する。本実施例では、120[nm]の厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS（Tetraethyl Orthosilicate）とO₂とを混合し、反応圧力40[Pa]、基板温度300～400[]とし、高周波（13.56[MHz]）、電力密度0.5～0.8[W/cm²]で放電させて形成することが出来る。このようにして作製される酸化シリコン膜は、その後400～500[]の熱アニールによりゲート絶縁膜として良好な特性を得ることが出来る。

【0105】

そして、ゲート絶縁膜5007上にゲート電極を形成するための第1の導電膜5008と第2の導電膜5009とを形成する。本実施例では、第1の導電膜5008をTaで50～100[nm]の厚さに形成し、第2の導電膜5009をWで100～300[nm]の厚さに形成する。

【0106】

Ta膜はスパッタ法で、TaのターゲットをArでスパッタすることにより形成する。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することが出来る。また、α相のTa膜の抵抗率は20[μΩcm]程度でありゲート電極に使用することが出来るが、β相のTa膜の抵抗率は180[μΩcm]程度でありゲート電極とするには不向きである。α相のTa膜を形成するために、Taのα相に近い結晶構造をもつ窒化タンタルを10～50[nm]程度の厚さでTaの下地に形成しておくことα相のTa膜を容易に得ることが出来る。

【0107】

W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フ

10

20

30

40

50

ッ化タングステン (WF_6) を用いる熱 CVD 法で形成することも出来る。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W 膜の抵抗率は $20 [\mu\Omega\text{cm}]$ 以下にすることが望ましい。W 膜は結晶粒を大きくすることで低抵抗率化を図ることが出来るが、W 中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度 $99.9999 [\%]$ の W ターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮して W 膜を形成することにより、抵抗率 $9 \sim 20 [\mu\Omega\text{cm}]$ を実現することが出来る。

【0108】

なお、本実施例では、第 1 の導電膜 5008 を Ta、第 2 の導電膜 5009 を W としたが、特に限定されず、いずれも Ta、W、Ti、Mo、Al、Cu などから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の組み合わせの一例で望ましいものとしては、第 1 の導電膜 5008 を窒化タンタル (Ta₂N₅) で形成し、第 2 の導電膜 5009 を W とする組み合わせ、第 1 の導電膜 5008 を窒化タンタル (Ta₂N₅) で形成し、第 2 の導電膜 5009 を Al とする組み合わせ、第 1 の導電膜 5008 を窒化タンタル (Ta₂N₅) で形成し、第 2 の導電膜 5009 を Cu とする組み合わせが挙げられる。

【0109】

次に、レジストによるマスク 5010 を形成し、電極及び配線を形成するための第 1 のエッチング処理を行う。本実施例では ICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスに CF_4 と Cl_2 を混合し、 $1 [\text{Pa}]$ の圧力でコイル型の電極に $500 [\text{W}]$ の RF ($13.56 [\text{MHz}]$) 電力を投入してプラズマを生成して行う。基板側 (試料ステージ) にも $100 [\text{W}]$ の RF ($13.56 [\text{MHz}]$) 電力を投入し、実質的に負の自己バイアス電圧を印加する。 CF_4 と Cl_2 を混合した場合には W 膜及び Ta 膜とも同程度にエッチングされる。

【0110】

上記エッチング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第 1 の導電層及び第 2 の導電層の端部がテーパ形状となる。テーパ部の角度は $15 \sim 45^\circ$ となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、 $10 \sim 20 [\%]$ 程度の割合でエッチング時間を増加させると良い。W 膜に対する酸化窒化シリコン膜の選択比は $2 \sim 4$ (代表的には 3) であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は $20 \sim 50 [\text{nm}]$ 程度エッチングされることになる。こうして、第 1 のエッチング処理により第 1 の導電層と第 2 の導電層から成る第 1 の形状の導電層 5011 ~ 5016 (第 1 の導電層 5011a ~ 5016a と第 2 の導電層 5011b ~ 5016b) を形成する。このとき、ゲート絶縁膜 5007 においては、第 1 の形状の導電層 5011 ~ 5016 で覆われない領域は $20 \sim 50 [\text{nm}]$ 程度エッチングされ薄くなった領域が形成される。

(図 8 (B))

【0111】

そして、第 1 のドーピング処理を行い n 型を付与する不純物元素を添加する。ドーピングの方法はイオンドープ法もしくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14} [\text{atoms}/\text{cm}^2]$ とし、加速電圧を $60 \sim 100 [\text{keV}]$ として行う。n 型を付与する不純物元素として 15 族に属する元素、典型的にはリン (P) または砒素 (As) を用いるが、ここではリン (P) を用いる。この場合、導電層 5011 ~ 5015 が n 型を付与する不純物元素に対するマスクとなり、自己整合的に第 1 の不純物領域 5017 ~ 5025 が形成される。第 1 の不純物領域 5017 ~ 5025 には $1 \times 10^{20} \sim 1 \times 10^{21} [\text{atoms}/\text{cm}^3]$ の濃度範囲で n 型を付与する不純物元素を添加する。(図 8 (B))

【0112】

次に、図 8 (C) に示すように、レジストマスクは除去しないまま、第 2 のエッチング処理を行う。エッチングガスに CF_4 と Cl_2 と O_2 とを用い、W 膜を選択的にエッチングする。この時、第 2 のエッチング処理により第 2 の形状の導電層 5 0 2 6 ~ 5 0 3 1 (第 1 の導電層 5 0 2 6 a ~ 5 0 3 1 a と第 2 の導電層 5 0 2 6 b ~ 5 0 3 1 b) を形成する。このとき、ゲート絶縁膜 5 0 0 7 においては、第 2 の形状の導電層 5 0 2 6 ~ 5 0 3 1 で覆われない領域はさらに 2 0 ~ 5 0 [nm] 程度エッチングされ薄くなった領域が形成される。

【 0 1 1 3 】

W 膜や T a 膜の CF_4 と Cl_2 の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することが出来る。W と T a のフッ化物と塩化物の蒸気圧を比較すると、W のフッ化物である WF_6 が極端に高く、その他の WCl_5 、 TaF_5 、 $TaCl_5$ は同程度である。従って、 CF_4 と Cl_2 の混合ガスでは W 膜及び T a 膜共にエッチングされる。しかし、この混合ガスに適量の O_2 を添加すると CF_4 と O_2 が反応して CO と F になり、F ラジカルまたは F イオンが多量に発生する。その結果、フッ化物の蒸気圧が高い W 膜のエッチング速度が増大する。一方、T a は F が増大しても相対的にエッチング速度の増加は少ない。また、T a は W に比較して酸化されやすいので、 O_2 を添加することで T a の表面が酸化される。T a の酸化物はフッ素や塩素と反応しないためさらに T a 膜のエッチング速度は低下する。従って、W 膜と T a 膜とのエッチング速度に差を作ることが可能となり W 膜のエッチング速度を T a 膜よりも大きくすることが可能となる。

10

20

【 0 1 1 4 】

そして、図 9 (A) に示すように第 2 のドーピング処理を行う。この場合、第 1 のドーピング処理よりもドーズ量を下げて高い加速電圧の条件として n 型を付与する不純物元素をドーピングする。例えば、加速電圧を 7 0 ~ 1 2 0 [keV] とし、 1×10^{13} [atoms/cm²] のドーズ量で行い、図 8 (B) で島状半導体層に形成された第 1 の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第 2 の形状の導電層 5 0 2 6 ~ 5 0 3 0 を不純物元素に対するマスクとして用い、第 1 の導電層 5 0 2 6 a ~ 5 0 3 0 a の下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第 3 の不純物領域 5 0 3 2 ~ 5 0 3 6 が形成される。この第 3 の不純物領域 5 0 3 2 ~ 5 0 3 6 に添加されたリン (P)

30

の濃度は、第 1 の導電層 5 0 2 6 a ~ 5 0 3 0 a のテーパ部の膜厚に従って緩やかな濃度勾配を有している。なお、第 1 の導電層 5 0 2 6 a ~ 5 0 3 0 a のテーパ部と重なる半導体層において、第 1 の導電層 5 0 2 6 a ~ 5 0 3 0 a のテーパ部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。

【 0 1 1 5 】

図 9 (B) に示すように第 3 のエッチング処理を行う。エッチングガスに CHF_3 を用い、反応性イオンエッチング法 (R I E 法) を用いて行う。第 3 のエッチング処理により、第 1 の導電層 5 0 2 6 a ~ 5 0 3 1 a のテーパ部を部分的にエッチングして、第 1 の導電層が半導体層と重なる領域が縮小される。第 3 のエッチング処理によって、第 3 の形状の導電層 5 0 3 7 ~ 5 0 4 2 (第 1 の導電層 5 0 3 7 a ~ 5 0 4 2 a と第 2 の導電層 5 0 3 7 b ~ 5 0 4 2 b) を形成する。このとき、ゲート絶縁膜 5 0 0 7 においては、第 3 の形状の導電層 5 0 3 7 ~ 5 0 4 2 で覆われない領域はさらに 2 0 ~ 5 0 [nm] 程度エッチングされ薄くなった領域が形成される。

40

【 0 1 1 6 】

第 3 のエッチング処理によって、第 3 の不純物領域 5 0 3 2 ~ 5 0 3 6 においては、第 1 の導電層 5 0 3 7 a ~ 5 0 4 1 a と重なる第 3 の不純物領域 5 0 3 2 a ~ 5 0 3 6 a と、第 1 の不純物領域と第 3 の不純物領域との間の第 2 の不純物領域 5 0 3 2 b ~ 5 0 3 6 b とが形成される。

【 0 1 1 7 】

そして、図 9 (C) に示すように、p チャネル型 T F T を形成する島状半導体層 5 0 0

50

4、5006に第1の導電型とは逆の導電型の第4の不純物領域5043～5054を形成する。第3の形状の導電層5038b、5041bを不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、nチャネル型TFTを形成する島状半導体層5003、5005および配線部5042はレジストマスク5200で全面を被覆しておく。不純物領域5043～5054にはそれぞれ異なる濃度でリンが添加されているが、ジボラン(B_2H_6)を用いたイオンドープ法で形成し、そのいずれの領域においても不純物濃度が $2 \times 10^{20} \sim 2 \times 10^{21} [\text{atoms}/\text{cm}^3]$ となるようにする。

【0118】

以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第3の形状の導電層5037～5041がゲート電極として機能する。また、5042は島状のソース信号線として機能する。

10

【0119】

レジストマスク5200を除去した後、導電型の制御を目的として、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファースアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することが出来る。

熱アニール法では酸素濃度が1[ppm]以下、好ましくは0.1[ppm]以下の窒素雰囲気中で400～700[]、代表的には500～600[]で行うものであり、本実施例では500[]で4時間の熱処理を行う。ただし、第3の形状の導電層5037～5042に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜(シリコンを主成分とする)を形成した後で活性化を行うことが好ましい。

20

【0120】

さらに、3～100[%]の水素を含む雰囲気中で、300～450[]で1～12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0121】

次いで、図10(A)に示すように、第1の層間絶縁膜5055を酸化窒化シリコン膜から100～200[nm]の厚さで形成する。その上に有機絶縁物材料から成る第2の層間絶縁膜5056を形成した後、第1の層間絶縁膜5055、第2の層間絶縁膜5056、およびゲート絶縁膜5007に対してコンタクトホールを形成し、各配線(接続配線、信号線を含む)5057～5062、5064をパターニング形成した後、接続配線5062に接する画素電極5063をパターニング形成する。

30

【0122】

第2の層間絶縁膜5056としては、有機樹脂を材料とする膜を用い、その有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB(ベンゾシクロブテン)等を使用することが出来る。特に、第2の層間絶縁膜5056は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではTFTによって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは1～5[μm](さらに好ましくは2～4[μm])とすれば良い。

40

【0123】

コンタクトホールの形成は、ドライエッチングまたはウエットエッチングを用い、n型の不純物領域5017、5018、5021、5023及びp型の不純物領域5043～5054に達するコンタクトホール、配線5042に達するコンタクトホール、電源供給線に達するコンタクトホール(図示せず)、およびゲート電極に達するコンタクトホール(図示せず)をそれぞれ形成する。

【0124】

また、配線(接続配線、信号線を含む)5057～5062、5064として、Ti膜を100[nm]、Tiを含むアルミニウム膜を300[nm]、Ti膜150[nm]をスパッタ法で連続形成した3層構造の積層膜を所望の形状にパターニングしたものをを用いる。勿論、

50

他の導電膜を用いても良い。

【0125】

また、本実施例では、画素電極5063としてITO膜を110[nm]の厚さに形成し、パターニングを行った。画素電極5063を接続配線5062と接して重なるように配置することでコンタクトを取っている。また、酸化インジウムに2~20[%]の酸化亜鉛(ZnO)を混合した透明導電膜を用いても良い。この画素電極5063がEL素子の陽極となる。(図10(A))

【0126】

次に、図10(B)に示すように、珪素を含む絶縁膜(本実施例では酸化珪素膜)を500[nm]の厚さに形成し、画素電極5063に対応する位置に開口部を形成して、バンクとして機能する第3の層間絶縁膜5065を形成する。開口部を形成する際、ウェットエッチング法を用いることで容易にテーパー形状の側壁とすることが出来る。開口部の側壁が十分になだらかでないとならば段差に起因するEL層の劣化が顕著な問題となってしまうため、注意が必要である。

10

【0127】

次に、EL層5066および陰極(MgAg電極)5067を、真空蒸着法を用いて大気解放しないで連続形成する。なお、EL層5066の膜厚は80~200[nm](典型的には100~120[nm])、陰極5067の厚さは180~300[nm](典型的には200~250[nm])とすれば良い。

【0128】

この工程では、赤色に対応する画素、緑色に対応する画素および青色に対応する画素に対して順次、EL層および陰極を形成する。但し、EL層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的にEL層および陰極を形成するのが好ましい。

20

【0129】

即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光のEL層を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光のEL層を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光のEL層を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。

30

【0130】

ここではRGBに対応した3種類のEL素子を形成する方式を用いたが、白色発光のEL素子とカラーフィルタを組み合わせた方式、青色または青緑発光のEL素子と蛍光体(蛍光性の色変換層:CCM)とを組み合わせた方式、陰極(対向電極)に透明電極を利用してRGBに対応したEL素子を重ねる方式などを用いても良い。

【0131】

なお、EL層5066としては公知の材料を用いることが出来る。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層および電子注入層でなる4層構造をEL層とすれば良い。

40

【0132】

次に、同じゲート信号線にゲート電極が接続されたスイッチング用TFTを有する画素(同じラインの画素)上に、メタルマスクを用いて陰極5067を形成する。なお本実施例では陰極5067としてMgAgを用いたが、本発明はこれに限定されない。陰極5067として他の公知の材料を用いても良い。

【0133】

最後に、窒化珪素膜でなるパッシベーション膜5068を300[nm]の厚さに形成する。パッシベーション膜5068を形成しておくことで、EL層5066を水分等から保護することができ、EL素子の信頼性をさらに高めることが出来る。

50

【 0 1 3 4 】

こうして図 1 0 (B) に示すような構造の E L 表示装置が完成する。なお、本実施例における E L 表示装置の作製工程においては、回路の構成および工程の関係上、ゲート電極を形成している材料である T a、W によってソース信号線を形成し、ドレイン・ソース電極を形成している配線材料である A 1 によってゲート信号線を形成しているが、異なる材料を用いても良い。

【 0 1 3 5 】

ところで、本実施例の E L 表示装置は、画素部だけでなく駆動回路部にも最適な構造の T F T を配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。また結晶化工程において N i 等の金属触媒を添加し、結晶性を高めることも可能である。それによって、ソース信号線駆動回路の駆動周波数を 1 0 [MHz] 以上にすることが可能である。

10

【 0 1 3 6 】

まず、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有する T F T を、駆動回路部を形成する C M O S 回路の n チャネル型 T F T として用いる。なお、ここでいう駆動回路としては、シフトレジスタ、バッファ、レベルシフト、線順次駆動におけるラッチ、点順次駆動におけるトランスマッションゲートなどが含まれる。

【 0 1 3 7 】

本実施例の場合、n チャネル型 T F T の活性層は、ソース領域、ドレイン領域、ゲート絶縁膜を間に挟んでゲート電極と重なるオーバーラップ L D D 領域 (L_{OV} 領域)、ゲート絶縁膜を間に挟んでゲート電極と重ならないオフセット L D D 領域 (L_{OFF} 領域) およびチャンネル形成領域を含む。

20

【 0 1 3 8 】

また、C M O S 回路の p チャネル型 T F T は、ホットキャリア注入による劣化が殆ど気にならないので、特に L D D 領域を設けなくても良い。勿論、n チャネル型 T F T と同様に L D D 領域を設け、ホットキャリア対策を講じることも可能である。

【 0 1 3 9 】

その他、駆動回路において、チャンネル形成領域を双方向に電流が流れるような C M O S 回路、即ち、ソース領域とドレイン領域の役割が入れ替わるような C M O S 回路が用いられる場合、C M O S 回路を形成する n チャネル型 T F T は、チャンネル形成領域の両サイドにチャンネル形成領域を挟む形で L D D 領域を形成することが好ましい。このような例としては、点順次駆動に用いられるトランスマッションゲートなどが挙げられる。また駆動回路において、オフ電流を極力低く抑える必要のある C M O S 回路が用いられる場合、C M O S 回路を形成する n チャネル型 T F T は、 L_{OV} 領域を有していることが好ましい。このような例としては、やはり、点順次駆動に用いられるトランスマッションゲートなどが挙げられる。

30

【 0 1 4 0 】

なお、実際には図 1 0 (B) の状態まで完成したら、さらに外気に曝されないように、気密性が高く、脱ガスの少ない保護フィルム (ラミネートフィルム、紫外線硬化樹脂フィルム等) や透光性のシーリング材でパッケージング (封入) することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたり、内部に吸湿性材料 (例えば酸化バリウム) を配置したりすると E L 素子の信頼性が向上する。

40

【 0 1 4 1 】

また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ (フレキシブルプリントサーキット : F P C) を取り付けて製品として完成する。このような出荷出来る状態にまでした状態を本明細書中では表示装置という。

【 0 1 4 2 】

また、本実施例で示す工程に従えば、表示装置の作製に必要なフォトマスクの数を抑えることが出来る。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することが出来る。

50

【実施例 4】

【0143】

図 11 (A) は本発明の駆動方法を用いる EL 表示装置の上面図である。図 11 (A) において、4010 は基板、4011 は画素部、4012 はソース信号線駆動回路、4013 はゲート信号側駆動回路であり、それぞれの駆動回路は配線 4014、4016 を経て FPC 4017 に至り、外部機器へと接続される。

【0144】

このとき、少なくとも画素部、好ましくは駆動回路及び画素部を囲むようにしてカバー材 6000、シーリング材（ハウジング材ともいう）7000、密封材（第 2 のシーリング材）7001 が設けられている。

10

【0145】

また、図 11 (B) は本実施例の EL 表示装置の断面構造であり、基板 4010、下地膜 4021 の上に駆動回路用 TFT（但し、ここでは n チャネル型 TFT と p チャネル型 TFT を組み合わせた CMOS 回路を図示している。）4022 及び画素部用 TFT 4023（但し、ここでは EL 駆動用 TFT だけ図示している。）が形成されている。これらの TFT は公知の構造（トップゲート構造またはボトムゲート構造など）を用いれば良い。

【0146】

駆動回路用 TFT 4022、画素部用 TFT 4023 が完成したら、樹脂材料でなる層間絶縁膜（平坦化膜）4026 の上に画素部用 TFT 4023 のドレインと電気的に接続する透明導電膜でなる画素電極 4027 を形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物（ITO と呼ばれる）または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極 4027 を形成したら、絶縁膜 4028 を形成し、画素電極 4027 上に開口部を形成する。

20

【0147】

次に、EL 層 4029 を形成する。EL 層 4029 は公知の EL 材料（正孔注入層、正孔輸送層、発光層、電子輸送層及び電子注入層）を自由に組み合わせて積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、EL 材料には低分子系材料と高分子系（ポリマー系）材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピンコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

30

【0148】

本実施例では、シャドーマスクを用いて蒸着法により EL 層を形成する。シャドーマスクを用いて画素毎に波長の異なる発光が可能な発光層（赤色発光層、緑色発光層及び青色発光層）を形成することで、カラー表示が可能となる。その他にも、色変換層（CCM）とカラーフィルターを組み合わせた方式、白色発光層とカラーフィルターを組み合わせた方式があるがいずれの方法を用いても良い。

勿論、単色発光の EL 表示装置とすることもできる。

【0149】

EL 層 4029 を形成したら、その上に陰極 4030 を形成する。陰極 4030 と EL 層 4029 の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中で EL 層 4029 と陰極 4030 を連続成膜するか、EL 層 4029 を不活性雰囲気中で形成し、大気解放しないで陰極 4030 を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。

40

【0150】

なお、本実施例では陰極 4030 として、LiF（フッ化リチウム）膜と Al（アルミニウム）膜の積層構造を用いる。具体的には EL 層 4029 上に蒸着法で 1 nm 厚の LiF（フッ化リチウム）膜を形成し、その上に 300 nm 厚のアルミニウム膜を形成する。勿論、公知の陰極材料である MgAg 電極を用いても良い。そして陰極 4030 は 403

50

1で示される領域において配線4016に接続される。配線4016は陰極4030に所定の電圧を与えるための電源供給線であり、導電性ペースト材料4032を介してFPC4017に接続される。

【0151】

4031に示された領域において陰極4030と配線4016とを電氣的に接続するために、層間絶縁膜4026及び絶縁膜4028にコンタクトホールを形成する必要がある。これらは層間絶縁膜4026のエッチング時（画素電極用コンタクトホールの形成時）や絶縁膜4028のエッチング時（EL層形成前の開口部の形成時）に形成しておけば良い。また、絶縁膜4028をエッチングする際に、層間絶縁膜4026まで一括でエッチングしても良い。この場合、層間絶縁膜4026と絶縁膜4028が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとすることができる。

10

【0152】

このようにして形成されたEL素子の表面を覆って、パッシベーション膜6003、充填材6004、カバー材6000が形成される。

【0153】

さらに、EL素子部を囲むようにして、カバー材6000と基板4010の間にシーリング材7000が設けられ、さらにシーリング材7000の外側には密封材（第2のシーリング材）7001が形成される。

【0154】

このとき、この充填材6004は、カバー材6000を接着するための接着剤としても機能する。充填材6004としては、PVC（ポリビニルクロライド）、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。この充填材6004の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

20

【0155】

また、充填材6004の中にスペーサーを含有させてもよい。このとき、スペーサーをBaOなどからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0156】

スペーサーを設けた場合、パッシベーション膜6003はスペーサー圧を緩和することができる。また、パッシベーション膜6003とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

30

【0157】

また、カバー材6000としては、ガラス板、アルミニウム板、ステンレス板、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材6004としてPVBやEVAを用いる場合、数十μmのアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0158】

但し、EL素子からの発光方向（光の放射方向）によっては、カバー材6000が透光性を有する必要がある。

40

【0159】

また、配線4016はシーリング材7000および密封材7001と基板4010との隙間を通してFPC4017に電氣的に接続される。なお、ここでは配線4016について説明したが、他の配線4014も同様にしてシーリング材7000および密封材7001の下を通してFPC4017に電氣的に接続される。

【0160】

なお図11では、充填材6004を設けてからカバー材6000を接着し、充填材6004の側面（露呈面）を覆うようにシーリング材7000を取り付けているが、カバー材6000及びシーリング材7000を取り付けてから、充填材6004を設けても良い。

50

この場合、基板 4 0 1 0、カバー材 6 0 0 0 及びシーリング材 7 0 0 0 で形成されている空隙に通じる充填材の注入口を設ける。そして前記空隙を真空状態 (10^{-2} Torr 以下) にし、充填材の入っている水槽に注入口を浸してから、空隙の外の気圧を空隙の中の気圧よりも高くして、充填材を空隙の中に充填する。

【実施例 5】

【0 1 6 1】

次に、図 1 1 (A)、(B) とは異なる形態の E L 表示装置を作製した例について、図 1 2 (A)、(B) を用いて説明する。図 1 1 (A)、(B) と同じ番号のものは同じ部分を指しているので説明は省略する。

【0 1 6 2】

図 1 2 (A) は本実施例の E L 表示装置の上面図であり、図 1 2 (A) を A - A' で切断した断面図を図 1 2 (B) に示す。

【0 1 6 3】

図 1 1 に従って、E L 素子の表面を覆ってパッシベーション膜 6 0 0 3 までを形成する。

【0 1 6 4】

さらに、E L 素子を覆うようにして充填材 6 0 0 4 を設ける。この充填材 6 0 0 4 は、カバー材 6 0 0 0 を接着するための接着剤としても機能する。充填材 6 0 0 4 としては、PVC (ポリビニルクロライド)、エポキシ樹脂、シリコーン樹脂、PVB (ポリビニルブチラル) または EVA (エチレンビニルアセテート) を用いることができる。この充填材 6 0 0 4 の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【0 1 6 5】

また、充填材 6 0 0 4 の中にスペーサーを含有させてもよい。このとき、スペーサーを BaO などからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0 1 6 6】

スペーサーを設けた場合、パッシベーション膜 6 0 0 3 はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【0 1 6 7】

また、カバー材 6 0 0 0 としては、ガラス板、アルミニウム板、ステンレス板、FRP (Fiberglass-Reinforced Plastics) 板、PVF (ポリビニルフルオライド) フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材 6 0 0 4 として PVB や EVA を用いる場合、数十 μ m のアルミニウムホイルを PVF フィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0 1 6 8】

但し、E L 素子からの発光方向 (光の放射方向) によっては、カバー材 6 0 0 0 が透光性を有する必要がある。

【0 1 6 9】

次に、充填材 6 0 0 4 を用いてカバー材 6 0 0 0 を接着した後、充填材 6 0 0 4 の側面 (露呈面) を覆うようにフレーム材 6 0 0 1 を取り付ける。フレーム材 6 0 0 1 はシーリング材 (接着剤として機能する) 6 0 0 2 によって接着される。このとき、シーリング材 6 0 0 2 としては、光硬化性樹脂を用いるのが好ましいが、E L 層の耐熱性が許せば熱硬化性樹脂を用いても良い。なお、シーリング材 6 0 0 2 はできるだけ水分や酸素を透過しない材料であることが望ましい。また、シーリング材 6 0 0 2 の内部に乾燥剤を添加してあっても良い。

【0 1 7 0】

また、配線 4 0 1 6 はシーリング材 6 0 0 2 と基板 4 0 1 0 との隙間を通して FPC 4 0 1 7 に電氣的に接続される。なお、ここでは配線 4 0 1 6 について説明したが、他の配線 4 0 1 4 も同様にしてシーリング材 6 0 0 2 の下を通して FPC 4 0 1 7 に電氣的に接

10

20

30

40

50

続される。

【0171】

なお図12では、充填材6004を設けてからカバー材6000を接着し、充填材6004の側面（露呈面）を覆うようにフレーム材6001を取り付けているが、カバー材6000及びフレーム材6001を取り付けてから、充填材6004を設けても良い。この場合、基板4010、カバー材6000及びフレーム材6001で形成されている空隙に通じる充填材の注入口を設ける。そして前記空隙を真空状態（ 10^{-2} Torr以下）にし、充填材の入っている水槽に注入口を浸してから、空隙の外の気圧を空隙の中の気圧よりも高くして、充填材を空隙の中に充填する。

【実施例6】

【0172】

EL表示装置における画素部のさらに詳細な断面構造を図13に示す。図13において、基板4501上に設けられたスイッチング用TFT4502は公知の方法を用いて形成されたnチャネル型TFTを用いる。本実施例では、2つのゲート電極39a及び39bを有するダブルゲート構造としている。ダブルゲート構造とすることで実質的に二つのTFTが直列された構造となり、オフ電流値を低減することができるという利点がある。なお、本実施例ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。また、公知の方法を用いて形成されたpチャネル型TFTを用いても構わない。

【0173】

また、EL駆動用TFT4503は公知の方法を用いて形成されたnチャネル型TFTを用いる。EL駆動用TFTのゲート電極37は配線36によって、スイッチング用TFT4502のドレイン配線35に電氣的に接続されている。

【0174】

EL駆動用TFTはEL素子を流れる電流量を制御するための素子であるため、多くの電流が流れ、熱による劣化やホットキャリアによる劣化の危険性が高い素子でもある。そのため、EL駆動用TFT4503のドレイン側に、ゲート絶縁膜を介してゲート電極に重なるようにLDD領域を設ける本発明の構造は極めて有効である。

【0175】

また、本実施例ではEL駆動用TFT4503を、1つのゲート電極37を有するシングルゲート構造で図示しているが、複数のTFTを直列につなげたマルチゲート構造としても良い。さらに、複数のTFTを並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

【0176】

また、本実施例では、トップゲート型のTFTを用いているが、ボトムゲート型のTFTを用いても構わない。

【0177】

また、ソース配線40は電源供給線（図示せず）に接続され、常に一定の電圧が加えられている。

【0178】

スイッチング用TFT4502、EL駆動用TFT4503の上には第1パッシベーション膜41が設けられ、その上に樹脂絶縁膜でなる平坦化膜42が形成される。平坦化膜42を用いてTFTによる段差を平坦化することは非常に重要である。後に形成されるEL層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、EL層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

【0179】

また、43は反射性の高い導電膜でなる画素電極（この場合EL素子の陰極）であり、EL駆動用TFT4503のドレイン配線33に電氣的に接続される。

10

20

30

40

50

画素電極 43 としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。

【0180】

また、絶縁膜（好ましくは樹脂）で形成されたバンク 44a、44b により形成された溝（画素に相当する）の中に発光層 45 が形成される。なお、ここでは一画素しか図示していないが、R（赤）、G（緑）、B（青）の各色に対応した発光層を作り分けても良い。発光層とする有機 EL 材料としては π 共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフェニレンビニレン（PPV）系、ポリビニルカルbazool（PVK）系、ポリフルオレン系などが挙げられる。

10

【0181】

なお、PPV 系有機 EL 材料としては様々な型のものがあるが、例えば「H. Shenk, H. Becker, O. Gelsen, E. Kluge, W. Kreuder, and H. Spreitzer, "Polymers for Light Emitting Diodes", Euro Display, Proceedings, 1999, p.33-37」や特開平 10 - 92576 号公報に記載されたような材料を用いれば良い。

【0182】

具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は 30 ~ 150 nm（好ましくは 40 ~ 100 nm）とすれば良い。

20

【0183】

但し、以上の例は発光層として用いることのできる有機 EL 材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせて EL 層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。

【0184】

例えば、本実施例ではポリマー系材料を発光層として用いる例を示したが、低分子系有機 EL 材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機 EL 材料や無機材料は公知の材料を用いることができる。

30

【0185】

本実施例では発光層 45 の上に PEDOT（ポリチオフェン）または PAni（ポリアニリン）でなる正孔注入層 46 を設けた積層構造の EL 層としている。そして、正孔注入層 46 の上には透明導電膜でなる陽極 47 が設けられる。本実施例の場合、発光層 45 で生成された光は上面側に向かって（TFT の形成された基板 4501 とは反対の方向に向かって）放射されるため、陽極は透光性でなければならない。透明導電膜としては酸化インジウムと酸化スズとの化合物や酸化インジウムと酸化亜鉛との化合物を用いることができるが、耐熱性の低い発光層や正孔注入層を形成した後で形成するため、可能な限り低温で成膜できるものが好ましい。

【0186】

陽極 47 まで形成された時点で EL 素子 4505 が完成する。なお、ここでいう EL 素子 4505 は、画素電極（陰極）43、発光層 45、正孔注入層 46 及び陽極 47 で形成される。画素電極 43 は画素の面積にほぼ一致させているため、画素全体が EL 素子として機能する。従って、発光の利用効率が非常に高く、明るい画像表示が可能となる。

40

【0187】

また本実施例では、陽極 47 の上にさらに第 2 パッシベーション膜 48 を設けている。第 2 パッシベーション膜 48 としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部と EL 素子とを遮断することであり、有機 EL 材料の酸化による劣化を防ぐ意味と、有機 EL 材料からの脱ガスを抑える意味との両方を併せ持つ。これにより EL 表示装置の信頼性が高められる。

50

【 0 1 8 8 】

以上のように本発明の駆動方法を用いる E L 表示装置は、図 1 3 のような構造の画素からなる画素部を有し、オフ電流値の十分に低いスイッチング用 T F T と、ホットキャリア注入に強い E L 駆動用 T F T とを有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能な E L 表示装置が得られる。

【 実施例 7 】

【 0 1 8 9 】

本実施例では、実施例 6 に示した画素部において、E L 素子 4 5 0 5 の構造を反転させた構造について説明する。説明には図 1 4 を用いる。なお、図 1 3 の構造と異なる点は E L 素子の部分と E L 駆動用 T F T だけであるので、その他の説明は省略することとする。

10

【 0 1 9 0 】

図 1 4 において、E L 駆動用 T F T 4 5 0 3 は公知の方法を用いて形成された p チャネル型 T F T を用いる。

【 0 1 9 1 】

本実施例では、画素電極（陽極）5 0 として透明導電膜を用いる。具体的には酸化インジウムと酸化亜鉛との化合物でなる導電膜を用いる。勿論、酸化インジウムと酸化スズとの化合物でなる導電膜を用いても良い。

【 0 1 9 2 】

そして、絶縁膜でなるバンク 5 1 a、5 1 b が形成された後、溶液塗布によりポリビニルカルバゾールでなる発光層 5 2 が形成される。その上にはカリウムアセチルアセトネート（a c a c K と表記される）でなる電子注入層 5 3、アルミニウム合金でなる陰極 5 4 が形成される。この場合、陰極 5 4 がパッシベーション膜としても機能する。こうして E L 素子 4 7 0 1 が形成される。

20

【 0 1 9 3 】

本実施例の場合、発光層 5 2 で発生した光は、矢印で示されるように T F T が形成された基板 4 5 0 1 の方に向かって放射される。

【 実施例 8 】

【 0 1 9 4 】

本実施例では、ソース信号線駆動回路の構成について説明する。

【 0 1 9 5 】

30

図 6 に、ソース信号線駆動回路の回路図を示す。シフトレジスタ 8 8 0 1、ラッチ（A）（8 8 0 2）、ラッチ（B）（8 8 0 3）、が図に示すように配置されている。本実施例では、1 組のラッチ（A）（8 8 0 2）と 1 組のラッチ（B）（8 8 0 3）が、4 本のソース信号線 S __ a ~ S __ d に対応している。また本実施例では信号が有する電圧の振幅の幅を変えるレベルシフタを設けなかったが、設計者が適宜設けるようにしても良い。

【 0 1 9 6 】

クロック信号 C L K、C L K の極性が反転したクロック信号 C L K B、スタートパルス信号 S P、駆動方向切り替え信号 S L / R はそれぞれ図に示した配線からシフトレジスタ 8 8 0 1 に入力される。また外部から入力されるデジタル信号 V D は 4 分割され、図に示した配線からラッチ（A）（8 8 0 2）に入力される。ラッチ信号 S __ L A T、S __ L A T の極性が反転した信号 S __ L A T b はそれぞれ図に示した配線からラッチ（B）（8 8 0 3）に入力される。

40

【 0 1 9 7 】

シフトレジスタ 8 8 0 1 からの信号が入力されると、4 分割されたデジタル信号 V D より、ラッチ（A）（8 8 0 2）は 4 つの信号を同時に得る。ラッチ信号 S __ L A T 及び S __ L A T b により、デジタル信号 V D をラッチ（B）（8 8 0 3）が保持し、ソース信号線 S __ a ~ S __ d に出力する。

【 0 1 9 8 】

本実施例では、4 分割されたビデオ信号を用い、4 本のソース信号線に対応する信号を同時にサンプリングする手法について述べたが、一般に、n 分割されたデジタル信号を用

50

い、 n 本のソース信号線に対応する信号を同時にサンプリングしても良い。

【0199】

ラッチ(A)(8802)の詳しい構成について、ソース信号線 S_{-a} に対応するラッチ(A)(8802)の一部8804を例にとって説明する。ラッチ(A)(8802)の一部8804は2つのクロックインバータと2つのインバータを有している。

【0200】

ラッチ(A)(8802)の一部8804の上面図を図7に示す。831a、831bはそれぞれ、ラッチ(A)(8802)の一部8804が有するインバータの1つを形成するTF Tの活性層であり、836は該インバータの1つを形成するTF Tの共通のゲート電極である。また832a、832bはそれぞれ、ラッチ(A)(8802)の一部8804が有するもう1つのインバータを形成するTF Tの活性層であり、837a、837bは活性層832a、832b上にそれぞれ設けられたゲート電極である。なおゲート電極837a、837bは電氣的に接続されている。

【0201】

833a、833bはそれぞれ、ラッチ(A)(8802)の一部8804が有するクロックインバータの1つを形成するTF Tの活性層である。活性層833a上にはゲート電極838a、838bが設けられており、ダブルゲート構造となっている。また活性層833b上にはゲート電極838b、839が設けられており、ダブルゲート構造となっている。

【0202】

834a、834bはそれぞれ、ラッチ(A)(8802)の一部8804が有するもう1つのクロックインバータを形成するTF Tの活性層である。活性層834a上にはゲート電極839、840が設けられており、ダブルゲート構造となっている。また活性層834b上にはゲート電極840、841が設けられており、ダブルゲート構造となっている。

【実施例9】

【0203】

本実施例では、本発明の駆動方法を用いるEL表示装置を作製した例について図15(A)、(B)を用いて説明する。図15(A)は、EL素子の形成されたアクティブマトリクス基板において、EL素子の封入まで行った状態を示す上面図である。点線で示された6801はソース信号線駆動回路、6802はゲート信号線駆動回路、6803は画素部である。また、6804はカバー材、6805は第1シール材、6806は第2シール材であり、第1シール材6805で囲まれた内側のカバー材とアクティブマトリクス基板との間には充填材6807(図15(B)参照)が設けられる。

【0204】

なお、6808はソース信号線駆動回路6801、ゲート信号線駆動回路6802及び画素部6803に入力される信号を伝達するための接続配線であり、外部機器との接続端子となるFPC(フレキシブルプリントサーキット)6809からビデオ信号やクロック信号を受け取る。

【0205】

ここで、図15(A)をA-A'で切断した断面に相当する断面図を図15(B)に示す。なお、図15(A)、(B)では同一の部位に同一の符号を用いている。

【0206】

図15(B)に示すように、基板6800上には画素部6803、ソース側駆動回路6801が形成されており、画素部6803はEL素子に流れる電流を制御するためのTF T6851(以下、EL駆動用TF Tという)及びそのドレイン領域に電氣的に接続された画素電極6852等を含む複数の画素により形成される。本実施例ではEL駆動用TF T6851をpチャネル型TF Tとする。また、ソース信号線駆動回路6801はnチャネル型TF T6853とpチャネル型TF T6854とを相補的に組み合わせたCMOS回路を用いて形成される。

【0207】

各画素は画素電極の下にカラーフィルタ（R）6855、カラーフィルタ（G）6856及びカラーフィルタ（B）（図示せず）を有している。ここでカラーフィルタ（R）とは赤色光を抽出するカラーフィルタであり、カラーフィルタ（G）は緑色光を抽出するカラーフィルタ、カラーフィルタ（B）は青色光を抽出するカラーフィルタである。なお、カラーフィルタ（R）6855は赤色発光の画素に、カラーフィルタ（G）6856は緑色発光の画素に、カラーフィルタ（B）は青色発光の画素に設けられる。

【0208】

これらのカラーフィルタを設けた場合の効果としては、まず発光色の色純度が向上する点が挙げられる。例えば赤色発光の画素からはEL素子から赤色光が放射される（本実施例では画素電極側に向かって放射される）が、この赤色光を、赤色光を抽出するカラーフィルタに通すことにより赤色の純度を向上させることができる。このことは、他の緑色光、青色光の場合においても同様である。

【0209】

また、従来のカラーフィルタを用いない構造ではEL表示装置の外部から侵入した可視光がEL素子の発光層を励起させてしまい、所望の発色が得られない問題が起こりうる。しかしながら、本実施例のようにカラーフィルタを設けることでEL素子には特定の波長の光しか入らないようになる。即ち、外部からの光によりEL素子が励起されてしまうような不具合を防ぐことが可能である。

【0210】

なお、カラーフィルタを設ける構造は従来提案されているが、EL素子は白色発光のものを用いていた。この場合、赤色光を抽出するには他の波長の光をカットしていたため、輝度の低下を招いていた。しかしながら、本実施例では、例えばEL素子から発した赤色光を、赤色光を抽出するカラーフィルタに通すため、輝度の低下を招くようなことがない。

【0211】

次に、画素電極6852は透明導電膜で形成され、EL素子の陽極として機能する。また、画素電極6852の両端には絶縁膜6857が形成され、さらに赤色に発光する発光層6858、緑色に発光する発光層6859が形成される。なお、図示しないが隣接する画素には青色に発光する発光層が設けられ、赤、緑及び青に対応した画素によりカラー表示が行われる。勿論、青色の発光層が設けられた画素は青色を抽出するカラーフィルタが設けられている。

【0212】

なお、EL材料として有機材料だけでなく無機材料を用いることができる。また、発光層だけでなく電子注入層、電子輸送層、正孔輸送層、正孔注入層を組み合わせた積層構造としても良い。

【0213】

また、各発光層の上にはEL素子の陰極6860が遮光性を有する導電膜でもって形成される。この陰極6860は全ての画素に共通であり、接続配線6808を経由してFPC6809に電氣的に接続されている。

【0214】

次に、第1シール材6805をディスペンサー等で形成し、スペーサ（図示せず）を散布してカバー材6804を貼り合わせる。そして、アクティブマトリクス基板6800、カバー材6804及び第1シール材6805で囲まれた領域内に充填材6807を真空注入法により充填する。

【0215】

また、本実施例では充填材6807に予め吸湿性物質6861として酸化バリウムを添加しておく。なお、本実施例では吸湿性物質を充填材に添加して用いるが、塊状に分散させて充填材中に封入することもできる。また、図示されていないがスペーサの材料として吸湿性物質を用いることも可能である。

10

20

30

40

50

【0216】

次に、充填材6807を紫外線照射または加熱により硬化させた後、第1シール材6805に形成された開口部（図示せず）を塞ぐ。第1シール材6805の開口部を塞いだら、導電性材料6862を用いて接続配線6808及びFPC6809を電氣的に接続させる。さらに、第1シール材6805の露呈部及びFPC6809の一部を覆うように第2シール材6806を設ける。第2シール材6806は第1シール材6805と同様の材料を用いれば良い。

【0217】

以上のような方式を用いてEL素子を充填材6807に封入することにより、EL素子を外部から完全に遮断することができ、外部から水分や酸素等の有機材料の酸化を促す物質が侵入することを防ぐことができる。従って、信頼性の高いEL表示装置を作製することができる。

【実施例10】

【0218】

本実施例では、実施例9に示したEL表示装置において、EL素子から発する光の放射方向とカラーフィルタの配置を異ならせた場合の例について示す。説明には図16を用いるが、基本的な構造は図15(B)と同様であるので変更部分に新しい符号を付して説明する。

【0219】

画素部6901はEL素子に流れる電流を制御するためのTFT6902（以下、EL駆動用TFTという）及びそのドレイン領域に電氣的に接続された画素電極6903等を含む複数の画素により形成される

【0220】

本実施例では画素部6901にはEL駆動用TFT6902としてnチャネル型TFTが用いられている。また、EL駆動用TFT6902のドレインには画素電極6903が電氣的に接続され、この画素電極6903は遮光性を有する導電膜で形成されている。本実施例では画素電極6903がEL素子の陰極となる。

【0221】

また、赤色に発光する発光層6858、緑色に発光する発光層6859の上には各画素に共通な透明導電膜6904が形成される。この透明導電膜6904はEL素子の陽極となる。

【0222】

さらに、本実施例ではカラーフィルタ(R)6905、カラーフィルタ(G)6906及びカラーフィルタ(B)(図示せず)がカバー材6804に形成されている点に特徴がある。本実施例のEL素子の構造とした場合、発光層から発した光の放射方向がカバー材側に向かうため、図16の構造とすればその光の経路にカラーフィルタを設置することができる。

【0223】

本実施例のようにカラーフィルタ(R)6905、カラーフィルタ(G)6906及びカラーフィルタ(B)(図示せず)をカバー材6804に設けると、アクティブマトリクス基板の工程を少なくすることができ、歩留まり及びスループットの向上を図ることができるという利点がある。

【実施例11】

【0224】

本発明の駆動方法を用いるEL表示装置において、EL素子が有するEL層に用いられる材料は、有機EL材料に限定されず、無機EL材料を用いても実施できる。但し、現在の無機EL材料は非常に駆動電圧が高いため、そのような駆動電圧に耐えうる耐压特性を有するTFTを用いなければならない。

【0225】

または、将来的にさらに駆動電圧の低い無機EL材料が開発されれば、本発明に適用す

10

20

30

40

50

ることは可能である。

【実施例 12】

【0226】

本発明の駆動方法を用いる E L 表示装置において、E L 層として用いる有機物質は低分子系有機物質であってもポリマー系（高分子系）有機物質であっても良い。低分子系有機物質は Alq_3 （トリス - 8 - キノリライト - アルミニウム）

、TPD（トリフェニルアミン誘導体）等を中心とした材料が知られている。ポリマー系有機物質として、 π 共役ポリマー系の物質が挙げられる。代表的には、PPV（ポリフェニレンビニレン）、PVK（ポリビニルカルバゾール）、ポリカーボネート等が挙げられる。

10

【0227】

ポリマー系（高分子系）有機物質は、スピンコーティング法（溶液塗布法ともいう）、ディッピング法、ディスペンス法、印刷法またはインクジェット法など簡易な薄膜形成方法で形成でき、低分子系有機物質に比べて耐熱性が高い。

【0228】

また E L 表示装置が有する E L 素子において、その E L 素子が有する E L 層が、電子輸送層と正孔輸送層とを有している場合、電子輸送層と正孔輸送層とを無機の材料、例えば非晶質の Si または非晶質の $Si_{1-x}C_x$ 等の非晶質半導体で構成しても良い。

【0229】

非晶質半導体には多量のトラップ準位が存在し、かつ非晶質半導体が他の層と接する界面において多量の界面準位を形成する。そのため、E L 素子は低い電圧で発光させることができるとともに、高輝度化を図ることもできる。

20

【0230】

また有機 E L 層にドーパント（不純物）を添加し、有機 E L 層の発光の色を変化させても良い。ドーパントとして、DCM1、ナイルレッド、ルブレン、クマリン 6、TPB、キナクリドン等が挙げられる。

【実施例 13】

【0231】

本実施例では、本発明の駆動方法を用いる E L 表示装置を表示媒体として組み込んだ電子機器について説明する。

30

【0232】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、ゲーム機、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図 18 に示す。

【0233】

図 18（A）はパーソナルコンピュータであり、本体 2001、筐体 2002、表示部 2003、キーボード 2004 等を含む。本発明の駆動方法を用いる E L 表示装置はパーソナルコンピュータの表示部 2003 に用いることができる。

【0234】

図 18（B）はビデオカメラであり、本体 2101、表示部 2102、音声入力部 2103、操作スイッチ 2104、バッテリー 2105、受像部 2106 等を含む。本発明の駆動方法を用いる E L 表示装置はビデオカメラの表示部 2102 に用いることができる。

40

【0235】

図 18（C）は頭部取り付け型（ヘッドマウントディスプレイ）の表示装置の一部（右片側）であり、本体 2301、信号ケーブル 2302、頭部固定バンド 2303、表示モニタ 2304、光学系 2305、表示部 2306 等を含む。本発明の駆動方法を用いる E L 表示装置は頭部取り付け型の表示装置の表示部 2306 に用いることができる。

【0236】

図 18（D）は記録媒体を備えた画像再生装置（具体的には DVD 再生装置）

50

であり、本体 2401、記録媒体（CD、LDまたはDVD等）2402、操作スイッチ 2403、表示部（a）2404、表示部（b）2405等を含む。表示部（a）は主として画像情報を表示し、表示部（b）は主として文字情報を表示するが、本発明の駆動方法を用いるEL表示装置は記録媒体を備えた画像再生装置の表示部（a）2404、（b）2405に用いることができる。なお、記録媒体を備えた画像再生装置としては、CD再生装置、ゲーム機器などに本発明を用いることができる。

【0237】

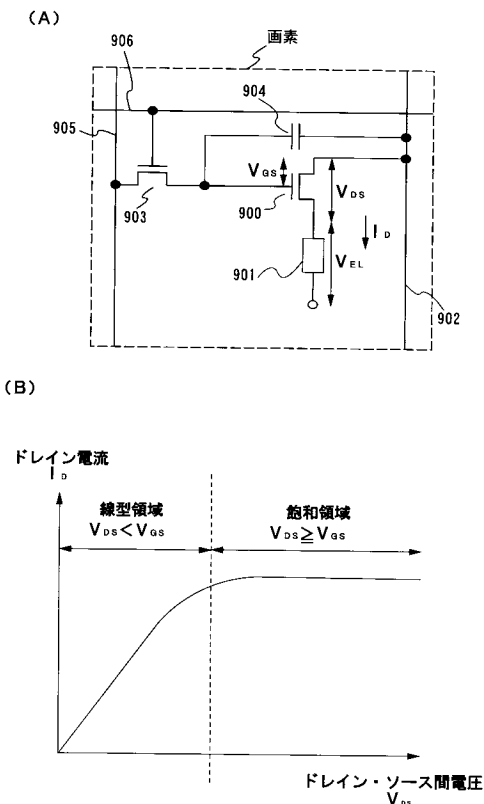
図18（E）は携帯型（モバイル）コンピュータであり、本体2501、カメラ部2502、受像部2503、操作スイッチ2504、表示部2505等を含む。本発明の駆動方法を用いるEL表示装置は携帯型（モバイル）コンピュータの表示部2505に用いることができる。

10

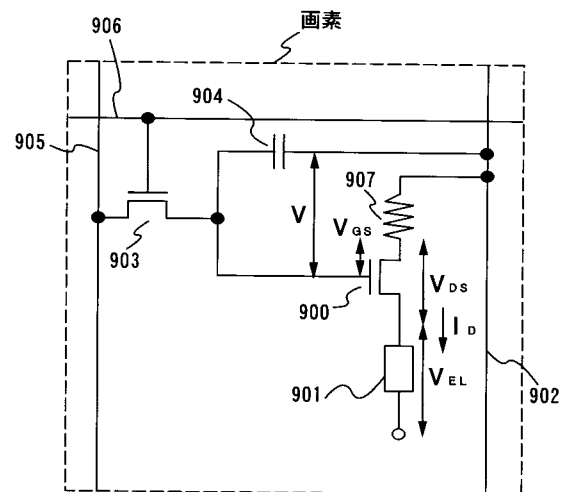
【0238】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1～12のどのような組み合わせからなる構成を用いても実現することができる。

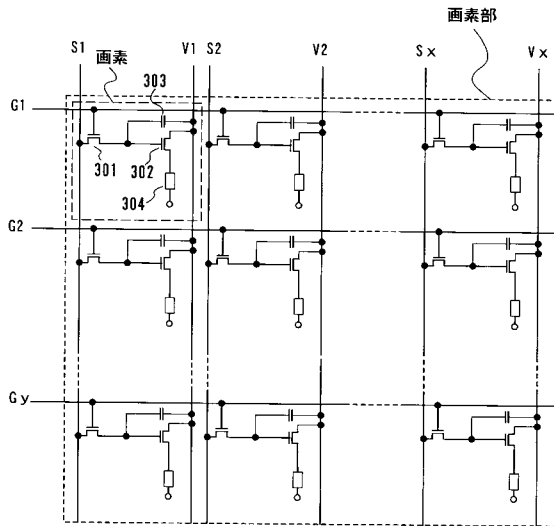
【図1】



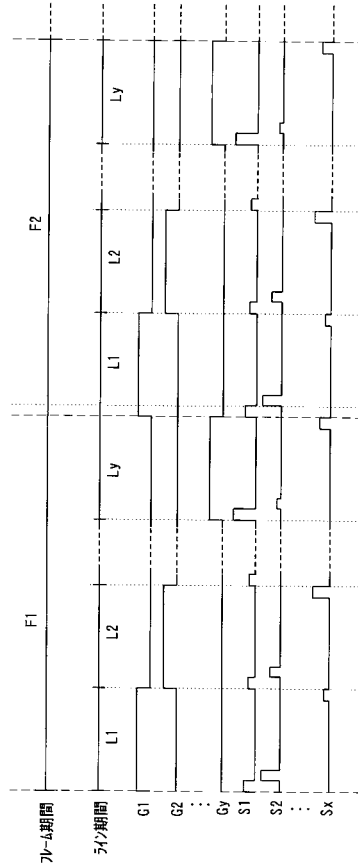
【図2】



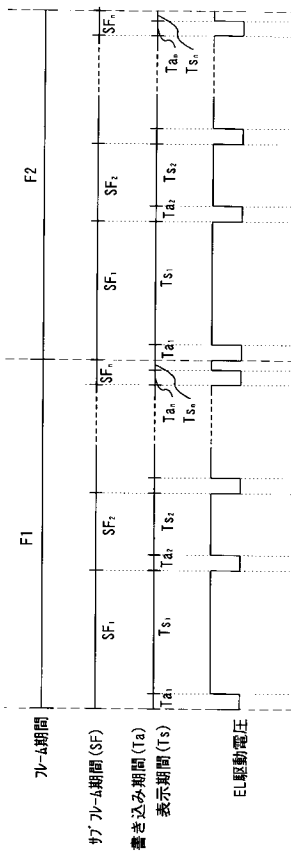
【図 3】



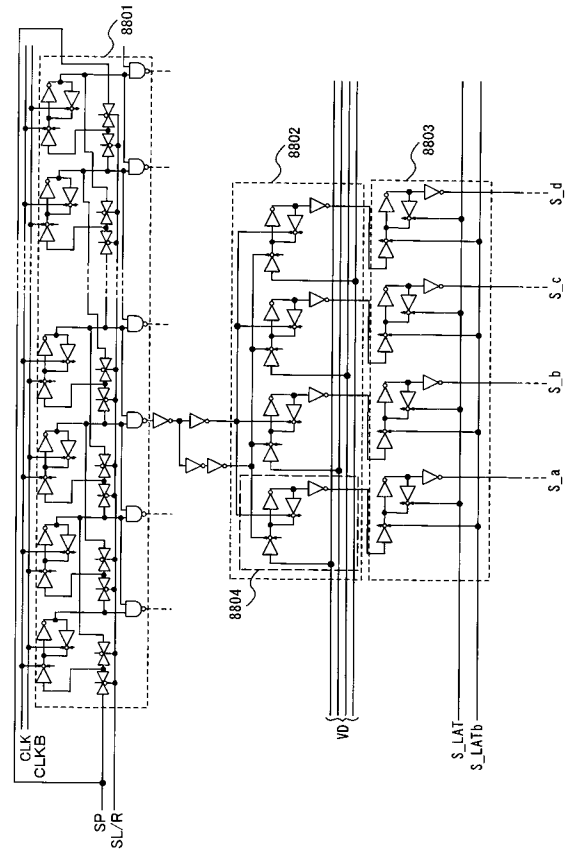
【図 4】



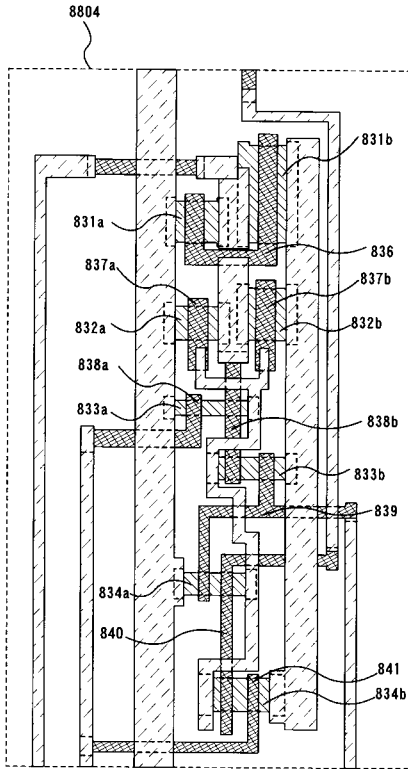
【図 5】



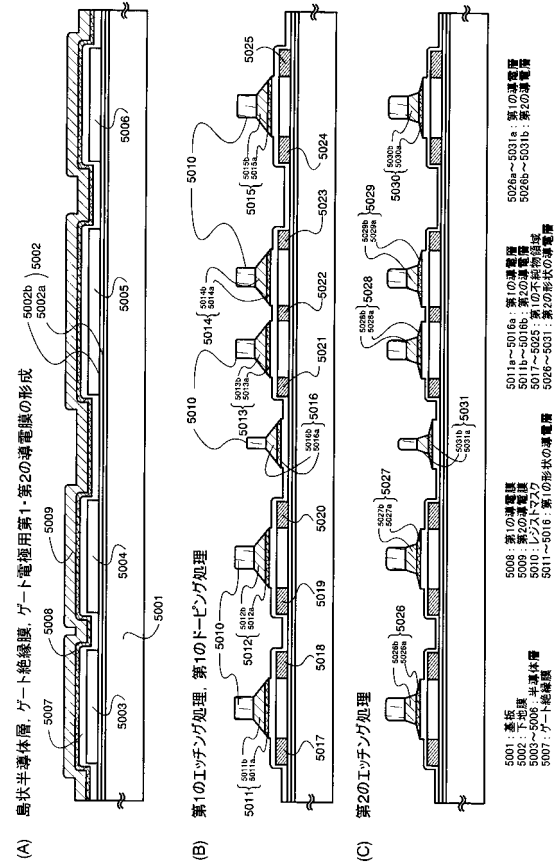
【図 6】



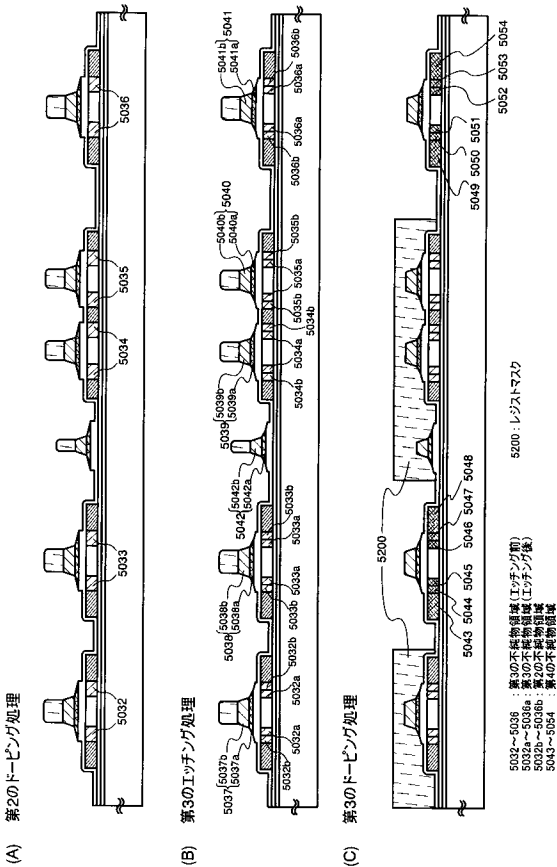
【 図 7 】



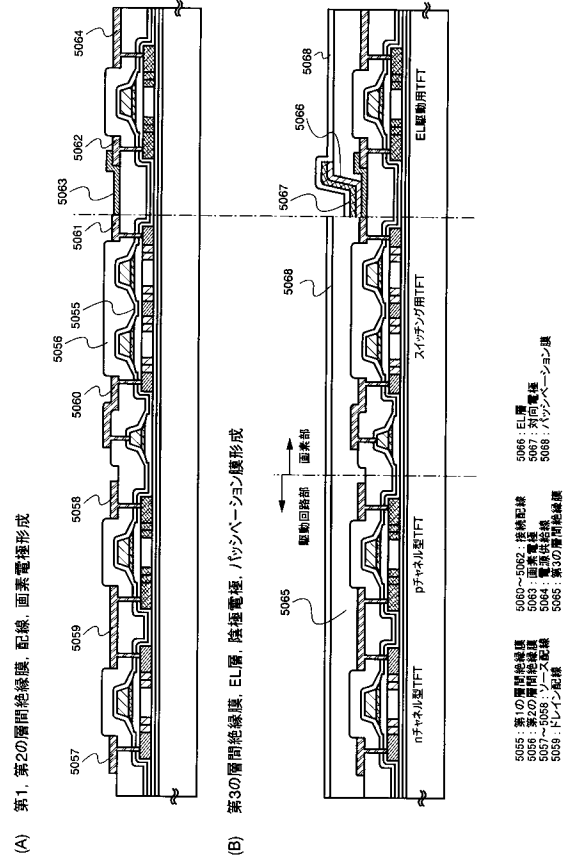
【 図 8 】



【 図 9 】

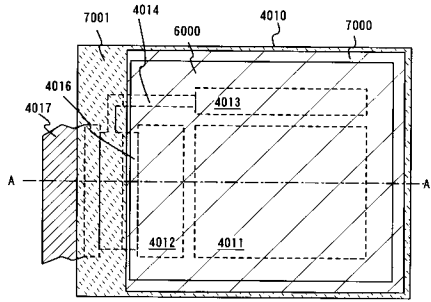


【 ㊦ 1 0 】

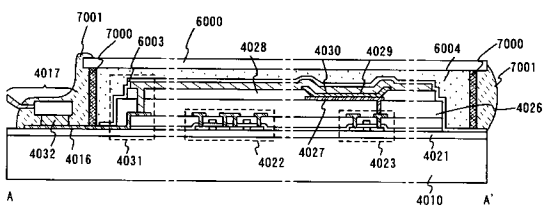


【図 1 1】

(A)

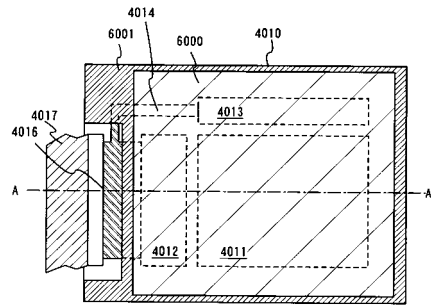


(B)

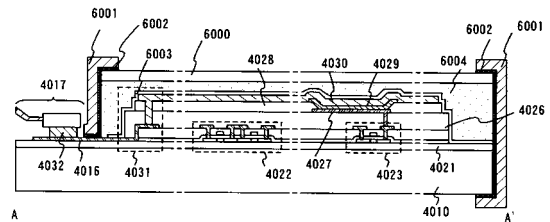


【図 1 2】

(A)

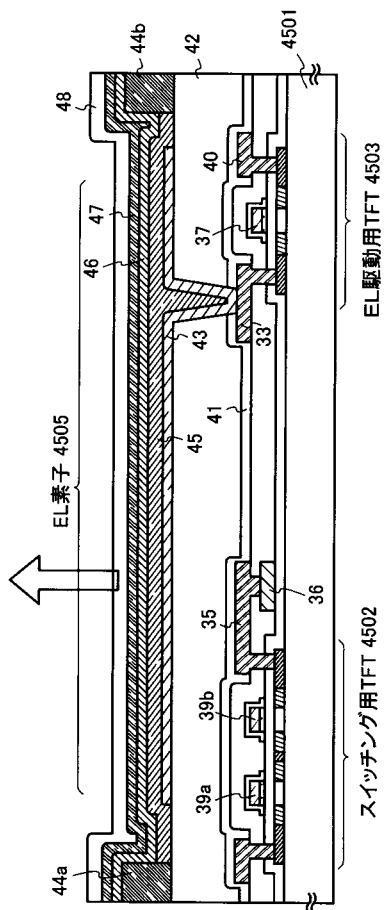


(B)



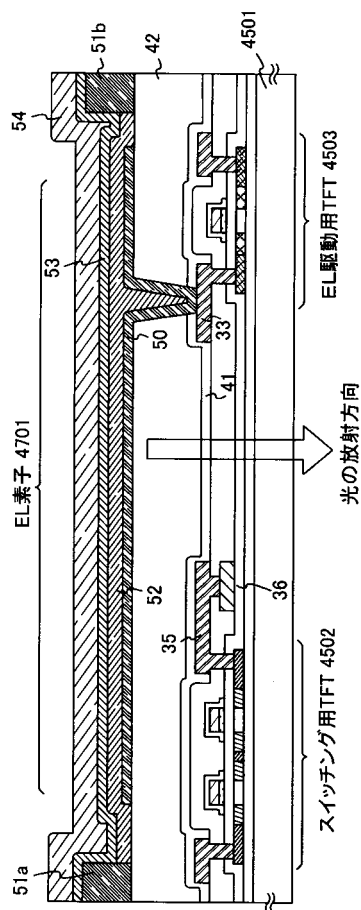
【図 1 3】

光の放射方向

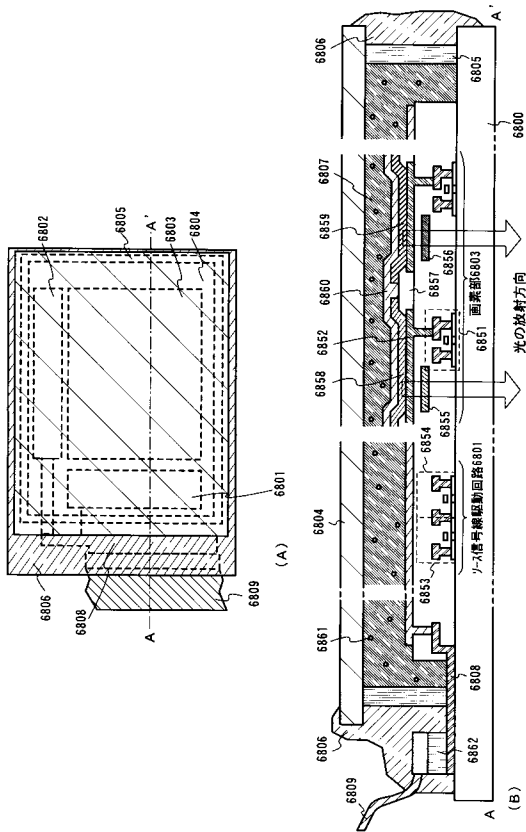


【図 1 4】

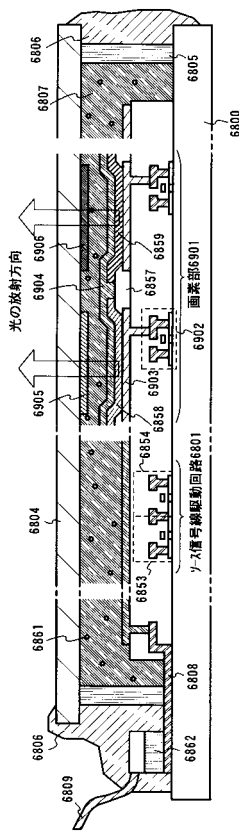
光の放射方向



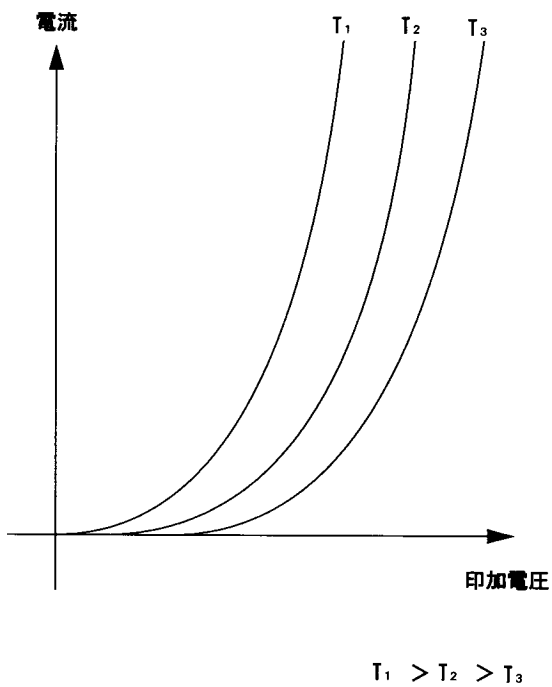
【図 15】



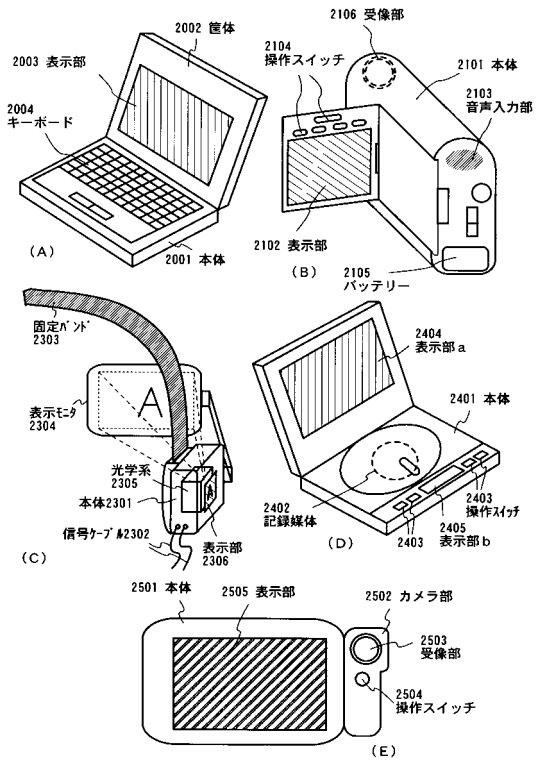
【図 16】



【図 17】



【図 18】



【手続補正書】

【提出日】平成24年5月1日(2012.5.1)

【手続補正2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1の領域及び第2の領域を有する第1の基板と、
前記第1の基板と対向し、前記第1の領域と重なり、前記第2の領域とは重ならない第2の基板と、
前記第1の基板の前記第1の領域上に設けられた、半導体層、ゲート電極、ソース電極、及びドレイン電極を有するトランジスタと、
前記トランジスタ上に設けられた、第1の電極、前記第1の電極上のEL層、及び前記EL層上の第2の電極を有するEL素子と、
前記第1の基板の前記第1の領域の端部及び前記第2の基板の端部に沿うように設けられたシール材と、
前記シール材の外側に設けられたフレーム材と、
前記第1の基板の前記第2の領域上に設けられ、前記シール材及び前記フレーム材の外側に設けられたフレキシブルプリントサーキットと、
前記EL素子の前記第2の電極と前記フレキシブルプリントサーキットとを電氣的に接続する機能を有する第1の配線と、を有し、
前記第1の配線は、前記第1の基板と前記シール材及び前記フレーム材との間に設けられた部分を有し、
前記第1の配線と前記シール材とが重なる部分において、前記第1の配線の上面は前記シール材と接する領域を有し、
前記第1の配線は、前記ソース電極及び前記ドレイン電極と同一層に設けられており、1フレーム期間が分割されてなる複数のサブフレーム期間それぞれにおいて、前記トランジスタに第1のゲート・ソース間の電圧または第2のゲート・ソース間の電圧が印加され、
前記トランジスタに前記第1のゲート・ソース間の電圧が印加されるとき、前記トランジスタのドレイン電流が、前記EL素子の両電極間に流れ、前記EL素子は発光状態となり、
前記トランジスタに前記第2のゲート・ソース間の電圧が印加されるとき、前記トランジスタが非導通状態となって、前記EL素子は非発光状態となり、
前記第1のゲート・ソース間の電圧の絶対値は、前記トランジスタのドレイン・ソース間の電圧の絶対値以下であることを特徴とする表示装置。

【請求項2】

請求項1において、前記EL素子を覆うように設けられたパッシベーション膜と、前記パッシベーション膜と前記第2の基板との間に設けられた充填材と、を有し、前記充填材は、スペーサを有することを特徴とする表示装置。

【請求項3】

請求項1または請求項2において、前記トランジスタのゲート長に対するゲート幅の比は、1未満であることを特徴とする表示装置。

フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	H 0 5 B 33/14	A
	H 0 5 B 33/14	Z

F ターム(参考)	5C380	AA01	AA02	AB06	AB11	AB12	AB23	AB24	AB34	AC08	AC09
		AC11	AC12	AC13	BA29	BA38	BA39	BB02	BB05	CA04	CA06
		CA26	CC02	CC27	CC30	CC33	CC62	CC68	CD012	CF07	CF08
		CF09	CF23	DA02	DA09	HA02	HA03	HA05	HA13		

专利名称(译)	表示装置		
公开(公告)号	JP2012177928A	公开(公告)日	2012-09-13
申请号	JP2012099675	申请日	2012-04-25
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	小山 潤		
发明人	小山 潤		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 H05B33/14 G09G3/32 H01L27/32		
CPC分类号	H01L27/3248 G09G3/2003 G09G3/2014 G09G3/2022 G09G3/30 G09G3/3233 G09G3/3275 G09G3/3291 G09G2300/0417 G09G2300/0426 G09G2300/0814 G09G2300/0842 G09G2300/0866 G09G2320/0233 G09G2320/041 G09G2320/043 G09G2330/02 H01L27/1255 H01L27/322 H01L27/3244 H01L27/3276 H01L51/5016 H01L2251/5315		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.641.E G09G3/20.611.H G09G3/20.642.A H05B33/14.A H05B33/14.Z G09G3/3233 G09G3/3275		
F-TERM分类号	3K107/AA01 3K107/AA05 3K107/BB01 3K107/BB08 3K107/CC33 3K107/CC45 3K107/EE03 3K107/HH02 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK02 5C080/KK07 5C080/KK23 5C080/KK43 5C080/KK47 5C080/KK50 5C380/AA01 5C380/AA02 5C380/AB06 5C380/AB11 5C380/AB12 5C380/AB23 5C380/AB24 5C380/AB34 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/AC13 5C380/BA29 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB05 5C380/CA04 5C380/CA06 5C380/CA26 5C380/CC02 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC62 5C380/CC68 5C380/CD012 5C380/CF07 5C380/CF08 5C380/CF09 5C380/CF23 5C380/DA02 5C380/DA09 5C380/HA02 5C380/HA03 5C380/HA05 5C380/HA13		
优先权	2000226709 2000-07-27 JP		
外部链接	Espacenet		

摘要(译)

要解决的问题：在有源矩阵型EL显示装置中，抑制由构成像素的TFT的特性变化引起的亮度显示变化，以及使用显示装置的环境温度的变化。
 解决方案：使用时间灰度系统。通过在导通状态和饱和区域中操作EL驱动TFT，EL驱动TFT的漏极电流保持在恒定值。因此，恒定电流可以在EL元件中流动，并且实现了具有高图像质量的精确灰度显示的有源矩阵型EL显示装置。

