

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-217021

(P2009-217021A)

(43) 公開日 平成21年9月24日(2009.9.24)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
H01L 51/50 (2006.01)	G09G 3/20 642P	
	G09G 3/20 621F	
	G09G 3/20 641P	
審査請求 未請求 請求項の数 3 O L (全 14 頁) 最終頁に続く		

(21) 出願番号 特願2008-61259 (P2008-61259)
(22) 出願日 平成20年3月11日 (2008.3.11)

(71) 出願人 000005234
富士電機ホールディングス株式会社
神奈川県川崎市川崎区田辺新田1番1号
(74) 代理人 100077481
弁理士 谷 義一
(74) 代理人 100088915
弁理士 阿部 和夫
(72) 発明者 中谷 充良
東京都日野市富士町1番地 富士電機アド
バンストテクノロジー株式会社内
Fターム(参考) 3K107 AA01 BB01 CC31 CC35 CC42
EE03 HH00 HH04 HH05
5C080 AA06 BB05 DD05 DD08 DD29
EE29 FF07 FF11 GG15 GG17
HH09 JJ02 JJ03 JJ04

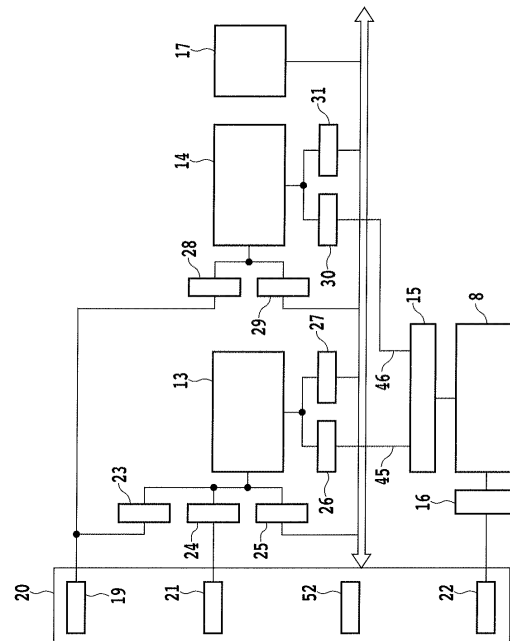
(54) 【発明の名称】 画像表示装置

(57) 【要約】

【課題】 画像を表示するまでの時間を減少させ、より高速に画像を表示することができる画像表示装置を提供する。

【解決手段】 有機EL素子および該有機EL素子を駆動する駆動素子を備えた複数の画素駆動回路を有し、前記駆動素子から読み出した補正データによって補正された画像を表示する画像表示装置であって、画像の表示に先立って前記駆動素子から補正データを読み出す補正データ読み出し手段と、読み出した前記補正データを補正メモリに直接書き込むための補正データ書き込み手段とを備え、前記補正データ読み出し手段および前記補正データ書き込み手段によってDMA機能を実現し、前記補正メモリから読み出した前記補正データに基づいて、画像を補正して表示する。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

有機 E L 素子および該有機 E L 素子を駆動する駆動素子を備えた複数の画素駆動回路を有し、前記駆動素子から読み出した補正データによって補正された画像を表示する画像表示装置であって、

画像の表示に先立って前記駆動素子から補正データを読み出す補正データ読み出し手段と、読み出した前記補正データを補正メモリに直接書き込むための補正データ書き込み手段とを備え、

前記補正データ読み出し手段および前記補正データ書き込み手段によって D M A 機能を実現し、前記補正メモリから読み出した前記補正データに基づいて、画像を補正して表示することを特徴とする画像表示装置。

10

【請求項 2】

前記補正データ読み出し手段は、前記補正データを読み出す前記駆動画素を選択するための補正データ選択回路と補正データ読み出しカウンタとを備え、

前記補正データ選択回路は、前記画素駆動回路からの信号を選択する選択スイッチを有し、該選択スイッチからの出力を A D コンバータに接続して、前記補正データ読み出しカウンタからの出力に基づいて前記選択スイッチを制御することを特徴とする請求項 1 に記載の画像表示装置。

【請求項 3】

前記補正データ読み出し手段は、前記補正データを読み出す前記駆動画素を選択するための補正データ選択回路と補正データ読み出しカウンタとを備え、

前記補正データ選択回路は、前記画素駆動回路からの信号を A D コンバータに接続し、該 A D コンバータからの出力をセレクタに接続して、前記補正データ読み出しカウンタの出力に基づいて前記セレクタを制御することを特徴とする請求項 1 に記載の画像表示装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機 E L 素子を使用した画像表示装置に関し、特に、有機 E L 素子を駆動する駆動手段に関する。

30

【背景技術】

【0002】

近年、低消費電力で高い輝度を得ることができ、薄型化が可能なディスプレイとして、複数の有機 E L 素子を行列状（マトリクス状）に配置して構成される有機 E L ディスプレイが注目されている。

【0003】

一般的に、有機 E L 素子を駆動する薄膜トランジスタ（T F T : Thin Film Transistor）素子では、駆動した時間やその輝度に応じて駆動特性の劣化が生じる。特に、T F T 素子としてアモルファス T F T を利用する場合には、駆動特性の劣化が顕著である。この駆動特性の劣化とは、T F T 素子のゲートの閾値電圧の変化であり、より具体的には、T F T 素子を駆動させるための電圧が、時間の経過と共に高くなることである。

40

【0004】

以下に、図 1 4 を参照しながら、有機 E L 素子を駆動する T F T 素子の閾値電圧について説明する。図 1 4 に示すように、有機 E L 素子 4 7 を駆動する T F T 素子のゲート - ソース間電圧 V_{gs44} が劣化すると、駆動電流 I_{ds48} が低下してしまう。したがって、劣化する前と同じ駆動電流 I_{ds48} を流すためには、ゲート - ソース間電圧 V_{gs44} を高くする必要がある。そのため、画像表示に先立って画素毎にゲート - ソース間電圧 V_{gs44} の電圧上昇分を読み出して、それに基づいて駆動電圧を高くする方法が知られている。

【0005】

50

図 15 に、従来の画像表示装置のシステム構成図を示す。従来の画像表示装置は、有機 E L パネル 8、ドライバ A 15、ドライバ B 16、M P U 17、表示メモリ 14、補正メモリ 13、および制御部 20 を備える。表示画像用の表示メモリ 14 および補正メモリ 13 はそれぞれ、画像データ入力バス 1 および補正メモリインターフェースバス 4 を介して、ドライバ A 15 に接続される。また、M P U 17 は、M P U バス 18 を介して、表示メモリ 14、補正メモリ 13、および制御部 20 に接続される。制御部 20 は、表示メモリアドレスバス 11 を介して表示メモリ 14 に接続され、補正メモリアドレスバス 12 を介して補正メモリ 13 に接続され、さらに、ドライバ B 16 にも接続される。

【0006】

このような画像表示装置において、画素に対応する T F T 素子のゲート - ソース間電圧 V_{gs44} の変動を補正メモリ 13 に設定して画像を表示する動作を、以下に説明する。

1. まず、図 16 に示すように、M P U 17 が、T F T 素子のゲート - ソース間電圧 V_{gs44} を読み出す。この際、ゲート - ソース間電圧 V_{gs44} は、ドライバ A 15 内でデジタル化されているものとする。

2. 次に、図 17 に示すように、M P U 17 が、読み出されたゲート - ソース間電圧 V_{gs44} の値を補正メモリ 13 に書き込む。

3. 次に、図 18 に示すように、補正データおよび表示データをドライバ A 15 に送り、それらに基づいて画像を表示する。

【0007】

図 19 に、従来の画像表示装置のドライバ A 15 が備える補正データ選択回路 6 の回路図を示す。補正データ選択回路 6 は、補正データ選択レジスタ 49、A D コンバータ 33、デコーダ 34、および、補正データリードバス 32 が接続されている選択スイッチ 35 を備える。補正データ選択回路 6 では、上述した 1 と 2 の処理を画素毎に行うために、それらの処理の切り替えが行われる。したがって、M P U 17 は、補正データ選択回路 6 においてゲート - ソース間電圧 V_{gs44} を読み出す T F T 素子を、補正データ選択レジスタ 49 に設定する必要がある。つまり、M P U 17 は、画素毎に補正データ選択回路 6 の設定を変更しなくてはならない。

【0008】

このような、画像の表示に先立って、有機 E L 素子を駆動する T F T 素子の閾値電圧を測定してメモリに格納し、格納した閾値電圧に基づいて表示画像を補正する例（例えば、特許文献 1 参照）が開示されている。

【0009】

【特許文献 1】特開 2006 - 301250 号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

しかしながら、従来の技術では、画像表示装置の大型化や精細度の向上によって画面の画素数が増加すると、補正データを読み出して、補正メモリ 13 に格納する際の M P U 17 のアクセス数が増加する。また、これらの動作がすべて、M P U 17 を介して行われるので、その動作時間も増加する。すなわち、補正メモリ 13 に補正データを格納する処理に要する時間が増加することとなり、画像表示装置が画像を表示するまでの時間が増加してしまうという問題があった。

【0011】

本発明は、このような問題に鑑みてなされたものであり、その目的とするところは、画像を表示するまでの時間を減少させ、より高速に画像を表示することができる画像表示装置を提供することである。

【課題を解決するための手段】

【0012】

このような目的を達成するために、請求項 1 に記載の発明は、有機 E L 素子および該有機 E L 素子を駆動する駆動素子を備えた複数の画素駆動回路を有し、前記駆動素子から読

10

20

30

40

50

み出した補正データによって補正された画像を表示する画像表示装置であって、画像の表示に先立って前記駆動素子から補正データを読み出す補正データ読み出し手段と、読み出した前記補正データを補正メモリに直接書き込むための補正データ書き込み手段とを備え、前記補正データ読み出し手段および前記補正データ書き込み手段によってDMA機能を実現し、前記補正メモリから読み出した前記補正データに基づいて、画像を補正して表示することを特徴とする。

【0013】

本発明によると、補正データの読み出し動作や書き込み動作をDMA機能によって実施することができる。DMA機能とは、MPUを介さずに処理を行なうことである。したがって、本発明によると、MPUが介在するデータ処理を少なくすることができ、より高速に画像を補正して表示することができる。

10

【0014】

請求項2に記載の発明は、請求項1に記載の画像表示装置であって、前記補正データ読み出し手段は、前記補正データを読み出す前記駆動画素を選択するための補正データ選択回路と補正データ読み出しカウンタとを備え、前記補正データ選択回路は、前記画素駆動回路からの信号を選択する選択スイッチを有し、該選択スイッチからの出力をADコンバータに接続して、前記補正データ読み出しカウンタからの出力に基づいて前記選択スイッチを制御することを特徴とする。

【0015】

請求項3に記載の発明は、請求項1に記載の画像表示装置であって、前記補正データ読み出し手段は、前記補正データを読み出す前記駆動画素を選択するための補正データ選択回路と補正データ読み出しカウンタとを備え、前記補正データ選択回路は、前記画素駆動回路からの信号をADコンバータに接続し、該ADコンバータからの出力をセレクトに接続して、前記補正データ読み出しカウンタの出力に基づいて前記セレクトを制御することを特徴とする。

20

【発明の効果】

【0016】

本発明によれば、画像を表示するまでの時間を減少させ、より高速に画像を表示することができる画像表示装置を提供することができる。

【発明を実施するための最良の形態】

30

【0017】

以下に、図面を参照しながら、本発明の実施形態について詳細に説明する。なお、複数の図面において同一の符号は同一物を表し、その繰り返しの説明は省略する。

【0018】

（第1の実施形態）

図1は、本発明の一実施形態に係る画像表示装置のシステム構成図である。本実施形態に係る画像表示装置は、有機ELパネル8、有機ELパネル8を駆動するドライバA 15、ドライバB 16、MPU 17、表示メモリ14、補正メモリ13、および制御部20を備える。

【0019】

40

表示画像用の表示メモリ14および補正メモリ13はそれぞれ、画像データ入力バス1および補正メモリインターフェースバス4を介してドライバA 15に接続される。また、MPU 17は、MPUバス18を介して、表示メモリ14、補正メモリ13、および制御部20に接続される。制御部20は、表示メモリアドレスバス11を介して表示メモリ14に接続され、補正メモリアドレスバス12を介して補正メモリ13に接続され、さらに、ドライバB 16にも接続される。

【0020】

図2は、本発明の一実施形態に係るドライバA 15の回路を示す図であり、ドライバA 15と有機ELパネル8が接続されている。ドライバA 15は、補正データ読み出しカウンタ5、補正データ選択回路6、補正データバッファ50、シリアルパラレル変換

50

器 2、およびドライバ A 駆動回路 3 を備える。また、有機 E L パネル 8 は、複数の画素駆動回路 7 を備え、画素駆動回路 7 は、ドライバ A 制御信号線 9 およびドライバ B 制御信号線 10 に接続される。

【0021】

補正データリードバス 32 を介して一度に読み出された複数の T F T 素子の補正データは、補正データ読み出しカウンタ 5 を用いて逐次出力される。すなわち、ドライバ B 16 で選択される画素駆動回路 7 の列から補正データを読み出す際に、補正データ読み出しカウンタ 5 のアドレスに基づいて画素を選択することができる。

【0022】

シリアルパラレル変換器 2 は、補正データを、補正メモリインターフェースバス 4 から補正データバッファ 50 を介して受け取り、また、画像データを、画像データ入力バス 1 から受け取り、それらをドライバ A 駆動回路 3 に送る。画素駆動回路 7 は、ドライバ A 制御信号線 9 およびドライバ B 制御信号線 10 から制御信号を受け取る。そうすることによって、有機 E L パネル 8 が駆動される。

10

【0023】

図 3 に、図 1 に示した画像表示装置のデータバスの詳細を示す。制御部 20 は、表示アドレスジェネレータ 19、補正メモリアドレスジェネレータ 21、ドライバ B 制御信号発生部 22、および画素制御信号発生部 52 を備える。

【0024】

表示アドレスジェネレータ 19 は、補正メモリ用表示アドレスバッファ 23 を介して補正メモリ 13 に接続され、また、表示メモリ用表示アドレスバッファ 28 を介して表示メモリ 14 に接続される。補正メモリアドレスジェネレータ 21 は、補正メモリアドレスバッファ 24 を介して補正メモリ 13 に接続される。補正メモリ 13 は、M P U アクセス用アドレスバッファ 25、および M P U 用補正メモリ入出力用データバッファ 27 を介して M P U バス 18 に接続され、また、表示用補正メモリ入出力用データバッファ 26 を介してドライバ A 15 に接続される。表示メモリ 14 は、表示メモリ用アドレスバッファ 29、および M P U 用表示メモリ入出力用データバッファ 31 を介して M P U バス 18 に接続され、また、表示用表示メモリデータバッファ 30 を介してドライバ A 15 に接続される。

20

【0025】

上述したように、制御部 20 が、自動的にアドレスを生成する表示アドレスジェネレータ 19 および補正メモリアドレスジェネレータ 21、並びに、制御信号発生回路であるドライバ B 制御信号発生部 22 および画素制御信号発生部 52 を備えることにより、M P U 17 に関する処理を軽減することができる D M A (Direct Memory Access) 機能を実現することができる。すなわち、読み出された補正データを、補正メモリアドレスジェネレータ 21 から出力されるアドレスやメモリ書込み命令に基づいて、M P U 17 を介さずに補正メモリ 13 に直接書込むことができる。

30

【0026】

次に、画素駆動回路と補正方法について説明する。

図 4 は、本発明の一実施形態に係る画素部の駆動回路図であり、補正回路を備える複数の画素駆動回路 7 と、ドライバ A 駆動回路 3 とが接続されている。図 5 は、図 4 に示した駆動回路の補正動作（閾値電圧の読み出し動作）のタイミングチャートである。図 6 は、図 4 に示した駆動回路の動作を示す図である。図 7 は、補正データ読み出しカウンタ 5 の補正データ読み出し動作を説明する図である。また、図 8 は、本発明の一実施形態に係る補正データ選択回路 6 の回路図である。これらの図面を参照しながら、以下に、補正動作について説明する。

40

【0027】

(1) 補正メモリ 13 への補正データの書き込み動作

図 4 に示すように、第 1 の画素制御信号 41 と第 2 の画素制御信号 42 は、ドライバ B 制御信号発生部 22 から出力され、各々第 1 のスイッチ 39 と第 2 のスイッチ 40 を制御

50

する。

【 0 0 2 8 】

1) 図 5 のタイミングチャートに示すように、補正データ V_{th} を得るために、第 1 の画素制御信号 4 1 と第 2 の画素制御信号 4 2 の両方がハイレベルとして、図 6 に示すようにリファレンス電源 3 7 から有機 EL 素子 4 7 を駆動する (この際、DA コンバータ 3 8 の出力は停止させておく。)。

2) 次に、第 1 の画素制御信号 4 1 をオフにするのと同時に、リファレンス電流 4 3 を停止する。

3) 次に、図 7 に示すように、回路が安定した後に第 1 の画素制御信号 4 1 をオンにして、補正データリードバス 3 2 へ補正データを読み出す。

4) なお、3) の動作における補正データリードバス 3 2 の補正データの選択は、図 8 に示す補正データ選択回路 6 によって制御される。より具体的には、補正データを読み出す画素の選択は、補正データ読み出しカウンタ 5 の値によって決定され、この値が、デコード 3 4 によって選択制御信号となる。

【 0 0 2 9 】

図 9 は、本発明の一実施形態に係る画像表示装置の動作を示す図である。図 9 では、上述した 1) ~ 4) の動作において読み出してきた補正データを、補正メモリ 1 3 に書き込む動作を示す。

制御部 2 0 は、ドライバ B 制御信号発生部 2 2 で、上述した 1) ~ 4) の動作の制御を行う信号を発生させる。さらに、制御部 2 0 は、補正メモリアドレスジェネレータ 2 1 から補正メモリ 1 3 に補正メモリアドレスを出力し、ドライバ A 1 5 からの補正データを補正メモリ 1 3 へ書き込む制御信号を発生させる。ここでは、MPU 1 7 が介在せずにメモリアクセスが行われる。

なお、上述した画素駆動回路 7 は一例に過ぎず、補正データを読み出すことができるその他の駆動回路を使用することもできる。

【 0 0 3 0 】

(2) 表示動作

図 1 0 に、図 4 に示した駆動回路の表示動作のタイミングチャートを示す。図示されるように、補正メモリ 1 3 からの補正データ V_{th} と、表示メモリからの表示データ V_{data} とが加算されて、駆動トランジスタのゲート - ソース間電圧 V_{gs} 4 4 となる。

図 1 1 に、補正データ 4 5 と表示データ 4 6 とを加算する画素毎の回路図を示す。図示されるように、補正メモリ 1 3 からの補正データ 4 5 と、表示メモリ 1 4 からの表示データ 4 6 とが加算器 5 1 によって加算されて、DA コンバータ 3 8 に送られる。このようにすることによって、補正が可能になる。

【 0 0 3 1 】

図 1 2 は、本発明の一実施形態に係る画像表示装置の動作を示す図である。図 1 2 では、この画像表示装置における表示動作を示す。

制御部 2 0 では、表示アドレスジェネレータ 1 9 が表示アドレスを出力し、その表示アドレスは、補正メモリ 1 3 および表示メモリ 1 4 に供給される。次いで、それぞれのメモリから補正データおよび表示データが読み出され、ドライバ A 1 5 に供給される。このようにして、画像が表示されることになる。

【 0 0 3 2 】

このように、本発明に係る画像表示装置では、上述した動作を、MPU 1 7 を介さずに直接メモリにアクセスして行うことができる (すなわち、DMA 機能が実現される)。そうすることによって、MPU 1 7 の処理性能の影響を受けずに、それらの動作を実施することができ、MPU 1 7 を用いた場合と比較して、より高速に、補正された画像データを表示することができる。

【 0 0 3 3 】

(第 2 の実施形態)

上述した第 1 の実施形態では、図 8 を参照して説明したように、補正データ選択回路 6

10

20

30

40

50

が補正データを選択するために、補正データ読み出しカウンタ5の出力をデコーダ34に入力し、そのデコード出力によって選択スイッチ35を制御する。この場合、A/Dコンバータ33は1つなので小型化しやすいが、選択スイッチ35の性能によっては、A/Dコンバータ33による量子化がノイズなどの影響を受けてしまう。

本実施形態に係る画像表示装置は、第1の実施形態とは異なる構成の補正データ選択回路6'を備える。なお、本実施形態に係る画像表示装置のその他の構成および動作は、第1の実施形態と同様である。

【0034】

図13に、本実施形態に係る補正データ選択回路6'の回路図を示す。この補正データ選択回路6'は、補正データ読み出しカウンタ5に接続されたセクタ36と、セクタ36に接続された複数のA/Dコンバータ33を備える。この補正データ選択回路6'では、補正データがA/Dコンバータ33によって量子化され、補正データ読み出しカウンタ5の出力によりセクタ36の選択が変更される。こうすることにより、デジタル制御が可能となり、A/Dコンバータ33による量子化はノイズなどの影響を受けにくくなる。

【0035】

このように、本発明によると、画像を表示するまでの時間を減少させ、より高速に画像を表示することができる画像表示装置を提供することができる。

【図面の簡単な説明】

【0036】

【図1】本発明の一実施形態に係る画像表示装置のシステム構成図である。

【図2】本発明の一実施形態に係るドライバA 15の回路を示す図である。

【図3】図1に示した画像表示装置のデータバスの詳細を示す図である。

【図4】本発明の一実施形態に係る画素部の駆動回路図である。

【図5】図4に示した駆動回路の補正動作のタイミングチャートである。

【図6】図4に示した駆動回路の動作を示す図である。

【図7】補正データ読み出しカウンタ5の補正データ読み出し動作を説明する図である。

【図8】本発明の一実施形態に係る補正データ選択回路6の回路図である。

【図9】本発明の一実施形態に係る画像表示装置の動作を示す図である。

【図10】図4に示した駆動回路の表示動作のタイミングチャートである。

【図11】補正データ45と表示データ46とを加算する画素毎の回路図である。

【図12】本発明の一実施形態に係る画像表示装置の動作を示す図である。

【図13】本発明の一実施形態に係る補正データ選択回路6'の回路図である。

【図14】有機EL素子を駆動するTFT素子の閾値電圧の説明図である。

【図15】従来の画像表示装置のシステム構成図である。

【図16】従来の画像表示装置の動作を示す図である。

【図17】従来の画像表示装置の動作を示す図である。

【図18】従来の画像表示装置の動作を示す図である。

【図19】従来の補正データ選択回路の回路図である。

【符号の説明】

【0037】

- 1 画像データ入力バス
- 2 シリアルパラレル変換器
- 3 ドライバA駆動回路
- 4 補正メモリインターフェースバス
- 5 補正データ読み出しカウンタ
- 6、6' 補正データ選択回路
- 7 画素駆動回路
- 8 有機ELパネル
- 9 ドライバA制御信号線
- 10 ドライバB制御信号線

10

20

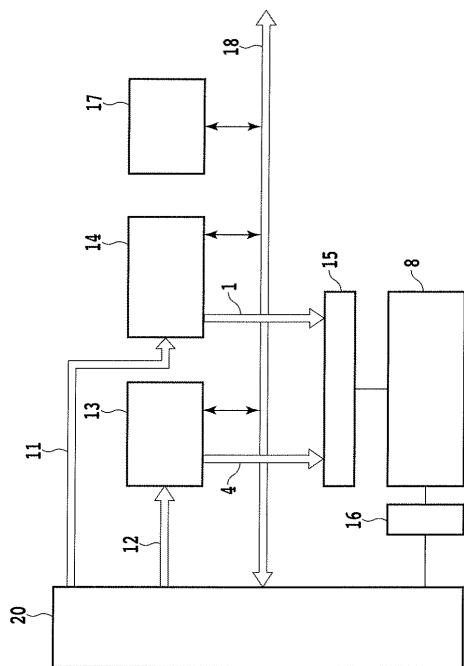
30

40

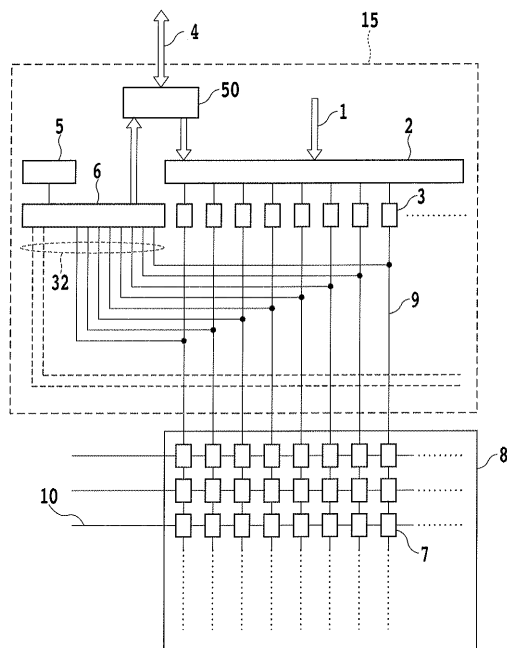
50

1 1	表示メモリアドレスバス	
1 2	補正メモリアドレスバス	
1 3	補正メモリ	
1 4	表示メモリ	
1 5	ドライバ A	
1 6	ドライバ B	
1 7	M P U	
1 8	M P U バス	
1 9	表示アドレスジェネレータ	
2 0	制御部	10
2 1	補正メモリアドレスジェネレータ	
2 2	ドライバ B 制御信号発生部	
2 3	補正メモリ用表示アドレスバッファ	
2 4	補正メモリアドレスバッファ	
2 5	M P U アクセス用アドレスバッファ	
2 6	表示用補正メモリ入出力用データバッファ	
2 7	M P U 用補正メモリ入出力用データバッファ	
2 8	表示メモリ用表示アドレスバッファ	
2 9	表示メモリ用アドレスバッファ	
3 0	表示用表示メモリデータバッファ	20
3 1	M P U 用表示メモリ入出力用データバッファ	
3 2	補正データリードバス	
3 3	A D コンバータ	
3 4	デコーダ	
3 5	選択スイッチ	
3 6	セレクト	
3 7	リファレンス電源	
3 8	D A コンバータ	
3 9	第 1 のスイッチ	
4 0	第 2 のスイッチ	30
4 1	第 1 の画素制御信号	
4 2	第 2 の画素制御信号	
4 3	リファレンス電流	
4 4	駆動トランジスタのゲート - ソース間電圧 V_{gs}	
4 5	補正データ	
4 6	表示データ	
4 7	有機 E L 素子	
4 8	駆動電流 I_{ds}	
4 9	補正データ選択レジスタ	
5 0	補正データバッファ	40
5 1	加算器	
5 2	画素制御信号発生部	

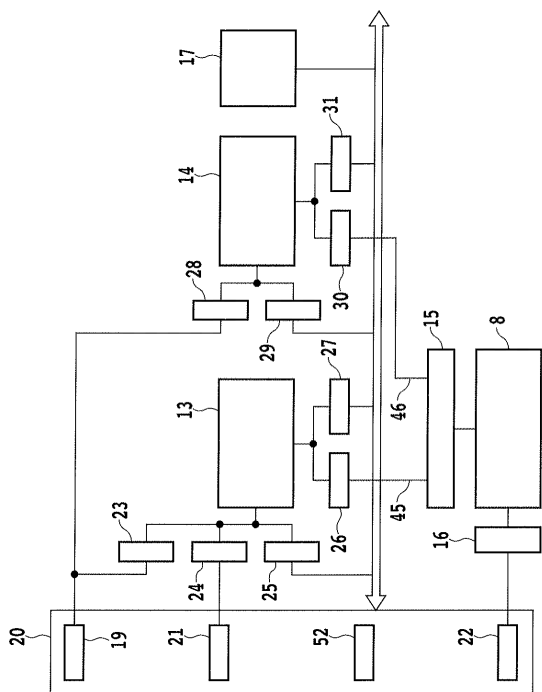
【図 1】



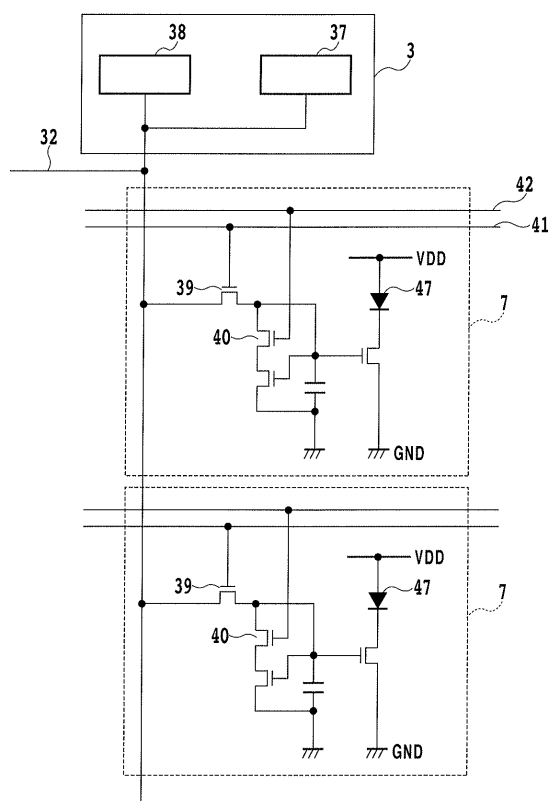
【図 2】



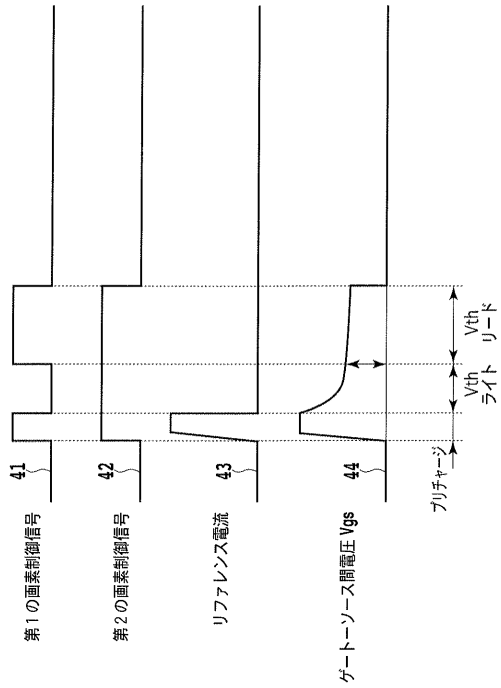
【図 3】



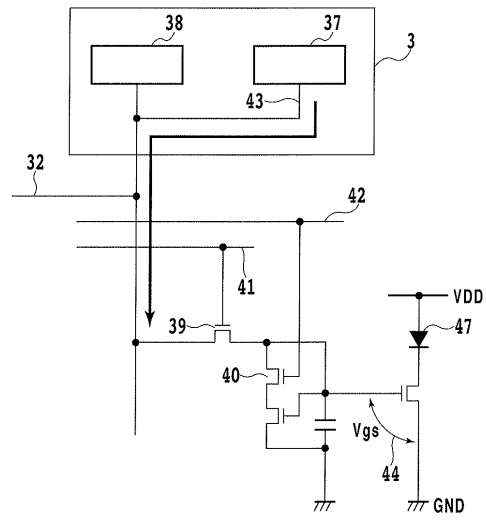
【図 4】



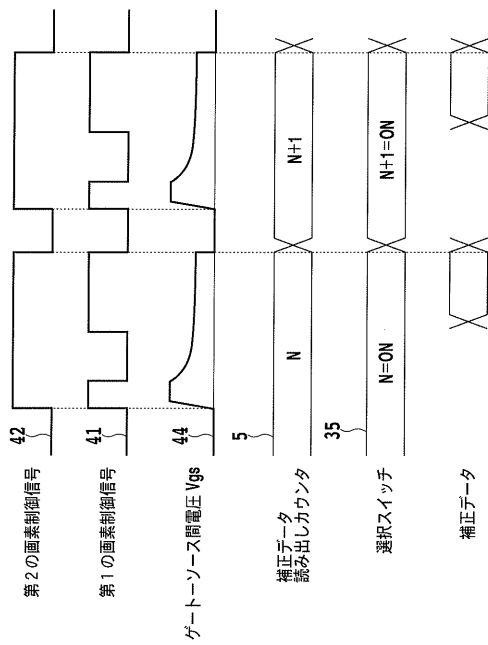
【図 5】



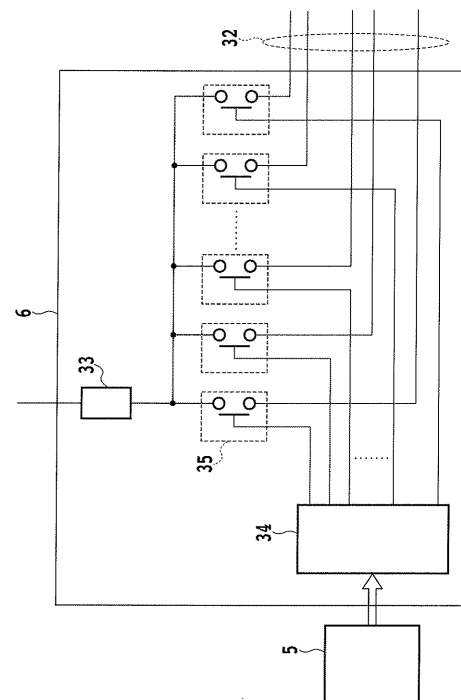
【図 6】



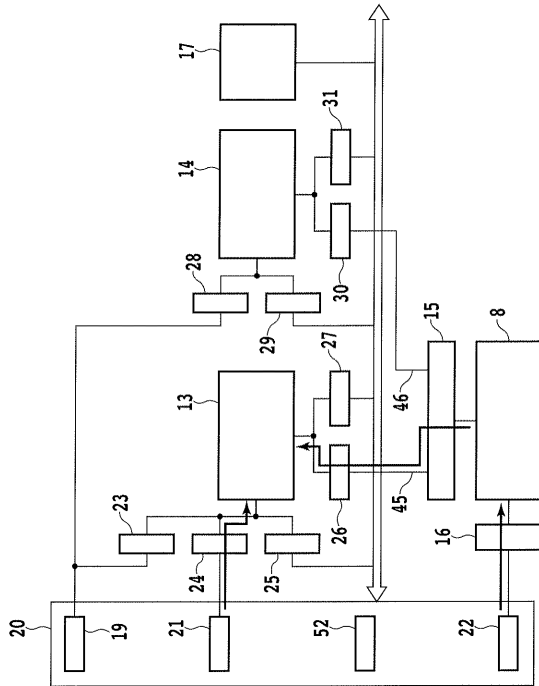
【図 7】



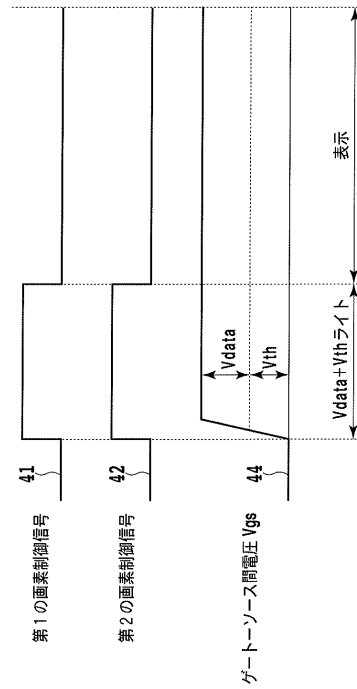
【図 8】



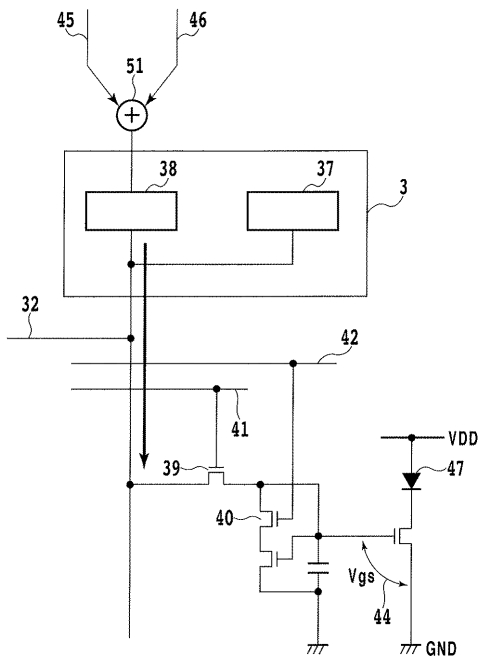
【図 9】



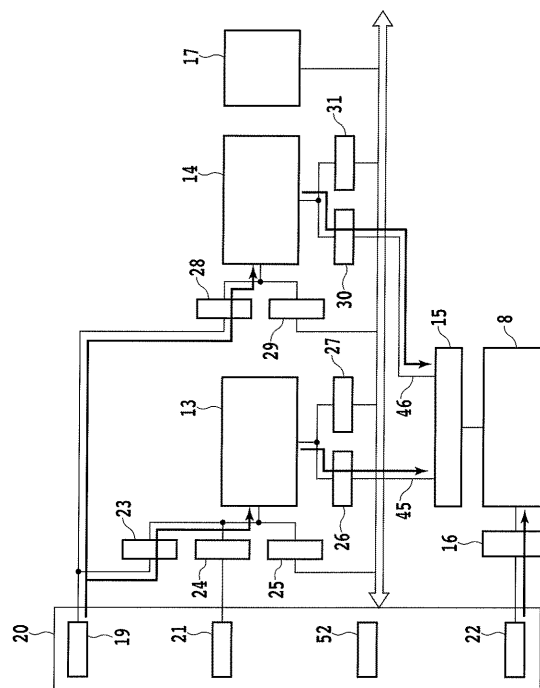
【図 10】



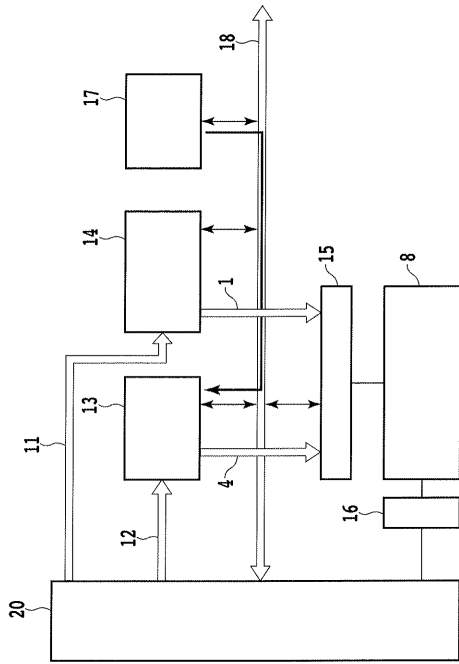
【図 11】



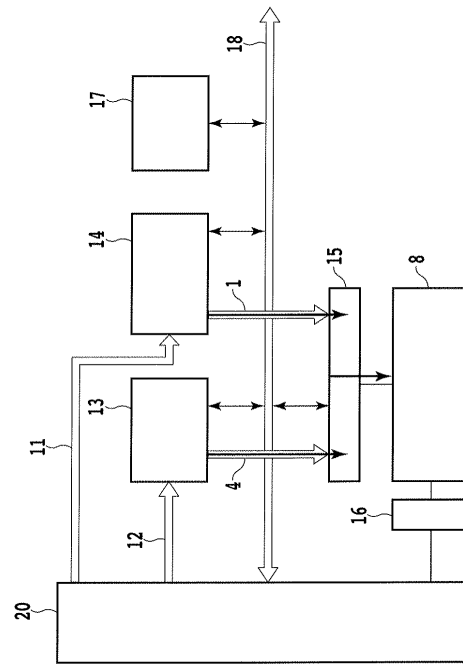
【図 12】



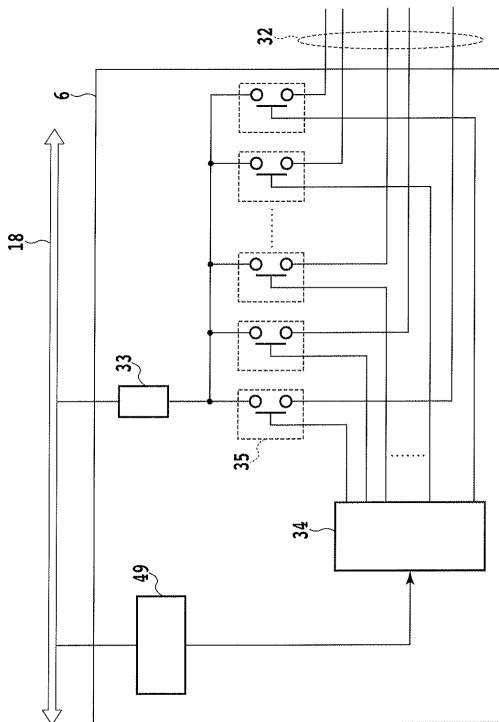
【図 17】



【図 18】



【図 19】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 2 3 R

G 0 9 G 3/20 6 7 0 J

H 0 5 B 33/14 A

专利名称(译)	画像表示装置		
公开(公告)号	JP2009217021A	公开(公告)日	2009-09-24
申请号	JP2008061259	申请日	2008-03-11
[标]申请(专利权)人(译)	富士电机株式会社		
申请(专利权)人(译)	富士电机控股有限公司		
[标]发明人	中谷充良		
发明人	中谷 充良		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2320/0285 G09G2320/043		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.642.P G09G3/20.621.F G09G3/20.641.P G09G3/20.623.R G09G3/20.670.J H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC31 3K107/CC35 3K107/CC42 3K107/EE03 3K107/HH00 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD08 5C080/DD29 5C080/EE29 5C080/FF07 5C080/FF11 5C080/GG15 5C080/GG17 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AB06 5C380/AB09 5C380/AB22 5C380/AC04 5C380/BA08 5C380/BB03 5C380/BB04 5C380/BB05 5C380/BC20 5C380/CA04 5C380/CA05 5C380/CA12 5C380/CA32 5C380/CA51 5C380/CA57 5C380/CB16 5C380/CB31 5C380/CC02 5C380/CC09 5C380/CC26 5C380/CC33 5C380/CC61 5C380/CC63 5C380/CD014 5C380/CE04 5C380/CE15 5C380/CE16 5C380/CF01 5C380/CF02 5C380/CF06 5C380/CF18 5C380/CF22 5C380/CF48 5C380/CF49 5C380/CF51 5C380/CF56 5C380/CF62 5C380/CF64 5C380/DA02 5C380/DA06 5C380/DA32 5C380/DA53 5C380/DA56 5C380/FA02 5C380/FA18 5C380/FA21 5C380/FA28 5C380/GA17		
代理人(译)	谷义 安倍晋三和夫		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种能够通过减少直到显示图像的时间来以更高的速度显示图像的图像显示装置。一种图像显示装置，其具有多个像素驱动电路，每个像素驱动电路包括有机EL元件和用于驱动有机EL元件的驱动元件，并显示通过从驱动元件读取的校正数据校正的图像。校正数据读取单元用于在显示图像之前从驱动元件读取校正数据，以及校正数据写入单元用于将读取的校正数据直接写入校正存储器。DMA功能由校正数据写入装置实现，并且基于从校正存储器读取的校正数据来校正并显示图像。[选择图]图3

