

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-210904  
(P2009-210904A)

(43) 公開日 平成21年9月17日(2009.9.17)

(51) Int. Cl.			F I			テーマコード (参考)		
<b>G09G</b>	<b>3/30</b>	<b>(2006.01)</b>	G09G	3/30	J	3K107		
<b>H05B</b>	<b>33/08</b>	<b>(2006.01)</b>	H05B	33/08		5C080		
<b>G09F</b>	<b>9/30</b>	<b>(2006.01)</b>	G09F	9/30	338	5C094		
<b>H01L</b>	<b>27/32</b>	<b>(2006.01)</b>	G09F	9/30	365Z			
<b>G09G</b>	<b>3/20</b>	<b>(2006.01)</b>	G09G	3/20	623A			

審査請求 未請求 請求項の数 6 O L (全 29 頁) 最終頁に続く

(21) 出願番号 特願2008-55019 (P2008-55019)  
(22) 出願日 平成20年3月5日 (2008.3.5)

(71) 出願人 302020207  
東芝モバイルディスプレイ株式会社  
東京都港区港南4-1-8  
(74) 代理人 100059225  
弁理士 蔦田 璋子  
(74) 代理人 100076314  
弁理士 蔦田 正人  
(74) 代理人 100112612  
弁理士 中村 哲士  
(74) 代理人 100112623  
弁理士 富田 克幸  
(74) 代理人 100124707  
弁理士 夫 世進

最終頁に続く

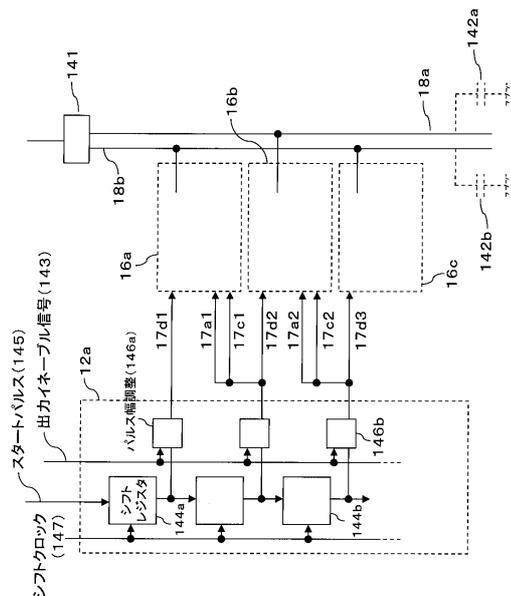
(54) 【発明の名称】 EL表示装置

(57) 【要約】

【課題】駆動用トランジスタの特性バラツキを十分に補正できず、表示ムラが発生するのを防止できるEL表示装置を提供する。

【解決手段】同一列に形成された画素回路において、複数のソース信号線を用意し、隣接画素間では異なるソース信号線から階調電圧を取り込むことで、複数の水平走査期間で階調電圧がソース信号線に保持され、保持された電圧を元に駆動用トランジスタの特性バラツキをキャンセルすることが可能となる。特性ばらつきキャンセル期間が複数の水平走査期間にわたって拡大されることで、十分に補正することが可能となり、表示ムラが改善する。

【選択図】 図14



## 【特許請求の範囲】

## 【請求項 1】

EL素子を有する複数の画素が、縦横にマトリックス状に配置された表示画面を有するEL表示装置において、

縦方向に沿って一列に形成された複数の画素に沿って複数のソース信号線が配線され、前記一列に形成された前記複数の画素のそれぞれは、前記複数のソース信号線の中の1本のソース信号線から映像信号が入力される、

EL表示装置

## 【請求項 2】

前記各画素のそれぞれは、

10

ゲート端子が第1のゲート信号線に接続され、ソース端子が駆動電源の駆動端子と接続され、前記駆動電源からの駆動電流を前記EL素子に供給する駆動用トランジスタと、

ソース端子が映像信号を供給するゲート信号線と接続され、ゲート端子が第2のゲート信号線に接続され、ドレイン端子が前記駆動用トランジスタの前ソース端子に接続されて、前記EL素子に前記映像信号を供給する第1のスイッチ用トランジスタと、

前記EL素子と前記駆動用トランジスタのドレイン端子との間に接続された第2のスイッチ用トランジスタと、

前記第1のスイッチ用トランジスタの前記ドレイン端子と前記電源端子との間に接続された第1のコンデンサと、

前記駆動用トランジスタの前記ゲート端子と前記電源端子との間に接続された第2のコンデンサと、

20

請求項1記載のEL表示装置。

## 【請求項 3】

前記各画素のそれぞれは、

ゲート端子が第1のゲート信号線に接続され、ソース端子が駆動電源の駆動端子と接続され、前記駆動電源からの駆動電流を前記EL素子に供給する駆動用トランジスタと、

ソース端子が映像信号を供給するゲート信号線と接続され、ゲート端子が第2のゲート信号線に接続され、ドレイン端子が前記駆動用トランジスタの前ソース端子に接続されて、前記EL素子に前記映像信号を供給する第1のスイッチ用トランジスタと、

前記EL素子と前記駆動用トランジスタのドレイン端子との間に接続された第2のスイッチ用トランジスタと、

30

前記第1のスイッチ用トランジスタの前記ドレイン端子と前記ゲート端子との間に接続された第1のコンデンサと、

前記駆動用トランジスタの前記ゲート端子と前記電源端子との間に接続された第2のコンデンサと、

請求項1記載のEL表示装置。

## 【請求項 4】

前記各画素のそれぞれは、

ゲート端子が第1のゲート信号線に接続され、ソース端子が駆動電源の駆動端子と接続され、前記駆動電源からの駆動電流を前記EL素子に供給する駆動用トランジスタと、

40

ソース端子が映像信号を供給するゲート信号線と接続され、ゲート端子が第2のゲート信号線に接続され、ドレイン端子が前記駆動用トランジスタの前ソース端子に接続されて、前記EL素子に前記映像信号を供給する第1のスイッチ用トランジスタと、

前記EL素子と前記駆動用トランジスタのドレイン端子との間に接続され、ゲート端子が第3のゲート信号線に接続された第2のスイッチ用トランジスタと、

ソース端子が前記電源端子に接続され、ドレイン端子が前記第1のスイッチ用トランジスタの前記ドレイン端子に接続され、ゲート端子が前記第3のゲート信号線に接続された第3のスイッチ用トランジスタと、

前記第1のスイッチ用トランジスタの前記ドレイン端子と前記第3のスイッチ用トランジスタの前記ゲート端子との間に接続された第1のコンデンサと、

50

前記駆動用トランジスタの前記ゲート端子と前記電源端子との間に接続された第2のコンデンサと、

請求項1記載のEL表示装置。

【請求項5】

前記各画素のそれぞれは、

前記EL素子に電流を供給する駆動用トランジスタと、

前記画素に印加する第1のスイッチ用トランジスタと、

前記EL素子と前記駆動用トランジスタ間に配置された第2のスイッチ用トランジスタと、

前記第1のスイッチ用トランジスタのドレイン端子と前記駆動電源の電源端子に接続された第1のコンデンサと、

前記駆動用トランジスタのゲート端子と前記電源端子に接続された第2のコンデンサと、

が形成され、

前記第1のスイッチ用トランジスタのドレイン端子と前記駆動用トランジスタのソース端子とが接続されている、

請求項1記載のEL表示装置。

【請求項6】

前記第1のスイッチ用トランジスタの前記ゲート端子と前記駆動用トランジスタの前記ゲート端子との間に接続された第3のコンデンサを更に有する、

請求項2または5記載のEL表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機または無機エレクトロルミネッセンス(EL)素子などを用いるEL表示パネル(表示装置)などの自発光表示パネルを用いた、EL表示装置に関するものである。

【背景技術】

【0002】

電気光学変換物質として有機EL材料または無機EL材料を用いたアクティブマトリクス型の画像表示装置は、画素に書き込まれる電流に応じて発光輝度が変化する。EL表示装置は、各画素に発光素子を有する自発光型である。EL表示装置は、液晶表示パネルに比べて画像の視認性が高い、発光効率が高い、バックライトが不要、応答速度が速い等の利点を有する。

【0003】

有機EL(PLED、OLED、OEL)パネルは、アクティブマトリクス方式の開発が行なわれている。この方式は、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子(一般には薄膜トランジスタ、TFT)によって制御するものであり、例えば特許文献1、2が提案されている。

【特許文献1】特開2003-255856

【特許文献2】特開2003-271095

【発明の開示】

【発明が解決しようとする課題】

【0004】

EL表示パネルは、低温または高温ポリシリコンからなるトランジスタアレイを用いてパネルを構成する。しかし、有機EL素子は、ポリシリコントランジスタアレイのトランジスタ特性にバラツキがあると、表示ムラが発生する。

【0005】

すなわち、EL素子に駆動電流を供給する駆動用トランジスタに特性バラツキがあると、変換される電流信号にもバラツキが発生する。通常、トランジスタは50%以上の特性

10

20

30

40

50

バラツキがある。そのために、駆動用トランジスタの特性バラツキが表示ムラとして表示され、画像表示品位を低下させるという問題点があった。

【0006】

そこで本発明は、特性表示ムラのない画像表示を実現できるEL表示装置を提供する。

【課題を解決するための手段】

【0007】

本発明は、EL素子を有する複数の画素が、縦横にマトリクス状に配置された表示画面を有するEL表示装置において、縦方向に沿って一列に形成された複数の画素に沿って複数のソース信号線が配線され、前記一列に形成された前記複数の画素のそれぞれは、前記複数のソース信号線の中の1本のソース信号線から映像信号が入力される、EL表示装置である。

10

【発明の効果】

【0008】

本発明によれば、特性表示ムラのない画像表示を実現できる。

【発明を実施するための最良の形態】

【0009】

以下、本発明の一実施形態のEL表示装置について図面に基づいて説明する。

【0010】

(1)画素の構成

図1は、EL表示装置の画素構成である。また、図3は、画素16がマトリクス状に配置された表示領域31に、ゲートドライバ回路12及びソースドライバ回路14が接続された構成図である。

20

【0011】

図1において、画素16は、2つのコンデンサ19a、19bと5つのスイッチ用トランジスタ11b、11c、11d、11e、11fと1つの駆動用トランジスタ11aで構成される。

【0012】

スイッチ用トランジスタ11bは、トランジスタ11aをダイオード接続(Diode-connected)させて、閾値電圧を補償するための閾値電圧補償トランジスタである。

【0013】

スイッチ用トランジスタ11fは、コンデンサ19aを初期化させるためリセット電圧Vrstを印加するための初期化トランジスタである。

30

【0014】

スイッチ用トランジスタ11dは、EL素子15の発光を制御するためのトランジスタである。

【0015】

スイッチ用トランジスタ11b、11fはオフリークと小さくする必要があるので、ディアルゲート以上の複数ゲート構成にする。

【0016】

コンデンサ19aは、駆動用トランジスタ11aのゲート端子の電位を保持する保持用のコンデンサである。

40

【0017】

コンデンサ19bは、ソース信号線18に印加され、画素16に印加された映像信号を画素16内で保持するものである。

【0018】

スイッチ用トランジスタ11cは、ゲート信号線17aにゲート電極が接続され、ソース信号線18にソース電極が接続され、ゲートドライバ回路12aからの選択信号によりオン/オフ制御される。

【0019】

駆動用トランジスタ11aは、トランジスタ11cのドレイン電極にソース電極が接続

50

される。閾値電圧補償トランジスタ 11b のソースまたはドレイン電極と、コンデンサ 19a の第 1 の端子が共通接続され、駆動用トランジスタ 11a のゲート電圧が決定される。したがって、駆動用トランジスタ 11a は、ゲート電極に印加された電圧に相当する駆動電流を生成する。

【0020】

閾値電圧補償トランジスタ 11b は、駆動用トランジスタ 11a のゲート電極とソース電極との間に接続され、ゲート信号線 17c に印加されるスキャン信号にตอบสนองして駆動用トランジスタ 11a をダイオード接続させる。したがって、スキャン信号によって駆動用トランジスタ 11a は、ダイオードのような状態になり、駆動用トランジスタ 11a のゲート端子に電圧  $V_{data} - V_{th}$  [V] が印加され、これは、駆動用トランジスタ 11a のゲート電圧となる。なお、電圧  $V_{data}$  は、ソースドライバ回路 14 がソース信号線 18 に出力された映像信号である。また、 $V_{th}$  では、駆動用トランジスタ 11a に閾値電圧である。

10

【0021】

初期化トランジスタであるスイッチ用初期化トランジスタ 11f は、リセット電圧ライン  $V_{rst}$  とコンデンサ 19a の第 1 の端子との間に接続され、ゲート信号線 17d のスキャン信号にตอบสนองして、コンデンサ 19a に充填された電荷はリセット電圧ライン  $V_{rst}$  を介して放電させることによって、コンデンサ 19a を初期化させる。

【0022】

スイッチ用トランジスタ 11e は、第 1 の電源電圧ライン  $V_{dd}$  と駆動用トランジスタ 11a のソース電極との間に接続され、ゲート電極に接続したゲート信号線 17b を介して伝達される発光制御信号によりオンとなり、第 1 の電源電圧  $V_{dd}$  を駆動用トランジスタ 11a のソース電極に印加する。

20

【0023】

スイッチ用トランジスタ 11d は、駆動用トランジスタ 11a と EL 素子 15 との間に接続され、ゲート電極に接続したゲート信号線 17b を介して伝達される発光制御信号にตอบสนองして駆動用トランジスタ 11a で生成される駆動電流を EL 素子 15 に伝達する。

【0024】

コンデンサ 19a は、第 1 の電源電圧ライン  $V_{dd}$  と駆動用トランジスタ 11a のゲート電極との間に接続され、第 1 の電源電圧  $V_{dd}$  と駆動用トランジスタ 11a のゲート電極に印加される電圧  $V_{data} - V_{th}$  [V] の電圧差に該当する電荷を 1 フレームの間に維持する。

30

【0025】

(2) ゲート信号線

ゲート信号線 17 に印加される電圧は、オフ電圧 ( $V_{GH}$ ) とオン電圧 ( $V_{GL}$ ) であり、 $V_{GH}$  電圧の印加により、スイッチ用トランジスタ 11b、11c、11d、11e、11f がオフし、 $V_{GL}$  電圧の印加により、スイッチ用トランジスタ 11b、11c、11d、11e、11f がオンする。但し、図 3 に示すように、 $V_{GH}$  電圧は、ゲートドライバ回路 12a とゲートドライバ回路 12b で共通であれば、 $V_{GL}$  電圧は、ゲートドライバ回路 12a では、 $V_{GL1}$  とし、ゲートドライバ回路 12b では、 $V_{GL2}$  として

40

【0026】

したがって、ゲート信号線 17a、ゲート信号線 17c に印加されるオン電圧は  $V_{GL1}$  であり、ゲート信号線 17b、ゲート信号線 17d に印加されるオン電圧は  $V_{GL2}$  である。また、 $V_{GL1} > V_{GL2}$  なる関係となるように設定されている。なお、ゲート信号線 17a に印加される  $V_{GH}$  とゲート信号線 17d に印加される  $V_{GH}$  とを異ならせてもよい。

【0027】

(3) PチャンネルとNチャンネルのトランジスタ

本実施形態において、駆動用トランジスタ 11a は Pチャンネルトランジスタであるが

50

これに限定するものでなく、Nチャンネルトランジスタであってもよい。

【0028】

この場合は、オン電圧が $V_{GH}$ となり、オフ電圧が $V_{GL}$ となる。また、また、駆動用トランジスタ11aのソース端子はアノード電圧 $V_{dd}$ と接続されているとして説明するが、これに限定するものではない。例えば、カソード電圧 $V_{ss}$ またはグランド電圧 $GND$ に接続されていてもよい。また、コンデンサ18は、トランジスタ11のゲート絶縁膜容量によるコンデンサで代用してもよい。

【0029】

(4) ゲートドライバ回路

ゲートドライバ回路12aには、ゲート信号線17aを選択するスタートパルス $ST1$ 、ゲート信号線17cを選択するスタートパルス $ST2$ 、スタートパルスを順次シフトするクロック信号( $CLK$ )が印加される。UDは、ゲートドライバ回路12a内のスタートパルスの上下シフトレジスタ方向を切り替える信号である。

【0030】

ゲートドライバ回路12bには、ゲート信号線17bを選択するスタートパルス $ST3$ 、ゲート信号線17dを選択するスタートパルス $ST4$ 、スタートパルスを順次シフトするクロック信号( $CLK$ )が印加される。

【0031】

なお、必要に応じて、ゲートドライバ回路12には、イネーブル制御端子を付加することが好ましい。ゲートドライバ回路12内には、シフトレジスタ回路が形成されており、スタートパルスをクロック信号( $CLK$ )に同期して順次シフトさせ、選択するゲート信号線17の位置を変化させる。

【0032】

(5) ゲート信号線に印加される信号

図2は、ゲート信号線17a、17b、17c、17dに印加される駆動電圧、ソース信号線18の映像信号電圧、EL素子15の発光状態を示す。

【0033】

なお、図2では、説明を容易にするため、オフ電圧を $V_{GH}$ とし、オン電圧を $V_{GL}$ とする。また、ソース信号線18に印加される電圧 $V_{data}$ は、グランド電圧( $GND$ ) = 0Vとし、アノード電圧 $V_{dd}$ 以下としている。

【0034】

また、1Hとは1水平走査期間である。図2は模式的なものであり、1Hが数Hとしてもよく、1Hは1Hより短い期間としてもよい。 $V_{GH}$ 電圧は、 $V_{dd}$ 電圧よりも0.5V以上3.0V以下の電圧に設定される。

【0035】

画素16には、1tからatの期間に、ゲート信号線17dにオン電圧が印加される。オン電圧( $V_{GL}$ )の印加により、トランジスタ11fがオンし、リセット電圧 $V_{rst}$ が駆動用トランジスタ11aのゲート端子にリセット電圧 $V_{rst}$ が印加される(a点)。

【0036】

リセット電圧 $V_{rst}$ の印加により、駆動用トランジスタ11aは、リセット状態になる。なお、リセット電圧 $V_{rst}$ は、 $GND$ 電圧以下-5(V)以上の電圧に設定すべきである。また、リセット電圧 $V_{rst}$ は、映像信号電圧 $V_{data}$ に対応して変化させてもよい。例えば、映像信号の階調番号に対応させてリセット電圧 $V_{rst}$ を変化させる。また、リセット電圧 $V_{rst}$ は、赤(R)、緑(G)、青(B)の映像信号電圧で変化させてもよい。RGBで映像信号の振幅が異なるからである。この場合は、階調番号に対応せず、各RGBで固定のリセット電圧 $V_{rst}$ を設定してもよい。また、リセット電圧 $V_{rst}$ は、表示画面で消費される電流に対応させて変化させてもよい。

【0037】

ゲート信号線17cは、リセット電圧 $V_{rst}$ の印加後(at)、オン電圧が印加され

10

20

30

40

50

る。オン電圧 (VGL) を印加する期間は、1 H 以上としているが、これに限定するものではなく、1 H 以下の期間であってもよい。少なくともゲート信号線 17c にオン電圧 (VGL) を印加する期間は、ゲート信号線 17a にオン電圧 (VGL) を印加する期間よりも長くする。また、オーバーラップさせる。なお、リセット電圧  $V_{rst}$  の印加時間は、 $2 \mu s e c$  以上に時間を確保することが好ましい。

【0038】

ゲート信号線 17a オン電圧 (VGL) を印加することにより、スイッチ用トランジスタ 11c がオンし、ソース信号線 18 に印加した  $V_{data}$  がコンデンサ 19b 印加される。a 点に印加されて映像信号  $V_{data}$  は、スイッチ用トランジスタ 11b がオンしている期間保持される。

10

【0039】

なお、図 2 に図示するゲート信号線 17a の斜線部は、オン電圧 (VGL) を印加してもオフ電圧 (VGH) を印加してもよい。

【0040】

スイッチ用トランジスタ 11c、スイッチ用トランジスタ 11 がオンすることにより、ソース信号線 18 から、駆動用トランジスタの及びトランジスタ 11b のチャンネル間のパスが発生し、コンデンサ 11a に電荷が充電される。 $V_{data}$  の印加により、駆動用トランジスタ 11a は、 $V_{data}$  に対応する電流を流すように、ゲート端子 b 点の電位を変化させ、変化後の電圧が、コンデンサ 19a に保持される。この動作により、駆動用トランジスタ 11a のオフセットがキャンセルされる。コンデンサ 19b の電位は 1 フレームの期間保持される。

20

【0041】

以上のオフセットキャンセルの動作後、ゲート信号線 17b にオン電圧が印加され、スイッチ用トランジスタ 11e がオンし、 $V_{dd}$  電圧が駆動用トランジスタ 11a のソース端子に供給される。また、スイッチ用トランジスタ 11d がオンし、駆動用トランジスタ 11a から EL 素子 15 の駆動用電流が EL 素子 15 に供給される。EL 素子 15 は、印加された電流により発光する。

【0042】

ゲート信号線 17b には、オン電圧またはオフ電圧が印加され、オン/オフ電圧に同期して EL 素子 15 に電流が供給される。このオン/オフ電圧の印加状態に同期して EL 素子は発光または消灯する。

30

【0043】

EL 素子 15 が発光または消灯している動作時 (電圧プログラム時以外の期間、3t ~ の期間) では、トランジスタ 11b はオープン状態である。この時、トランジスタ 11a のソース端子は、EL 素子 15 が発光しているときは、アノード電圧  $V_{dd}$  (トランジスタ 11e のチャンネル電圧降下は無視する) が印加されている。EL 素子 15 が消灯時は、トランジスタ 11e 及びトランジスタ 11d をオープン状態にされる。この EL 素子 15 が消灯時は、駆動用トランジスタ 11a のソース端子は、コンデンサ 19b によりほぼ、アノード電位  $V_{dd}$  に保持されている。したがって、トランジスタ 11a の電位安定度がよい。

40

【0044】

EL 素子 15 の点灯及び消灯は、トランジスタ 11d を  $d u t y$  制御 (トランジスタ 11d などをオン/オフさせて、表示画面 31 に帯状の非表示領域を発生し、前記非表示領域を画面 31 の上下方向に、フレーム周期に同期して画像表示させる) してもよい。

【0045】

(6) 画素の変更例 1

図 10 は、図 1 の画素の変更例 1 である。

【0046】

コンデンサ 19b の一端子は、ゲート信号線 17a に接続されている。ゲート信号線 17a には、オン電圧 (VGL) またはオフ電圧 (VGH) が印加されるが、映像信号電圧

50

を画素 16 に書き込んだ後（電圧プログラム時以降）以外の期間は、オフ電圧（VGH）が印加されている。したがって、コンデンサ 19b は一定の電荷を保持して安定である。

【0047】

（7）画素の変更例 2

図 11 は、図 1 の画素の変更例 2 である。

【0048】

コンデンサ 19b の一端子は、ゲート信号線 17b に接続されている。ゲート信号線 17b には、オン電圧（VGL）またはオフ電圧（VGH）が印加される。しかし、映像信号電圧を画素 16 に書き込み時（電圧プログラム時）の期間は、オフ電圧（VGH）が印加される。したがって、コンデンサ 19b は一定の電荷を保持して安定状態を維持されている。

10

【0049】

なお、図 11 において、コンデンサ 19b の一端子は、ゲート信号線 17b と接続するとしたが、これに限定するものではなく、ゲート信号線 17d と接続してもよい。ゲート信号線 17d には、リセット電圧  $V_{rst}$  を印加するときだけ、オン電圧（VGL）が印加される。しかし、他の期間には、オフ電圧（VGH）が印加される。オフ電圧（VGH）が印加される。したがって、コンデンサ 19b は一定の電荷を保持して安定状態を維持されている。

【0050】

（8）画素の変更例 3

図 4 は、図 1 の画素の変更例である。

【0051】

図 1 と図 4 の差異は、コンデンサ 11c が追加形成された点である。コンデンサ 11c は、ゲート信号線 17a に印加された電圧の変化（VGL → VGL）により、突き抜け電圧が発生しより良好な黒表示（高コントラスト表示）を実現することを 1 つの目的とする。VGL → VGH の動作とは、画素 16 に映像信号を書き込み保持させる動作である。つまり、スイッチ用トランジスタ 11c の制御動作である。

20

【0052】

前記コンデンサ 19c は、第 1 の電極が現在ゲート信号線 17a 及びトランジスタ 11c のゲート端子に共通接続され、第 2 の電極が前記コンデンサ 19a 及び駆動用トランジスタ 11a のゲート端子に共通接続されている。

30

【0053】

なお、駆動用トランジスタ 11a が N チャンネルトランジスタの場合は、ゲート信号線 17a に印加する電圧（映像信号を画素に書き込み、保持させる動作時に使用する電圧）を VGL → VGH となるように画素 16 を構成する。

【0054】

すなわち、補助コンデンサ 19b は、スキャン期間から発光期間に変化しながら、駆動用トランジスタ 11a のゲート電圧（b 点）をブースト（boost）させる役目をする。

【0055】

ゲート信号線に印加するオフ電圧を VGH、オン電圧を VGL とすると、ゲート信号線 17a に印加する電圧を、VGL から VGH に変化させると、駆動用トランジスタ 11a のゲート電圧は、前記コンデンサ 19a と補助コンデンサ 19b のカップリングによる補正電圧だけ上昇するようになる。したがって、駆動用トランジスタ 11a のゲート端子の電圧が、Vdd 電圧側にシフトし、良好な黒表示を実現できる。

40

【0056】

（9）画素の変更例 4

次に、画素の変更例 4 について図 5 と図 6 に基づいて説明する。

【0057】

（9-1）画素の構成

図 5 において、画素 16 は、2 つのコンデンサ 19a、19b と 5 つのスイッチ用トラ

50

ンジスタ 11b、11c、11d、11e、11f と 1 つの駆動用トランジスタ 11a で構成される。

【0058】

スイッチ用トランジスタ 11b は、駆動用トランジスタ 11a をダイオード接続 (Diode-connected) させて、閾値電圧を補償するための閾値電圧補償トランジスタである。

【0059】

スイッチ用トランジスタ 11f は、コンデンサ 19a を初期化させるためリセット電圧  $V_{rst}$  を印加するための初期化トランジスタである。

【0060】

スイッチ用トランジスタ 11d は、EL 素子 15 の発光を制御するためのトランジスタである。

10

【0061】

スイッチ用トランジスタ 11b、11f はオフリークと小さくする必要があるので、ディアルゲート以上の複数ゲート構成にする。

【0062】

スイッチ用トランジスタ 11c は、ゲート信号線 17a にゲート電極が接続され、ソース信号線 18 にソース電極が接続され、ゲートドライバ回路 12a からの選択信号によりオン/オフ制御される。

【0063】

駆動用トランジスタ 11a は、トランジスタ 11c のドレイン電極にソース電極が接続される。閾値電圧補償トランジスタ 11b のソースまたはドレイン電極とコンデンサ 19a の第 1 の端子が共通接続され、駆動用トランジスタ 11a のゲート電圧が決定される。したがって、駆動用トランジスタ 11a は、ゲート電極に印加された電圧に相当する駆動電流を生成する。

20

【0064】

閾値電圧補償トランジスタであるスイッチ用トランジスタ 11b は、駆動用トランジスタ 11a のゲート電極とソース電極との間に接続され、ゲート信号線に印加されるスキャン信号に応答して駆動用トランジスタ 11a をダイオード接続させる。したがって、スキャン信号によって駆動用トランジスタ 11a は、ダイオードのような状態になり、駆動用トランジスタ 11a のゲート端子に電圧  $V_{data} - V_{th} [V]$  が印加され、これは、前記駆動用トランジスタ 11a のゲート電圧となる。

30

【0065】

初期化トランジスタであるスイッチ用トランジスタ 11f は、リセット電圧ライン  $V_{rst}$  とコンデンサ 19a の第 1 の端子との間に接続され、ゲート電極に接続した  $n - 1$  番目ゲート信号線 17a のスキャン信号に応答して、先行フレームのとき前記コンデンサ 19a に充填された電荷は前記リセット電圧ライン  $V_{rst}$  を介して放電させることによって、コンデンサ 19a を初期化させる。

【0066】

スイッチ用トランジスタ 11e は、第 1 の電源電圧ライン  $V_{dd}$  と駆動用トランジスタ 11a のソース電極との間に接続され、ゲート電極に接続したゲート信号線 17b を介して伝達される発光制御信号によりオンとなり、第 1 の電源電圧  $V_{dd}$  を前記駆動用トランジスタ 11a のソース電極に印加する。

40

【0067】

スイッチ用トランジスタ 11d は、駆動用トランジスタ 11a と EL 素子 15 との間に接続され、ゲート電極に接続した前記ゲート信号線 17b を介して伝達される発光制御信号に応答して駆動用トランジスタ 11a で生成される前記駆動電流を前記 EL 素子 15 に伝達する。

【0068】

コンデンサ 19a は、第 1 の電源電圧ライン  $V_{dd}$  と駆動用トランジスタ 11a のゲート電極との間に接続され、第 1 の電源電圧  $V_{dd}$  と前記駆動用トランジスタ 11a のゲ

50

ト電極に印加される電圧  $V_{data} - V_{th} [V]$  の電圧差に該当する電荷を 1 フレームの間に維持する。

【0069】

補助コンデンサ 19 b は、第 1 の電極が現在ゲート信号線 17 a 及びトランジスタ 11 b のゲート端子に共通接続され、第 2 の電極が前記コンデンサ 19 a 及び駆動用トランジスタ 11 a のゲート端子に共通接続されている。

【0070】

(9-2) ゲート信号線

ゲート信号線 17 a からゲート信号線 17 a 1 とゲート信号線 17 a 2 が分岐されており、ゲート信号線 17 a 1 には、インバータ回路 51 が配置されている。したがって、ゲート信号線 17 a 1 とゲート信号線 17 a 2 には、VGH と VGL が反転して電圧が印加される。

【0071】

(9-3) ソース信号線

ソース信号線 18 a とソース信号線 18 b を有しており、上下方向に隣接した画素 16 (16 a、16 b) は異なるソース信号線 18 に接続されている。本実施形態では、画素 16 b はソース信号線 18 b に接続されており、画素 16 a はソース信号線 18 a と接続されている。

【0072】

図 6 は、図 5 の画素構成において、ゲート信号線 17 及びソース信号線 18 との接続状態を示している。図 5、図 6 のように構成することにより、リセット電圧  $V_{rst}$  を印加するためのスイッチ用トランジスタ 11 f を制御するゲート信号線と、映像信号を印加するためのスイッチ用トランジスタ 11 c を制御するゲート信号線とを共通にすることができる。そのため、ゲート信号線 17 の数を削減でき、画素 16 の開口率を向上できる。

【0073】

また、複数画素行を同時にオフセットキャンセル状態にすることができ、良好なオフセットキャンセルを実現できる。

【0074】

(10) duty 駆動

本実施形態において、スイッチ用トランジスタ 11 e、11 d の少なくとも一方をオン/オフ制御することにより、図 12 (b) に図示するような duty 駆動を実現できる。

【0075】

図 12 において、121 はプログラム画素行 (映像信号を書き込んでいる画素行) であり、123 は非表示領域 (トランジスタ 11 e とトランジスタ 11 d のうち、少なくとも一方をオフさせることにより、非表示 (EL 素子 15 に電流が流れていない、または流れても小さい状態) とした画素行または画素行の群) である。122 は表示領域 (トランジスタ 11 e とトランジスタ 11 d の両方をオンさせ、EL 素子 15 に電流が供給されている画素行または画素行の群) である。非表示領域 123 及び表示領域 122 はフレーム周期または水平同期信号に同期して、表示画面 31 の上下方向に走査される。

【0076】

(10-1) 問題点

図 13 (a) の表示では、1つの表示領域 122 が画面の上から下方向に移動する。フレームレートが低いと、表示領域 122 が移動するのが視覚的に認識される。特に、まぶたを閉じた時、または顔を上下に移動させた時などに認識されやすくなる。

【0077】

(10-2) 解決手段

この問題点に対しては、図 12 (b) (c) に示すように、表示領域 122 を複数に分割するとよい。分割された表示領域 122 は等しく (等分に) する必要はない。例えば、表示領域を 4 つの領域に分割し、分割された表示領域 122 a が面積 1 で、分割された表示領域 122 b が面積 2 で、分割された表示領域 122 c が面積 1 で、分割された表示領

10

20

30

40

50

域 1 2 2 d が面積 4 でもよい。

【 0 0 7 8 】

数フレーム（フィールド）での表示領域 1 2 2 の面積が平均して目標の大きさになるように制御してもよいことは言うまでもない。例えば、表示画面 3 1 に占める表示領域 1 2 2 の面積を  $1/10$  にするとした時、1 フレーム（フィールド）目は表示領域 1 2 2 の面積を  $1/10$  とし、2 フレーム（フィールド）目は表示領域 1 2 2 の面積を  $1/20$  とし、3 フレーム（フィールド）目は表示領域 1 2 2 の面積を  $1/20$  とし、4 フレーム（フィールド）目は表示領域 1 2 2 の面積を  $1/5$  とし、以上の 4 フレーム（フィールド）で所定の表示面積（表示輝度）の  $1/10$  を得る駆動方法が例示される。

【 0 0 7 9 】

また、R、G、B のそれぞれが、数フレーム（フィールド）で L の期間の平均が等しくなるように駆動してもよい。しかし、前記数フレーム（フィールド）は 4 フレーム（フィールド）以下にすることが好ましい。表示画像によってはフリッカが発生する場合があるからである。

【 0 0 8 0 】

なお、本実施形態での 1 フレームまたは 1 フィールドとは、画素 1 6 の画像書き換え周期または表示画面 3 1 が上から下まで（下から上まで）走査される周期と同じである。

【 0 0 8 1 】

また、R、G、B で、数フレーム（フィールド）で L の期間の平均を異ならせ、適度なホワイトバランスがとれるように駆動してもよい。この駆動方法は、R G B の発光効率が異なるときに特に有効である。また、R G B で分割数 K（表示領域 1 2 2 を複数に分割する数）を異ならせても良い。特に G では視覚的にめだつため、G では分割数を R B に対して多くすることが有効である。

【 0 0 8 2 】

なお、以上の実施形態では理解を容易にするために表示領域 1 2 2 の面積を分割して説明している。しかし、面積を分割するとは、期間（時間）を分割することである。したがって、図 1 ではトランジスタ 1 1 d のオン期間を分割することになるから、面積を分割することは、期間（時間）を分割することと同じである。

【 0 0 8 3 】

（ 1 0 - 3 ）効果

以上のように、表示領域 1 2 2 を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。しかし、分割するほど動画表示性能は低下する。また、画像表示のフレームレートを低減することができ、低消費電力化を実現できる。例えば、非点灯領域 1 2 3 を一括にした場合は、フレームレート 4 5 Hz 以下になるとフリッカが発生する。しかし、非点灯領域 1 2 3 を 6 分割以上とした場合は、2 0 Hz 以下までフリッカが発生しない。

【 0 0 8 4 】

（ 1 1 ）明るさ調整方式

図 1 3（a）は図 1 3 のように表示領域 1 2 2 が連続している場合の明るさ調整方式である。図 1 3（a 1）の表示画面 3 1 の表示輝度が最も明るい。図 1 3（a 2）の表示画面 3 1 の表示輝度が次に明るく、図 1 3（a 3）の表示画面 3 1 の表示輝度が最も暗い。図 1 3（a 1）から図 1 3（a 3）への変化（またはその逆）は、先にも記載したようにゲートドライバ回路 1 2 のシフトレジスタ回路 6 1 などの制御により、容易に実現できる。この際、図 1 の V d d 電圧（アノード電圧など）は変化させる必要がない。また、ソースドライバ回路 1 4 が出力するプログラム電流またはプログラム電圧の大きさも変化させる必要がない。つまり、電源電圧を変化させず、また、映像信号を変化させずに表示画面 3 1 の輝度変化を実施できる。

【 0 0 8 5 】

10

20

30

40

50

また、図13(a1)から図13(a3)への変化の際、画面のガンマ特性は全く変化しない。したがって、表示画面31の輝度によらず、表示画像のコントラスト、階調特性が維持される。これは本実施形態の効果である。

【0086】

従来の画面の輝度調整では、表示画面31の輝度が低い時は、階調性能が低下する。つまり、高輝度表示の時は64階調表示を実現できても、低輝度表示の時は、半分以下の階調数しか表示できない。これに比較して、本実施形態の駆動方法では、画面の表示輝度に依存せず、最高の64階調表示を実現できる。

【0087】

図13(b)は、図12で説明したように表示領域122が分散している場合の明るさ調整方式である。図13(b1)の表示画面31の表示輝度が最も明るい。図13(b2)の表示画面31の表示輝度が次に明るく、図13(b3)の表示画面31の表示輝度が最も暗い。図13(b1)から図13(b3)への変化(またはその逆)は、先にも記載したようにゲートドライバ回路12のシフトレジスタ回路61などの制御により、容易に実現できる。図13(b)のように表示領域122を分散させれば、低フレームレートでもフリッカが発生しない。

10

【0088】

さらに、低フレームレートでも、フリッカが発生しないようにするには、図13(c)のように表示領域122を細かく分散させればよい。しかし、動画の表示性能は低下する。したがって、動画を表示するには、図13(a)の駆動方法が適している。静止画を表示し、低消費電力化を要望する時は、図13(c)の駆動方法が適している。図13(a)から図13(c)の駆動方法の切り替えも、シフトレジスタ61の制御により容易に実現できる。

20

【0089】

図13は非表示領域123が等間隔で構成されているが、これに限定するものではない。表示画面31の1/2の面積が連続して表示領域122をし、残りの面積50が図13(c1)のように等間隔に表示領域122と非表示領域123が繰り返すように駆動してもよいことは言うまでもない。

【0090】

(12)表示機器

次に、本実施形態の駆動方式を実施するEL表示装置を表示ディスプレイとして用いた本実施形態の表示機器について説明をする。

30

【0091】

(12-1)第1の適用例

図7はEL表示装置の一例である情報端末装置の携帯電話の平面図である。筐体73にアンテナ71などが取り付けられている。72aは、表示画面の明るさを変化させる切換キー、72bは電源オン/オフキー、72cがゲートドライバ回路12bの動作フレームレートを切り替えるキーである。75はホトセンサである。ホトセンサ75は、外光の強弱にしたがって、duty比などを変化させて、表示画面22の輝度を自動調整する。

【0092】

(12-2)第2の適用例

図8はビデオカメラの斜視図である。ビデオカメラは撮影(撮像)レンズ部83とビデオカメラ本体73と具備している。本実施形態のEL表示パネルは表示モニター74としても使用されている。表示画面22は支点81で角度を自由に調整できる。表示画面22を使用しない時は、格納部83に格納される。

40

【0093】

(12-3)第3の適用例

本実施形態のEL表示パネルまたはEL表示装置などはビデオカメラだけでなく、図9に示すような電子カメラにも適用することができる。本実施形態のEL表示装置はカメラ本体91に付属されたモニター22として用いる。カメラ本体91にはシャッター93の他

50

、スイッチ 72 a、72 c が取り付けられている。

【0094】

(13) 回路の構成

図 14 は、本実施形態における EL 表示パネルの 1 列分の回路を示したものである。ここでソース信号線 18 は切り替え手段 141 を介して、1 列に対して 2 本のソース信号線 18 a と 18 b が存在し、偶数行と奇数行の画素で接続されるソース信号線が異なる構成となっていることが特徴である。

【0095】

各画素 16 の構成は例えば図 1、図 4、図 10、図 25 といった回路で構成されている。ゲートドライバ回路 12 a は、シフトレジスタ構成となっており、クロック毎にパルスが 1 段ずつシフトされる。ゲート信号線 17 に対する接続を、図 14 のように行うことで、図 15 に示すような信号波形を実現することができる。

【0096】

シフトクロックの周期を 1 水平走査期間に設定し、1 水平走査期間のみパルスが出力されるようなスタートパルスが入力される。これで各行 1 水平走査期間ずつずれたタイミングで 1 水平走査期間の間パルスが発生する回路が実現できる。シフトレジスタの各段出力を図 14 のようにゲート信号線 17 に取り込み、切り替え手段 141 を図 15 に示すように動作させることで、始めの 1 水平走査期間では、1 行目の画素 16 a の駆動用トランジスタ 11 a のゲート電圧を  $V_{rst}$  電源により、初期化する。同時にソース信号線から所定の階調に対応する 1 行目の画素に対応する信号電圧が切り替え手段 141 を介してソース信号線 18 b に充電される。ソース信号線 18 a には充電されない。切り替え手段 141 でソースドライバ回路出力から切り離されている。次の 1 水平走査期間においては切り替え手段 141 を動作させ、ソース信号線 18 a を充電するようにする。このときソース信号線 18 b は、ソースドライバ回路出力から切り離されているために、ソース信号線の浮遊容量 142 b により 1 行目の画素に対応する信号電圧が充電されたままである。そこで、ゲート信号線 17 a 及びゲート信号線 17 c を走査し、画素 16 a のトランジスタ 11 c、11 b を導通状態とし、画素の駆動用トランジスタ 11 a に階調信号の書き込みと、特性バラツキのキャンセル動作を実施する。同時に 2 行目の画素に対応して、画素 16 b に対応する階調信号電圧がソース信号線 18 a に充電され、駆動用トランジスタ 11 a のゲート電極が  $V_{rst}$  電源により初期化される。

【0097】

ソース信号線 18 a とソース信号線 18 b を水平走査期間毎に切り替えて利用することで、ソース信号線に印加させる階調信号が 2 水平走査期間保持されるため、画素回路 16 に信号を書き込む時間を長くすることができるようになる。

【0098】

図 1 などの画素回路の構成では、駆動用トランジスタ 11 a に階調信号を書き込みながら、特性バラツキをキャンセルする動作を行う。特性バラツキをキャンセルする動作は、トランジスタ 11 f、11 d、11 e がオフでトランジスタ 11 b がオン状態のときに行われ、駆動用トランジスタ 11 a のドレイン電流が 0 になるように、駆動用トランジスタ 11 a のゲート電位が変化することで、特性バラツキのキャンセルを行っている。駆動用トランジスタ 11 a のゲート電位を変化させているのは、ドレイン電流による電荷であり、最終状態が 0 もしくは限りなく小さい電流（ピコアンペアオーダー）であることから、ゲート電位を支えている蓄積容量 19 a の電荷の充放電に時間がかかる。そのため、キャンセル動作には時間がかかることがわかる。1 水平走査期間が長い場合には、1 水平走査期間内にキャンセル動作を完了させることができるが、垂直ライン数が多く、1 水平走査期間が  $40 \mu$  秒よりも短い場合には、キャンセル動作が最後まで行われず、特性補償が不完全となり、その結果、特性ばらつきに応じたムラが発生する問題があった。

【0099】

そこで、キャンセル時間を 1 水平走査期間以上に拡大する方法として、図 16 に示すようにゲートドライバ回路 12 a を更に 2 本のゲートドライバ回路 12 a 1、12 a 2 で構

10

20

30

40

50

成させ、駆動用トランジスタ 11 a の初期化を、対応する映像信号が入力される 1 水平走査期間前にあらかじめ実施しておき、ソース信号線 18 a もしくは 18 b に映像信号が入力される水平走査期間から駆動用トランジスタ 11 a に階調電圧の書き込み及び特性キャンセル動作を行うようにする。切り替え部 141 の動作により、2 水平走査期間の間映像信号が保持されるため、階調電圧の書き込み及び特性キャンセル動作を 2 水平走査期間中実施することが可能となる。これを実現するために、図 17 に示すように、シフトレジスタ 12 a 2 のスタートパルス 172 b を入力する。各行のトランジスタ 17 a 及び 17 c が 2 水平走査期間オンされる。オンされるタイミングはソース信号線 18 及び 18 a、18 b の映像信号に同期して実施される。映像信号が偶数行と奇数行で 2 つのソース信号線 18 a 及び 18 c に振り分けられることで周波数が半分となり、書き込み時間を 2 倍にすることができた。なおイネーブル信号 173 については、パルス伝播の際の波形なまりによる複数の行の画素で同時選択されることを防止するための信号であり、同時選択が起きない場合や、同時選択でも問題なく動作する場合には、不要であり、イネーブル信号 173 がなくても本実施形態を実施することができる。例えば図 21 のように、特性キャンセルを行うための信号を生成するゲートドライバ回路 12 a 2 のイネーブル信号を削除した場合の入力波形及び動作を示す。

10

#### 【0100】

図 17 の波形によれば、2 水平走査期間の間駆動用トランジスタ 11 a の特性補正動作が可能であるが、あらかじめ映像信号が入力される 1 水平走査期間前に駆動用トランジスタ 11 a を初期化するための動作が必要であり、1 水平走査期間前にあらかじめ動作させることが必要であり、先頭行が検知できない場合には、あらかじめ初期化ができなくなる恐れがある。

20

#### 【0101】

そこで図 18 に示すように、初期化動作を、1 行目の映像信号入力時と同時に実施する信号パターンを考案した。初期化動作時には、特性補正動作ができないため、2 水平走査期間の間で、初期化後特性補正動作を行うようにした。図 18 の構成では、2 水平走査期間のうちの始めの水平走査期間の前半に初期化動作を行い、残りの半分と次の水平走査期間で画素への信号書き込みと特性補償動作を実施するようにした。ゲートドライバ回路がシフトレジスタ構成である場合には、水平走査期間とシフトクロックが一致する場合には、イネーブル信号でパルス幅をカットする方法により、水平走査期間の前半と後半で異なるスイッチの動作を実現した。ゲート信号線 17 d がローレベルの 때가、駆動用トランジスタ 11 a の初期化期間となり、ゲート信号線 17 a 及び 17 c がローレベルのときに、駆動用トランジスタ 11 a の特性キャンセルと、画素に階調を書き込む期間となる。17 a 及び 17 c のローレベル期間が 1 水平走査期間より長く設定できるため、水平走査期間が 30  $\mu$  秒であっても、従来比 1.5 倍の期間が取れることから 45  $\mu$  秒のキャンセル期間がとれ、駆動用トランジスタの特性ばらつきを補正することが可能となった。初期化動作自体は、2 ~ 10  $\mu$  秒程度で完了するため、最大 2 水平走査期間から 2 ~ 10  $\mu$  秒を引いた時間までキャンセル期間を拡大することができる。

30

#### 【0102】

ゲートドライバ回路 12 a のシフトレジスタが 1 系統でかつキャンセル期間を 1 水平走査期間以上に拡大する方法を図 19 及び図 20 に示す。

40

#### 【0103】

例えば 2 水平走査期間の間キャンセルする場合には、2 水平走査期間ゲート信号線 17 a 及び 17 c が導通状態にある必要がある。そこでゲートドライバ回路 12 a のスタートパルスを 2 水平走査期間の長さだけ入力する。これでキャンセル及び階調書き込み時間を 2 水平走査期間に設定できた。同様に初期化を実施するためのゲート信号線 17 d 用のパルスを生成する必要がある。また図 1、図 25 に示すような画素回路構成であることから、ゲート信号線 17 d と 11 a、11 c を同時に導通状態としてはならないため（異なる電圧がショートする）初期化用のパルスは、同一行の画素に対するキャンセル及び階調書き込み用のパルスと重ならないようにする必要がある。具体的には、2 水平走査期間前の

50

パルスで初期化用のパルスとして利用すればよい。図 19 に示すように、シフトレジスタに対して、ゲート信号線 17d と共通の出力をキャンセル及び階調信号書き込み用ゲート信号線を用いる場合には、2 行分後段（つまり 2 水平走査期間後）の信号を利用すると、同一画素 16a に対して、図 20 に示すように、201、202 の 2 水平走査期間で初期化を実施し、203、204 の 2 水平走査期間で駆動用トランジスタ 11a の特性キャンセル及び階調信号書き込みを実施している。16b、16c の画素においても同様に 1 水平走査期間ずつ遅れたタイミングで実施している。

#### 【0104】

この方法は、2 水平走査期間のキャンセルばかりでなく、3 水平走査期間以上必要な場合でも実施が可能である。1 列分の画素に対応するソース信号線の数を必要とする水平走査期間の数（整数）分用意し、ゲートドライバ回路 12a のスタートパルスのパルス幅を必要な水平走査期間数入力し、初期化に対応するゲート信号を取り出すシフトレジスタの段から必要な水平走査期間数分後段のシフトレジスタから特性キャンセル及び階調信号書き込み用のゲート信号をとりだして、同一行の画素に入力すれば実現が可能である。映像信号が、対応する行の画素に書き込まれるようにするため、スタートパルスは、映像信号に対してあらかじめ入力する必要がある。少なくともキャンセルを行う水平走査期間の長さ分だけ早く入力が必要。図 20 においても 2 水平走査期間早く、入力している。

#### 【0105】

ソースドライバ回路のコスト削減のために、1 出力から時系列に複数の画素に対応する電圧を出力する選択駆動方式を採用することがある。選択駆動方式がない場合に比べて、当該画素に対応する映像信号が入力されるタイミングが表示色によって異なるようになる。例えば、赤緑青の 3 画素分を 1 出力で行う 3 選択駆動の場合においては、図 22 に示すように、赤色に対して、緑及び青は水平走査期間の始めではなく、途中で信号が変化していることがわかる。ゲート信号線 17a 及び 17c を 221 の波形により入力すると緑及び青色の画素については、1 行前の映像信号が画素に書き込まれ、ソース信号線の変化により当該行の映像信号が書き込まれるようになる。液晶などでは、書き込み時の最終電圧（ゲート信号線がオフになる瞬間の電圧）が 1 フレーム間画素に保持され、所定輝度で表示されるため問題がないが、本実施形態における画素構成を持つ有機 EL パネルにおいては、映像信号を駆動用トランジスタ 11a に書き込む際に駆動用トランジスタ 11a の特性バラツキを補正する動作を行っている。補正に要する時間を短縮するため、書き込みを行う前に、初期化動作を行い、駆動用トランジスタ 11a のゲート電極に低い電圧（白表示時よりもさらに駆動用トランジスタ 11a が電流を流す電圧）にあらかじめ初期化を行っている。初期化の電圧は低いほど特性補正が高速化される。選択駆動時に 1 行前の電圧が少しでも印加されると、駆動用トランジスタ 11a のゲート電圧が 1 行前の電圧に変化してしまい、1 行前の電圧が印加された状態で、当該行の映像信号による階調信号の書き込みとトランジスタバラツキ特性補正を行うこととなり、初期化を行う効果がなくなってしまう。これは 3 選択駆動でなくても、2 選択以上の信号線選択駆動を実施する際に共通の課題である。

#### 【0106】

そこで本実施形態では、選択駆動を行う際に、同一水平走査期間で書き込みを行う信号線の電圧が全て確定した後に特性キャンセル動作を行うようにした。

#### 【0107】

図 23、図 24 及び図 26 に実施形態の 1 つを示す。ここで選択駆動は赤緑青の 3 つの信号線を順に選択する 3 選択駆動方式としている。2 選択や、4 選択以上でも同様に実現できる。キャンセル時間を確保するために、各列に対して 2 本の信号線を用意し、偶数行と奇数行で異なるソース信号線を利用している。図 23 ではゲートドライバ回路 12a をシフトレジスタ回路 1 系統で実施する構成を示しています。図 23 のゲートドライバ回路 12a を用いた場合の信号入力と、信号線選択回路 232 の動作を図 26 に示す。1 水平走査期間内で赤（R）、緑（G）、青（B）に信号線を切り替えている。また 1 水平走査期間毎に奇数行用のソース線 18b、偶数行用のソース線 18a を切り替えて選択を行っ

10

20

30

40

50

ている。

【0108】

この方式では、初期化のタイミングと当該行の映像信号線の書き込みが同一で、画素内部への映像信号の書き込みは、次の水平走査期間にて実施されているため、駆動用トランジスタ11aへの信号線書き込み及び特性ばらつき補正中に映像信号が変わることはなく、選択駆動時でもこれまで同様の駆動が実施可能である。1画素分に注目したタイミングチャートを図24に示す。ここではこれまで記載していなかった、ゲート信号線17bについても記載を行っている。17bについては、初期化期間及び特性キャンセル、階調信号を駆動用トランジスタに書き込みを行っている期間では必ず、接続されるスイッチが非導通状態である必要があるが、その他の期間では、導通、非導通状態いずれであってもかまわない。これは本実施形態のほかの実施形態でも同様である。図24では、導通非導通を繰り返し実施している例を示している。

10

【0109】

ソース信号線18は3選択駆動対応用に1水平走査期間の間に3画素分の信号を送っている。信号線選択回路により奇数行目の青画素に対応するソース信号線18bBの電圧変化は241に示す波形のようになる。

【0110】

1行目に対応する階調信号の変化は242のタイミングで変化する。このときゲート信号線17bがオフ状態となっており、駆動用トランジスタ11aのゲート電極に1行前の映像信号が書き込まれることが無いようになっている。ゲート信号線17aについては、図23のゲートドライバ回路の構成によればオフとなっているが、オン状態であってもかまわない。ゲートドライバ回路の構成を変更してオンとしてもよい。駆動用トランジスタ11aのソース電極に1行前の電圧が印加されるが、初期化されているゲート電極には印加されることが無いためである。

20

【0111】

時間2t以降でゲート信号線17c、17aが導通状態となり、駆動用トランジスタ11aに階調電圧及び特性キャンセル動作が行われる。このときソース信号線18bBは図26でもあったように、信号線選択回路232により各ソース信号線から切り離された状態となり、ソース信号線の浮遊容量233により、ソースドライバ回路から書き込まれた電圧が2水平走査期間の間保持される。保持された電圧値が画素に書き込まれ、所定電圧が書き込まれている。時間2t~3tの間で、駆動用トランジスタ11aのゲート電圧は書き込まれるソース電圧( $V_s$ )から閾値電圧( $V_{th}$ )分低下した電位に徐々に変化し、( $V_s - V_{th}$ )となる。時間3tで所定電圧に書き込まれた後、ゲート信号17bを導通状態にすることで所定電流がEL素子15に流れ、発光する。

30

【0112】

図27はゲートドライバ回路12aをシフトレジスタ2系統で構成した場合の図である。これによればスタートパルスの個別設定にて、ゲート信号線17dに対してゲート信号線17a及び17cのパルス幅を異ならせて設定することが可能である。

【0113】

図28にゲートドライバ回路12a1及び12a2の入力波形と、各ゲート信号線波形を示す。初期化用の信号を生成するゲートドライバ回路12a1について、初期化を行うためのパルスを生成する。初期化に要する時間は $V_{rst}$ を発生する電源能力によるが10 $\mu$ 秒程度で初期化が完了する。ゲート信号線17dがオン状態となるのは短い時間で実施している。時間がかかる特性キャンセル期間と初期化期間は同時に実施することができないため、2水平走査期間内で初期化~特性キャンセル、階調信号書き込みを実施するためには、初期化を短くすることが重要であるためである。図28では赤色にソース出力が選択された期間のみで実施しているが、赤と緑色の選択期間もしくは赤色の選択期間の一部などであってもよい。最も当該行の映像信号が書き込まれるのが遅い青色のソース信号線18aBもしくは18bBにおいては青色の選択期間になるまで当該画素に対応する電圧がソース信号線18aBもしくは18bBに印加されていないため、特性キャンセル期

40

50

間に移行することができない。特性キャンセルができないことから、赤緑選択期間は初期化期間としても問題が無い。特性キャンセル及び階調信号書き込みであるが、ゲートドライバ回路12a2のシフトレジスタ回路により2水平走査期間選択できるパルスを生成し、初期化期間もしくは映像信号が書き込まれていない期間を除くように、奇数行偶数行別にイネーブル期間を設けるイネーブル信号を有する。1行目の特性キャンセル及び階調信号書き込み期間は281で示される期間となる。281の期間の始めは、青画素書き込み終了後となっているが、青画素が信号線選択回路で選択され所定電圧にソース信号線18aBもしくは18bBが変化した後であれば、ゲート信号線17a及び17cをローレベルにしてもよい。281の期間の終わりは、次に同一のソース信号線に異なる行の画素に対応する電圧が印加される前に設定すればよい。信号線選択速度が速い場合には、書き込み終了後～次の水平走査期間の最後まで特性キャンセル期間を設定することができ、駆動用トランジスタ11aの閾値電圧補正能力が高い表示が実現可能である。

10

## 【0114】

なお、ゲート信号線17aについては、2水平走査期間全てにおいてローレベルとしてもよい。トランジスタ11cが導通状態となっても、駆動用トランジスタ11aのゲート電圧には影響がないためである。この場合、ゲート信号線17c用にはイネーブル信号を介してシフトレジスタ出力が入力され、ゲート信号線17a用にはイネーブル信号を介さずもしくは、別途のイネーブル信号を介してシフトレジスタ出力が入力される構成となる。

## 【0115】

これまでは画素回路16に用いられるトランジスタはp型トランジスタで説明を行ってきたが、図29に示すn型トランジスタで構成してもよい。また有機EL素子15については、アノードとカソードの向きが逆でかつ、 $V_{ss}$ 電位 $>$  $V_{dd}$ 電位という構成であってもよい。図29では容量19bが形成されているが、なくても本実施形態を同様に実施することが可能である。

20

## 【0116】

容量19bが形成されていると、次に画素に映像信号が書き込まれるまでの1フレーム間電圧が保持されるため、a点の電位が保持される。保持された電位を元にトランジスタ11bを導通状態とすれば階調信号に応じた信号で、駆動用トランジスタ11aの特性バラツキをキャンセルすることが可能である。これが図30に示すキャンセル期間302となる。このキャンセル期間は水平走査期間の長さによらずゲートドライバ回路の構成によって任意に設定することが可能である。映像信号の書き込みと駆動用トランジスタ11aの初期化は、キャンセル期間302の前に実施される(期間301)。トランジスタ11fと11cのみ導通状態である。これで $V_{rst}$ 電源により駆動用トランジスタ11aのゲート電位を初期化し、同時にソース信号線18から容量19bに所定電圧の書き込みを行っている。容量19bに所定階調電圧を保持することから、ソース信号線18は1本で、1水平走査期間のみトランジスタ11cをオンさせるだけでよい。ソース信号線18を2本用意する方法でソース信号線18の浮遊容量と容量19bの両方で階調電圧を保持する方法をとってもよい。この場合、容量19bは小さくすることができる。

30

## 【0117】

キャンセルまで完了したら、EL素子15に電流を印加して所定輝度による発光を得る。この期間が発光期間304である。このときトランジスタ11dと11eが導通状態となりEL素子15に電流を供給する。前後にある非発光期間303は、黒挿入を行い動画視認性向上等の効果を得る際に挿入される期間である。このときは少なくともトランジスタ11dもしくは11eのいずれか一方が非導通状態になっている。また、常時点灯状態にして黒挿入を行わない場合には、期間303はなくても差し支えない。

40

## 【0118】

また本実施形態における切り替え部141及び信号線選択回路232は必ずしもアレー基板上にある必要が無く、ソースドライバ回路に内蔵される構成であってもよい。

## 【0119】

50

本実施形態において、同一列に形成された画素に接続されるソース信号線は2本である例で説明をおこなったが、3本以上の複数のソース信号線であっても同様に実施が可能である。一般にN本のソース信号線を用意し、N画素おきにソース信号線を接続すれば、N水平走査期間の間ソース信号線は階調電圧を保持することが可能となり、特性キャンセル期間を長く取ることができるようになり（最大N水平走査期間）、より駆動用トランジスタ11aの特性に近づいたゲート電圧を画素回路で保持することができることにより、表示ムラが改善する。

【0120】

またN本のソース信号線について、少なくとも隣接画素間で異なるソース信号線に画素回路を接続しておけば、2水平走査期間の間ソース信号線に階調信号が保持されることから、同様に特性キャンセル期間を拡大することができ、表示ムラが少ないEL表示装置を得ることができる。

【0121】

(14) 変更例

本発明は上記各実施形態に限らず、その主旨を逸脱しない限り種々に変更することができる。

【0122】

本実施形態のトランジスタは、TFTばかりでなく、バイポーラトランジスタでも同様に実現が可能である。またTFTについても、ポリシリコン、結晶シリコン、アモルファスシリコンなど構成材料によらず同様に実施が可能である。

【0123】

また、本実施形態におけるEL表示装置の画素は、単色の画素構成、赤緑青の3色、赤緑青白の4色、シアンイエローマゼンダの3色、ペントイル画素構成等、表示色を問わず適用が可能である。

【0124】

また、本実施形態の赤色、緑色、青色の並びの画素構成については、一例を示しているのみである。

【0125】

また、図14、図16等で、1列分の画素構成が記載されているが、これは、ストライプ状に形成されていても、デルタ配列に形成されていても、ソース信号線が共通の複数の画素があれば同様に適用が可能である。

【産業上の利用可能性】

【0126】

本実施形態に係るEL表示装置は、オフセットキャンセル期間を十分に確保できるため、良好なオフセットキャンセルを実現できる。そのため、駆動用トランジスタ11aの特性バラツキが発生しても、特性バラツキをキャンセルすることができ、良好な画像表示を実現できる。

【図面の簡単な説明】

【0127】

【図1】EL表示装置の画素の構成図である。

【図2】EL表示装置の駆動方法の説明図である。

【図3】EL表示装置の説明図である。

【図4】EL表示装置の画素の構成図である。

【図5】EL表示装置の画素の構成図である。

【図6】EL表示装置の説明図である。

【図7】EL表示装置を用いた機器の説明図である。

【図8】EL表示装置を用いた機器の説明図である。

【図9】EL表示装置を用いた機器の説明図である。

【図10】EL表示装置の画素の構成図である。

【図11】EL表示装置の画素の構成図である。

10

20

30

40

50

【図 1 2】E L 表示装置の駆動方法の説明図である。

【図 1 3】E L 表示装置の駆動方法の説明図である。

【図 1 4】複数のソース信号線から画素に映像信号を取り込む構成を示した図である。

【図 1 5】図 1 4 の構成におけるゲートドライバ回路 1 2 a の動作を示した図である。

【図 1 6】複数の水平走査期間にまたがって特性キャンセル動作を行う場合のゲートドライバ回路と画素構成の例を示した図である。

【図 1 7】図 1 6 のゲートドライバ回路の動作を示した図である。

【図 1 8】図 1 6 のゲートドライバ回路の動作を示した図である。

【図 1 9】シフトレジスタ 1 相で複数の水平走査期間にまたがって特性キャンセル動作を行う場合の回路を示した図である。

10

【図 2 0】図 1 9 の回路構成を用いた場合のゲートドライバ回路の動作を示した図である。

【図 2 1】ゲートドライバ回路 1 2 a 2 のイネーブル信号を削除した場合の入力波形及び動作を示した図である。

【図 2 2】3 信号線選択駆動を実施した場合の各色信号線の映像信号変化タイミングを示した図である。

【図 2 3】3 信号線選択駆動と各列 2 本の信号線を有する E L 表示装置の回路構成を示した図である。

【図 2 4】図 2 3 における画素 1 6 c の動作を示した図である。

【図 2 5】本発明における画素 1 6 の回路を示した図である。

20

【図 2 6】図 2 3 の回路におけるゲートドライバ回路及び信号線選択回路の動作を示した図

【図 2 7】3 信号線選択駆動と各列 2 本の信号線を有し、ゲートドライバ回路が初期化用と特性キャンセル及び階調信号書き込み用に分離された E L 表示装置の回路構成を示した図である。

【図 2 8】図 2 7 の回路構成におけるゲートドライバ回路の動作を示した図である。

【図 2 9】n 型 T F T を用いた画素回路を示した図である。

【図 3 0】容量 1 9 b が形成された画素回路において、ゲート信号線の動作を 1 フレーム間示した図である。

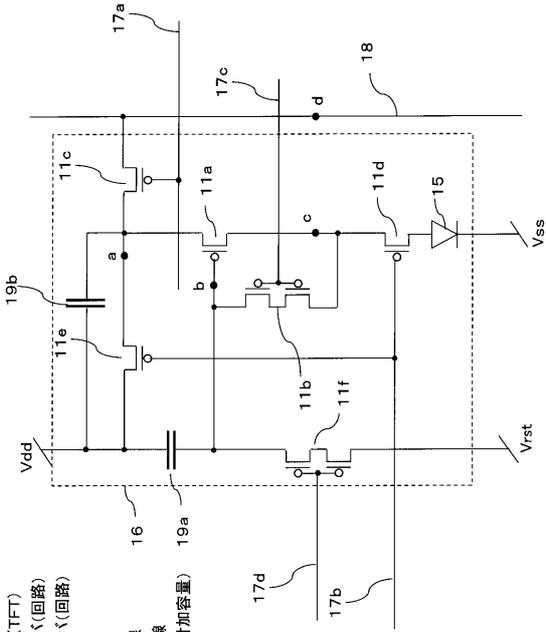
30

【符号の説明】

【 0 1 2 8 】

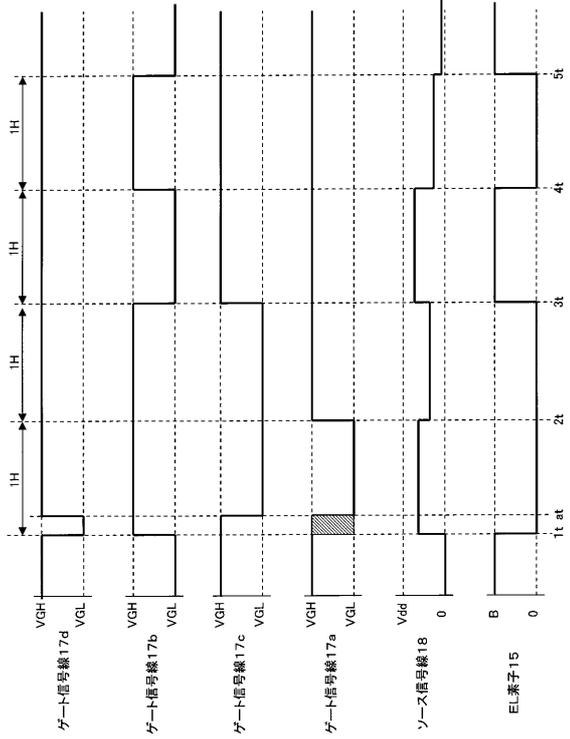
- 1 1 トランジスタ
- 1 2 ゲートドライバ回路
- 1 4 ソースドライバ回路
- 1 5 E L 素子
- 1 6 画素
- 1 7 ゲート信号線
- 1 8 ソース信号線
- 1 9 蓄積容量 ( 付加コンデンサ、付加容量 )

【 図 1 】

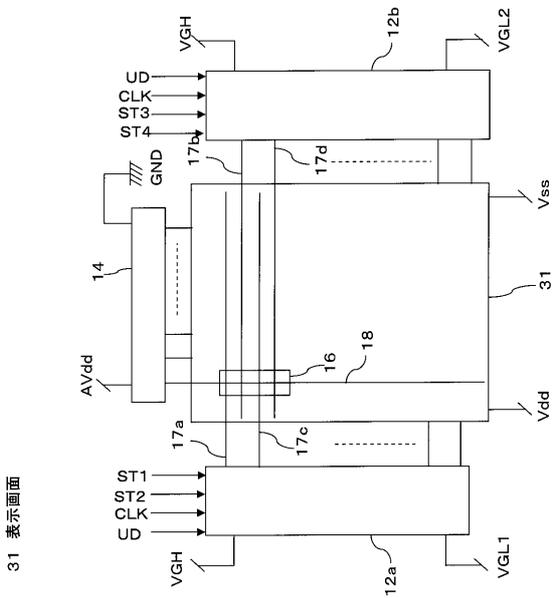


- 11 トランジスタ(TFT)
- 12 ゲートドライバ(回路)
- 14 ソースドライバ(回路)
- 15 EL(素子)
- 16 画像
- 17 ゲート信号線
- 18 ソース信号線
- 19 蓄積容量(付加容量)

【 図 2 】

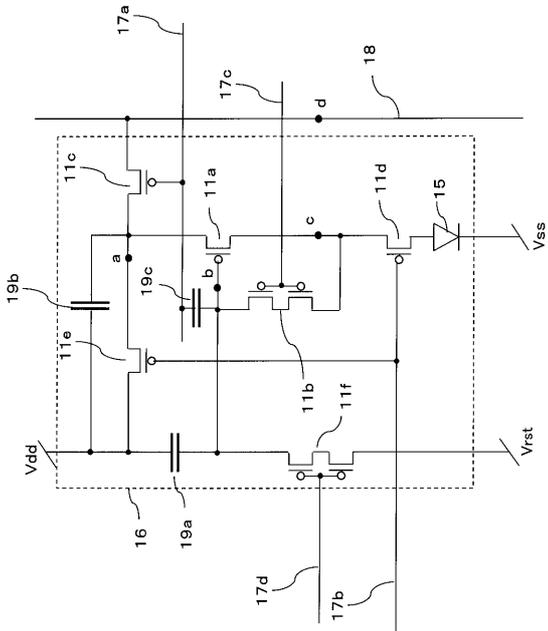


【 図 3 】

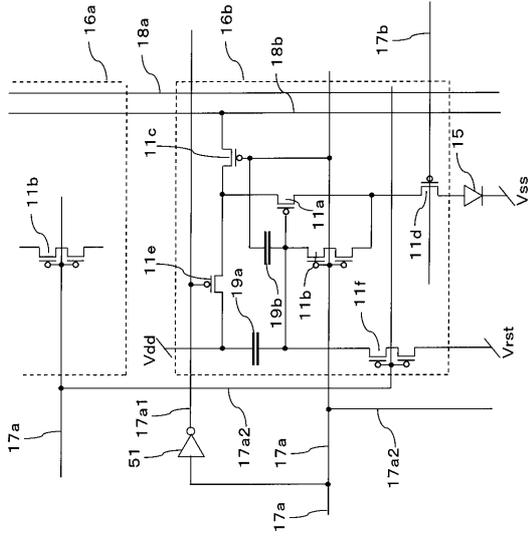


31 表示画面

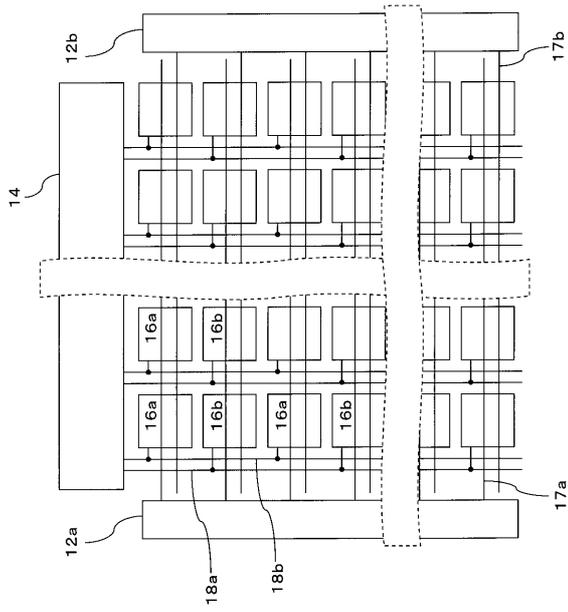
【 図 4 】



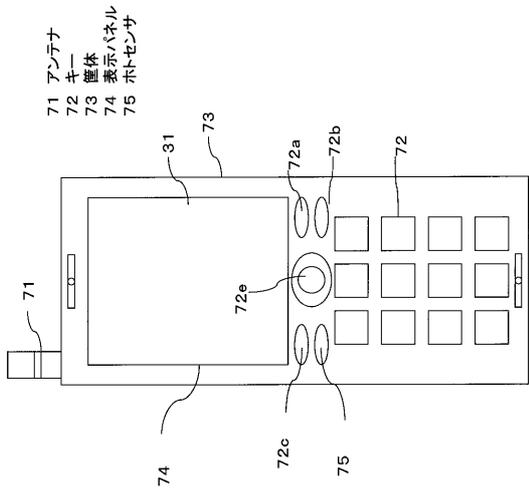
【図 5】



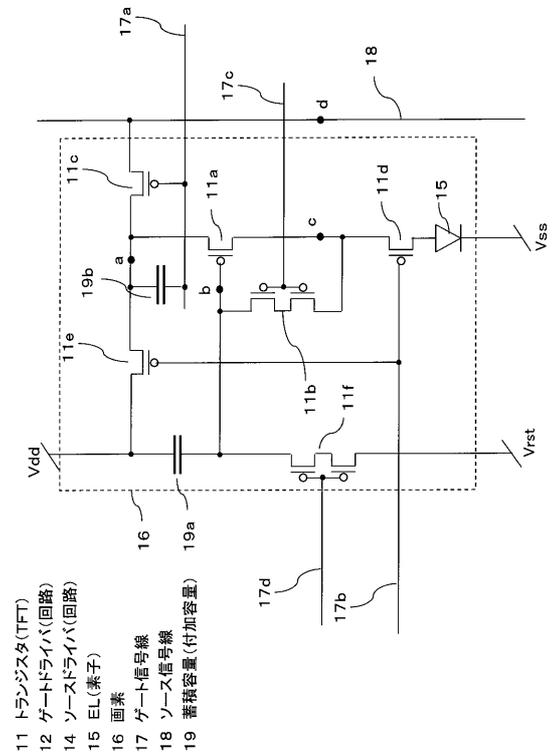
【図 6】



【図 7】



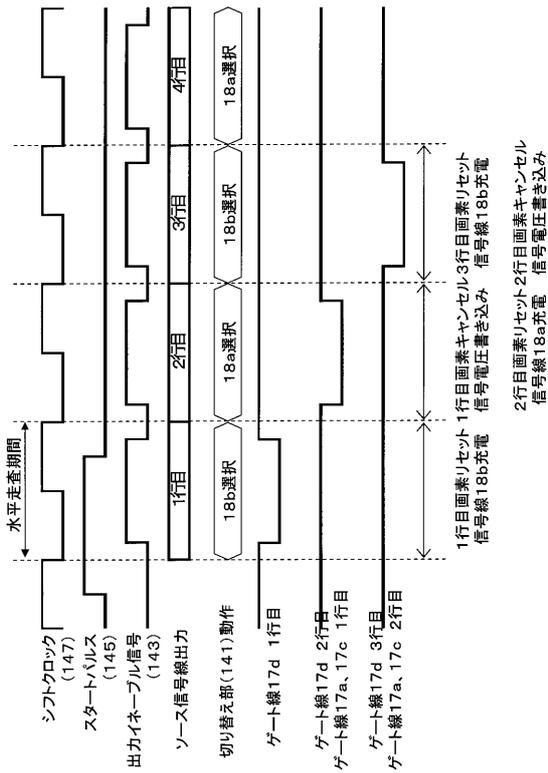
【図 10】



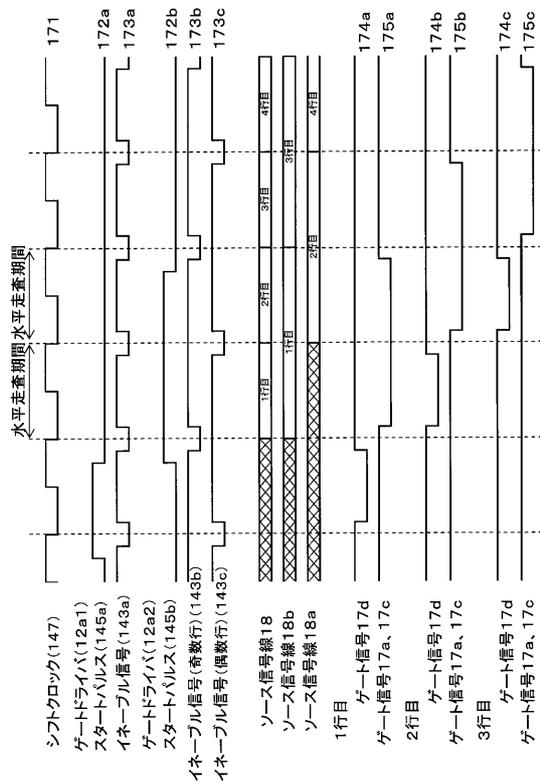
- 11 トランジスタ(TFT)
- 12 ゲートドライバ(回路)
- 14 ソースドライバ(回路)
- 15 EL(素子)
- 16 画素
- 17 ゲート信号線
- 18 ソース信号線
- 19 蓄積容量(付加容量)



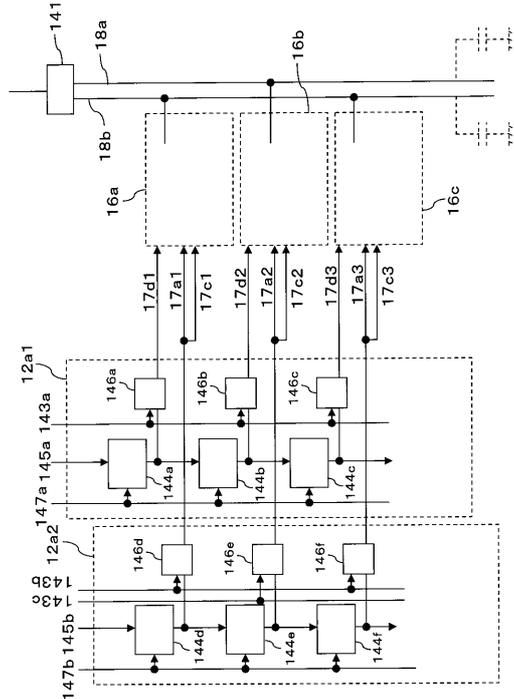
【 図 1 5 】



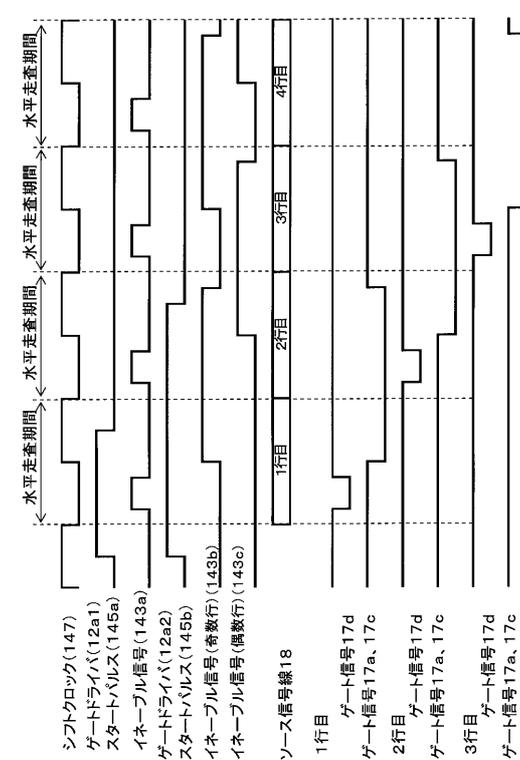
【 図 1 7 】



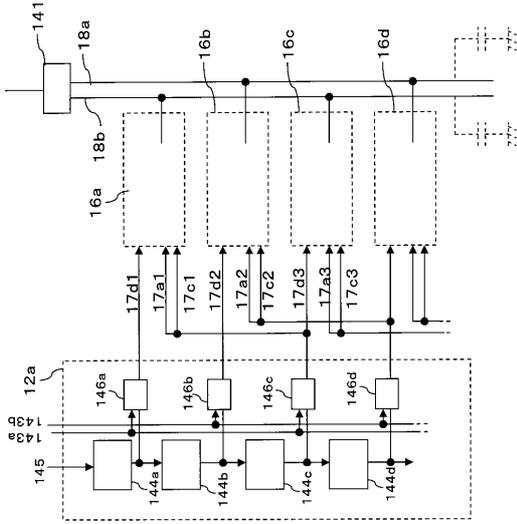
【 図 1 6 】



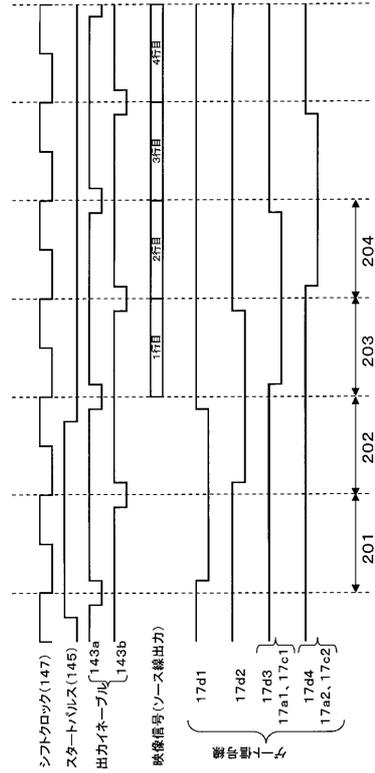
【 図 1 8 】



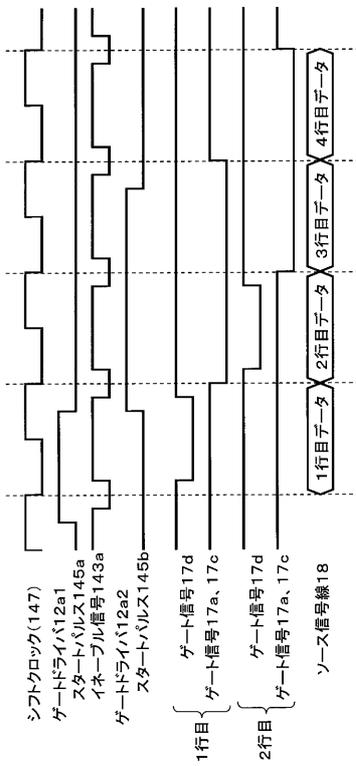
【図 19】



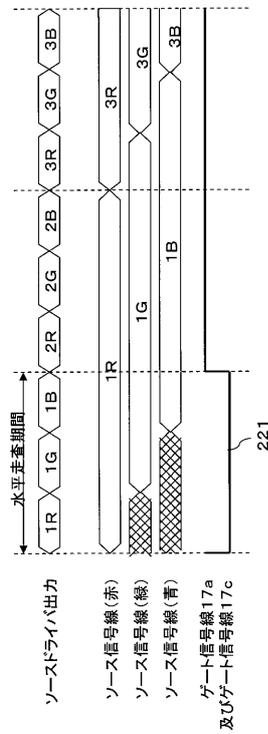
【図 20】



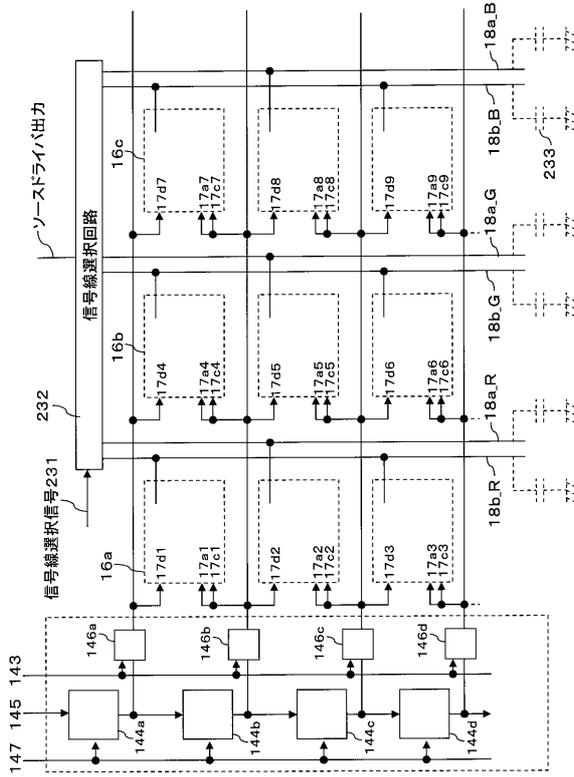
【図 21】



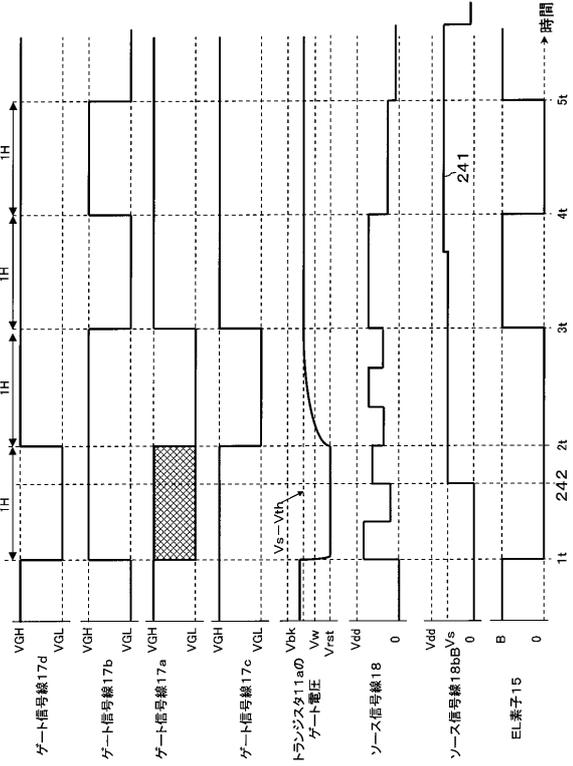
【図 22】



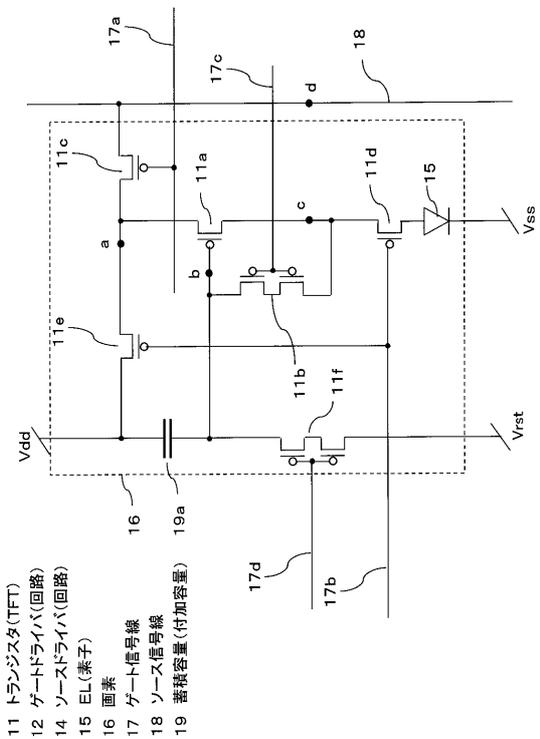
【図 2 3】



【図 2 4】

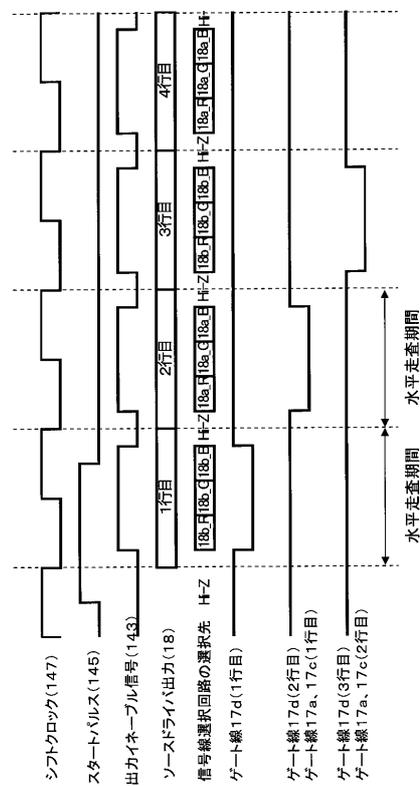


【図 2 5】

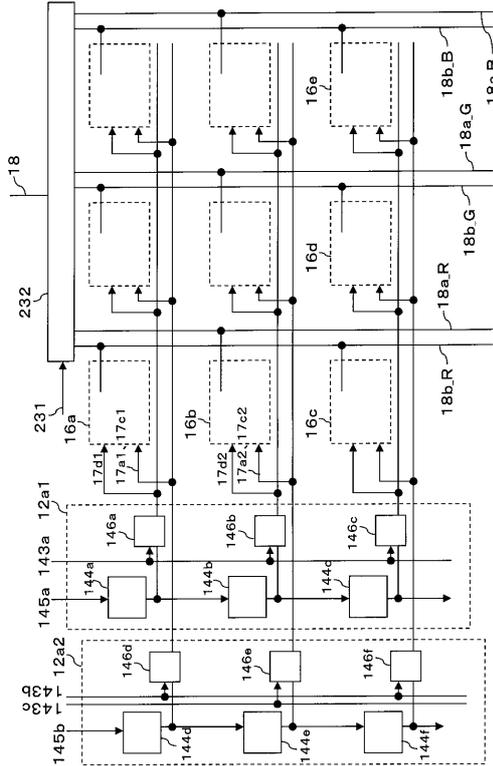


- 11 トランジスタ(TFT)
- 12 ゲートドライバ(回路)
- 14 ソースドライバ(回路)
- 15 EL(素子)
- 16 画素
- 17 ゲート信号線
- 18 ソース信号線
- 19 蓄積容量(付加容量)

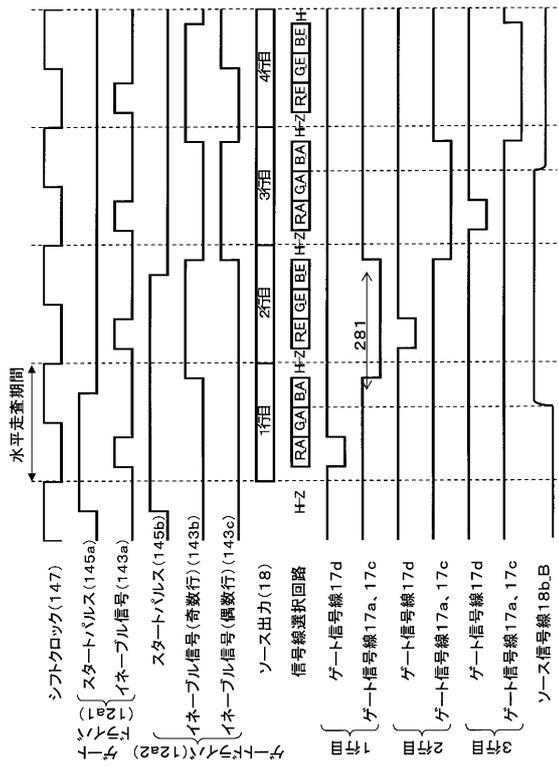
【図 2 6】



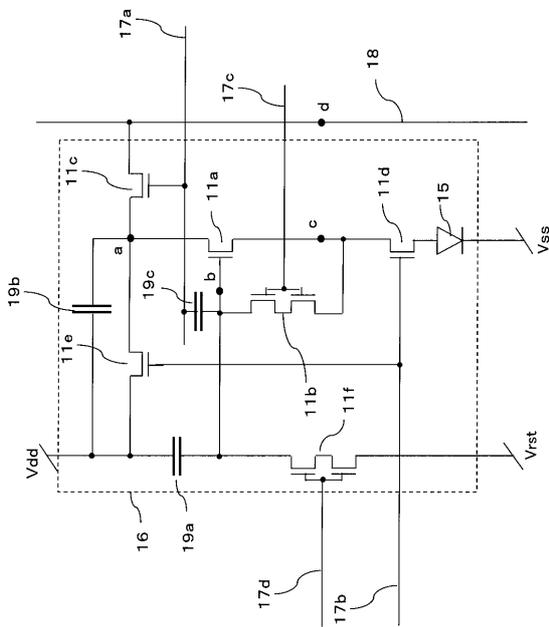
【図 27】



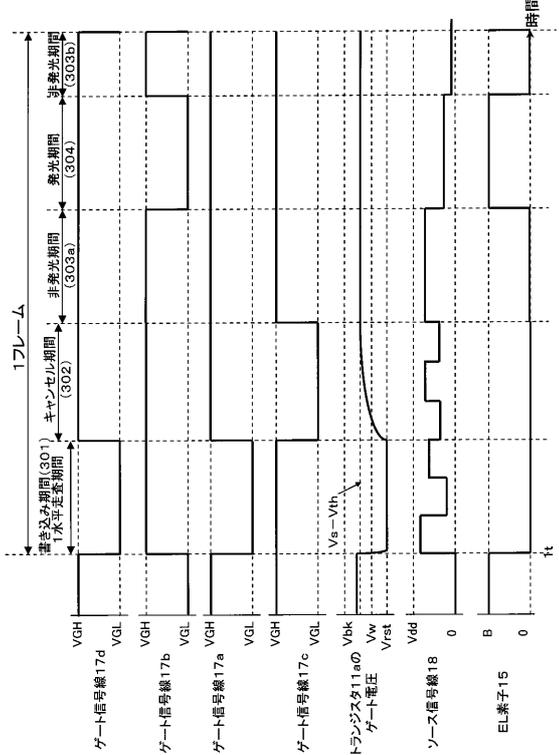
【図 28】



【図 29】

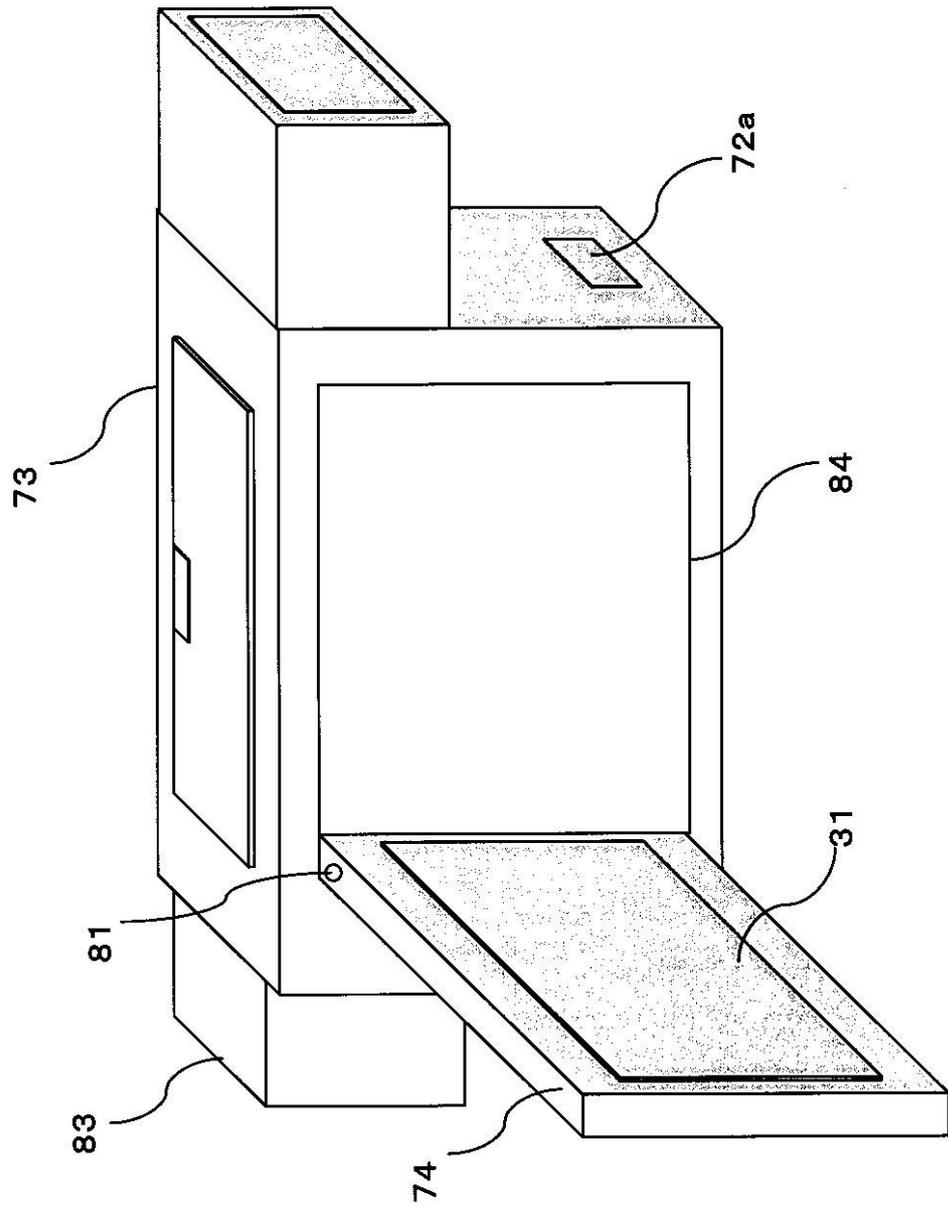


【図 30】



【 図 8 】

81 支点  
83 撮影レンズ  
84 格納部

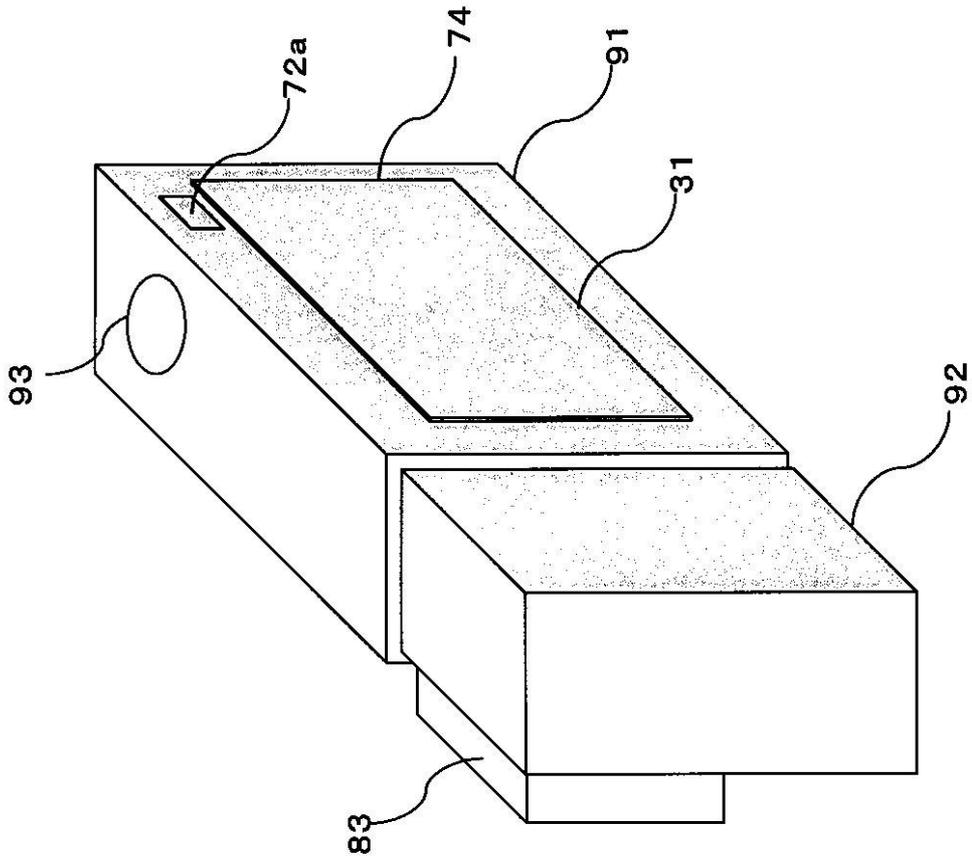


【図9】

93 シャッタスイッチ

92 撮影部

91 本体



---

 フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
<b>H 0 1 L 51/50 (2006.01)</b>	G 0 9 G 3/20	6 1 1 H
	G 0 9 G 3/20	6 2 4 B
	G 0 9 G 3/20	6 4 2 A
	G 0 9 G 3/20	6 2 2 P
	H 0 5 B 33/14	A

(72)発明者 柘植 仁志  
 東京都港区港南四丁目1番8号 東芝松下ディスプレイテクノロジー株式会社内

(72)発明者 高原 博司  
 東京都港区港南四丁目1番8号 東芝松下ディスプレイテクノロジー株式会社内

Fターム(参考) 3K107 AA01 AA05 BB01 CC33 EE03 HH04  
 5C080 AA06 BB05 DD05 EE28 FF11 JJ01 JJ02 JJ03 JJ04 JJ06  
 5C094 AA03 BA03 BA27 CA19 GA10

专利名称(译)	EL表示装置		
公开(公告)号	<a href="#">JP2009210904A</a>	公开(公告)日	2009-09-17
申请号	JP2008055019	申请日	2008-03-05
[标]申请(专利权)人(译)	东芝移动显示器有限公司		
申请(专利权)人(译)	东芝移动显示器有限公司		
[标]发明人	柘植仁志 高原博司		
发明人	柘植 仁志 高原 博司		
IPC分类号	G09G3/30 H05B33/08 G09F9/30 H01L27/32 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J H05B33/08 G09F9/30.338 G09F9/30.365.Z G09G3/20.623.A G09G3/20.611.H G09G3/20.624.B G09G3/20.642.A G09G3/20.622.P H05B33/14.A G09F9/30.365 G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291 H01L27/32		
F-TERM分类号	3K107/AA01 3K107/AA05 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE28 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C094/AA03 5C094/BA03 5C094/BA27 5C094/CA19 5C094/GA10 5C380/AA01 5C380/AA02 5C380/AB06 5C380/AB08 5C380/AB09 5C380/AB21 5C380/AB22 5C380/AB23 5C380/AB24 5C380/AB27 5C380/AB31 5C380/AB34 5C380/AB36 5C380/AB37 5C380/AB41 5C380/AB45 5C380/AC09 5C380/AC10 5C380/AC11 5C380/BA06 5C380/BA10 5C380/BA12 5C380/BA28 5C380/BA38 5C380/BA39 5C380/BA43 5C380/BA48 5C380/BB02 5C380/BB05 5C380/BB09 5C380/BB14 5C380/BB23 5C380/BE05 5C380/CA08 5C380/CA12 5C380/CA45 5C380/CA49 5C380/CA53 5C380/CA57 5C380/CB01 5C380/CB12 5C380/CB16 5C380/CB17 5C380/CB18 5C380/CB26 5C380/CB27 5C380/CB30 5C380/CB31 5C380/CB32 5C380/CB37 5C380/CC06 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC55 5C380/CC61 5C380/CC63 5C380/CC65 5C380/CC72 5C380/CC77 5C380/CC80 5C380/CD018 5C380/CD028 5C380/CD038 5C380/CE04 5C380/CF07 5C380/CF25 5C380/CF43 5C380/CF51 5C380/CF68 5C380/DA02 5C380/DA06 5C380/DA19 5C380/DA35 5C380/DA47 5C380/HA03 5C380/HA05		
代理人(译)	中村聪 富田克幸 夫世进		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

解决的问题：提供一种不能充分校正驱动晶体管的特性变化并且可以防止显示不均匀的EL显示装置。在同一列中形成的像素电路中，准备多条源信号线，并且从相邻像素之间的不同源信号线获取灰度电压，从而在多个水平扫描时段中改变灰度电压。可以基于源信号线所保持的电压来消除驱动晶体管的特性变化。通过在多个水平扫描期间上扩展特性变化消除期间，可以进行充分的校正，并且可以改善显示不均。[选择图]图14

