

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-193037

(P2009-193037A)

(43) 公開日 平成21年8月27日(2009.8.27)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 Z	3K107
G09G 3/20 (2006.01)	G09G 3/20 612A	5C080
G09F 9/00 (2006.01)	G09G 3/20 670Q	5C094
G09F 9/30 (2006.01)	G09G 3/20 612K	5G435
H01L 27/32 (2006.01)	G09G 3/20 611H	
審査請求 未請求 請求項の数 11 O L (全 80 頁) 最終頁に続く		

(21) 出願番号 特願2008-49400 (P2008-49400)
 (22) 出願日 平成20年2月29日 (2008.2.29)
 (31) 優先権主張番号 特願2007-86204 (P2007-86204)
 (32) 優先日 平成19年3月29日 (2007.3.29)
 (33) 優先権主張国 日本国 (JP)
 (31) 優先権主張番号 特願2008-5394 (P2008-5394)
 (32) 優先日 平成20年1月15日 (2008.1.15)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 302020207
 東芝モバイルディスプレイ株式会社
 東京都港区港南4-1-8
 (74) 代理人 100059225
 弁理士 蔦田 璋子
 (74) 代理人 100076314
 弁理士 蔦田 正人
 (74) 代理人 100112612
 弁理士 中村 哲士
 (74) 代理人 100112623
 弁理士 富田 克幸
 (74) 代理人 100124707
 弁理士 夫 世進

最終頁に続く

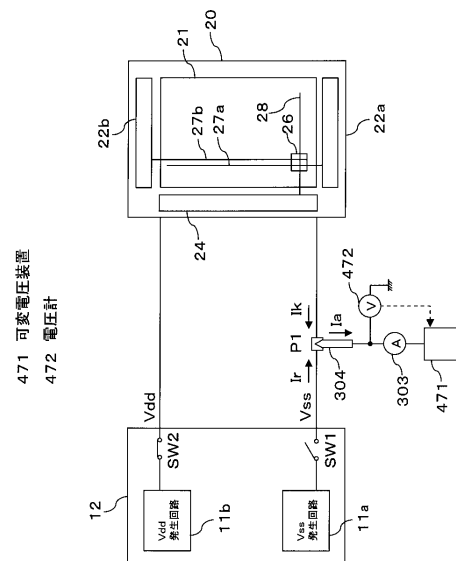
(54) 【発明の名称】 E L表示装置

(57) 【要約】 (修正有)

【課題】電源配線を機構などの物理的に変化または操作することなしに電源配線に流れる電流を測定またはモニターすることができるE L表示装置を提供する。

【解決手段】電源回路12の出力オープン機能を用いてスイッチSW1をオフにして、カソード電圧V_{ss}は出力されず、出力端子はハイインピーダンス状態となるようにし、カソード電圧V_{ss}の出力端子のパッドP1をプローブ304でプロービングし、プローブ304と可変電圧装置471間には、電流を測定する電流計303を配置し、調整時のカソード電圧V_{ss t}=画像表示時のカソード電圧V_{ss}に設定して、電流I_aを測定する。

【選択図】図47



【特許請求の範囲】**【請求項 1】**

複数の E L 素子がマトリックス状に配置された表示画面と、
前記各 E L 素子に接続され、前記各 E L 素子へ映像信号を供給するソースドライバ回路と、
前記各 E L 素子に接続されたゲートドライバ回路と、
前記各 E L 素子に駆動電圧を電圧出力端子を介して供給すると共に、前記各 E L 素子と前記電圧出力端子の間を開放または短絡するスイッチを有し、かつ、前記各 E L 素子と前記スイッチとの間に配され、前記各 E L 素子に流れる電流を取り出す取り出し端子と、
を有する E L 表示装置。

10

【請求項 2】

前記各 E L 素子に前記ソースドライバ回路を用いて白映像信号、または、黒映像信号をそれぞれ供給する試験信号供給部と、
前記各 E L 素子へ前記白映像信号、または、前記黒映像信号を供給したときに、前記スイッチにより前記電圧出力端子を開放して、前記取り出し端子に流れる電流を測定する電流測定部と、
を有する請求項 1 記載の E L 表示装置。

【請求項 3】

前記スイッチにより前記電圧出力端子を開放して、前記取り出し端子にエージング電流を供給するエージング電流供給部を有する、
請求項 1 記載の E L 表示装置。

20

【請求項 4】

E L 素子がマトリックス状に配置された表示画面と、
電圧出力端子をオープンにする機能を有する電源回路と、
前記表示画面に流れる電流を取り出し端子と、
を有する E L 表示装置。

【請求項 5】

前記取り出し端子に流れる電流を電流測定部で測定する、
請求項 4 記載の E L 表示装置。

【請求項 6】

前記電源回路は、前記電圧出力端子をハイインピーダンス状態と電圧出力状態とに切り替える、
請求項 4 記載の E L 表示装置。

30

【請求項 7】

前記 E L 素子が形成された画素がマトリックス状に配置された表示画面を有する E L 表示装置において、
前記画素を選択するゲートドライバ回路と、
前記ゲートドライバ回路に印加する第 1 の電圧と、前記画素に印加する第 2 の電圧を発生する電圧発生回路と、
前記電圧発生回路が発生した前記第 2 の電圧を、表示画面の画素に伝達する電源配線と、
前記電圧発生回路の第 2 の電圧出力をオープン状態にする出力オープン回路とを具備し、
前記画素には、前記 E L 素子に電流を供給する駆動用トランジスタが形成され、
前記電圧発生回路は、前記ゲートドライバ回路に前記第 1 の電圧を供給した後、前記出力オープン回路はクローズ状態になり、前記電源配線に前記電圧発生回路が発生した第 2 の電圧を印加する、
E L 表示装置。

40

【請求項 8】

前記電源配線は、アノード配線またはカソード配線である、

50

請求項 7 記載の E L 表示装置。

【請求項 9】

前記電圧発生回路は、複数の電流リミット値を設定できる、
請求項 7 記載の E L 表示装置。

【請求項 10】

前記第 1 の電圧と前記第 2 の電圧は可変である、
請求項 7 記載の E L 表示装置。

【請求項 11】

クロック検出回路を更に有し、前記クロック検出回路が検出したクロック数により、前
記電圧圧制回路の出力を制御する、

10

請求項 7 記載の E L 表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機または無機エレクトロルミネッセンス (E L) 素子などを用いる E L 表
示パネル (表示装置) などの自発光表示装置を用いた、 E L 表示装置に関するものである。

【背景技術】

【0002】

電気光学変換物質として有機 E L 材料あるいは無機 E L 材料を用いたアクティブマトリ
クス型の画像表示装置は、画素に書き込まれる電流に応じて発光輝度が変化し、また、各
画素に発光素子を有する自発光型である。この E L 表示装置は、液晶表示パネルに比べて
画像の視認性が高い、発光効率が高い、バックライトが不要、応答速度が速い等の利点を
有する。

20

【0003】

従来より、有機 E L (P L E D 、 O L E D 、 O E L) パネルは、アクティブマトリクス
方式の開発が盛んに行なわれている。この方式は、各画素回路内部の発光素子に流れる電
流を、画素回路内部に設けた能動素子 (一般には薄膜トランジスタ、 T F T) によって制
御するものであり、特許文献 1 , 2 に記載がある。

【特許文献 1】特開 2003 - 255856 公報

30

【特許文献 2】特開 2003 - 271095 公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

E L 表示装置は、赤 (R) 、緑 (G) 、青 (B) の E L 素子は、それぞれ構成材料など
が異なるため、発光効率、駆動電圧が異なる。また、 E L 表示パネルの製造条件により E
L 素子の発光効率、駆動電圧がばらつく。そのため、 E L 表示装置) は、輝度が異なり、
色度が異なるものが作製されるため、輝度及び色度の調整を行う必要があった。

【0005】

しかし、輝度の調整、色度の調整は、点灯領域の E L 素子に流れる電流量を調整して行
う。電流量の調整は、電流経路を遮断し、遮断した電流経路に電流計などの測定機器を挿
入して行う。

40

【0006】

電流計などの測定機器の挿入は、物理的に電流経路を遮断する機構が必要であり、電流
計に電流経路をつなぎかえるスイッチが必要であった。これらの機構の導入により E L 表
示装置のコストが高くなり、また、多くの調整時間を必要とする問題点があった。

【0007】

また、 E L 表示装置は、表示画像に応じて表示画面に流れる電流の大きさが変化する。
そのため、高輝度の画像が表示すると電源回路から大きな電流が流れる。そのため、電源
回路は、使用する最大の電流を流すことができるように設計する必要があった。

50

【 0 0 0 8 】

しかし、使用する最大の電流が流すことができるように設計すると、電源ＩＣなどの電源回路のサイズが非常に大きくなるという問題点があった。

【 0 0 0 9 】

また、ＥＬ表示パネルの欠陥検査または特性評価に長時間を必要とするという問題点があった。

【 0 0 1 0 】

そこで本発明は、電源配線を機構などの物理的に変化または操作することなしに電源配線に流れる電流を測定またはモニターすることができるＥＬ表示装置を提供する。

【 課題を解決するための手段 】

【 0 0 1 1 】

本発明は、複数のＥＬ素子がマトリックス状に配置された表示画面と、前記各ＥＬ素子に接続され、前記各ＥＬ素子へ映像信号を供給するソースドライバ回路と、前記各ＥＬ素子に接続されたゲートドライバ回路と、前記各ＥＬ素子に駆動電圧を電圧出力端子を介して供給すると共に、前記各ＥＬ素子と前記電圧出力端子の間を開放または短絡するスイッチを有し、かつ、前記各ＥＬ素子と前記スイッチとの間に配され、前記各ＥＬ素子に流れる電流を取り出す取り出し端子と、を有するＥＬ表示装置である。

【 発明の効果 】

【 0 0 1 2 】

本発明により、電源配線を機構などの物理的に変化または操作することなしに電源配線に流れる電流を測定またはモニターすることができる。

【 発明を実施するための最良の形態 】

【 0 0 1 3 】

以下、本発明の一実施形態のＥＬ表示装置を図面に基づいて説明する。

【 0 0 1 4 】

なお、本明細書において、各図面は理解を容易するために、省略及び拡大または縮小した箇所がある。

【 0 0 1 5 】

また、同一番号、または、記号等を付した箇所は、同一または類似の形態、構成、材料、機能、または、動作を有する。

【 0 0 1 6 】

(実施形態の概要)

まず、本実施形態のＥＬ表示装置の概要について説明する。

【 0 0 1 7 】

本実施形態は、ＥＬ表示装置に用いる電源発生回路１２などに、ＥＬ素子に電流を供給する電源配線から電圧発生回路を切断する回路を具備させている。また、出力電圧を可変する機能を具備している。

【 0 0 1 8 】

ＥＬ表示装置を調整する際には、電圧発生回路を切断する回路を動作させ、電源回路の電圧発生回路を電源配線から切り離れた状態で、電源配線に外部電圧発生回路から電圧を前記電源配線に印加する。また、電源配線と外部電圧発生回路間に電流計を配置する。

【 0 0 1 9 】

外部電圧発生回路は、ＥＬ表示装置の定常動作時の電圧を出力し、前記電流計で電源配線に流れる電流をモニターした状態で、ＥＬ表示装置を所定の輝度またはＥＬ表示装置に所定の電流が流れるように調整する。

【 0 0 2 0 】

以上により、電源配線を機構などの物理的に変化または操作することなしに電源配線に流れる電流を測定できる。したがって、ＥＬ表示装置のコストが高くなることもなく、調整時間も短時間で実施できる。

【 0 0 2 1 】

10

20

30

40

50

また、E L 表示装置に入力される映像信号を加算あるいは重み付け処理を行うことにより、表示画面に流れる電流を求め、または予測し、前記求めた電流などにより画像画面に黒帯状の非点灯領域を発生させ、この黒帯状の非点灯領域の大きさを変化させる。または、黒帯状の非点灯領域の幅は一定にし、映像信号の振幅を変化させることにより、表示画面に流れる電流の大きさが一定以上にならないように制御する。また、この制御により、電源回路から表示画面に流れる電流を一定以下となるようにすることができ、E L 表示装置の発熱を抑制できる。また、電源回路（電源 I C ）1 2 が出力する電圧を可変することにより E L 表示装置の発熱を抑制できる。

【 0 0 2 2 】

また、点灯領域に流れる電流をモニターしながら、E L 表示装置に印加する電圧を可変することにより、最適な黒レベルの調整、ホワイトバランスを実現できる。

10

【 0 0 2 3 】

また、検査トランジスタを制御することなどにより、E L 表示装置の検査を実現できる。

【 0 0 2 4 】

また、通常の表示状態で使用する電流よりも大きな電流を E L 表示装置の点灯領域に流すことができるので、エージング工程を実現できる。

【 0 0 2 5 】

（実施形態の詳細）

以下、本実施形態の E L 表示装置の詳細について説明する。

20

【 0 0 2 6 】

（ 1 ）ゲートドライバ回路の構成

E L 表示装置のゲートドライバ回路 2 2 について説明する。

【 0 0 2 7 】

図 2 に示すように、表示画面 2 1 の左端にゲートドライバ回路 2 2 a を設け、右端にゲートドライバ回路 2 2 b を設けている。なお、ゲートドライバ回路 1 2 は、表示パネルの空き領域に形成すればよい。

【 0 0 2 8 】

（ 1 - 1 ）概要

ゲートドライバ回路 2 2 a は、ゲート信号線 2 7 a を制御し、ゲートドライバ回路 2 2 b はゲート信号線 2 7 b を制御する。ゲートドライバ回路 2 2 a 、 2 2 b には、ゲート信号線 2 7 のオン電圧（ V G L ）と、ゲート信号線 2 7 のオフ電圧（ V G H ）が供給されている。オフ電圧（ V G H ）は、アノード電圧 V d d 以上または近傍の電圧である。オン電圧（ V G L ）は、カソード電圧 V s s またはグランド電圧（ G N D ）近傍の電圧である。なお、近傍の電圧とは、 ± 3 V の範囲の電圧である。

30

【 0 0 2 9 】

本実施形態では、トランジスタ 3 1 のオフ電圧を V G H とし、オン電圧を V G L として説明するがこれに限定するものではない。オン電圧（ V G L ）とオフ電圧（ V G H ）の極性は、駆動用トランジスタ 3 1 a のチャンネルの種類（ P チャンネルまたは N チャンネル）に対応して設定する。また、図 3 1 に示すように、ゲートドライバ回路 2 2 の電圧の 1 つまたは複数を G N D 電圧としてもよい。図 3 1 では、ゲートドライバ回路 2 2 b は、 V G H 電圧と、 V G L = G N D 電圧で動作しており、ゲートドライバ回路 2 2 a は、 V G H 電圧と V G L 1 電圧で動作している。

40

【 0 0 3 0 】

本実施形態では、駆動用トランジスタ 3 1 a は P チャンネルトランジスタとしている。この場合は、オン電圧を V G L とし、オフ電圧を V G H とする。駆動用トランジスタ 3 1 a が N チャンネルトランジスタの場合は、オン電圧を V G H とし、オフ電圧を V G L とする。なお、図 2 に適合するように、 V G H 1 、 V G H 2 、 V G L 1 、 V G L 2 を内蔵させてもよい。その場合においても、 O N 1 コマンドで、 A V d d と V G H 1 、 V G H 2 、 V G L 1 、 V G L 2 を同時に起動し、 O N 2 で V d d 、 V s s を起動させる。

50

【 0 0 3 1 】

ソースドライバ回路 (I C) 2 4 は、映像信号またはキャンセル電圧であるプログラム電流 I_w またはプログラムで電圧 V_w を発生する。発生した映像信号またはキャンセル電圧は、ソース信号線 2 8 に印加される。ソースドライバ回路 (I C) 2 8 とソース信号線 2 8 間に 3 選択回路 4 8 1 を形成してもよい。なお、選択回路 4 8 1 の選択数は 3 に限定するものではなく、6 選択などの他の選択数に構成してもよい。

【 0 0 3 2 】

なお、本実施形態の E L 表示装置においては、ゲートドライバ回路 2 2 a は、オン電圧 V_{GH1} 、オフ電圧 V_{GL1} とし、ゲートドライバ回路 2 2 b は、オン電圧 V_{GH2} 、オフ電圧 V_{GL2} とする。また、 $V_{GH1} = V_{GH2}$ 、 $V_{GL1} < V_{GL2}$ にしている。本実施形態では、画素 2 6 を選択し映像信号を書き込むゲート信号線 1 7 の駆動電圧 (V_{GH2} 、 V_{GL1}) と、E L 素子 3 5 に流す電流を制御するゲート信号線 1 7 の駆動電圧 (V_{GH2} 、 V_{GL2}) とを異ならせている。

【 0 0 3 3 】

ソースドライバ回路 2 4 の電源電圧を V_{cc} (V) とし、アノード電圧を V_{dd} (V) としたとき、 $V_{dd} - 1.5$ (V) V_{cc} V_{dd} の関係を満足するように構成している。

【 0 0 3 4 】

また、ゲートドライバ回路のオン電圧またはオフ電圧を V_{GH} (V) とし、アノード電圧を V_{dd} (V) としたとき、 $V_{dd} + 0.2$ (V) V_{GH} $V_{dd} + 2.5$ (V) の関係を満足するように構成している。

【 0 0 3 5 】

図 3 に示す一例としての E L 表示装置の画素構成では、スイッチ用トランジスタ 3 1 b、3 1 c は、ソースドライバ回路 2 4 が出力する映像信号を印加する画素 (行) を選択するためのスイッチとして機能する。スイッチ用トランジスタ 3 1 d は、E L 素子 1 5 に電流を供給するためのスイッチとして機能する。すなわち、スイッチ用トランジスタ 3 1 d は、発光させる画素 (行) を選択するスイッチとして動作する。

【 0 0 3 6 】

なお、図 3 は、電流プログラムの画素構成であるが (映像信号は電流信号の I_w)、映像信号として、電圧信号を印加しても動作する。

【 0 0 3 7 】

(1 - 2) 入力信号の印加

ゲートドライバ回路 2 2 には、クロック信号 (C L K)、スタート信号 (S T 1、S T 2) などは、アップダウン信号 (U P) が印加される。クロック信号 (C L K) は、水平同期信号 (H D) に同期している。また、必要に応じて、E L 表示装置内に内蔵する発振モジュールでクロック信号 (C L K) を発生させる。スタート信号 (S T 2) を制御することにより、図 7、図 5 7 の d u t y 駆動を実現でき、また、図 6 9 の点灯率制御を実現できる。クロック信号 (C L K)、スタート信号 (S T 1、S T 2)、アップダウン信号 (U P) などゲートドライバ回路 2 2 に印加する信号は、ソースドライバ I C 2 4 で発生し、アレイ基板に形成したレベルシフタ回路でレベルシフトしてゲートドライバ回路 2 2 に印加される。

【 0 0 3 8 】

クロック信号 (C L K) は、選択する画素行を順次移動させるための信号である。スタートパルス信号 (S T) は、選択する画素行を指定するための信号である。スタートパルス信号 (S T) はクロック信号 (C L K) により、ゲートドライバ回路 2 2 のシフトレジスタ回路内を移動する。アップダウン信号は、画面の上下反転切換信号である。シフトレジスタ回路内のスタートパルス位置にしたがって、ゲート信号線 2 7 が選択される (ゲート信号線 2 7 にオン電圧 (V_{GL}) が印加される。

【 0 0 3 9 】

(2) 画素の構成

10

20

30

40

50

図 3 は、E L 表示装置の画素 2 6 の構成図例である。画素は、表示画面 2 1 にマトリックス状に形成されている。一例として画素内に T F T よりなる 4 つのトランジスタ 3 1 が形成されている。

【 0 0 4 0 】

なお、本実施形態の E L 表示装置における画素 2 6 の構成は、図 3 の構成に限定されるものではない。また、各画素 2 6 内に形成されたトランジスタ 3 1 の個数に限定されるものでもない。

【 0 0 4 1 】

(2 - 1) 画素内の配線

図 3 において、駆動用トランジスタ 3 1 a のゲート端子は、スイッチ用トランジスタ 3 1 b のソース端子と接続されている。スイッチ用トランジスタ 3 1 b 及びスイッチ用トランジスタ 3 1 c のゲート端子は、ゲート信号線 2 7 a と接続されている。

【 0 0 4 2 】

トランジスタ 3 1 b のドレイン端子は、スイッチ用トランジスタ 3 1 c のドレイン端子ならびにトランジスタ 3 1 d のソース端子に接続されている。スイッチ用トランジスタ 3 1 c のソース端子は、ソース信号線 2 8 に接続されている。

【 0 0 4 3 】

トランジスタ 3 1 d のゲート端子はゲート信号線 2 7 b に接続されている。トランジスタ 3 1 d のドレイン端子は E L 素子 3 5 のアノード端子に接続されている。E L 素子 3 5 のカソード端子はカソード端子 (V s s) に接続されている。駆動用トランジスタ 3 1 a のソース端子は、アノード電圧 (V d d) に接続されている。

【 0 0 4 4 】

一例としてカソード電圧 V s s は、 - 4 . 5 V ~ - 1 . 0 V であり、アノード電圧 V d d は、 3 . 5 V ~ 7 . 0 V である。V s s 、 V d d 、 V G H 、 V G L などは本実施形態の電源回路 1 2 から供給され、必要に応じて各電圧の値は変更設定される。

【 0 0 4 5 】

スイッチ用トランジスタ 3 1 b 、 3 1 c は、ゲート信号線 2 7 a に印加されたオン / オフ制御信号 (V G H 1 、 V G L 1) によりオン (クローズ状態) / オフ (オープン状態) 制御される。トランジスタ 3 1 d のゲート端子は、ゲート信号線 2 7 b に接続されている。トランジスタ 3 1 d は、ゲート信号線 2 7 b に印加されたオン / オフ制御信号 (V G H 2 、 V G L 2) によりオン / オフ制御される。

【 0 0 4 6 】

(2 - 2) 点灯領域と非点灯領域

映像信号を印加する画素を選択している状態は、図 4 (a) の状態である。スイッチ用トランジスタ 3 1 d はオフであり、スイッチ用トランジスタ 3 1 b 、 3 1 c はオンである。

【 0 0 4 7 】

E L 素子 3 5 を発光させている状態は、図 4 (b) の状態である。スイッチ用トランジスタ 3 1 d はクローズ状態であり、スイッチ用トランジスタ 3 1 b 、 3 1 c はオフである。

【 0 0 4 8 】

以上の動作を表示画面 2 1 で示すと、図 5 に示すようになる。図 5 (a) の 5 1 は、映像信号または映像電圧を書き込むために選択されている画素行 (書き込み画素行) を示している。書き込み画素行 5 1 は、非点灯 (非表示画素行) とする。非点灯にするには、ゲートドライバ回路 2 2 b を制御し、画素 2 6 のスイッチ用トランジスタ 3 1 d をオフにすればよい。

【 0 0 4 9 】

スイッチ用トランジスタ 3 1 d をオフにするためには、ゲート信号線 2 7 b にオフ電圧 (V G H 1) を印加すればよい。ゲートドライバ回路 2 2 がゲート信号線 2 7 にオフ電圧 (V G H) を印加する位置は、水平同期信号 (H D) に同期してシフトさせる。

10

20

30

40

50

【 0 0 5 0 】

なお、本実施形態のピーク電流抑制駆動（図 6 9）、*d u t y* 駆動及び電圧可変駆動（図 5 7）は画素構成が電流駆動方式（例えば、図 3 など）、電圧駆動方式（図 6 8、図 7 4、図 7 5 など）のいずれであっても適用できる。

【 0 0 5 1 】

非点灯（非表示）状態とは、E L 素子 3 5 に電流が流れていない状態をいう。または、一定以内の小さな電流が流れている状態をいう。すなわち、暗い表示状態である。表示画面 2 1 の非表示（非点灯）の範囲を非点灯領域 5 5 と呼ぶ。表示画面 2 1 の表示（点灯）の範囲を表示（点灯）領域 5 6 と呼ぶ。点灯領域 5 6 の画素 2 6 のスイッチ用トランジスタ 3 1 d はオンし、E L 素子 3 5 に電流が流れている。点灯領域 5 6 または非点灯領域 5 5 は、画面 2 1 の上下方向に移動し、画面 2 1 に画像を表示する。

10

【 0 0 5 2 】

但し、黒表示の画像表示では E L 素子 3 5 に電流が流れていない。スイッチ用トランジスタ 3 1 d がオフの領域は、非点灯領域 5 5 となる。

【 0 0 5 3 】

なお、本実施形態の E L 表示装置において、点灯領域 5 6 または非点灯領域 5 5 を、画面 2 1 の上下方向に移動させて、画面 2 1 に画像を表示するとしたが、これに限定するものではない。例えば、点灯領域 5 6 または非点灯領域 5 5 を、画面 2 1 の左右方向に移動させて、画面 2 1 に画像を表示してもよい。また、フレーム毎に点灯領域 5 6 または非点灯領域 5 5 の移動方向を変化させてもよい。また、表示領域 5 6 または非表示領域 5 6 を複数に分割してもよい。

20

【 0 0 5 4 】

（ 3 ） タイミングチャート

タイミングチャートを図 6 に示す。選択された画素行の画素 2 6 では、ゲート信号線 2 7 a にオン電圧（V G L 1）が印加されている時には、ゲート信号線 2 7 b にはオフ電圧（V G H 2）が印加されている（図 4（a）を参照）。この期間は、選択された画素行の E L 素子 3 5 には電流が流れていない（非点灯状態）。

【 0 0 5 5 】

ゲート信号線 2 7 a にオン電圧が印加されていない（すなわち、選択されていない）画素行で、かつ点灯状態の画素行では、ゲート信号線 2 7 b にはオン電圧（V G L 2）が印加されている。この画素行の E L 素子 3 5 には電流が流れ、E L 素子 3 5 が発光している。この発光輝度を図 6（c）では、輝度 B（n t）としている。

30

【 0 0 5 6 】

ゲート信号線 2 7 a にオン電圧が印加されていない画素行で、非点灯状態の画素行では、ゲート信号線 2 7 b にはオフ電圧（V G H 2）が印加されている。この画素行の E L 素子 3 5 には電流が流れず、E L 素子 3 5 は非発光状態である。

【 0 0 5 7 】

図 5 及び図 6 では、N 1（N 1 は 1 以上画素行数以下の整数）画素行の点灯領域 5 6 を発生させた状態である。点灯させた N 1 画素行の領域は、表示画面 2 1 の上辺から下辺に移動させる。移動させる周期は、ゲートドライバ回路 2 2 b の動作フレームレート（フレーム周期）に依存する。すなわち、垂直同期信号に同期して移動する。

40

【 0 0 5 8 】

また、表示画面 2 1 の書き換え周期はゲートドライバ回路 2 2 a の動作フレームレート（フレーム周波数）に依存する。N T S C の動作フレームレートは 6 0 H z（1 秒間に 6 0 枚、1 画面を書き換える時間は 1 / 6 0 秒）、P A L は 5 0 H z（1 秒間に 5 0 枚）である。M P E G では、3 0 フレーム（1 秒間に 3 0 枚、1 画面を書き換える時間は 1 / 3 0 秒）または、1 5 フレーム（1 秒間に 1 5 枚、1 画面を書き換える時間は 1 / 1 5 秒）である。

【 0 0 5 9 】

フレーム周波数に同期して、スタートパルス（S T 1）がゲートドライバ回路 2 2 a に

50

印加される。スタートパルス (S T 2) は、フレームレート周期の入力パターンが生成され、ゲートドライバ回路 2 2 b に印加される。

【 0 0 6 0 】

1 秒間に画面 2 1 を書き換える枚数は、7 0 枚以上にすることが好ましい。また、1 3 0 枚以下にすることが好ましい。すなわち、フレームレートは、7 0 H z 以上 1 3 0 H z 以下にする。

【 0 0 6 1 】

図 5 では、表示画面 2 1 のうち、N 1 画素行分を連続して点灯させるとした。点灯させる領域 (点灯領域 5 6) は、図 7 のように分割してもよい。表示画面 2 1 の面積を 1 0 0 とし、図 5 における点灯領域 5 6 の面積を 2 0、その表示輝度を 1 0 とすれば、表示画面 2 1 の表示輝度比率は、 $20 \times 10 / 200 = 1$ となる。図 7 においても点灯領域 5 6 を 4 分割し、図 5 と同一の表示輝度比率とするには、各分割した点灯領域 5 6 の表示輝度を 1 0 とし、各点灯領域 5 6 の面積を $N 1 / 4$ とすればよい。

10

【 0 0 6 2 】

(4) ソースドライバ回路 2 4

図 8 は、本実施形態の E L 表示装置のソースドライバ回路 2 4 のプログラム電流 (映像信号) の発生回路の説明図である。ソースドライバ回路 2 4 は、赤 (R)、緑 (G)、青 (B) に対応する基準電流回路 (定電流回路) 8 3 (8 3 R、8 3 G、8 3 B) を有している。

20

【 0 0 6 3 】

基準電流回路 8 3 は、抵抗 R 1 (R 1 r、R 1 g、R 1 b) とオペアンプ 8 1 a、トランジスタ 8 4 a から構成される。抵抗 R 1 (R 1 r、R 1 g、R 1 b) の値は、R、G、B の階調電流に対応して独立に調整できるように構成されている。抵抗 R 1 は、ソースドライバ回路 2 4 の外部に配置された外付け抵抗である。

【 0 0 6 4 】

オペアンプの + 端子には、電子ポリウム 8 6 により、電圧 V i が印加されている。電圧 V i は、安定した基準電圧 V b を抵抗 R で分圧することにより得られる。電子ポリウム 8 6 は、信号 I D A T A により出力電圧 V i を変化させる。基準電流 I c は $(V s - V i) / R 1$ となる。R G B の基準電流 I c (I c r、I c g、I c b) は、それぞれ独立した基準電流回路 8 3 で可変される。可変は、R G B 毎に形成された電子ポリウムで実施される。したがって、電子ポリウム 8 6 に印加される制御信号により、電子ポリウム 8 6 から出力される電圧 V i の値が変化する。電圧 V i により R G B の基準電流の大きさが変化し、端子 8 6 から出力される階調電流 (プログラム電流) I w の大きさが比例して変化する。

30

【 0 0 6 5 】

発生した基準電流 I c (I c r、I c g、I c b) は、トランジスタ 8 4 a から 8 4 b に印加される。トランジスタ 8 4 b とトランジスタ群 8 5 とはカレントミラー回路を構成している。図 8 において、トランジスタ 8 4 b 1 は、1 つのトランジスタで構成しているように図示しているが、実際には、トランジスタ群 8 5 と同様に、単位トランジスタ 9 2 の集合 (トランジスタ群) として形成している。

40

【 0 0 6 6 】

トランジスタ群 8 5 からのプログラム電流 I w は出力端子 8 6 より出力される。トランジスタ群 8 5 の各単位トランジスタ 9 2 のゲート端子及びトランジスタ 8 4 b のゲート端子は、ゲート配線 9 4 で接続されている。

【 0 0 6 7 】

トランジスタ群 8 5 は、図 9 に示すように、単位トランジスタ 9 2 の集合として構成される。理解を容易にするため、映像データとプログラム電流は比例または相関の関係で変換されるとして説明する。映像信号によりスイッチ 9 1 が選択され、スイッチ 9 1 の選択により、単位トランジスタ 9 2 の出力電流の集合 (加算) としてのプログラム電流 I w が発生する。したがって、映像信号をプログラム電流 I w に変換できる。本実施形態は単位

50

トランジスタ 9 2 の単位電流が、映像データの 1 の大きさに該当するように構成されている。

【 0 0 6 8 】

単位電流とは、基準電流 I_c の大きさに対応して単位トランジスタ 9 2 が出力する 1 単位のプログラム電流の大きさである。基準電流 I_c が変化すると、単位トランジスタ 9 2 が出力する単位電流も比例して変化する。トランジスタ 8 4 b と単位トランジスタ 9 2 がカレントミラー回路を構成しているからである。

【 0 0 6 9 】

R G B の各トランジスタ群 8 5 は単位トランジスタ 9 2 の集合で構成されており、単位トランジスタ 9 2 の出力電流（単位プログラム電流）の大きさは、基準電流 I_c の大きさを調整できる。基準電流 I_c の大きさを調整すれば、R G B 毎に各階調のプログラム電流（定電流） I_w の大きさを可変することができる。したがって、R G B の単位トランジスタ 9 2 の特性が同一であるような理想的状態では、R G B の基準電流回路 8 3 の基準電流 I_c の大きさを変化させることにより、E L 表示装置の表示画像のホワイトバランスをとることができる。

【 0 0 7 0 】

以下、説明を容易にするため、ソースドライバ回路（I C）1 4 のトランジスタ群 8 5 は 6 ビットであるとして説明をする。図 9 において、各単位トランジスタ 9 2 は、定電流データ（D 0 ~ D 5）毎に配置される。D 0 ビットには 1 個の単位トランジスタ 9 2 が配置される。D 1 ビットには 2 個の単位トランジスタ 9 2 が配置される。D 2 ビットには 4 個の単位トランジスタ 9 2 が配置され、D 3 ビットには 8 個の単位トランジスタ 9 2 が配置され、D 4 ビットには 1 6 個の単位トランジスタ 9 2 が配置される。同様に、D 5 ビットには 3 2 個の単位トランジスタ 9 2 が配置されている。

【 0 0 7 1 】

各ビットの単位トランジスタ 9 2 の出力電流が出力端子 8 6 に出力されるか否かは、アナログスイッチ 9 1（9 1 a ~ 9 1 f）によるオン / オフ制御で実現される。デコーダ回路 9 5 は、入力された映像データ K D A T A をデコードする。アナログスイッチは映像信号データ K D A T A に対応してオン / オフ制御される。

【 0 0 7 2 】

プログラム電流 I_w は内部配線 9 3 を流れる。内部配線 9 3 の電位は、ソース信号線 2 8 の電位となる。内部配線 9 3 の電位は A V d d 以下 G N D 電位以上である。ソース信号線 2 8 の電位は、定電流 I_w をソース信号線 2 8 に印加し、定常状態した時は、画素 2 6 の駆動用トランジスタ 3 1 a のゲート端子の電圧（図 3 の画素構成の場合）である。

【 0 0 7 3 】

（ 5 ）階調電圧出力

図 1 0 は、電圧プログラム方式の階調電圧出力回路の説明図である。階調電圧出力回路で発生する電位の最低は、0 V（G N D 電位）であり、電位の最大は、ソースドライバ回路 2 4 の電源電圧 A V d d である。

【 0 0 7 4 】

なお、ガンマカーブの低電位は、階調アンプ 1 0 2 L で規定する。ガンマカーブの高電位は、階調アンプ 1 0 2 H で規定する。階調アンプ 1 0 2 H が出力する電圧は V_H とする。階調アンプ 1 0 2 L が出力する電圧は V_L とする。したがって、振幅幅の最大値は、 $V_H - V_L$ である。

【 0 0 7 5 】

階調アンプ 1 0 2 の出力電圧は、振幅調整レジスタ 1 0 1 で制御する。振幅調整レジスタ 1 0 1 の出力ビットは 8 ビットである。したがって、階調アンプ 1 0 2 は、2 5 6 段階で出力変化が可能である。階調アンプ 1 0 2 H の値を高く（高電位）にすることにより、ガンマカーブの振幅値は大きくなる。階調アンプ 1 0 2 H の値を低く（低電位）にすることにより、ガンマカーブの振幅値は小さくなる。

【 0 0 7 6 】

10

20

30

40

50

また、階調アンプ 102 L の値を高く（高電位）にすることにより、ガンマカーブの振幅値は小さくなる。階調アンプ 102 H の値を低く（低電位）にすることにより、ガンマカーブの振幅値は大きくなる。図 10 の構成では、階調アンプ 102 H と階調アンプ 102 L を独立で動作させることもできる。

【0077】

階調アンプ 102 H と階調アンプ 102 L 間には、抵抗がラダー状に接続されている。それぞれの抵抗（VR1、VR2、VR3、VR4・・・、VRN）間には、配線端子 103 が引き出されている。配線端子 103 は、図 11 の電圧 DAC 回路の各セレクト回路と接続されている。なお、画素 26 の駆動用トランジスタ 31a は P チャンネルトランジスタとし、低階調側は、AVdd に近く、高階調側は、GND に近いとしている。

10

【0078】

抵抗ラダーの抵抗（VR1、VR2、VR3、VR4・・・、VRN）の抵抗値は、コマンド設定で可変できるように構成されている。コマンドにより、抵抗値が変化する。

【0079】

なお、VH、VL 電圧のうち、少なくとも一方は、図 69 の点灯率、図 57 の duty 比に対応させて変化させてもよい。点灯率が低い時は、VH - VL の絶対値を大きくし、点灯率が小さい時は、VH - VL の絶対値を相対的に小さくする。また、duty 比が小さい時は、VH - VL の絶対値を大きくし、duty 比が大きい時は、VH - VL の絶対値を相対的に小さくする。

20

【0080】

また、点灯率にあわせて EL 表示装置で表示する階調数を変化させることが好ましい。たとえば、点灯率が 50 % 以上では、フル階調の 1 / 2 の範囲（1024 階調の場合は、512 階調）で、画像を表示し、50 % 以下では、フル階調の範囲で画像を表示する。

【0081】

なお、点灯率とは、duty 駆動などピーク電流を抑制しないノーマルの駆動方式において、最大階調での白ラスタ表示を 100 % とした割合である。したがって、黒ラスタ表示では点灯率は 0 % である。

【0082】

図 11 に示すように、映像信号データ KDATA は、電圧データラッチ回路 221a に保持される。各データは、6 ビットである。また、画素列は、240 ドットで、各トッドに RGB の 3 データである。したがって、電圧データラッチ A 回路及び電圧データラッチ B 回路のラインメモリは、6 ビット × 240 RGB である。電圧データラッチ A 回路 221a のデータは、水平同期信号（HD）に同期して、電圧データラッチ B 回路 221b にコピーされる。

30

【0083】

電圧 DAC 回路 112 は、スイッチ回路で構成されている。電圧データラッチ B 回路 221b のデジタルデータから、階調電圧出力回路 112 の端子 103 から 1 つを選択する。選択した端子 103 の電圧をソース信号線 28 に出力する。

【0084】

ゲートドライバ回路 22a とゲートドライバ回路 22b との動作フレームレートが異なる場合に、同一の画素 26 に接続されたゲート信号線 27a 及びゲート信号線 27b にオン電圧（VGL）が印加される場合がある。

40

【0085】

ソースドライバ回路 24 には、図 8、図 9 のプログラム電流の出力回路と、図 10、図 11 のプログラム電圧の出力回路の双方を構成する。プログラム電流方式は、低階調領域で映像信号の書き込み不足が発生するが、プログラム電圧方式は、低階調領域でも良好な映像信号の書き込みを実現できる。しかし、プログラム電圧方式では、駆動用トランジスタ 31a のバラツキ特性の補償が完全でない。プログラム電流方式では、駆動用トランジスタ 31a のバラツキ特性の補償が良好である。

50

【 0 0 8 6 】

ソースドライバ回路 2 4 にプログラム電流の出力回路と、プログラム電圧の出力回路の双方を構成し、動作させることにより、プログラム電流方式の欠点をプログラム電圧方式の欠点を補うことができ、良好な画像表示を実現できる。

【 0 0 8 7 】

本実施形態では、印加された映像信号に対して、1画素行を選択する期間の前半にプログラム電圧を各画素に印加し、1画素行を選択する期間の後半にプログラム電流を印加した駆動方法を採用している。プログラム電圧を印加した後に、プログラム電流を印加する。なお、プログラム電圧は、対応する映像信号が高階調の場合は印加しない。プログラム電流で十分目標の階調信号が書き込めるからである。もちろん、画素 2 6 に印加する映像信号は、電圧信号のみで構成してもよい。また、画素 2 6 に印加する映像信号は、電流信号のみで構成してもよい。

10

【 0 0 8 8 】

(6) 電源回路

図 1 は、本実施形態の電源回路の説明図である。本実施形態の電源回路を用いることにより、検査、エージング、輝度調整などが容易に実現できるようになる。

【 0 0 8 9 】

電源回路 1 2 の V_{in} 端子には、バッテリーから V_{in} 電圧 (電圧 2 . 3 V 以上 4 . 6 V 以下) が印加される。電源回路 1 2 は、EL 表示装置に必要な電圧を発生させる。EL 素子に供給する電圧 (アノード電圧 V_{dd} 、カソード電圧 V_{ss}) 及びその電流は、DC DC 回路により発生させる。

20

【 0 0 9 0 】

DC DC 回路において正極性の電圧 V_{dd} は、コイル L_p を用いる。負極性の電圧 V_{ss} は、コイル L_n を用いる。すなわち、コイルを用いて共振させることにより必要な電圧値を発生させる。

【 0 0 9 1 】

V_{dd} は、ソースドライバ回路 2 4 のアナログ電圧 A_{vdd} と共通である ($V_{dd} = A_{vdd}$)。 A_{vdd} 電圧は、ソースドライバ回路 2 4 の電源電圧である。アナログ電圧 A_{vdd} は、映像信号の基準電圧としている。駆動用トランジスタ 3 1 a は、P チャンネルトランジスタであるため、アノード端子はアノード電極 (電圧 V_{dd}) と接続されている。すなわち、駆動用トランジスタ 3 1 a の基準電圧位置は、アノード電圧 V_{dd} である。ソースドライバ回路 3 9 のアナログ電圧を A_{vdd} とし、 A_{vdd} を基準 (映像信号電圧が A_{vdd} 電圧の時、映像信号の振幅電圧は、0 V である) とする。また、 $A_{vdd} = V_{dd}$ することにより、駆動用トランジスタ 3 1 a を映像信号でプログラム設定することが容易になる。また、EL 表示装置で使用する電源数も削減できる。

30

【 0 0 9 2 】

画素 2 6 の駆動用トランジスタ 3 1 a は P チャンネルトランジスタである。 $V_{dd} = A_{vdd}$ とすることにより、階調電圧の電位とアノード電位 V_{dd} が連動して変化するので、良好な階調表示を実現できる。電源回路 (IC) 1 2 で発生するアノード電圧 V_{dd} がバラツキにより変化しても、駆動用トランジスタ 3 1 a に印加する振幅電圧の基準位置は連動して変化する。したがって、駆動用トランジスタ 3 1 a を映像信号でプログラム設定する精度が良好になる。

40

【 0 0 9 3 】

なお、画素 2 6 の駆動用トランジスタ 3 1 a が N チャンネルトランジスタの場合は、映像信号の基準電圧をグランド (GND) 電圧にする。

【 0 0 9 4 】

また、電源回路 1 2 は、リニアレギュレータ回路により、ソースドライバ回路のロジック電圧 D_{vdd} を発生する。 $D_{vdd} = 1 . 85 V$ である。また、チャージポンプ回路により、ゲートドライバ回路 2 2 の電源 (V_{GH} 、 V_{GL}) を発生する。チャージポンプ回路は、正極性の電圧 V_{GH} には、コンデンサ C_p を使用する。チャージポンプ回路は、負

50

極性の電圧 V_{GL} には、コンデンサ C_n を使用する。すなわち、コンデンサと発振回路で、チャージポンプ回路を構成し、必要な電圧値を発生させる。なお、図 12 に示すように、 A_{vdd} 電圧もレギュレータ回路 121b で発生させてもよい。また、 D_{vdd} と A_{vdd} を個別にオン/オフ制御できるように構成してもよい。

【0095】

なお、 V_{GH} 、 V_{GL} など、ゲートドライバ回路 22 で使用する電圧は、ソースドライバ回路 24 に形成したチャージポンプ回路で発生させてもよい。この場合は、ソースドライバ回路 24 の V_{GH} 、 V_{GL} 出力回路に、オフスイッチを形成する（ソースドライバ回路 24 に出力オフ機能を持たせる）。

【0096】

以下の実施形態では、電源回路 12 に V_{GH} 、 V_{GL} 電圧発生回路 11 を具備するとして説明する。 V_{GL} 、 V_{GH} 電圧発生回路 11 がソースドライバ回路 24 に具備される場合は、ソースドライバ回路 24 と電源回路 12 とを同期を取っても本実施形態を実施すればよい。

10

【0097】

A_{vdd} 、 D_{vdd} 電圧は、図 12 に示すように、レギュレータ回路 121 で発生させてもよい。バッテリー電圧 V_{in} がレギュレータ回路 121a に入力され、 D_{vdd} 電圧を発生させる。また、バッテリー電圧 V_{in} がレギュレータ回路 121b に入力され、 A_{vdd} 電圧を発生させる。

【0098】

(7) 出力オープン機能

本実施形態は、エージング工程、欠陥検査、輝度調整などの調整対応するため、出力オープン機能を有する。

20

【0099】

(7-1) 出力オープン機能の内容

出力オープン機能はスイッチから構成する。図 1 に示すように、各電圧発生回路 11 の出力段にスイッチ ($SW1$ 、 $SW2$ 、 $SW3$ 、 $SW4$ 、 $SW5$ 、 $SW6$) が形成されている。

【0100】

出力オープン機能とは、スイッチ SW をオフ（ハイインピーダンス）にすることにより、電源回路 12 の出力端子に、別電圧を印加できる。例えば、 $V_{dd} = 5V$ とし、 V_{dd} 出力端子のスイッチ $SW2$ をオフにすることにより、 V_{dd} 出力端子に $7V$ の電圧を印加できるようになる。 $V_{ss} = -3V$ とし、 V_{ss} 出力端子のスイッチ $SW1$ をオフにすることにより、 V_{ss} 出力端子に $-5V$ の電圧を印加できるようになる。

30

【0101】

各端子のスイッチ SW をオフさせることにより、各端子に外部電圧を印加したとき、オフリーク電流は $10\mu A$ 以下となるように構成されている。この構成は、各スイッチ SW を構成する FET のゲート端子にバッファ回路を介して電圧を印加する回路構成を採用することにより実現できる。

【0102】

スイッチ $SW1$ は、 V_{ss} 電圧をオフ（ハイインピーダンス）にする機能を有する。スイッチ $SW2$ は、 V_{dd} 電圧をオフ（ハイインピーダンス）にする機能を有し、スイッチ $SW3$ は、 A_{vdd} 電圧をオフ（ハイインピーダンス）にする機能を有する。スイッチは、アナログスイッチ、MOS スイッチなどで構成される。

40

【0103】

同様に、スイッチ $SW4$ は、ソースドライバ回路 24 で使用するロジック電圧 D_{vdd} をオフ（ハイインピーダンス）にし、スイッチ $SW5$ は、 V_{GH} 電圧をオフ（ハイインピーダンス）にする。スイッチ $SW6$ は、 V_{GL} 電圧をオフ（ハイインピーダンス）にする機能を有する。

【0104】

50

なお、スイッチ (SW1 ~ SW6) は、明確にスイッチ回路を形成する必要はない。例えば、Vdd 発生回路 31b に印加する発振電圧を停止することにより、等価的に、Vdd 出力がオフとなる場合は、スイッチ SW2 の物理的形成は不要である。つまり、スイッチ SW とは、各電圧発生回路 11 の動作を停止させる機能と考えても良い。

【0105】

電源電圧の出力回路にはトランジスタ (FET) を具備しており、この FET からなるスイッチ、ダイオードと外付けコイル (Ln、Lp) で共振させて所定の電圧を発生させる。この共振させる FET のゲート端子にオフ電圧を印加する、またはオフにすることにより FET から電圧は出力されないようになる。結果的に、該当電源回路 12 の出力端子はオフ (ハイインピーダンス) になる。また、電源回路 12 に内蔵のダイオードに逆バイアスを印加して、ダイオードをオフさせてもよい。また、図 13 に示すように、電源回路 12 の外部に、スイッチ回路 131 を外付け配置してもよい。スイッチ SW はリレー回路などで構成することもできる。

10

【0106】

また、電源回路 12 の出力段のトランジスタのゲート端子にオフ電圧を印加し、前記トランジスタのチャンネル間をハイインピーダンスにする。なお、電源回路 12 の出力段には保護ダイオードを形成し、保護ダイオードはリークが発生しないように十分に高い電圧に接続してオフ状態を維持する。

【0107】

なお、出力オープン機能は、電源回路 12 に内蔵させることに限定されるものではない。例えば、図 13 に示すように、SW の部分をスイッチ回路 131 として別途設けてもよい。スイッチ回路 131 は、シリコンチップで形成し、フレキシブル基板などに実装する。スイッチ回路 131 は MOS-FET など構成する。

20

【0108】

すなわち、本実施形態のオフ (ハイインピーダンス) にする機能とは、等価的に、電源回路 12 の端子を外部から見たとき、ハイインピーダンス状態にする機能であれば足りる。また、ハイインピーダンス状態にした時、またはハイインピーダンス状態になった時、電源回路 12 の端子を外部に別の電圧を印加できる構成であれば足りる。

【0109】

(7-2) 電圧の設定

30

本実施形態の電源回路は、負電源側のダイオード、FET を内蔵している。また、SMBus などの標準データバスを具備し、標準データバスに伝送するコマンドにより、出力電圧などを設定できる。

【0110】

コマンドにより設定できる電圧は、VGH 電圧、VGL 電圧、Vss 電圧である。これらの電圧は、0.5V キザミで設定できるように構成されている。なお、VGH は VGH1、VGH2 と 2 種類の電圧を発生させ、VGL は VGL1、VGL2 と 2 種類の電圧を発生させてもよい。

【0111】

電圧の可変は、電源回路 12 内部に、DA 変換回路を設けることにより容易に実現できる。また、出力オープン機能もコマンドで制御することができる。例えば、標準データバス (SMBus、I2C バスなど) を介したコマンド制御により、Vss 電圧端子をオフにできる。コマンドにより、どのスイッチをオンさせるかオフさせるかを指定する。

40

【0112】

図 14 は、VGH 電圧、VGL 電圧、Vdd 電圧、Vss 電圧、Avdd 電圧の設定値である。設定値は、コマンドの '値' により、0.5V キザミで設定されている。VGH 電圧の設定値は、Avdd 電圧の設定値よりも 1.0V 以上 (少なくとも 0.5V 以上) 高く設定できるように構成する。VGL 電圧の設定値は、Vss 電圧と同一の値を設定できるように構成する。

【0113】

50

なお、図 1 4 の各電圧の値は、E E P R O M 2 7 2 (図 2 7) に格納しておき、使用状態に合わせて変更できるように構成しておくことが好ましい。例えば、図 1 4 では、V G H の値 0 では、5 . 0 V であるが、この値を E E P R O M 2 7 2 から読み出し、4 . 5 V に変更する。キザミ値も E E P R O M 2 7 2 に格納されたデータにより変更できるように構成しておくことが好ましい。

【 0 1 1 4 】

V G H 電圧、V G L 電圧、V d d 電圧、V s s 電圧、A v d d 電圧は、本実施形態のパネルの調整工程で、可変して用いる。また、ピーク電流抑制駆動で可変して用いる。

【 0 1 1 5 】

V G H 電圧は、5 . 0 V 以上 9 V 以下であり、この範囲を 0 . 5 V キザミで設定可能である。また、必要に応じて 1 0 m V キザミで設定できるように構成することもできる。以上の事項は他の電圧に対しても同様である。なお、本実施形態では、説明を容易にするため、基本的には電圧のキザミは 0 . 5 V であるとする。しかし、これに限定するものではない。

10

【 0 1 1 6 】

一例として、V G L 電圧は、- 6 . 0 V 以上 - 0 . 5 V 以下であり、この範囲を 0 . 5 V キザミで設定可能である。V s s 電圧は、- 6 . 0 V 以上 - 0 . 5 V 以下であり、この範囲を 0 . 5 V キザミで設定可能である。

【 0 1 1 7 】

(7 - 3) 出力オープン機能の変更例

20

出力オープン機能は、ハード端子による制御でオン / オフしてもよい。例えば、電源回路 1 2 の 1 番ピンは T E S T 1、2 番ピンを T E S T 2 とする。T E S T 1 を ' H ' とすることにより、V d d 端子と V s s 端子が出力オフにする。また、' L ' とすることにより、V d d 端子と V s s 端子を電圧出力状態にする。T E S T 2 を ' H ' とすることにより、V G H 端子と V G L 端子が出力オフにする。' L ' とすることにより、V G H 端子と V G L 端子を電圧出力状態にする。

【 0 1 1 8 】

なお、出力オープン機能とは、主として電圧出力端子を外部から切り離された状態を意味し、前記端子などに他の電源からの電圧または電流を印加しても、前記電源 I C 1 2 などに前記他の電源からの電流が、前記電源 I C 1 2 などに流入しない、または、前記他の電源からの電流が流出しない状態、またはこれと類する状態を意味する。

30

【 0 1 1 9 】

また、複数のピンにロジック電圧設定することにより、V G H 電圧を 5 . 0 V から 8 . 0 V のいずれかの電圧を設定し、端子から出力できるように構成する。なお、図 1 5 に T E S T モードの出力電圧と、放電回路 (図 1 6) の関係を図示している。

【 0 1 2 0 】

各電源の出力には、放電回路 (デイスチャージ回路) が形成されている。デイスチャージ回路を図 1 6 に示す。図 1 6 は、一例として V s s の出力段であるが、他の出力段 V d d、A v d d、V G H、V G L にも形成されている。オフスイッチ S W 1 がオフの場合に、スイッチ S 1 をオンさせて、抵抗 R と介して、V s s 端子に充電された電荷を放電する。抵抗 R の抵抗値は、D C D C 回路に関連する出力 (V s s、V d d) は、3 0 ~ 1 0 0 Ω とする。チャージポンプ回路に関連する出力 (V G H、V G L) は、2 0 0 ~ 1 k Ω とする。以上のように抵抗 R の値は、D C D C 回路による発生させる電圧よりもチャージポンプ回路で発生させる電圧の方を大きくする。

40

【 0 1 2 1 】

デイスチャージ回路を構成するスイッチ S 1 も、コマンド設定により動作するように構成されている。すなわち、デイスチャージ動作をさせるか否かは、コマンドで設定できる。

【 0 1 2 2 】

また、図 1 7 のように、T E S T = 3 の時、A v d d は放電なしとしてもよい。放電回

50

路は、ディスチャージ回路とも呼ぶ。図 15 では、MODE 0 で、全電圧 ($A_{vdd} \sim V_{ss}$) の出力端子をディスチャージ状態に保持している。このことは EL 表示装置を外部ノイズから保護する上でも重要である。また、MODE 1 の ON 1 コマンドのみが指定されているときは、 V_{dd} 端子と V_{ss} 端子とディスチャージ状態に保持しておくことも重要である。

【0123】

ON 1 コマンドのみの場合は、ソースドライバ回路 24 及びゲートドライバ回路 22 に使用する電圧 (A_{vdd} 、 V_{GH} 、 V_{GL}) の端子にはディスチャージせず、EL 素子 35 に印加する電圧端子はディスチャージさせる。ON 1 及び ON 2 コマンド発生時 (MODE 3) では、すべての電圧端子はディスチャージしない。

10

【0124】

なお、電源回路 (電源 IC) 12 の起動はソフトスタート回路の動作あるいは作用によりラッシュ電流が流れないように制御される。ソフトスタート時間は、3 msec 以上 20 msec 以下の時間に設定される。

【0125】

また、電源回路 (電源 IC) 12 には、過電流防止回路およびサーマルシャットダウン回路が形成されている。過電流防止回路が動作する時間は、50 msec 以上 200 msec 以下の時間に設定される。

【0126】

以上のように、図 17 の TEST 状態でも、ディスチャージ (放電) を動作させる。TEST 0 は、通常の動作状態である。 A_{vdd} 、 V_{GH} 、 V_{GL} 、 V_{dd} 、 V_{ss} の出力は、図 19 の MODE に従って放電回路が動作する (放電回路 ON)。TEST 1、TEST 2、TEST 3 では放電回路が動作しない (放電回路 OFF: 非動作状態)。なお、図 20 に示すように、TEST 3 で、放電回路を動作可能状態にしてもよい。

20

【0127】

放電回路は、図 16 に示すように、スイッチ S1、放電抵抗 R から構成される。放電抵抗 R は、端子または配線 (図 16 では一例として V_{ss} 端子または V_{ss} 配線) に充電された電荷を放電するのに使用される。スイッチ S1 は電源回路 12 の出力電圧を停止する時、電源電圧の値を変化させる時に動作する。

【0128】

30

(8) DCD C 回路の発振周波数

本実施形態の電源回路 12 は、DCDC 回路の発振周波数もソースドライバ回路 24 からのコマンドで設定できる。

【0129】

発振周波数は、0.6 MHz、1.2 MHz、1.8 MHz の複数から 1 つを選択する。発振周波数は、0.6 MHz、1.2 MHz、1.8 MHz と整数倍に設定できるようにする。発振周波数の 1 つは、1.0 ~ 1.5 MHz 内に設定する (本実施形態では、1.2 MHz が該当する)。

【0130】

発振周波数は、図 18 に表で示す。発振周波数も電源回路に内蔵する複数の抵抗から 1 つを選択することにより容易に実現できる。発振周波数は、FL コマンドの設定により、発振周波数が変更できる。発振周波数が低いと、電源回路の外付けコイル (L_p 、 L_n) のサイズが大きくなる。変換効率は高くなる。電源回路の外付けコイルのサイズが大きくなる。変換効率は高くなる。発振周波数が高いと、電源回路の外付けコイルのサイズが小さくなる。変換効率は低くなることが多い。

40

【0131】

本実施形態の電源回路は携帯電話に用いる。本実施形態は、携帯電話の通信方式により、発振周波数を切り替えて使用する。CDMA 方式の場合は、DCDC の発振周波数を 0.6 MHz とする。GSM 方式の場合は、1.2 MHz で使用する。本実施形態は、CDMA 方式で使用する場合と、GSM 方式で使用する場合とで、コマンドにより、発振周波

50

数を変更する。すなわち、携帯の受信方式に対応させて発振周波数を切り替える。

【0132】

(9) テストモード

図15は、本実施形態の電源回路の動作モードであるテストモード(TEST)で、ディスチャージ(放電)回路の動作の有無を記載している。図15において、「○」は、対応する電圧が出力されることを示し、「×」は、出力されていないことを示す。ONは、放電回路が動作していること(図16でスイッチS1がオンしていること)を示し、OFFは、放電回路が非動作状態であること(図16でスイッチS1がオフしていること)を示している。

【0133】

例えば、TESTモードの値が1(設定値1)では、Avdd、VGH、VGL、Vdd、Vssが出力されており、放電回路がONしていることを示している。TESTモードの値が2(設定値2)では、Avdd、VGH、VGLが出力されており、放電回路がOFFしていることを示している。

【0134】

(10) 立ち上げシーケンスと立ち下げシーケンス

本実施形態の電源回路12には、図19に示すように、MODEがある。

【0135】

MODEとは、電源回路12の立ち上げ及び立ち下げシーケンスを行うものである。シーケンスを行うのに、ON1とON2がある。

【0136】

MODE = 0 (MODEコマンドの値0、MODE0)では、ON1及びON2がともに0(オフ)である。

【0137】

MODE = 1 (MODEコマンドの値1、MODE1)では、ON1 = 1(オン)で、ON2 = 0(オフ)である。

【0138】

MODE = 2 (MODEコマンドの値2、MODE2)では、ON1 = 0(オフ)であり、ON2が1(オン)である。MODE = 3 (MODEコマンドの値3、MODE3)では、ON1及びON2がともに1(オン)である。なお、図19において、○は、該当する電圧が出力されていることを、×は、該当する電圧が出力されていないことを示している。

【0139】

ON1 = 1は、ソースドライバ回路24及びゲートドライバ回路22の電源電圧(Avdd、VGH、VGL)の立ち上げをする。ON2 = 1(オン)は、アノード電圧Vdd、カソード電圧VssをEL表示装置に供給する。

【0140】

立ち上げシーケンスでは、本実施形態は、ON1を設定し、次にON2を設定する。立ち上げシーケンスでは、まず、ゲートドライバ回路22及びソースドライバ回路24を動作した後に、EL素子35に供給するアノード電圧などを印加する。この状態が反転すると、EL表示装置が不要な発光状態が発生する。

【0141】

立ち下げシーケンスでは、本実施形態は、ON2を解除し(ON2 = 0)、次にON1を解除する(ON1 = 0)。立ち下げシーケンスでは、まず、アノード電圧Vdd、カソード電圧Vssを切断してから、ゲートドライバ回路22及びソースドライバ回路24の電圧をオフにしないと、アノード端子からのソースドライバ回路24への逆流により、ソースドライバ回路などが破壊される場合がある。

【0142】

以上により、MODE = 2の状態は発生してはならない。立ち上がりシーケンスにおいて、ノイズなどにより、MODE = 3が最初になった場合は、まず、MODE 1を設定

10

20

30

40

50

し、MODE 3を実行する。また、立ち上がりシーケンスにおいて、ノイズなどにより、まず、最初にMODE = 3となった場合は、まず、MODE 1を設定し、MODE 3を実行する。以上のように、本発明は、各動作が異常状態から動作した場合に、自己修正するロジックを内蔵している。

【0143】

立ち下げシーケンスの場合は、MODE 3の状態から、ON 2 = 0となる、MODE 1の状態となり、最後にMODE 0の状態となる。

【0144】

MODE 0では、全出力電圧がオフである。MODE 1では、ソースドライバ回路24のアナログ電圧A v d d、ゲートドライバ回路22の電圧(V G H、V G L)がオン状態、アノード電圧V d d、カソード電圧V s sがオフ状態である。MODE 2、MODE 3では、ソースドライバ回路24のアナログ電圧A v d d、ゲートドライバ回路22の電圧(V G H、V G L)がオン状態、アノード電圧V d d、カソード電圧V s sがオン状態である。しかし、MODE 2は、設定禁止状態である。

【0145】

図20は、MODEに対するディスチャージ動作(図16を参照のこと)の設定状態を示している。図20において、「○」が、ディスチャージ動作をおこなっていること(図16のように、対応するスイッチS(図16では、スイッチS1)がオンしていること)を示している。「×」は、スイッチSがオフであること(ディスチャージ動作していないこと)を示している。

【0146】

MODE 0では、全出力電圧がオフであるため、全端子が、ディスチャージ状態である。MODE 1では、ソースドライバ回路24のアナログ電圧A v d d、ゲートドライバ回路22の電圧(V G H、V G L)がオン状態、アノード電圧V d d、カソード電圧V s sがオフ状態であるため、アノード電圧V d d、カソード電圧V s sのみが、ディスチャージ状態である。MODE 2、MODE 3では、ソースドライバ回路24のアナログ電圧A v d d、ゲートドライバ回路22の電圧(V G H、V G L)がオン状態、アノード電圧V d d、カソード電圧V s sがオン状態である。したがって、全出力のディスチャージは非動作である。MODE 2は、設定禁止状態である。

【0147】

以上のように、電圧出力されていない端子を、ディスチャージ状態にすることにより、EL表示装置の不要な動作または誤動作を防止するとともに、EL表示装置が電氣的に破壊されることを防止できる。

【0148】

オン/オフ端子は、電源回路を起動させる端子である。オン/オフ端子にクロック信号が印加されると、D v d d電圧を出力する。クロック信号は、信号の立ち上がりまたは立ち下げを検出し、複数回のクロック信号の立ち上がりまたは立ち上がりエッジを検出するとロジック電圧D v d dを出力する(図21を参照)。

【0149】

クロック信号は、本実施形態のEL表示装置に印加される映像信号クロックまたは水平同期信号H Dを用いる。映像信号は、本実施形態のEL表示装置が組み込まれた機器のグラフィックコントローラが発生する。

【0150】

図21に示すように、クロック(C L K)信号の立ち上がりを検出し、電源回路12内のカウンタ221をカウントアップする(図21、図22、図24を参照のこと)。クロックが3クロック入るとD v d d電圧が出力される。この電源立ち上がりまでに必要なクロック数は、コマンドで設定できるように構成されている。図21では、a点で3クロックであるため、D v d dを出力する。もちろん、クロック信号の検出は、クロックの立ち下げを検出してよい。また、クロックの両エッジを検出してよい。クロック間隔が一定以上短いとカウントはしない。この設定は、電源回路12に内蔵するローパスフィルタ

10

20

30

40

50

で設定する。

【0151】

クロックが一定期間、遮断されると、D v d d 電圧の出力を停止する。図 2 1 では、T 1 期間が 3 0 m s e c 以上であると出力を停止する。同時に、カウンタ 2 2 1 のカウント値はクリアされる。したがって、カウンタ 2 2 1 のカウントは 0 から開始する。

【0152】

なお、図 2 1 の実施形態では、D v d d 電圧をクロックでオン / オフ（出力、停止）させるとしたが、これに限定するものではない。例えば、V d d、V s s 電圧、V G H、V G L 電圧をオン / オフ制御してもよい。また、3 クロック目で V G H、V G L 電圧などゲートドライバ回路 2 2 で必要なチャージポンプで出力する電圧を出力させ、3 0 クロック目

10

【0153】

立ち下げも同様である。3 0 m s e c で、V d d、V s s など E L 素子 3 5 に供給する D C D C 電圧を停止し、同時に放電回路（図 1 6、図 2 0 を参照）を動作させ、1 0 0 m s e c 後に、V G H、V G L 電圧などゲートドライバ回路 2 2 で必要なチャージポンプで停止（同時に放電回路を動作）するように構成してもよい。すなわち、クロックの個数またはクロックの間隔で電圧出力を制御する。

【0154】

D v d d 電圧は、ソースドライバ回路 2 4 のロジック電圧である。D V d d 電圧が立ち上がると、I 2 C バスの電源が供給され、ソースドライバ回路 2 4 と電源回路 1 2 間のコマンド通信が可能になる。ソースドライバ回路 2 4 は、I 2 C バスを介して電源回路 1 2 にオンシーケンスコマンド（オンコマンド）を伝送し、電源回路 1 2 は、他の電圧（V G H、V G L、V s s、V d d など）を出力する。

20

【0155】

電源回路 1 2 の立ち下げ（電圧出力の停止）は、ソースドライバ回路 2 4 から電源回路 1 2 へのオフシーケンスコマンド（オフコマンド）により行われる。なお、図 2 1 に示すクロック信号（C L K）が中断することによっても電源回路 1 2 はオフ状態になる。

【0156】

D v d d 電圧は、ソースドライバ回路 2 4 で使用されるロジック電圧である。まず、最初にロジック電圧が入力されないと、ソースドライバ回路 2 4 のロジック動作が開始せず、E L 表示装置の開始シーケンスが実施されない。しかし、常時（E L 表示装置を使用しないときも）、D V d d の電圧発生回路 1 1 c を起動しておく、電力を使用する。図 2 1、図 2 2 のように、クロックで D v d d 発生回路を起動させるように構成すれば、不要な電力消費はない。また、クロックが一定期間入力されないと、D v d d 回路を非動作状態になるように構成すれば、不要な電力消費はない。

30

【0157】

なお、図 2 1 の実施形態ではクロックの入力により、D V d d 電圧が立ち上がるとしたが、本実施形態はこれに限定するものではなく、A v d d 電圧など他の出力電圧を立ち上げるように構成しても良い。また、電圧が立ち上がるクロック数はコマンドなどにより設定できるように構成することが望ましい。立ち下げの時間 T 1 もコマンドなどにより設定できるように構成することが好ましい。

40

【0158】

また、カウンタの値は、クロックが一定時間以上ない場合はクリアされるように構成することが好ましい。例えば、2 のクロック信号（C L K）が入力されても、3 番目のクロック信号（C L K）までの間隔が 2 0 m s e c 以上あると、電源回路 1 2 内のカウンタがクリアされ、カウンタを 0 に戻すように構成する。また、電源回路 1 2 がオフシーケンスを受けつけた場合も、カウンタはクリアされる。クリアされるまでの時間は、コマンドにより設定できるように構成されている。

【0159】

50

クリアされるまでの時間 T_1 は、クロックとして垂直同期信号を使用することを想定される。したがって、30フレームの場合、35 msec 以上にする必要がある。また、ノイズによるカウントアップの誤動作を防止するため、100 msec 以下 (0.1 Hz) にする必要がある。また、映像信号のメインクロックで動作するように構成する。表示装置の画像クロックが 3 MHz であれば、 3 MHz で動作するように構成する。しかし、余り高速なクロックで動作するように構成すると、外部ノイズで簡単に誤動作する。したがって、 10 MHz 以下にする。したがって、クロックは、 0.1 Hz 以上 10 MHz 以下にする。クロックは、水平同期信号 (HD) を使用することが好ましい。水平同期信号は、 8 KHz 以上 30 KHz 以下程度である。したがって、クロックは、 8 KHz 以上 10 MHz 以下で動作するように構成する。

10

【0160】

また、短時間で異常なクロック (外部ノイズ) 入力による誤動作を防止するため、コンデンサなどのよるローパスフィルタを形成しておく。

【0161】

カウンタ 221 は、電源 IC 12 がオフされると、クリアされる。また、EL 表示装置のソフトウェアリセットまたはハードウェアリセットが入力されるとクリアされる。また、電源 IC 12 がオンされるときに、初期クリアされる。

【0162】

また、 D_{vdd} 電圧は、3クロック信号 (CLK) で出力し、図 24 に示すように、 A_{vdd} 電圧は、5クロック信号 (CLK) で出力するように構成しても良い。すなわち、クロック信号 (CLK) 数により、立ち上がる電圧を指定できるように構成する。立ち下げ電圧においても同様に構成しても良い。カウント設定するクロック数は、2 以上 5 以下が好ましい。ノイズによる誤動作防止と起動時間を短くするためである。

20

【0163】

また、一度、カウントが規定値に達した後は、ソースドライバ回路 24 からリセット信号が電源回路 12 に入力されない限り電圧出力を停止しないように構成してもよい。

【0164】

D_{vdd} 電圧は、図 12 に示すように、レギュレータ 121 を用いて発生する。レギュレータ 121 は、動作状態であると、リーク電流が流れ電力を消費してしまう。図 21、図 22 のように、クロックを検出してレギュレータ 121 を起動するように構成すれば、リーク電流の発生はない。したがって、EL 表示装置が非動作状態では、電力を消費しない。

30

【0165】

本実施形態の電源回路 12 は、クロック信号 (CLK) が入力されている時に、オンコマンドが入力されることにより、電圧が出力されるように構成されている。また、クロック信号 (CLK) が入力されている時に、オフコマンドが入力されることにより、電圧出力を停止する。また、出力端子をオフにする。

【0166】

但し、本実施形態はこれに限定するものではない。例えば、図 25 に図示しているように、強制的に電圧を出力されるオン/オフ端子 (ハードピン) を設けても良い。

40

【0167】

(11) 立ち上がりシーケンス

次に、立ち上がりシーケンスについて図 27 を用いて説明をする。

【0168】

電源回路 12 に、水平同期信号 (HD) またはメインクロック (CLK) が入力されると、 D_{vdd} 発生回路 11c (図 22) により、クロックをカウントし、規定のクロック数をカウントすると、 D_{vdd} 発生回路のレギュレータが動作する。レギュレータ回路は、入力されたバッテリー電圧 V_{in} をレギュレータして 1.85 V (1.8 V 系) を出力する。

【0169】

50

以上のように、電源回路 1 2 にコネクタ 2 7 1 から供給される信号または電圧は、C L K または H D と、V i n だけである。パネル 2 0 とフレキシブル基板 2 8 1 とは A C F 2 8 2 で電氣的に接続が取られている。したがって、電源回路 1 2 から出力される電源電圧数が多くてもコストが高くなることはない。なお、電源回路 1 2 は、図 4 5 に示すように、ブリップチップ実装 (C O F 実装) されている。

【 0 1 7 0 】

1 . 8 5 V はソースドライバ回路 2 4 などのロジック電圧である。ロジック電圧 D v d d は、S M B u s の電源であり、また、E E P R O M 2 7 3、フラッシュメモリ 2 7 2 の電源電圧である。したがって、D v d d 電圧が発生することにより、E L 表示装置のロジック系が起動状態になる。

10

【 0 1 7 1 】

ソースドライバ回路 2 4 は、ロジック電圧 D v d d が入力され、外部 3 線シリアルバスから、リセット信号コマンドが入力されると、立ち上がりシーケンスを開始する。

【 0 1 7 2 】

リセット信号コマンドをソースドライバ回路 2 4 が受信し、電源回路 1 2 の初期化が完了 (図 1 9 において、M O D E 0) すると、ソースドライバ回路 2 4 は、S M B u s を介して、電源回路 1 2 にオンコマンド (O N 1、O N 2 : 図 1 9) を送る。基本的にオンシーケンスは、M O D E 0 (O N 1、O N 2 はオフ) → M O D E 1 (O N 1 のみオン) → M O D E 3 (O N 1、O N 2 はオン) である。

【 0 1 7 3 】

20

O N 1 コマンドにより、A V d d 電圧 (ソースドライバ回路 2 4 のアナログ電圧)、V G H、V G L が出力される。A V d d とアノード電圧 V d d は同一電圧である (図 1 3 など参照のこと) が、A V d d は O N 1 で出力されるが、アノード電圧 V d d は、S W 2 がオフ状態であるため、出力されない。S W 2 は O N 2 コマンドでオン状態となる。O N 1 コマンドにより、V G H は S W 5 がオンすることにより、V G L は S W 6 がオンすることにより、出力される。

【 0 1 7 4 】

ソースドライバ回路 2 4 に A V d d 電圧が印加されることにより、図 1 0、図 1 1 などの回路が起動し、階調電圧などが出力できるようになる。V G H、V G L 電圧は、ゲートドライバ回路 2 2 に印加される (図 4 9 参照)。V G H、V G L 電圧によりゲートドライバ回路 2 2 のゲート信号線 2 7 の電位が設定される。また、ソースドライバ回路 2 4 は、ゲートドライバ回路 2 2 にスタート (S T) 信号、クロック (C L K) 信号を印加し、また、ソースドライバ回路 2 2 は、ソース信号線 2 8 に黒階調の映像電圧信号などを印加し、ゲートドライバ回路 2 2 は画素 2 6 を黒表示状態に制御する (図 2 参照)。

30

【 0 1 7 5 】

O N 1 コマンド (図 1 9 の M O D E 1) から O N 2 コマンド (図 1 9 の M O D E 3) までの移行時間は、1 フレーム期間以上とする。好ましくは 2 フレーム期間以上とする。表示画面 2 1 を黒表示状態にしてから、アノード電圧 V d d、カソード電圧 V s s を印加するようにするためである。表示画面 2 1 を黒表示状態にしてから、アノード電圧 V d d、カソード電圧 V s s を印加しないと、不要な画像表示がされることがあるためである。

40

【 0 1 7 6 】

次に、ソースドライバ回路 2 4 は、入力された映像信号 (R G B)、水平同期信号 (H D)、垂直同期信号 (V D)、クロック (C L K) に対応させてソース信号線 2 8 に映像信号を出力する。

【 0 1 7 7 】

ソースドライバ回路 2 4 は、電源回路 1 2 に O N 2 コマンドを送出する。O N 2 コマンドにより、S W 1、S W 2 がオンし、表示画面 2 1 にアノード電圧 V d d、カソード電圧 V s s が印加される。アノード電圧 V d d、カソード電圧 V s s の印加により、E L 表示装置に画像が表示される。

【 0 1 7 8 】

50

以降、ソースドライバ回路 24 は、映像信号から、表示画面 21 に流れる電流を演算などにより、点灯率求め（図 69）、ピーク電流をオーバーしないように、duty 比駆動を実施する（図 57）。また、必要に応じて、電源回路 12 にコマンドを送り、アノード電圧 V_{dd} 、カソード電圧 V_{ss} を変化させる。図 57 は、点灯率 75% 以上でカソード電圧 V_{ss} を低下（GND 側へ）させている。

【0179】

なお、図 19 に示すように、誤動作により、MODE 2 から開始される場合は、MODE 1 を実行し、次に MODE 3 を実行させる。誤動作により、MODE 3 から開始される場合は、MODE 1 を実行し、次に MODE 3 を実行させる。

【0180】

オフシーケンス（立ち下げシーケンス）では、MODE 1 が実行される。MODE 1 の実行前に、ソースドライバ回路 24 は、表示画面 21 を黒表示にする。黒表示は、ソース信号線 28 に黒の階調信号（低階調）を印加し、この信号を画素 26 に書き込むことにより実現する。黒表示後に、ソースドライバ回路 24 は電源回路 12 にコマンドを送り、MODE 1（ON2 をオフ）にする。

【0181】

ON2 コマンドのオフ指令により、SW1、SW2 がオフし、表示画面 21 へのアノード電圧 V_{dd} 、カソード電圧 V_{ss} の印加が停止される。

【0182】

次に、ソースドライバ回路 24 は、電源回路 12 に MODE 0 にすべく、ON1 をオフにするコマンドを送る。

【0183】

図 19 の MODE 1 から図 19 の MODE 0 までの移行時間は、1 フレーム期間以上とする。好ましくは 2 フレーム期間以上とする。アノード電圧 V_{dd} 、カソード電圧 V_{ss} を完全に端子などから放電させてからゲートドライバ回路 22 を停止させるためである。ON2 コマンドをオフ（0）にすることにより、SW2、SW1 がオフになる。この際、図 16、図 20 に示すように放電回路を動作させる。アノード電圧 V_{dd} 、カソード電圧 V_{ss} を完全に放電させてからでないと、不要な画像表示がされることがあるためである。

【0184】

ON1 コマンドをオフすることにより、SW5、SW6 がオフになり、 AV_{dd} 電圧（ソースドライバ回路 24 のアナログ電圧）、 V_{GH} 、 V_{GL} が停止される。最後に、電源回路 12 に印加されている CLK または HD が停止し、 D_{vdd} が停止する。

【0185】

図 13、図 25 などの実施形態では、シャットダウン端子（SHDN）を配置している。SHDN 端子は、クロック信号（CLK）が入力されていない状態でも、オン/オフコマンドが入力されると電圧を出力させる端子である（または、電圧を出力しないようにする端子である）。SHDN 端子へのロジック電圧が L レベルにときは、図 21、図 24 で説明した電源動作が実施される。SHDN 端子へのロジック電圧が H レベルの時は、クロック信号（CLK）がない状態でも、オン/オフコマンドを受けつけるようになる。シャットダウン端子（SHDN）は 0（GND）が通常状態で、外部クロックにより D_{vdd} 出力状態に設定されており、シャットダウン端子（SHDN）は H で、クロックが入力されずとも、 D_{vdd} が出力されている状態である。

【0186】

シャットダウン端子（SHDN）を配置したことは、本実施形態の電源回路 12 を検査工程で用いる場合に有効である。検査工程（点欠陥検出、特性評価）では、フレームレートを低減したり、テストランジスタ 295 を用いて画像を表示する。そのため、クロックとして用いる映像信号（メインクロック、水平同期信号クロック）がない場合がある。また、クロックの周期が非常に長く、図 21 に示す T1 期間以上となつて、電圧出力が停止してしまう。この場合には、当然クロックを使用して電圧出力をオン/オフさせること

10

20

30

40

50

ができない。そのため、本実施形態では、シャットダウン端子 (SHDN) を用いて、電圧出力を強制的に制御する。

【0187】

図13、図25などでは、Dvdd発生回路のみにシャットダウン端子 (SHDN) を配置しているが、これに限定するものではなく、他の電圧発生回路11にシャットダウン端子 (SHDN) を配置してもよい。また、電源回路12全体がシャットダウン端子 (SHDN) により、オン/オフ制御できるように構成してもよい。

【0188】

(12) 電源回路12の出力電圧の変更例

なお、本実施形態の電源回路12において、出力する電圧は、図3、図25などに限定されるものではない。例えば、図23に示すように、リセット電圧Vrstの発生回路31gを内蔵させてもよい。また、Vdd電圧発生回路11dで所定の電圧を発生させ、ON1コマンド (図19を参照) で、SW3をオンさせ (このとき、SW2はオフ)、ON2コマンドで、SW2、SW3の両方をオンさせてもよい。なお、図19のMODE0では、SW2、SW3ともオフである。

10

【0189】

また、図26に示すように、Vss電圧の発生回路がない構成でもよい。この場合は、EL表示装置のカソード電圧は、GND電圧である。Dvdd電圧発生回路11cの出力にはスイッチは配置されていない。Dvddは、CLKまたはSHDNのロジック信号により出力/非出力の制御ができるからである。また、各SWの制御は、ソースドライバ回路24が行うが、Dvdd電圧の供給がないと、ソースドライバ回路24のロジックが動作せず、SWの制御コマンドを発生することができないからである。

20

【0190】

(13) 電源回路12の変更例

また、本実施形態では、電源回路12は、ICとして説明するが、これに限定するものではない。例えば、ディスクリート部品で電源回路12を構成してもよい。リセット電圧Vrstは、図74の画素構成を有するEL表示装置などで使用する。

【0191】

Dvddが起動すると、ソースドライバ回路24のロジック回路部が起動すると共に、SMBusなどの標準データバスにデータを送ることが可能になる。ソースドライバ回路24は、標準データバス (SMBusなど) を用いて、電源回路が出力する電圧 (VGH、VGL、Vss) の値を設定する。また、発振周波数を設定する。また、Avdd (Vdd)、VGH、VGLを電源回路12から出力させる。

30

【0192】

電源回路12は、図27に示すように、フレキシブル基板281に実装されている (図28参照)。この状態では、フレキシブル基板の短絡電極端子285でアレイ基板282の端子 (信号入力端子296、トランジスタ制御端子297) を短絡している (図29など)。また、短絡電極端子285には、VGH電圧 (テストトランジスタ295のオフ電圧) が印加されている。

【0193】

電源回路12の各出力端子には、金バンプが形成されており、ACF (異方導電フィルムによる接続) によりフリップチップ実装されている。

40

【0194】

図27の274はテストトランジスタ群である。テストトランジスタ295が各ソース信号線28に形成されている。テストトランジスタ295は、図30、図31に示すように、ソースドライバ回路24が実装された反対側 (B位置) に形成してもよい。なお、ソースドライバ回路24は、ICに限定するものでなく、低温ポリシリコン技術などで形成されたソースドライバ回路であってもよい。また、図48などに図示した3選択回路481を形成してもよい。

【0195】

50

スイッチ S W 3、S W 4、S W 6 は実際には形成されていない。または省略できる。映像信号のクロック信号により、 $D v d d = 1.85 V$ が出力される。したがって、スイッチは必要でない。また、 $A V d d$ も D C D C 回路の発振と同時に出力される。 $A V d d$ は、ソースドライバ回路 2 4 のアナログ電源であると同時に、ゲートドライバ回路 2 2 の内部シフトレジスタの電源電圧ともなる。

【0196】

ソースドライバ回路 2 4 から S M B u s、I 2 C B u s などの標準データバスにより、各電源のオン/オフ制御信号が電源回路 1 2 に送られる。なお、S M B u s、I 2 C B u s の動作速度は、10 K H z 以上 10 M H z 以下に構成されている。

【0197】

コマンドの O N 1 により、V G H のスイッチ S W 5 と V G L のスイッチ S W 6 がオンする。スイッチ S W 5、S W 6 がオンすることにより、V G H、V G L (V G L 1) が出力され、ゲートドライバ回路 2 2 が同時する。ゲートドライバ回路 2 2 に印加するスタートパルス (S T 1、S T 2)、クロック (C L K 1、C L K 2)、アップダウン (U D) は、ソースドライバ回路 2 4 により制御される。特に、ゲートドライバ回路 2 2 b の内部シフトレジスタは、クリアされ、すべてのゲート信号線 2 7 b は非選択状態とされる。

【0198】

次に、コマンドの O N 2 により、V d d のスイッチ S W 2 と V s s のスイッチ S W 1 がオンする。スイッチ S W 1、S W 2 がオンすることにより、アノード電圧 V d d、カソード電圧 V s s が出力される。

【0199】

電源回路 1 2 には、本体のバッテリーからの電圧 V i n が供給される。V i n 電圧は、コネクタ 2 7 1 を介して電源回路 1 2 に供給される。電源回路 1 2 は、1 つの V i n 電圧から、E L 表示パネルに必要な電圧 (アノード電圧 V d d、カソード電圧 V s s、V G H、V G L、 $A V d d$ 、 $D v d d = 1.85 V$) を発生させる。フレキシブル基板 2 8 1 とアレイ基板 2 8 2 は A C F (異方向性導電フィルム) 接続される。すなわち、フレキシブル基板 2 8 1 とアレイ基板 2 8 2 は接着されるから、当然のことながら電源回路 1 2 が出力する電圧を E L 表示パネル 2 8 2 に印加するのにコネクタは必要でない。

【0200】

(1 3 - 1) 従来の問題点

図 3 2 は従来の E L 表示装置の構成図である。フレキシブル基板 2 8 1 とアレイ基板 2 8 2 とは A C F 接続されている。電源回路 1 2 は、本体のプリント基板 3 2 1 に実装されている。電源回路 1 2 には、バッテリー電圧 V i n が印加される。電源回路 1 2 は、1 つの V i n 電圧から、E L 表示パネルに必要な電圧 (アノード電圧 V d d、カソード電圧 V s s、V G H、V G L、 $A V d d$ 、 $D v d d = 1.85 V$) を発生させる。発生した電圧 (アノード電圧 V d d、カソード電圧 V s s、V G H、V G L、 $A V d d$ 、 $D v d d = 1.85 V$) は、コネクタ 2 7 1 を介して、フレキシブル基板 2 8 1 に引き渡され、E L 表示パネルに供給される。したがって、コネクタ 2 7 1 の必要ピン数は、電源回路 1 2 が発生する種類が多いため、多ピンとなる。また、ソースドライバ回路 2 4 は、電源回路 1 2 をオン/オフさせる信号を出力する。コネクタには、この信号用のピンも必要である。

【0201】

以上のことから、従来の構成電源回路 1 2 を本体のプリント基板 3 2 1 に実装する構成) では、本実施形態の構成 (図 2 7) に比較して、コネクタ 2 7 1 の必要ピン数が多い。したがって、接触不良が発生しやすく、コストも高くなる。

【0202】

電源回路 1 2 が発生する電圧には、一定範囲のバラツキがある。例えば、 $V d d = 5.5 V$ が理想値としても、 $\pm 0.2 V$ 程度のバラツキが発生する。電源回路 1 2 が出力する電圧が変化すると E L 表示パネルの発光輝度が変化する。例えば、本実施形態の調整方法で、E L 表示パネルを理想値のアノード電圧 5.5 V で表示輝度調整を行う。しかし、本体のプリント基板 3 2 1 に実装された電源回路 1 2 が出力するアノード電圧 V d d が 5.

10

20

30

40

50

7 Vであれば、E L表示パネルの発光輝度は、調整した値からずれてしまう。

【0203】

すなわち、図32の構成では、E L表示パネルで調整しても、電源回路12が出力する電圧が理想値でない限り、調整が無意味となる。

【0204】

(13-2) 本実施形態における解決方法

図27の本実施形態では、電源回路をフレキシブル基板281に実装し、電源回路12を動作させて、輝度調整、ホワイトバランス調整などを実施する。したがって、電源回路12の発生電圧が個々でバラツキが発生してもバラツキを考慮してE L表示パネルの調整を実施するから問題とならない。また、エージングなどにおいても、実際に使用する電圧VGH、VGLなどを使用することにより、良好にエージングを実施できる。但し、エージング時は、通常表示時よりも、VGH - とVGLの絶対値(電位差)を大きくする。

10

【0205】

(14) 電流リミット機能

本実施形態のE L表示装置の動作の検査には、電流リミット機能(カレント電流リミット機能)を使用する。

【0206】

電流リミット機能は、VssまたはVddの最大出力電流を設定する機能である。例えば、Vss電圧のリミット電流が0.5 Aであれば、Vssの出力電流が0.5 Aを越えると、内部の発振周波数が低下し、出力電流が0.5 A以上にならないように調整される。一般にこの状態の場合は、出力電圧Vssが低下する。Vss電圧のリミット電流が1.0 Aに設定されておれば、Vssの出力電流が1.0 Aを越えると、内部の発振周波数が低下し、出力電流が1.0 A以上にならないように調整される。一般にこの状態の場合は、出力電圧Vssが低下する。

20

【0207】

本実施形態の電源回路12は、Vss電圧とVdd電圧とが、2段階の電流リミット設定できるように構成されている。2段階は、図54の実施形態においては、0.5 Aと、1.0 Aである。電流リミットの値は、エージング工程、モジュール最終検査工程で切り替えて設定する。

【0208】

30

コマンドIMNが0の時は、Vss電圧の電流リミット機能によるリミット電流(A)は、0.5 Aであり、コマンドIMNが1の時は、Vss電圧の電流リミット機能によるリミット電流(A)は、1.0 Aである。

【0209】

コマンドIMPが0の時は、Vss電圧の電流リミット機能によるリミット電流(A)は、0.5 Aであり、コマンドIMPが1の時は、Vss電圧の電流リミット機能によるリミット電流(A)は、1.0 Aである。

【0210】

以上のように、リミット電流は、VddとVssとで個別に設定することができる。また、実施例では、リミット電流の設定値は、0.5 Aと1.0 Aの2段階であるが、これに限定するものではなく、3段階以上であってもよい。

40

【0211】

電流リミット機能は、E L表示装置を検査または調整する工程で使用する。例えば、E L表示装置を出荷検査において、リミット電流を0.5 Aに設定する。通常の動作の設定値は、1.0 Aとする。リミット電流を0.5 Aに設定し、調整画像をE L表示装置に表示する。

【0212】

E L表示装置は、表示画像に対応して点灯領域に流れる電流が変化する。例えば、黒ラスタ表示では、表示画面に流れる電流は理想的には0 Aである。白ラスタ表示で、かつピーク電流抑制駆動が設定されていない場合は、最大電流が流れる。ピーク電流抑制駆

50

動が動作している場合は、設定電流以上の電流は流れない。

【0213】

EL表示装置では、画像の種類により、表示画面に流れる電流の大きさが変化する。したがって、EL表示装置の検査構成において、既知の電流がわかっている画像を順次、EL表示装置に表示することにより、電流リミット機能が動作しているかを判断できる。

【0214】

リミット電流を通常より、小さい値（本実施形態では、0.5A）に設定すると、例えば、画像1では、表示画面に流れる電流が0.6A、画像2では、表示画面に流れる電流を0.4Aとする。

【0215】

画像1をEL表示装置に表示した時、電流リミット機能が動作しなければ、電流リミット機能が動作不良判断できる。一方、画像2をEL表示装置に表示した時、電流リミット機能が動作すれば、電流リミット機能の異常または、他の箇所での動作不良が発生している可能性があることを判断できる。また、ピーク電流抑制駆動が正常に動作しているかを判断できる。電流リミットの値は、コマンドにより変更設定することができる。コマンドにより、検査中に、電流リミットの値を可変し、EL表示装置の動作状態を検査できる。すなわち、複数あるリミット設定値を電源IC12に形成し、複数のリミット値から1つの電流リミット値を設定し、流れる電流が既知の画像を表示して、電流リミット機能の動作を見定める。この際、図57のduty比の設定、図55のCNT設定（DX設定を含む）を行うことが好ましい。duty比を大きくすれば、電源回路12に流れる電流が大きくなり、duty比を小さくすれば、電源回路12に流れる電流が小さくなり、また変化する。DXの値を変化すれば、基準電流が変化して、電源回路12に流れる電流が小さく、または大きくなる。

【0216】

特に、本実施形態は、電源回路12とEL表示パネルを一体として動作させ（同時に動作させ）、調整、エージングなどを行う。本実施形態のEL表示装置は、電源回路12とEL表示パネルが一体化（接続完了）したものである。このように構成することにより、コネクタ271のピン数が少なくなり低コスト化を実現できる。また、理想的に輝度バラツキ、ホワイトバランス調整を実現できる。この実現のために、本実施形態は電源回路12の出力オープン機能を有効に利用している。

【0217】

（15）出力オープン機能の変更例

以上の実施形態では、電源回路12に出力オープン機能を搭載するとしたが、本実施形態はこれに限定するものではない。例えば、電源回路12のアノード出力端子とEL表示パネルのアノード配線301間にアナログスイッチ、リレー回路を配置してもよい。すなわち、電源回路12の外部にスイッチ回路などを配置または形成してもよい。

【0218】

ソースドライバ回路24は、ゲートドライバ回路22に印加するスタートパルス（ST1、ST2）、クロック（CLK1、CLK2）、アップダウン（UD）を制御し、画像が表示される。ゲートドライバ回路22aは、1フレーム期間に1つのスタート信号ST1が印加され、ゲートドライバ回路22bは、duty駆動に対応するように、スタートパルスST2が印加される。

【0219】

アレイ基板282（EL表示パネル）に、フレキシブル基板281をACF接続することによりEL表示装置は完成する（図27も参照のこと）。フレキシブル基板281には、電源回路12、EEPROM273、フラッシュメモリ272などが実装される。テストトランジスタ295をオフさせる電圧VGH（テストトランジスタ295がNチャンネルトランジスタである場合は、電圧VGL）は、電源回路12から供給される。

【0220】

図33は、アレイ基板282の端子とフレキシブル基板281をACF331で接続し

10

20

30

40

50

た断面図である。アレイ基板 282 の端子 297、296 とフレキシブル基板 281 の短絡配線 285 が ACF 331 で接続されている。

【0221】

図 29 の検査モードは、フレキシブル基板 281 をアレイ基板 282 に接続せずに行う。または、フレキシブル基板 281 をアレイ基板 282 に接続するが、ソースドライバ回路 24 をアレイ基板 282 に未実装で行う。

【0222】

検査モードでは、アレイ基板 282 のトランジスタ制御端子 297、信号入力端子 296 にプローブを立てる。トランジスタ制御端子 297 に、VGH または VGLt 電圧を印加する。

10

【0223】

検査後、フレキシブル基板 281 をアレイ基板 282 に ACF 接続する。フレキシブル基板 281 の接続端子 284 と、アレイ基板 282 の接続端子 283 とを接続する。トランジスタ制御端子 297、信号入力端子 296 は、フレキシブル基板 281 の短絡電極端子 285 で電氣的に短絡する。短絡電極端子 285 には、VGH 電圧を印加する。フレキシブル基板 281 には電源回路 12 が実装されているため、電源回路 12 から VGH を短絡電極端子 285 に印加する。

【0224】

281 はフレキシブル基板としたが、本実施形態はこれに限定するものではない。例えば、281 はプリント基板であってもよい。また、本実施形態は、トランジスタ制御端子 297 と信号入力端子 296 とを短絡電極端子 285 などを用いて、EL 表示機器の出荷前に電氣的に接続するものである。また、他の方法でトランジスタ制御端子 297 と信号入力端子 296 とを電氣的に接続してもよい。例えば、トランジスタ制御端子 297 と信号入力端子 296 とを銅ペーストの塗布により電氣的に短絡してもよい。

20

【0225】

また、本実施形態は、トランジスタ制御端子 297 と信号入力端子 296 とを、EL 表示機器の製品出荷前に電氣的に同電位にするものである。また、テストトランジスタ 295 をオフ状態にするものである。したがって、テストトランジスタ 295 の各端子に所定の電位を印加し、テストトランジスタ 295 をオフ状態にしてもよい。例えば、トランジスタ制御端子 297 と信号入力端子 296 の両方に、電源回路 12 が出力する VGH 電位を直接印加する方式が例示される。

30

【0226】

(16) 検査、調整方法

図 30、図 31 は、本実施形態の電源回路の出力オープン機能を用いた EL 表示装置の検査、調整方法の説明図である。以下の実施形態においても、画素構成は図 3 を例示して説明するが、これに限定するものではなく、電流駆動方式の画素構成、電圧駆動などのいずれの画素構成のいずれであってもよい。

【0227】

(16-1) ホワイトバランス、コントラストの調整方法

図 30 は、EL 表示装置の輝度及びホワイトバランス、コントラストの調整方法である。図 30 では、電源回路 12 の出力オープン機能を用いてスイッチ SW1 をオフにしている。すなわち、カソード電圧 Vss は、出力されず、出力端子はハイインピーダンス状態となる。カソード電圧 Vss の出力端子のパッド P1 に、プローブ 304 でプロービングしている。プローブ 304 を外部電源 Vss t 間には、電流を測定する電流計 303 を配置している。なお、調整時のカソード電圧 Vss t = 画像表示時のカソード電圧 Vss とする。

40

【0228】

画素 26 の駆動用トランジスタ 31a が P チャンネルトランジスタの場合は、カソード電極をオフにして、カソード配線 302 の電流を測定する。画素 26 の駆動用トランジスタ 31a が N チャンネルトランジスタの場合は、アノード電極をオフにして、アノード配

50

線 3 0 1 の電流を測定する。

【 0 2 2 9 】

ソースドライバ回路 2 4 は、ゲートドライバ回路 2 2 を制御し、画像表示状態にする。基準電流 I_c の大きさは、通常の 1 倍とする。なお、基準電流 I_c は、図 8 で説明したように、基準電流の大きさに比例して、表示画面 2 1 の発光輝度が変化する。トランジスタ 8 4 b と単位トランジスタ 9 2 がカレントミラー回路を構成しているからである。なお、トランジスタ 8 4 b は複数のトランジスタから構成されている。基準電流の大きさが 1 から 2 に変化すると、表示画面 2 1 の輝度は、2 倍になる。表示画面 2 1 で使用する電力も 2 倍となる。

【 0 2 3 0 】

EL 表示装置において、表示画面 2 1 のカソード電流 I_s はカソード配線 3 0 2 に流れる。表示画面 2 1 のアノード電流はアノード配線 3 0 1 に流れる。

【 0 2 3 1 】

図 3 0 の構成では、電源回路 1 2 のカソード電圧の出力端子は、オフであり、外部カソード電圧 V_{sst} が接続されているため、カソード配線 3 0 2 を流れる電流は、プローブ 3 0 4、電流計 3 0 3 を経由して外部カソード電圧 V_{sst} に流れる。したがって、電流計 3 0 3 で、表示画面 2 1 で使用する電流を測定することができる。カソード電流 I_s を測定するのは、カソード配線 3 0 2 を流れる電流は、表示画面 2 1 を流れる電流であるからである。アノード配線 3 0 1 を流れるアノード電流 I_p の一部は、ソースドライバ回路 2 4 にプログラム電流及び出力段回路を流れる。

【 0 2 3 2 】

なお、 V_{ddt} 、 V_{sst} は、検査またはエージング構成で外部から設定または外部で発生機器からの電圧である。 V_{ddt} 、 V_{sst} は、電圧値を可変する機能を有する。

【 0 2 3 3 】

EL 表示装置は、カソード電流 I_s の大きさを発光輝度は比例の関係になる。したがって、カソード電流を測定することにより、表示画面 2 1 の発光輝度を把握することができる。以上のことから、カソード電流を所定の電流となるように調整することにより、表示画面 2 1 の発光輝度を調整することができる。

【 0 2 3 4 】

なお、カソード電流など表示画面に流れる電流は、電流が流れる配線にピックアップ抵抗を配置して、前記ピックアップ抵抗の両端の電圧を測定できるように構成してもよい。以上の事項は、本発明の他の電流を測定する方式においても同様に適用できる。

【 0 2 3 5 】

(1 6 - 2) 変更例

図 3 0 の実施形態では、表示画面 2 1 全体に流れるカソード電流を測定するとしたが、本実施形態はこれに限定するものではない。例えば、表示画面 2 1 の一部または所定面積に含まれる画素のカソード電流を測定するようにしてもよい。このカソード電流で表示画面 2 1 全体に流れるカソード電流を推定することができる。また、白ラスタ表示では、画面全体が同一輝度で表示されるため、一部であっても表示画面 2 1 全体の推定は容易だからである。

【 0 2 3 6 】

また、表示画面 2 1 を所定面積で分割し、各分割した領域でのカソード電流を測定することにより、表示画面 2 1 の特性分布を測定することができる。分割とは、画素列、画素行、マトリックス状が例示される。この実施形態は、図 3 4、図 3 5、図 3 6 などでも説明している。

【 0 2 3 7 】

(1 6 - 3) 電圧プログラム方式の場合

画素 2 6 が電圧プログラム方式の場合について説明する。カソード電流の大きさの調整（表示輝度の調整）は、表示画面 2 1 に印加する映像信号の階調番号（映像信号の大きさ）を一定値に設定し、図 1 0 で説明した振幅調整レジスタ 1 0 1 を制御させることにより

10

20

30

40

50

行う。電源(回路) IC 12 は V_{dd} 電圧、 V_{GH} 、 V_{GL} 電圧などを適正に設定する。また、カソード電圧を測定できるように、カソード電圧 V_{ss} 端子をオフにする。

【0238】

振幅調整レジスタ 101 の制御により、階調アンプ 102 H、102 L を変化させる。階調アンプ 102 H を高く (V_{dd} 電圧に近く) すると、低階調が対応する黒レベルを調整することができる。階調アンプ 102 L を低く (GND 電圧に近く) すると、高階調が対応する白レベルを調整することができる。本実施形態では、出力階調を最大階調に設定し、階調アンプ 102 L を変化させる。カソード電流の値が、所望値となるように階調アンプ 102 L の値を調整する。

【0239】

階調アンプ 102 L を低くすれば、カソード電流 I_s も大きくなり、発光輝度も高くなる。したがって、カソード電流の大きさを電流計 303 で測定し、電流が所定値となったときに、調整完了とする。以上のことを、RGBで行うことにより、ホワイトバランスの調整が可能になる。

【0240】

なお、電源回路 12 が出力する電圧 V_{GH} 、 V_{GL} 、 V_{dd} は通常表示時の電圧にする。また、本実施形態では、ゲートドライバ回路 22 a は、 V_{GH1} 、 V_{GL1} 電圧で動作させ、ゲートドライバ回路 22 b は、 V_{GH2} 、 $V_{GL2} = GND$ 電圧で動作させ、 $V_{GH1} = V_{GH2}$ とする。

【0241】

以上の調整により、ホワイトバランス調整を実現でき、また、表示画面 21 の発光輝度調整を実現できる。EL 表示装置のコントラスト調整は、黒表示時に流れるカソード電流を調整することにより実現できる。

【0242】

カソード電流 I_s の大きさの調整 (表示輝度の調整) は、表示画面 21 に印加する最低階調番号に設定し、図 10 で説明した振幅調整レジスタ 101 を制御させることにより行う。振幅調整レジスタ 101 の制御により、階調アンプ 102 H を変化させる。階調アンプ 102 H を高く (V_{dd} 電圧に近く) すると、黒レベルでのカソード電流 I_s が減少する。階調アンプ 102 H を低くすると、カソード電流が増大する。カソード電流 I_s の値が、所望値となったときに、調整完了とする。

【0243】

(16-4) 電流プログラム方式の場合

次に、画素 26 が電流プログラム方式の場合について説明する。カソード電流 I_s の大きさの調整 (表示輝度の調整) は、表示画面 21 に印加する映像信号の階調番号 (映像信号の大きさ) を一定値に設定し、基準電流の大きさを変化させることにより行う。映像信号の階調番号 (映像信号の大きさ) を一定値とは、通常最大階調番号である。基準電流の大きさを大きくすれば、カソード電流 I_s も大きくなり、発光輝度も高くなる。したがって、カソード電流 I_s の大きさを電流計 303 で測定し、電流が所定値となったときに、調整完了とする。

【0244】

以上のことを、RGBで行うことにより、ホワイトバランスの調整が可能になる。ホワイトバランス調整 (輝度調整) を完了した基準電流を I_k とする。基準電流 I_k は、RGBで個別設定 (赤 (R) は I_{kr} 、緑 (G) は I_{kg} 、青 (B) は I_{kb}) する。

【0245】

カソード電流 I_s の大きさの調整 (表示輝度の調整) は、表示画面 21 に印加する映像信号の階調番号 (映像信号の大きさ) を一定値に設定する。

【0246】

基準電流の大きさは、ホワイトバランスを調整した設定値 I_k (赤 (R) は I_{kr} 、緑 (G) は I_{kg} 、青 (B) は I_{kb}) を維持 (保持) したまま行う。

【0247】

10

20

30

40

50

黒レベルでの映像信号の階調番号（映像信号の大きさ）は最低階調である。電流駆動では、最低階調では、プログラム電流は 0 である。黒レベルの調整は、図 10 の電圧発生回路 11 から最低階調の電圧を画素 26 に印加する。最低階調の電圧は、階調アンプ 102 H が出力する電位を変化させて行う。この状態で、カソード電流の大きさを電流計 303 で測定し、電流が所定値となったときに、調整完了とする。

【0248】

本実施形態の EL 表示装置は、図 8、図 9 の電流駆動回路と、図 10、図 11 の電圧出力回路の両方を具備している。電流駆動回路と電圧出力回路の両方を有する場合は、1 水平走査期間（1 画素行を選択する期間）の前半に電圧駆動回路からプログラム電圧を画素 26 に印加し、1 水平走査期間（1 画素行を選択する期間）の後半に電流駆動回路からプログラム電流を画素 26 に印加する。

【0249】

（16-5）判定回路

また、本実施形態は、各画素にプログラム電圧を印加するか、プログラム電流を印加するか、または、プログラム電圧とプログラム電流の両方を印加するかの判定回路（図示せず）を有している。判定回路は、映像信号の大きさ（階調番号）、ソース信号線 S に印加される映像信号の大きさ（階調番号）から、各画素にプログラム電圧を印加するか、プログラム電流を印加するか、または、プログラム電圧とプログラム電流の両方を印加するかを判定する。

【0250】

（16-6）変更例

なお、図 30 では、カソード電流は電流計 303 で測定するとしたが、本実施形態はこれに限定するものではない。例えば、カソード電流の電流経路にピックアップ抵抗を直列に配置し、前記ピックアップ抵抗の端子電圧を電圧計で測定してもよい。

【0251】

また、図 30 では、電源回路 12 のカソード端子をオフにし、カソード電流を測定するとしたが、本実施形態はこれに限定するものではない。電源回路 12 のアノード端子をオフにし、アノード電流を測定してもよい。また、アノード端子とカソード端子の両方で電流または電圧を測定してもよい。

【0252】

以上の事項は、図 37 においても同様である。本実施形態の技術的思想は、カソード配線またはアノード配線などで表示画面 21 に流れる電流を測定または取得して所定値にする。表示画面 21 に流れる電流とは、全表示画面に流れるだけでなく、表示画面の一部に流れる電流であるときもある。

【0253】

（17）エージング方法

本実施形態は、電源回路 12 をフレキシブル基板 281 などに実装した状態で、かつ、EL 素子 35 に流れる電流を供給する配線（カソード配線またはアノード配線）と電源回路 12 と出力端子とを接続された状態で、パネルの検査、評価、エージングなどを実施できる。

【0254】

このために電源回路 12 の出力オープン機能を使用する。オフした端子には、外部から電圧をパネルに供給する。電源回路 12 の各端子は必要に応じて、標準データバス（SMBus など）を用いて電圧値を変更して出力する。また、テストトランジスタ 295 を使用する。

【0255】

図 31、図 12 は、エージング方法の説明図である。エージング工程では、EL 表示装置の表示画面 21 を通常の表示輝度より高い輝度で発光させる。一例として、表示画面 21 の発光輝度を 2 倍または 4 倍の輝度にする。EL 素子の初期劣化を引き起こし、' 焼付け ' を抑制するためである。

10

20

30

40

50

【 0 2 5 6 】

表示輝度を2倍または4倍に設定するのは、基準電流の変更により行う。基準電流の設定は、図55のCNTレジスタ、DXレジスタで行う。ホワイトバランスを調整した基準電流の設定値 I_k （赤（R）は I_{kr} 、緑（G）は I_{kg} 、青（B）は I_{kb} ）を2倍または4倍にする。例えば、表示輝度を2倍にするには、基準電流 $I_k \times 2$ にする。エージング時に使用する n 倍（ n は1以上4以下の実数）の基準電流の設定値を I_{km} （赤（R）は I_{kmr} 、緑（G）は I_{kmg} 、青（B）は I_{kmb} ）とする。

【 0 2 5 7 】

基準電流を大きくすると、アノード配線301、カソード配線302に流れる電流（アノード電流 I_p 、カソード電流 I_s ）が増大する。アノード電流 I_p 、カソード電流 I_s が増大すると、EL素子35の端子間電圧、駆動用トランジスタ31aのチャンネル電圧が大きくなる。

【 0 2 5 8 】

エージング工程において、高い輝度でEL表示装置を発光させるには、画素に書き込む映像信号の振幅を大きくする必要がある。本実施形態は、画素に書き込む映像信号の振幅を大きくするため、ソースドライバ回路24の基準電流を通常表示よりも大きくする。

【 0 2 5 9 】

なお、以下の実施形態では、基準電流を大きくしてEL表示装置に書き込む映像信号の振幅を大きくするとしたが、本実施形態はこれに限定するものではない。例えば、電圧プログラム方式において、階調信号を大きくして（高階調にするなど）、画素に書き込む映像信号の振幅を大きくしても良い。この動作は例えば、図10において、選択する階調番号を高くしたり、階調アンプ102の出力電圧を変更したりすればよい。例えば、図38のセレクト回路381を調整して、EV0、EV255の電圧値を設定または変更する。また、図11の電圧DACの増幅率を増大させればよい。なお、この場合も本実施形態の電源回路12の出力オープン機能を用いる。

【 0 2 6 0 】

基準電流の変更または設定は、図8の電子ポリウム86を操作して行う。本実施形態は図55に示すようにCNTコマンドで設定できるように構成されている。通常基準電流の設定はDXコマンドの8ビットで行う。通常基準電流の設定は、8ビットであるから256段階である。エージング工程では、通常表示状態に比較して2～4倍の電流を画像点灯領域に流し、EL素子35を発光させる。表示画像は、白ラスターにする。

【 0 2 6 1 】

エージング時は、CNTコマンドで行う。CNTコマンドが'00'=0の時は、通常状態である。すなわち、DXコマンド（DXレジスタ）の値により、基準電流が設定され、基準電流に従って、画素に印加する映像信号振幅が設定される。

【 0 2 6 2 】

CNTコマンドが'01'=1、'10'=2、'11'=3の時は、エージング工程など、大きな電流を印加し、EL素子を高輝度で発光させる時に設定する。CNTコマンド（CNTレジスタ）'01'=1の時は、DXレジスタの値の2倍の基準電流が設定される。すなわち、EL素子35は通常モードの2倍の高輝度発光を行う。CNTコマンド（CNTレジスタ）'10'=2の時は、DXレジスタの値の3倍の基準電流が設定される。すなわち、EL素子35は通常モードの3倍の高輝度発光を行う。CNTコマンド（CNTレジスタ）'11'=3の時は、DXレジスタの値の4倍の基準電流が設定される。すなわち、EL素子35は通常モードの4倍の高輝度発光を行う。

【 0 2 6 3 】

すなわち、DXレジスタの値は、CNTレジスタの値+1倍される。以上の動作または設定は、CNT2ビット+DXレジスタ8ビットの10ビットで基準電流が設定されると理解するとわかりやすい。

【 0 2 6 4 】

なお、基準電流の大きさは映像信号の振幅に比例する。したがって、基準電流を2倍に

すれば、画素 26 に印加する映像振幅の大きさは 2 倍になる（理想状態の場合）。また、基準電流は E L 素子 35 の輝度に比例する。基準電流を 2 倍にすると E L 素子 35 の発光輝度は 2 倍になる（理想状態の場合）。また、基準電流を大きくすることは、E L 素子 35 の発光輝度または、最高階調の輝度を高くすることを意味する。

【0265】

D Xレジスタは、R 色、G 色、B 色で独立に配置されている。R、G、B の D Xレジスタは、R G B のそれぞれの E L 素子 35 の発光効率にあわせて設定または調整される。C N Tレジスタは、D Xレジスタの値を 1 ~ 4 倍に設定する。C N Tレジスタが 0 は通常表示状態であり、C N Tレジスタが 1 ~ 3 は通常表示状態の 2 ~ 4 倍である。エージング工程では、C N Tレジスタを 1 ~ 3 にして行う。なお、エージング工程においても、エージング工程で所定の点灯領域が発光輝度または点灯領域で使用される消費電流が、所定の値となるように、D Xレジスタを調整する。

10

【0266】

図 56 はエージング工程時の説明図である。電源回路 11 のアノード電圧 V_{dd} のスイッチ S W 2 及びカソード電圧のスイッチ S W 1 をオフにする。E L 表示パネルにアノード電圧 V_{dd} を供給する配線の途中に形成されたパッド P 2 にプローブ 234 を圧接し、エージング時の印加電圧 V_{ddt} を供給する。同様に、E L 表示パネルにカソード電圧 V_{ss} を供給する配線の途中に形成されたパッド P 1 にプローブ 234 を圧接し、エージング時の印加電圧 $V_{ss t}$ を供給する。

【0267】

20

エージング時は、カラーバーを表示し、カラーバーは、E L 表示装置に焼付けが発生しないように、スクロール表示にする。

【0268】

また、輝度の設定、消費電流の設定は、 $duty$ 比を可変して行っても良い。通常表示状態で、 $duty$ 比を $1/2$ で使用しているとすれば、エージング時に $duty$ 比 = $1/1$ とすれば、E L 素子 35 の発光輝度は 2 倍となる。また、消費電流（消費電力）は、2 倍となる。すなわち、本実施形態は、エージング工程など、通常表示よりも高い輝度で発光させる、または電流を印加する場合において、 $duty$ 比を可変または設定するものである。

【0269】

30

$duty$ 比を低くするまたは、基準電流を大きくする場合は、アノード電圧またはカソード電圧またはその両方の電圧を大きくする必要がある。駆動用トランジスタ 31a のチャンネル間電圧及び E L 素子 35 の端子間電圧が高くなるからである。また、アノード電圧とカソード電圧の絶対値を大きくする必要がある。したがって、エージング時などにおいて、電源回路 12 を制御してアノード電圧、カソード電圧を変更する。また、ゲートドライバ回路で使用する電圧（ V_{GH} 、 V_{GL} ）を変更する。例えば、C N Tレジスタが 0 の場合、アノード電圧 - カソード電圧 = 7 V の場合のとき、C N Tレジスタが 3 の場合、アノード電圧 - カソード電圧 = 10 V となるように電源回路 12 の出力電圧を設定する。また、 A_{vdd} も電圧値を変更する。映像信号の振幅値を確保するためである。 V_{GH} 電圧もアノード電圧 + A（A は、0.5 V 以上 3.0 V 以下）となるように電源回路 12 の出力電圧を設定する。

40

【0270】

図 57 に示すように、アノード電圧、カソード電圧などは、点灯率にあわせて変化させてもよい。また、 $duty$ 比も点灯率にあわせて変化または設定してもよい。アノード電圧、カソード電圧などは、基準電流に対応するように設定する。

【0271】

エージング時は、基準電流を通常表示時よりは大きくする。したがって、アノード電圧 V_{dd} を高く（例えば、通常の画像表示時 5 V（ V_{dd} ）をエージング時は 7 V（ V_{ddt} ）にする）、カソード電圧 V_{ss} を低く（例えば、通常の画像表示時 - 3 V（ V_{ss} ）をエージング時は - 5 V（ $V_{ss t}$ ）にする）する。アノード電圧を高くすると、ゲート

50

信号線 27a に印加する電圧 (V_{GH1} 、 V_{GL1}) も変化させる必要がある。 V_{GH1} 電圧を高く (例えば、通常の画像表示時 $V_{GH} = 6.5V$ をエージング時は $7.5V$ にする)、 V_{GL1} 電圧を低く (例えば、通常の画像表示時 $V_{GL1} = -3V$ をエージング時は $-5V$ にする)。

【0272】

エージング時は、画素構成が電流駆動の場合は、電流駆動方式で画像 (白ラスタ) を表示する。画素構成が電圧駆動の場合は、振幅調整レジスタ 101 を制御して、階調アンプ 102L の電位を低く (GND に近づけるか、 GND 以下にする) し、白ラスタ表示にする。

【0273】

電源回路 12 は、 V_{GL} 、 V_{GH} 、 A_{vdd} 、 D_{vdd} を EL 表示パネルに供給する。外部電源から、 V_{ddt} 、 V_{ss} を供給する。エージング中は、表示画面 21 の輝度をホトセンサでモニターし、初期の輝度から一定値を低下した時点で、エージングを終了させる。

【0274】

(18) 単一電源の場合

図 39 は、EL 表示パネル 20 の電源が単一電源の場合である。例えば、図 3 の画素構成で、 V_{ss} がグランド (GND) とした構成である。また、図 39 の実施形態では、ソースドライバ回路 24 のアナログ電圧 A_{vdd} とアノード電圧 V_{dd} とを共通にしている。

【0275】

なお、以上の実施形態では、 V_{dd} 、 V_{ss} を外部から供給し、 V_{GH} 、 V_{GL} は、出力電圧を変化させて電源回路 12 から供給するとした。しかし、本実施形態はこれに限定するものではない。例えば、 V_{dd} 、 V_{ss} 、 V_{GH} 、 V_{GL} を外部から供給し、 A_{vdd} 、 D_{vdd} のみを電源回路 12 から供給してもよい。

【0276】

画像表示はソースドライバ回路 24 を動作させて行うが、テストトランジスタを制御して行っても良い。テストトランジスタへの電圧は、電源 IC 12 から供給する。

【0277】

図 29、図 40、図 41 はソース信号線 28 にテストトランジスタ 295 を形成した実施形態である。テストトランジスタ 295 は、図 37 に示すように、カソード配線 302 またはアノード配線 301 にテストトランジスタ 295 を形成してもよい。テストトランジスタ 295 をオンさせることにより、カソード配線 302 に電流が流れ、また流れる電流を電流計 303 で測定することができる。ソース信号線 28 にはソースドライバ回路 24 より映像信号 (プログラム電流またはプログラム電圧) を印加する。

【0278】

テストトランジスタ 295 のゲート端子は、ゲートドライバ回路 22 と同様に、シフトレジスタ 363 (図 36 などを参照のこと) を付加し、シフトレジスタの機能により順次、1 つまたは複数のテストトランジスタ 295 を選択するように構成してもよい。以上のように構成することにより、テストトランジスタ 295 を単独でオン/オフ制御することができるようになる。

【0279】

したがって、ゲートドライバ回路 22a と個別にテストトランジスタ 295 のオン/オフさせることにより、マトリックス状に配置された画素 26 を個別または画素列単位で選択して、カソード電流またはアノード電流を測定または制御することができる。テストトランジスタ 295 はアノード配線 301 に形成してもよい。また、テストトランジスタ 295 をアノード配線とカソード配線とソース信号線 28 のいずれか 2 つ以上に形成してもよい。以上のことは、本実施形態の他の実施形態においての同様に適用することができる。

【0280】

10

20

30

40

50

(1 9) 画素 2 6 の特性の測定

本実施形態の電源回路 1 2 を用いて、画素 2 6 の特性を測定または把握することができる。

【 0 2 8 1 】

(1 9 - 1) 概要

図 3 7 は、その説明図である。

【 0 2 8 2 】

画素 2 6 の駆動用トランジスタ 3 1 a は、図 4 2 (a) の特性がある。なお、駆動用トランジスタ 3 1 a は、P チャンネルトランジスタとして説明をする。図 4 2 において、横軸は、駆動用トランジスタ 3 1 a のゲート端子電圧である。縦軸はトランジスタのチャンネル間を流れる電流である (E L 素子 3 5 に流す電流である)。ゲート端子電圧が V 1 であれば、電流は I 1 となる。ゲート電圧が V 0 であれば、電流は 0 である。すなわち、電流 I 1 を流せば、ゲート端子電圧は V 1 となる。逆にゲート端子に V 1 を印加すれば、出力電流は I 1 となる。

10

【 0 2 8 3 】

例えば、図 4 2 (a) の特定の駆動用トランジスタ 3 1 a に、ソースドライバ回路 (I C) 1 4 から $1 \mu A$ 、 $0.5 \mu A$ などの定電流 I 1 を供給し、画素 2 6 の駆動用トランジスタ 3 1 a のゲート端子電圧を測定する。この測定した V 1 駆動用トランジスタ 3 1 a の特性カーブを求め、各階調に対応する電圧プログラムデータを作成する。特性カーブは略 2 乗カーブである。最終データとしては、電流が 0 となる V 0 を求める。この V 0 は、フラッシュメモリなどの R O M 2 7 2 に各画素の特性バラツキデータとしてメモリする。

20

【 0 2 8 4 】

このメモリした V 0 データに映像信号の階調データを加算または演算し、画素の特性バラツキ (駆動用トランジスタ 3 1 a の特定バラツキ) を加味した映像信号 (プログラム電圧またはプログラム電流) を発生させる。発生させた映像データプログラム電圧またはプログラム電流は該当画素に印加される。そのため、駆動用トランジスタ 3 1 a の特性バラツキによる表示不良は表示されない。

【 0 2 8 5 】

また、図 4 2 (b) に示すように、画素 2 6 の駆動用トランジスタ 3 1 a に I 2 電流を供給し、I 2 電流に対するゲート端子電圧 V 2 を測定し、V 2、V 1 から階調電圧を求めてもよい。すなわち、少なくとも 1 つの定電流 (電流 0 を含む) からソース信号線 2 8 の電位を測定し、測定した電位から、階調に対応する電圧 (プログラム電圧) を求める。または、駆動用トランジスタ 3 1 a のゲート端子に所定電圧 (V 2、V 1) を印加し、出力される電流 (I 2、I 1) から駆動用トランジスタ 3 1 a の特定を推定または求め、V 0 データとしてメモリに保持させ、保持したデータから映像信号 (プログラム電圧またはプログラム電流) を求める。

30

【 0 2 8 6 】

図 4 3 は、取得された V 0 電圧から映像データ D A T A 補正し、適正な映像信号 (プログラム電圧またはプログラム電流) を得る方法の説明図である。V 0 電圧とは、画素 2 6 の駆動用トランジスタ 3 1 a の特性バラツキを示す補正量と考えることができる。

40

【 0 2 8 7 】

補正する大きさ V 0 はフラッシュ R O M 4 3 3 に保持されている。R O M データは、R D a T a として、外部より書き換えることができる。

【 0 2 8 8 】

R O M 4 3 3 に保持されたデータも 8 ビットである。この R O M データと階調データ D A T A が加算 (減算の場合もある) 回路 1 2 1 で加算される。一般的に加算処理により、階調データ D A T A は補正データ V 0 により、アノード電圧側に電位シフトされる。

【 0 2 8 9 】

加算されたデータは 9 ビットになる。このデータはパネル温度を検出する温度補償回路 4 3 2 で温度補償されて、ソースドライバ回路 (I C) 1 4 に印加される。温度補償回路

50

4 3 2を必要とするのは、ROM 4 3 3に格納された補正データは、温度依存性があるからである。

【0290】

以上のように、駆動用トランジスタ31aのゲート端子に定電圧を印加し、前記駆動用トランジスタ31aから出力される電流を測定することにより、駆動用トランジスタ31aの特性バラツキを取得することができる。取得した特性バラツキデータを補償データとしてROM 4 3 3などに保存し、EL表示装置の外部から入力される階調データをROM 4 3 3の補償データを用いて補正すれば、画素26の駆動用トランジスタ31aの特性バラツキがなく、良好な画像表示を実現できる。

【0291】

10

(19-2)画素26の特性を測定方法

図34は、画素26の特性を測定方法の説明図である。

【0292】

電源回路12のVss出力端子はオフにされ、端子パッドP1にプローブ304が接続される。アノード電圧Vddは、電源回路から供給される。テスト用カソード電圧Vstとアノード電圧Vddは、通常の画像表示を行う電圧値に設定される。

【0293】

この状態で、ソースドライバ回路24から、各ソース信号線28に所定の電圧V1が出力される。また、ゲート信号線27(1)にNチャンネルトランジスタ31bをオンさせるオン電圧(VGH)を印加し、他のゲート信号線27にオフ電圧(VGL)を印加する。図42に説明したように、駆動用トランジスタ31aのゲート端子にV1の電圧が印加されるとI1の大きさの電流が出力される。1画素行にm個の画素26とすると、各ソース信号線28にV1電圧を印加すると、 $m \times I1$ なる電流がカソード配線302に出力される。しかし、実際には、表示画面21の面内で画素の特性バラツキがあり、カソード配線302に流れる電流は、 $m \times I1$ とはならない。

20

【0294】

本実施形態では、各ソース信号線28に印加する電圧V1を変化させ、カソード配線302に流れる電流を $m \times I1$ となるように調整する。この $m \times I1$ になったときの電圧をVxとする。この電圧Vxが選択した1画素行の特性を示すことになる。Vx電圧は、AD変換(アナログ-デジタル変換)され、所定の演算処理がされて補正データとなり、補正データは、ROM 4 3 3に格納される。

30

【0295】

次に、ゲート信号線27(1)にNチャンネルトランジスタ31bをオフさせるオフ電圧(VGL)を印加し、ゲート信号線27(2)にオン電圧(VGH)を印加し、他のゲート信号線27にオフ電圧(VGL)を印加する。

【0296】

この状態で、ソースドライバ回路24から、各ソース信号線28に所定の電圧が出力される。各ソース信号線28に印加する電圧V1を変化させ、カソード配線302に流れる電流を $m \times I1$ となるように調整する。この $m \times I1$ (mは整数で、1画素行の画素数である)になったときの電圧をVxとする。この電圧Vxが選択した2画素行目の画素行の特性を示すことになる。Vx電圧は、AD変換(アナログ-デジタル変換)され、所定の演算処理がされて補正データとなり、補正データは、ROM 4 3 3に格納される。以上の動作を最終画素行番目まで実施する。

40

【0297】

以上のように、順次画素行を選択し、カソード配線302を流れる電流を一定値となるようにソースドライバ回路24から各ソース信号線28に印加する電圧を調整することにより、全画素行の特性バラツキを取得することができる。取得したデータは演算処理などを施して、補正データとし、ROM 4 3 3に格納される。以下は、図42、図43で説明した方式が実施されるので、説明を省略する。

【0298】

50

(1 9 - 3) 検査方法

以上では、画素 2 6 または画素行の特性バラツキを測定するとしたが、検査方法にも適用することができる。図 3 4 の実施形態では、各ソース信号線 2 8 に V_1 電圧を印加し、カソード配線 3 0 2 に流れる電流を所定値になるように V_1 電圧を調整して、特性を示す $V \times$ 電圧を取得するという方式であった。しかし、 V_1 電圧を一定の範囲内を変化させても、カソード配線 3 0 2 に流れる電流が所定値にならない場合がある。この場合は、画素 2 6 に欠陥が発生している場合がほとんどである。したがって、ソース信号線 2 8 に印加する電圧の範囲外となった場合に、選択した画素行のいずれかの画素 2 6 の欠陥などが発生していることを検出することができる。また、欠陥の程度も電圧可変範囲の大きさにより把握することができる。

10

【 0 2 9 9 】

例えば、最初の電圧 $V_1 = 2.0 \text{ V}$ とし、可変範囲が $\pm 0.5 \text{ V}$ とする。 $1.5 \text{ V} \sim 2.5 \text{ V}$ の範囲でカソード配線 3 0 2 に流れる電流を $m \times I_1$ に設定できなければ欠陥が発生しているとする。さらに、可変範囲が $\pm 0.8 \text{ V}$ とし、この範囲でもカソード配線 3 0 2 に流れる電流を $m \times I_1$ に設定できなければ重大な欠陥が発生しているとする。以上の事項は、図 3 5 などにも適用できる。

【 0 3 0 0 】

図 3 4 は、ソース信号線 2 8 に電圧を印加する手段として、ソースドライバ回路 2 4 を用いた方式であった。図 3 5 はソースドライバ回路 2 4 の代わりにテストトランジスタ 2 9 5 を用いた実施形態である。テストトランジスタ 2 9 5 を用いることより、ソースドライバ回路 2 4 が検査時に不要となる。

20

【 0 3 0 1 】

(1 9 - 4) 他の画素 2 6 の特性の測定方法

図 3 5 は、図 3 4 と同様に画素 2 6 の特性の測定方法の説明図である。また、図 3 4 と同様に欠陥検査も実現できる。電源回路 1 2 の V_{SS} 出力端子はオフにされ、端子パッド P 1 にプローブ 3 0 4 が接続される。アノード電圧 V_{DD} は、電源回路から供給される。テスト用カソード電圧 V_{SS_T} とアノード電圧 V_{DD} は、通常の画像表示を行う電圧値に設定される。

【 0 3 0 2 】

この状態で、端子 2 9 6 に所定電圧 V_1 が印加され、テストトランジスタ 2 9 5 を介して各ソース信号線 2 8 に V_1 電圧が印加される。また、ゲート信号線 2 7 (1) に N チャネルトランジスタ 3 1 b をオンさせるオン電圧 (V_{GH}) を印加し、他のゲート信号線 2 7 にオフ電圧 (V_{GL}) を印加する。図 4 2 に説明したように、駆動用トランジスタ 3 1 a のゲート端子に V_1 の電圧が印加されると I_1 の大きさの電流が出力される。しかし、実際には、表示画面 2 1 の面内で画素の特性バラツキがあり、カソード配線 3 0 2 に流れる電流は、 $m \times I_1$ とはならない。

30

【 0 3 0 3 】

テストトランジスタ 2 9 5 を介して各ソース信号線 2 8 に印加する電圧 V_1 を変化させ、カソード配線 3 0 2 に流れる電流を $m \times I_1$ となるように調整する。この $m \times I_1$ になったときの電圧を $V \times$ とする。この電圧 $V \times$ が選択した 1 画素行の特性を示すことになる。 $V \times$ 電圧は、A/D 変換 (アナログ - デジタル変換) され、所定の演算処理がされて補正データとなり、補正データは、ROM 4 3 3 に格納される。以下、図 3 4 と同様であるので説明を省略する。

40

【 0 3 0 4 】

(1 9 - 5) 変更例 1

図 3 4、図 3 5 の実施形態では、電源回路 1 2 を用い、カソード配線 3 0 2 線に流れる電流を測定することにより、駆動用トランジスタ 3 1 a または画素 2 6 の特性バラツキを求めるとした。しかし、本実施形態はこれに限定するものではない。アノード配線 3 0 1 線に流れる電流を測定することにより、駆動用トランジスタ 3 1 a または画素 2 6 の特性バラツキを求めてもよい。この場合も、電源回路 1 2 を用いて実現することができる。ス

50

イッチSW2をオフさせる機能を気象すればよいからである。

【0305】

特性バラツキは、駆動用トランジスタ31aに定電流を流し、前記定電流を流した状態で、前記駆動用トランジスタ31aのゲート端子電圧を測定することによっても、駆動用トランジスタ31aまたは画素26の特性バラツキを求めることもできる。

【0306】

例えば、図36の構成において、テストトランジスタ295はシフトレジスタ回路363などを介して、それぞれ単独でオン/オフ制御できるように構成する。アノード電圧V_{dd}を一定電圧とする。ゲート信号線27(1)にNチャンネルトランジスタ31bをオンさせるオン電圧(V_{GH})を印加し、他のゲート信号線27にオフ電圧(V_{GL})を印加する。この状態で、テスト用のカソード電圧V_{sst}を操作し、カソード配線302に流れる電流を所定値になるようにする。所定値とは、選択された1画素行分の電流値である。

10

【0307】

なお、図36では、363はシフトレジスタ回路としたが、これはテストトランジスタ295を選択する機能(テストトランジスタ295をオンさせる)を有するものである。したがって、順次、1つのテストトランジスタ295を選択する機能を有する。さらに、任意のテストトランジスタ295を選択できる機能を有している。また、選択するテストトランジスタ295の数は、1つに限定されない。複数のテストトランジスタ295を同時に選択してもよい。例えば、赤(R)の画素26を選択し、GBの画素を非選択とする方式が例示される。

20

【0308】

なお、EV0、EV255電圧のうち、少なくとも一方は、図69の点灯率、図57のduty比に対応させて変化させてもよい。点灯率が低い時は、EV0-EV255の絶対値を大きくし、点灯率が小さい時は、EV0-EV255の絶対値を相対的に小さくする。また、duty比が小さい時は、EV0-EV255の絶対値を大きくし、duty比が大きい時は、EV0-EV255の絶対値を相対的に小さくする。

【0309】

カソード電流が所定値になった状態で、テストトランジスタ295(1)をオンさせ、他のテストトランジスタ295はオフ状態を維持する。テストトランジスタ295(1)をオンさせることにより、画素26(11)の駆動用トランジスタ31aのゲート端子電圧が、端子296に出力される。端子296に出力された電圧は、AD変換(アナログ-デジタル変換)されて、画素26(11)の特性バラツキを示すデータとなる。

30

【0310】

次に、テストトランジスタ295(2)をオンさせ、他のテストトランジスタ295をオフさせることにより、画素26(12)の駆動用トランジスタ31aのゲート端子電圧が、端子296に出力される。端子296に出力された電圧は、AD変換(アナログ-デジタル変換)されて、画素26(12)の特性バラツキを示すデータとなる。

【0311】

同様にゲート信号線27(1)を選択した状態で、テストトランジスタ295を順次オンさせ、1つのテストトランジスタ295以外の他のテストトランジスタ295をオフさせることにより、画素26の駆動用トランジスタ31aのゲート端子電圧が、端子296に出力される。端子296に出力された電圧は、AD変換(アナログ-デジタル変換)されて、各画素26の特性バラツキを示すデータとなる。

40

【0312】

テストトランジスタ295(m)まで完了すると、ゲート信号線27(2)を選択し、他のゲート信号線27にはオフ電圧(V_{GL})を印加する。この状態で、先の第1画素行と同様にテスト用のカソード電圧V_{sst}を操作し、カソード配線302に流れる電流を所定値になるようにする。

【0313】

50

カソード電流が所定値になった状態で、テストトランジスタ 295 (1) をオンさせ、他のテストトランジスタ 295 はオフ状態を維持する。テストトランジスタ 295 (1) をオンさせることにより、画素 26 (21) の駆動用トランジスタ 31a のゲート端子電圧が、端子 296 に出力される。端子 296 に出力された電圧は、A/D 変換 (アナログ - デジタル変換) されて、画素 26 (21) の特性バラツキを示すデータとなる。

【0314】

次に、テストトランジスタ 295 (2) をオンさせ、他のテストトランジスタ 295 をオフさせることにより、画素 26 (22) の駆動用トランジスタ 31a のゲート端子電圧が、端子 296 に出力される。端子 296 に出力された電圧は、A/D 変換 (アナログ - デジタル変換) されて、画素 26 (22) の特性バラツキを示すデータとなる。

10

【0315】

同様にゲート信号線 27 (2) を選択した状態で、テストトランジスタ 295 を順次オンさせ、1つのテストトランジスタ 295 以外の他のテストトランジスタ 295 をオフさせることにより、画素 26 の駆動用トランジスタ 31a のゲート端子電圧が、端子 296 に出力される。端子 296 に出力された電圧は、A/D 変換 (アナログ - デジタル変換) されて、各画素 26 の特性バラツキを示すデータとなる。

【0316】

以上のように、順次画素を選択し、画素 26 の駆動用トランジスタ 31a のゲート端子電圧を測定することにより、全画素の特性バラツキを取得することができる。取得したデータは演算処理などを施して、補正データとし、ROM 433 に格納される。以下は、図 42、図 43 で説明した方式が実施されるので、説明を省略する。

20

【0317】

(19-6) 変更例 2

図 36 は、カソード配線 302 の電流を測定し、画素も電圧駆動の画素構成であった。図 58 は、アノード配線 301 の電流を測定し、画素は図 3 で説明した電流駆動の画素構成である。図 58 の方法 (動作) は、図 36 と同様であるので説明を省略する。以上のように本実施形態は、いずれの画素構成であっても対応することができる。

【0318】

図 34、図 36 の実施形態は、検査方法にも適用することができるとして説明した。図 36 で説明した方式も検査方法に適用できる。

30

【0319】

図 36 では、テスト用のカソード電圧 $V_{ss t}$ を操作し、カソード配線 302 に流れる電流を所定値になるようにする。しかし、 $V_{ss t}$ を所定範囲、変化させてもカソード配線 302 に流れる電流が所定値にならない場合がある。

【0320】

この場合は、画素 26 に欠陥が発生している場合がほとんどである。したがって、 $V_{ss t}$ の変化または調整範囲が範囲外となった場合に、選択した画素行のいずれかの画素 26 の欠陥などが発生していることを検出することができる。また、欠陥の程度も電圧可変範囲の大きさにより把握することができる。

【0321】

例えば、最初の電圧 $V_{ss t} = -3.0V$ とし、可変範囲が $\pm 0.5V$ とする。 $-3.5V \sim -2.5V$ の範囲でカソード配線 302 に流れる電流を $m \times I_1$ に設定できなければ欠陥が発生しているとする。さらに、可変範囲が $\pm 0.8V$ とし、この範囲でもカソード配線 302 に流れる電流を $m \times I_1$ に設定できなければ重大な欠陥が発生しているとする。

40

【0322】

図 27、図 35、図 36 においてテストトランジスタ 295 は、パルス状にオン/オフ制御させたり、周期的にオン/オフさせたりすることにより、より多種多様な検査を行うことができる。図 27 において、テストトランジスタ 295 をオンさせる場合は、ソースドライバ回路 24 の最終出力段に形成されたスイッチをオフ (ハイインピーダンス) にし

50

、ソースドライバ回路 24 をソース信号線から切り離し、テストトランジスタ 295 によりソース信号線 28 に印加された電圧（電流）から保護する。

【0323】

また、図 27、図 35、図 36 などにおいて、電源回路 12 から出力される V_{dd} 、 V_{ss} 電圧または外部電源 V_{ddt} 、 V_{sst} を可変または調整し、可変または調整した状態と、テストトランジスタ 295 のオン/オフとを同期させることにより、より多種多様な検査または調整を実現できる。例えば、エージング工程において、 V_{ddt} 、 V_{sst} を印加し、テストトランジスタ 295 で 1 フレームまたは複数フレーム周期で画素 26 をオン（表示）、オフ（非表示）する電圧または電流を印加する。すると、エージング構成で EL 表示パネルはフラッシュ表示となり、大きなストレスをかけることができるため、エージング工程を短縮することができる。EL 表示装置をフラッシュ表示させることにより、EL 素子 35 の EL 構成膜に発生する可能性がある欠陥をエージング構成で発生させることができる。なお、以上の方式は、テストトランジスタ 295 の制御だけでなく、ソースドライバ回路 24 を制御することによっても実現できる。

【0324】

（20）表示画面全体の調整

以上は、画素の特性を測定する方式などに関するものであった。本実施形態はこれに限定するものではない。当然のことながら、表示画面全体としての調整を実施することもできる。図 44、図 47 などはその説明図である。

【0325】

図 44 は、画像表示の黒レベルを調整するための説明図である。黒レベルを深くすると表示コントラストは高くなるが、ガンマ曲線がいびつになる。黒レベルを浅くすると表示コントラストが悪くなる。したがって、黒レベルは適度な調整が必要である。黒レベルは、画素 26 の駆動用トランジスタ 31a が P チャンネルトランジスタの場合は、カソード電流を測定して調整する。駆動用トランジスタ 31a が N チャンネルトランジスタの場合は、アノード電流を測定して調整する。図 44 では、駆動用トランジスタ 31a が P チャンネルとして説明している。

【0326】

図 44 において、電源回路 12 は、スイッチ SW2 をオンさせて、表示パネル 12a にアノード電圧 V_{dd} を供給する。一方、スイッチ SW1 をオフし、カソード端子（ V_{ss} 端子）は、ハイインピーダンス状態にする。表示パネル 20 と電源回路 12 間を接続するカソード配線の途中にはパッド P1 が形成されている。パッド P1 には、プローブ 304 など、電氣的接触手段が接続される。電氣的接触手段は、パッドに限定されるものではなく、例えば、コネクタの接触端子であってもよい。この場合は、プローブ 304 は、コネクタが該当する。

【0327】

本実施形態の EL 表示装置（EL 表示モジュール）の特徴は、電氣的接触手段がカソード配線又はアノード配線またはその両方の配線に、電氣的接触手段（パッド）が形成されていることにある。また、電源回路 12 にオフ回路（スイッチ SW）が内蔵されていることにある。IC チップ 452 の IC 端子 453 には、金バンプ 451 が形成されている。また、EL 表示パネル 20 に供給する電圧を電源回路 12 から供給し、電源回路 12 がフレキシブル基板 281 にフリップチップ実装（金バンプ実装）されていることにある。また、電源回路 12 のチップ電位を固定するチップ電位接地電極（接地パターン）455 の金バンプ端子 451 を設け、電極 454 をグランド（GND）または、マイナス電位（ V_{GL} ）を印加できるように構成したことにある（図 45 を参照のこと）。

【0328】

図 44 では、電源回路 12 からアノード電圧 V_{dd} を EL 表示パネル 20 に供給し、スイッチ SW1 をオフにしている。すなわち、カソード配線に電源回路 12 からの電圧は印加されないようにしている。又、カソード配線に電圧が印加されても、電源回路 12 の内部回路に前記電圧が印加されないように構成している。

【0329】

パッドP1には、プローブ304を介して電流計303を接続する。電流計（電流測定手段）303の他方の端子は、テスト（調整）用電圧 V_{sst} に接続する。 V_{sst} の電圧値は、電源回路12の V_{ss} 出力電圧と同一にする。 V_{sst} 電圧を用いてEL表示パネル20を調整することにより、調整後、電源回路12のSW1をオン状態（通常動作状態）にした時であっても、表示輝度などが調整時と同一にすることができる。

【0330】

電源回路12から出力される V_{ss} 電圧もバラツキがある。このバラツキを吸収するためには、電源回路12が出力する V_{ss} 電圧を電圧計で測定し、測定した電圧を V_{sst} 電圧として印加するようにする。以上の事項は、他の電圧（ V_{dd} 、 V_{GL} 、 V_{GH} 、 A_{vdd} など）に関しても同様である。

10

【0331】

なお、本発明の実施例において、パッドPに、プローブ304を接続あるいは圧接するとしたが、これに限定するものではなく、たとえばパッドPの替わりにコネクタであってもよい。コネクタの接続端子で電流を測定する配線に接続して電流などを測定できるように構成してもよい。以上の事項は本発明の他の実施例においても適用される。

【0332】

通常、カソード配線に流れる電流を測定するためには、カソード配線を切断し、切断した箇所に電流計を挿入する必要がある。以上のように、電源回路12の V_{ss} 出力をオフにし、電流計303の一端子を調整用電位 V_{sst} に接続することにより、パッドP1に電流計の一方の端子を接続することのみで、EL表示パネル20の点灯領域34に流れる電流を測定することができる。

20

【0333】

電源回路12のSW1をオフにすると、理想的にはハイインピーダンス状態となり、電源回路12の V_{ss} 端子からのリーク電流 I_r は発生しない。しかし、現実には、マイクロアンペア(μA)オーダーのリーク電流 I_r が発生する。したがって、電流計には、カソード電流 I_k と電源回路12からのリーク電流 I_r が加算されたものが測定される。黒レベル調整では、カソード電流 I_k もマイクロアンペアオーダーであるため、リーク電流 I_r があると、黒レベルの調整ができない。

【0334】

30

この課題に対応するため、本実施形態の調整方法では、カソード電流 I_k を完全に0に設定する（ $I_k = 0 \mu A$ ）。カソード電流 $I_k = 0$ にすれば、電源回路12のリーク電流 I_r のみが接続する。次に、カソード電流 I_k を通常状態となるように（本来設定すべき黒レベルに対応するカソード電流になるように）、EL表示パネル20を設定する。この状態では、電流計303には、 $I_a = \text{カソード電流 } I_k + \text{リーク電流 } I_r$ が測定される。測定された I_a から先に測定した I_r を減算すれば、カソード電流 I_k のみを定量的に測定できる。すなわち、電流計303による調整値は、測定した電流値 I_r を0とし、調整すべき値である I_k が加算された時点で調整完了とすればよい。

【0335】

40

カソード電流 $I_k = 0$ とするには、図46に示すように、ソースドライバ回路24からソース信号線28にアノード電圧 V_{dd} 近傍の電圧または V_{dd} 電圧以上の電圧 V_{sig} を印加することにより行う。先に説明したようにソース信号線28に印加した電圧は、駆動用トランジスタ31aのゲート端子に印加される。高い（アノード電圧に近いまたはそれ以上）電圧 V_{sig} をソース信号線28に印加するため、電源回路12をコマンド設定で A_{vdd} 電圧を高くする（図14を参照のこと）。または、または必要に応じて図38に図示して説明したEV0電圧を高く（アノード電圧近傍またはそれ以上）に設定する。

【0336】

スイッチ用 V_{sig} 電圧は、スイッチ用トランジスタ31c、31bをオンさせることにより、駆動用トランジスタ31aのゲート端子に印加される。駆動用トランジスタ31aのゲート端子の電位が、アノード電圧近傍またはそれ以上に設定することにより、駆動

50

用トランジスタ 3 1 a が流す電流は小さくなる。V s i g 電圧は、点灯領域 3 4 の全駆動用トランジスタ 3 1 a のゲート端子に印加する。

【 0 3 3 7 】

最適なカソード電圧を設定するには、図 4 7 のように構成する（設定する）。電流計 3 0 3 の一端に可変電圧装置 4 7 1 を接続する。可変電圧装置 4 7 1 の電圧を変化させ、電圧計 4 7 2 で電圧 V s s t を測定する。また、電流計 3 0 3 で電流 I a を測定する。

【 0 3 3 8 】

カソード電圧 V s s t が十分でないと、I k も小さくなる。しかし、この場合の I k が小さいのは、画素の駆動用トランジスタ 3 1 a、E L 素子 3 5 に十分な電圧が印加されていないことを意味している。カソード電圧 V s s t を低下させて、I k の変化を電流計 3 0 3 で監視しながら、可変電圧装置 4 7 1 で変化させる。カソード電圧 V s s t を低下させていくと、I k 電流も増大するが、一定以上にカソード電圧 V s s t を下げると、I k 電圧が飽和して増加しなくなる。この飽和位置の電圧 V s s t を電圧計 4 7 2 で測定する。測定した V s s t を電源回路 1 2 の V s s 電圧として電源回路 1 2 に設定する。

【 0 3 3 9 】

以上の事項は、駆動用トランジスタ 3 1 a が P チャンネルトランジスタの場合であり、駆動用トランジスタ 3 1 a が N チャンネルトランジスタの場合は、V s i g 電圧は、カソード電圧またはそれ以下の電圧を印加する。

【 0 3 4 0 】

なお、図 4 6 で説明する V s i g 電圧とは、通常が表示状態でない（通常黒レベルを設定する電圧でない）電圧という意味である。すなわち、電源回路 1 2 のリーク電流を測定するために、カソード電流を極力小さくするために、E L 表示パネル 2 0 に印加する電圧である。

【 0 3 4 1 】

また、電源回路 1 2 のリーク電流 I r のバラツキ大きくない場合（例えば、リーク電流が $5 \mu A$ で、バラツキの 3σ が、 $0.5 \mu A$ である場合）は、電源回路 1 2 のリーク電流 I r を測定する必要はない。リーク電流 I r として、平均値を用いればよい。この場合は、I k = 0 にする工程も必要でなくなる。

【 0 3 4 2 】

（ 2 0 - 1 ）変更例 1

以上の実施形態では、電源回路 1 2 ですべての電圧（V d d、V s s、V G H、V G L、A v d d など）を発生させるとしたが、これに限定するものではない。例えば、図 4 8 に示すように、ソースドライバ回路 2 4 で、ゲートドライバ回路 2 2 が使用する電圧（V G H、V G L）を発生させてもよい。バッテリー電圧 V i n はソースドライバ回路 2 4 と電源回路 1 2 に入力される。

【 0 3 4 3 】

（ 2 0 - 2 ）変更例 2

図 4 9 は、ソースドライバ回路 2 4 のチャージポンプ回路（3 1 e、3 1 f）のために外付けコンデンサ（C 1、C 2）を付加し、ソースドライバ回路 2 4 はパネル 2 0 に C O G（チップ オン ガラス）で実装され、コンデンサ C 1、C 2 はフレキシブル基板 2 8 1 に実装される。

【 0 3 4 4 】

なお、図 4 8、図 4 9、図 5 0 は、図 3 9 と同様に E L 表示パネル 2 0 が単一電源の場合である。また、ソースドライバ回路 2 4 で使用するロジック電圧 D v d d は、電源回路 1 2 で発生させている。ソースドライバ回路 2 4 は D v d d 電圧が供給されていないと動作することが出来ないためである。また、図 4 8、図 4 9、図 5 0 は、図 3、図 2 3 などと同様に、2 電圧方式（V d d 電圧と V s s 電圧を有する方式）としてもよい。

【 0 3 4 5 】

図 4 9 はソースドライバ回路 2 4 を C O G 技術でガラス基板上に実装し、電源回路 1 2 をフレキシブル基板 2 8 1 に実装した構成である。図 5 0 は、ソースドライバ回路 2 4 及

10

20

30

40

50

び電源回路 1 2 の両方をフレキシブル基板 2 8 1 に実装した構成である。電源回路 1 2 及びソースドライバ回路 2 4 は、それぞれ、端子に金バンプを形成し、フレキに C O F (チップオンフレキシブル基板) 技術で実装する。

【0346】

図 4 9、図 5 0 では、電源回路 1 2 をチップのまま (I C パッケージを使用せず)、フレキシブル基板に実装する。そのため、チップ基板 (ウエハ基板) の電位の保持が重要となる。本実施形態では、図 4 5 に示すように、ウエハ電位と接続する電極 (チップ電位接地電極 4 5 4) を I C チップ 4 5 2 の表面に形成する。 I C チップと電位接地電極 4 5 4 とは I C の回路パターンングにより接続をとる。チップ電位接地電極 4 5 4 上にも金バンプ 4 5 1 を形成し、フレキ 2 8 1 とは、他の I C 端子 7 1 3 と同時に、 C O F 実装により接続をとる。チップ電位接地電極 4 5 4 は、グランド (G N D) 電位と接続をとる。好ましくは、負電位を印加する。本実施形態では電源回路 1 2 が出力する V G L 電位を接続している。

10

【0347】

図 5 1 は、図 5 0 の電気配線の接続関係と分岐チップ 5 1 2 を記載した図面である。図 5 0 との差異は、分岐チップ 5 1 2 をフレキシブル基板 2 8 1 に実装していることである。

【0348】

分岐チップ 5 1 2 は、図 5 2 のように構成されている。分岐チップ 5 1 2 はソースドライバ回路 2 4 と同様にシリコンチップから形成されている。もちろん、チップなどの形状あるいは類するものであれば、シリコンチップ以外でもよい。たとえば、ガラス基板に金属配線をパターンングしたものであってもよい。

20

【0349】

分岐チップ 5 1 2 もソースドライバ回路 2 4 と同様に、金バンプ (入力側は入力バンプ 5 1 1、出力側は出力バンプ 5 1 2) が形成されている。ソースドライバ回路 2 4 との差異は、映像信号などの出力回路は形成されておらず、チップ配線のみが形成されている点である。すなわち、チップ配線 5 1 3 は、半導体のメタル配線層で形成されている。

【0350】

コネクタ 5 1 1 からの入力信号線 5 1 2 (図 5 1 では D 0、D 1 などの信号線) は、分岐チップ 5 1 2 に形成されたチップ配線 5 1 3 で分岐され、また、入力信号線は、分岐チップ 5 1 2 を利用して交差または入れ替わりがされる。

30

【0351】

本実施形態の E L パネルモジュールでは、フレキシブル基板 2 8 1 は片面フレキシブル基板を使用している。したがって、安価である。しかし、片面フレキであるから、配線の分岐、入れ替え (交差) ができない。この課題に対して本実施形態では、分岐チップ 5 1 2 で、チップ配線 5 1 3 を形成し、チップ配線 5 1 3 で入力信号線 5 1 3 の分岐、交差などが実現され、入力信号線 5 1 3 は出力信号線 5 1 4 と接続されている。分岐チップ 5 1 2 は、ソースドライバ回路 2 4 と同時に、 C O F 技術でフレキシブル基板 2 8 1 に実装される。

【0352】

図 5 9 は、フレキシブル基板 2 8 1 の一部に、フレキ積層部 5 9 1 を形成している。すなわち、フレキ積層部 5 9 1 は、2 層フレキの構成である。このフレキ積層部 5 9 1 でスルーホールなどを形成し、信号線及び電源配線などを交差させる。

40

【0353】

ソースドライバ回路 2 4 は、ゲートドライバ回路 2 2 で使用する電源電圧 V G H (V G H 1、V G H 2)、V G L (V G L 1、V G L 2) を発生させる。電圧 V G H、V G L はチャージポンプ回路で発生させる。電源回路 1 2 は、アノード電圧 V d d 及び、ソースドライバ回路 2 4 で使用するロジック電圧 D v d d を発生させる。E L 表示パネルは、カソード電圧 V s s はグランド (G N D) 電圧としている。ソースドライバ回路 2 4 は、ゲートドライバ回路 2 2 で使用するクロック信号 (C L K)、スタート信号 (S T) なども発

50

生する。スタート信号 (S T) は、ソースドライバ回路 2 4 でレベルシフトされ、ゲートドライバ回路 2 2 に印加される。

【 0 3 5 4 】

図 6 0 はフレキシブル基板 2 8 1 a と 2 8 1 b を貼り合わせている。フレキシブル基板 2 8 1 a は 2 層フレキである。フレキシブル基板 2 8 1 a には、スルーホール 6 0 1 が形成され、信号線、電源配線などを交差させる。

【 0 3 5 5 】

(2 1) レベルシフト機能

図 6 1 は、電源回路 1 2 にレベルシフト機能を持たせた構成である。ソースドライバ回路 2 4 は、ゲートドライバ回路 2 2 で使用するクロック信号 (C L K 2 a 、 C L K 1 a) 、スタート信号 (S T 2 a 、 S T 1 a) を発生する。発生する信号のロジックレベルは、3 V 系である。

10

【 0 3 5 6 】

前記 3 V 系の信号は、電源回路 1 2 に入力される。電源回路 1 2 内には、レベルシフタ回路 6 1 1 を内蔵されている。レベルシフタ回路 6 1 1 は、3 V 系のロジックレベルと、ゲートドライバ回路 2 2 のロジックレベルに変換する。ゲートドライバ回路 2 2 のロジックレベルは、V G L - V G H である。レベルシフトされた信号は、クロック信号 (C L K 2 b 、 C L K 1 b) 、スタート信号 (S T 2 b 、 S T 1 b) となり、ゲートドライバ回路 2 2 に入力される。

20

【 0 3 5 7 】

(2 2) 点欠陥検査

本実施形態の電源回路 1 2 は、表示パネルの点欠陥検査にも使用できる。電源回路 1 2 から、ゲートドライバ回路 2 2 の電圧を供給するとともに、テストトランジスタ 2 9 5 をオン / オフさせる電圧を供給するとともに、テストトランジスタ 2 9 5 などを制御する。

【 0 3 5 8 】

図 2 9 では、赤 (R) 用のテストトランジスタ 2 9 5 として、2 9 5 R が形成されている。テストトランジスタ 2 9 5 R をオン / オフさせる電圧は、トランジスタ制御端子 2 9 7 R に印加され、定電流または定電圧は、信号入力端子 2 9 6 R に印加される。ソースドライバ回路 2 4 は、ソースドライバ回路実装位置 2 9 4 に実装される。

30

【 0 3 5 9 】

また、緑 (G) 用のテストトランジスタ 2 9 5 として、2 9 5 G が形成されている。テストトランジスタ 2 9 5 G をオン / オフさせる電圧は、トランジスタ制御端子 2 9 7 G に印加され、定電流または定電圧は、信号入力端子 2 9 6 G に印加される。青 (B) 用のテストトランジスタ 2 9 5 として、2 9 5 B が形成されている。テストトランジスタ 2 9 5 B をオン / オフさせる電圧は、トランジスタ制御端子 2 9 7 B に印加され、定電流または定電圧は、信号入力端子 2 9 6 B に印加される。

【 0 3 6 0 】

図 2 9 のように、R G B 毎に選択するテストトランジスタ 2 9 5 を異ならせるように構成することにより、表示画面 2 1 に R G B の画像を表示することができ、欠陥検査など検査が実施しやすい。

40

【 0 3 6 1 】

ゲート信号線 2 7 a は水平同期信号に同期して、選択される画素行位置が 1 画素行ずつシフトされる。また、各画素行には、テストトランジスタ 2 9 5 からの電圧または電流が印加される。通常、テストトランジスタ 2 9 5 のゲート端子には常時オン電圧が印加される。

【 0 3 6 2 】

なお、図 2 9 において、2 9 3 はソースドライバ回路 2 4 の入力端子パッドであり、2 9 1 は、ソースドライバ回路 2 4 の出力端子パッドである。

【 0 3 6 3 】

ゲート信号線 2 7 a にオン電圧が印加された画素行では、ゲート信号線 2 7 b には、オ

50

フ電圧が印加される。ゲート信号線 27a にオフ電圧が印加された画素行では、ゲート信号線 27b に、オン電圧が印加される。または、図 5、図 7 のように、duty 駆動を実施する場合は、非点灯領域 55 に該当する画素行のゲート信号線 27a 及びゲート信号線 27b にはオフ電圧が印加される。

【0364】

なお、図 29 は、赤 (R)、緑 (G)、青 (B) 毎にテストトランジスタ 295 (295R、295G、295B) を配置し、RGB で独立した所定電流または所定電圧を印加する方式である。しかし、本実施形態は、これに限定するものではない。例えば、図 62 に示すように、RGB の区別なく、テストトランジスタ 295 を配置してもよい。

【0365】

図 62 の実施形態では、信号入力端子 296 に印加した電圧 (電流) は、トランジスタ制御端子 297 に印加した制御電圧により制御され、ソース信号線 1 に印加される。なお、図 29 は、トランジスタ制御端子 297 に印加した制御電圧により、表示画面 21 に全体に電圧 (電流) が印加されるとした。しかし、本実施形態はこれに限定するものではなく、表示画面 21 を複数の領域に分割し、それぞれ分割した領域に異なる電圧 (電流) を印加できるように構成してもよい。

【0366】

ゲート信号線 27 にオン / オフ電圧を印加するために、ゲートドライバ回路 22 を動作させる (図 29)。画像を表示させてテストを行うときは、図 2 の ST1、CLK をフレームレート 60Hz または、50Hz に一致するように制御する。点欠陥検出、画素の駆動用トランジスタ 31a などの特性を評価または検査する場合は、ST1、CLK などを制御してフレームレート 1Hz などに低減する。ゲートドライバ回路 22 には、VGH、VGL 電圧を印加する。すなわち、点欠陥検出ではフレームレートを通常表示時よりも低くする。点欠陥検出検査のフレームレートは、5Hz 以上 30Hz 以下に設定する。

【0367】

ゲートドライバ回路 22a は、順次、ゲート信号線 27a を選択する。ゲート信号線 27a の選択に同期して、テストトランジスタ 295 から、所定電流または所定電圧をソース信号線 28 に印加し、選択された画素行のスイッチ用トランジスタ 31c によって、前記電圧などを画素に書き込む。

【0368】

ゲートドライバ回路 22b は、ゲート信号線 27a が選択され、所定電圧 (所定電流) を書き込んでいる画素行には、非選択電圧が印加される。その他の、画素行には、選択電圧が印加されるか、または、図 5、図 7 の duty 比駆動が実施される。

【0369】

なお、以上の実施形態では、1 画素行ずつ画素行を選択し、所定電圧 (所定電流) を画素 26 に書き込むとしたが、実施形態はこれに限定されるものではない。例えば、複数の画素行 (例えば、1 画素行と 2 画素行、3 画素行と 4 画素行、5 画素行と 6 画素行、・・・) を選択し、所定電圧 (所定電流) を画素 26 に書き込んでもよい。また、すべてのゲート信号線 27a を同時に選択し、所定電圧 (所定電流) を画素 26 に書き込んでもよい。また、画面の上半分のゲート信号線 27a を同時に選択し、所定電圧 (所定電流) を画素 26 に書き込み、次に、画面の下半分のゲート信号線 27a を同時に選択し、所定電圧 (所定電流) を画素 26 に書き込んでもよい。

【0370】

図 29、図 62 の実施形態は、ゲートドライバ回路 22 により、テスト用の所定電圧または所定電流を画素行に書き込む実施形態であった。ゲートドライバ回路 22 は、ポリシリコン技術により、画素 26 のトランジスタと同時に形成する。

【0371】

図 64 は、ゲートドライバ回路 22 を用いず、ゲート信号線 27 の一端にプロービングのパッド Pa、Pb を形成した実施形態である。プロービングのパッド Pa、Pb にプローブ 304 などを接触させ、VGH 電圧、VGL 電圧を印加する。プロービングの

10

20

30

40

50

パッド P a 1、P a 2、・・・と順次 V G L 電圧（選択電圧）を印加し、選択していないブローピングのパッド P a に V G H 電圧（非選択電圧）を印加すれば、ゲートドライバ回路 2 2 a と同一の動作を実現できる。また、千鳥状（パッド P a 1、P a 3、P a 5、・・・）に選択電圧を印加してもよい。

【0372】

E L 表示パネルの検査後、半導体で作製したゲートドライバ回路 2 2 をゲート信号線 2 7 端に実装する。

【0373】

図 6 3 は、ゲート信号線 2 7 a、1 7 b を個別にブローピングのパッド P a、P b を形成し、ブロープ 3 0 4 などと接触させ、V G H 電圧、V G L 電圧を印加する実施形態であった。図 3 3 は、複数のゲート信号線 2 7 a を短絡配線 6 3 1 で短絡し、ブローピングのパッド P a を配置した実施形態である。また、複数のゲート信号線 2 7 b を短絡配線 6 3 2 で短絡し、ブローピングのパッド P b を配置した実施形態である。

【0374】

ブローピングのパッド P a、P b にブロープ 3 0 4 などと接触させ、V G H 電圧、V G L 電圧を印加することにより、表示画面 2 1 全体をオン/オフ制御することができる。

【0375】

テストトランジスタ 2 9 5 を動作させることにより、ソースドライバ回路 2 4 を実装せずとも、表示画面 2 1 に画像を表示することができる。画像表示により、点欠陥、線欠陥、色ずれなどを容易に検出することができる。テストトランジスタ 2 9 5 の制御は、電源回路 1 2 または制御回路で行う。

【0376】

検査モード以外（通常画像表示時）では、図 6 5 に示すように、テストトランジスタ 2 9 5 のソース端子とゲート端子は電氣的に短絡される。図 6 5 のように短絡することにより、テストトランジスタ 2 9 5 はダイオードと等価になる。

【0377】

したがって、テストトランジスタ 2 9 5 のソース端子とゲート端子にオフ電圧（V G H）を印加すれば、テストトランジスタ 2 9 5 からソース信号線 2 8 に電圧または電流が印加されることはない。また、テストトランジスタ 2 9 5 からなるダイオードは、静電気保護用の保護ダイオードとして機能し、E L 表示パネルを保護する素子として機能する。

【0378】

図 6 5 のようにテストトランジスタ 2 9 5 をダイオード結線とするのは、図 2 8 の方式を用いる。

【0379】

以上の実施形態では、P チャンネルのテストトランジスタ 2 9 5 をソース信号線 2 8 に形成するとしたが、N チャンネルのテストトランジスタ 2 9 5 をソース信号線 2 8 に形成してもよい。

【0380】

ゲートドライバ回路 2 2 には、電源回路 1 2 から電圧を供給する。また、電源回路 1 2 は、必要に応じてテストトランジスタ 2 9 5 の信号入力端子 2 9 6 に印加する電圧、トランジスタ制御端子 2 9 7 に印加する制御電圧（テストトランジスタ 2 9 5 のオン/オフ電圧）を供給する（図 5 3 も参照のこと）。

【0381】

但し、テストトランジスタ 2 9 5 のチャンネル極性は、画素 2 6 のスイッチ用トランジスタ 3 1 c（ソース信号線 2 8 に印加された電流または電圧を画素 2 6 との電流経路を発生させるトランジスタ）のチャンネル極性と一致させることが好ましい。スイッチ用トランジスタ 3 1 c をオフさせる電圧でテストトランジスタ 2 9 5 を確実にオフできるからである。

【0382】

なお、テストトランジスタ 2 9 5 は、P チャンネルと N チャンネルの 2 つのトランジス

10

20

30

40

50

タを各ソース信号線 28 に形成してもよい。2つのチャンネル極性のテストトランジスタ 295 を形成することにより、テストに最適な電圧（電流）をソース信号線 28 に印加できるようにする。

【0383】

本実施形態の EL 表示装置は、図 29 に示すように、テストトランジスタ 145 を形成している。テストトランジスタ 145 は、画素のトランジスタ 31 が形成されたアレイ基板 282 に形成される。また、テストトランジスタ 295 の形成はトランジスタ 31 と同一プロセスで行われる。また、テストトランジスタ 295 は、ゲートドライバ回路 22 と同一のプロセスで、アレイ基板 282 に形成される。

【0384】

テストトランジスタ 295 は、基本的には、画素 26 のトランジスタ 31 と同一構成である。トランジスタ 295 は、スイッチ用トランジスタ 31c と同一のチャンネルトランジスタとする。スイッチ用トランジスタ 31c が P チャンネルトランジスタであれば、テストトランジスタ 295 も P チャンネルトランジスタにする。スイッチ用トランジスタ 31c が N チャンネルトランジスタであれば、テストトランジスタ 295 も N チャンネルトランジスタにする。

【0385】

スイッチ用トランジスタ 31c はゲート信号線 27a の印加電圧（ V_{GH1} 、 V_{GL1} ）でオン/オフ制御される。また、必要に応じて、電源回路 12 が出力する V_{GH} 、 V_{GL} 電圧をコマンドで変更して、EL 表示パネルに印加する。

【0386】

スイッチ用トランジスタ 31c が P チャンネルトランジスタの場合は、 V_{GH1} でスイッチ用トランジスタ 31c は、オフ状態となり、 V_{GL1} でスイッチ用トランジスタ 31c は、オン状態となる。スイッチ用トランジスタ 31c が N チャンネルトランジスタの場合は、 V_{GH1} でスイッチ用トランジスタ 31c は、オン状態となり、 V_{GL1} でスイッチ用トランジスタ 31c は、オフ状態となる。

【0387】

テストトランジスタ 295 はゲート信号線 27a のオフ電圧でオフさせる。テストトランジスタ 295 が P チャンネルトランジスタの場合は、 V_{GH1} でテストトランジスタ 295 は、オフ状態となる。テストトランジスタ 295 が N チャンネルトランジスタの場合は、 V_{GL1} でテストトランジスタ 295 は、オフ状態となる。

【0388】

テストトランジスタ 295 はゲート信号線 27a のオン電圧より大きい電圧でオンさせる。テストトランジスタ 295 が P チャンネルトランジスタの場合は、 V_{GL1} より低い電圧 V_{GLt} （負方向に大きい電圧）でオン状態にする。例えば、 $V_{GL1} = -3V$ であれば、 $V_{GLt} = -9V$ とする。

【0389】

V_{GHt} 、 V_{GLt} は、検査モードで使用する電圧である。 V_{GH1} （ V_{GH} ）、 V_{GL1} （ V_{GL} ）は、電源回路 12 で発生させる。 V_{GHt} 、 V_{GLt} は検査用に作製した検査回路で発生させる。または、 V_{GHt} 、 V_{GLt} は、電源回路 12 で発生させる。電源回路 12 は、コマンド設定により出力電圧を変更する。

【0390】

V_{GHt} 、 V_{GLt} 電圧を可変し、可変した電圧設定値で表示状態、表示輝度を検査または評価することにより、EL 表示パネルの特性マージン、動作マージンを定量的に取得できる。 V_{dd} （ V_{ddt} ）、 V_{ss} （ $V_{ss t}$ ）に関しても同様である。

【0391】

テストトランジスタ 295 はゲート信号線 27a の印加電圧（ V_{GH1} 、 V_{GL1} ）でオフ制御される。テストトランジスタ 295 の W/L 比は、スイッチ用トランジスタ 31c の W/L 比より大きくする。スイッチ用トランジスタ 31c のチャンネル幅 $W = 4\mu m$ 、チャンネル長 $L = 5\mu m$ であれば（ $W/L = 4/5 = 0.8$ ）、テストトランジスタ 2

10

20

30

40

50

95のチャンネル幅 $W = 10\ \mu\text{m}$ 、チャンネル長 $L = 5\ \mu\text{m}$ であれば($W/L = 10/5 = 2$)とする。

【0392】

図66に示すように、テストトランジスタ295は、ドレイン端子がソース信号線28と接続されている。また、ソース信号線28の一端には、ソースドライバ回路24の出力端子とCOG(チップオンガラス)接続するための出力端子パッド291が形成されている。また、ソースドライバ回路24は、IC24の入力端子パッドと出力端子パッド291とACF接続され、図29の点線で示すソースドライバ回路実装位置294に実装される。

【0393】

なお、画素構成は、図66の構成に限定するものではない。例えば、図70に示すような構成であってもよい。当然のことながら、図67(a)、図68の画素構成においても本実施形態を実施できる。以上のように本実施形態は、画素の構成に限定または制約されるものではない。以上の事項は、本実施形態の他の実施形態にも適用される。

【0394】

(23)定電流を発生させる回路

テストトランジスタ295のソース端子は、信号入力端子296と接続されている。信号入力端子には、定電流源または定電流源が接続される。定電流源または定電流源は電源回路12から供給する。

【0395】

定電流を発生させる回路の一例として、図40に示す回路構成を用いる。図40では、オペアンプ401とトランジスタ402及び抵抗Rで定電流回路を構成する。オペアンプ401の+端子には、電圧 V_i が印加される。電圧 V_i は、電子ボリウム403に印加されたデータ(IDAT)で設定される。電子ボリウム403は、DA変換回路である。定電流 I_a は、 $I_a = V_i / R$ で決定される。

【0396】

図40の回路構成は、R用、G用、B用の3回路が構成されており、R用、G用、B用の定電流回路出力が出力する定電流は、独立に構成された電子ボリウム403で可変される。

【0397】

図40のように、各画素26に定電流を印加する方式では、画素26は電流プログラム方式の画素構成であることが必要である。電流プログラム方式の画素構成は、駆動用トランジスタ31aまたは31bを流れる電流経路とソース信号線28間に直流電流が流れるように構成されている必要がある。

【0398】

定電圧を発生させる回路の一例として、図41に示す回路構成を用いる。図41では、オペアンプ401とトランジスタ402で定電圧回路を構成する。オペアンプ401の+端子には、電圧 V_i が印加される。電圧 V_i は、電子ボリウム403に印加されたデータ(IDAT、8ビット=256段階)で設定される。

【0399】

図41の回路構成は、R用、G用、B用の3回路が構成されており、R用、G用、B用の定電圧回路出力が出力する定電圧は、独立に構成された電子ボリウム403で可変される。

【0400】

図40、図41において、RGBの各画素で、印加する電流または電圧は、必要に応じて、異ならせる。RGBでEL素子の発光効率が異なる場合があり、また、駆動用トランジスタ31aのサイズが異なる場合があるため、同一電流または電圧で、各RGBでの発光輝度が異なるからである。本実施形態は、RGBで独立した電子ボリウム403を有しているため、柔軟に対応することができる。

【0401】

10

20

30

40

50

図 40、図 41 において、テストトランジスタ 295 は、パネル検査またはパネル調整時には、オンし、通常表示時は、図 65 に示すように電圧が印加され、オフする。

【0402】

テストトランジスタ 295 のゲート端子は、ゲートドライバ回路 22 と同様に、シフトレジスタ 363 (図 36 などを参照のこと) を付加し、シフトレジスタ回路 363 の機能により順次、1 つまたは複数のテストトランジスタ 295 を選択するように構成してもよい。

【0403】

以上のように構成することにより、テストトランジスタ 295 を単独でオン/オフ制御することができるようになる。したがって、ゲートドライバ回路 22a と個別にテストトランジスタ 295 のオン/オフさせることにより、マトリックス状に配置された画素 26 を個別に選択または画素列単位で選択して、電圧または電流を印加することができる。以上のことは、本実施形態の他の実施形態においての同様に適用することができる。

【0404】

テストトランジスタ 295 は、パネル検査またはパネル調整工程が終了した後、切断して除去してもよい。例えば、図 30 の B の箇所 (ソースドライバ回路 24 が実装された反対辺) にテストトランジスタ 295 を形成する。テストトランジスタ 295 は、図 40、図 37 の a a' の箇所でアレ基板 282 を切断する。以上のことは、本実施形態の他の実施形態においての同様に適用することができる。

【0405】

以下の説明において、テストトランジスタ 295 は、P チェネルトランジスタであるとして説明をする。テストトランジスタ 295 が N チェネルトランジスタの場合は、V_{GH} と V_{GL} を読み替えればよい。

【0406】

テストトランジスタ 295 のゲート端子と接続されたトランジスタ制御端子 G (G_R、G_G、G_B) には、ゲートドライバ回路 22a に印加される電圧 (V_{GH}、V_{GLt}) が印加される。テストトランジスタ 295 が P チェネルトランジスタの場合は、V_{GH} 電圧の印加により、テストトランジスタ 295 がオンする。オンすると、信号入力端子 296 に印加された信号 (定電流または定電圧) をソース信号線 14 に印加する。

【0407】

なお、定電流とは一定の DC (直流) 電流に限定されるものではない。矩形状に変化させてもよい。また、ステップ状に変化させてもよい。定電流とは、一定の期間 (少なくとも 1 画素行を選択している期間に、一定の電流であればよい。同様に定電圧とは一定の DC (直流) 電圧に限定されるものではない。矩形状に変化させてもよい。また、ステップ状に変化させてもよい。定電圧とは、一定の期間 (少なくとも 1 画素行を選択している期間に、一定の電圧であればよい。

【0408】

各電源電圧などは本実施形態の電圧発生回路 11 (図 3、図 13、図 30、図 31、図 27、図 36、図 32、図 58、図 47、図 25、図 16、図 22、図 23、図 26、図 48、図 12、図 11、図 46、図 53 など) で発生し、電圧発生回路 11 を動作させ、また制御して各端子などを印加する。

【0409】

信号入力端子 296 に印加する電圧は、テストトランジスタ 295 がオンすることにより、前記テストトランジスタ 295 が接続されたソース信号線 28 に印加される。テストトランジスタ 295 をオンさせる電圧は、V_{GLt} である。例えば、信号入力端子 296 に印加された定電圧が、-2V であれば、-2V が各ソース信号線 28 に印加される。信号入力端子 296 に印加された定電流が、10mA であれば、10mA が選択された各ソース信号線 28 に分流されて印加される。

【0410】

画素構成が、図 3、図 67 などのように電流プログラム方式の場合は、信号入力端子 2

10

20

30

40

50

9 6 に定電流が印加される。画素行は 1 画素行ずつ選択され、選択された画素行に前記定電流が分流されて印加される。例えば、選択したテストトランジスタ 2 9 5 が 2 4 0 本であれば、定電流 1 0 m A が 2 4 0 で分割されて、それぞれのソース信号線 2 8 に印加される。したがって、各画素 2 6 にはプログラム電流が印加され、比較的良好な画像表示を実現できる。

【0 4 1 1】

画素構成が、図 6 8、図 7 4、図 7 5 などのように電圧プログラム方式の場合は、信号入力端子 2 9 6 に定電圧が印加される。画素行は 1 画素行ずつ選択され、選択された画素行に前記定電圧が印加される。例えば、選択したテストトランジスタ 2 9 5 が 2 4 0 本であれば、定電圧の - 2 V が、それぞれのソース信号線 2 8 に印加される。したがって、各画素 2 6 にはプログラム電圧が均一に印加される。

10

【0 4 1 2】

以下の実施形態では、画素構成は、図 3 を例示し、テストトランジスタ 2 9 5 は、P チャンネルトランジスタであるとして説明をする。但し、画素構成は、図 6 7、図 6 8、図 7 4、図 7 5 などの他の構成であっても本実施形態は適用できる。

【0 4 1 3】

以上のように、本実施形態の電源回路 1 2 は、図 5 3 に示すように、検査トランジスタ 2 9 5 を用いた検査方式などにも適用できる。検査トランジスタ 2 9 5 の端子 2 9 6、1 4 1 などに検査用電圧 V_t を供給する。また、検査電圧 V_t は、コマンドで電圧値 V_t を可変するとともに、スイッチ S W 7 をオン / オフ制御する。以上の事項は、本実施形態で説明した他の検査方式、調整方式にも適用できること、また組み合わせて使用できる。

20

【0 4 1 4】

(2 4) 非点灯領域と点灯領域

本実施形態では、図 5、図 7 に示すように、表示画面 2 1 に非点灯領域 5 5 と、点灯領域 5 6 を発生させる。点灯領域 5 6 は図 3 の画素構成では、ゲート信号線 2 7 b に選択電圧 (オン電圧) を印加し、選択された画素行のスイッチ用トランジスタ 3 1 d をオンさせている。非点灯領域 5 5 は、ゲート信号線 2 7 b に非選択電圧 (オフ電圧) を印加し、非選択された画素行のスイッチ用トランジスタ 3 1 d をオフさせている。

【0 4 1 5】

同様に図 6 7 (a) の画素構成では、点灯領域 5 6 は、ゲート信号線 2 7 b に選択電圧 (オン電圧) を印加し、選択された画素行のスイッチ用トランジスタ 3 1 e をオンさせている。非点灯領域 5 5 は、ゲート信号線 2 7 b に非選択電圧 (オフ電圧) を印加し、非選択された画素行のスイッチ用トランジスタ 3 1 e をオフさせている。

30

【0 4 1 6】

図 6 7 (b) の画素構成では、点灯領域 5 6 は、ゲート信号線 2 7 b に選択電圧 (オン電圧) を印加し、選択された画素行のスイッチ用トランジスタ 3 1 d をオンさせている。非点灯領域 5 5 は、ゲート信号線 2 7 b に非選択電圧 (オフ電圧) を印加し、非選択された画素行のスイッチ用トランジスタ 3 1 d をオフさせている。

【0 4 1 7】

電圧駆動方式の画素構成である図 6 8 では、点灯領域 5 6 は、ゲート信号線 2 7 b に選択電圧 (オン電圧) を印加し、選択された画素行のスイッチ用トランジスタ 3 1 d をオンさせている。非点灯領域 5 5 は、ゲート信号線 2 7 b に非選択電圧 (オフ電圧) を印加し、非選択された画素行のスイッチ用トランジスタ 3 1 d をオフさせている。

40

【0 4 1 8】

本実施形態の E L 表示装置は、表示画面 2 1 に点灯領域 5 6 と非点灯領域 5 5 とを表示画面 2 1 に発生させ、非点灯領域 5 5 または点灯領域 5 6 を表示画面 2 1 の上下方向に移動させて表示する。

【0 4 1 9】

このように点灯領域 5 6 と非点灯領域 5 5 とを表示画面 2 1 に発生させ、非点灯領域 5 5 または点灯領域 5 6 を表示画面 2 1 の上下方向に移動させて表示する駆動方法を d u t

50

y 駆動方式と呼ぶ。

【0420】

点灯領域 56 / (点灯領域 56 + 非点灯領域 55) の割合を duty 比と呼ぶ。または、duty 比は (オン電圧が印加されているゲート信号線 27b の本数) / (全ゲート信号線 27b の本数) でもある。また、ゲート信号線 27b にオン電圧が印加され、(このゲート信号線 27b に接続されている選択画素行数) / 点灯領域 56 の全画素行数でもある。

【0421】

本実施形態の EL 表示装置は、点灯領域 56 と非点灯領域 55 との比を変化させる。または表示画面 21 の面積に対し非点灯領域 55 の面積を変化させる。または表示状態の画素数を増減することにより、画面の輝度または明るさを調整することの特徴とする。また、表示画面 21 に書き込み映像信号の大きさまたは振幅値を変化させる。一例として画面の輝度は、duty 比、基準電流、映像振幅値を変化または調整することにより実現する。

10

【0422】

本実施形態は、点灯率に対応させて duty 比を変化させる。点灯率は、パネルのアノードまたはカソードに流れる最大電流に対する割合である。また、点灯率は、ある映像が表示されているときにパネルに流れる電流と、パネルの全 EL 素子に流れる最大電流の割合とも言い換えることができる。点灯率が高いときは、白ラスターに近い表示である。点灯率が低い場合は、画面全体的に黒表示部が多い。点灯率に対応させて duty 比を変化させることにより、表示画面 21 で消費する電力を平均化することができる。また、一定の消費電力以下に抑制することができる。

20

【0423】

低点灯率とは、表示画面 21 に流れる電流が小さいことを意味しているが、画像を構成する低階調表示の画素が多いことも意味する。すなわち、表示画面 21 を構成する映像は、暗い画素 (低階調の画素) が多い。したがって、低点灯率とは、画面を構成する映像データをヒストグラム処理した時、低階調の映像データが多い状態と言い換えることができる。

【0424】

高点灯率とは、表示画面 21 に流れる電流が大きいことを意味しているが、画像を構成する高階調表示の画素が多いことも意味する。すなわち、表示画面 21 を構成する映像は、明るい画素 (高階調の画素) が多い。したがって、高点灯率とは、画面を構成する映像データをヒストグラム処理した時、高階調の映像データが多い状態と言い換えることができる。点灯率に対応して duty 比などを制御するとは、画素の階調分布状態またはヒストグラム分布に対応して制御することと同義または類似の状態を意味することがある。

30

【0425】

以上のことから、点灯率にもとづいて制御するとは、場合に応じて画像の階調分布状態 (低点灯率 = 低階調画素が多い。高点灯率 = 高階調画素が多い。) にもとづいて制御すると言い換えることができる。例えば、低点灯率になるにしたがって基準電流比を増加させることも有効である。高点灯率になるにしたがって duty 比を小さくことも、EL 表示パネルで消費する電力を平均化するという点で有効である。また、ピーク電力を抑制できる点で有効である (ピーク電流抑制駆動) 。

40

【0426】

ピーク電流抑制駆動、duty 比駆動を実施することにより、電源回路の出力電流を一定値以下にすることができる。また、最大出力電流 (最大出力電力) を一定値以下に抑制することができる。また、エージング時に一定の期間、大電流を EL 表示パネルに印加することができる。したがって、電源回路 12 のサイズを縮小化することができる。以上のことから、ピーク電流抑制駆動、duty 比駆動と本実施形態の電源回路 12 とは密接な完成がある。

【0427】

50

本実施形態では、図 6 9 に示すように、 $duty$ 比は点灯率 (%) に対応させて変化させている。ただし、一定の点灯率以下あるいは以上で $duty$ 比を固定することも本発明の範疇である。

【0428】

点灯率は、EL 表示装置に入力される映像信号から求められる。または、点灯率は、EL 表示装置のアノード配線 301 またはカソード配線 302 に流れる電流を計測することにより求められる。アノード配線 301、カソード配線 302 に流れる電流は、図 30 ~ 図 35 で説明する本実施形態の電源回路または、本実施形態の EL 表示装置または本実施形態の EL 表示装置の駆動または調整方法により取得できる。

【0429】

点灯率及び $duty$ 比は、表示画面 21 に表示する表示画像により変化する。なお、点灯率及び $duty$ 比の変化はリアルタイムに実施するのではなく、一定の遅延またはヒステリシスを持たせて行う。 $duty$ 比は、EL 表示装置の外部環境照度に応じて、可変することも有効である。外部環境照度は、EL 表示装置に付加したホトセンサで測定する。外部環境照度が一定以上の値より高い時は、 $duty$ 比と最大値にして固定する。外部環境照度が低い時は、外部照度に合わせて、 $duty$ 比を小さくする。

【0430】

図 6 9 の横軸は、 $duty$ 比としたが、点灯率と置き換えてもよい。点灯率が高いほど、 $duty$ 比は小さくなり、点灯率が低いほど $duty$ 比は大きくなる。また、点灯率は、EL 表示装置の表示画面 21 で消費する電力または電流と相関している。

【0431】

したがって、EL 表示装置の表示画面 21 で消費する電力または電流から $duty$ 比を求めてもよい。点灯率と $duty$ 比の関係は、一例として図 6 9 から求める。図 6 9 はあらかじめ求めておくか、または演算によりリアルタイムに求める。

【0432】

理解を容易にするため、本実施形態では、主としてにおいて、点灯率 (%) に応じて $duty$ 比制御などを変化させるとして説明する。

【0433】

本実施形態は、図 7 に示すように、表示画面 21 に占める点灯領域 56 を複数に分割できる。点灯領域 56 の分割は、ゲートドライバ回路 22b に入力するスタートパルス信号 (ST2) の入力パターンにより実現できる。点灯領域 56 を複数に分割することにより、低フレームレートでもフリッカの発生を抑制できる。また、点灯領域 56 または非点灯領域 55 の分割数を動画表示と静止画表示で異ならせる。また、点灯率に対応して、点灯領域 56 の分割数を変化させてもよい。

【0434】

表示画面 21 に占める非点灯領域 55 または点灯領域 56 が、帯状となって画面の上から下方向または画面の下から上方向に移動することの特徴とする。場合によっては、フレーム毎に画面の上から上方向と、画面の下から上方向とを切り替えてもよい。

【0435】

本実施形態では、ゲートドライバ回路 22a は、映像信号を書き込む画素行を選択するものとし、ゲートドライバ回路 22b は、点灯させる画素行を選択するものとする。したがって、ゲートドライバ回路 22 とは画素行の選択回路である。選択回路 481 は、ソースドライバ回路 24 から出力される映像信号を R、G、B のソース信号線を選択して振り分ける。選択回路 481 はポリシリコン技術でガラス基板上に形成される。

【0436】

ゲートドライバ回路 22a とゲートドライバ回路 22b とは明確に分離させて設ける必要がない。1つのゲートドライバ回路にゲートドライバ回路 22a とゲートドライバ回路 22b を設けたものであってもよい。この場合も、ゲートドライバ回路 22a とゲートドライバ回路 22b が設けているとみなす。また、ゲートドライバ回路 22 は、画素行を選択または指定する機能を有するものである。したがって、シフトレジスタ回路の機能を有

10

20

30

40

50

していれば、ゲートドライバ回路 22 と同義である。また、特定の画素行を指定または選択する機能があればゲートドライバ回路 22 である。以上のように、本実施形態においてゲートドライバ回路 22 とは広義の意味で使用している。

【0437】

本実施形態では、オフ電圧を V_{GH} とし、オン電圧を V_{GL} とした。これは、スイッチ用トランジスタ 31b、31c、31d などが、P チャンネルトランジスタである場合である。スイッチ用トランジスタ 31b、31c、31d などが、N チャンネルトランジスタの場合は、オン電圧は V_{GH} となり、オフ電圧は V_{GL} となる。したがって、本実施形態は、駆動用トランジスタ 31a、スイッチ用トランジスタ 31 のチャンネル極性にあわせて、ゲート信号線 27 に印加するロジック電圧 (V_{GH} 、 V_{GL}) を設定すればよい。

10

【0438】

ソースドライバ回路 24 にプログラム電流の出力回路と、プログラム電圧の出力回路の双方を構成すれば、印加された映像信号に対して、1 画素行を選択する期間の前半に定電流を各画素に印加し、1 画素行を選択する期間の後半にプログラム電圧を印加した駆動方法にも適用できる。定電流を印加することにより、駆動用トランジスタ 31a の動作点をリセットする (オフセット位置を求める)。次にプログラム電圧を画素に印加する。画素構成は、図 3 と図 30 を組み合わせた構成などを用いる。

【0439】

ソースドライバ回路 24 にプログラム電流の出力回路と、プログラム電圧の出力回路の双方を構成すれば、基準電流による映像信号の振幅または大きさの変調が容易になる。また、ホワイトバランス調整、duty 駆動方式も容易に実現できる。

20

【0440】

(25) 画素の変更例

以上のように、本実施形態において、採用できるまたは使用できる画素構成は多種多用である。以下に、他の画素構成について例示しておく。

【0441】

(25-1) 変更例 1

図 72 (a) は図 3 の変更例である。図 72 (a) の構成では、コンデンサ 39 の一端子を V_{sd} 電圧に接続されている。すなわち、駆動用トランジスタ 31a の一端子に接続されたアノード電圧 V_{dd} とコンデンサ 39 に接続された電圧 V_{sd} と異ならせている。

30

【0442】

図 72 (a) のように構成することにより、コンデンサ 39 に印加する電圧 V_{sd} がアノード電圧 V_{dd} と分離されていることにより、画像表示の変化によるアノード電圧 V_{dd} の揺れの影響を受けなくなる。したがって、駆動用トランジスタ 31a のゲート端子の電圧保持が良好になる。EL 表示装置の欠陥検査 (またはその他の検査) 時に、 V_{sd} 電圧を変化させる。 V_{sd} 電圧を変化させるとカソード電流またはアノード電流が変化し、電流の大きさ、電流の変化の割合、電流変化のスピードなどにより、画素の特性または欠陥を良好に検査できる。また、検査に電流の検出だけでなく、表示輝度の変化などによって行っても良い。以上の事項は、本実施形態の他の画素構成 (V_{sd} 電圧を印加される構成) にも適用される。

40

【0443】

(25-2) 変更例 2

以上の図 72 (a) の構成は、図 72 (b) の画素にも適用される。

【0444】

図 72 (b) においても、コンデンサ 39 の一端子の電圧は、アノード電圧 V_{dd} と異なる V_{sd} 電圧が印加されている。したがって、アノード電圧 V_{dd} の電圧変化の影響を受けない。

【0445】

(25-3) 変更例 3

図 71 は、図 72 (a) または図 3 の変更例である。図 71 の実施形態では、駆動用ト

50

ランジスタ 3 1 a とアノード信号線間にスイッチ用トランジスタ 3 1 e が形成または配置されている。スイッチ用トランジスタ 3 1 e は、ゲート信号線 2 7 c に印加されるオン/オフ電圧 (V_{GH}、V_{GL}) でオン/オフ制御される。スイッチ用トランジスタ 3 1 e は、E_L素子 3 5 に電流を供給されるときにオンされる。画素の欠陥検査時 (検査時など) には、オンまたはオフ制御される。スイッチ用トランジスタ 3 1 e のオン/オフ制御により、良好に検査が行われる。

【0446】

スイッチ用トランジスタ 3 1 e は、画素の駆動用トランジスタ 3 1 a の特性キャンセル時にオン/オフ制御される。また、E_L表示装置を点灯 (立ち上げ) 時、消灯 (たち下げ) 時にオフ状態にされる。点灯、消灯時にスイッチ用トランジスタ 3 1 e をオフすることにより、不要な電流が E_L素子 3 5 に流れることを防止できる。他の構成、動作は、図 3 及び図 7 2 などと同様である。

10

【0447】

(25-4) 変更例 4

図 7 3 も、主として図 3 の変更例である。図 3 との差異は、スイッチ用トランジスタ 3 1 f の有無である。トランジスタ 3 1 f は、リセット電圧 V_{rst} を駆動用トランジスタ 3 1 a のゲート端子に印加する機能を有する。リセット電圧 V_{rst} は、駆動用トランジスタ 3 1 a をオフ状態 (E_L素子 3 5 に電流を流さない電圧) である。例えば、リセット電圧 V_{rst} とは、アノード電圧 V_{dd}-1 (V) の電圧である。リセット電圧 V_{rst} は、駆動用トランジスタ 3 1 a の特性またはバラツキに対応して変化させてもよい。また、リセット電圧は、駆動用トランジスタ 3 1 a のゲート端子のみに印加することに限定するものではなく、駆動用トランジスタ 3 1 a のソース端子またはドレイン端子に印加するようにしてもよい。

20

【0448】

(25-5) 変更例 5

以上の実施形態では、リセット電圧 V_{rst} は、駆動用トランジスタ 3 1 a が電流を流さない電圧であるとした。しかし、本実施形態は、これに限定するものではない。リセット電圧 V_{rst} は、駆動用トランジスタ 3 1 a に初期状態にする電圧であってもよい。例えば、V_{rst} 電圧として V_{dd}-5 (V) の電圧を印加し、駆動用トランジスタ 3 1 a が E_L素子 3 5 に電流を流すように設定するものであってもよい。すなわち、リセット電圧 V_{rst} は、駆動用トランジスタ 3 1 a に初期状態 (イニシャル状態) または、一定の動作状態にするものであればよい。駆動用トランジスタ 3 1 a を初期状態にすることにより、映像信号の印加がリセット電圧 V_{rst} を基準に印加され、映像信号の良好な書込みを画素 2 6 に対して行えるからである。

30

【0449】

図 7 3 において、ゲート端子 2 7 a 1 にオン電圧が印加されると、スイッチ用トランジスタ 3 1 c がオンし、ソース信号線 2 8 に印加された映像信号が、画素 2 6 a の駆動用トランジスタ 3 1 a に印加される。同時に、画素 2 6 b のスイッチ用トランジスタ 3 1 f がオンし、リセット電圧 V_{rst} が画素 2 6 b の駆動用トランジスタに印加される。ゲート端子 2 7 a 2 にオン電圧が印加されると、画素 2 6 b のスイッチ用トランジスタ 3 1 c がオンし、ソース信号線 2 8 に印加された映像信号が、画素 2 6 b の駆動用トランジスタ 3 1 a に印加される。同時に、画素 2 6 b の次の画素行の画素 2 6 のスイッチ用トランジスタ 3 1 f がオンし、リセット電圧 V_{rst} が画素 2 6 の駆動用トランジスタに印加される。

40

【0450】

以上のように、ゲート信号線 2 7 a が順次オンしていくにしたがって、該当する画素行にリセット電圧 V_{rst} が印加されてイニシャル状態になり、次の 1 水平走査期間後に、前記イニシャル状態になった画素行に映像信号が印加される。したがって、各画素行は、まず、イニシャル状態にされた後、映像信号が印加される。そのため、画素 2 6 に良好に映像信号を書き込むことができる。

50

【0451】

(25-6) 変更例 6

なお、以上の実施形態では、画素 26a に映像信号が印加されるタイミング及び時間と、画素 26b の駆動用トランジスタ 31a にリセット電圧 V_{rst} が印加されるタイミング及び時間は、同一としたが、これに限定するものではない。例えば、ゲート信号線 27a の途中に遅延回路 731 を形成し、スイッチ用トランジスタ 31f とスイッチ用トランジスタ 31c のオン/オフタイミングを異ならせても良い。

【0452】

リセット電圧 V_{rst} は、本実施形態で説明する電源回路 12 で発生させるか、または、アレイにスイッチング素子を形成し、このスイッチング素子でチャージポンプ回路を構成して発生させる。以上のリセット電圧 V_{rst} に関する事項は本実施形態の他の実施形態にも適用される。したがって、図 73 で説明した事項は、本実施形態の他の実施形態にも適用することができ、また、組み合わせることができる。

10

【0453】

(25-7) 変更例 7

図 74 の構成も用いることができる。図 74 において、画素 26 は、3 つのコンデンサ 39a、19b、19c と 5 つのスイッチ用トランジスタ (31b、31c、31d、31e、31f) と 1 つの駆動用トランジスタ 31a で構成される。トランジスタ 31b は、トランジスタ 31a をダイオード連結 (Diode-connected) させて、しきい値電圧を補償するためのしきい値電圧補償トランジスタである。トランジスタ 31f は、コンデンサ 39a を初期化させるためリセット電圧 V_{rst} を印加するための初期化トランジスタである。そして、トランジスタ 31d は、EL 素子 35 の発光を制御するためのトランジスタである。

20

【0454】

なお、スイッチ用トランジスタ 31b、31f はオフリークと小さくする必要があるため、ディアルゲート以上の複数ゲート構成にする。

【0455】

スイッチ用トランジスタ 31c は、ゲート信号線 27a にゲート電極が連結され、ソース信号線 28 にソース電極が連結され、ゲートドライバ回路 22a からの選択信号によりオン/オフ制御される。

30

【0456】

駆動トランジスタ 31a は、トランジスタ 31c のドレイン電極にソース電極が連結される。しきい値電圧補償トランジスタ 31b のソースまたはドレイン電極とコンデンサ 39a の第 1 の端子が共通連結され、駆動用トランジスタ 31a のゲート電圧が決定される。したがって、駆動用トランジスタ 31a は、ゲート電極に印加された電圧に相当する駆動電流を生成する。

【0457】

しきい値電圧補償トランジスタ 31b は、前記駆動トランジスタ 31a のゲート電極とソース電極との間に連結され、ゲート信号線に印加されるスキャン信号に応答して駆動用トランジスタ 31a をダイオード連結させる。したがって、前記スキャン信号によって駆動用トランジスタ 31a は、ダイオードのような状態になり、駆動用トランジスタ 31a のゲート端子に電圧 $V_{data} - V_{th}$ (V) が印加され、これは、前記駆動用トランジスタ 31a のゲート電圧となる。

40

【0458】

初期化トランジスタ 31f は、リセット電圧ライン V_{rst} とコンデンサ 39a の第 1 の端子との間に連結され、ゲート電極に連結した $n-1$ 番目ゲート信号線 27a のスキャン信号に応答して、先行フレームのとき前記コンデンサ 39a に充填された電荷は前記リセット電圧ライン V_{rst} を介して放電させることによって、前記コンデンサ 39a を初期化させる。

【0459】

50

トランジスタ 31e は、第 1 の電源電圧ライン V d d と駆動用トランジスタ 31a のソース電極との間に連結され、ゲート電極に連結したゲート信号線 27b を介して伝達される発光制御信号によりオンとなり、第 1 の電源電圧 V d d を前記駆動用トランジスタ 31a のソース電極に印加する。

【0460】

トランジスタ 31d は、駆動用トランジスタ 31a と E L 素子 35 との間に連結され、ゲート電極に連結した前記ゲート信号線 27b を介して伝達される発光制御信号に応答して前記駆動用トランジスタ 31a で生成される前記駆動電流を前記 E L 素子 35 に伝達する。

【0461】

10

コンデンサ 39a は、第 1 の電源電圧ライン V d d と駆動用トランジスタ 31a のゲート電極との間に連結され、第 1 の電源電圧 V d d と前記駆動用トランジスタ 31a のゲート電極に印加される電圧 V d a t a - V t h (V) の電圧差に該当する電荷を 1 フレームの間に維持する。

【0462】

前記補助コンデンサ 39b は、第 1 の電極が現在ゲート信号線 27a 及びトランジスタ 31b のゲート端子に共通連結され、第 2 の電極が前記コンデンサ 39a 及び駆動用トランジスタ 31a のゲート端子に共通連結されている。

【0463】

前記補助コンデンサ 39b は、スキャン期間から発光期間に変化しながら、駆動トランジスタ 31a のゲート電圧 V G をブースト (boost) させる役目をする。コンデンサ 39c は、映像信号をキャンセル期間の間、保持する機能を有する。

20

【0464】

ゲート信号線に印加するオフ電圧を V G H 、オン電圧を V G L とすると、ゲート信号線 27a に印加する電圧を、V G L から V G H に変化させると、駆動用トランジスタ 31a のゲート電圧は、前記コンデンサ 39a と補助コンデンサ 39b のカップリングによる補正電圧だけ上昇するようになる。

【0465】

(26) その他の変更例

なお、電圧プログラム方式または電流プログラム方式の変更例として、サブフィールドの概念を持ち、駆動用トランジスタをオン / オフさせる回数または時間で階調を表現するパルス駆動方式 (P W M 駆動方式、サブフィールド駆動方式) がある。これらも電圧プログラム方式または電流プログラム方式である。

30

【0466】

本実施形態は、図 3、図 67 などの電流プログラム方式の E L 表示装置と電圧プログラム方式の E L 表示装置の両方に適用できるものである。また、パルス駆動方式 (P W M 駆動方式、サブフィールド駆動方式) の E L 表示装置にも適用できるものである。すなわち、本実施形態に記載の画素構成及び一般的に知られている画素構成について適用できる。

【0467】

以上のように、本実施形態は、電圧駆動方式の画素構成であっても、電流駆動の画素構成であっても適用することができる。

40

【0468】

本実施形態の駆動方式は、有機 E L 表示パネルの駆動方法及び駆動回路などに限定されるものではない。例えば、フィールドエミッションディスプレイ (F E D)、無機 E L ディスプレイなどの他のディスプレイにも適用できる。

【0469】

(27) 適用例

次に、本実施形態の駆動方式を実施する E L 表示装置を表示ディスプレイとして用いた本実施形態の表示機器について説明をする。

【0470】

50

図 7 6 は情報端末装置の一例としての携帯電話の平面図である。筐体 7 6 3 にアンテナ 7 6 1 などに取り付けられている。7 6 2 a は、d u t y 比を変化させる切換キー、7 6 2 b は電源オン/オフキー、7 6 2 c がゲートドライバ回路 2 2 b の動作フレームレートを切り替えるキーである。7 6 5 はホトセンサである。ホトセンサ 7 6 5 は、外光の強弱にしたがって、d u t y 比などを変化させて、表示画面 2 1 の輝度を自動調整する。

【 0 4 7 1 】

図 7 7 はビデオカメラの斜視図である。ビデオカメラは撮影（撮像）レンズ部 7 7 3 とビデオカメラ本体 7 6 3 と具備している。本実施形態の E L 表示装置は表示モニター 7 6 4 としても使用されている。表示画面 2 1 は支点 7 7 1 で角度を自由に調整できる。表示画面 2 1 を使用しない時は、格納部 7 7 3 に格納される。

10

【 0 4 7 2 】

図 7 6、図 7 7 などの本実施形態の表示機器では、キー 7 6 2 a の操作により、d u t y 比を切り替えることができる。キー 7 6 2 a の操作は、ユーザーが切り替えできるようにしておく。また、設定モードで自動的に変更できるかを切り替えられるようにしている。自動の場合は、外光の明るさを検出して自動的に、表示輝度を 5 0 %、6 0 %、8 0 % と設定できるように構成している。

【 0 4 7 3 】

本実施の形態の E L 表示装置などはビデオカメラだけでなく、図 7 8 に示すような電子カメラにも適用することができる。本実施形態の E L 表示装置はカメラ本体 7 8 1 に付属されたモニター 2 2 として用いる。カメラ本体 7 8 1 にはシャッタ 7 8 3 の他、スイッチ 7 6 2 a、7 6 2 c が取り付けられている。

20

【産業上の利用可能性】

【 0 4 7 4 】

電源回路に出力オープン機能があるため、エージング工程では、通常状態よりも高い電圧を E L 表示パネルに印加することができ、効率よくエージングを実施できる。この出力オープン機能を用いることにより、電源回路を基板などに実装したまま、カソード配線からの電流を測定することができる。したがって、E L 表示装置のホワイトバランス、輝度調整を容易に実施できる。また、画素を順次選択し、選択した画素から出力される電流を測定することにより、画素の欠陥を検出することができ、画素の駆動用トランジスタの特性バラツキを測定することができる。

30

【 0 4 7 5 】

本実施形態に係る E L 表示装置は、本実施形態は、テストトランジスタを介して、ソース信号線 2 8 に電圧または定電流を印加できる。したがって、画素 2 6 などの検査を他の手段を用いることなく容易に実現できる。

【 0 4 7 6 】

したがって、有機または無機エレクトロルミネッセンス（E L）素子などを用いた E L 表示パネルなどの自発光表示パネル（表示装置）、その駆動方法、駆動装置、及びこれらの表示パネルを用いた表示装置などに有用である。

【図面の簡単な説明】

【 0 4 7 7 】

40

【図 1】E L 表示装置の電源回路の構成図である。

【図 2】E L 表示装置の構成図である。

【図 3】E L 表示装置の画素の動作の説明図である。

【図 4】E L 表示装置の画素の動作の説明図である。

【図 5】E L 表示装置の駆動方法の説明図である。

【図 6】E L 表示装置の駆動方法の説明図である。

【図 7】E L 表示装置の駆動方法の説明図である。

【図 8】本実施形態の E L 表示装置の説明図である。

【図 9】本実施形態の E L 表示装置の説明図である。

【図 10】本実施形態の E L 表示装置の説明図である。

50

[illegible]

- 【図 6 1】本実施形態の E L 表示装置の説明図である。
【図 6 2】本実施形態の E L 表示装置の説明図である。
【図 6 3】本実施形態の E L 表示装置の説明図である。
【図 6 4】本実施形態の E L 表示装置の説明図である。
【図 6 5】本実施形態の E L 表示装置の画素の構成図である。
【図 6 6】本実施形態の E L 表示装置の画素の構成図である。
【図 6 7】本実施形態の E L 表示装置の画素の構成図である。
【図 6 8】本実施形態の E L 表示装置の画素の構成図である。
【図 6 9】本実施形態の E L 表示装置の説明図である。
【図 7 0】本実施形態の E L 表示装置の画素の構成図である。
【図 7 1】本実施形態の E L 表示装置の画素の構成図である。
【図 7 2】本実施形態の E L 表示装置の画素の構成図である。
【図 7 3】本実施形態の E L 表示装置の画素の構成図である。
【図 7 4】本実施形態の E L 表示装置の画素の構成図である。
【図 7 5】本実施形態の E L 表示装置の画素の構成図である。
【図 7 6】本実施形態の E L 表示装置の説明図である。
【図 7 7】本実施形態の E L 表示装置の説明図である。
【図 7 8】本実施形態の E L 表示装置の説明図である。

10

【符号の説明】

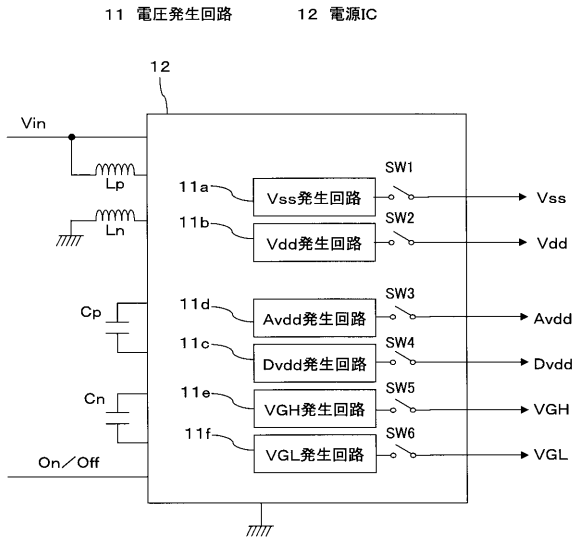
20

【 0 4 7 8 】

- 1 1 電圧発生回路
- 1 2 電源回路
- 2 0 表示パネル
- 2 1 表示画面
- 2 2 ゲートドライバ回路
- 2 4 ソースドライバ回路
- 2 6 画素
- 2 7 ゲート信号線
- 2 8 ソース信号線
- 3 1 トランジスタ (T F T)
- 3 5 E L (素子)
- 3 9 蓄積容量 (付加コンデンサ、付加容量)

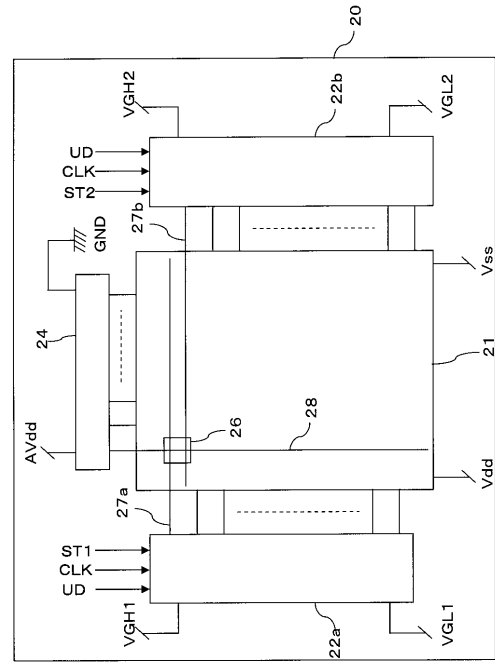
30

【図 1】



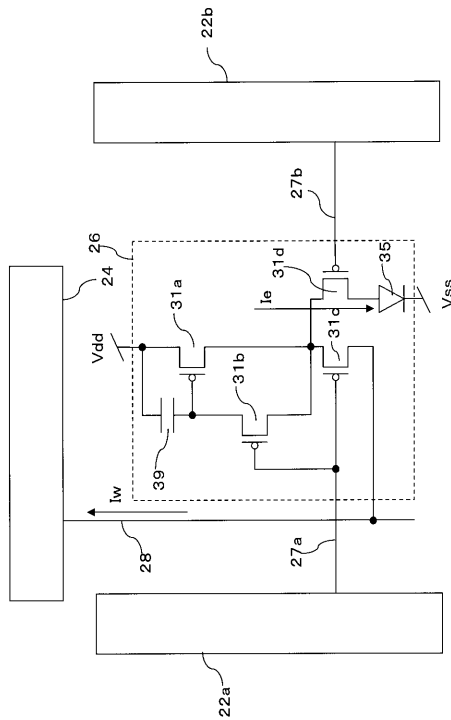
【図 2】

20 表示パネル 21 表示画面 22 ゲートドライバ回路 24 ソースドライバIC
26 画素 27 ゲート信号線 28 ソース信号線

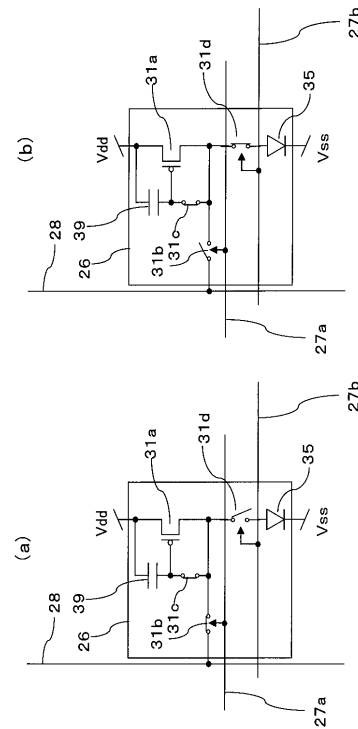


【図 3】

31 トランジスタ(TFT) 35 EL(素子) 39 蓄積容量(付加容量)

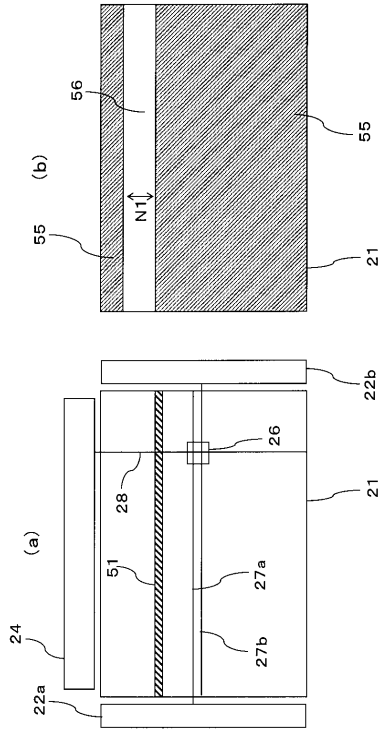


【図 4】

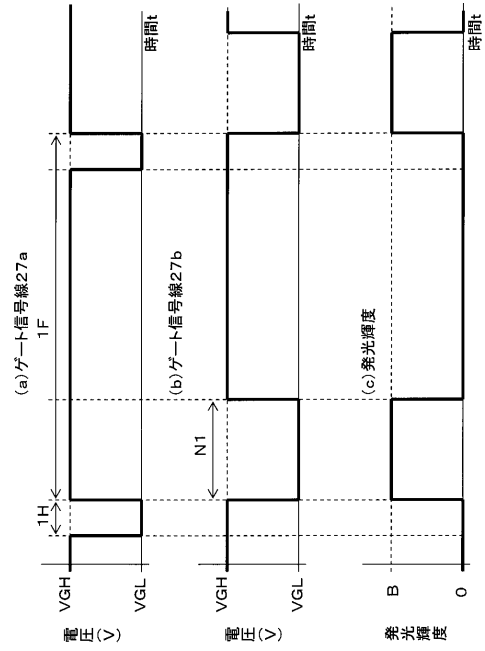


【図 5】

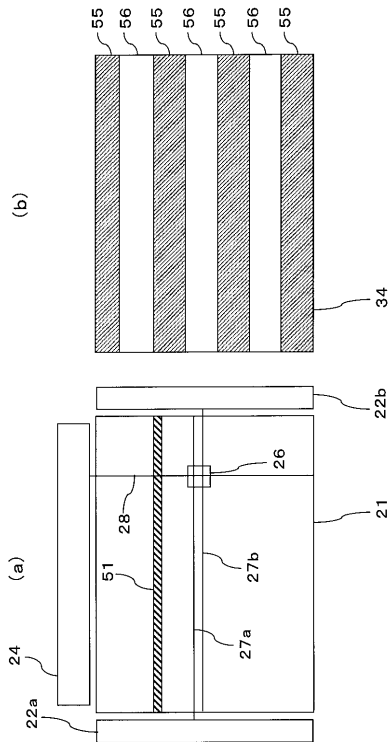
51 書き込み行 55 非表示(非点灯)領域 56 表示(点灯)領域



【図 6】

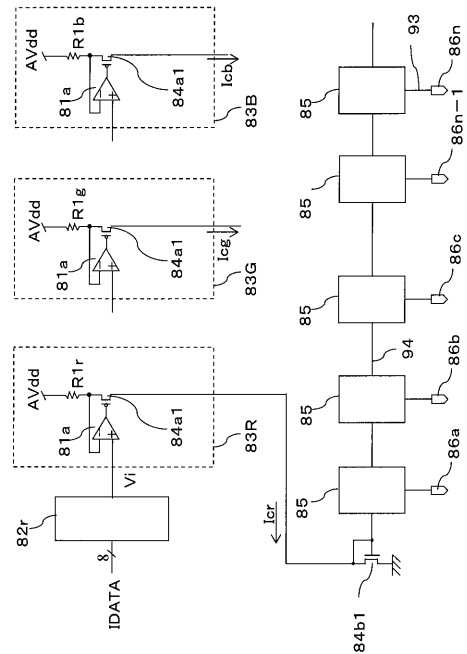


【図 7】

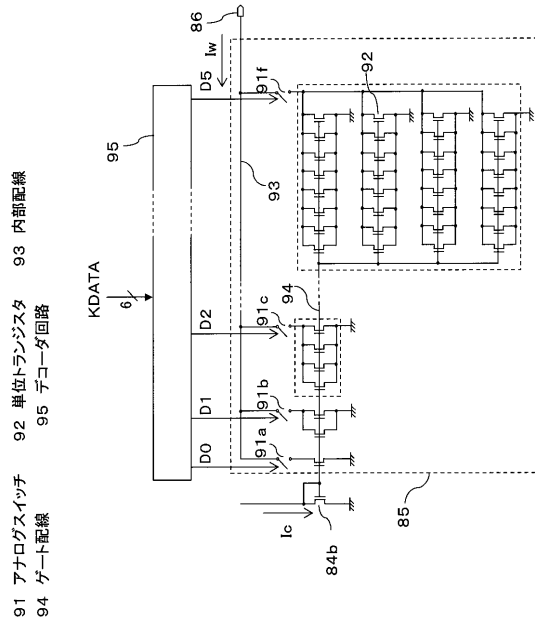


【図 8】

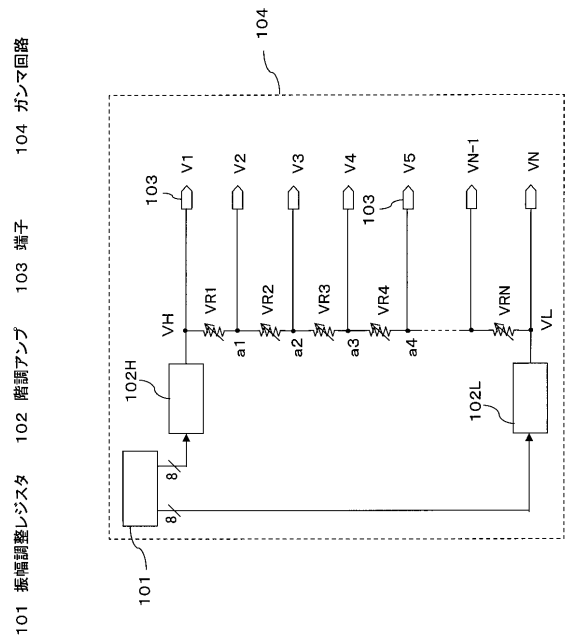
81 オペアンプ(バッファ回路) 82 電子ボリウム(電圧出力回路) 83 定電流回路
84 トランジスタ 85 単位トランジスタ群 86 出力端子



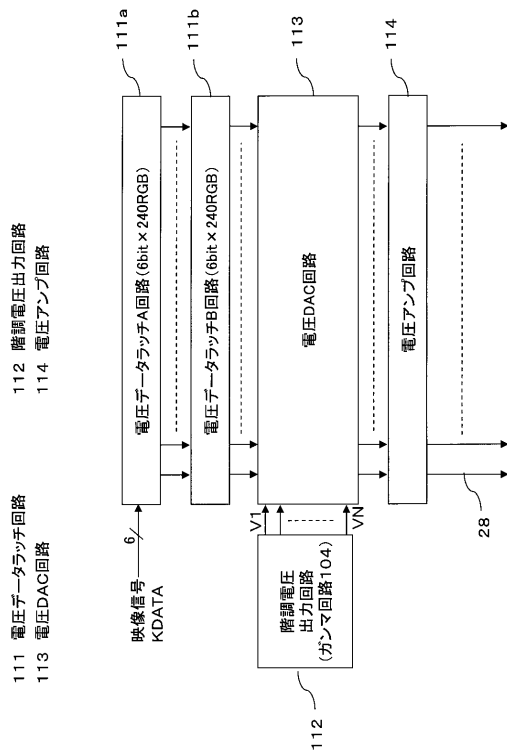
【図 9】



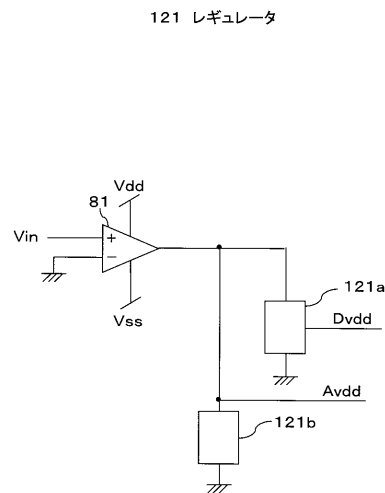
【図 10】



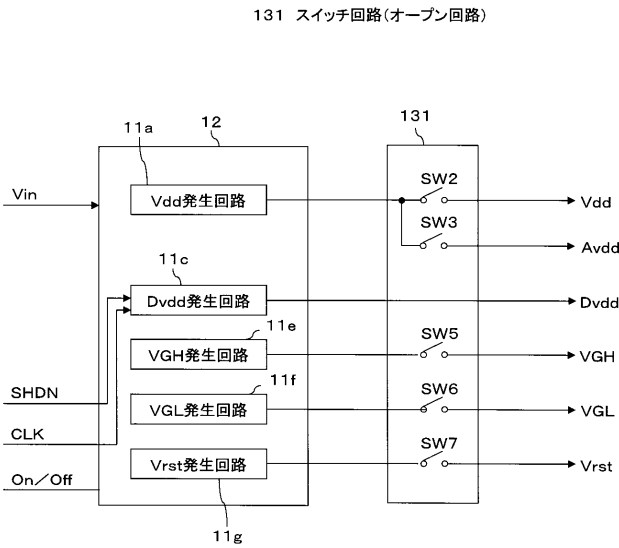
【図 11】



【図 12】



【図 1 3】



【図 1 4】

Avdd	出力 電圧(V)	0	1	2	3	4	5	6	7
	値	4.0	4.5	5.0	5.5	6.0	6.5	7.0	7.5

Vss	出力 電圧(V)	0	1	2	3	4	5	6	7
	値	-2.5	-3.0	-3.5	-4.0	-4.5	-5.0	-5.5	-6.0

Vdd	出力 電圧(V)	0	1	2	3	4	5	6	7
	値	5.0	5.5	6.0	6.5	7.0	7.5	8.0	8.5

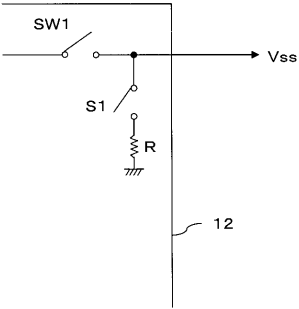
VGL	出力 電圧(V)	0	1	2	3	4	5	6	7
	値	-2.5	-3.0	-3.5	-4.0	-4.5	-5.0	-5.5	-6.0

VGH	出力 電圧(V)	0	1	2	3	4	5	6	7
	値	5.0	5.5	6.0	6.5	7.0	7.5	8.0	8.5

【図 1 5】

	Vss						
	Vdd						
	VGL						
	VGH						
	Avdd						
ON1	ON2						
MODE							
0							
1							
2							
3							

【図 1 6】



【図 1 7】

TEST	AVdd	VGH	VGL	Vdd	Vss	放電
0	○	○	○	○	○	ON
1	○	○	○	×	×	OFF
2	○	○	○	○	×	OFF
3	×	×	×	×	×	OFF

【図 1 8】

FL	周波数(MHZ)
0	0.6
1	1.2
2	1.8

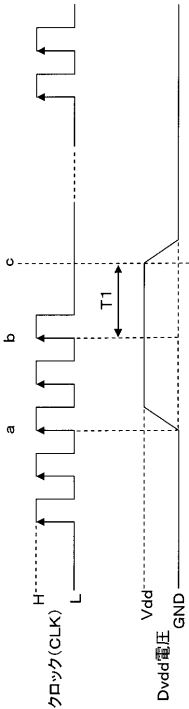
【図 1 9】

MODE	ON2	ON1	AVdd	VGH	VGL	Vdd	Vss	備考
0	0	0	×	×	×	×	×	
1	0	1	○	○	○	×	×	
2	1	0	○	○	○	○	○	MODE1→MODE3
3	1	1	○	○	○	○	○	MODE1→MODE3

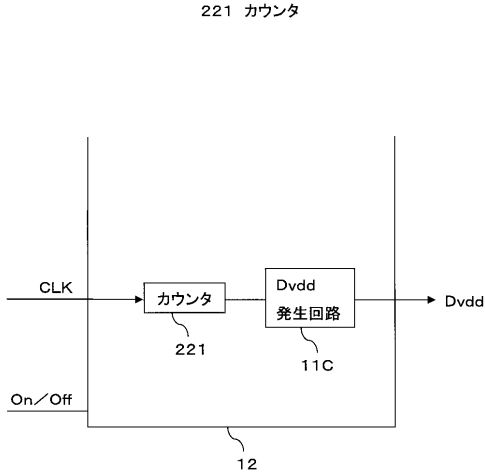
【図 2 0】

TEST	AVdd	VGH	VGL	Vdd	Vss	放電
0	○	○	○	○	○	ON
1	○	○	○	×	×	OFF
2	○	○	○	○	×	OFF
3	○	×	×	×	×	ON

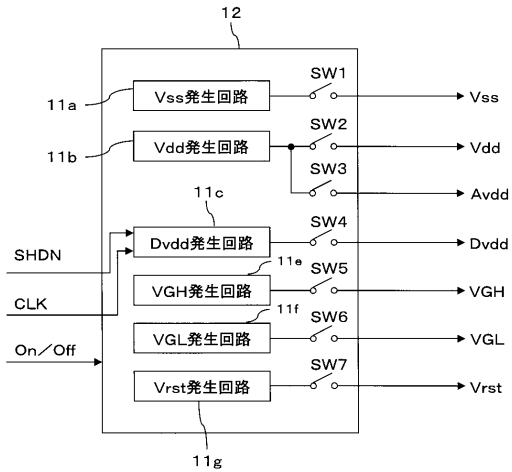
【図 2 1】



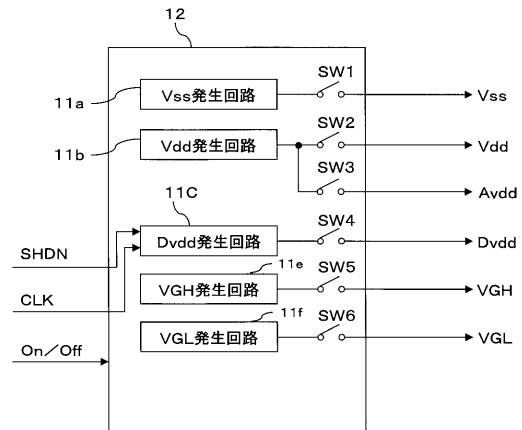
【図 2 2】



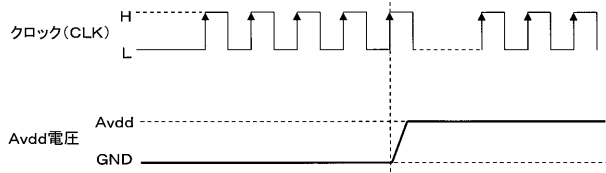
【図 2 3】



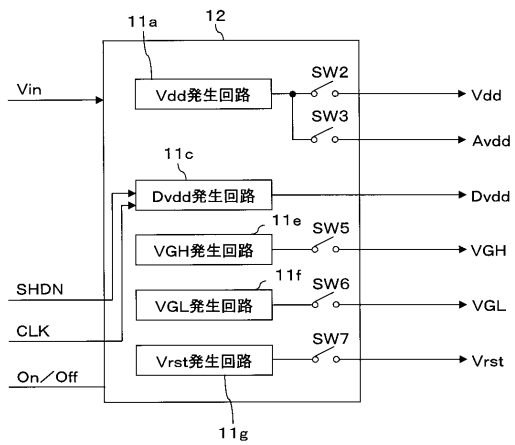
【図 2 5】



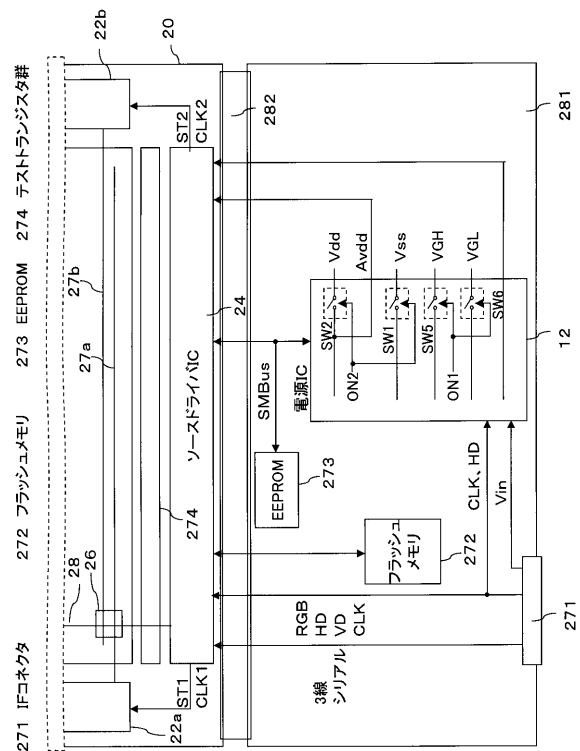
【図 2 4】



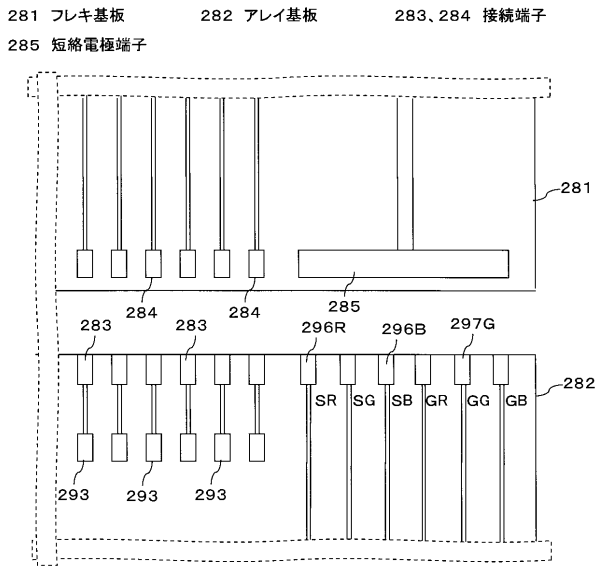
【図 2 6】



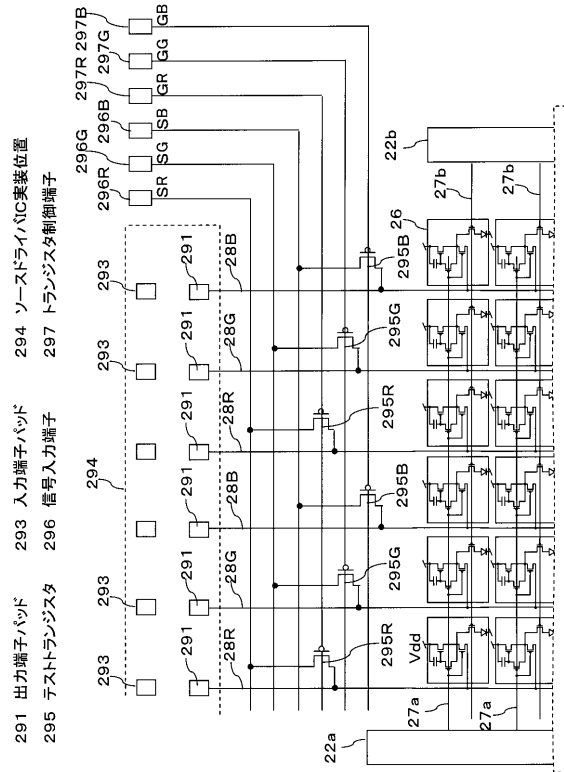
【図 2 7】



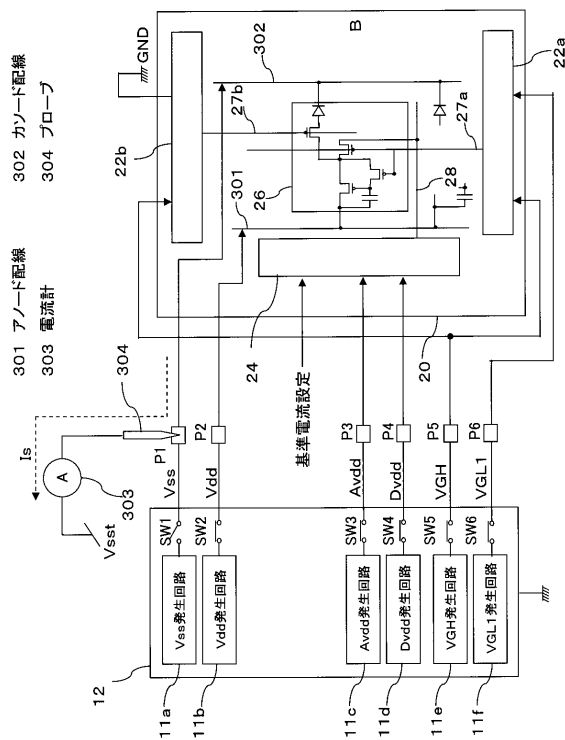
【図 28】



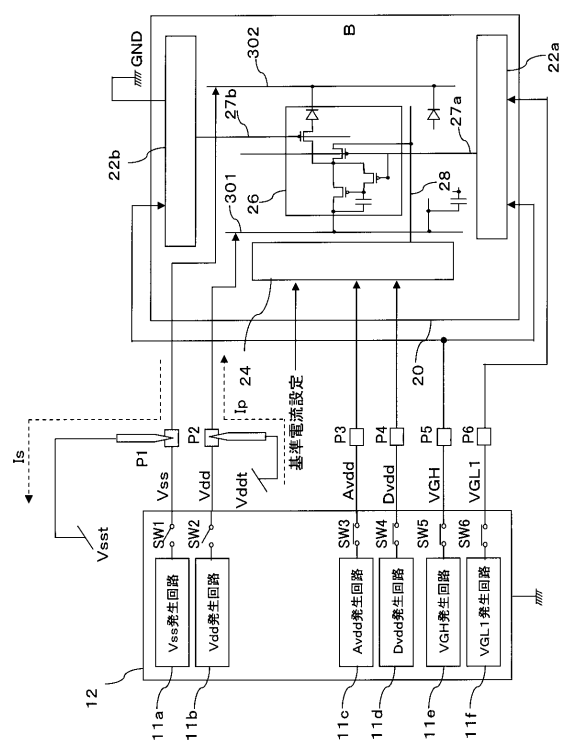
【図 29】



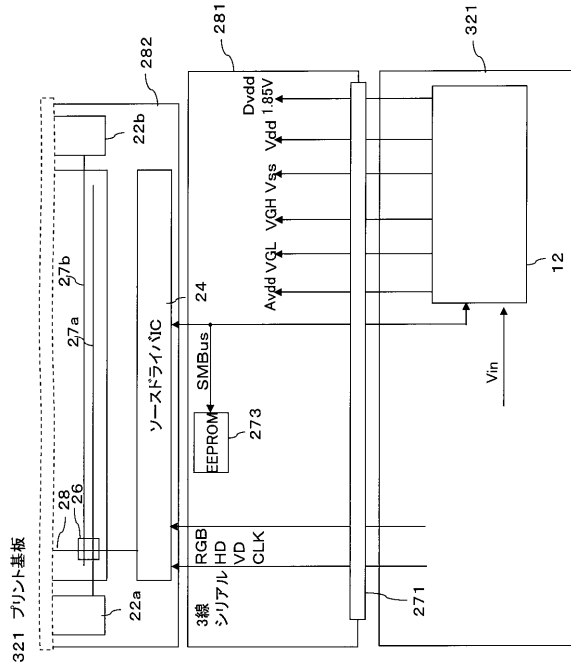
【図 30】



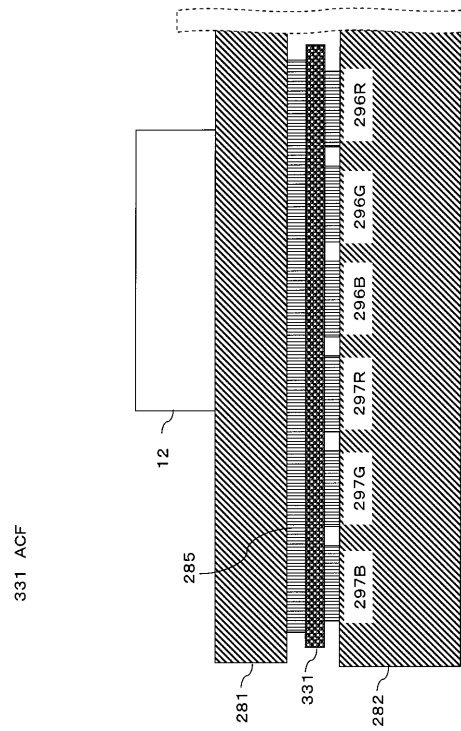
【図 31】



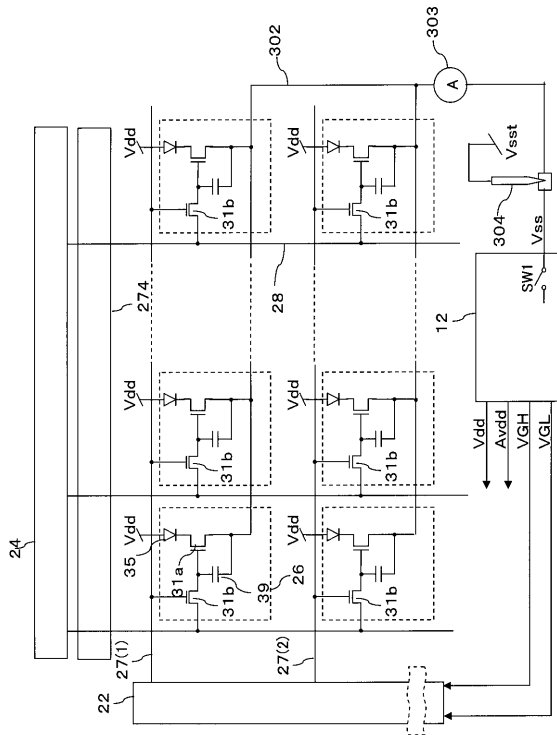
【図 3 2】



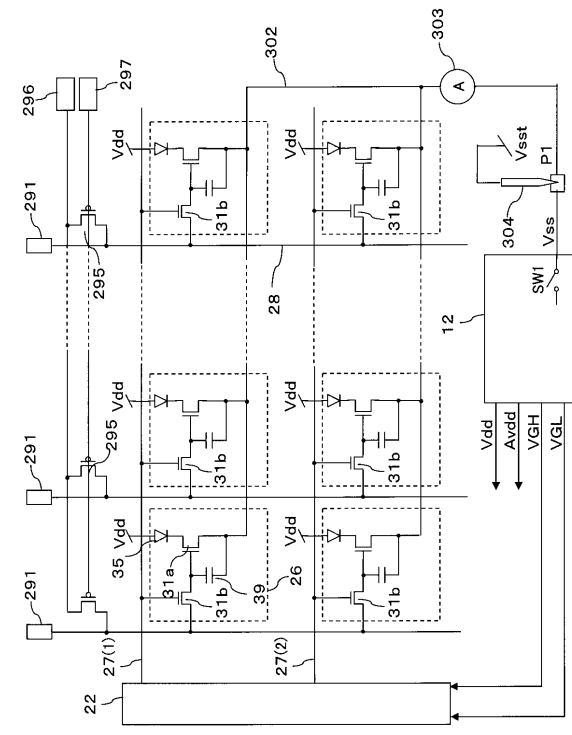
【図 3 3】



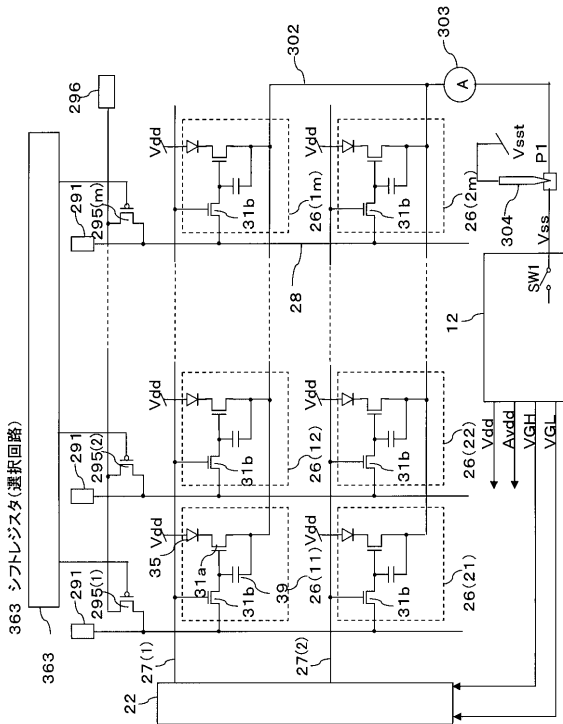
【図 3 4】



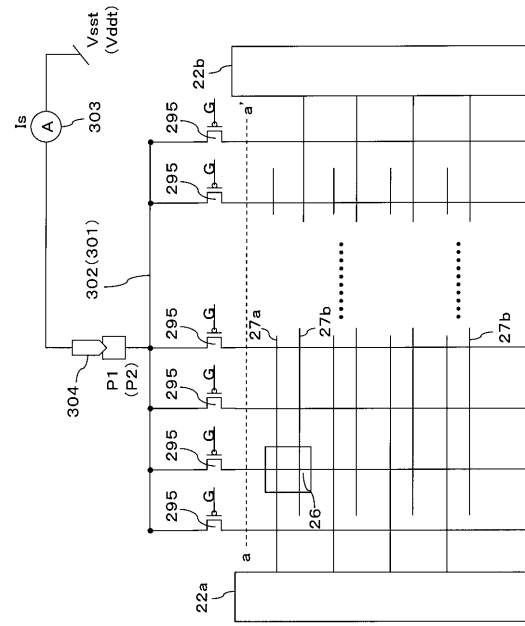
【図 3 5】



【図 36】

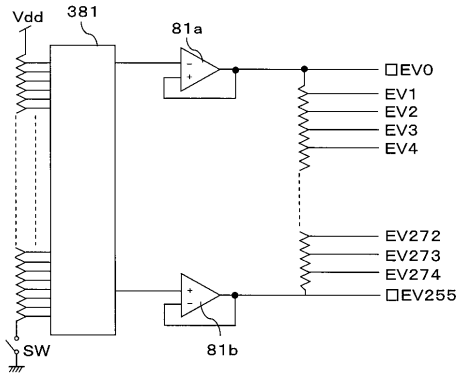


【図 37】

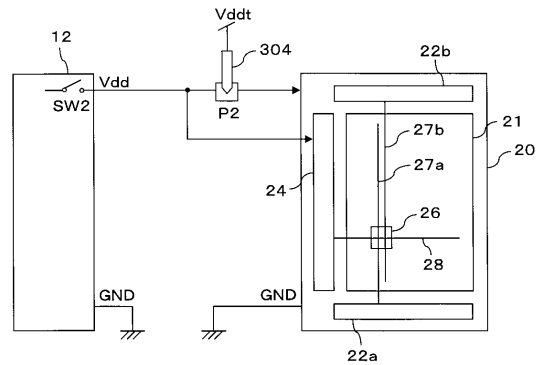


【図 38】

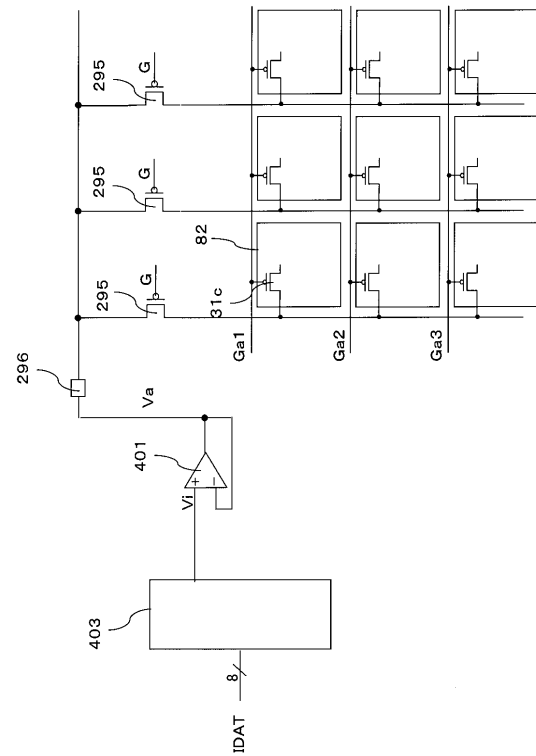
381 セレクタ回路



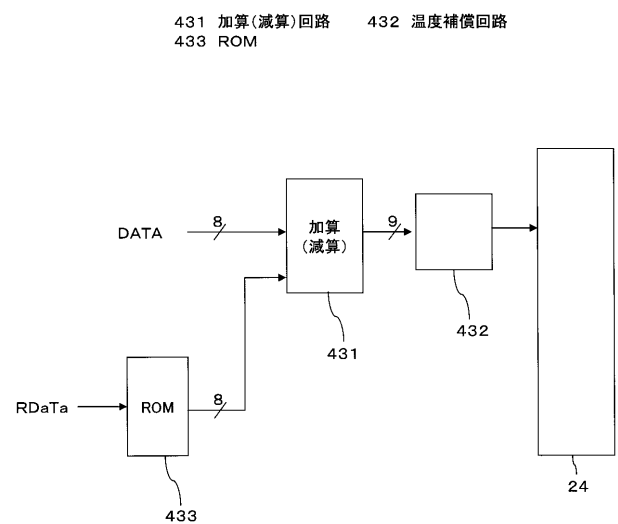
【図 39】



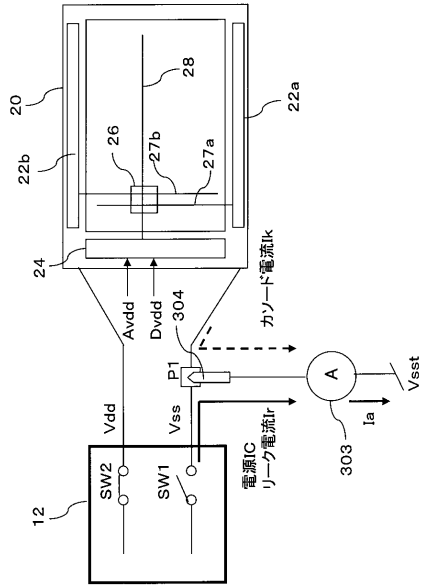
【 図 4 1 】



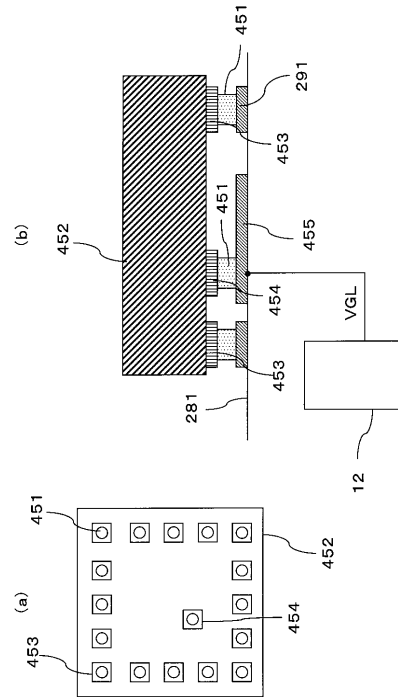
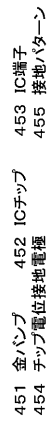
【 図 4 3 】



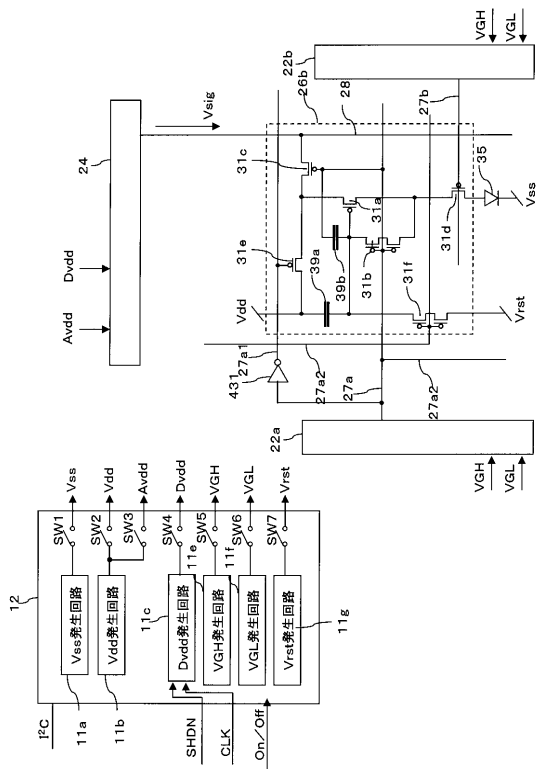
【 図 4 4 】



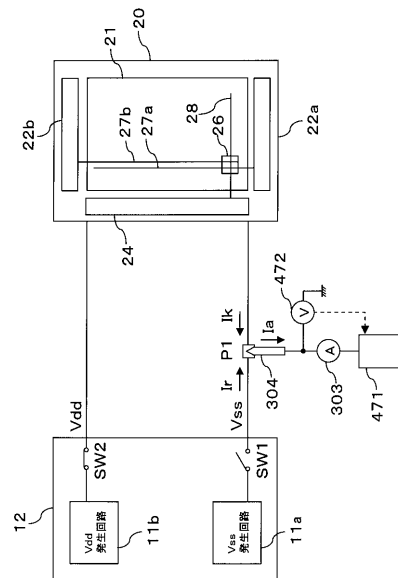
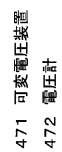
【 図 4 5 】



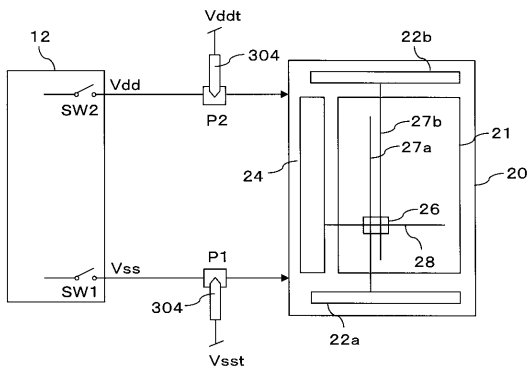
【 図 4 6 】



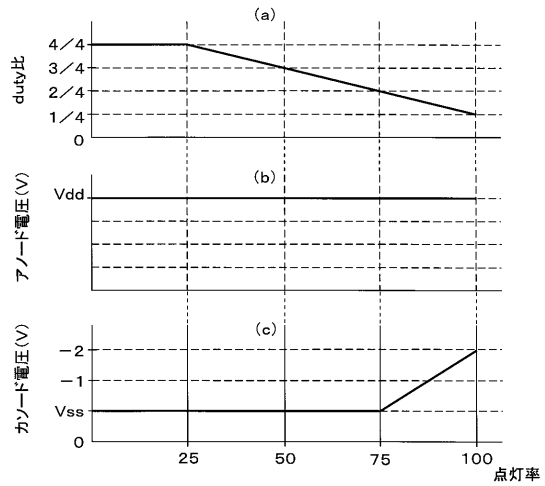
【 図 4 7 】



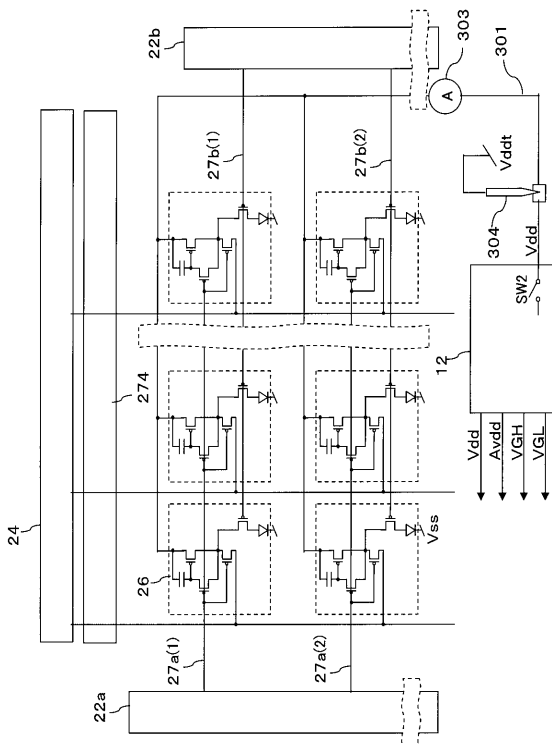
【図 56】



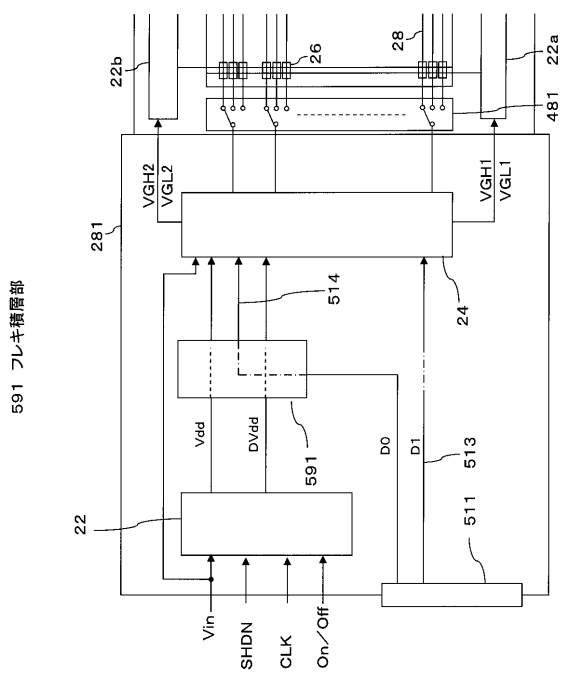
【図 57】



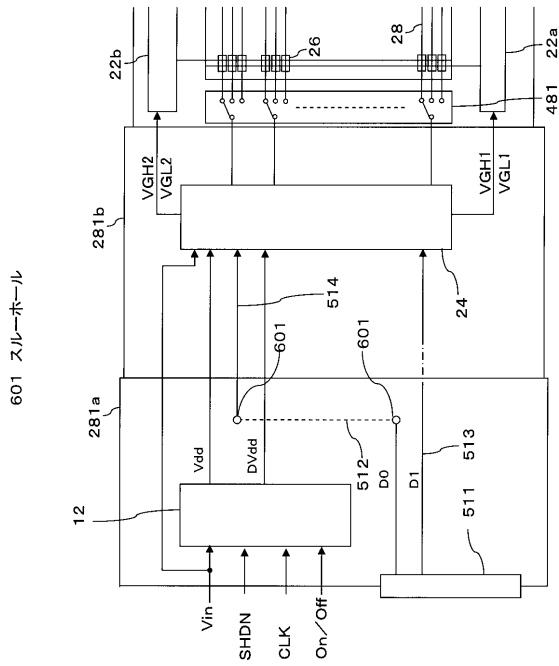
【図 58】



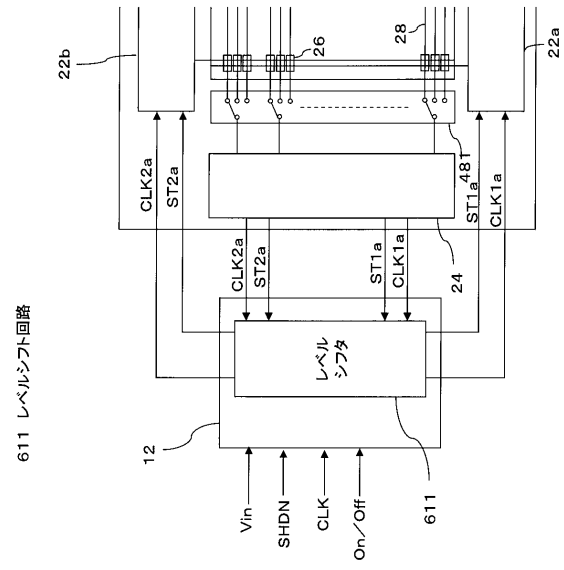
【図 59】



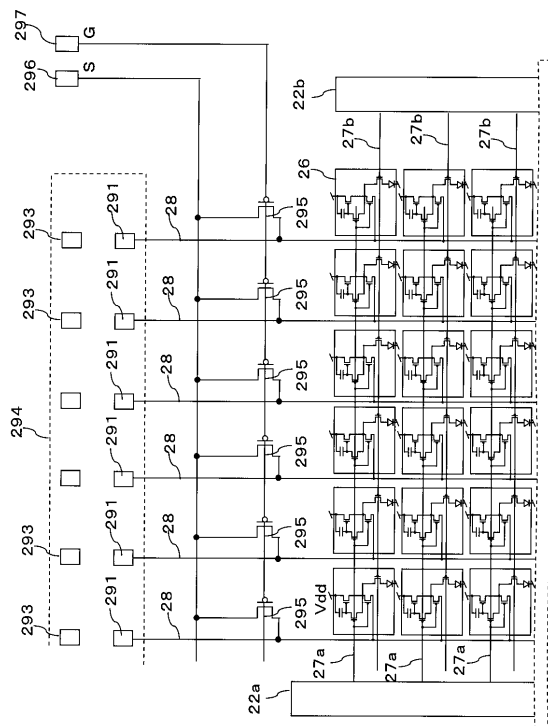
【図 60】



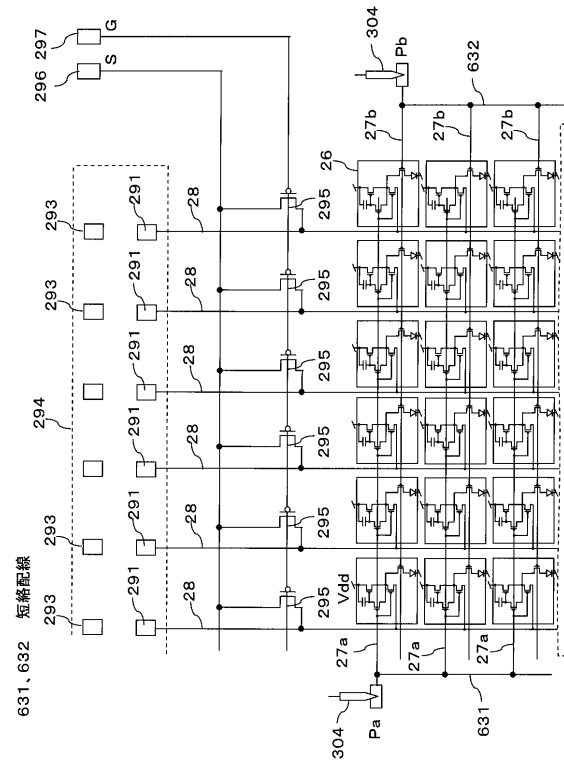
【図 61】



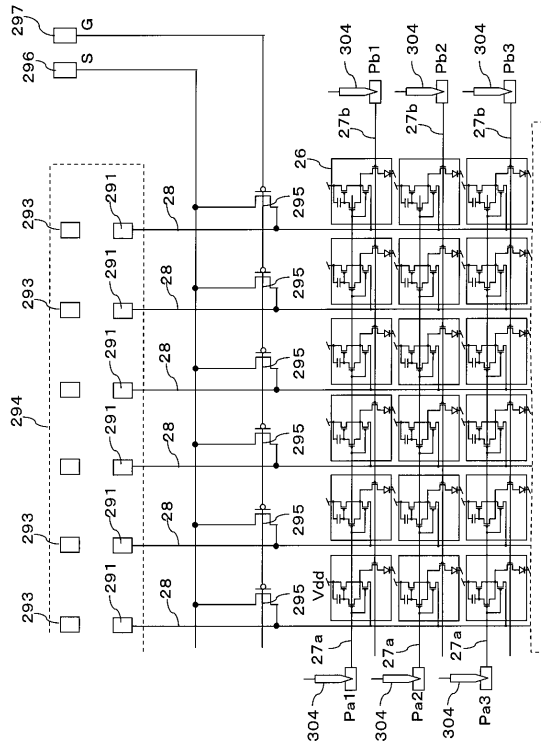
【図 62】



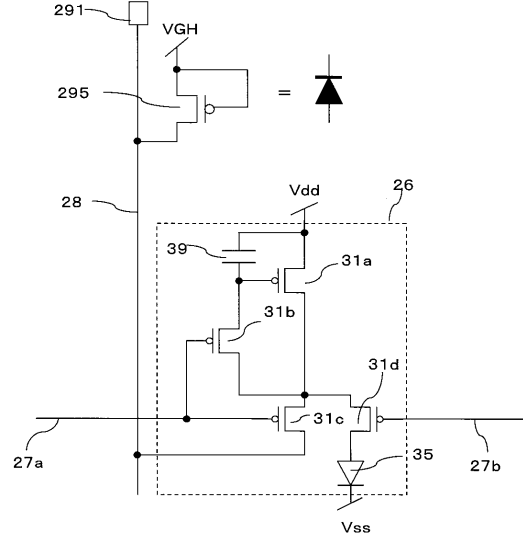
【図 63】



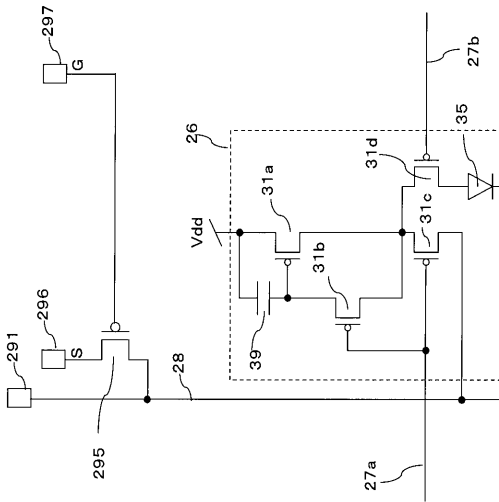
【図 6 4】



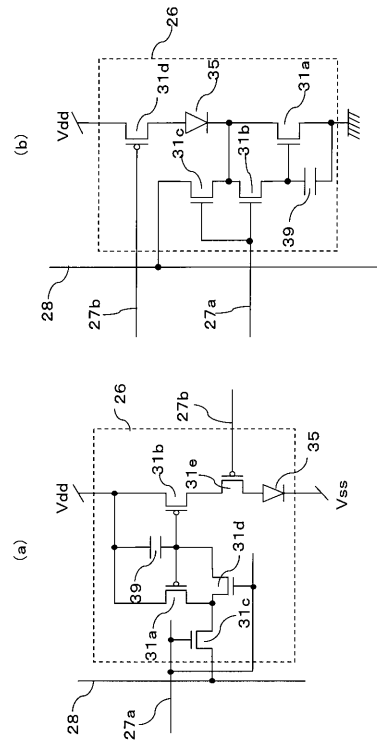
【図 6 5】



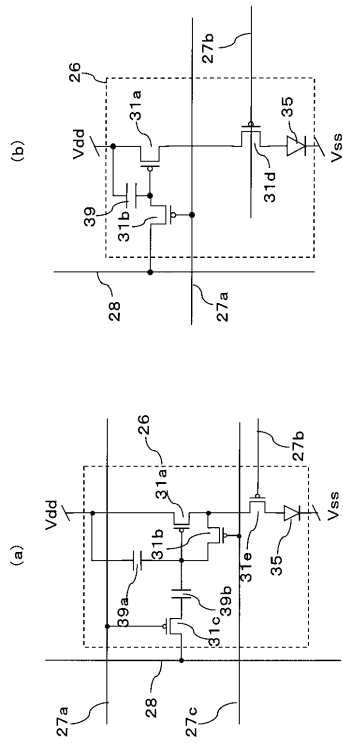
【図 6 6】



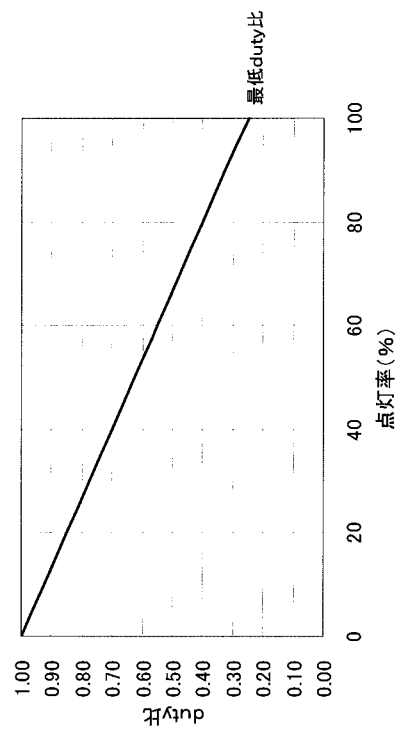
【図 6 7】



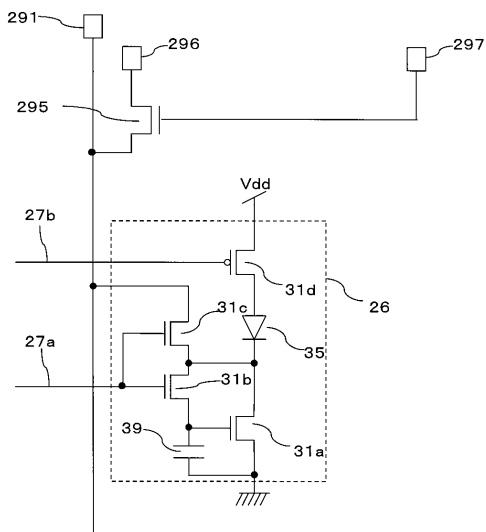
【図 68】



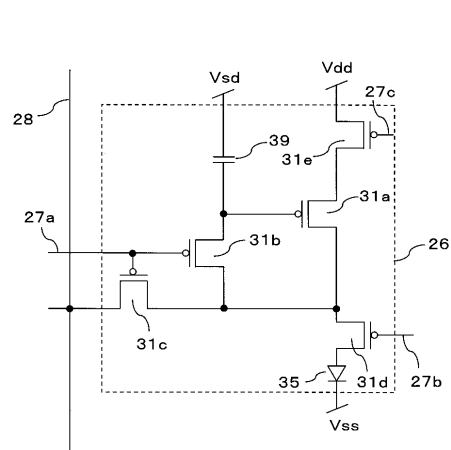
【図 69】



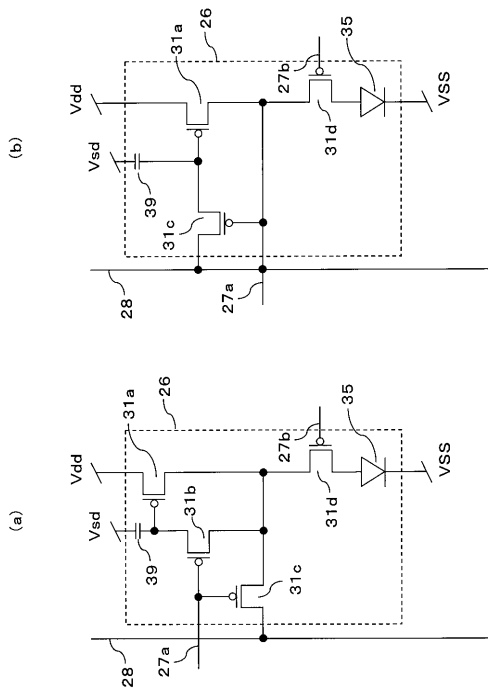
【図 70】



【図 71】

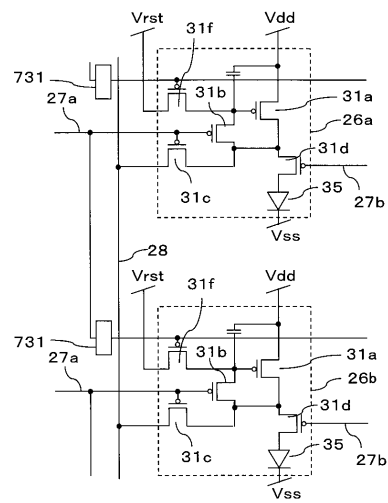


【圖 7 2】



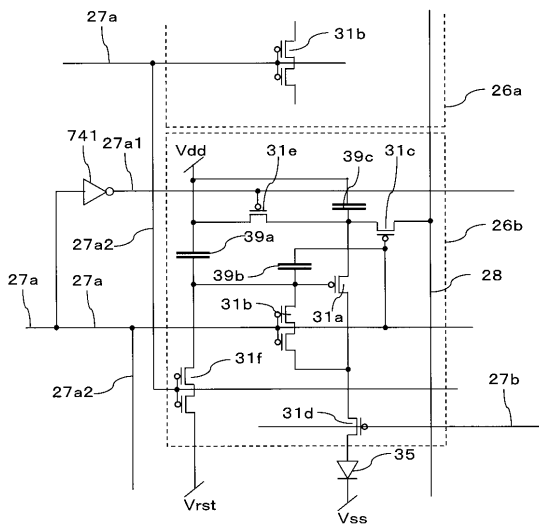
【 図 7 3 】

731 遲延回路



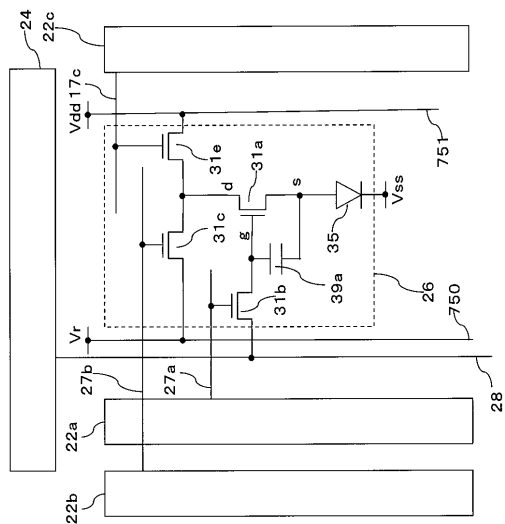
【 図 7 4 】

741 インバータ回路

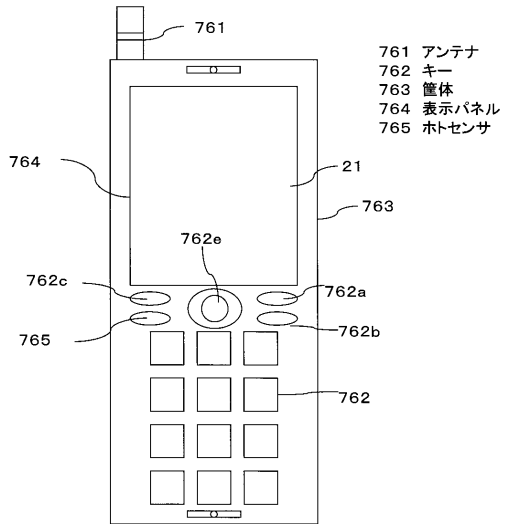


【 ㊦ 7 5 】

750 アノード電圧配線 751 キャンセル電圧配線

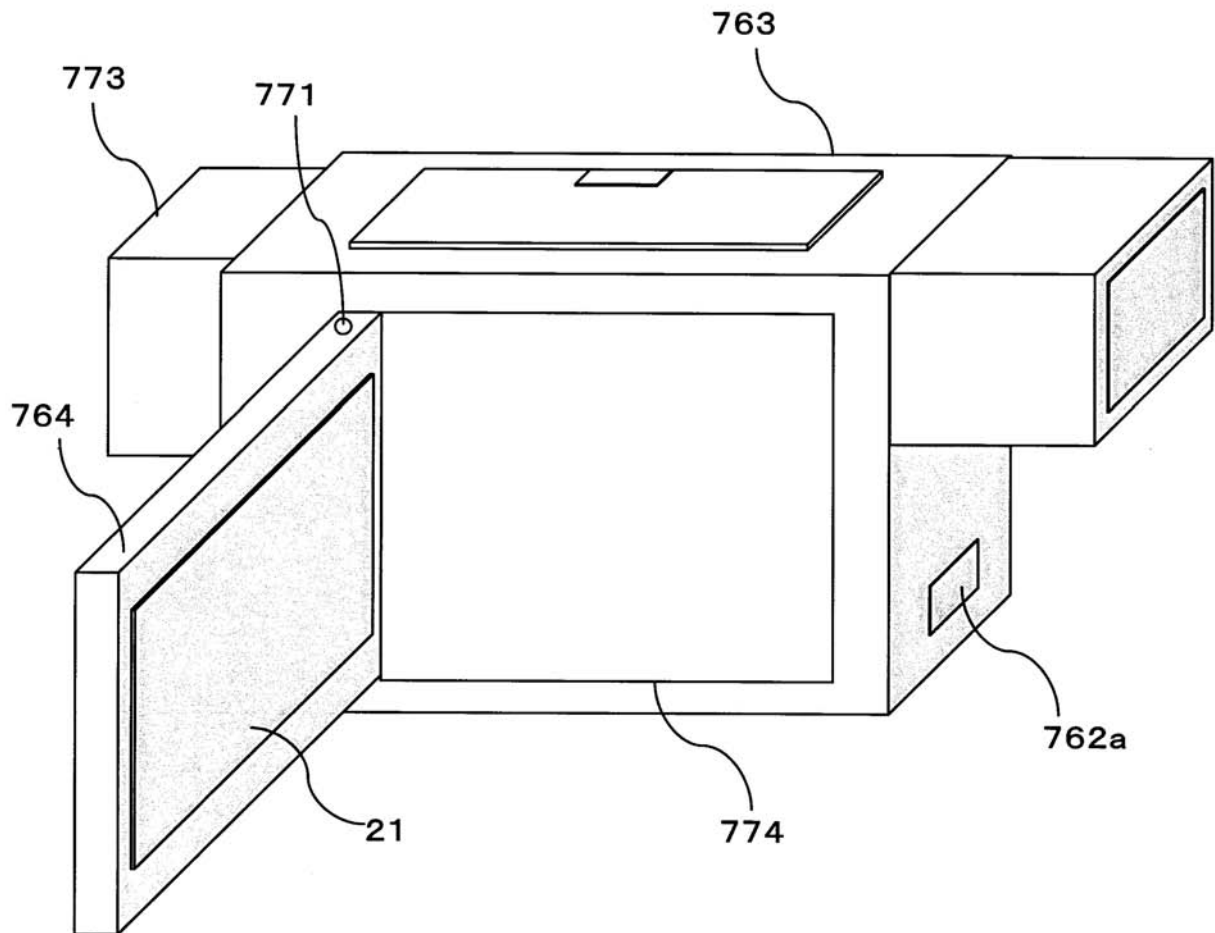


【図 76】



【図 77】

771 支点
773 撮影レンズ
774 格納部

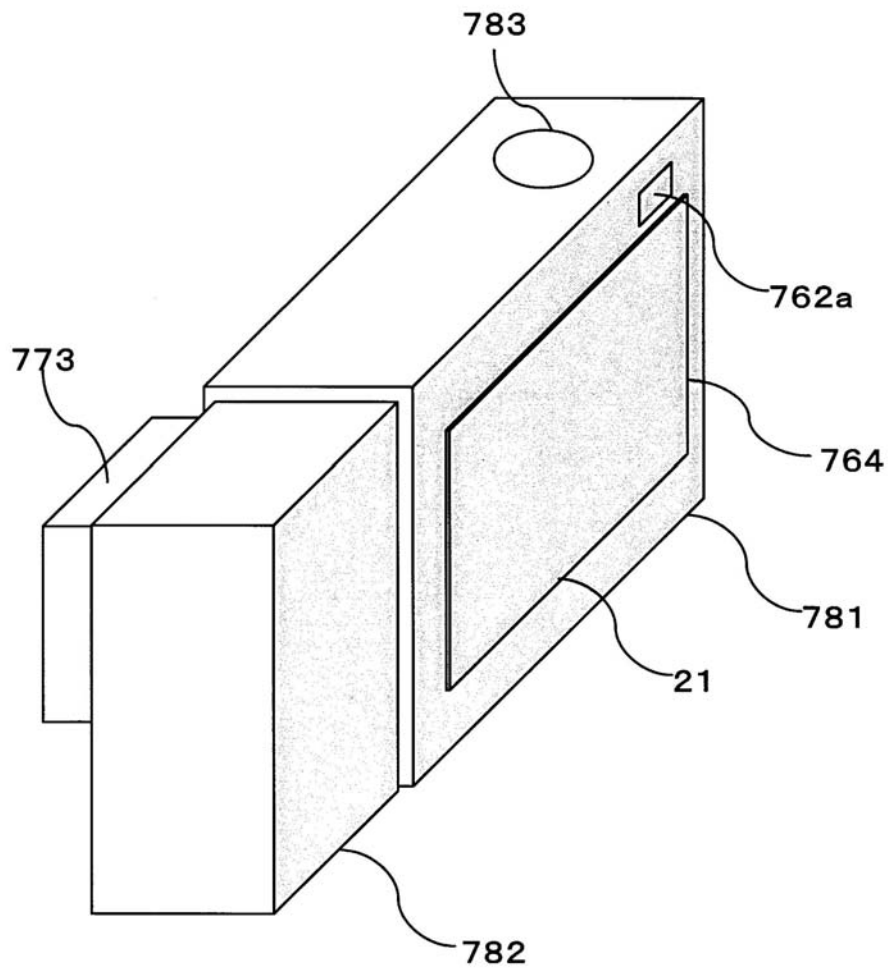


【図 78】

781 本体

782 撮影部

783 シャッタスイッチ



フロントページの続き

(51)Int.Cl.		F I		テーマコード(参考)
H 0 1 L	51/50	(2006.01)	G 0 9 G 3/30	J
H 0 5 B	33/14	(2006.01)	G 0 9 G 3/20	6 7 0 B
			G 0 9 G 3/20	6 2 1 J
			G 0 9 F 9/00	3 5 2
			G 0 9 F 9/30	3 3 8
			G 0 9 F 9/30	3 6 5 Z
			G 0 9 F 9/30	3 3 0 Z
			H 0 5 B 33/14	A
			H 0 5 B 33/14	Z

(72)発明者 高原 博司

東京都港区港南四丁目 1 番 8 号 東芝松下ディスプレイテクノロジー株式会社内

F ターム(参考) 3K107 AA01 AA05 BB01 CC33 CC43 CC45 EE03 HH00 HH04 HH05
 5C080 AA06 BB05 CC03 DD03 DD05 DD08 DD15 DD25 DD28 DD29
 EE02 EE17 EE26 EE28 EE29 EE30 FF03 FF11 GG02 GG05
 GG07 GG12 GG15 GG17 HH09 JJ02 JJ03 JJ04 JJ05 KK07
 KK43
 5C094 AA42 AA43 BA03 BA27 DB01 DB02 DB04 DB10 EA03
 5G435 AA17 AA19 BB05 KK05 KK10

专利名称(译)	EL表示装置		
公开(公告)号	JP2009193037A	公开(公告)日	2009-08-27
申请号	JP2008049400	申请日	2008-02-29
[标]申请(专利权)人(译)	东芝移动显示器有限公司		
申请(专利权)人(译)	东芝移动显示器有限公司		
[标]发明人	高原博司		
发明人	高原 博司		
IPC分类号	G09G3/30 G09G3/20 G09F9/00 G09F9/30 H01L27/32 H01L51/50 H05B33/14		
FI分类号	G09G3/30.Z G09G3/20.612.A G09G3/20.670.Q G09G3/20.612.K G09G3/20.611.H G09G3/30.J G09G3/20.670.B G09G3/20.621.J G09F9/00.352 G09F9/30.338 G09F9/30.365.Z G09F9/30.330.Z H05B33/14.A H05B33/14.Z G09F9/30.330 G09F9/30.365 G09G3/3266 G09G3/3275 H01L27/32		
F-TERM分类号	3K107/AA01 3K107/AA05 3K107/BB01 3K107/CC33 3K107/CC43 3K107/CC45 3K107/EE03 3K107/HH00 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD03 5C080/DD05 5C080/DD08 5C080/DD15 5C080/DD25 5C080/DD28 5C080/DD29 5C080/EE02 5C080/EE17 5C080/EE26 5C080/EE28 5C080/EE29 5C080/EE30 5C080/FF03 5C080/FF11 5C080/GG02 5C080/GG05 5C080/GG07 5C080/GG12 5C080/GG15 5C080/GG17 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/KK07 5C080/KK43 5C094/AA42 5C094/AA43 5C094/BA03 5C094/BA27 5C094/DB01 5C094/DB02 5C094/DB04 5C094/DB10 5C094/EA03 5G435/AA17 5G435/AA19 5G435/BB05 5G435/KK05 5G435/KK10 5C380/AA01 5C380/AA02 5C380/AB04 5C380/AB23 5C380/AB24 5C380/AB34 5C380/AC09 5C380/AC11 5C380/BA03 5C380/BA10 5C380/BA24 5C380/BA28 5C380/BA38 5C380/BA39 5C380/BB03 5C380/BB09 5C380/BB12 5C380/BB14 5C380/BB15 5C380/BB23 5C380/BD11 5C380/BE03 5C380/CA01 5C380/CA16 5C380/CA32 5C380/CB02 5C380/CB26 5C380/CC02 5C380/CC03 5C380/CC06 5C380/CC07 5C380/CC12 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC35 5C380/CC39 5C380/CC52 5C380/CC62 5C380/CC63 5C380/CC64 5C380/CC65 5C380/CD012 5C380/CD013 5C380/CD014 5C380/CD015 5C380/CD024 5C380/CD028 5C380/CD038 5C380/CE01 5C380/CE02 5C380/CE03 5C380/CE08 5C380/CE19 5C380/CF03 5C380/CF05 5C380/CF22 5C380/CF24 5C380/CF26 5C380/CF27 5C380/CF41 5C380/CF46 5C380/CF48 5C380/CF52 5C380/CF64 5C380/CF67 5C380/DA02 5C380/DA06 5C380/DA09 5C380/DA20 5C380/DA22 5C380/DA43 5C380/DA46 5C380/DA51 5C380/DA58 5C380/FA02 5C380/FA03 5C380/FA04 5C380/FA06 5C380/FA15 5C380/FA22 5C380/FA23 5C380/FA24 5C380/FA25 5C380/GA07 5C380/GA09 5C380/GA11 5C380/GA14		
代理人(译)	中村聪 富田克幸 夫 世进		
优先权	2007086204 2007-03-29 JP 2008005394 2008-01-15 JP		
其他公开文献	JP2009193037A5		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种EL显示装置，该EL显示装置能够在不物理改变或操作诸如机构的电源布线的情况下，测量或监视流过电源布线的电流。通过使用电源电路12的输出断开功能来断开开关SW1，不输出阴极电压Vss，输出端子处于高阻抗状态，并且设置阴极电压Vss的输出端子的焊盘P1。用探针304探测，在探针304和可变电压装置471之间，布置用于测量电流的电流表303，并且将

调节期间的阴极电压 V_{sst} 设置为图像显示期间的阴极电压 V_{ss} ，并且设置电流 I_a 。测量。[选择图]图47

