

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2007-333913
(P2007-333913A)

(43) 公開日 平成19年12月27日(2007. 12. 27)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/30 K	5C080
H01L 51/50 (2006.01)	G09G 3/20 623B	
	G09G 3/20 622B	
	G09G 3/20 624B	
審査請求 未請求 請求項の数 10 O L (全 30 頁) 最終頁に続く		

(21) 出願番号	特願2006-164219 (P2006-164219)	(71) 出願人	000002185
(22) 出願日	平成18年6月14日 (2006. 6. 14)		ソニー株式会社
			東京都港区港南1丁目7番1号
		(74) 代理人	100094053
			弁理士 佐藤 隆久
		(72) 発明者	猪野 益充
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		Fターム(参考)	3K107 AA01 BB01 CC33 EE03 HH04 5C080 AA06 BB05 CC03 DD05 EE29 EE30 FF11 JJ02 JJ03 JJ04

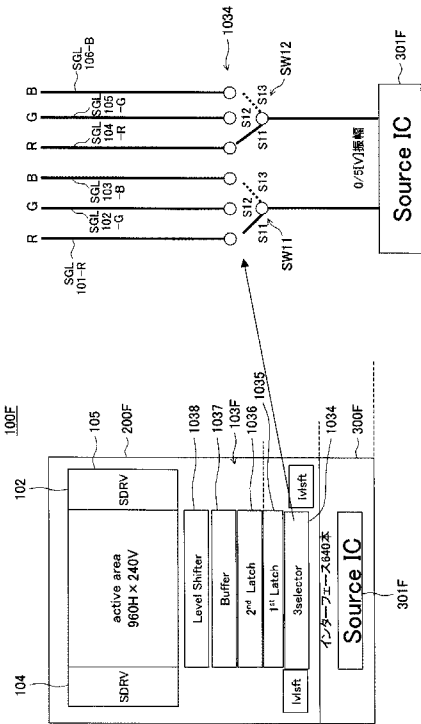
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 高輝度時の輝度ばらつきを防止でき、かつ、低輝度時の信号書き込み応答性を損わない表示装置を提供する。

【解決手段】 アクティブマトリクス型有機ELディスプレイ100Fは、第1のドライバとしてのデータドライバ103に配置したセクタスイッチにより信号線に直接書き込むのではなく、ラッチタイプのラインメモリ（第1ラッチ）に、時分割のデータを書き込み、次に次段のラインメモリ（第2ラッチ）に書き込み、そのデータを線順次形式の出力を行う。

【選択図】 図29



【特許請求の範囲】

【請求項 1】

マトリクス状に複数配列された画素回路と、
上記画素回路のマトリクス配列に対して列毎に配線され、輝度情報に応じた電圧信号が供給される信号線と、

上記画素回路のマトリクス配列に対して行毎に配線された少なくとも第 1 の制御線と、
上記信号線に所望の上記電圧信号を伝搬させる第 1 のドライバと、
上記第 1 の制御線に所定のタイミングでスイッチをオン、オフするための信号を印加する第 2 のドライバと、

第 1 の基準電位および第 2 の基準電位と、を有し、

10

上記各画素回路は、

流れる電流によって輝度が変化する電気光学素子と、
ノードと、

上記第 1 の基準電位と上記第 2 の基準電位間に、上記電気光学素子と直列に接続され、
上記ノードの電位に応じてオン、オフする第 1 のスイッチと、

上記信号線とノードとの間に接続され、上記第 1 の制御線によってオン、オフされる第 2 のスイッチと、

上記ノードと所定電位との間に接続され、上記第 2 のスイッチを通して入力した電圧信号を保持するキャパシタと、を含み、

上記第 1 および第 2 のドライバは、

20

各フィールドが N 個（ただし N は正の整数）のサブフィールドに分割されて N 個の異なる区分が設定され、各サブフィールドごとに上記画素回路の上記第 2 のスイッチがオン、オフ制御されて電圧信号を入力し、入力信号に応じて上記第 1 のスイッチをオン、オフさせて、N ビット階調表示を行うように上記第 1 の制御線および信号線を駆動し、

上記第 1 のドライバは、

上記信号線を駆動するための信号を、上記画素回路の複数回表示において分割されたフィールドの中で 2 回以上の複数回選択して出力するセレクトスイッチ部と、

上記セレクトスイッチ部の選択信号を蓄積するラインメモリと、を含む

表示装置。

【請求項 2】

30

上記ラインメモリは、上記セレクトスイッチ部から出力された信号をラッチする第 1 ラッチと、

上記第 1 ラッチの出力信号をラッチして出力する第 2 ラッチと、を含む

請求項 1 記載の表示装置。

【請求項 3】

上記第 1 のドライバは、上記第 2 ラッチの出力信号波形を整形可能なバッファをさらに有する

請求項 2 記載の表示装置。

【請求項 4】

各サブフィールドの先頭の 1 水平走査期間が N 等分されて N 個の区分が設定され、各サブフィールドごとに異なる区分にアドレス期間が設定された区分後の上記第 2 のスイッチのオン、オフ周期を 1 水平走査期間の長さの $1/N$ 倍または K/N 倍（ただし、K は 2 以上の整数）として、N ビットの階調表示を行うように制御される

40

請求項 1 記載の表示装置。

【請求項 5】

上記各画素回路の階調を表現するサブフィールドの配置順について、1 水平走査期間におけるサブフィールドの上記第 2 のスイッチのオン、オフのタイミングが、すべてのラインにおいて異なり、かつ、タイミングチャートを横軸に時間、縦軸にライン番号とした場合、上記オン、オフのタイミングが最も疎となるようにサブフィールドを配置した駆動タイミングをとる

50

請求項 4 記載の表示装置。

【請求項 6】

上記画素回路の階調表示を行う信号データを蓄積するためのラインメモリを有する

請求項 1 記載の表示装置。

【請求項 7】

1 フィールド期間において、上記画素回路の階調表示を行う信号データを蓄積するためのラインメモリと、

上記画素回路の階調表示を行うための 1 フィールド期間内に表示データの入れ替えを行う、フィールドメモリと、を有する

請求項 1 記載の表示装置。

10

【請求項 8】

上記画素回路は、上記サブフィールドごとに電圧信号を入力した後に、上記ノードの電位を所定電位としてイレーズするイレーズ部を含む

請求項 1 記載の表示装置。

【請求項 9】

上記第 1 のスイッチを通して上記電気光学素子に定電流を供給可能な電流供給回路を有する

請求項 1 記載の表示装置。

【請求項 10】

上記電流供給回路は、所定の電流値を複製可能で、複製した電流を供給する

請求項 9 記載の表示装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機 EL (Electroluminescence) 表示装置および LCD (液晶表示装置) などのアクティブマトリクス表示装置を含む信号線によって輝度が制御される電気光学素子を有する画素回路を備えた表示装置に関するものである。

【背景技術】

【0002】

アクティブマトリクス型表示装置において、画素の表示素子として、液晶セルや有機 EL 素子等の電気光学素子が用いられる。

30

そのうち、有機 EL 素子は有機材料からなる層、すなわち有機層を電極で挟み込んだ構造を有している。

この有機 EL 素子では、当該素子に電圧を印加することにより、陰極から電子が、陽極から正孔が有機層に注入され、その結果電子・正孔が再結合し、発光が生じる。この有機 EL 素子は以下のような特長を持っている。

【0003】

(1) 10 V 以下の低電圧駆動で、数百～数万 cd/m^2 の輝度が得られることから低消費電力化が可能である。

(2) 自発光素子であることから画像のコントラストが高く、応答速度も速いことから視認性が良く、動画表示にも適している。

40

(3) シンプルな構造を持つ全固体型素子であり、素子の高信頼性化、薄型化が可能である。

【0004】

これらの特長を持つ有機 EL 素子を画素の表示素子として用いた有機 EL 表示装置(以下、有機 EL ディスプレイと記す)は、次世代のフラットパネルディスプレイとして有望視されている。

【0005】

ところで、有機 EL ディスプレイの駆動方式として、単純マトリクス方式とアクティブマトリクス方式とが挙げられる。これらの方式のうち、アクティブマトリクス方式には、

50

以下のような特長がある。

【0006】

(1) 各画素における有機EL素子の発光を1フレーム期間に亘って保持できるアクティブマトリクス方式は、有機ELディスプレイの高精細化・高輝度化に適している。

(2) 基板(パネル)上に、薄膜トランジスタを用いた周辺回路を作製することが可能であるため、パネル外部とのインターフェースの簡素化、パネルの高機能化が可能である。

【0007】

このアクティブマトリクス型有機ELディスプレイでは、アクティブ素子であるトランジスタには、ポリシリコンを活性層としたポリシリコン薄膜トランジスタ(Thin Film Transistor; TFT)を用いるのが一般的である。

その理由は、ポリシリコンTFTは駆動能力が高く、画素サイズを小さく設計できることによって高精細化に有利だからである。

【0008】

ところで、ポリシリコンTFTは上述したような特長を持つ反面、特性のばらつきが大きいことも広く知られている。

したがって、ポリシリコンTFTを用いる場合、その特性ばらつきを抑えること、また回路的にTFTの特性ばらつきを補償することは、ポリシリコンTFTを用いたアクティブマトリクス型有機ELディスプレイにおける大きな課題である。これは、次のような理由による。

【0009】

すなわち、画素の表示素子として液晶セルを用いた液晶ディスプレイでは、各画素の輝度データを電圧値によって制御する構成が採られるのに対して、有機ELディスプレイでは、各画素の輝度データを電流値によって制御する構成が採られるからである。

【0010】

図1は、アクティブマトリクス型有機ELディスプレイの画素回路の構成例を示す回路図である(たとえば、特許文献1、2参照)。

【0011】

マトリクス状に配列される画素回路10は、図1に示すように、pチャネルTFT11、nチャネルTFT12、およびキャパシタC11、および有機EL素子(OLED)からなる発光素子13を有する。

各画素回路10のTFT11は、ソースが電源電位線VCCに、ゲートがTFT12のドレインにそれぞれ接続されている。有機EL発光素子13は、アノードがTFT11のドレインに、カソードが基準電位(たとえば、グランド電位)GNDにそれぞれ接続されている。

各画素回路10のTFT12は、ソースが対応する列の信号線SGLに、ゲートが対応する行の走査線SCNLにそれぞれ接続されている。

キャパシタC11は、一端が電源電位線VCCに、他端がTFT12のドレインにそれぞれ接続されている。

【0012】

なお、有機EL素子は多くの場合整流性があるため、OLED(Organic Light Emitting Diode)と呼ばれることがあり、図1その他では発光素子としてダイオードの記号を用いているが、以下の説明においてはOLEDに必ずしも整流性を要求するものではない。

【0013】

このような構成を有する画素回路10において、輝度データの書き込みを行う画素では、図示しないスキンドライバによって走査線を介して選択されることで、画素回路10のTFT12がオンする。

このとき、輝度データはデータドライバから信号線SGLを介して電圧で供給され、TFT12を通してデータ電圧を保持するキャパシタC11に書き込まれる。

キャパシタC11に書き込まれた輝度データは、1フィールド期間に亘って保持される。この保持されたデータ電圧は、TFT11のゲートに印加される。

10

20

30

40

50

これにより、T F T 1 1 は、保持データに従って有機 E L 発光素子 1 3 を電流で駆動する。このとき、有機 E L 発光素子 1 3 の階調表現は、キャパシタ C 1 1 によって保持される T F T 1 1 のゲート・ソース間電圧 $V_{data} (< 0)$ を変調することによって行われる。

【0014】

一般に、有機 E L 素子の輝度 L_{oled} は、当該素子に流れる電流 I_{oled} に比例する。したがって、有機 E L 発光素子 1 3 の輝度 L_{oled} と電流 I_{oled} との間には次式 (1) が成り立つ。

【0015】

(数1)

$$L_{oled} \quad I_{oled} = k (V_{data} - V_{th})^2 \quad \dots (1)$$

10

【0016】

式 (1) において、 $k = 1 / 2 \cdot \mu \cdot C_{ox} \cdot W / L$ である。ここで、 μ は T F T 1 1 のキャリアの移動度、 C_{ox} は T F T 1 1 の単位面積当たりのゲート容量、 W は T F T 1 1 のゲート幅、 L は T F T 1 1 のゲート長である。

したがって、T F T 1 1 の移動度 μ 、しきい値電圧 $V_{th} (< 0)$ のばらつきが、直接的に、有機 E L 発光素子 1 3 の輝度ばらつきに影響を与えることがわかる。

【0017】

この場合、たとえば異なる画素に対して同じ電位 V_{data} を書き込んでも、画素によって T F T 1 1 のしきい値 V_{th} がばらつく結果、発光素子 (OLED) 1 3 に流れる電流 I_{oled} は画素毎に大きくばらついて全く所望の値からはずれる結果となり、ディスプレイとして高い画質を期待することはできない。

20

【0018】

この問題を改善するため多数の画素回路が提案されているが、代表例を図 2 に示す (たとえば特許文献 3、または特許文献 4 参照)。

【0019】

図 2 の画素回路 2 0 は、p チャネル T F T 2 1、n チャネル T F T 2 2 ~ 2 4、キャパシタ C 2 1、C 2 2、発光素子である有機 E L 発光素子 2 5 を有する。また、図 2 において、S G L は信号線を、S C N L は走査線を、A Z L はオートゼロ線を、D R V L は駆動線をそれぞれ示している。

30

この画素回路 2 0 の動作について、図 3 に示すタイミングチャートを参照しながら以下に説明する。

【0020】

図 3 (A), (B) に示すように、駆動線 D R V L、オートゼロ線 A Z L をハイレベルとし、T F T 2 2 および T F T 2 3 を導通状態とする。このとき T F T 2 1 はダイオード接続された状態で発光素子 (OLED) 2 5 と接続されるため、T F T 2 1 に電流が流れる。

【0021】

次に、図 3 (A) に示すように、駆動線 D R V L をローレベルとし、T F T 2 2 を非導通とする。このとき走査線 S C N L は、図 3 (C) に示すように、ハイレベルで T F T 2 4 が導通状態とされ、信号線 S G L には、図 3 (D) に示すように、基準電位 V_{ref} が与えられる。T F T 2 1 に流れる電流が遮断されるため、図 3 (E) に示すように T F T 2 1 のゲート電位 V_g は上昇するが、その電位が $V_{DD} - |V_{th}|$ まで上昇した時点で T F T 2 1 は非導通状態となって電位が安定する。この動作を以後、「オートゼロ動作」と称することがある。

40

【0022】

図 3 (B), (D) に示すように、オートゼロ線 A Z L をローレベルとして T F T 2 3 を非導通状態とし、信号線 S G L の電位を V_{ref} から ΔV_{data} だけ低い電位とする。この信号線電位の変化は、図 3 (E) に示すように、キャパシタ C 2 1 を介して T F T 2 1 のゲート電位を ΔV_g だけ低下させる。

【0023】

50

図 3 (A) , (C) に示すように、走査線 S C N L をローレベルとして T F T 2 4 を非導通状態とし、駆動線 D R V L をハイレベルとして T F T 2 2 を導通状態とすると、T F T 2 1 および発光素子 (O L E D) 2 5 に電流が流れ、発光素子 2 5 が発光を開始する。

【 0 0 2 4 】

寄生容量が無視できるとすれば、 ΔV_g および T F T 2 1 のゲート電位 V_g はそれぞれ次のようになる。

【 0 0 2 5 】

(数 2)

$$\Delta V_g = \Delta V_{data} \times C_1 / (C_1 + C_2) \quad \dots (2)$$

【 0 0 2 6 】

(数 3)

$$V_g = V_{cc} - |V_{th}| - \Delta V_{data} \times C_1 / (C_1 + C_2) \quad \dots (3)$$

【 0 0 2 7 】

ここで、 C_1 はキャパシタ C 2 1 の容量値、 C_2 はキャパシタ C 2 2 の容量値をそれぞれ示している。

【 0 0 2 8 】

一方、発光時に発光素子 (O L E D) 2 5 に流れる電流を I_{oled} とすると、これは発光素子 2 5 と直列に接続される T F T 2 1 によって電流値が制御される。T F T 2 1 が飽和領域で動作すると仮定すれば、良く知られた M O S トランジスタの式および上記 (3) 式を用いて次の関係を得る。

【 0 0 2 9 】

(数 4)

$$\begin{aligned} I_{oled} &= \mu C_{ox} W / L / 2 (V_{cc} - V_g - |V_{th}|)^2 \\ &= \mu C_{ox} W / L / 2 (\Delta V_{data} \times C_1 / (C_1 + C_2))^2 \\ &\quad \dots (4) \end{aligned}$$

【 0 0 3 0 】

ここで、 μ はキャリアの移動度、 C_{ox} は単位面積当たりのゲート容量、 W はゲート幅、 L はゲート長をそれぞれ示している。

【 0 0 3 1 】

(4) 式によれば、 I_{oled} は T F T 2 1 のしきい値 V_{th} によらず、外部から与えられる ΔV_{data} によって制御される。言い換えれば、図 2 の画素回路 2 0 を用いれば、画素毎にばらつくしきい値 V_{th} の影響を受けず、電流の均一性、ひいては輝度の均一性が比較的高い表示装置を実現することができる。

【特許文献 1】U S P 5 , 6 8 4 , 3 6 5

【特許文献 2】特開平 8 - 2 3 4 6 8 3 号公報

【特許文献 3】U S P 6 , 2 2 9 , 5 0 6

【特許文献 4】特表 2 0 0 2 - 5 1 4 3 2 0 号公報の F I G . 3

【発明の開示】

【発明が解決しようとする課題】

【 0 0 3 2 】

上述のように、図 1 のような画素回路 1 0 を用いた場合、トランジスタのしきい値 V_{th} のばらつきのため、画素間の輝度の均一性が損なわれ、高品位の表示装置を構成することは困難である。

【 0 0 3 3 】

一方、図 2 の画素回路を用いれば、輝度の均一性が比較的高い表示装置を実現することが可能であるが、これには次のような問題がある。

【 0 0 3 4 】

第 1 の問題は、外部から駆動するデータ振幅 ΔV_{data} に対し、駆動トランジスタのゲート振幅 ΔV_g は (2) 式に従って減少する。逆に言えば、同じ ΔV_g を得るために大きな ΔV_{data} を与える必要があり、これは消費電力やノイズの点から望ましくない。

10

20

30

40

50

【 0 0 3 5 】

第2の問題は、図2の画素回路20に関する上記動作説明は理想的なものであって、実際には、発光素子(OLED)25を駆動するTFT21の V_{th} のばらつきの影響がなくなるわけではない。

これは、オートゼロ線AZLとTFT21のゲートノードがTFT23のゲート容量によって結合されており、オートゼロ線AZLのレベルが遷移する過程において、TFT23のチャネル電荷がTFT21のゲートノードに流入するためである。この理由を次に説明する。

【 0 0 3 6 】

すなわち、オートゼロ動作終了後、TFT21のゲート電位は理想的には $VCC - |V_{th}|$ であるべきであるが、上記電荷の流入によって実際にはそれよりやや高い電位となり、なおかつこの電荷の流入量は V_{th} の値によって変動する。なぜなら、オートゼロ動作終了直前におけるTFT21のゲート電位はほぼ $VCC - |V_{th}|$ である。したがって、この電位は $|V_{th}|$ がたとえば小さい程高い。

一方、オートゼロ動作終了時、TFT23が非導通になるタイミングが遅れることがあるため、より多くの電荷がTFT21のゲートに流入することになる。結果としてオートゼロ動作終了後のTFT21のゲート電位が $|V_{th}|$ の影響を受けるため、前述の(3)式や(4)式が厳密には成立せず、画素毎にばらつく V_{th} の影響を受けることになる。

【 0 0 3 7 】

また、低温ポリシリコンTFT作製時のレーザアニールのポリシリコンの結晶粒径ばらつきに起因した移動度のばらつきは除去することはできない。そのため、面内輝度ばらつきが発生してしまう。特に、低輝度時より高輝度時に面内輝度ばらつきが発生する。

【 0 0 3 8 】

本発明の目的は、高輝度時の輝度ばらつきを防止でき、かつ、低輝度時の信号書き込み応答性を損わない表示装置を提供することにある。

【課題を解決するための手段】

【 0 0 3 9 】

本発明の第1の観点は、マトリクス状に複数配列された画素回路と、上記画素回路のマトリクス配列に対して列毎に配線され、輝度情報に応じた電圧信号が供給される信号線と、上記画素回路のマトリクス配列に対して行毎に配線された少なくとも第1の制御線と、上記信号線に所望の上記電圧信号を伝搬させる第1のドライバと、上記第1の制御線に所定のタイミングでスイッチをオン、オフするための信号を印加する第2のドライバと、第1の基準電位および第2の基準電位と、を有し、上記各画素回路は、流れる電流によって輝度が変化する電気光学素子と、ノードと、上記第1の基準電位と上記第2の基準電位間に、上記電気光学素子と直列に接続され、上記ノードの電位に応じてオン、オフする第1のスイッチと、上記信号線とノードとの間に接続され、上記第1の制御線によってオン、オフされる第2のスイッチと、上記ノードと所定電位との間に接続され、上記第2のスイッチを通して入力した電圧信号を保持するキャパシタと、を含み、上記第1および第2のドライバは、各フィールドがN個(ただしNは正の整数)のサブフィールドに分割されてN個の異なる区分が設定され、各サブフィールドごとに上記画素回路の上記第2のスイッチがオン、オフ制御されて電圧信号を入力し、入力信号に応じて上記第1のスイッチをオン、オフさせて、Nビット階調表示を行うように上記第1の制御線および信号線を駆動し、上記第1のドライバは、上記信号線を駆動するための信号を、上記画素回路の複数回表示において分割されたフィールドの中で2回以上の複数回選択して出力するセレクトスイッチ部と、上記セレクトスイッチ部の選択信号を蓄積するラインメモリと、を含む。

【 0 0 4 0 】

好適には、上記ラインメモリは、上記セレクトスイッチ部から出力された信号をラッチする第1ラッチと、上記第1ラッチの出力信号をラッチして出力する第2ラッチと、を含む。

【 0 0 4 1 】

10

20

30

40

50

好適には、上記第 1 のドライバは、上記第 2 ラッチの出力信号波形を整形可能なバッファをさらに有する。

【0042】

好適には、各サブフィールドの先頭の 1 水平走査期間が N 等分されて N 個の区分が設定され、各サブフィールドごとに異なる区分にアドレス期間が設定された区分後の上記第 2 のスイッチのオン、オフ周期を 1 水平走査期間の長さの $1/N$ 倍または K/N 倍（ただし、K は 2 以上の整数）として、N ビットの階調表示を行うように制御される。

【0043】

好適には、上記各画素回路の階調を表現するサブフィールドの配置順について、1 水平走査期間におけるサブフィールドの上記第 2 のスイッチのオン、オフのタイミングが、すべてのラインにおいて異なり、かつ、タイミングチャートを横軸に時間、縦軸にライン番号とした場合、上記オン、オフのタイミングが最も疎となるようにサブフィールドを配置した駆動タイミングをとる。

10

【0044】

好適には、上記画素回路の階調表示を行う信号データを蓄積するためのラインメモリを有する。

【0045】

好適には、1 フィールド期間において、上記画素回路の階調表示を行う信号データを蓄積するためのラインメモリと、上記画素回路の階調表示を行うための 1 フィールド期間内に表示データの入れ替えを行う、フィールドメモリと、を有する。

20

【0046】

好適には、上記画素回路は、上記サブフィールドごとに電圧信号を入力した後に、上記ノードの電位を所定電位としてイレースするイレース部を含む。

【0047】

好適には、上記第 1 のスイッチを通して上記電気光学素子に定電流を供給可能な電流供給回路を有する。

【0048】

好適には、上記電流供給回路は、所定の電流値を複製可能で、複製した電流を供給する。

【発明の効果】

30

【0049】

本発明によれば、高輝度での輝度ばらつきが無くなり、特に、白表示時の画像品質が向上する。

また、任意の輝度参照を設定できるため、パネルアプリケーション、たとえば、背景がグレイ表示に対応時に輝度ばらつき偏差をなくすように設定することができる。

また、電圧信号駆動が可能であるため、信号線への接続点数を軽減できる利点がある。

【発明を実施するための最良の形態】

【0050】

以下、本発明の実施形態を図面に関連付けて説明する。

【0051】

40

< 第 1 実施形態 >

図 4 は、本第 1 の実施形態に係るアクティブマトリクス型有機 EL ディスプレイの構成の概略を示す図である。

図 5 は、本第 1 の実施形態に係るアクティブマトリクス型有機 EL ディスプレイの画素回路の構成例を示す回路図である。

【0052】

アクティブマトリクス型有機 EL ディスプレイ 100 は、画素回路 101 が $m \times n$ 個のマトリクス状に配列された画素アレイ部 102、第 1 のドライバとしてのデータドライバ (DDR V) 103、および第 2 のドライバとしてのスキャンドライバ (SDRV) 104 を有している。

50

そして、画素回路 101 のマトリクス配列に対してデータドライバ (DDRV) 103 によって選択的に駆動される n 列分の信号線 SGL101 ~ SGL10n が画素列毎に配線され、スキャンドライバ (SDRV) 104 によって選択的に駆動される m 行分の第 1 の制御線としての走査線 SCNL101 ~ SCNL10m が画素行毎にそれぞれ配線されている。

【0053】

また、画素回路 101 は、図 5 に示すように、p チャンネル TFT111, 112、およびキャパシタ C111、および有機 EL 素子 (OLED) からなる発光素子 113 を有する。

各画素回路 101 の TFT111 は、ソースが電源電位線 VCC L に、ゲートが TFT112 のドレインにそれぞれ接続されている。有機 EL 発光素子 113 は、アノードが TFT111 のドレインに、カソードが基準電位 (たとえば、グランド電位) GND にそれぞれ接続されている。

各画素回路 101 の TFT112 は、ソースが対応する列の信号線 SGL101 ~ SGL10n に、ゲートが対応する行の走査線 SCNL101 ~ SCNL10m にそれぞれ接続されている。

キャパシタ C111 は、一端 (第 1 電極) が電源電位線 VCC L に、他端 (第 2 電極) が TFT112 のドレインにそれぞれ接続されている。

【0054】

本実施形態の画素回路 101 における 2 つの TFT111, 112 は、低温ポリシリコンの TFT からなり、飽和領域ではなく、リニア領域で動作させ、単なるスイッチとして機能するように駆動される。

すなわち、本実施形態においては、低温ポリシリコン TFT からなるセレクトスイッチ回路を含んで構成されており、これにより、信号電位を発生させるソース IC のピン (PIN) 数を削減することが可能となる。

【0055】

本実施形態の画素回路 101 は、データドライバ 103 およびスキャンドライバ 104 により、1 フィールド期間において、複数回表示するように駆動制御される。

また、データドライバ 103 は、後で詳述するように、セレクトスイッチを含み、セレクトスイッチは、画素回路 101 の複数回表示において分割されたフィールドの中で 2 回以上の複数回選択されて、信号線 SGL を介した信号書き込みが行われる。

【0056】

垂直走査回路としてのスキャンドライバ 104 は、データラッチ方式のシフトレジスタ方式を採用している。

スキャンドライバ 104 のスキャン (走査) タイミングは、図 6 のタイミングチャートに示すように、たとえば 1 フィールド (Field) 期間 (16.7 ms) に 8 個のサブフィールド (Sub Field: SF) 期間を設けて、8 ビット (256 階調) 表示を可能にしている。

このときに、スキャンドライバ 104 が 8 個のサブフィールド (Sub Field) SF1 ~ SF8 (Field 分割選択) の信号を発生させ、スキャンドライバ (垂直走査回路) 104 が先の選択を行うときに、信号線 SGL にはデータドライバ (セクタ) 103 からハイ (High) レベル (たとえば 10 V) またはロー (Low) レベル (0 V) の信号が印加され、画素への信号の取り込みをそのタイミングで行う。

【0057】

図 7 は、本第 1 の実施形態に係る表示パネルの構成例を示す図である。

【0058】

図 7 に示すように、表示パネル 200 に、画素アレイ部 102、データドライバ (DDRV) 103、およびスキャンドライバ (SDRV) 104 が形成されている。

そして、データドライバ 103 は、データインターフェースを介してチップ 300 に形成されたソース IC 301 が接続されている。

図 7 の画素アレイ部 102 は、例としてパネルの画素数を横方向 960 (RGB) × 縦方向 240 (ライン) としている。

【0059】

データドライバ 103 は、レベルシフタ 1031 および 2 - セレクタスイッチ部 1032 により構成されている。

本実施形態においては、ソース IC 301 からの 0 / 5 V 振幅の発生信号をパネル入力部の近傍に存在するデータドライバ 130 のレベルシフタ 1031 により 0 / 10 V 振幅の信号にレベルシフトし、さらにセレクタスイッチ部 1032 を介して選択することにより、8 個のサブフィールド SF に時分割配分する。

【0060】

10

図 8 は、セレクタスイッチ部 103 の複数の各セレクタスイッチを切り替える切替信号 S1、S2 のタイミング例を示す図である。

図 7 に示すセレクタスイッチ部 1031 は、セレクタスイッチ SW1、SW2、SW3 の3つのみを示している。

【0061】

図 7 のスイッチ SW1 は、切替信号 S1 を受けると B 信号に対応した信号線 SGL101 - B にレベルシフトされた 10 V の信号または 0 V に信号を伝搬させ、切替信号 S2 を受けると R 信号に対応した信号線 SGL102 - R にレベルシフトされた 10 V の信号または 0 V の信号を伝搬させる。

スイッチ SW2 は、切替信号 S1 を受けると G 信号に対応した信号線 SGL103 - G にレベルシフトされた 10 V の信号または 0 V の信号を伝搬させ、切替信号 S2 を受けると B 信号に対応した信号線 SGL104 - B にレベルシフトされた 10 V の信号または 0 V の信号を伝搬させる。

20

スイッチ SW3 は、切替信号 S1 を受けると R 信号に対応した信号線 SGL105 - R にレベルシフトされた 10 V の信号または 0 V の信号を伝搬させ、切替信号 S2 を受けると G 信号に対応した信号線 SGL106 - G にレベルシフトされた 10 V の信号または 0 V の信号を伝搬させる。

【0062】

このような、時分割階調表示を行うことにより、ソース IC 301 からの信号線の数、通常の有機 EL ディスプレイに対して、時分割数分で割った (除した) 数で対応できることから入出力ピン数を少なくできる。

30

【0063】

以上のように、本実施形態においては、画素回路 101 の発光素子 113 を駆動して表示するに際し、1 フィールドを複数のサブフィールド SF に分割して発光期間の異なる (長さの異なる) サブフィールド SF を選択 (オン、オフ) し発光させて階調表示を行う時分割階調表示を採用している。

本実施形態においては、この時分割階調表示を行う場合に、線順次書き込み方式ではなく、アドレス表示同時駆動方式 (AWD: Address While Display Driving Scheme) に従ってデータ出力を行う。

【0064】

40

以下に、線順次書き込み方式ではなく AWD 方式を採用した理由について説明する。

まず、線順次書き込み方式について、図 9 ~ 図 11 に関連付けて説明する。

【0065】

図 9 は、線順次書き込み方式の 8 ラインの場合のスキャンラインの駆動タイミングを示す図である。図 10 は、線順次書き込み方式のデータの出力形態を示す図である。図 11 は、線順次書き込み方式を採用した場合のスキャンの様子を示す図である。

【0066】

ここでは、1 フィールドをそれぞれ期間の異なる 3 つのサブフィールド SF1、SF2、SF3 に分割する 8 階調表示の場合であって、8 ライン駆動の場合を例としている。

線順次の場合、データは図 9 および図 10 に示すように、LSB から MSB へと順番に

50

出力され、書き込みの順番は線順次、すなわち、ライン L 1 ~ ライン L 8 のサブフィールド S F 1 を書き込み、ライン L 1 ~ ライン L 8 のサブフィールド S F 2 を書き込み、ライン L 1 ~ ライン L 8 のサブフィールド S F 3 を書き込む。

しかしこの場合、図 9 に示すように、書き込めない期間が存在してしまう。

有機 E L 素子からなる発光素子 1 1 3 の劣化を抑えるために、1 度に流れる電流量を抑えることが必要である。電流量を抑えるためには発光期間を長くすればよいが、書き込み時間以外をすべて発光期間にすると、書き込み時間が足りなくなる。

たとえば、2 4 0 ラインで 8 S F (2 5 6 階調) の場合、書き込み時間は 0 . 2 7 μ s となる。

書き込み時間を優先すると、表示期間が減少する。たとえば、2 4 0 ライン、8 S F (2 5 6 階調) で、書き込み時間 6 μ s とした場合、表示期間の割合は約 6 4 % となり、1 度に流れる電流が増大する。

【 0 0 6 7 】

そこで、本実施形態においては、図 1 2 および図 1 3 に示すように、A W D 方式を採用してデータ出力を行っている。

【 0 0 6 8 】

図 1 2 は、A W D 方式の 8 ラインの場合のスキャンラインの駆動タイミングを示す図である。図 1 3 は、A W D 方式のデータの出力形態を示す図である。

【 0 0 6 9 】

ここでも、1 フィールドをそれぞれ期間の異なる 3 つのサブフィールド S F 1、S F 2、S F 3 に分割する 8 階調表示の場合であって、8 ライン駆動の場合を例としている。

A W D 方式においては、書き込みが線順次ではなく、データも、たとえばライン L 1 のサブフィールド S F 1、次にライン L 8 のサブフィールド S F 2、次にライン L 6 のサブフィールド S F 3 のように、ランダムな順に行われる。

【 0 0 7 0 】

上述したように、本実施形態の有機 E L ディスプレイ 1 0 0 においては、サブフィールドの階調表現を行う。

具体的には、各ラインごとに、各フィールドが N 個 (ただし N は正の整数) のサブフィールド S F に分割され、各サブフィールドの先頭の 1 H 期間 (ただし、H は水平走査期間) が N 等分されて N 個の区分が設定され、各サブフィールドごとに異なる区分にアドレス期間が設定された区分後のキャパシタ C 1 1 1 の放電維持期間でのスキャンドライバ 1 0 4 によるサステインパルス W S の周期を 1 H 期間の長さの 1 / N 倍または K / N 倍 (ただし、K は 2 以上 H の整数) として、N ビットの階調表示を行う。

そして、各画素の階調を表現するサブフィールドの配置順について、1 H 期間におけるサブフィールド S F の放電開始タイミングが、すべてのラインにおいて異なり、かつ、いわゆるタイミングチャートを横軸に時間、縦軸にライン番号とした場合 (図 1 2 および図 1 3 参照)、キャパシタ C 1 1 1 の放電開始タイミングが最も疎となるようにサブフィールドを配置した駆動タイミングをとる。

【 0 0 7 1 】

以上の A W D 方式に応じた駆動タイミングを採用することにより、書き込み期間を全期間無駄なく配置可能となっている。

たとえば 2 4 0 ライン、8 S F (2 5 6 階調) の場合、書き込み時間は 8 . 7 μ s (= 1 6 . 7 m s / 8 S F / 2 4 0 ライン) となる。

【 0 0 7 2 】

このような、A W D 方式に応じた駆動タイミングは、たとえばあらかじめ A W D タイムシーケンスとして図示しないテーブルに保持される。

以下に、A D W タイムシーケンスの作成方法の一例を説明する。なお、ここでは、2 ビット分の γ 補正を含めて 1 フィールドを 1 0 サブフィールドの分割する場合を例に説明する。

【 0 0 7 3 】

1) 1フィールド(16.7ms)をスキャンライン(走査線)数(この例では240ライン)で割り(除して)、1H期間を決定する。すなわち、 $16.7\text{ms} / 240 = 69.5\mu\text{s}$ を1H期間とする。

【0074】

2) 1H(69.5μs)をサブフィールド数(この例では10SF)で割り(除して)、書き込み時間を決定する。すなわち、 $69.5\mu\text{s} / 10 = 6.95\mu\text{s}$ を書き込み時間とする。

【0075】

3) 1H期間を、図14に示すように、各サブフィールドの書き込み期間で割り振る。

【0076】

4) 割り振ったサブフィールドSFの書き込み期間を違反しないように、各サブフィールドSFの書き込みタイミングを設定する。

【0077】

5) 各ラインの書き込みシーケンスを1Hずらしていくことにより、AWDタイムシーケンス表の作成が完了する。

【0078】

次に、上記構成による動作を説明する。

【0079】

以上の構成を有する有機ELディスプレイにおいて、輝度データの書き込みを行う画素回路101では、この画素を含む画素行がスキャンドライバ104によって走査線SCN 20 Lを介して選択されることで、その行の画素回路101のTF T112がオンする。

このとき、データドライバ103から信号線SGLを介してハイレベル(10V)またはローレベル(0V)を示す電圧で供給され、TF T112を通してキャパシタC111に保持される。

キャパシタC111に保持されたデータ電圧は、TF T111のゲートに印加される。

これにより、TF T111は、保持データに従ってオンまたはオフし、有機EL発光素子13が電流駆動される。

有機EL発光素子113を駆動する場合にオン、オフされるTF T111およびTF T112は、単なるオン・オフスイッチとして機能する。

すなわち、本実施形態においては、有機EL発光素子113の階調表現は、キャパシタ 30 C111によって保持されるTF T111のゲート・ソース間電圧を変調することによって行われるのではなく、以下のように行われる。

【0080】

本実施形態においては、スキャンドライバ104のスキャン(走査)タイミングは、たとえば1フィールド(Field)期間(16.7ms)に8個のサブフィールドSF期間を設けて、8ビット(256階調)表示を可能にしている。

このときに、スキャンドライバ104において8個のサブフィールドSF1~SF8(Field分割選択)の信号が発生され、スキャンドライバ104が先の選択を行うときに、信号線SGLにはデータドライバ103からハイレベル(たとえば10V)またはローレベル(0V)の信号が印加され、画素への信号の取り込みがそのタイミングで行われる。 40

【0081】

このように、本第1の実施形態においては、有機EL発光素子113の階調表現を、時分割階調表示とし、データ出力は、線順次書き込み方式ではなく、AWD方式に従って行い、各画素回路101においては、有機EL発光素子113への電流供給路に配置されるTF T111を単なるオン・オフスイッチとしてのみ機能させることから、有機EL発光素子113の輝度ばらつきに影響を与えるTF T111の移動度μ、しきい値V_{th}のばらつきにかかわらず、有機EL発光素子113を輝度むらの発生を抑止しつつ安定に駆動することが可能となっている。

【0082】

以上説明したように、本第1の実施形態によれば、画素回路101を、電源電位線VC 50

C Lと基準電位（たとえば接地電位GND）との間に直列に配置されたT F T 1 1 1および有機E L発光素子1 1 3、信号線S G LとT F T 1 1 1のゲート間に接続されたT F T 1 1 2、およびT F T 1 1 1のゲートと電源電位線V C C Lとの間に接続されたキャパシタC 1 1 1を含んで構成し、スキャンドライバ1 0 4のスキャンタイミングは、たとえば1フィールド期間（16.7ms）にN（たとえば8あるいは10）個のサブフィールドS F期間を設けて、Nビット（8ビットの場合、256階調）表示を可能にし、スキャンドライバ1 0 4がたとえばN個のサブフィールドS F 1～S F Nの信号を発生させ、スキャンドライバ1 0 4が先の選択を行うときに、信号線S G Lにはデータドライバ1 0 3からハイレベル（たとえば10V）またはローレベル（0V）の信号が印加され、画素への信号の取り込みをそのタイミングで行うことから、以下の効果を得ることができる。

10

【0083】

各画素回路1 0 1においては、有機E L発光素子1 1 3への電流供給路に配置されるT F T 1 1 1を単なるオン・オフスイッチとしてのみ機能させることが可能で、その結果、有機E L発光素子1 1 3の輝度ばらつきに影響を与えるT F T 1 1 1の移動度 μ 、しきい値 V_{th} のばらつきにかかわりなく、有機E L発光素子1 1 3を輝度むらの発生を抑止しつつ安定に駆動することが可能である。したがって低輝度時の信号書き込み応答性を損うことなく、高輝度時の輝度ばらつきを防止できる。その結果、高品位な画像を表示することができる。

また、画素回路の構成をしきい値補正用のT F T等を設けることなく、極めて簡単な構成とすることができる。その結果、スキャンライン等の制御線を最小限にとどめることができ、制御系の負荷の軽減を図れることはもとより、表示パネルの狭額縁化を図ることができる。

20

【0084】

換言すれば、本第1の実施形態によれば、高輝度での輝度ばらつきが無くなり、白表示時の有機E L発光素子（OLED）の画像品質が向上する。

また、任意の輝度参照を設定できるため、パネルアプリケーション（たとえば、背景がグレイ表示に対応）時に、輝度ばらつき偏差をなくすように設定することができる。

また、電圧信号駆動であるため、信号線への接続点数を軽減できる。電流駆動回路では、電流を水平選択期間中流すことが必要となる結果、信号線の切り替えスイッチが使用できない。電圧信号は信号線の容量に電荷を蓄積させるほうが接続端子数削減には望ましい

30

【0085】

なお、図5の画素回路1 0 1は一例であって、本発明はこれに限定されるものではない。たとえば、上述したように、T F T 1 1 1、T F T 1 1 2は単なるスイッチであることから、これらのすべて乃至一部をnチャネルT F T、あるいはその他のスイッチ素子で構成することも可能なことは明らかである。

【0086】

< 第2実施形態 >

図15は、本発明の第2の実施形態に係るアクティブマトリクス型有機E Lディスプレイ（表示装置）の構成の概略を示す図である。

40

図16は、第2の実施形態に係るアクティブマトリクス型有機E Lディスプレイの画素回路を示す回路図である。

図17は、本発明の第2の実施形態に係るアクティブマトリクス型有機E Lディスプレイ（表示装置）の表示パネル構成例を含めて示す図である。

【0087】

本第2の実施形態の有機E Lディスプレイ1 0 0 Aが上述した第1の実施形態の有機E Lディスプレイ1 0 0と異なる点は、各ラインの画素回路1 0 1 Aにおいて、1つのサブフィールドS Fに電圧信号（10Vまたは0V）をT F T 1 1 2を通して取り込みキャパシタC 1 1 1に保持した後、その都度T F T 1 1 1のゲートおよびキャパシタC 1 1 1が接続されたノードN D 1 1 1の電位を消去（イレース：e r a s e）するようにして、安

50

定した階調表示を実現したことにある。

具体的には、有機ＥＬディスプレイ１００Ａにおいて、各画素行ごとに消去（イレーズ）線ＥＳＬ１０１～ＥＳＬ１０ｍを配線し、各消去線ＥＳＬ１０１～ＥＳＬ１０ｍに対して消去信号ＥＳを選択的に印加するイレーズドライバ（ＥＤＲＶ）１０５を設けている。

そして、各画素回路１０１Ａにおいて、イレーズ用のｐチャンネルＴＦＴ１１４を設け、ＴＦＴ１１４のソースが電源電位線ＶＣＣＬに接続され、ドレインがＴＦＴ１１１のゲートおよびキャパシタＣ１１１の第２電極が接続されたノードＮＤ１１１に接続され、ゲートが対応する行に配線された消去線ＥＳＬに接続されている。

【００８８】

図１８は、消去信号ＥＳのタイミングを示す図である。

10

図１８の例は、１フィールドを１０個のサブフィールドＳＦに分割した場合の例である。

本実施形態においては、１フィールドの分割数にかかわらず、１つのサブフィールドＳＦに電圧信号（１０Ｖまたは０Ｖ）をＴＦＴ１１２を通して取り込みキャパシタＣ１１１に保持した後、その都度ＴＦＴ１１１のゲートおよびキャパシタＣ１１１が接続されたノードＮＤ１１１の電位を消去（イレーズ：erase）するようにして、安定した階調表示を実現している。

【００８９】

また、本第２の実施形態においては、１フィールド期間において、複数回任意の単一画素の階調表示を行う信号データを蓄積するためのＲ、Ｇ、Ｂ独立のラインメモリと、この複数回任意の単位画素の階調表示を行うための、１フィールド期間内に表示データの入れ替えを行うためのフィールドメモリを含むＩＣチップ３００Ａをパネル外に配置している。

20

ここで、ラインメモリは、順次フィールドメモリでＡＷＤ方式に応じて並び替えたデータによりソースＩＣを制御して信号データを出力する。このとき、ＲＧＢに単独での出力が可能になるため、接続ピン（ＰＩＮ）数、配線数は激減する。

すなわち、時分割によるデータ信号を発生させるソースＩＣ３００Ａのピン数は、ＴＦＴで形成された、たとえば８ビットデータ信号を各信号線毎にメモリを持たせることにより、削減できる。この８ビットデータはフィールドメモリからのＲＧＢ独立のシリアルデータよりなる。その結果、ソースＩＣ３００Ａからの信号線の本数は、通常の有機ＥＬディスプレイに対して、ビットに対応したＲＧＢの本数が達成でき、最小の入出力ピン数で済む。

30

【００９０】

その他の構成は第１の実施形態と同様であり、本第２の実施形態によれば、各画素回路においてＴＦＴ１１４が一つ増え、制御線としての消去線ＥＳＬが増えるものの、パネルの面積的には狭額縁化にさほどの影響を及ぼすことはなく、上述した第１の実施形態の効果と同様の効果を得ることができ、さらに安定した階調表示を実現することができる。

【００９１】

なお、図１６の画素回路１０１Ａは一例であって、本発明はこれに限定されるものではない。たとえば、上述したように、ＴＦＴ１１１，ＴＦＴ１１２，ＴＦＴ１１４は単なるスイッチであることから、これらのすべて乃至一部をｎチャンネルＴＦＴ、あるいはその他のスイッチ素子で構成することも可能なことは明らかである。

40

【００９２】

< 第３実施形態 >

図１９は、本発明の第３の実施形態に係るアクティブマトリクス型有機ＥＬディスプレイ（表示装置）の構成の概略を示す図である。

図２０は、第３の実施形態に係るアクティブマトリクス型有機ＥＬディスプレイの画素回路を示す回路図である。

図２１は、本発明の第３の実施形態に係るアクティブマトリクス型有機ＥＬディスプレイ（表示装置）の表示パネル構成例を含めて示す図である。

50

【 0 0 9 3 】

本第3の実施形態の有機ELディスプレイ100Bが上述した第2の実施形態の有機ELディスプレイ100Aと異なる点は、各ラインの画素回路101Bにおいて、定電流を複製して、複製した電流を駆動スイッチTFT111を通して有機EL発光素子113に供給するように構成し、有機EL発光素子113の特性劣化が発生し、輝度の低下を抑止している。

具体的には、有機ELディスプレイ100Bにおいて、各画素列ごとに参照電流供給線IRFL101～IRFL10nを配線し、各参照電流供給線IRFL101～IRFL10nに対して参照電流I_{ref}を選択的に印加する電流ドライバ(IDRV)106を設けている。

さらに、各画素行ごとに電流複製線(カンレトコピー線)CCL101～CCL10mを配線し、各電流複製線CCL101～CCL10mに対してカレントコピー信号CSを選択的に印加するコピードライバ(CDRV)107を設けている。

そして、各画素回路101Bにおいて、図20に示すように、駆動スイッチとしてのTFT111のソースと電源電位線VCCLとの間に、カンレトコピー回路120を設けている。

【 0 0 9 4 】

カレントコピー回路120は、図20に示すように、pチャネルTFT121、nチャネルTFT122、123、キャパシタC121、およびノードND121、ND122を有している。

【 0 0 9 5 】

TFT121のソースが電源電位線VCCLに接続され、ドレインがノードND121に接続され、ゲートがノードND122に接続されている。

キャパシタC121の一端(第1電極)が電源電位線VCCLに接続され、他端(第2電極)がノードND122に接続されている。

TFT122のソースが参照電流供給線IRFLに接続され、ドレインがノードND121に接続されている。TFT123のソースがノードND121に接続され、ドレインがノードND122に接続されている。TFT122、123のゲートがカレントコピー線CCLに共通に接続されている。

カンレトコピー回路120の出力ノードND121が画素回路101Bの駆動スイッチを形成するTFT111のソースに接続されている。

【 0 0 9 6 】

このようは構成を有する画素回路101Bにおいて、まずコピードライバ107によりカレントコピー線CCLにハイレベルのカンレトコピー信号CSが所定期間印加される。これにより、カレントコピー回路120のTFT122、123がオン状態となる。

このとき、対応する参照電流供給線IRFLには参照電流I_{ref}が供給されており、この参照電流I_{ref}は、カンレトコピー回路120のTFT122、123を通してキャパシタC121にコピーされる(電荷として保持されてコピーされる)。

所定期間が経過すると、カンレトコピー信号CSがコピードライバ107によりローレベルに切り替えられる。これにより、カンレトコピー回路120のTFT122、123はオフし、参照電流I_{ref}がキャパシタC121に保持され、コピーされた状態となる。

これに伴い、ノードND122が所定の電位に保持され、TFT121のゲートに印加されて、定電流がノードND121を通してTFT111のソース側に供給される。

後は、第1および第2の実施形態と同様の駆動により、スキャンドライバ104においてたとえば8個のサブフィールドSF1～SF8(Field分割選択)の信号を発生され、スキャンドライバ104が先の選択を行うときに、信号線SGLにはデータドライバ103からハイレベル(たとえば10V)またはローレベル(0V)の信号が印加され、画素への信号の取り込みがそのタイミングで行われる。

なお、1つのサブフィールドSFに電圧信号(10Vまたは0V)をTFT112を通して取り込みキャパシタC111に保持した後、その都度TFT111のゲートおよびキ

10

20

30

40

50

ャパシタC 1 1 1が接続されたノードND 1 1 1の電位が消去される。

【0097】

また、本第3の実施形態においては、1フィールド期間において、複数回任意の単一画素の階調表示を行う信号データを蓄積するためのR、G、B独立のラインメモリと、この複数回任意の単位画素の階調表示を行うための、1フィールド期間内に表示データの入れ替えを行うためのフィールドメモリを含むICチップ300Bをパネル外に配置している。

ここで、ラインメモリは、順次フィールドメモリでAWD方式に応じて並び替えたデータによりソースICを制御して信号データを出力する。このとき、RGBに単独での出力が可能になるため、接続PIN数、配線数は激減する。

【0098】

本第3の実施形態によれば、上記した第1および第2の実施形態の効果と同様の効果を得られることはもとより、有機EL発光素子113の特性劣化が発生し、輝度の低下することを抑止することができ、さらに高品位の画像を得ることができる。

【0099】

<第4実施形態>

図22は、本発明の第4の実施形態に係るアクティブマトリクス型有機ELディスプレイ(表示装置)の表示パネル構成例を含めて示す図である。

【0100】

本第4の実施形態の有機ELディスプレイ100Cが第2の実施形態の有機ELディプレイ100Aと異なる点は、1フィールド期間において、複数回任意の単一画素の階調表示を行う信号データを蓄積するためのR、G、B独立のラインメモリを、外部のICチップ内ではなく、パネル200Cのデータドライバ103の入力側に配置し、ICチップ300Cに、複数回任意の単位画素の階調表示を行うための、1フィールド期間内に表示データの入れ替えを行うためのフィールドメモリを含む構成としたことにある。

【0101】

また、本第4の実施形態においては、TFT(薄膜トランジスタ)によるデータドライバにおける水平走査駆動回路の動作周波数を低減するため、データドライバ103-1, 103-2の2つにして、動作周波数を本来の周波数の2分の1にした構成を採用している。したがって、パネル200C内には、2つのラインメモリ108-1, 108-2が

配置されている。

【0102】

なお、一例として、図23に本実施形態による信号データ配線とラインメモリの配置を示し、図24に本実施形態による信号データの読み込みタイミングチャートを示す。

ただし、図23においては、図面の簡単化のためRデータのみを示しているが、実際にはBデータ、Gデータも同様に配置の配線および配置となる。

【0103】

その他の構成は第2の実施形態と同様であり、本第4の実施形態によれば、上述した第2の実施形態の効果と同様の効果を得ることができる。

【0104】

<第5実施形態>

図25は、本発明の第5の実施形態に係るアクティブマトリクス型有機ELディスプレイ(表示装置)の表示パネル構成例を含めて示す図である。

【0105】

本第5の実施形態の有機ELディスプレイ100Dが第3の実施形態の有機ELディプレイ100Bと異なる点は、1フィールド期間において、複数回任意の単一画素の階調表示を行う信号データを蓄積するためのR、G、B独立のラインメモリを、外部のICチップ内ではなく、パネル200Dのデータドライバ103の入力側に配置し、ICチップ300Cに、複数回任意の単位画素の階調表示を行うための、1フィールド期間内に表示データの入れ替えを行うためのフィールドメモリを含む構成としたことにある。

10

20

30

40

50

【 0 1 0 6 】

また、本第 5 の実施形態においては、T F T（薄膜トランジスタ）によるデータドライバにおける水平走査駆動回路の動作周波数を低減するため、データドライバ 1 0 3 - 1 , 1 0 3 - 2 の 2 つにして、動作周波数を本来の周波数の 2 分の 1 にした構成を採用している。したがって、パネル 2 0 0 D 内には、2 つのラインメモリ 1 0 8 - 1 , 1 0 8 - 2 が配置されている。

【 0 1 0 7 】

その他の構成は第 3 の実施形態と同様であり、本第 5 の実施形態によれば、上述した第 5 の実施形態の効果と同様の効果を得ることができる。

【 0 1 0 8 】

10

< 第 6 実施形態 >

図 2 6 は、本発明の第 6 の実施形態に係るアクティブマトリクス型有機 E L ディスプレイ（表示装置）の表示パネル構成例を含めて示す図である。

【 0 1 0 9 】

本第 6 の実施形態の有機 E L ディスプレイ 1 0 0 E は、第 5 の実施形態の有機 E L ディスプレイ 1 0 0 D のデータドライバ 1 0 3 - 1 , 1 0 3 - 2 の部分をさらに具体的な構成を示している。

【 0 1 1 0 】

本第 6 の実施形態のデータドライバ 1 0 3（- 1 , - 2）は、図 2 7 および図 2 8 に示すように、レベルシフタ 1 0 3 1 E、2 - セクタスイッチ部 1 0 3 2 E、および水平走査駆動回路（S R）1 0 3 3 E を含んで構成される。

20

【 0 1 1 1 】

この場合、レベルシフタ 1 0 3 1 E は、たとえば図 2 7 または図 2 8 に示すような位置に配置される。

【 0 1 1 2 】

図 2 7 の例の場合、I C チップ 3 0 0 E の 0 / 5 V 振幅の 5 V 系信号をラインメモリ 1 0 8 に入力し、水平走査駆動回路 1 0 3 3 E で所定の処理をした後、レベルシフタ 1 0 3 1 E で 0 / 1 0 V 振幅の 1 0 V 系信号にレベルシフト処理（5 V を 1 0 V に昇圧）して、セクタスイッチ部 1 0 3 2 E に入力する。

セクタスイッチ部 1 0 3 2 E においては、1 0 V 系信号を切替信号に応じて適宜切り替えて、所定の信号線に A W D 方式に従ったデータを伝搬させる。

30

【 0 1 1 3 】

図 2 8 の例の場合、I C チップ 3 0 0 E の 0 / 5 V 振幅の 5 V 系信号を、まず、レベルシフタ 1 0 3 1 E で 0 / 1 0 V 振幅の 1 0 V 系信号にレベルシフト処理（5 V を 1 0 V に昇圧）して、1 0 V 系信号をラインメモリ 1 0 8 に入力し、水平走査駆動回路 1 0 3 3 E で所定の処理をした後、セクタスイッチ部 1 0 3 2 E に入力する。

セクタスイッチ部 1 0 3 2 E においては、1 0 V 系信号を切替信号に応じて適宜切り替えて、所定の信号線に A W D 方式に従ったデータを伝搬させる。

【 0 1 1 4 】

本第 6 の実施形態によれば、上述した第 3 および第 5 の実施形態の効果と同様の効果を得ることができる。

40

【 0 1 1 5 】

< 第 7 実施形態 >

図 2 9 は、本発明の第 7 の実施形態に係るアクティブマトリクス型有機 E L ディスプレイ（表示装置）の表示パネル構成例を含めて示す図である。

図 3 0（A）～（C）は、図 2 9 のアクティブマトリクス型有機 E L ディスプレイの R G B 対応の動作タイミング等を示す図である。

【 0 1 1 6 】

本第 7 の実施形態のアクティブマトリクス型有機 E L ディスプレイ 1 0 0 F は、上述した各実施形態の有機 E L ディスプレイ 1 0 0 ～ 1 0 0 E と異なる点は、第 1 のドライバと

50

してのデータドライバ103に配置したセレクトスイッチにより信号線に直接書き込むのではなく、ラッチタイプのラインメモリ（第1ラッチ）に、時分割のデータを書き込み、次に次段のラインメモリ（第2ラッチ）に書き込み、そのデータを線順次形式の出力をするように構成したことにある。

【0117】

図29に示すように、本第7の実施形態に係る表示パネル200FにHA、画素アレイ部102、データドライバ（DDRV）103F、スキヤンドライバ（SDRV）104、およびイレースドライバ（EDRV）105が形成されている。

そして、データドライバ103Fは、データインターフェースを介してチップ300Fに形成されたソースIC301Fが接続されている。

10

図29の画素アレイ部102は、例としてパネルの画素数を横方向960（RGB）×縦方向240（ライン）としている。

【0118】

なお、図29においては、表示パネル200FにHA、画素アレイ部102、データドライバ（DDRV）103F、スキヤンドライバ（SDRV）104、およびイレースドライバ（EDRV）105が形成されている例を示しているが、イレースドライバ105を形成してない構成、あるいは、電流ドライバおよび/またはコピードライバを形成する等、種々の態様が可能である。

【0119】

データドライバ103Fは、3 - セレクトスイッチ部1034、第1ラッチ1035、第2ラッチ1036、バッファ1037、およびレベルシフタ1038により構成されている。

20

【0120】

本実施形態においては、ソースIC301からの0/5V振幅の発生信号をパネル入力部の近傍に存在する3 - セレクトスイッチ部1034を介して選択することにより、8個のサブフィールドSFに時分割配分する。

この時分割データをラッチタイプのラインメモリからなる第1ラッチ1035に書き込み、時分割のデータを書き込む。

次に次段の第2ラッチ（ラインメモリ）1036に書き込み、そのデータを線順次形式で出力する。

30

図30の例においては、出力イネーブル（OUT PUT Enable）信号により第2ラッチ1036のデジタル信号を線順次走査信号として出力する。

そして、バッファ1037において波形整形を行った後、レベルシフタ1038により0/10V振幅の信号にレベルシフトし、信号線SGLに伝搬させる。

【0121】

図29に示す3 - セレクトスイッチ部1034は、セレクトスイッチSW11およびSW1の2つのみを示している。

【0122】

図29のスイッチSW11は、切替信号S11を受けるとR信号に対応した信号線SGL101 - Rに5Vの信号または0Vの信号を第1ラッチ1035に選択的に出力し、切替信号S12を受けるとG信号に対応した信号線SGL102 - Gに5Vの信号または0Vの信号を第1ラッチ1035に選択的に出力し、切替信号S13を受けるとB信号に対応した信号線SGL103 - Bに5Vの信号または0Vの信号を第1ラッチ1035に選択的に出力する。

40

スイッチSW12は、切替信号S11を受けるとR信号に対応した信号線SGL104 - Rに5Vの信号または0Vの信号を第1ラッチ1035に選択的に出力し、切替信号S12を受けるとG信号に対応した信号線SGL105 - Gに5Vの信号または0Vの信号を第1ラッチ1035に選択的に出力し、切替信号S13を受けるとB信号に対応した信号線SGL106 - Bに5Vの信号または0Vの信号を第1ラッチ1035に選択的に出力する。

50

【 0 1 2 3 】

このような、時分割階調表示を行うことにより、ソース I C 1 3 0 1 からの信号線の数
は、通常の有機 E L ディスプレイに対して、時分割数分で割った（除した）数で対応でき
ることから入出力ピン数を少なくできる。

【 0 1 2 4 】

図 3 1 は、本第 7 の実施形態に係る第 1 ラッチの構成例を示す回路図である。また、図
3 2 は、本第 7 の実施形態に係る第 2 ラッチの構成例を示す回路図である。

【 0 1 2 5 】

第 1 ラッチ 1 0 3 5 は、図 3 1 に示すように、C M O S インバータ 1 0 3 5 1、1 0 3
5 2、出力イネーブルスイッチ 1 0 3 5 3、およびデータ線 D T L を有している。

10

C M O S インバータ 1 0 3 5 1 の入力データ線 D T L に接続され、出力が C M O S イ
ンバータ 1 0 3 5 2 の入力に接続され、C M O S インバータ 1 0 3 5 2 の出力がデータ線
D T L に接続されて、ラッチ L T C 1 が構成されている。

第 1 ラッチ 1 0 3 5 において、セクタスイッチ部 1 0 3 4 からデータ線 D T L に伝搬
された信号がラッチ L T C 1 にラッチされ、所定のタイミングで出力イネーブルスイッチ
1 0 3 5 3 を介して第 2 ラッチ 1 0 3 6 に出力する。

【 0 1 2 6 】

第 1 ラッチ 1 0 3 6 は、図 3 2 に示すように、C M O S インバータ 1 0 3 6 1、1 0 3
6 2、出力イネーブルスイッチ 1 0 3 6 3、1 0 3 6 4、および対をなすデータ線 D T L
、D T L X を有している。

20

C M O S インバータ 1 0 3 6 1 の入力データ線 D T L に接続され、出力がデータ線 D
T L X に接続され、C M O S インバータ 1 0 3 6 2 の入力データ線 D T L X に接続され
、C M O S インバータ 1 0 3 6 2 の出力データ線 D T L に接続されて、ラッチ L T C 2
が構成されている。

第 2 ラッチ 1 0 3 6 において、第 1 ラッチ 1 0 3 5 からの信号が相補的な信号としてデ
ータ線 D T L、D T L X に伝搬され、その信号がラッチ L T C 2 にラッチされ、所定のタ
イミングで出力イネーブルスイッチ 1 0 3 6 3、1 0 3 6 4 を介してバッファ 1 0 3 7 に
出力する。

【 0 1 2 7 】

本実施形態においては、既に詳述したように、ソース I C 3 0 1 からの発生信号をパネ
ル入力部の近傍に存在するセクタスイッチを介して選択することにより、8 個のサブフ
ィールド（Sub Field）に時分割配分する。その結果、ソース I C 3 0 1 からの信号線
の数は、通常の O L E D 表示装置に対して、時分割数分で割った数で対応できるため、最小の入
出力 P I N 数で済む。

30

【 0 1 2 8 】

特に、本第 7 の実施形態は、水平方向に分割したフィールド（FIELD）期間の中で、複
数回セクタスイッチにより信号書き込みを行うことを特徴としている。

これにより、サブフィールドの駆動でも、信号線を通常より削減した形で対応がとれる
。加えて、セクタスイッチ部により直接、信号線に書き込む方法であると、条件によっ
ては信号線の容量値が大きく、高速での書き込みが難しくなる。

40

そのため、本第 7 の実施形態においては、セクタスイッチ部 1 0 3 4 からのデータ信
号は直接、信号線に書き込むのではなく、負荷容量として小さい、ラッチタイプのライン
メモリ（第 1 ラッチ）1 0 3 5 に時分割のデータを書き込む。本データは、液晶で使用され
ているアナログデータとは違いデジタルデータであるため入力 C M O S の閾値をこえるデ
ータであればよい。

このデータを次段の第 2 ラッチ 1 0 3 6 に書き込みそのデータを線順次形式の出力で出
す。

これにより、書き込み用のラインメモリと出力用のラインメモリが分離することができ
、高速に選択されたデータを転送することが可能となる。

【 0 1 2 9 】

50

このように、セレクトスイッチ部 1034 からのデータを、第 1 ラッチ 1035 と第 2 ラッチ 1036 を通して書き込んだあと、その出力を OLED パネル内の信号線に接続する場合、第 2 ラッチ 1036 のみの出力では、信号線の書き込みは信号線容量を無視することができない。

これを避けるため、本実施形態においては、第 2 ラッチ 1036 以降に出力バッファ 1037 を設けることにより波形整形を実施し、有機 EL 素子 (OLED) 画素でのデジタル処理を容易にしている。

【0130】

本第 7 の実施形態によれば、上述した各実施形態の効果に加えて、信号線の容量値が大きい場合であっても、高速書き込みが可能となる利点がある。

10

【図面の簡単な説明】

【0131】

【図 1】一般的な画素回路の第 1 の構成例を示す回路図である。

【図 2】一般的な画素回路の第 2 の構成例を示す回路図である。

【図 3】図 2 の回路の駆動方法を説明するためのタイミングチャートである。

【図 4】本発明の第 1 の実施形態に係るアクティブマトリクス型有機 EL ディスプレイの構成の概略を示す図である。

【図 5】本第 1 の実施形態に係るアクティブマトリクス型有機 EL ディスプレイの画素回路の構成例を示す回路図である。

【図 6】本実施形態の時分割階調表示を説明するための図である。

20

【図 7】本実施形態に係るデータドライバの具体的な構成例を示す図である。

【図 8】図 7 のセレクトスイッチ部の切り替えタイミングを示す図である。

【図 9】線順次書き込み方式の 8 ラインの場合のスキャンラインの駆動タイミングを示す図である。

【図 10】線順次書き込み方式のデータの出力形態を示す図である。

【図 11】線順次書き込み方式を採用した場合のスキャンの様子を示す図である。

【図 12】AWD 方式の 8 ラインの場合のスキャンラインの駆動タイミングを示す図である。

【図 13】AWD 方式のデータの出力形態を示す図である。

【図 14】AWD タイムシーケンス表の作成例を説明するための図である。

30

【図 15】本発明の第 2 の実施形態に係るアクティブマトリクス型有機 EL ディスプレイ (表示装置) の構成の概略を示す図である。

【図 16】第 2 の実施形態に係るアクティブマトリクス型有機 EL ディスプレイの画素回路を示す回路図である。

【図 17】本発明の第 2 の実施形態に係るアクティブマトリクス型有機 EL ディスプレイ (表示装置) の表示パネル構成例を含めて示す図である。

【図 18】消去信号 ES のタイミングを示す図である。

【図 19】本発明の第 3 の実施形態に係るアクティブマトリクス型有機 EL ディスプレイ (表示装置) の構成の概略を示す図である。

【図 20】第 3 の実施形態に係るアクティブマトリクス型有機 EL ディスプレイの画素回路を示す回路図である。

40

【図 21】本発明の第 3 の実施形態に係るアクティブマトリクス型有機 EL ディスプレイ (表示装置) の表示パネル構成例を含めて示す図である。

【図 22】本発明の第 4 の実施形態に係るアクティブマトリクス型有機 EL ディスプレイ (表示装置) の表示パネル構成例を含めて示す図である。

【図 23】本実施形態による信号データ配線とラインメモリの配置の一例を示す図である。

【図 24】本実施形態による信号データの読み込みタイミングチャートを示す図である。

【図 25】本発明の第 5 の実施形態に係るアクティブマトリクス型有機 EL ディスプレイ (表示装置) の表示パネル構成例を含めて示す図である。

50

【図 2 6】本発明の第 6 の実施形態に係るアクティブマトリクス型有機 E L ディスプレイ（表示装置）の表示パネル構成例を含めて示す図である。

【図 2 7】図 2 6 のデータドライバ部分の第 1 の構成例を示す図である。

【図 2 8】図 2 6 のデータドライバ部分の第 2 の構成例を示す図である。

【図 2 9】本発明の第 7 の実施形態に係るアクティブマトリクス型有機 E L ディスプレイ（表示装置）の表示パネル構成例を含めて示す図である。

【図 3 0】図 2 9 のアクティブマトリクス型有機 E L ディスプレイの R G B 対応の動作タイミング等を示す図である。

【図 3 1】第 7 の実施形態に係る第 1 ラッチの構成例を示す回路図である。

【図 3 2】第 7 の実施形態に係る第 2 ラッチの構成例を示す回路図である。

10

【符号の説明】

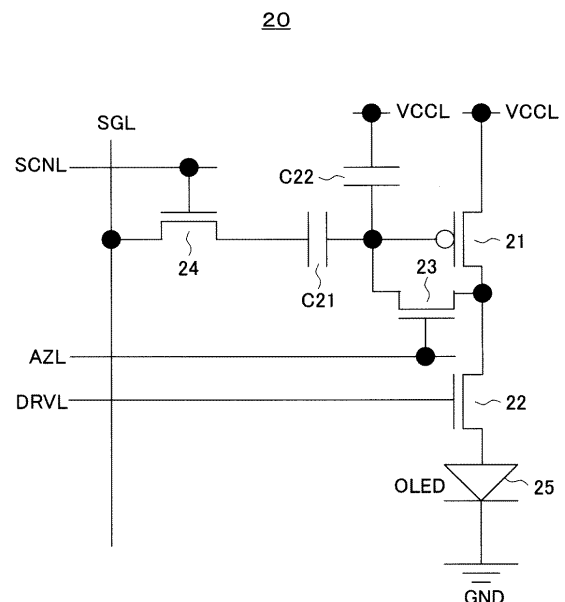
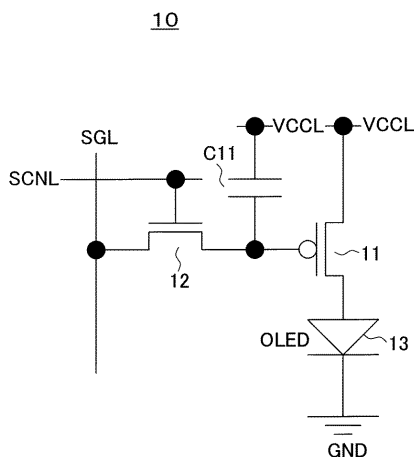
【 0 1 3 2 】

1 0 0 , 1 0 0 A ~ 1 0 0 E ... アクティブマトリクス型有機 E L ディスプレイ（表示装置）、1 0 1 , 1 0 1 A , 1 0 1 B ... 画素回路、1 0 2 , 1 0 2 A , 1 0 2 B ... 画素アレイ部、1 0 3 , 1 0 3 - 1 , 1 0 3 - 2 ... データドライバ（D D R V）、1 0 4 , 1 0 4 - 1 , 1 0 4 - 2 ... スキャンドライバ（S D R V）、1 0 5 ... イレージドライバ（E D R V）、1 0 6 ... 電流ドライバ（I D R V）、1 0 7 ... コピードライバ、1 0 8 - 1 , 1 0 8 - 2 ... ラインメモリ、2 0 0 , 2 0 0 A ~ 2 0 0 E ... 表示パネル、1 1 1 , 1 1 2 , 1 1 4 ... T F T、1 2 0 ... カレントコピー回路、1 2 1 ~ 1 2 3 ... T F T、C 1 2 1 ... キャパシタ、N D 1 1 1、N D 1 2 1 , N D 1 2 2 ... ノード、V C C L ... 電源電位線。

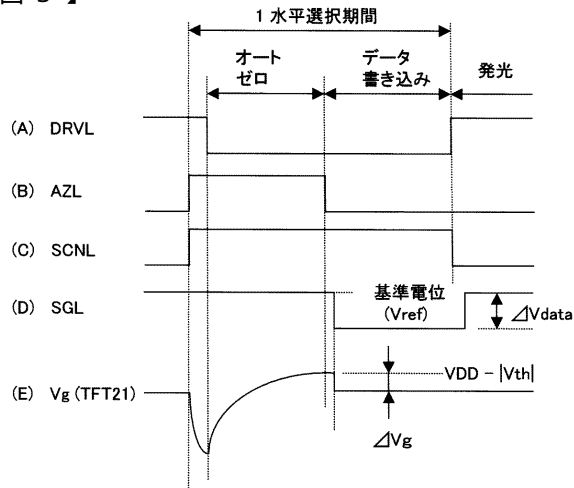
20

【図 1】

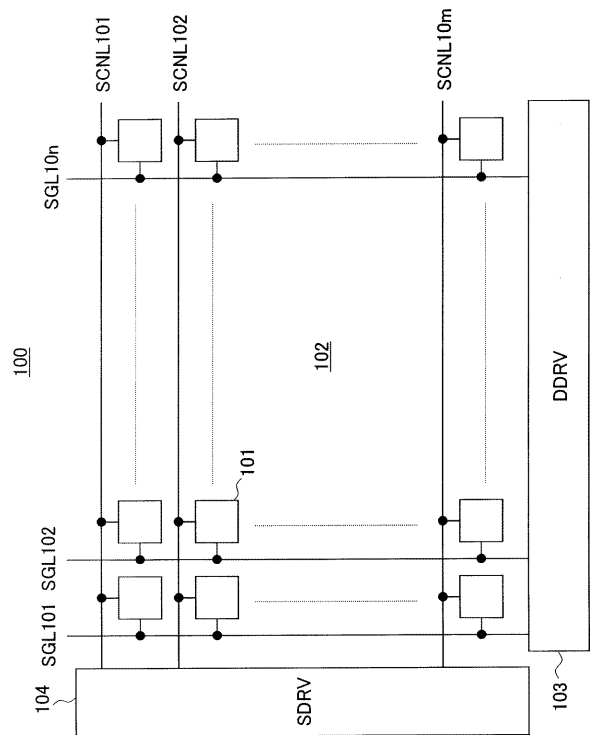
【図 2】



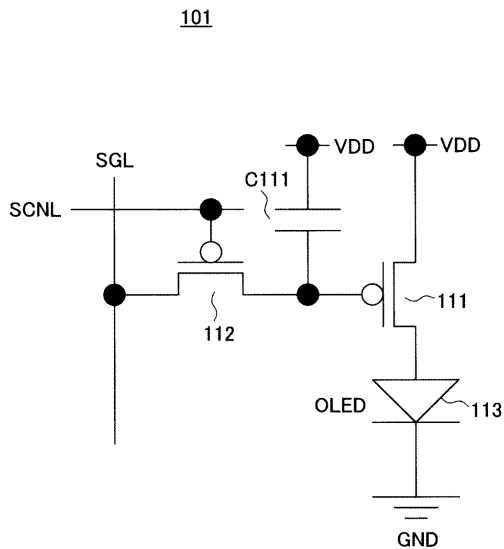
【 図 3 】



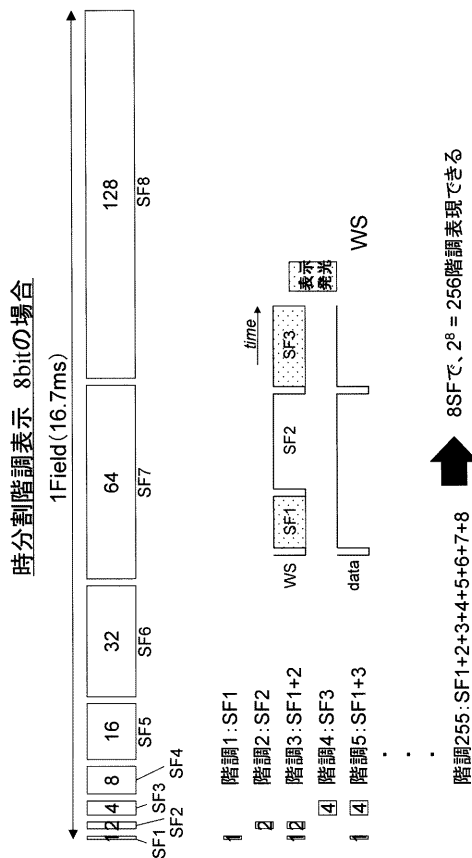
【 図 4 】



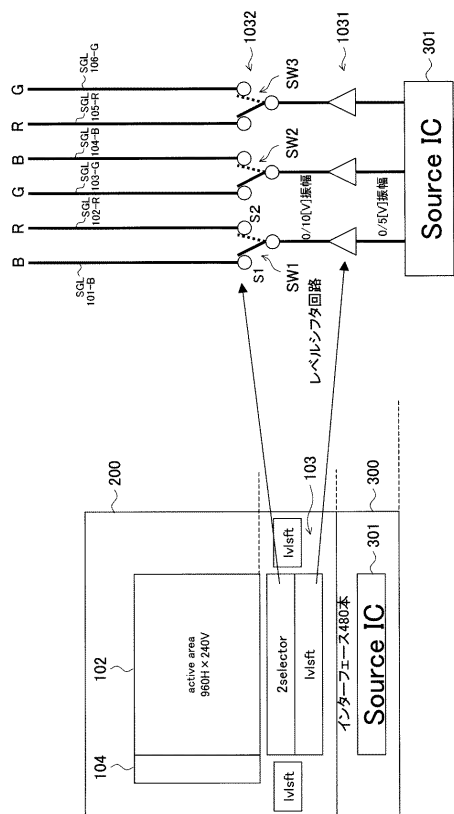
【 図 5 】



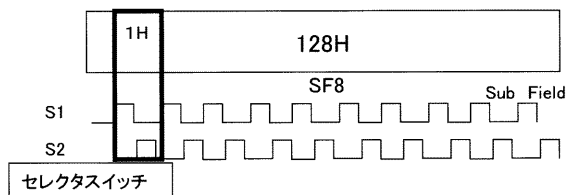
【 図 6 】



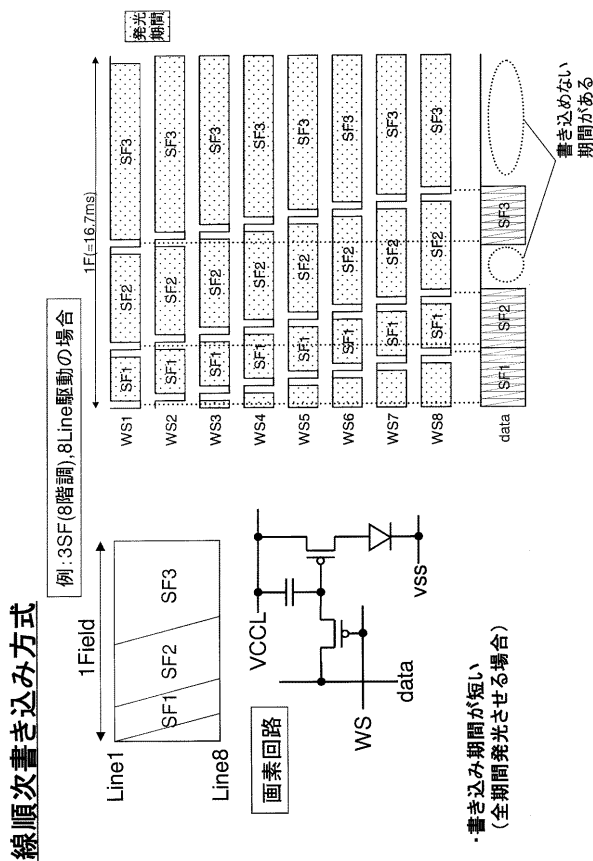
【 図 7 】



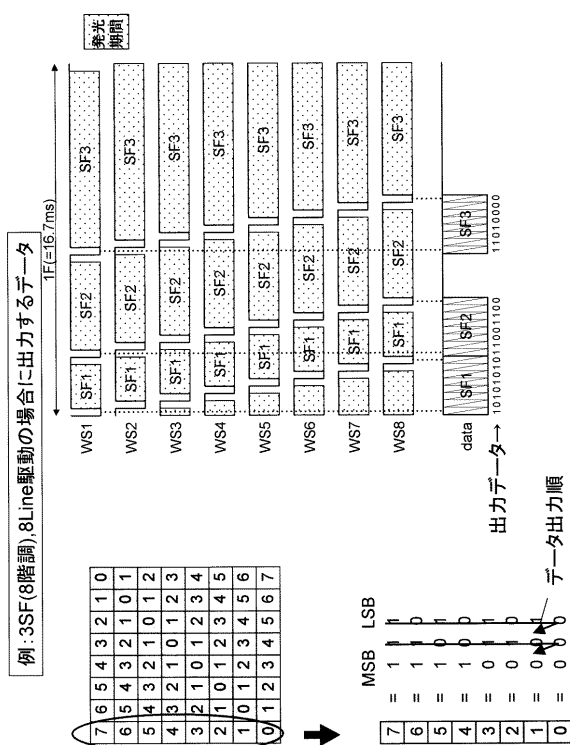
【 図 8 】



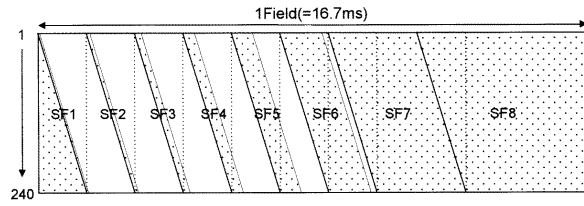
【 図 9 】



【 図 1 0 】

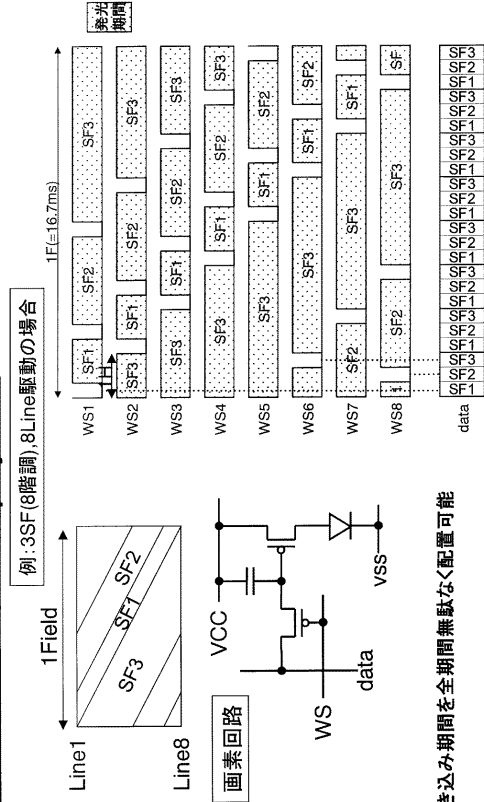


【図 1 1】



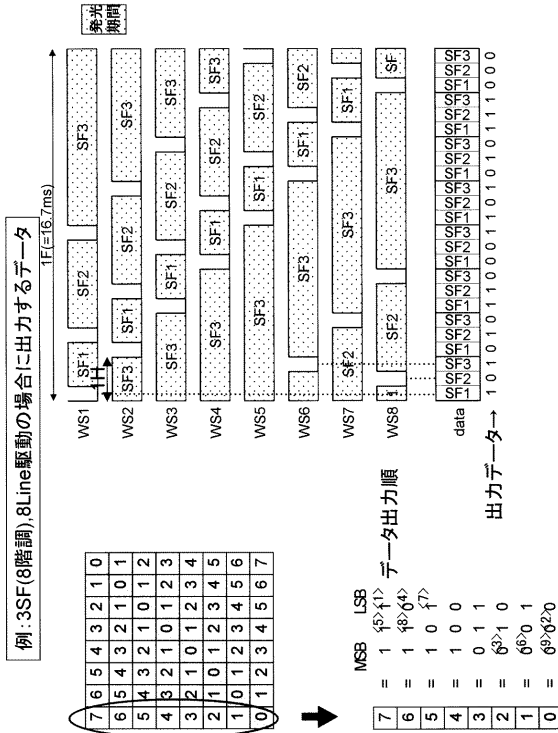
【図 1 2】

AWD (Address While Display) 方式

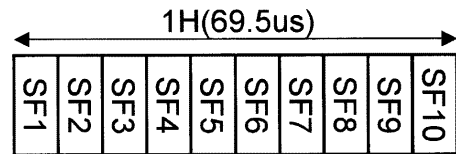


【図 1 3】

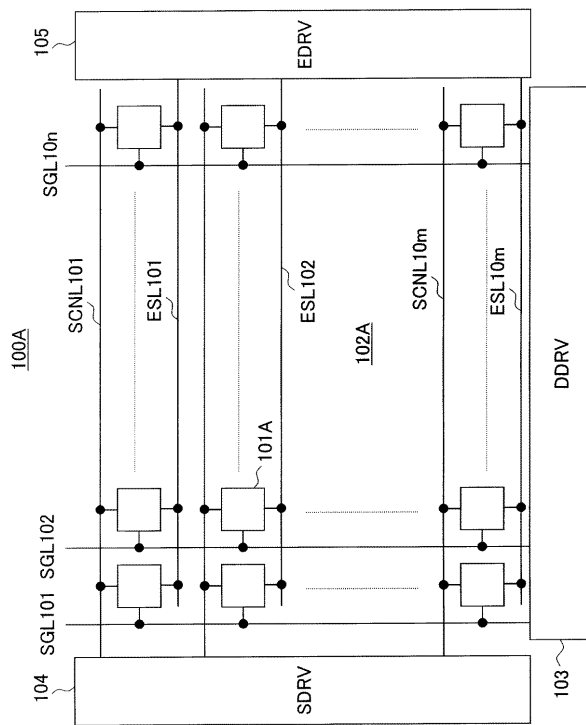
AWD (Address While Display) 方式の出力データ



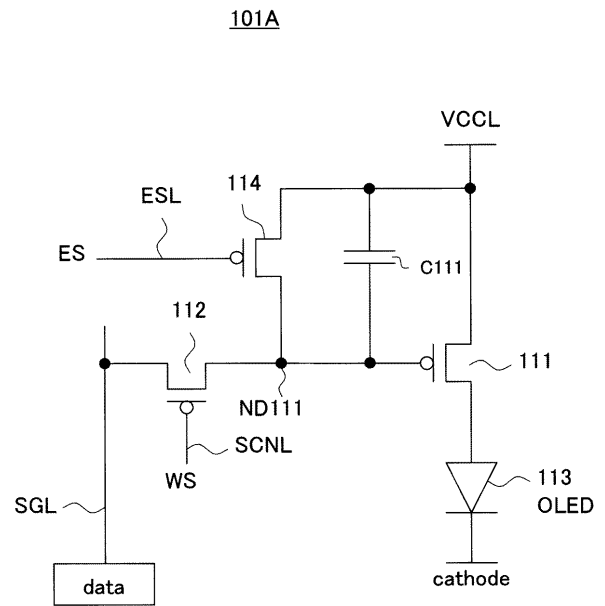
【図 1 4】



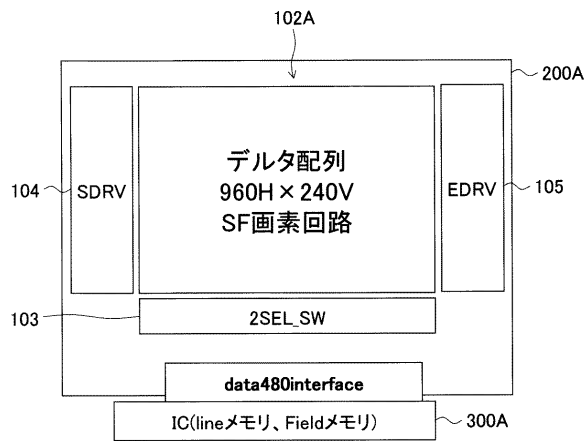
【図 15】



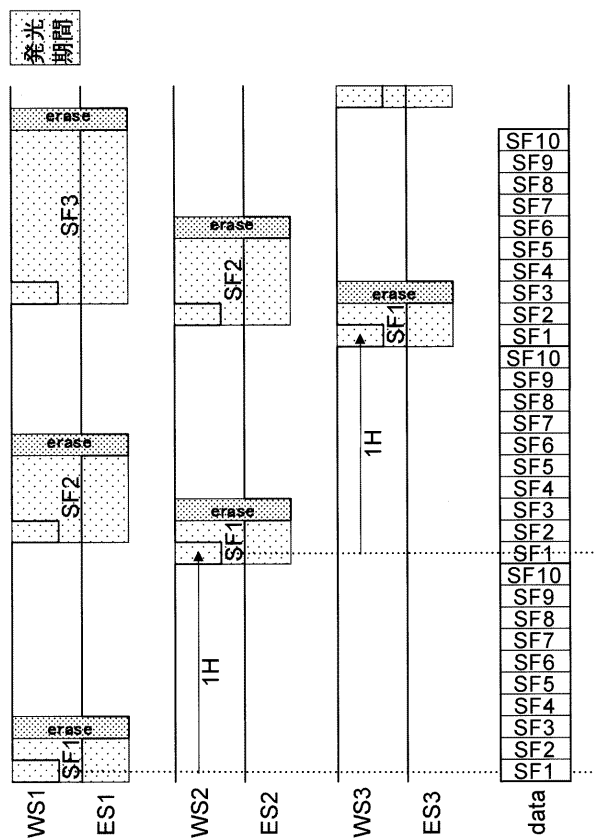
【図 16】



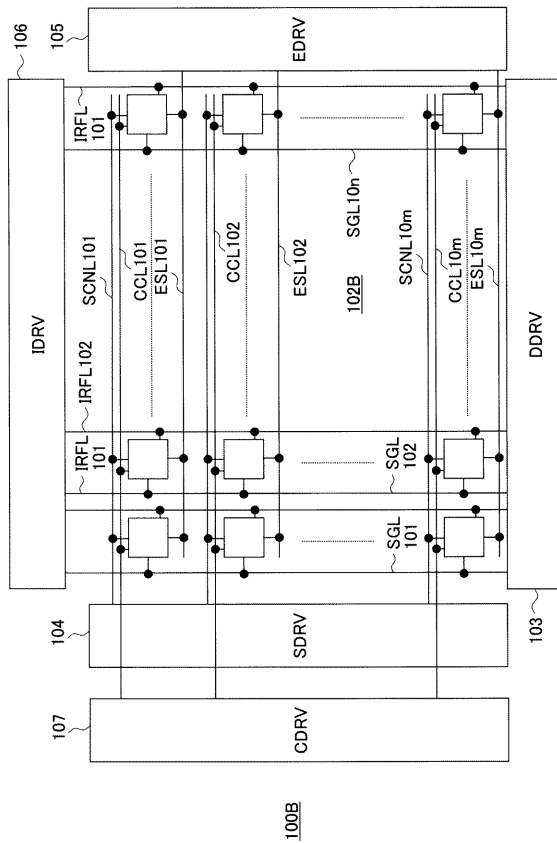
【図 17】



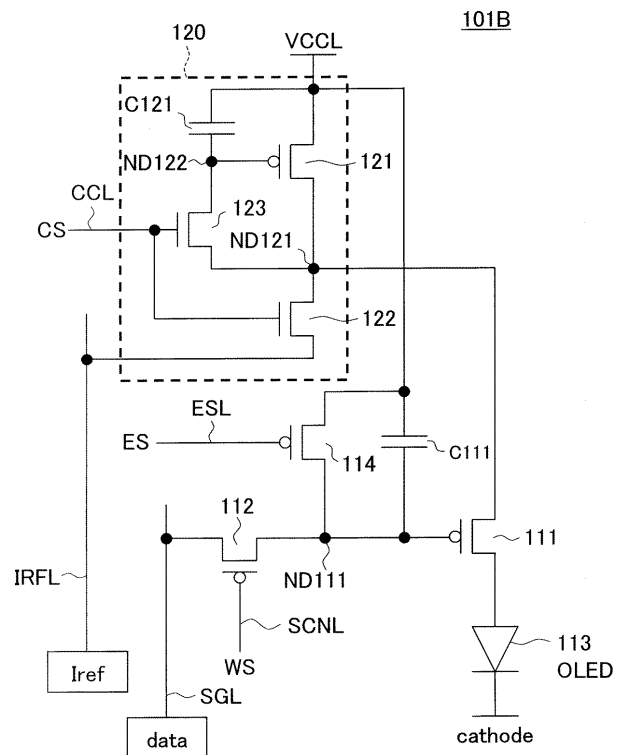
【図 18】



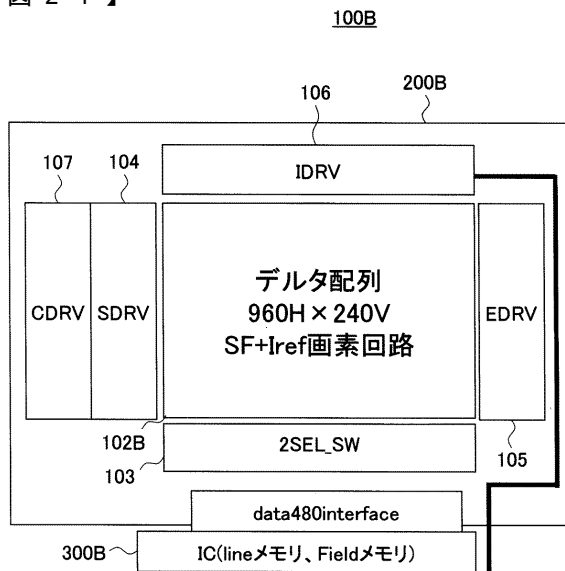
【 図 1 9 】



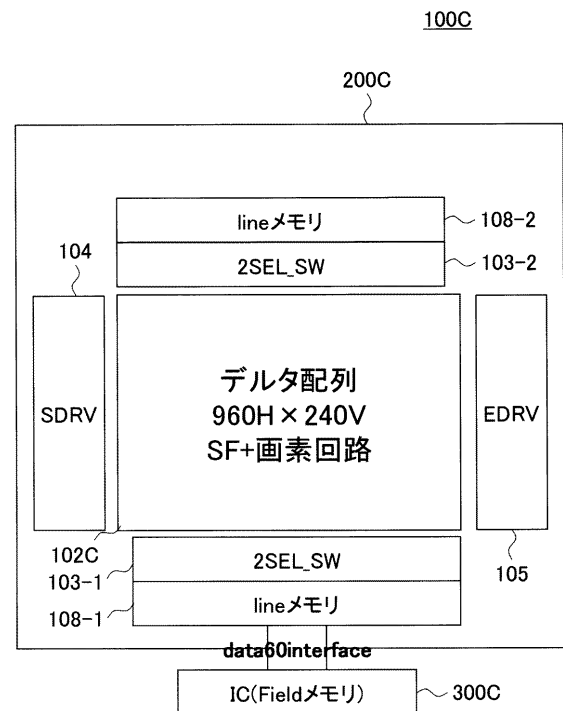
【 図 2 0 】



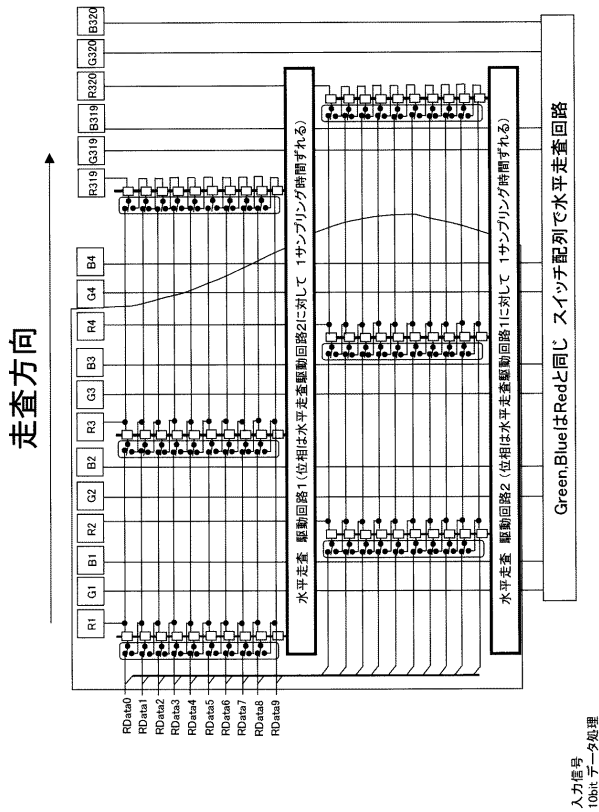
【 図 2 1 】



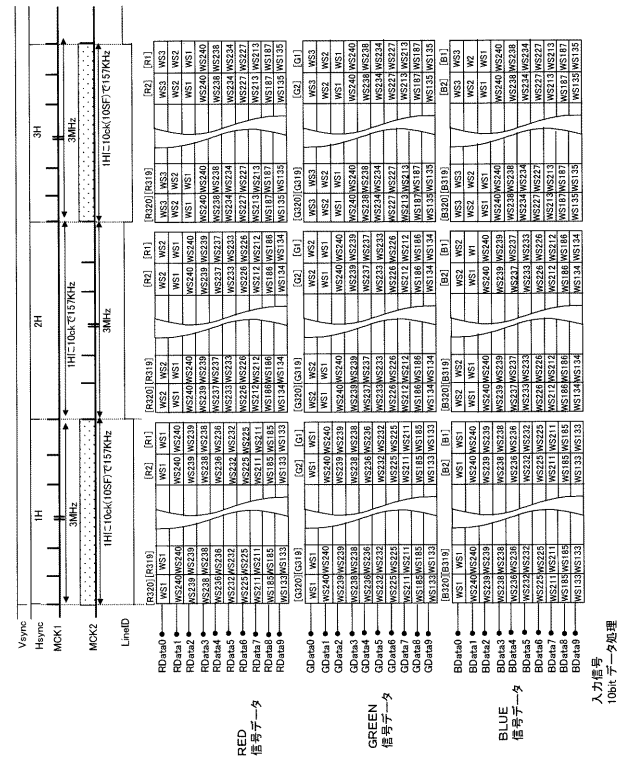
【 図 2 2 】



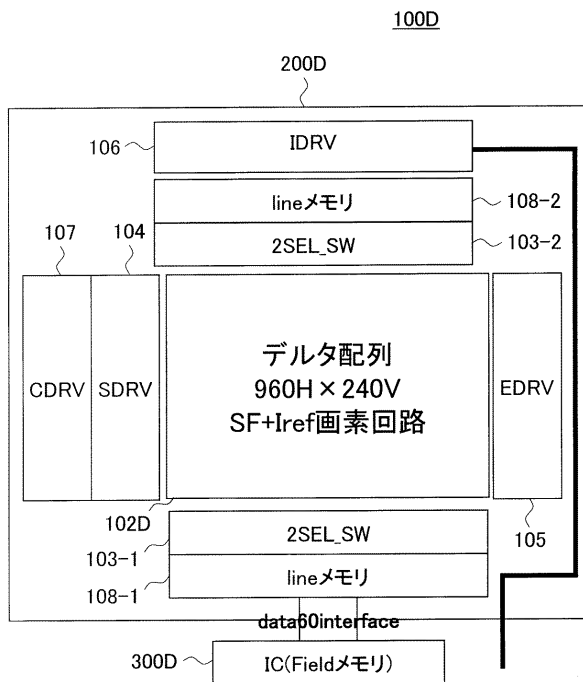
【図 23】



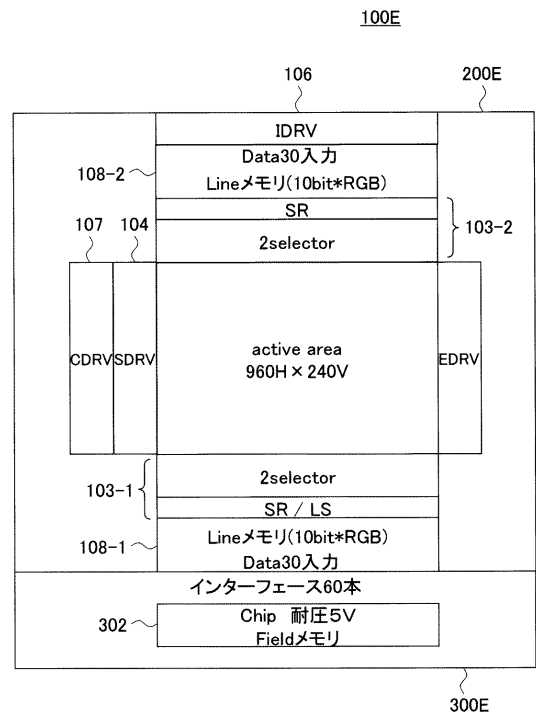
【図 24】



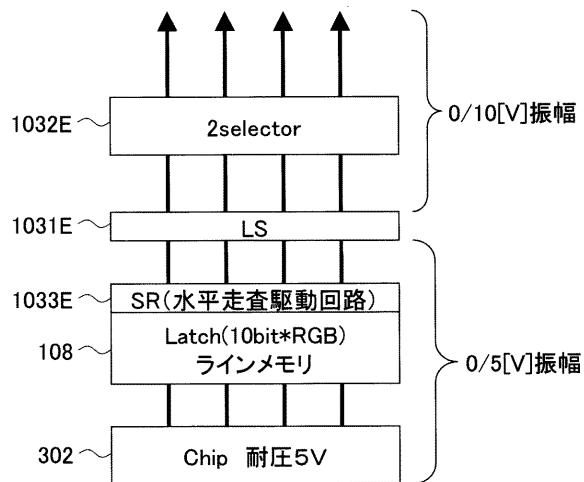
【図 25】



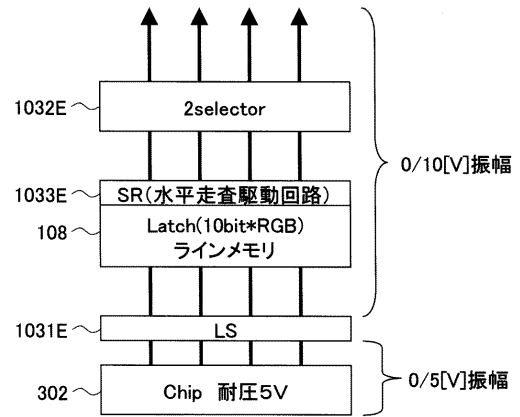
【図 26】



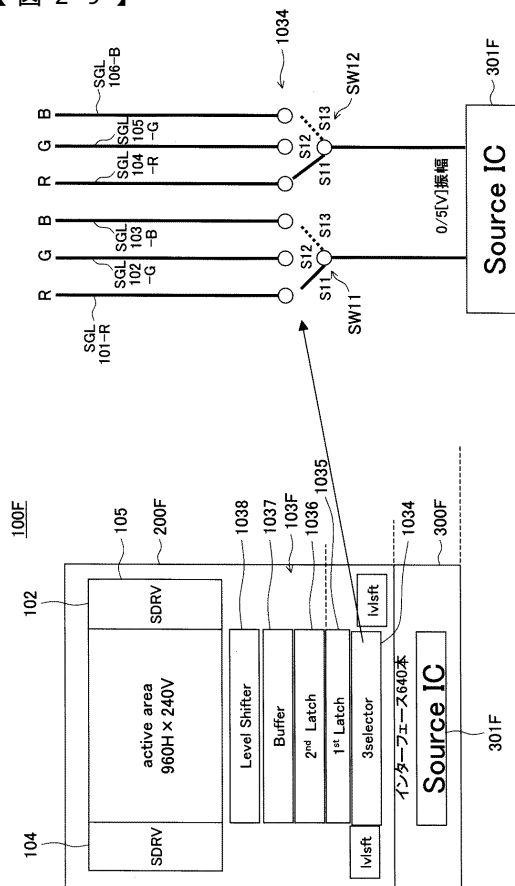
【図 27】



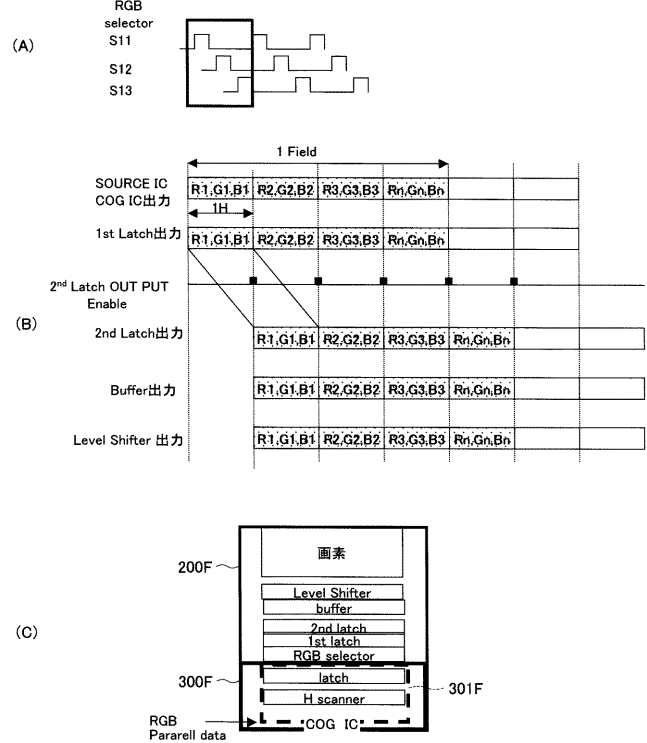
【図 28】



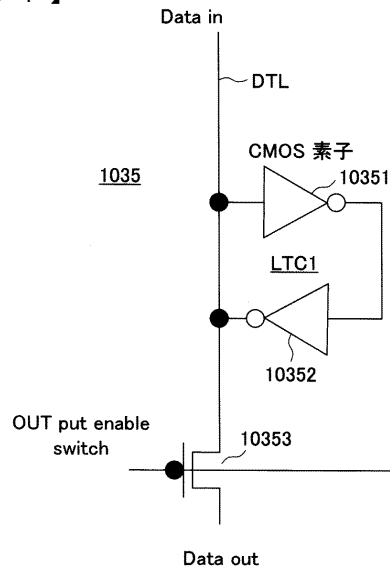
【図 29】



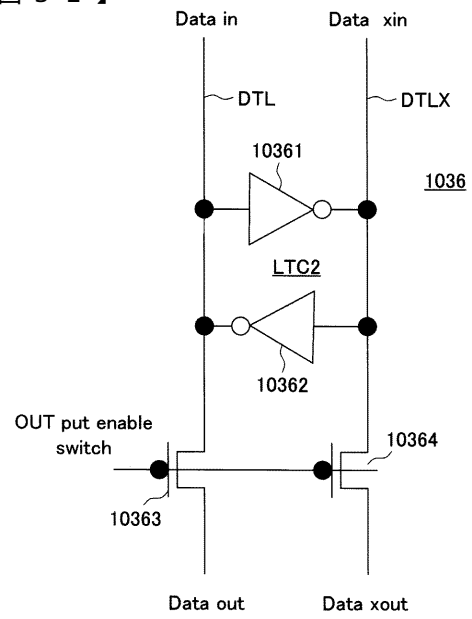
【図 30】



【図 3 1】



【図 3 2】



フロントページの続き

(51) Int.Cl.

F I

テーマコード (参考)

G 0 9 G	3/20	6 4 1 E
G 0 9 G	3/20	6 2 3 R
G 0 9 G	3/20	6 2 3 G
G 0 9 G	3/20	6 4 2 A
H 0 5 B	33/14	A

专利名称(译)	表示装置		
公开(公告)号	JP2007333913A	公开(公告)日	2007-12-27
申请号	JP2006164219	申请日	2006-06-14
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	猪野益充		
发明人	猪野 益充		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/30.K G09G3/20.623.B G09G3/20.622.B G09G3/20.624.B G09G3/20.641.E G09G3/20.623.R G09G3/20.623.G G09G3/20.642.A H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH04 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AB06 5C380/AB23 5C380/AB24 5C380/AB34 5C380/BA01 5C380/BA05 5C380/BA06 5C380/BA08 5C380/BA10 5C380/BA12 5C380/BA17 5C380/BA19 5C380/BA23 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB21 5C380/BC20 5C380/BD02 5C380/BD09 5C380/CA04 5C380/CA05 5C380/CA08 5C380/CA14 5C380/CA16 5C380/CA17 5C380/CA44 5C380/CA48 5C380/CA49 5C380/CA54 5C380/CA57 5C380/CB01 5C380/CB04 5C380/CB16 5C380/CB17 5C380/CB26 5C380/CB27 5C380/CB31 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC21 5C380/CC26 5C380/CC27 5C380/CC29 5C380/CC33 5C380/CC38 5C380/CC39 5C380/CC41 5C380/CC52 5C380/CC62 5C380/CC63 5C380/CC64 5C380/CD012 5C380/CD013 5C380/CD024 5C380/CD026 5C380/CE04 5C380/CE20 5C380/CF02 5C380/CF03 5C380/CF07 5C380/CF09 5C380/CF13 5C380/CF22 5C380/CF23 5C380/CF24 5C380/CF26 5C380/CF52 5C380/CF53 5C380/DA02 5C380/DA09 5C380/DA47 5C380/EA16		
代理人(译)	佐藤隆久		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够防止高亮度状态下的亮度变化并且不会损害低亮度状态下的信号写入响应性的显示装置。解决方案：有源矩阵型有机EL显示器100F不通过布置在作为第一驱动器的数据驱动器103处的选择器开关直接写入信号线，而是写入时分数据，然后将它们写入行存储器（第二锁存器）下一阶段，并以线序式输出数据。Ž

