

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第4182086号
(P4182086)

(45) 発行日 平成20年11月19日 (2008. 11. 19)

(24) 登録日 平成20年9月5日 (2008. 9. 5)

(51) Int. Cl. F I

G O 9 G 3 / 3 0 (2 0 0 6 . 0 1)
G O 9 G 3 / 2 0 (2 0 0 6 . 0 1)
H O 1 L 5 1 / 5 0 (2 0 0 6 . 0 1)

G O 9 G 3 / 3 0 J
G O 9 G 3 / 2 0 6 1 1 H
G O 9 G 3 / 2 0 6 2 4 B
G O 9 G 3 / 2 0 6 4 1 D
G O 9 G 3 / 2 0 6 4 2 C

請求項の数 5 (全 14 頁) 最終頁に続く

(21) 出願番号	特願2005-177960 (P2005-177960)	(73) 特許権者	000001007
(22) 出願日	平成17年6月17日 (2005. 6. 17)		キヤノン株式会社
(65) 公開番号	特開2006-39521 (P2006-39521A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成18年2月9日 (2006. 2. 9)	(74) 代理人	100090538
審査請求日	平成17年6月28日 (2005. 6. 28)		弁理士 西山 恵三
(31) 優先権主張番号	特願2004-186483 (P2004-186483)	(74) 代理人	100096965
(32) 優先日	平成16年6月24日 (2004. 6. 24)		弁理士 内尾 裕一
(33) 優先権主張国	日本国 (JP)	(72) 発明者	川崎 素明
			東京都大田区下丸子3丁目30番2号キヤ ノン株式会社内
		審査官	橋本 直明
			最終頁に続く

(54) 【発明の名称】 アクティブマトリクス型表示装置及び負荷の駆動装置

(57) 【特許請求の範囲】

【請求項 1】

アクティブマトリクス型表示装置であって、
マトリクス状に配された複数の画素回路と、
該複数の画素回路を列方向に接続する信号線と、
該複数の画素回路を行方向に走査する行走査信号線と、
を有し、
前記画素回路は、
表示素子と、該表示素子に流れる電流を制御する P 型の駆動トランジスタと、
該駆動トランジスタの制御電極に設けられる容量と、
該駆動トランジスタの該制御電極と出力端子との間に電氣的に接続され、それぞれの制
御電極が前記行走査信号線と接続される複数の スイッチングトランジスタと、
を備えており、
前記複数のスイッチングトランジスタは、
駆動トランジスタの該制御電極に接続される P 型スイッチングトランジスタと、該 P 型
スイッチングトランジスタと前記信号線との間に配置される N 型スイッチングトランジス
タと、
を含んでいることを特徴とするアクティブマトリクス型表示装置。

【請求項 2】

前記 P 型スイッチングトランジスタがオンからオフに遷移する時刻の後に、前記 N 型ス

スイッチングトランジスタがオンからオフに遷移することを特徴とする請求1に記載のアクティブマトリクス型表示装置。

【請求項3】

前記N型スイッチングトランジスタの主電極の一方が電圧バッファの出力端子に接続され、前記電圧バッファの入力端子が信号線に接続されていることを特徴とする請求項1乃至2のいずれか1項に記載のアクティブマトリクス型表示装置。

【請求項4】

前記N型スイッチングトランジスタの主電極の一方がソースホロワ回路の出力端子に接続され、前記ソースホロワ回路の入力端子が信号線に接続されていることを特徴とする請求項1乃至2のいずれか1項に記載のアクティブマトリクス型表示装置。

10

【請求項5】

前記N型スイッチングトランジスタの主電極の一方が帰還型オペアンプの出力端子に接続され、前記帰還型オペアンプの入力端子が信号線に接続されていることを特徴とする請求項1乃至2のいずれか1項に記載のアクティブマトリクス型表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、テレビ受像機、コンピュータや携帯電話やデジタルカメラやデジタルビデオカメラなどのモニター、電子写真プリンタ用の露光装置、ホトリソグラフィ用の露光光源他に用いられるアクティブマトリクス型表示装置及び負荷の駆動装置に係わり、特に電

20

【背景技術】

【0002】

アクティブマトリクス電界発光表示装置 (active matrix electroluminescent display device) としては、例えば、特許文献1に示す装置がある。図12は従来の画素回路の回路図である。

【0003】

図12に示す回路動作は、スイッチ(トランジスタ)37、32を閉じ、スイッチ(トランジスタ)33を開いて能動素子としての電界発光素子20の発光に必要な素子電流に対応する入力信号I_{in}を入力する。定常状態におけるキャパシタンス38の両端電圧が駆動トランジスタ30のチャネルを流れる電流を駆動するのに必要なゲートソース電圧になる。そして、スイッチ37、32を開くと入力信号I_{in}に従って決定されるゲートソース電圧がキャパシタンス38に保持される。

30

【0004】

次にスイッチ33を閉じると、保持された電圧レベルに応じた駆動電流が駆動トランジスタ30を介して電界発光素子20に流れ発光する。34は電界発光素子20のアノード側の電圧(V₂)を設定する電源線34、31はトランジスタのソース側の電圧(V₁)を設定する電源線31である。

【0005】

上記特許文献1には、トランジスタ32、37、30としてn型のMOSトランジスタ、トランジスタ33としてp型のMOSトランジスタを用いることの記載がある。

40

【0006】

また、駆動トランジスタとしてp型のMOSトランジスタを用い、その駆動トランジスタのゲートドレイン間を短絡するためのスイッチングトランジスタとしてp型のMOSトランジスタを用いた画素回路も知られている。(特許文献2参照)

【特許文献1】特表2002-517806号公報

【特許文献2】国際公開番号WO01/91094号公報

【発明の開示】

【発明が解決しようとする課題】

50

【0007】

アクティブマトリクス型表示装置及び負荷としての能動素子の駆動装置では、暗時の駆動電流をゼロとし、不要なリーク電流による駆動電流の変動を防止するという2つの観点で、未だ改善の余地があった。

【課題を解決するための手段】

【0008】

本発明の目的は、暗時の駆動電流を抑制し、不要なリーク電流を抑制できるアクティブマトリクス型表示装置及び負荷の駆動装置を提供することにある。

【0009】

本発明の別の目的はスイッチングに伴う保持電圧の変動による暗時の輝度を低下させることができ、且つ不要なリーク電流による輝度の変動を抑制することができるアクティブマトリクス型表示装置及び負荷の駆動装置を提供することにある。

10

【0010】

本願第1発明は、アクティブマトリクス型表示装置であって、マトリクス状に配された複数の画素回路を有し、

前記画素回路が、

表示素子と、

該表示素子に流れる電流を制御する第1導電型の駆動トランジスタと、

該駆動トランジスタの制御電極に設けられる容量と、

該駆動トランジスタの該制御電極に接続され、該容量に駆動制御信号を保持させるためのスイッチと、
を備えており、

20

前記スイッチが、一方の主電極同士が接続されて直列接続された第1導電型のスイッチングトランジスタと第2導電型のスイッチングトランジスタとを含み、

前記第1導電型のスイッチングトランジスタ及び前記第2導電型のスイッチングトランジスタの他方の主電極のうちの片方が前記駆動トランジスタの前記制御電極に接続されていることを特徴とする。

【0011】

本願第2発明は、負荷素子の駆動装置であって、

該負荷に流れる電流を制御するための第1導電型の駆動トランジスタと、

該駆動トランジスタの制御電極に設けられる容量と、

該駆動トランジスタの該制御電極に接続され、該容量に駆動制御信号を保持させるためのスイッチと、
を備えており、

30

前記スイッチが、一方の主電極同士が接続されて直列接続された第1導電型のスイッチングトランジスタと第2導電型のスイッチングトランジスタとを含み、

前記第1導電型のスイッチングトランジスタ及び前記第2導電型のスイッチングトランジスタの他方の主電極のうちの片方が前記駆動トランジスタの前記制御電極に接続されていることを特徴とする。

【0012】

40

ここで、後で図1を参照して詳述するように、前記第1導電型のスイッチングトランジスタM2a及び前記第2導電型のスイッチングトランジスタM2bの他方の主電極のうちのもう片方が前記駆動トランジスタM1の一方の主電極（ドレイン）に接続されており、

前記第1導電型のスイッチングトランジスタ及び前記第2導電型のスイッチングトランジスタを共にオンすることにより、前記駆動トランジスタの前記制御電極（ゲート）と前記一方の主電極（ドレイン）とを短絡するように構成されていることも好ましいものである。

【0013】

また、前記第1導電型のスイッチングトランジスタの他方の主電極が前記駆動トランジスタの制御電極に接続されていることも好ましいものである。

50

【0014】

更に、前記駆動トランジスタの前記一方の主電極（ドレイン）と信号線（I d a t a、d（x，y））との間に第2導電型の行選択用スイッチングトランジスタM3が設けられ、

前記表示素子（E L）に流れる電流の経路に第1導電型の発光選択用スイッチングトランジスタM4が設けられ、

前記第2導電型のスイッチングトランジスタM2bの制御電極と、前記行選択用スイッチングトランジスタM3の制御電極と、前記発光選択用スイッチングトランジスタM4の制御電極とが、共通に第2の走査信号線に接続されていることも好ましいものである。

【0015】

10

そして、図2に示すように、前記第1導電型のスイッチングトランジスタがオンからオフに遷移する時刻（P2がローレベルからハイレベルに遷移するタイミング）の後に、前記第2導電型のスイッチングトランジスタがオンからオフに遷移する（P2がハイレベルからローレベルに遷移する）ことも好ましいものである。

【0016】

或いは、図9を参照して後述するように、前記第2導電型のスイッチングトランジスタの他方の主電極が前記駆動トランジスタの一方の主電極に接続されていることも好ましいものである。

【0017】

図9の場合も、前記駆動トランジスタの前記一方の主電極と信号線との間に第2導電型の行選択用スイッチングトランジスタが設けられ、

20

前記表示素子に流れる電流の経路に第1導電型の発光選択用スイッチングトランジスタが設けられ、

前記第2導電型のスイッチングトランジスタの制御電極と、前記行選択用スイッチングトランジスタの制御電極と、前記発光選択用スイッチングトランジスタの制御電極とが、共通に第2の走査信号線に接続されていることが好ましいものである。

【0018】

図10、11を参照して後述するように、前記第1導電型のスイッチングトランジスタ及び前記第2導電型のスイッチングトランジスタの他方の主電極のうちのもう片方が電圧バッファXの出力端子に接続され、

30

前記電圧バッファの入力端子が信号線（I d a t a、d（x，y））に接続されていることも好ましいものである。

【0019】

そして、図10に示すように、前記第1導電型のスイッチングトランジスタ及び前記第2導電型のスイッチングトランジスタの他方の主電極のうちのもう片方がソースホロワ回路の出力端子に接続され、前記ソースホロワ回路の入力端子が信号線に接続されていることも好ましいものである。

【0020】

また、図11に示すように、前記第1導電型のスイッチングトランジスタ及び前記第2導電型のスイッチングトランジスタの他方の主電極のうちのもう片方が帰還型オペアンプの出力端子に接続され、前記帰還型オペアンプの入力端子が信号線に接続されていることも好ましいものである。

40

【0021】

そして、本願発明においては、第1導電型の駆動トランジスタと前記第1導電型のスイッチングトランジスタはPチャンネル型の薄膜トランジスタであり、前記第2導電型のスイッチングトランジスタはNチャンネル型の薄膜トランジスタであることも好ましいものである。

【発明の効果】

【0022】

本発明によれば、暗時の駆動電流を抑制し、不要なリーク電流を抑制できる。

50

【発明を実施するための最良の形態】

【0023】

本発明者は図6に示す画素回路において、駆動トランジスタとして低温ポリシリコンを用いたp型のMOSトランジスタを採用し、その駆動トランジスタのゲートドレイン間を短絡するためのスイッチングトランジスタとして低温ポリシリコンを用いたn型のMOSトランジスタを採用して画素回路を作製した。この場合にはスイッチングに伴うゲートソース間保持電圧の低下により黒表示時に十分な暗さが達成されなかった。これは、表示装置や露光装置や露光光源に用いた場合、コントラストの低下をもたらすことになる。

【0024】

また、駆動トランジスタとして低温ポリシリコンを用いたp型のMOSトランジスタを採用し、その駆動トランジスタのゲートドレイン間を短絡するためのスイッチングトランジスタとして低温ポリシリコンを用いたp型のMOSトランジスタを採用して画素回路を作製した。この場合には、黒表示時に十分な暗さが得られたが、スイッチングトランジスタを介したリーク電流が生じることを見出した。

【0025】

以下、このような課題を解決するための好適な実施形態について、図面を参照して詳述する。

【0026】

本発明の好適な実施形態によれば、スイッチングに伴う保持電圧の変動によるコントラストの低下抑制とリーク電流の発生抑制を行うことができる。

【0027】

(第1の実施形態)

図1は本発明の第1の実施形態に係わる画素回路の一構成例を示す図である。図2は図1の画素回路の動作を説明するためのタイミングチャートである。

【0028】

図3は本発明に係わるアクティブマトリクス電界発光表示装置の構成を示す構成図である。

【0029】

図3において、1はマトリクス状に配された画素回路、2は列方向に配された画素回路1に接続され、画素回路1に信号線d(x, y)を介して線順次データ線電流信号I dataを供給する信号線駆動回路としての電圧-電流変換回路、3は電圧-電流変換回路2に接続される列シフトレジスタ、4は行方向に配された画素回路1に接続され、画素回路1に行走査信号P1、行走査信号P2を出力する走査線駆動回路としての行シフトレジスタである。画素回路1の複数がマトリクス状に配されて画素部を構成する。

【0030】

図4は線順次データ線信号の発生動作を説明するためのタイミングチャートである。列シフトレジスタ3にはクロック信号Kが入力され、ビデオ(video)信号は電圧-電流変換回路2に入力され、列シフトレジスタ3からの信号SP(n-1)~SP(n+1)に基づいて各画素回路の列に線順次データ線電流信号I data(d(n-1)~d(n+1))を供給する。

【0031】

図5は後述する図1に示す画素回路の行走査信号の発生動作を説明するためのタイミングチャートである。行シフトレジスタ4にはクロック信号LKが入力され、行シフトレジスタ4から画素回路1の行に行走査信号P1(P1(m-1)~P1(m+1))、行走査信号P2(P2(m-1)~P2(m+1))が順次出力される。

【0032】

ここで、図6は本発明の実施形態に対する比較例の画素回路の構成を示す図である。図7は図6の画素回路の動作を説明するためのタイミングチャートである。図8は図6に示す画素回路の行走査信号の発生動作を説明するためのタイミングチャートである。

【0033】

図6の比較例は図12に示した画素回路と電流信号I dataのプログラミング動作についての基本構成は同じであり、図12のスイッチ32はnMOSトランジスタM2、スイッチ37はnMOSトランジスタM3、スイッチ30はpMOSトランジスタM1に対応するものとみなすことができる。

【0034】

まず、本実施形態の説明に先立って、本発明の構成についての理解を容易にするために、比較例について説明する。

【0035】

今、x列y行の画素を黒表示にする場合におけるx列y行の図6に示す画素回路の動作を考えると、図7において、行走査信号P1がハイレベルとなると、第1のプログラム（行選択）用スイッチとなるnMOSトランジスタM3がオン、発光選択用スイッチとなるpMOSトランジスタM4がオフする。また行走査信号P2がハイレベルになると、第2のプログラム用スイッチとなるnMOSトランジスタM2がオンする。そして、駆動トランジスタとなるpMOSトランジスタM1のゲートに接続されている容量C1の電圧は、能動素子としての電界発光素子ELを駆動する電流がpMOSトランジスタM1を介して流れるに十分なゲートソース電圧に設定される。次に、行走査信号P2がロウレベルになると、第2のプログラム用スイッチとなるnMOSトランジスタM2がオフし、容量C1の電圧が保持される。これまでの期間をプログラミング期間とよぶ。

【0036】

その後、行走査信号P1がロウレベルになると、第1のプログラム（行選択）用スイッチとなるnMOSトランジスタM3がオフ、発光選択用スイッチとなるpMOSトランジスタM4がオンする。駆動用トランジスタM1のゲート電位により電界発光素子ELへの駆動電流の供給が制御され、電界発光素子ELに流れる電流が制御される。電界発光素子ELが発光（黒表示データの場合は非発光）している期間を発光期間とよぶ。

【0037】

ここで、図6の画素回路では、容量C1の電圧を安定して保持するために、第2のプログラム用スイッチとなるトランジスタはリーク電流の少ないnMOSトランジスタを用いている。リーク電流が大きいと発光期間における駆動電流が変動することになるからである。

【0038】

しかしながら、図7に示すようにプログラミング期間でnMOSトランジスタM2のゲートがハイレベルからロウレベルに切り替わると、nMOSトランジスタM2のゲートドレイン間の寄生容量により容量C1の電位が振られて保持されるべき電圧Vd(x, y)がVM分低下し、それにより駆動トランジスタM1を流れる電流がIM分増加することになる。かかる場合、発光期間においてx列y行の画素が黒表示の場合においてもゲート電位（保持電圧）の低下のためにpMOSトランジスタM4に小電流が流れる。すると、黒表示であるにも係わらず、微小発光が観察される。つまり、最も暗い状態を呈することが正常にできず、コントラスト確保が困難になる。

【0039】

本実施形態では、図1に示すように、容量C1（駆動用トランジスタM1のゲート）と駆動用トランジスタM1のゲートのドレインとの間に接続される第2のプログラム用スイッチを、直列接続されたpMOSトランジスタM2aとnMOSトランジスタM2bとで構成した。すなわち、図1の画素回路の構成と図6の比較例の構成との違いは、図6のnMOSトランジスタM2が、直列接続された2つの互いに導電型の異なる2つのスイッチングトランジスタ（pMOSトランジスタM2aとnMOSトランジスタM2b）とに置き換えられている点である。

【0040】

容量C1に電圧を保持する場合には、プログラミング期間でpMOSトランジスタM2aのゲートはロウレベルからハイレベルとなるので、図7に示す電位変化と逆に、ゲートドレイン間の寄生容量により容量C1の電位が振られて保持されるべき電圧Vd(x,

10

20

30

40

50

y) がVL分上昇し、それにより駆動トランジスタM1を流れる電流がIL分低下することになる。よって、黒表示のときに流れる画素電流をなくす又は減少させることができる。

【0041】

黒表示において、線順次データ線電流信号は電流ゼロが好ましいが実際には回路構成上電流ゼロにすることは困難である。線順次データ線電流信号の電流がゼロにならないと、画素電流Idをゼロにすることはできない。図6の構成ではnMOSトランジスタM2をオフするときに容量C1による保持電圧が振られて低下するので、さらに画素電流Idが上昇し、画素電流Idをゼロにすることはより一層困難になる。

【0042】

第2のプログラム用スイッチの一つを本実施形態のように、pMOSトランジスタにすると、容量C1が振られる電位の方向は逆になるので、線順次データ線電流信号の電流がゼロにならなくとも、容量C1の電位上昇により黒表示のときの画素電流Idをゼロ又は十分小さくすることが可能である。

【0043】

一方、本実施形態で用いたpMOSトランジスタはnMOSトランジスタと比べてリーク電流が大きいのが、本実施形態のように、pMOSトランジスタと直列にnMOSトランジスタM2bを追加することでリーク電流が抑えられ、発光期間における保持電圧Vdの安定化を図ることができる。

【0044】

容量C1は個別に容量素子として形成してもよいが、素子として形成しなくとも、ゲートドレイン間に形成される寄生容量（ゲート電極とドレイン領域との重なり容量等）を用いてもよい。

【0045】

図13は、低温ポリシリコンを用いた電界効果型薄膜トランジスタとしての、pMOSトランジスタM2a及びnMOSトランジスタM2b部分の製造工程を示す図である。図14は図13の製造方法により作製されたEL表示素子の構成を示す断面図である。

【0046】

図13(a)に示すように、ガラス基板100上にプラズマCVD法を用いてアモルファスシリコン層を堆積した後、レーザー光等により熱処理（レーザーアニール）をしてポリシリコン層とし、パターニングを行って、pMOSトランジスタM2aとnMOSトランジスタM2b用のポリシリコン層を形成する。

【0047】

ここで、必要に応じて、すくなくともいずれか一方のポリシリコン層にソース・ドレインと反対導電型を呈するためのドーパント（リン又はボロン）のチャンネルドーピングを行って、閾値を調整してもよい。

【0048】

次に図13(b)に示すように、SiO、SiN等のゲート絶縁膜102を形成し、ポリシリコンを形成しパターニングしてゲート電極103を形成する。

【0049】

図13(c)に示すように、p型不純物（リン等）、n型不純物（ボロン等）をそれぞれイオン注入し熱拡散を行い、pMOSトランジスタM2aのソース、ドレイン領域105とnMOSトランジスタM2bのソース、ドレイン領域104を形成する。

【0050】

図13(d)に示すように、SiO、SiN等の絶縁膜を形成後、コンタクトホールを形成し、ソース、ドレイン電極及び配線となる金属層（メタル層）を積層し、パターニングする。その後、平坦化膜106を形成後、スルーホールを形成し、不図示のアノード電極を形成しパターニング後、蒸着やインクジェットのような液体吐出法等により電界発光層（EL層）107を形成し、ITO膜108を形成する。EL層はいわゆる有機LEDを構成する複数の層からなることが好ましく、更には、画素毎にEL層が分断され独

10

20

30

40

50

立していることが好ましいものである。

【0051】

図14に示すように、基板100をガラス容器109とガラス封止してEL表示素子を完成する。

【0052】

以上説明した実施形態では、pMOSトランジスタの方が桁違いにnMOSトランジスタより、リーク電流が大きいものが作製された。しかしながら、製造プロセスによっては、逆にnMOSトランジスタのリーク電流がpMOSトランジスタのそれより、大きいトランジスタが出来ることもある。このような場合にも本発明は好適に用いられる。

【0053】

(参考例)

図9は本発明の参考例に係わる画素回路の一構成例を示す図である。画素回路を動作させる信号は図2に示すものと同じである。上記第1の実施形態では図1に示すように、pMOSトランジスタM2aをpMOSトランジスタM1のゲートに接続し、nMOSトランジスタM2bをpMOSトランジスタM1のドレインに接続したが、本参考例では図9に示すように、nMOSトランジスタM2bをpMOSトランジスタM1のゲートに接続し、pMOSトランジスタM2aをpMOSトランジスタM1のドレインに接続した。

【0054】

それ以外の構成は第1の実施形態と同様である。

このような接続形態の画素回路でも、オン状態のnMOSトランジスタM2bのフィードスルーによって、第1の実施形態と類似した作用効果を得ることができる。

【0055】

(第3の実施形態)

図1又は図9に示した画素回路を動作させるには線順次データ線電流信号によって容量C1及び配線の交差等による寄生容量を充電することが求められる。高コントラスト比を得るためには画素回路1は小電流での制御が求められるが、小電流で容量C1及び寄生容量の充電時間が長くなり、一水平走査期間での小電流設定動作が不十分になることがある。これは各行の画素回路1の電流駆動トランジスタM1の閾電圧バラツキ ΔV_{th} が大きいTFT回路ではさらに顕著な問題となる。一方、容量C1は映像信号Videoの1フレーム期間の電流駆動動作を保持しなければならないため容量値をあまり小さくできない。

【0056】

本実施形態では画素回路に入力する電流信号が小電流であっても、設定動作時間の短縮が可能な構成を提供するものである。本実施形態のように、画素回路に電圧バッファを付加する構成は例えば特開2004-118181号公報に開示されている。電圧バッファとしてはソースホロワ回路や帰還型オペアンプを用いることができる。以下に述べるこれらの回路は、駆動トランジスタ又は能動素子に流れる電流を検知して、その結果に基づいた電圧信号を、駆動トランジスタの制御電極であるゲートに入力する帰還型回路とみなすこともできる。これにより、駆動トランジスタの閾値電圧や増幅特性の、駆動トランジスタ毎のばらつきによる能動素子駆動電流のばらつきを補償することができる。

【0057】

図10は本発明の第3の実施形態に係わる画素回路及び電圧バッファ回路の一構成例を示す図である。

【0058】

本実施形態では、画素回路列ごとに入力電圧によって出力電圧が決まる電圧バッファXを設けた。電圧バッファXはpMOSトランジスタと電流源とから構成されるソースホロワ回路からなる。電圧バッファXの出力端子側(pMOSトランジスタと電流源との接続点)はnMOSトランジスタM2bに接続され、入力端子側(pMOSトランジスタのゲート)は線順次データ線電流信号Idataの入力信号線に接続される。

【0059】

それ以外の構成は第1の実施形態と同様である。

【0060】

また、ソースホロワ回路に代えて、図11に示すように、電圧バッファとして帰還型オペアンプを用いてもよい。

【0061】

この場合も、図11に示した部分以外の構成は第1の実施形態と同様である。

【0062】

本実施形態によれば、電圧バッファの作用により、駆動トランジスタM1のドレインと同電位の電圧が容量C1に保持されることになり、画素回路にプログラミングされる電流信号Idataに対応した電流を能動素子ELに流すことができる。

10

【0063】

こうして、第1、第2の実施形態と同様に、駆動トランジスタの画素毎の特性ばらつきによる悪影響を抑制した駆動を行うことができる。

【0064】

以上説明した各実施形態では、駆動トランジスタM1としてpMOSトランジスタを用いた例を挙げたが、駆動トランジスタM1としてnMOSトランジスタを用いた場合には、能動素子や信号や電源の極性を逆にすればよい。具体的には、駆動用nMOSトランジスタのドレインを能動素子としてのLEDのカソード側に接続し、LEDのアノードを高電位電源に接続し、駆動用nMOSトランジスタのソースを低電位電源に接続すればよい。

20

【0065】

また、本発明の負荷として用いられる能動素子としては、無機LEDや有機LED（有機EL）や電子放出素子や半導体レーザーなどの各種放出素子を用いることができる。

【0066】

更に、本発明は、いわゆる低温ポリシリコンに代表される結晶粒界を含む結晶性半導体薄膜トランジスタに好適に用いられるが、本発明の回路構成は、アモルファスシリコンTFTや単結晶シリコンTFTや高温ポリシリコンTFTなどでも構成されうる。

【産業上の利用可能性】

【0067】

本発明は、とりわけ、能動素子として、電界発光素子（EL素子）等の電流駆動型発光素子を用いた、アクティブマトリクス型表示装置に用いられて好適である。

30

【図面の簡単な説明】

【0068】

【図1】本発明の第1の実施形態に係わる画素回路の一構成例を示す図である。

【図2】本発明の第1の実施形態に係わる画素回路の動作を説明するためのタイミングチャートである。

【図3】本発明に係わるアクティブマトリクス電界発光表示装置の構成を示す構成図である。

【図4】線順次データ線信号の発生動作を説明するためのタイミングチャートである。

【図5】図1に示す画素回路の行走査信号の発生動作を説明するためのタイミングチャートである。

40

【図6】本発明の第1の実施形態に係わる比較例の構成を示す図である。

【図7】図6の画素回路の動作を説明するためのタイミングチャートである。

【図8】図6に示す画素回路の行走査信号の発生動作を説明するためのタイミングチャートである。

【図9】本発明の第2の実施形態に係わる画素回路の一構成例を示す図である。

【図10】本発明の第3の実施形態に係わる画素回路及び電圧バッファ回路の一構成例を示す図である。

【図11】本発明の第3の実施形態に係わる画素回路及び電圧バッファ回路の変形例を示す図である。

50

【図 1 2】従来の画素回路の回路図である。

【図 1 3】本発明に用いられる pMOS トランジスタ M 2 a と nMOS トランジスタ M 2 b 部分の製造工程を示す図である。

【図 1 4】図 1 3 の製造方法により作製された E L 表示素子の構成を示す断面図である。

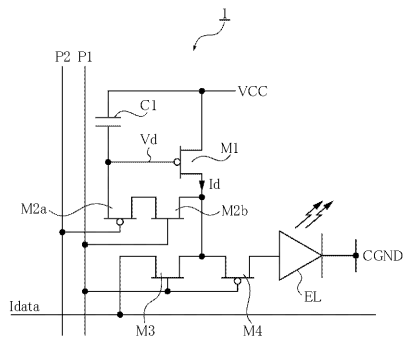
【符号の説明】

【 0 0 6 9 】

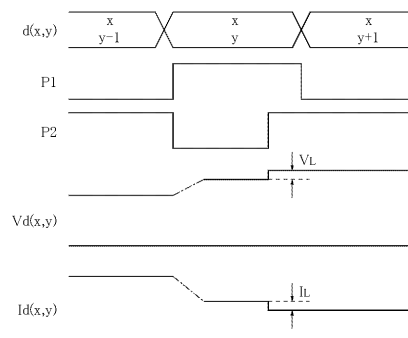
- 1 画素回路
- 2 信号線駆動回路
- 3 列シフトレジスタ
- 4 行シフトレジスタ
- M 1 駆動トランジスタ
- C 1 容量
- M 2 a、M 2 b スイッチ
- E L 負荷（表示素子）

10

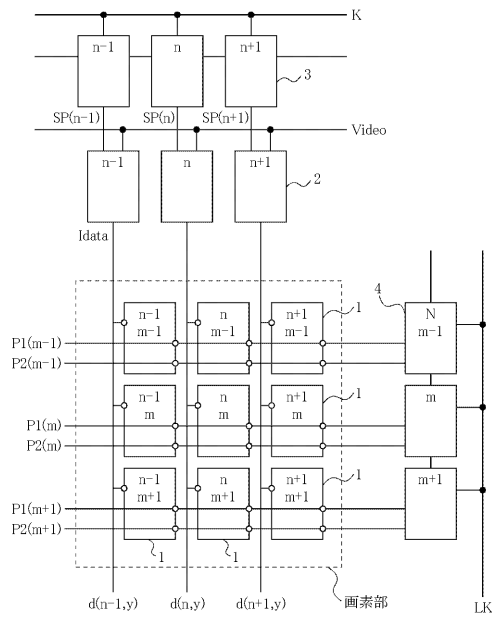
【図 1】



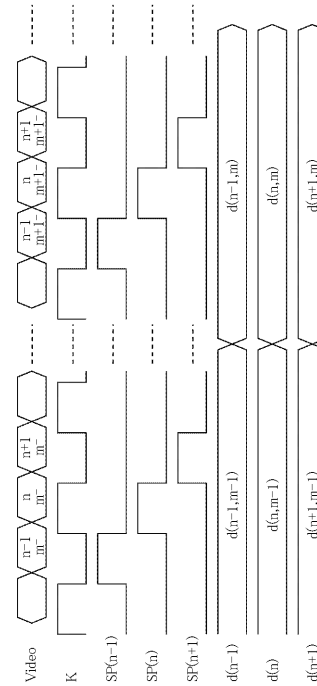
【図 2】



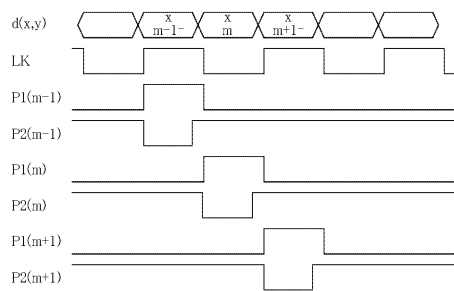
【図 3】



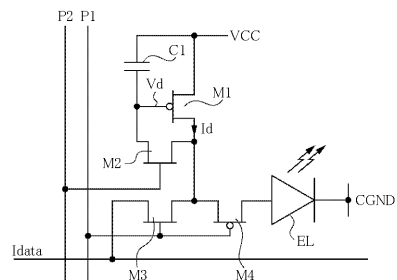
【図 4】



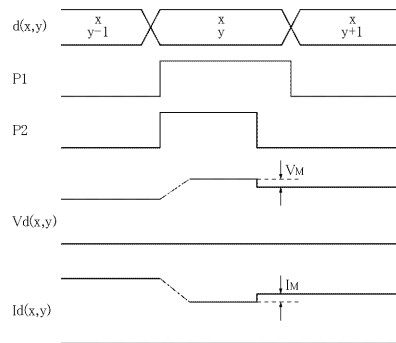
【図 5】



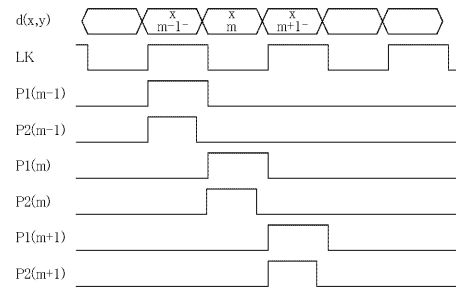
【図 6】



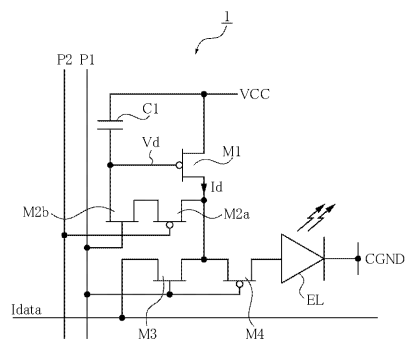
【図 7】



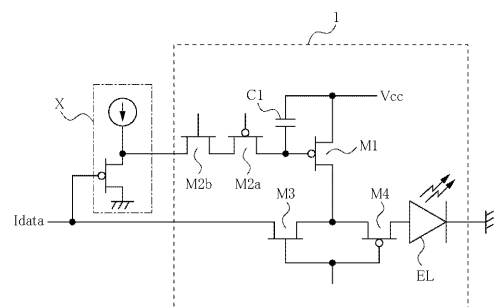
【図 8】



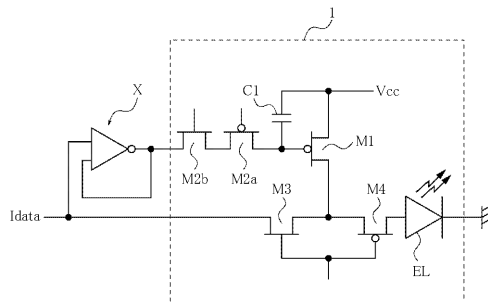
【図 9】



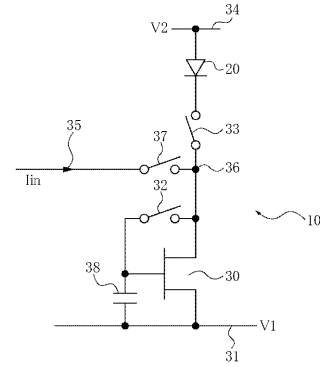
【図 10】



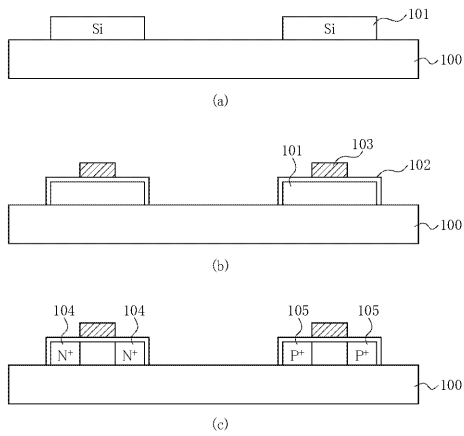
【図 1 1】



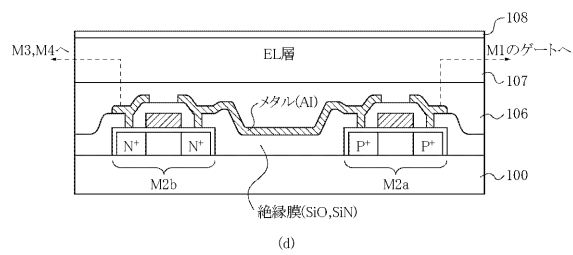
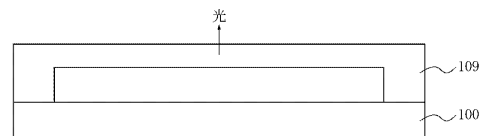
【図 1 2】



【図 1 3】



【図 1 4】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 4 2 E
H 0 5 B 33/14 A

(56)参考文献 特開 2 0 0 4 - 1 2 6 5 2 6 (J P, A)
特開 2 0 0 3 - 2 0 2 8 3 3 (J P, A)
国際公開第 0 1 / 0 0 6 4 8 4 (W O, A 1)
特開 2 0 0 4 - 1 2 6 5 1 2 (J P, A)
特開 2 0 0 5 - 1 5 7 2 6 3 (J P, A)
特開平 1 1 - 2 7 2 2 3 3 (J P, A)
特開 2 0 0 4 - 3 4 1 2 0 0 (J P, A)
特開 2 0 0 4 - 2 4 6 3 4 9 (J P, A)

(58)調査した分野(Int.Cl., D B名)
G 0 9 G 3 / 3 0
G 0 9 G 3 / 2 0
H 0 1 L 5 1 / 5 0

专利名称(译)	有源矩阵型显示装置和负载驱动装置		
公开(公告)号	JP4182086B2	公开(公告)日	2008-11-19
申请号	JP2005177960	申请日	2005-06-17
[标]申请(专利权)人(译)	佳能株式会社		
申请(专利权)人(译)	佳能公司		
当前申请(专利权)人(译)	佳能公司		
[标]发明人	川崎素明		
发明人	川崎 素明		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.624.B G09G3/20.641.D G09G3/20.642.C G09G3/20.642.E H05B33/14.A G09G3/3241 G09G3/3266 G09G3/3275 G09G3/3283		
F-TERM分类号	3K007/AB05 3K007/BA06 3K007/DB03 3K007/GA04 3K107/AA01 3K107/BB01 3K107/BB04 3K107/CC02 3K107/CC11 3K107/CC32 3K107/EE03 3K107/HH03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE29 5C080/FF11 5C080/GG08 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK02 5C080/KK07 5C080/KK43 5C380/AA01 5C380/AA03 5C380/AB06 5C380/AB22 5C380/AB23 5C380/AB24 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/BA10 5C380/BA39 5C380/BA40 5C380/BB21 5C380/BB23 5C380/CA02 5C380/CA08 5C380/CA13 5C380/CB01 5C380/CB17 5C380/CC11 5C380/CC16 5C380/CC26 5C380/CC27 5C380/CC31 5C380/CC33 5C380/CC39 5C380/CC53 5C380/CC61 5C380/CC63 5C380/CC72 5C380/CD014 5C380/CD015 5C380/CF07 5C380/CF22 5C380/CF27 5C380/DA02 5C380/DA06		
代理人(译)	雄一Uchio		
审查员(译)	Naoaki桥本		
优先权	2004186483 2004-06-24 JP		
其他公开文献	JP2006039521A		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过在黑暗状态下抑制驱动电流来抑制由于不必要的漏电流引起的驱动电流的变化。解决方案：有源矩阵型显示装置具有以矩阵形状布置的多个像素电路1。每个像素电路1具有：显示装置EL;第一导电类型的驱动晶体管M1，用于控制在显示装置中流动的电流;电容器C1设置在驱动晶体管的控制电极上;第一导电类型的晶体管M2a和第二导电类型的晶体管M2b串联连接作为开关，连接到驱动晶体管的控制电极，用于在电容器处保持驱动控制信号。这些晶体管的其他主电极之一连接到驱动晶体管的控制电极。Z

