

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-85457

(P2014-85457A)

(43) 公開日 平成26年5月12日(2014.5.12)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 K	3K107
G09G 3/20 (2006.01)	G09G 3/20 670J	5C080
H01L 51/50 (2006.01)	G09G 3/20 612U	5C380
H05B 33/12 (2006.01)	G09G 3/20 641P	
H05B 33/08 (2006.01)	G09G 3/20 624B	
審査請求 未請求 請求項の数 5 O L (全 10 頁) 最終頁に続く		

(21) 出願番号 特願2012-233423 (P2012-233423)
 (22) 出願日 平成24年10月23日 (2012.10.23)

(71) 出願人 502356528
 株式会社ジャパンディスプレイ
 東京都港区西新橋三丁目7番1号
 (74) 代理人 110000408
 特許業務法人高橋・林アンドパートナーズ
 (72) 発明者 小高 和浩
 千葉県茂原市早野3300番地 株式会社
 ジャパンディスプレイイースト内
 (72) 発明者 佐藤 敏浩
 千葉県茂原市早野3300番地 株式会社
 ジャパンディスプレイイースト内
 Fターム(参考) 3K107 AA01 BB01 CC34 EE66 FF00
 GG56 HH04

最終頁に続く

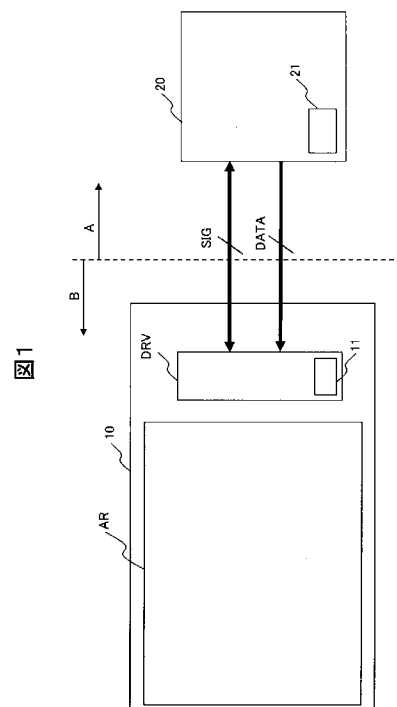
(54) 【発明の名称】 ディスプレイシステム

(57) 【要約】

【課題】 システム側の負担を少なく、有機EL表示パネル側に大きなメモリを配置せずに焼き付きを低減する。

【解決手段】 本体部の画像処理ICが、電源がONとなっている期間内に有機EL表示パネルに表示される固定パタンを検出し、前記電源がOFFとなる時に、前記検出した前記固定パタンの表示位置を第1のメモリに記憶し、前記電源がONとなる時に、前記第1のメモリに記憶されている前記固定パタンの表示位置を読み出し、有機EL表示装置の駆動回路に送信し、前記駆動回路は、前記本体部の画像処理ICから送信された前記固定パタンの表示位置の画素の素子特性を測定し、第2のメモリに記憶されている有機EL表示パネルの画素の劣化前の素子特性とを比較し、前記本体部の画像処理ICに送信し、前記本体部の画像処理ICが、前記駆動回路から送信される比較結果に基づき前記固定パタンの表示位置の画素に入力する画像データを補正する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

複数の画素を有する有機 E L 表示パネルと、駆動回路とを有する有機 E L 表示装置と、前記有機 E L 表示装置に表示データを供給する画像処理手段を有する本体部とから構成されるディスプレイシステムであって、

前記本体部の前記画像処理手段は、前記有機 E L 表示装置の電源が O N となっている期間内に前記有機 E L 表示パネルに表示される固定パターンを検出する検出手段と、

前記電源が O F F となる時に、前記検出手段で検出された前記固定パタンの表示位置を記憶する第 1 のメモリと、

前記電源が O N となる時に、前記第 1 のメモリに記憶されている前記固定パタンの表示位置を読み出し、前記駆動回路に送信する読出手段と、

前記有機 E L 表示装置の前記駆動回路から送信される比較結果に基づき、前記第 1 のメモリに記憶されている前記固定パタンの表示位置の画素に入力する画像データを補正する補正手段とを有し、

前記有機 E L 表示装置の前記駆動回路は、有機 E L 表示パネルの画素の劣化前の素子特性を記憶する第 2 のメモリと、

前記本体部の前記読出手段から送信された前記固定パタンの表示位置の画素の素子特性を測定する測定手段と、

前記測定手段で測定した素子特性と、前記第 2 のメモリに記憶されている素子特性とを比較する比較手段と、

前記比較手段での比較結果を前記本体部に送信する手段とを有することを特徴とするディスプレイシステム。

【請求項 2】

前記画像処理手段の前記検出手段は、前記有機 E L 表示パネルの各画素に、最大階調の半分以上の階調の表示データが連続して入力されるときに固定パターンとして認識することを特徴とする請求項 1 に記載のディスプレイシステム。

【請求項 3】

前記画像処理手段の前記検出手段は、前記有機 E L 表示パネルの各画素に、最大階調の半分以上の階調の表示データが 10 フレーム以上連続して入力されるときに固定パターンとして認識することを特徴とする請求項 2 に記載のディスプレイシステム。

【請求項 4】

前記画素の素子特性は、前記各画素の電源端子電圧であることを特徴とする請求項 1 に記載のディスプレイシステム。

【請求項 5】

前記駆動回路の前記測定手段は、前記固定パタンの表示位置の画素に流れる電流を駆動回路内の抵抗素子で電圧に変換して第 1 の A D ポートに入力し、前記第 1 の A D ポートに入力される電圧と、第 2 の A D ポートに入力される電源電圧との電位差を測定して、前記各画素の電源端子電圧を測定することを特徴とする請求項 4 に記載のディスプレイシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機 E L 表示装置を有するディスプレイシステムに係わり、特に、有機 E L 表示パネルの焼き付きを低減する際に有効な技術に関する。

【背景技術】

【0002】

近年、フラットディスプレイ装置の需要が増大している。特に、有機 E L (Electro Luminescence) 素子 (O L E D ; Organic Light Emitting Diode) を用いた有機 E L 表示装置は、消費電力、軽さ、薄さ、動画特性、視野角などの点で優れており、開発、実用化も進んでいる。

10

20

30

40

50

有機EL表示装置の有機表示パネルでは、固定パターンが長時間表示されると、当該固定パターンを表示する画素の有機EL素子の劣化が進み、そして、有機EL素子が劣化すると、高輝度のベタパターン（例えば、全面白表示）のような画像を表示した場合に認識される、同じ画像電圧を印加しても、有機EL素子の劣化の進み具合の差が輝度差となって見えてしまう、いわゆる焼き付きが問題となる。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2006-91709号公報

【発明の概要】

10

【発明が解決しようとする課題】

【0004】

前述の問題点を解決するための手法が前述の特許文献1に記載されている。

この特許文献1では、選択された行の画素から、画素内検出回路によって、有機EL素子の端子電圧を読み出し、読み出した端子電圧を記憶装置に記憶させ、記憶した電圧に応じて対応した画素データを補正することにより、焼き付きによる輝度斑を防止している。

しかしながら、前述の特許文献1に記載の手法では、各画素に検出回路が必要であり、しかも、補正のために専用の記憶装置が必要となる問題がある。

本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、有機EL表示装置を備えるディスプレイシステムにおいて、システム側の負担を少なく、有機EL表示装置側に大きなメモリを配置せずに焼き付きによる輝度斑を低減することが可能となる技術を提供することにある。

20

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

【課題を解決するための手段】

【0005】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

(1) 複数の画素を有する有機EL表示パネルと、駆動回路とを有する有機EL表示装置と、前記有機EL表示装置に表示データを供給する画像処理手段を有する本体部とから構成されるディスプレイシステムであって、前記本体部の前記画像処理手段は、前記有機EL表示装置の電源がONとなっている期間内に前記有機EL表示パネルに表示される固定パターンを検出する検出手段と、前記電源がOFFとなる時に、前記検出手段で検出された前記固定パターンの表示位置を記憶する第1のメモリと、前記電源がONとなる時に、前記第1のメモリに記憶されている前記固定パターンの表示位置を読み出し、前記駆動回路に送信する読出手段と、前記有機EL表示装置の前記駆動回路から送信される比較結果に基づき、前記第1のメモリに記憶されている前記固定パターンの表示位置の画素に入力する画像データを補正する補正手段とを有し、前記有機EL表示装置の前記駆動回路は、有機EL表示パネルの画素の劣化前の素子特性を記憶する第2のメモリと、前記本体部の前記読出手段から送信された前記固定パターンの表示位置の画素の素子特性を測定する測定手段と、前記測定手段で測定した素子特性と、前記第2のメモリに記憶されている素子特性とを比較する比較手段と、前記比較手段での比較結果を前記本体部に送信する手段とを有する。

30

40

【0006】

(2) (1)において、前記画像処理手段の前記検出手段は、前記有機EL表示パネルの各画素に、最大階調の半分以上の階調の表示データが連続して入力されるときに固定パターンとして認識する。

(3) (2)において、前記画像処理手段の前記検出手段は、前記有機EL表示パネルの各画素に、最大階調の半分以上の階調の表示データが10フレーム以上連続して入力されるときに固定パターンとして認識する。

(4) (1)において、前記画素の素子特性は、前記各画素の電源端子電圧である。

50

(5) (4)において、前記駆動回路の前記測定手段は、前記固定パタンの表示位置の画素に流れる電流を駆動回路内の抵抗素子で電圧に変換して第1のADポートに入力し、前記第1のADポートに入力される電圧と、第2のADポートに入力される電源電圧との電位差を測定して、前記各画素の電源端子電圧を測定する。

【発明の効果】

【0007】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

本発明によれば、システム側の負担を少なく、有機EL表示装置側に大きなメモリを配置せずに焼き付きによる輝度斑を低減することが可能となる。

10

【図面の簡単な説明】

【0008】

【図1】本発明の実施例のディスプレイシステムの概略構成を示すブロック図である。

【図2】本発明の実施例の有機EL表示パネルの画素の等価回路を示す回路図である。

【図3】本発明の実施例の有機EL表示装置の概略構成を示す図である。

【図4】有機EL表示装置の有機EL表示パネルに表示される表示画像の一例を示す図である。

【図5】本発明の実施例の焼き付き低減方法の処理手順を示すフローチャートである。

【図6】本発明の実施例における、固定ボタン情報として記憶されている画素の電源端子電圧(Voled)を測定する方法を説明するための図である。

20

【発明を実施するための形態】

【0009】

以下、図面を参照して本発明の実施例を詳細に説明する。

なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。また、以下の実施例は、本発明の特許請求の範囲の解釈を限定するためのものではない。

〔実施例〕

図1は、本発明の実施例のディスプレイシステムの概略構成を示すブロック図である。

図1において、矢印Aで示す部分が本体部であり、本体部は、画像処理IC(20)を有する。この画像処理IC(20)は内部にメモリ21を有する。

30

また、図1において、矢印Bで示す部分が有機EL表示装置であり、有機EL表示装置10は、ドライバICで構成される駆動回路(DRV)を備える。この駆動回路(DRV)は内部にメモリ11を有する。なお、駆動回路(DRV)内のメモリ11はレジスタであってもよい。また、図1において、ARは、有機EL表示パネルの表示領域を示す。

本実施例の有機EL表示装置10は、スマートフォン、タブレットなどに使用される小型の有機EL表示装置である。

【0010】

図2は、本発明の実施例の有機EL表示パネルの画素の等価回路を示す回路図である。

図2に示す画素(PX)は、最も一般的な電圧プログラム方式の画素であり、画素(PX)には、映像線(DL)、走査線(GL)、および電源線(PL)がそれぞれ入力される。

40

各画素(PX)には、発光素子としての有機エレクトロルミネッセンス素子(以下、有機EL素子という。)1が設けられる。

有機EL素子1のカソード電極は共通接地線に接続され、有機EL素子1のアノード電極は、p型薄膜トランジスタ(以下、駆動TFETという。)2のドレイン電極に接続される。

駆動TFET2のソース電極は、電源線(PL)に接続される。したがって、有機EL素子1のソース電極は、各画素(PX)における、電源電圧が供給される電源端子と言える。

また、駆動TFET2のゲート電極とソース電極との間には、保持容量素子3が接続され

50

、さらに、駆動TFT2のゲート電極は、n型薄膜トランジスタで構成されるスイッチ素子4を介して映像線(DL)に接続される。なお、スイッチ素子4のゲート電極は、走査線(GL)に接続される。

ここで、駆動TFT2、スイッチ素子4は、それぞれ、半導体層にポリシリコンを用いる多結晶シリコン薄膜トランジスタを用いてガラス基板上に構成されている。

【0011】

図3は、本発明の実施例の有機EL表示装置の概略構成を示す図である。図3に示すように、有機EL表示パネル(PNL)には複数の画素(PX)がマトリクス状に設けられる。なお、実際には画素(PX)は、有機EL表示パネル(PNL)に多数個配置されるが、図3では、9画素のみを記載してある。

前述したように、画素(PX)には、映像線(DL)、走査線(GL)、および電源線(PL)がそれぞれ接続される。

走査線(GL)は、走査線駆動回路40に接続される。走査線駆動回路40は、本体部の画像処理IC(20)から供給される制御信号(SIG)に基づき、走査線(GL)に駆動電圧を供給し、表示ラインを選択する。

映像線(DL)は、映像線駆動回路30に接続される。映像線駆動回路30は、本体部の画像処理IC(20)から供給される制御信号(SIG)に基づき、本体部の画像処理IC(20)から供給される表示データ(DATA)をアナログの映像電圧に変換して映像線に供給する。

電源線(PL)は、電源線駆動回路50に接続される。電源線駆動回路50は、OLED用電源回路51と、走査回路52とを有する。通常駆動状態では、n型のMOSトランジスタで構成されるスイッチ素子(SW1)がON、n型のMOSトランジスタで構成されるスイッチ素子(SW2)がOFFとなり、全ての電源線(PL)にOLED用電源回路51から電源電圧が供給される。

後述する有機EL表示装置10がONとされるイニシャル処理の時には、スイッチ素子(SW1)がOFF、スイッチ素子(SW2)が順次ONとなり、それぞれの電源線(PL)にOLED用電源回路51から電源電圧が順次供給される。

ここで、図3に示す映像線駆動回路30、走査線駆動回路40、および、電源線駆動回路50は全て、駆動回路(DRV)内の回路としても良い。あるいは、画素(PX)と同じく、図3に示す映像線駆動回路30、走査線駆動回路40、および、電源線駆動回路50の全て、あるいは、少なくとも一部(例えば、走査線駆動回路40)は、一般に良く知られている低温多結晶シリコン薄膜を用いてガラス基板上に構成しても良い。

【0012】

図4は、有機EL表示装置の有機EL表示パネルに表示される表示画像の一例を示す図である。図4において、FIXPは固定ボタン、AFIXPは固定ボタン表示領域である。

一般的に、図4に示す固定ボタン(FIXP)は長時間表示されるが、有機EL表示パネルに、図4に示すような固定ボタン(FIXP)が長時間表示されると、固定ボタン(FIXP)を表示している有機EL素子1の劣化が進むことになる。

そして、前述したように、有機EL素子1が劣化すると、高輝度のベタボタンのような画像を表示した場合に認識される、同じ画像電圧を印加しても、有機EL素子の劣化の進み具合の差が輝度差となって見えてしまう、いわゆる焼き付きが問題となる。

本実施例は、前述した焼き付きを低減するものであり、焼き付きの原因となるのが、長時間表示される固定ボタンであることを考慮し、どの表示ボタンが長く表示されていたのかを本体部の画像処理IC(20)で演算を行い、その結果から固定ボタンを識別し、焼き付きを低減するものである。

【0013】

図5は、本発明の実施例における、焼き付き低減方法の処理手順を示すフローチャートである。

以下、本実施例の焼き付き低減方法について説明する。

始めに、本体部の画像処理 IC (20) において、表示パタンの累積表示時間を演算する (ステップ 101)。

次に、シャットダウン処理時 (ステップ 102) に、本体部の画像処理 IC (20) は、長く表示されていた固定パタンを識別し (ステップ 103)、固定パタン情報としてメモリ 21 に保存する (ステップ 104)。

このステップ 101～ステップ 104 では、本体部の画像処理 IC (20) が、通常動作時に、1 回のディスプレイ表示期間 (有機 EL 表示装置のスイッチ ON、または、スタンバイ ON から OFF まで) 内に、どのパタンが長く表示されているかを演算により求め、固定パタンとして識別する。

具体的には、各画素に供給する表示データを監視し、最大階調の半分以上の階調の表示データが連続して (例えば、数 10 フレーム期間) 供給されている画素を求め、当該画素を固定パタンの画素として識別し、メモリ 21 に保存する。

次に、有機 EL 表示装置の電源がオン (ステップ 105) となったときに、本体部の画像処理 IC (20) は、メモリ 21 から固定パタン情報を読み出し、有機 EL 表示装置 10 の駆動回路 (DRV) に送信する (ステップ 106)。

次に、有機 EL 表示装置 10 の駆動回路 (DRV) は、固定パタン情報として記憶されている画素の電源端子電圧 (V_{oled}) を測定し、メモリ 11 に事前に格納してある素子特性との差分を演算し、演算結果を本体部の画像処理 IC (20) に送信する (ステップ 107)。

次に、本体部の画像処理 IC (20) は、駆動回路 (DRV) から送信された演算結果から、どの程度の焼き付きが発生しているかを判別し、固定パタン情報として記憶されている画素の有機 EL 素子 1 に供給する表示データの補正值を算出し。この補正值を、本体部のメモリ 21 に保存する (ステップ 108)。

【0014】

ステップ 106～ステップ 108 は、電源投入時のイニシャル処理で実施する。

通常の駆動時には、シャットダウン処理時にメモリ 21 に格納した固定パタン情報の画素の表示データに、イニシャル処理時に、メモリ 21 に格納した補正值を加算・減算することで焼き付きの補正を行う。

ステップ 107 における、固定パタン情報として記憶されている画素の電源端子電圧の測定は、映像線駆動回路 30 から、特定の色 (例えば、白色) の映像電圧を各映像線に供給した状態で、走査線駆動回路 40 が、順次表示ラインを選択するとともに、走査回路 52 が、順次各画素に電源電圧を供給することにより、固定パタン情報として記憶されている画素の電源端子電圧 (V_{oled}) を測定する。

なお、メモリ 11 に事前に格納してある素子特性も、前述した条件と同じ条件で、劣化前の画素の電源端子電圧 (V_{oled}) を測定したものである。

この電源端子電圧 (V_{oled}) は、図 6 に示すように、スイッチ素子 (SW) を OFF として、各画素 (PX) の有機 EL 素子 1 に流れる電流を、駆動回路 (DEV) 内の抵抗素子 (R) で電圧に変換し、AD2 ポートに入力される電圧と、AD1 ポートに入力される、OLED 用電源回路 51 から出力される電源電圧との差分を取ることにより測定される。

なお、通常の動作時には、スイッチ素子 (SW) が ON となり、各電源線 (PL) には、OLED 用電源回路 51 から出力される電源電圧が供給される。

また、図 6 は、本発明の実施例における、固定パタン情報として記憶されている画素の端子電圧 (V_{oled}) を測定する方法を説明するための図である。

なお、前述のステップ 106、ステップ 107 において、電源投入時のイニシャル処理時に、駆動回路 (DRV) は、全ての画素の電源端子電圧 (V_{oled}) を測定し、メモリ 11 に事前に格納してある素子特性との差分を演算し、演算結果を本体部の画像処理 IC (20) に送信し、本体部の画像処理 IC (20) は、メモリ 21 から固定パタン情報を読み出し、固定駆動回路 (DRV) から送信された演算結果の中から、読み出した固定パタン情報に対応する演算結果だけを選択して、どの程度の焼き付きが発生しているかを

10

20

30

40

50

判別するようにしてもよい。

【0015】

以上説明したように、本実施例では、以下のような作用・効果を得ることができる。

(1) シャットダウン処理時に、有機EL表示パネルに長時間表示されていたパタンを、固定パタン情報としてメモリ21に格納し、固定パタンを表示する画素の素子特性と、メモリ11に事前に格納してある素子特性との比較を行い、電圧上昇の有無から表示データを補正する。全画素に対して検出を行なった場合、大容量のメモリが必要であるが、固定パタンが表示されている部分的な検出なので大幅にメモリの削減することができる。本体部側の既存メモリ21に固定パタン情報のみを格納するので、本体部の処理の負担も低減できる。

10

(2) 焼き付き補正タイミングは、電源起動時のイニシャル処理時であり、シャットダウン処理に、固定パタンを検出し、イニシャル処理に補正入れ込むことで、通常駆動時の本体側への処理負担を少なくできる。

また、通常動作時は、表示パタンの累計処理のみであるため、固定パタン検出・補正による電力消費が最低限に抑えられる。

以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【符号の説明】

【0016】

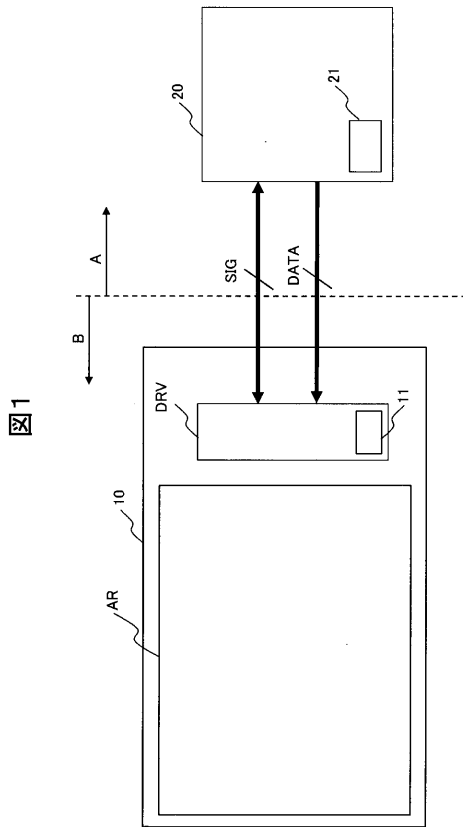
20

- 1 有機エレクトロルミネッセンス素子
- 2 p型薄膜トランジスタ（駆動TFT）
- 3 保持容量素子
- 4, SW1, SW2 スイッチ素子
- 10 有機EL表示装置
- 11, 21 メモリ
- 20 画像処理IC
- 30 映像線駆動回路
- 40 走査線駆動回路
- 50 電源線駆動回路
- 51 OLED用電源回路
- 52 走査回路
- PNL 有機EL表示パネル
- PX 画素
- DL 映像線
- GL 走査線
- PL 電源線
- FIXP 固定パタン
- AFIXP 固定パタン表示領域
- AR 表示領域

30

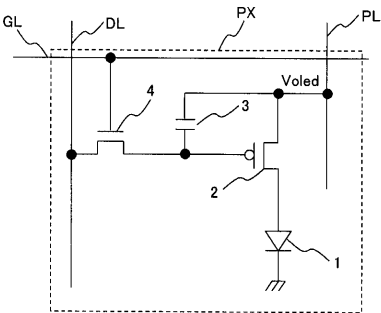
40

【図 1】



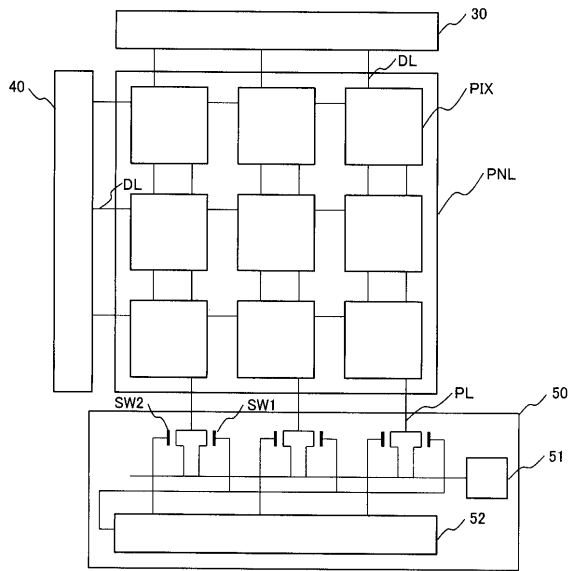
【図 2】

図 2



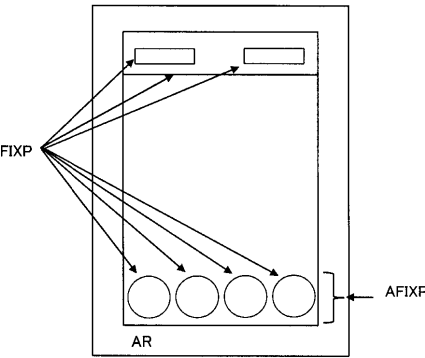
【図 3】

図 3

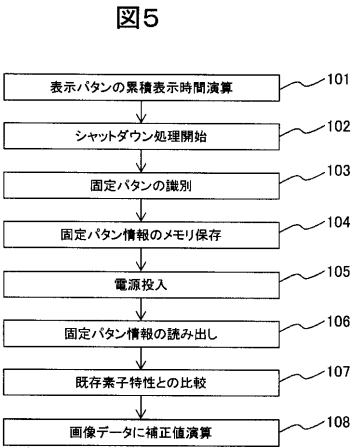


【図 4】

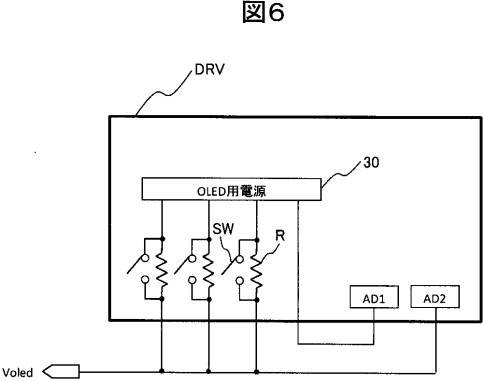
図 4



【 図 5 】



【 図 6 】



(51) Int.Cl.

F I

テーマコード (参考)

H 0 5 B 33/14

A

H 0 5 B 33/12

$$Z$$

H 0 5 B 33/08

F ターム(参考)	5C080	AA06	BB05	DD01	DD22	DD29	EE29	FF11	GG12	HH09	JJ01
		JJ02	JJ03	JJ07	KK07	KK47					
	5C380	AA01	AB06	AB18	AB23	AC05	AC11	AC12	BA01	BA15	BA46
		BD04	BD11	CA12	CB20	CC02	CC26	CC33	CC62	CD012	CF01
		CF06	CF41	DA02	DA24	DA39	DA40	FA02	FA07	FA09	FA19
		FA21	FA28								

专利名称(译)	显示系统		
公开(公告)号	JP2014085457A	公开(公告)日	2014-05-12
申请号	JP2012233423	申请日	2012-10-23
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	小高和浩 佐藤敏浩		
发明人	小高 和浩 佐藤 敏浩		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 H05B33/12 H05B33/08		
CPC分类号	G06T1/60 G09G3/3208 G09G3/3233 G09G2320/0233 G09G2320/0285 G09G2320/046 G09G2330/027 G09G2330/12		
FI分类号	G09G3/30.K G09G3/20.670.J G09G3/20.612.U G09G3/20.641.P G09G3/20.624.B H05B33/14.A H05B33/12.Z H05B33/08 G09G3/3233 G09G3/3266 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC34 3K107/EE66 3K107/FF00 3K107/GG56 3K107/HH04 5C080/AA06 5C080/BB05 5C080/DD01 5C080/DD22 5C080/DD29 5C080/EE29 5C080/FF11 5C080/GG12 5C080/HH09 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ07 5C080/KK07 5C080/KK47 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB23 5C380/AC05 5C380/AC11 5C380/AC12 5C380/BA01 5C380/BA15 5C380/BA46 5C380/BD04 5C380/BD11 5C380/CA12 5C380/CB20 5C380/CC02 5C380/CC26 5C380/CC33 5C380/CC62 5C380/CD012 5C380/CF01 5C380/CF06 5C380/CF41 5C380/DA02 5C380/DA24 5C380/DA39 5C380/DA40 5C380/FA02 5C380/FA07 5C380/FA09 5C380/FA19 5C380/FA21 5C380/FA28		
外部链接	Espacenet		

摘要(译)

摘要：要解决的问题：减少系统负载，减少显示器老化，而无需在有机EL显示器面板上安排大容量存储器。解决方案：主体部分中的图像处理IC在电源通电期间检测显示在有机EL显示面板上的固定图案，当电源关闭时将检测到的固定图案的显示位置存储在第一存储器上，当电源接通时，读取存储在第一存储器中的固定图案的显示位置，并将其发送到有机EL显示装置的驱动电路。驱动电路测量位于从身体部位的图像处理IC发送的固定图案的显示位置的像素的装置特性，将其与存储在第二存储器中的有机EL显示面板中的未图案化像素的装置特性进行比较，并将其发送到身体部位的图像处理IC。主体部分中的图像处理IC基于从驱动电路发送的比较结果来校正要输入到位于固定图案的显示位置的像素的图像数据。

