

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-114287
(P2007-114287A)

(43) 公開日 平成19年5月10日(2007.5.10)

(51) Int.C1.	F 1	テーマコード (参考)
G09G 3/30	(2006.01)	G09G 3/30 J 3K107
G09G 3/20	(2006.01)	G09G 3/20 624B 5C080
H01L 51/50	(2006.01)	G09G 3/20 622B
		G09G 3/20 623B
		G09G 3/20 612F
審査請求 未請求 請求項の数 5 O L (全 13 頁) 最終頁に続く		
(21) 出願番号	特願2005-303106 (P2005-303106)	(71) 出願人 302020207
(22) 出願日	平成17年10月18日 (2005.10.18)	東芝松下ディスプレイテクノロジー株式会社 東京都港区港南4-1-8
		(74) 代理人 100058479 弁理士 鈴江 武彦
		(74) 代理人 100091351 弁理士 河野 哲
		(74) 代理人 100088683 弁理士 中村 誠
		(74) 代理人 100108855 弁理士 蔵田 昌俊
		(74) 代理人 100075672 弁理士 峰 隆司
		最終頁に続く

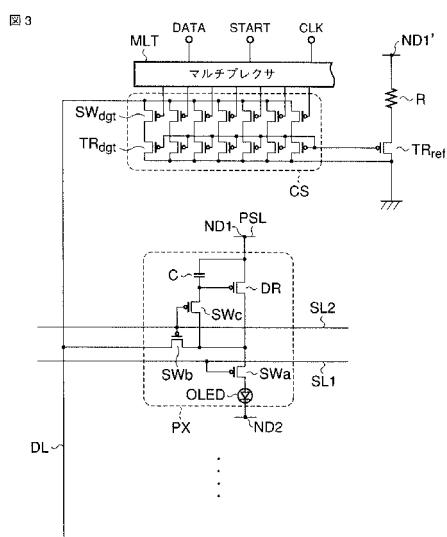
(54) 【発明の名称】表示装置及びその駆動方法

(57) 【要約】

【課題】或る階調を表示している画素に、それよりも高い階調に対応した映像信号を書き込んだ場合に、この映像信号を書き込んだ直後の非選択期間で階調再現性が不十分となるのを防止する。

【解決手段】各選択期間において、映像信号線 D L を介して電流源 C S と画素 P X が含む駆動回路とを接続して駆動回路に映像信号を書き込む書き動作を行い、各非選択期間において、駆動回路と画素電極とを接続して駆動電流を表示素子 O L E D に流す表示動作を行い、画素 P X が、第1非選択期間で第1階調を表示し、第2非選択期間で第1階調と等しいか又はそれよりも低い第2階調を表示する場合には、第1非選択期間と第2非選択期間との間の第1選択期間で第1映像信号を駆動回路に書き込み、画素 P X が、第1非選択期間で第2階調よりも低い第3階調を表示し、第2非選択期間で第2階調を表示する場合には、第1選択期間で第1映像信号よりも大きな第2映像信号を前記駆動回路に書き込む。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

映像信号線と、

映像信号を出力する電流源と、

第1電源端子に接続されると共に入力信号に対応した大きさの駆動電流を出力する駆動回路と、画素電極と第2電源端子に接続された対向電極とそれらの間に介在した活性層とを備えた表示素子とを含んだ画素とを具備し、

各選択期間において、前記映像信号線を介して前記電流源と前記駆動回路とを接続して前記駆動回路に前記入力信号として前記映像信号を書き込む書込動作を行い、

各非選択期間において、前記駆動回路と前記画素電極とを接続して前記駆動電流を前記表示素子に流す表示動作を行い、

前記画素が、第1非選択期間で第1階調を表示し、その次の第2非選択期間で前記第1階調と等しいか又はそれよりも低い第2階調を表示する場合には、前記第1非選択期間と前記第2非選択期間との間の第1選択期間で前記映像信号として第1映像信号を前記駆動回路に書き込み、

前記画素が、第1非選択期間で前記第2階調よりも低い第3階調を表示し、前記第2非選択期間で前記第2階調を表示する場合には、前記第1選択期間で前記映像信号として第1映像信号と比較してより大きい第2映像信号を前記駆動回路に書き込むことを特徴とする表示装置。

【請求項 2】

前記画素が、前記第1非選択期間で前記第3階調を表示し、前記第2非選択期間で前記第2階調を表示し、その次の第3非選択期間で前記第2階調を表示する場合には、前記第1選択期間で前記映像信号として前記第2映像信号を前記駆動回路に書き込み、前記第2非選択期間と前記第3非選択期間との間の第2選択期間で前記映像信号として前記第1映像信号を前記駆動回路に書き込むことを特徴とする請求項1に記載の表示装置。

【請求項 3】

前記画素が、前記第1非選択期間で前記第1階調を表示し、前記第2非選択期間で前記第1階調と等しいか又はそれよりも低く且つ前記第2階調よりも高い第4階調を表示する場合には、前記第1選択期間において前記映像信号として第3映像信号を前記駆動回路に書き込み、

前記画素が、前記第1非選択期間で前記第3階調を表示し、前記第2非選択期間で前記第4階調を表示する場合には、前記第1選択期間において前記映像信号として第3映像信号と比較してより大きい第4映像信号を前記駆動回路に書き込み、

前記第3映像信号の大きさに対する前記第4映像信号の大きさの比は、前記第1映像信号の大きさに対する前記第2映像信号の大きさの比と比較してより小さいことを特徴とする請求項1に記載の表示装置。

【請求項 4】

映像信号線と、

映像信号を出力する電流源と、

第1電源端子に接続されると共に入力信号に対応した大きさの駆動電流を出力する駆動回路と、画素電極と第2電源端子に接続された対向電極とそれらの間に介在した活性層とを備えた表示素子とを含み、前記駆動回路は、選択期間において前記映像信号線を介して前記電流源に接続されて前記入力信号として前記映像信号が書き込まれ、各非選択期間において前記画素電極に接続されて前記駆動電流を前記表示素子に出力する画素と、

第1非選択期間で前記画素が表示すべき第1階調と、その次の第2非選択期間で前記画素が表示すべき第2階調とを比較し、前記第2階調が前記第1階調と等しいか又はそれよりも低い場合には前記第1非選択期間と前記第2非選択期間との間の第1選択期間において前記電流源に前記映像信号として第1映像信号を出力させ、前記第2階調が前記第1階調よりも高い場合には前記第1選択期間において前記電流源に前記映像信号として前記第1映像信号と比較してより大きな第2映像信号を出力させるコントローラとを具備したこ

10

20

30

40

50

とを特徴とする表示装置。

【請求項 5】

映像信号線と、映像信号を出力する電流源と、第1電源端子に接続されると共に入力信号に対応した大きさの駆動電流を出力する駆動回路と、画素電極と第2電源端子に接続された対向電極とそれらの間に介在した活性層とを備えた表示素子とを含んだ画素とを具備した表示装置の駆動方法であって、

各選択期間において、前記映像信号線を介して前記電流源と前記駆動回路とを接続して前記駆動回路に前記入力信号として前記映像信号を書き込む書き込動作を行い、

各非選択期間において、前記駆動回路と前記画素電極とを接続して前記駆動電流を前記表示素子に流す表示動作を行い、

前記画素が、第1非選択期間で第1階調を表示し、その次の第2非選択期間で前記第1階調と等しいか又はそれよりも低い第2階調を表示する場合には、前記第1非選択期間と前記第2非選択期間との間の第1選択期間で前記映像信号として第1映像信号を前記駆動回路に書き込み、

前記画素が、第1非選択期間で前記第2階調よりも低い第3階調を表示し、前記第2非選択期間で前記第2階調を表示する場合には、前記第1選択期間で前記映像信号として第1映像信号と比較してより大きい第2映像信号を前記駆動回路に書き込むことを特徴とする駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置及びその駆動方法に係り、特には、画素に映像信号として電流信号を供給するアクティブマトリクス型表示装置及びその駆動方法に関する。

【背景技術】

【0002】

特許文献1には、カレントコピー型の回路を画素回路に採用したアクティブマトリクス型有機EL表示装置が記載されている。この表示装置では、各画素に映像信号として電流信号を供給し、有機EL素子を映像信号の大きさに対応した輝度で発光させる。

【0003】

この表示装置を駆動する場合、通常、有効走査期間とプランキング期間（垂直プランキング期間）とを交互に繰り返す。有効走査期間では、例えば、画素を行毎に順次選択し、選択した画素に映像信号を書き込む。各画素の有機EL素子は、有効走査期間のうち選択されていない期間とプランキング期間とにおいて、先の映像信号の大きさに対応した輝度で発光する筈である。

【0004】

しかしながら、本発明者は、本発明を為すに際し、以下の事実を見い出している。すなわち、或る階調を表示している画素に、それよりも高い階調に対応した映像信号を書き込むと、この映像信号を書き込んだ直後の非選択期間では、表示すべき階調が再現されないことがある。この場合、映像信号を書き込んでから光学的応答を生じるまでに、1フレーム期間（60Hzの場合で16.7 msec）が必要となる。

【特許文献1】米国特許第6373454号明細書

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明の目的は、或る階調を表示している画素に、それよりも高い階調に対応した映像信号を書き込んだ場合に、この映像信号を書き込んだ直後の非選択期間で階調再現性が不十分となるのを防止することにある。

【課題を解決するための手段】

【0006】

本発明の第1側面によると、映像信号線と、映像信号を出力する電流源と、第1電源端

子に接続されると共に入力信号に対応した大きさの駆動電流を出力する駆動回路と、画素電極と第2電源端子に接続された対向電極とそれらの間に介在した活性層とを備えた表示素子とを含んだ画素とを具備し、各選択期間において、前記映像信号線を介して前記電流源と前記駆動回路とを接続して前記駆動回路に前記入力信号として前記映像信号を書き込む書き動作を行い、各非選択期間において、前記駆動回路と前記画素電極とを接続して前記駆動電流を前記表示素子に流す表示動作を行い、前記画素が、第1非選択期間で第1階調を表示し、その次の第2非選択期間で前記第1階調と等しいか又はそれよりも低い第2階調を表示する場合には、前記第1非選択期間と前記第2非選択期間との間の第1選択期間で前記映像信号として第1映像信号を前記駆動回路に書き込み、前記画素が、第1非選択期間で前記第2階調よりも低い第3階調を表示し、前記第2非選択期間で前記第2階調を表示する場合には、前記第1選択期間で前記映像信号として第1映像信号と比較してより大きい第2映像信号を前記駆動回路に書き込むことを特徴とする表示装置が提供される。
。

【0007】

本発明の第2側面によると、映像信号線と、映像信号を出力する電流源と、第1電源端子に接続されると共に入力信号に対応した大きさの駆動電流を出力する駆動回路と、画素電極と第2電源端子に接続された対向電極とそれらの間に介在した活性層とを備えた表示素子とを含み、前記駆動回路は、選択期間において前記映像信号線を介して前記電流源に接続されて前記入力信号として前記映像信号が書き込まれ、各非選択期間において前記画素電極に接続されて前記駆動電流を前記表示素子に出力する画素と、第1非選択期間で前記画素が表示すべき第1階調と、その次の第2非選択期間で前記画素が表示すべき第2階調とを比較し、前記第2階調が前記第1階調と等しいか又はそれよりも低い場合には前記第1非選択期間と前記第2非選択期間との間の第1選択期間において前記電流源に前記映像信号として第1映像信号を出力させ、前記第2階調が前記第1階調よりも高い場合には前記第1選択期間において前記電流源に前記映像信号として前記第1映像信号と比較してより大きな第2映像信号を出力させるコントローラとを具備したことを特徴とする表示装置が提供される。

【0008】

本発明の第3側面によると、映像信号線と、映像信号を出力する電流源と、第1電源端子に接続されると共に入力信号に対応した大きさの駆動電流を出力する駆動回路と、画素電極と第2電源端子に接続された対向電極とそれらの間に介在した活性層とを備えた表示素子とを含んだ画素とを具備した表示装置の駆動方法であって、各選択期間において、前記映像信号線を介して前記電流源と前記駆動回路とを接続して前記駆動回路に前記入力信号として前記映像信号を書き込む書き動作を行い、各非選択期間において、前記駆動回路と前記画素電極とを接続して前記駆動電流を前記表示素子に流す表示動作を行い、前記画素が、第1非選択期間で第1階調を表示し、その次の第2非選択期間で前記第1階調と等しいか又はそれよりも低い第2階調を表示する場合には、前記第1非選択期間と前記第2非選択期間との間の第1選択期間で前記映像信号として第1映像信号を前記駆動回路に書き込み、前記画素が、第1非選択期間で前記第2階調よりも低い第3階調を表示し、前記第2非選択期間で前記第2階調を表示する場合には、前記第1選択期間で前記映像信号として第1映像信号と比較してより大きい第2映像信号を前記駆動回路に書き込むことを特徴とする駆動方法が提供される。

【発明の効果】

【0009】

本発明によると、或る階調を表示している画素に、それよりも高い階調に対応した映像信号を書き込んだ場合に、この映像信号を書き込んだ直後の非選択期間で階調再現性が不十分となるのを防止することが可能となる。

【発明を実施するための最良の形態】

【0010】

以下、本発明の態様について、図面を参照しながら詳細に説明する。なお、各図におい

て、同様の又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。

【0011】

図1は、本発明の一態様に係る表示装置を概略的に示す平面図である。図2は、図1の表示装置に採用可能な構造の一例を概略的に示す部分断面図である。図3は、図1の表示装置の一部を示す等価回路図である。なお、図2では、表示装置を、その表示面、すなわち前面又は光出射面、が下方を向き、背面が上方を向くように描いている。

【0012】

この表示装置は、アクティブマトリクス型駆動方式を採用した下面発光型の有機EL表示装置である。この有機EL表示装置は、表示パネルDPと、映像信号線ドライバXDRと、走査信号線ドライバYDRと、コントローラCNTとを含んでいる。

【0013】

表示パネルDPは、例えば、ガラス基板などの絶縁基板SUBを含んでいる。基板SUB上には、図2に示すように、アンダーコート層UCとして、例えば、SiNx層とSiO_x層とが順次積層されている。

【0014】

アンダーコート層UC上には、例えばチャネル及びソース・ドレインが形成されたポリシリコン層である半導体層SC、例えばTEOS(tetraethyl orthosilicate)などを用いて形成され得るゲート絶縁膜GI、及び例えばMoWなどからなるゲートGが順次積層されており、それらはトップゲート型の薄膜トランジスタを構成している。この例では、これら薄膜トランジスタは、pチャネル薄膜トランジスタであり、図1及び図3に示す駆動制御素子DR及びスイッチSWa乃至SWcとして利用している。

【0015】

ゲート絶縁膜GI上には、図1及び図3に示すキャパシタCの一方の電極と走査信号線SL1及びSL2とがさらに配置されている。これらは、ゲートGと同一の工程で形成可能である。

【0016】

走査信号線SL1及びSL2は、図1に示すように、各々が画素PXの行方向(X方向)に延びており、画素PXの列方向(Y方向)に交互に配列している。これら走査信号線SL1及びSL2は、走査信号線ドライバYDRに接続されている。

【0017】

ゲート絶縁膜GI、ゲートG、走査信号線SL1及びSL2、並びにキャパシタCの一方の電極は、図2に示す層間絶縁膜IIで被覆されている。層間絶縁膜IIは、例えばプラズマCVD法などにより成膜されたSiO_xなどからなる。この層間絶縁膜IIの一部は、キャパシタCの誘電体層として利用する。

【0018】

層間絶縁膜II上には、図1に示すキャパシタCの他方の電極、図2に示すソース電極SE及びドレイン電極DE、並びに、図1に示す映像信号線DL及び電源線PSLが配置されている。これらは、同一工程で形成可能であり、例えば、Mo/A1/Moの三層構造を有している。

【0019】

ソース電極SE及びドレイン電極DEは、層間絶縁膜IIに設けられたコンタクトホールを介して薄膜トランジスタのソース及びドレインに電気的に接続されている。

【0020】

映像信号線DLは、図1に示すように、各々がY方向に延びており、X方向に配列している。これら映像信号線DLは、映像信号線ドライバXDRに接続されている。

電源線PSLは、この例では、各々がY方向に延びており、X方向に配列している。

【0021】

ソース電極SE、ドレイン電極DE、映像信号線DL、電源線PSL、及びキャパシタCの他方の電極は、図2に示すパッシベーション膜PSで被覆されている。パッシベーシ

10

20

30

40

50

ヨン膜 P S は、例えば S i N_x などからなる。

【 0 0 2 2 】

パッシベーション膜 P S 上には、図 2 に示すように、前面電極として、光透過性の第 1 電極 P E が互いから離間して並置されている。各第 1 電極 P E は、画素電極であり、パッシベーション膜 P S に設けた貫通孔を介して、スイッチ S W a のドレイン電極 D E に接続されている。

【 0 0 2 3 】

第 1 電極 P E は、この例では陽極である。第 1 電極 P E の材料としては、例えば、 I T O (indium tin oxide) のような透明導電性酸化物を使用することができる。

【 0 0 2 4 】

パッシベーション膜 P S 上には、さらに、図 2 に示す隔壁絶縁層 P I が配置されている。隔壁絶縁層 P I には、第 1 電極 P E に対応した位置に貫通孔が設けられているか、或いは、第 1 電極 P E が形成する列又は行に対応した位置にスリットが設けられている。ここでは、一例として、隔壁絶縁層 P I には、第 1 電極 P E に対応した位置に貫通孔が設けられていることとする。

【 0 0 2 5 】

隔壁絶縁層 P I は、例えば、有機絶縁層である。隔壁絶縁層 P I は、例えば、フォトリソグラフィ技術を用いて形成することができる。

【 0 0 2 6 】

第 1 電極 P E 上には、活性層として、発光層を含んだ有機物層 O R G が配置されている。発光層は、例えば、発光色が赤色、緑色、又は青色のルミネセンス性有機化合物を含んだ薄膜である。この有機物層 O R G は、発光層に加え、正孔注入層、正孔注入層、正孔プロッキング層、電子輸送層、電子注入層などもさらに含むことができる。

【 0 0 2 7 】

隔壁絶縁層 P I 及び有機物層 O R G は、第 1 電極に対向して配置された対向電極としての第 2 電極 C E で被覆されている。第 2 電極 C E は、画素 P X 間で互いに接続された共通電極であり、この例では背面電極として設けられた光反射性の陰極である。第 2 電極 C E は、例えば、パッシベーション膜 P S と隔壁絶縁層 P I とに設けられたコンタクトホールを介して、映像信号線 D L と同一の層上に形成された電極配線（図示せず）に電気的に接続されている。各々の有機 E L 素子 O L E D は、第 1 電極 P E 、有機物層 O R G 及び第 2 電極 C E で構成されている。

【 0 0 2 8 】

絶縁基板 S U B 上では、複数の画素 P X がマトリクス状に配列している。これら画素 P X は、映像信号線 D L と走査信号線 S L 1 との交差部近傍に配置されている。

【 0 0 2 9 】

各画素 P X は、表示素子である有機 E L 素子 O L E D と、駆動回路と、出力制御スイッチ S W a とを含んでいる。この例では、駆動回路は、図 1 及び図 3 に示すように、駆動制御素子 D R と、映像信号供給制御スイッチ S W b と、ダイオード接続スイッチ S W c と、キャパシタ C とを含んでいる。上記の通り、この例では、駆動制御素子 D R 及びスイッチ S W a 乃至 S W c は、p チャネル薄膜トランジスタである。スイッチ S W b 及び S W c は、駆動制御素子 D R のドレインとゲートと映像信号線 D L との接続を、それらが互いに接続された第 1 状態と、それらが互いから切断された第 2 状態との間で切り替えるスイッチ群を構成している。

【 0 0 3 0 】

駆動制御素子 D R と出力制御スイッチ S W a と有機 E L 素子 O L E D とは、第 1 電源端子 N D 1 と第 2 電源端子 N D 2 との間で、この順に直列に接続されている。この例では、第 1 電源端子 N D 1 は電源線 P S L に接続された高電位電源端子であり、第 2 電源端子 N D 2 は低電位電源端子である。

【 0 0 3 1 】

出力制御スイッチ S W a のゲートは、走査信号線 S L 1 に接続されている。映像信号供

10

20

30

40

50

給制御スイッチ S_{Wb} は映像信号線 D_L と駆動制御素子 D_R のドレインとの間に接続されており、そのゲートは走査信号線 S_{L2} に接続されている。ダイオード接続スイッチ S_{Wc} は駆動制御素子 D_R のドレインとゲートとの間に接続されており、そのゲートは走査信号線 S_{L2} に接続されている。

【0032】

キャパシタ C は、定電位端子と駆動制御素子 D_R のゲートとの間に接続されている。この例では、キャパシタ C は、第1電源端子 N_{D1} と駆動制御素子 D_R のゲートとの間に接続されている。

【0033】

表示パネル D_P 上には、映像信号線 ドライバ X_{DR} が配置されている。映像信号線 ドライバ X_{DR} は、図3に示すように、映像信号線 D_L 毎に、電流源 C_S を含んでいる。さらに、映像信号線 ドライバ X_{DR} は、マルチプレクサ M_{LT} と基準トランジスタ $T_{R_{ref}}$ を含んでいる。

【0034】

マルチプレクサ M_{LT} は、クロック信号 C_{LK} 、スタート信号 S_{TART} 、シリアル信号としての映像信号 $DATA$ が入力される入力端子を含んでいる。さらに、マルチプレクサ M_{LT} は、電流源 C_S 毎に複数の出力端子を含んでいる。マルチプレクサ M_{LT} は、クロック信号 C_{LK} とスタート信号 $DATA$ とに基づいて、シリアル信号としての映像信号 $DATA$ をパラレル信号に変換し、これを各電流源 C_S へと出力する。この例では、マルチプレクサ M_{LT} は、映像信号を7ビットのデジタル信号として、各電流源 C_S に出力する。

【0035】

基準トランジスタ $T_{R_{ref}}$ は、この例ではpチャネル電界効果トランジスタである。基準トランジスタ $T_{R_{ref}}$ のソースは抵抗素子 R を介して定電位端子 $N_{D1'}$ に接続されており、そのドレインは接地線に接続されている。この表示装置の駆動時には、基準トランジスタ $T_{R_{ref}}$ のソース - ドレイン間に基準電流 I_{ref} を流す。

【0036】

電流源 C_S は、映像信号線 ドライバ X_{DR} の出力端子、すなわち映像信号線 D_L に接続された端子、と接地線との間に接続されている。電流源 C_S は、マルチプレクサ M_{LT} がパラレル信号として出力するデジタル信号をアナログ信号へと変換する。この例では、電流源 C_S は、マルチプレクサ M_{LT} が出力する7ビットのデジタル映像信号から、電流信号としてのアナログ映像信号を生成する。

【0037】

電流源 C_S は、複数の定電流源 $T_{R_{dg_t}}$ と複数のスイッチ $S_{W_{dg_t}}$ を含んでいる。定電流源 $T_{R_{dg_t}}$ とスイッチ $S_{W_{dg_t}}$ とは、それぞれ、映像信号線 ドライバ X_{DR} の出力端子と接地線との間で直列に接続されている。この例では、電流源 C_S は、7つの定電流源 $T_{R_{dg_t}}$ と7つのスイッチ $S_{W_{dg_t}}$ を含んでいる。また、この例では、定電流源 $T_{R_{dg_t}}$ 及びスイッチ $S_{W_{dg_t}}$ は、pチャネル電界効果トランジスタである。

【0038】

定電流源 $T_{R_{dg_t}}$ のゲートは、それぞれ、基準トランジスタ $T_{R_{ref}}$ のゲートに接続されている。スイッチ $S_{W_{dg_t}}$ のゲートは、それぞれ、マルチプレクサ M_{LT} の出力端子に接続されている。

【0039】

定電流源 $T_{R_{dg_t}}$ は、例えば、それらの1つが基準トランジスタ $T_{R_{ref}}$ と同一の構造を有しており、残りの6つがチャネル幅が異なること以外は基準トランジスタ $T_{R_{ref}}$ と同一の構造を有している。7つの定電流源 $T_{R_{dg_t}}$ は、それらに接続されているスイッチ $S_{W_{dg_t}}$ が閉じている間、例えば、基準電流 I_{ref} の1倍、2倍、4倍、8倍、16倍、32倍、64倍の大きさの定電流をそれぞれ出力する。

【0040】

表示パネル D_P 上には、走査信号線 ドライバ Y_{DR} がさらに配置されている。上記の通

10

20

30

40

50

り、走査信号線ドライバYDRには、走査信号線SL1及びSL2が接続されている。

【0041】

映像信号線ドライバXDRと走査信号線ドライバYDRとは、コントローラCNTに接続されている。コントローラCNTは、映像信号線ドライバXDRと走査信号線ドライバYDRとに、クロック信号CLK、スタート信号START、映像信号DATAなどの信号を出力する。

【0042】

コントローラCNTは、この例では、6ビットの映像信号（以下、6ビット信号という）から7ビットの映像信号（以下、7ビット信号という）を生成し、これを映像信号DATAとして映像信号線ドライバXDRに出力する。すなわち、この例では、コントローラCNTは、64階調の映像信号から128階調の映像信号を生成し、これを映像信号DATAとして映像信号線ドライバXDRに出力する。

【0043】

具体的には、コントローラCNTは、全ての6ビット信号を、例えば、1フレーム期間又はそれよりも長い期間にわたって記憶する。そして、各々の画素PXに供給すべき映像信号 I_{sig} のための映像信号DATAを、以下の方法で生成する。

【0044】

まず、この映像信号 I_{sig} に対応した6ビット信号（以下、変換前信号という）を、先の画素PXに1フレーム期間前に供給した映像信号 I_{sig} に対応した6ビット信号（以下、比較用信号という）と比較する。より大きな信号がより高い階調に対応しているとすると、変換前信号が比較用信号と等しいか又はそれよりも小さい場合には、変換前信号を、これと大きさが等しい7ビット信号（以下、第1変換後信号という）へと変換する。変換前信号が比較用信号よりも大きい場合には、変換前信号を、これよりも大きな7ビット信号（以下、第2変換後信号という）へと変換する。

【0045】

比較用信号よりも大きな変換前信号は、例えば、以下のように変換する。比較用信号が000000乃至001010（10進法で0乃至10）であり且つ変換前信号が000000乃至001010（10進法で1乃至20）である場合、第2変換後信号の大きさは変換前信号の1.5倍にほぼ等しくする。比較用信号が000000乃至001010（10進法で1乃至20）であり且つ変換前信号が010101乃至101110（10進法で21乃至46）である場合、第2変換後信号の大きさは変換前信号の1.4倍にほぼ等しくする。比較用信号が000000乃至001010（10進法で47乃至63）である場合、及び、比較用信号が001011乃至010100（10進法で11乃至20）であり且つ変換前信号が001100乃至101110（10進法で12乃至46）である場合、第2変換後信号の大きさは変換前信号の1.3倍にほぼ等しくする。比較用信号が001011乃至010100（10進法で21乃至62）であり且つ変換前信号が010110乃至101110（10進法で22乃至46）である場合、第2変換後信号の大きさは変換前信号の1.2倍にほぼ等しくする。比較用信号が010101乃至111110（10進法で23乃至46）であり且つ変換前信号が101111乃至111111（10進法で24乃至46）である場合、第2変換後信号の大きさは変換前信号の1.1倍にほぼ等しくする。

【0046】

この有機EL表示装置は、例えば、以下の方法により駆動する。

図4は、図1乃至図3に示す表示装置の駆動方法の一例を示すタイミングチャートである。図4には、画素PXがM個の行を形成している場合の駆動方法を描いており、横軸は時間を示し、縦軸は電位を示している。

【0047】

図4において、「XDR出力」のうち、「 I_{sigm} 」と表記した期間は映像信号線ドライバXDRが映像信号線DLに映像信号 I_{sigm} を出力する期間を示している。また、図

4において、「S L 1電位」及び「S L 2電位」で示す波形は走査信号線S L 1及びS L 2の電位をそれぞれ示している。

【0048】

この駆動方法では、ブランкиング期間と有効走査期間とを交互に繰り返す。ブランкиング期間では、全ての画素P Xで、スイッチS W b及びS W cは開いたままとしておく。有効走査期間では、画素P Xを行毎に選択する。各画素P Xの選択期間では書込動作を行い、非選択期間では表示動作を行う。

【0049】

例えば、m行目の画素を選択している期間（以下、m行目選択期間という）では、まず、m行目の画素P XのスイッチS W aを開く。次いで、マルチブレクサM L Tから各電流源C Sに7ビットのデジタル映像信号を出力すると共に、m行目の画素P XのスイッチS W b及びS W cを閉じる。なお、7ビットのデジタル映像信号は、上記の第1又は第2変換後信号をシリアル信号からパラレル信号へと変換したものである。

【0050】

電流源C Sは、デジタル映像信号をアナログ映像信号としての書込電流I_{sig}mに変換する。この書込電流I_{sig}mは、第1電源端子N D 1から電流源C Sへと流れる。これにより、駆動制御素子D Rのゲート電位を、駆動制御素子D Rのソース-ドレイン間に書込電流I_{sig}mが流れるときの値に設定する。

【0051】

その後、スイッチS W b及びS W cを開く。さらに、スイッチS W aを閉じることにより、m行目選択期間を終了する。

【0052】

スイッチS W aを開じると、有機EL素子O L E Dには、書込電流I_{sig}mに対応した大きさの駆動電流I_{drv}mが流れる。非選択期間では、スイッチS W aは閉じたままする。したがって、各画素P Xの有機EL素子O L E Dは、その画素P Xが次に選択されるまで、駆動電流I_{drv}mの大きさに対応した輝度で発光し続ける。

【0053】

さて、この駆動方法によれば、或る階調を表示している画素P Xに、それよりも高い階調に対応した映像信号を書き込んだ場合に、この映像信号を書き込んだ直後の非選択期間で階調再現性が不十分となるのを防止することができる。これについて、図5及び図6を参照しながら説明する。

【0054】

図5は、比較例に係る駆動方法を示すタイミングチャートである。図6は、本発明の一態様に係る駆動方法を示すタイミングチャートである。図中、横軸は時間を示し、縦軸は電位と電流値と輝度とを示している。

【0055】

図5及び図6には、m行目の或る画素P Xに供給する走査信号及び映像信号と、その画素P Xの輝度とを描いている。また、図5及び図6には、第Nフレームと第N+3フレームとで階調T_Lを表示し、第N+1フレームと第N+2フレームとで階調T_Hよりも高い階調T_Hを表示する例を示している。

【0056】

図5の駆動方法は、比較用信号に対する変換前信号の大きさに拘らず、各変換前信号（6ビットの映像信号）をこれと大きさが等しい変換後信号（7ビットの映像信号）へと変換する。これ以外は、図5の駆動方法は、図4を参照しながら説明した駆動方法と同様である。

【0057】

この駆動方法では、第Nフレームにおいてm行目の画素P Xに書き込む映像信号I_{sig}mは、第N+3フレームにおいてm行目の画素P Xに書き込む映像信号I_{sig}mと等しい。また、第N+1フレームにおいてm行目の画素P Xに書き込む映像信号I_{sig}mは、第N+2フレームにおいてm行目の画素P Xに書き込む映像信号I_{sig}mと等しい。そして

10

20

30

40

50

、第Nフレームにおいて映像信号を書き込んだ直後の非選択期間、第N+2フレームにおいて映像信号を書き込んだ直後の非選択期間、第N+3フレームにおいて映像信号を書き込んだ直後の非選択期間の何れにおいても、十分な階調再現性を達成している。

【0058】

しかしながら、この駆動方法では、理由が明らかにされている訳ではないが、先の画素P_Xは、第N+2フレームにおけるm行目選択期間を終了するまで、階調T_Hに対応した輝度で発光しない。すなわち、第N+1フレームにおけるm行目選択期間を終了してから第N+2フレームにおけるm行目選択期間を開始するまでの間、先の画素P_Xは階調T_Hに対応した輝度と比較してより低い輝度で発光する。例えば、先の画素P_Xは、第N+1フレームで映像信号I_{sigm}を書き込んだ直後の非選択期間では、第N+2フレームで映像信号I_{sigm}を書き込んだ直後の非選択期間の50乃至80%の輝度で発光する。

【0059】

このように、図5の方法では、階調T_Lを表示している画素P_Xに、それよりも高い階調T_Hに対応した映像信号を書き込んだ場合に、この映像信号を書き込んだ直後の非選択期間で階調再現性が不十分となる。

【0060】

これに対し、図6の駆動方法では、第N+1フレームにおいてm行目の画素P_Xに書き込む映像信号I_{sigm}を、第N+2フレームにおいてm行目の画素P_Xに書き込む映像信号I_{sigm}と比較してより大きくする。したがって、第N+1フレームにおいてm行目の画素P_Xに書き込む映像信号I_{sigm}の大きさを適宜設定することにより、第N+1フレームにおけるm行目選択期間を終了してから第N+2フレームにおけるm行目選択期間を開始するまでの間、先の画素P_Xを階調T_Hに対応した輝度で発光させることができる。すなわち、上記の階調再現性が不十分となるのを防止することができる。

【0061】

このように、本態様では、画素P_Xが、第1非選択期間で第1階調を表示し、その次の第2非選択期間で第1階調と等しいか又はそれよりも低い第2階調を表示する場合には、第1非選択期間と第2非選択期間との間の第1選択期間で映像信号として第1映像信号を前記駆動回路に書き込む。そして、画素P_Xが、第1非選択期間で第2階調よりも低い第3階調を表示し、第2非選択期間で第2階調を表示する場合には、第1選択期間で映像信号として第1映像信号と比較してより大きい第2映像信号を駆動回路に書き込む。これにより、或る階調T_Lを表示している画素P_Xに、それよりも高い階調T_Hに対応した映像信号を書き込んだ場合に、この映像信号を書き込んだ直後の非選択期間で階調再現性が不十分となるのを防止する。

【0062】

この駆動方法では、或る階調T_Lを表示している画素P_Xで、それよりも高い階調T_Hを複数の非選択期間にわたって表示させる場合、典型的には、映像信号I_{sigm}を以下のように設定する。すなわち、階調T_Hに対応した映像信号を書き込む最初の選択期間においてのみ映像信号I_{sigm}をより大きくし、それ以降の選択期間で書き込む映像信号I_{sigm}は本来の大きさとする。

【0063】

この駆動方法では、或る階調T_Lを表示している画素P_Xで、それよりも高い階調T_Hを表示させる場合、例えば、以下のように変換前信号から変換後信号への変換を行う。すなわち、階調T_Lが高くなるほど、変換前信号に対する変換後信号の比をより小さくする。また、階調T_Lが一定の条件のもとでは、階調T_Hが高くなるほど、変換前信号に対する変換後信号の比をより小さくする。

【0064】

本態様では、画素P_Xに図1及び図3の構造を採用したが、画素P_Xには他の構造を採用することも可能である。例えば、ダイオード接続スイッチS_{Wc}は、駆動制御素子D_Rのドレインとゲートとの間に接続する代わりに、駆動制御素子D_Rのゲートと映像信号線D_Lとの間に接続してもよい。或いは、映像信号供給制御スイッチS_{Wb}は、駆動制御素

子D Rのドレインと映像信号線D Lとの間に接続する代わりに、駆動制御素子D Rのゲートと映像信号線D Lとの間に接続してもよい。

【図面の簡単な説明】

【0065】

【図1】本発明の一態様に係る表示装置を概略的に示す平面図。

【図2】図1の表示装置に採用可能な構造の一例を概略的に示す部分断面図。

【図3】図1の表示装置の一部を示す等価回路図。

【図4】図1乃至図3に示す表示装置の駆動方法の一例を示すタイミングチャート。

【図5】比較例に係る駆動方法を示すタイミングチャート。

【図6】本発明の一態様に係る駆動方法を示すタイミングチャート。

10

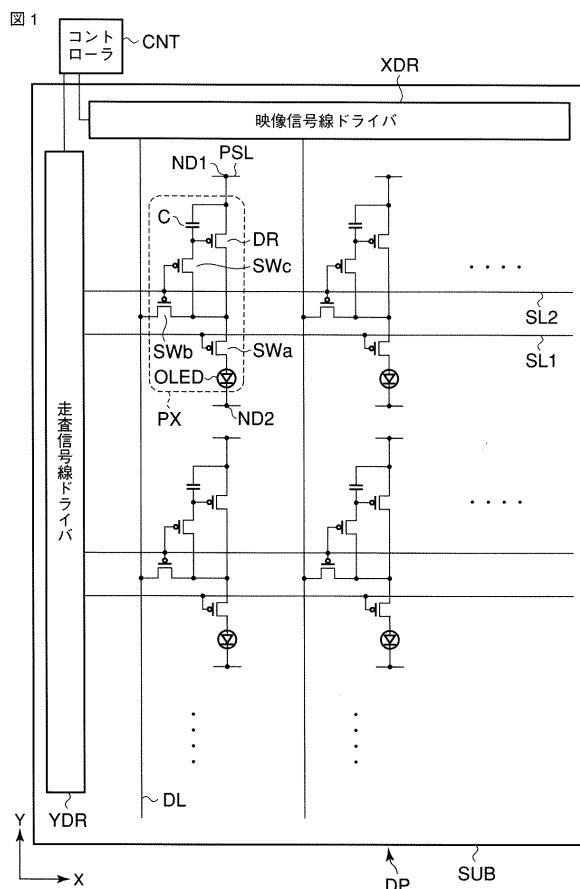
【符号の説明】

【0066】

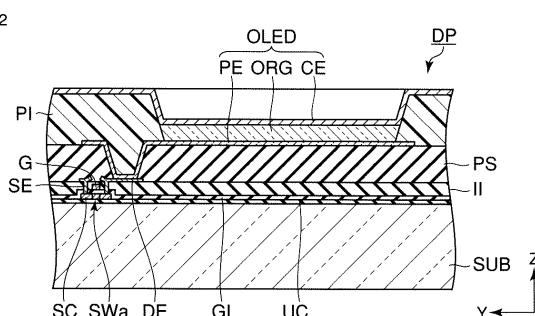
C ... キャパシタ、 C E ... 対向電極、 C N T ... コントローラ、 C S ... 電流源、 D E ... ドレン電極、 D L ... 映像信号線、 D P ... 表示パネル、 D R ... 駆動制御素子、 G ... ゲート、 G I ... ゲート絶縁膜、 I I ... 層間絶縁膜、 M L T ... マルチプレクサ、 N D 1 ... 電源端子、 N D 1' ... 定電位端子、 N D 2 ... 電源端子、 O L E D ... 有機E L素子、 O R G ... 有機物層、 P E ... 画素電極、 P I ... 隔壁絶縁層、 P S ... パッシベーション膜、 P S L ... 電源線、 P X ... 画素、 R ... 抵抗素子、 S C ... 半導体層、 S E ... ソース電極、 S L 1 ... 走査信号線、 S L 2 ... 走査信号線、 S U B ... 絶縁基板、 S W a ... スイッチ、 S W b ... スイッチ、 S W c ... スイッチ、 S W_{dg} ... スイッチ、 T R_{dg} ... 定電流源、 T R_{ref} ... 基準トランジスタ、 U C ... アンダーコート層、 X D R ... 映像信号線ドライバ、 Y D R ... 走査信号線ドライバ。

20

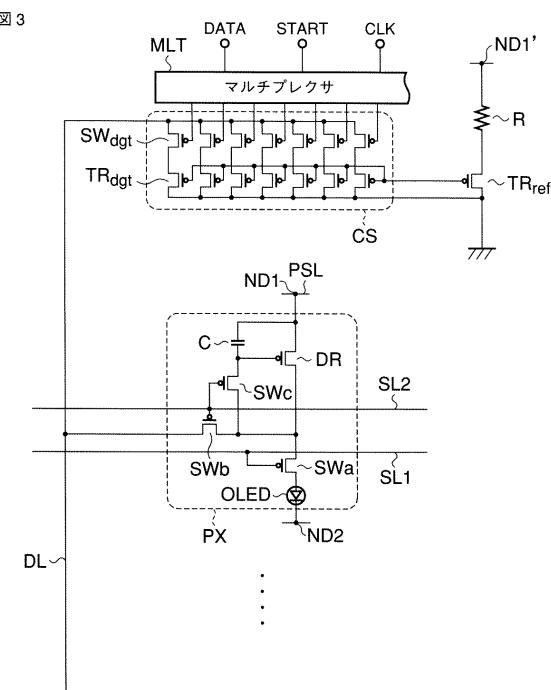
【図1】



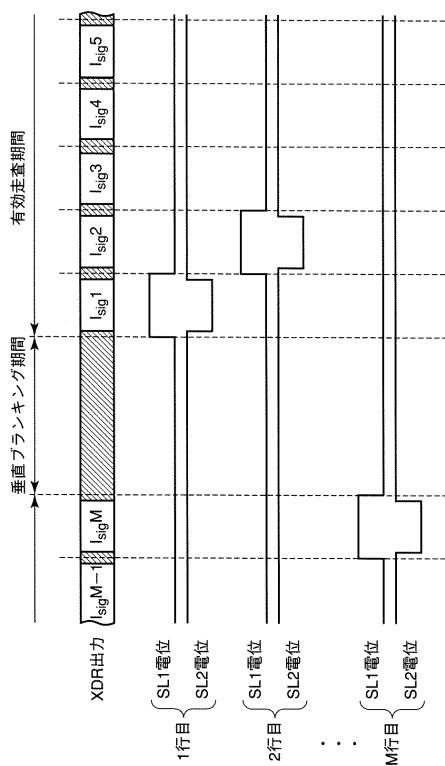
【図2】



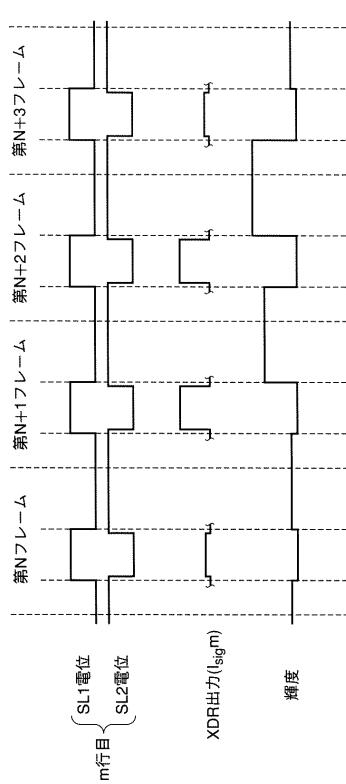
【図3】



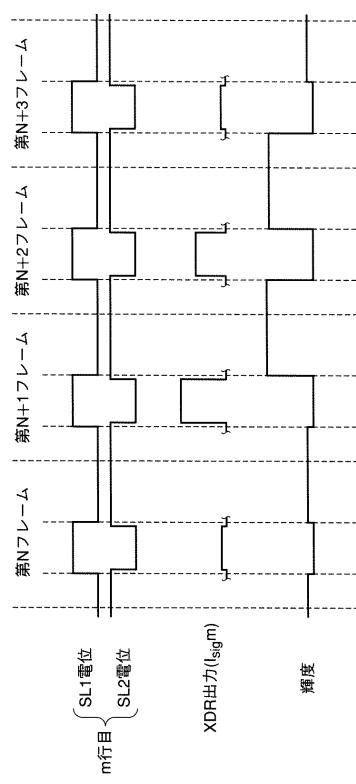
【図4】



【図5】



【図6】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 05 B 33/14

A

(74)代理人 100109830

弁理士 福原 淑弘

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 中村 則夫

東京都港区港南四丁目1番8号 東芝松下ディスプレイテクノロジー株式会社内

F ターム(参考) 3K107 AA01 BB01 CC31 EE03 HH00 HH04 HH05

5C080 AA06 BB05 DD09 EE29 FF11 JJ02 JJ03 JJ04 JJ06

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JP2007114287A	公开(公告)日	2007-05-10
申请号	JP2005303106	申请日	2005-10-18
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	中村則夫		
发明人	中村 則夫		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.622.B G09G3/20.623.B G09G3/20.612.F H05B33/14.A G09G3/3241 G09G3/3266 G09G3/3275 G09G3/3283		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC31 3K107/EE03 3K107/HH00 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD09 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C380/AA01 5C380/AB06 5C380/AB12 5C380/AB23 5C380/AB34 5C380/BA46 5C380/CA04 5C380/CA05 5C380/CA08 5C380/CA13 5C380/CA34 5C380/CB01 5C380/CB17 5C380/CC12 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC63 5C380/CD014 5C380/CF02 5C380/CF41 5C380/CF48 5C380/CF52 5C380/DA02 5C380/DA06 5C380/EA11 5C380/FA09		
代理人(译)	河野 哲 中村诚		
外部链接	Espacenet		

摘要(译)

种类代码 : A1当将对应于较高灰度的视频信号写入显示一定灰度的像素中时,紧接着在写入该视频信号之后的非选择时段中,灰度再现性不令人满意。防止其不足。在每个选择时段中,电流源CS经由视频信号线DL连接到像素PX中包括的驱动电路,以执行用于在驱动电路中写入视频信号的写操作,并且在每个非选择时段中,进行显示操作,其中通过连接驱动电路和像素电极将驱动电流提供给显示元件OLED,像素PX在第一非选择时段中显示第一灰度级,并且在第二非选择时段中显示第一灰度级。在显示等于或低于灰度级的第二灰度的情况下,在第一非选择时段和第二非选择时段之间的第一选择时段中将第一视频信号写入驱动电路,当像素PX在第一非选择时段中显示低于第二灰度的第三灰度并且在第二非选择时段中显示第二灰度时,在第一选择时段中的第一图像。大于该信号的第二视频信号被写入驱动电路。[选择图]图3

