

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-189676

(P2005-189676A)

(43) 公開日 平成17年7月14日(2005.7.14)

(51) Int.Cl.⁷

G09F 9/30

H05B 33/06

H05B 33/14

F I

G09F 9/30

G09F 9/30

H05B 33/06

H05B 33/14

330Z

365Z

A

テーマコード(参考)

3K007

5C094

審査請求 未請求 請求項の数 6 O L (全 12 頁)

(21) 出願番号 特願2003-433446(P2003-433446)

(22) 出願日 平成15年12月26日(2003.12.26)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(74) 代理人 100102185

弁理士 多田 繁範

(72) 発明者 山下 淳一

東京都品川区北品川6丁目7番35号 ソ

ニー株式会社内

(72) 発明者 内野 勝秀

東京都品川区北品川6丁目7番35号 ソ

ニー株式会社内

Fターム(参考) 3K007 AB05 AB17 BA06 CC05 DB03

FA02

5C094 AA21 AA55 BA03 BA29 CA19

EA10

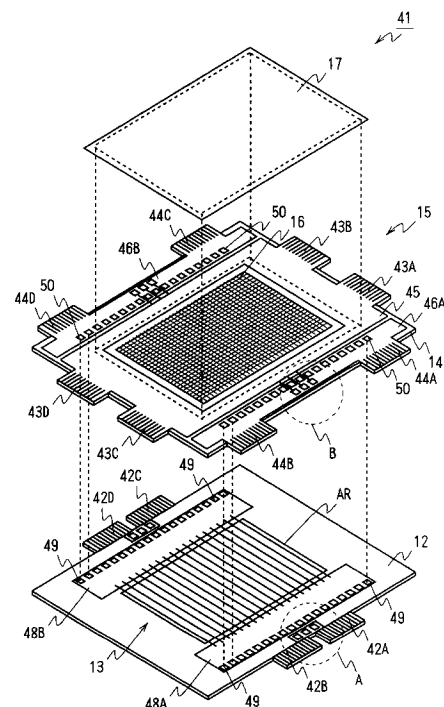
(54) 【発明の名称】 ディスプレイ装置

(57) 【要約】

【課題】 本発明は、ディスプレイ装置に関し、例えば有機EL素子によるディスプレイ装置に適用して、配線パターンの抵抗による画質劣化を有効に回避することができるようにする。

【解決手段】 本発明は、画素部ARを囲むように形成された配線パターン45について、この配線パターン45の外側配線パターン46A、46Bとの間で、接続用の部位50、51を入れ子に形成し、この外側配線パターン46A、46B側にも外部接続用の電極42A~42Dにより引き出せるようにする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

略長方形形状による領域にマトリックス状に画素を配置してなる画素部と、

前記画素部を囲むように第 1 の配線パターン層に設けられて、前記画素部の各画素に接続され、対向する 2 つの辺に外部接続用の電極が設けられた第 1 の配線パターンと、

前記第 1 の配線パターン層とは異なる第 2 の配線パターン層に、前記対向する 2 つの辺とは異なる 2 辺に沿ってそれぞれ延長するように形成された 1 対の配線パターン部により形成され、前記各画素に接続された第 2 の配線パターンと、

前記第 1 の配線パターン層に、前記異なる 2 辺に沿ってそれぞれ延長するように形成された 1 対の配線パターン部により形成され、該延長する方向に順次形成された複数の接続用の部位を介して前記第 2 の配線パターンの対応する配線パターン部に接続され、前記異なる 2 辺にそれぞれ外部接続用の電極が設けられてなる第 3 の配線パターンとを有し、

前記第 1 の配線パターンは、

少なくとも前記異なる 2 辺のほぼ中央の部位において、前記第 3 の配線パターンの前記接続用の部位に対して入れ子となるように接続用の部位が形成されて、該接続用の部位を介して、前記第 1 の配線パターン層とは異なる配線パターン層に形成された外部接続用の電極に接続されてなる

ことを特徴とするディスプレイ装置。

【請求項 2】

前記第 3 の配線パターンに接続される前記外部接続用の電極は、

前記異なる 2 辺の両端側に形成され、

前記第 1 の配線パターンに接続される前記異なる配線パターン層に形成された前記外部接続用の電極は、

前記異なる 2 辺の略中央の部位に形成された

ことを特徴とする請求項 1 に記載のディスプレイ装置。

【請求項 3】

前記第 2 の配線パターン層を形成してなる基板上に、平坦化膜を介して前記第 1 の配線パターン層が形成された

ことを特徴とする請求項 1 に記載のディスプレイ装置。

【請求項 4】

前記画素は、

前記第 1 及び第 2 の配線パターンにより供給される駆動電流により動作する発光素子を有する

ことを特徴とする請求項 1 に記載のディスプレイ装置。

【請求項 5】

略長方形形状による領域に有機 EL 素子による画素をマトリックス状に配置してなる画素部と、

前記画素部を囲むように第 1 の配線パターン層に設けられて、前記画素部の各画素に接続され、対向する 2 つの辺に外部接続用の電極が設けられた第 1 の配線パターンと、

前記第 1 の配線パターン層とは異なる第 2 の配線パターン層に、前記対向する 2 つの辺とは異なる 2 辺に沿ってそれぞれ延長するように形成された 1 対の配線パターン部により形成され、前記各画素に接続された第 2 の配線パターンと、

前記第 1 の配線パターン層に、前記異なる 2 辺に沿ってそれぞれ延長するように形成された 1 対の配線パターン部により形成され、該延長する方向に順次形成された複数の接続用の部位を介して前記第 2 の配線パターンの対応する配線パターン部に接続され、前記異なる 2 辺にそれぞれ外部接続用の電極が設けられてなる第 3 の配線パターンとを有し、

前記第 1 の配線パターンは、

少なくとも前記異なる 2 辺のほぼ中央の部位において、前記第 3 の配線パターンの前記接続用の部位に対して入れ子となるように接続用の部位が形成されて、該接続用の部位を介して、前記第 1 の配線パターン層とは異なる配線パターン層に形成された外部接続用の

10

20

30

40

50

電極に接続されてなり、

前記第 1、第 2、第 3 の配線パターンが、前記有機 E L 素子の駆動電流の経路であることを特徴とするディスプレイ装置。

【請求項 6】

前記画素は、

前記有機 E L 素子と、前記有機 E L 素子を駆動する画素回路とを有し、

前記第 2 の配線パターン層は、

所定の基板上に前記画素回路を形成する際の配線パターン層であり、

前記第 1 の配線パターン層は、

前記画素回路を前記有機 E L 素子のアノードに接続する配線パターン層であり、

前記有機 E L 素子のカソード電極が接続されて、前記画素部の各画素に接続される

ことを特徴とする請求項 5 に記載のディスプレイ装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ディスプレイ装置に関し、例えば有機 E L (Electro Luminescence) 素子によるディスプレイ装置に適用することができる。本発明は、画素部を囲むように形成された配線パターンについて、この配線パターンの外側配線パターンとの間で、接続用の部位を入れ子に形成し、この外側配線パターン側にも外部接続用の電極により引き出せるようにすることにより、配線パターンの抵抗による画質劣化を有効に回避することができるようにする。

20

【背景技術】

【0002】

従来、有機 E L 素子においては、例えば U S P 5, 6 8 4, 3 6 5、特開平 8 - 2 3 4 6 8 3 号公報等にディスプレイ装置への応用が種々に提案されるようになされている。

【0003】

このようなディスプレイ装置 1 においては、図 4 に示すように、例えばガラス等による基板 2 上に、マトリックス状に画素 4 を配置して画素部 3 が形成されるようになされ、この画素 4 において、駆動用トランジスタ T R 2 により有機 E L 素子 5 を駆動するようになされている。このためこのディスプレイ装置 1 においては、トランジスタ T R 1 をオンオフ制御して信号線 S I G の信号レベルにより信号レベル保持用のコンデンサ C s の端子電圧を設定し、この信号レベル保持用のコンデンサ C s によるゲート電圧により駆動用トランジスタ T R 2 で有機 E L 素子 5 を電流駆動するようになされている。なお以下においては、このように各画素において、有機 E L 素子 5 の駆動に供するトランジスタ等による回路を画素回路と呼ぶ。

30

【0004】

しかしてこのような電流駆動による各画素 4 においては、電源 V c c より有機 E L 素子 5 の駆動電流が供給されて、この電流が駆動用トランジスタ T R 2、有機 E L 素子 5 を流れて有機 E L 素子 5 のカソード電源 V cathode に流出することになり、電源 V c c 及びカソード電源 V cathode の配線パターンにおいては、画素部 3 を構成する全ての画素 4 について有機 E L 素子 5 の駆動電流が流れることになる。これによりディスプレイ装置 1 では、電源 V c c 及びカソード電源 V cathode の配線パターンに膨大な電流が流れることになり、僅かの配線抵抗であっても無視し得ない程度の電圧降下がこれらの配線パターンで発生する。

40

【0005】

これに対して図 4 に示すディスプレイ装置 1 においては、このような電圧降下により画素 4 に供給される電源 V c c、カソード電源 V cathode の電圧が変化すると、有機 E L 素子 5 の動作点が変化し、これにより所望する輝度により有機 E L 素子 5 を発光できなくなる。これによりこの種のディスプレイ装置においては、これら電源 V c c 及びカソード電

50

源 V cathode の配線パターンを極力、低抵抗化することが求められる。

【0006】

図5は、これらの配線パターンを低抵抗化し得ると考えられるディスプレイ装置11の構成を示す分解斜視図である。このディスプレイ装置11においては、ガラス基板12上の画素部となる領域ARに各画素の画素回路、この画素回路に係る走査線、信号線が形成された後、絶縁層による平坦化膜14、アノードレイヤーの配線層15が形成される。ディスプレイ装置11では、このアノードレイヤーの配線層15により駆動用トランジスタTR2を有機EL素子5のアノードに接続する電極16が形成される。ディスプレイ装置11は、続いて有機EL素子5の材料層が形成された後、有機EL素子5のカソード電極の配線パターン17、封止部材が設けられる。

10

【0007】

しかしてこのようにして形成されるディスプレイ装置11において、カソード電極の配線パターン17にあっては、有機EL素子5の光を透過して出射することが必要なことにより、透明電極により形成され、これにより低抵抗化が困難な欠点がある。これに対して平坦化膜14の下層側にあっては、アルミニウムによる配線材料を適用し得ることにより、カソード電極の配線パターン17に比して低抵抗化し得るものの限度がある。これに対してアノードレイヤーの配線層15は、平坦化膜14上に下層の配線パターンと絶縁されて設けられることにより、低抵抗化が比較的容易な特徴がある。

【0008】

これによりディスプレイ装置11では、アノードレイヤーの配線層15を利用して、カソード電極の配線パターン17と電源Vccの配線パターンとが形成される。すなわちアノードレイヤーの配線層15は、画素部となる矩形の領域を囲むように、幅広の配線パターン18が形成され、破線により示すように、カソード電極の配線パターン17の周囲がこの幅広の配線パターン18に接続される。またこの配線パターン18がこのディスプレイ装置11の短辺側、対向する2辺よりそれぞれ飛び出すように形成された外部接続用の電極であるカソード用のパッド20A~20Dに接続され、これらにより低抵抗であるアノードレイヤーの配線層15を介してカソード電極の配線パターン17がカソード電源に接続される。なおこのカソード電源用のパッド20A~20Dにあっては、両短辺の両端側にそれぞれ設けられ、これによりディスプレイ装置11では、パッド20A~20Dによる接続部分で電圧降下を十分に低減するようになされている。

20

30

【0009】

またアノードレイヤーの配線層15は、このカソード電極の配線パターン17に係る配線パターン18の上下、このディスプレイ装置11の長辺に沿って、1組の幅広による配線パターン19A、19Bが形成され、この幅広の配線パターン19A、19Bがディスプレイ装置11の上下の長辺より飛び出すように形成された外部接続用の電極である電源用のパッド21A及び21B、21C及び21Dに接続される。なおこの電源用のパッド21A及び21B、21C及び21Dにあっては、両長辺の両端にそれぞれ設けられ、これによりディスプレイ装置11では、パッド21A~21Dによる接続部分で電圧降下を十分に低減するようになされている。

【0010】

ディスプレイ装置11は、平坦化膜14の下層において、このディスプレイ装置11による表示画面の上下方向に画素部となる領域ARを横切るように、また水平方向に連続する画素毎に、アルミニウムにより電源Vccの画素部に係る配線パターン13が形成される。ここでこの電源Vccの画素部に係る配線パターン13は、画素部となる領域ARの上下で、このディスプレイ装置11の長辺に沿って延長する幅広の配線パターン22A、22Bに接続され、破線により示すように、この配線パターン22A、22Bの長手方向に連続するように形成された複数の電極25を介して、アノードレイヤーの配線層15に形成された幅広の配線パターン19A、19Bに接続される。

40

【0011】

これらによりこのディスプレイ装置11では、中間層であるアノードレイヤーの配線層

50

15を有効に利用して、電源Vcc及びカソード電源Vcathodeの配線パターンを極力、低抵抗化するようになされている。なお基板12には、長辺の、電源用のパッド21A～21Dの内側に、信号線用、走査線用のパッド24A～24Dが設けられるようになされている。

【0012】

しかしながらこのようにアノードレイヤーの配線層15を利用して電源Vcc及びカソード電源Vcathodeの配線パターンを極力、低抵抗化するようにしても、アノードレイヤーの配線層15自体、ある程度の抵抗値を有することにより、カソード電源用のパッド20A～20Dに近い部位と、これらカソード電源用のパッド20A～20Dより遠い部位とでカソード電極の配線パターン17に係る配線パターン18による電圧降下の影響を避け得ず、これにより図6に示すように、水平方向に画面中央部分で輝度レベルが低下してなるシェーディングが発生し、これにより画質が劣化する問題があった。

10

【特許文献1】USP5,684,365

【特許文献2】特開平8-234683号

【発明の開示】

【発明が解決しようとする課題】

【0013】

本発明は以上の点を考慮してなされたもので、配線パターンの抵抗による画質劣化を有効に回避することができるディスプレイ装置を提案しようとするものである。

【課題を解決するための手段】

20

【0014】

かかる課題を解決するため請求項1の発明においては、略長方形形状による領域にマトリックス状に画素を配置してなる画素部と、画素部を囲むように第1の配線パターン層に設けられて、画素部の各画素に接続され、対向する2つの辺に外部接続用の電極が設けられた第1の配線パターンと、第1の配線パターン層とは異なる第2の配線パターン層に、対向する2つの辺とは異なる2辺に沿ってそれぞれ延長するように形成された1対の配線パターン部により形成され、各画素に接続された第2の配線パターンと、第1の配線パターン層に、異なる2辺に沿ってそれぞれ延長するように形成された1対の配線パターン部により形成され、該延長する方向に順次形成された複数の接続用の部位を介して第2の配線パターンの対応する配線パターン部に接続され、異なる2辺にそれぞれ外部接続用の電極が設けられてなる第3の配線パターンとを有し、第1の配線パターンは、少なくとも異なる2辺のほぼ中央の部位において、第3の配線パターンの接続用の部位に対して入れ子となるように接続用の部位が形成されて、該接続用の部位を介して、第1の配線パターン層とは異なる配線パターン層に形成された外部接続用の電極に接続されてなるようにする。

30

【0015】

また請求項5の発明においては、略長方形形状による領域に有機EL素子による画素をマトリックス状に配置してなる画素部と、画素部を囲むように第1の配線パターン層に設けられて、画素部の各画素に接続され、対向する2つの辺に外部接続用の電極が設けられた第1の配線パターンと、第1の配線パターン層とは異なる第2の配線パターン層に、対向する2つの辺とは異なる2辺に沿ってそれぞれ延長するように形成された1対の配線パターン部により形成され、各画素に接続された第2の配線パターンと、第1の配線パターン層に、異なる2辺に沿ってそれぞれ延長するように形成された1対の配線パターン部により形成され、該延長する方向に順次形成された複数の接続用の部位を介して第2の配線パターンの対応する配線パターン部に接続され、異なる2辺にそれぞれ外部接続用の電極が設けられてなる第3の配線パターンとを有し、第1の配線パターンは、少なくとも異なる2辺のほぼ中央の部位において、第3の配線パターンの接続用の部位に対して入れ子となるように接続用の部位が形成されて、該接続用の部位を介して、第1の配線パターン層とは異なる配線パターン層に形成された外部接続用の電極に接続されてなり、第1、第2、第3の配線パターンが、有機EL素子の駆動電流の経路であるようにする。

40

50

【0016】

請求項1の構成により、略長方形形状による領域にマトリックス状に画素を配置してなる画素部と、画素部を囲むように第1の配線パターン層に設けられて、画素部の各画素に接続され、対向する2つの辺に外部接続用の電極が設けられた第1の配線パターンと、第1の配線パターン層とは異なる第2の配線パターン層に、対向する2つの辺とは異なる2辺に沿ってそれぞれ延長するように形成された1対の配線パターン部により形成され、各画素に接続された第2の配線パターンと、第1の配線パターン層に、異なる2辺に沿ってそれぞれ延長するように形成された1対の配線パターン部により形成され、該延長する方向に順次形成された複数の接続用の部位を介して第2の配線パターンの対応する配線パターン部に接続され、異なる2辺にそれぞれ外部接続用の電極が設けられてなる第3の配線パターンとを有し、第1の配線パターンは、少なくとも異なる2辺のほぼ中央の部位において、第3の配線パターンの接続用の部位に対して入れ子となるように接続用の部位が形成されて、該接続用の部位を介して、第1の配線パターン層とは異なる配線パターン層に形成された外部接続用の電極に接続されてなるようにすれば、この第1の配線パターンは、画素部を囲むように形成されて対向する2辺の外部接続用の電極と、入れ子による接続用の部位を介した他の2辺側の外部接続用の電極とから、外部の電源等に接続することができる。しかしてこの場合、この他の2辺に沿った側においては、この他の2辺側の外部接続用の電極による接続により、2辺側の外部接続用の電極による接続の場合に比して、この2辺に沿った側の配線パターンによる各画素に至るまでの配線パターンの抵抗値を低減し得、これにより配線パターンの抵抗による画質劣化を有効に回避することができる。

【0017】

また請求項5の構成により、略長方形形状による領域に有機EL素子による画素をマトリックス状に配置してなる画素部と、画素部を囲むように第1の配線パターン層に設けられて、画素部の各画素に接続され、対向する2つの辺に外部接続用の電極が設けられた第1の配線パターンと、第1の配線パターン層とは異なる第2の配線パターン層に、対向する2つの辺とは異なる2辺に沿ってそれぞれ延長するように形成された1対の配線パターン部により形成され、各画素に接続された第2の配線パターンと、第1の配線パターン層に、異なる2辺に沿ってそれぞれ延長するように形成された1対の配線パターン部により形成され、該延長する方向に順次形成された複数の接続用の部位を介して第2の配線パターンの対応する配線パターン部に接続され、異なる2辺にそれぞれ外部接続用の電極が設けられてなる第3の配線パターンとを有し、第1の配線パターンは、少なくとも異なる2辺のほぼ中央の部位において、第3の配線パターンの接続用の部位に対して入れ子となるように接続用の部位が形成されて、該接続用の部位を介して、第1の配線パターン層とは異なる配線パターン層に形成された外部接続用の電極に接続されてなり、第1、第2、第3の配線パターンが、有機EL素子の駆動電流の経路であるようにすれば、この第1の配線パターンは、画素部を囲むように形成されて対向する2辺の外部接続用の電極と、入れ子による接続用の部位を介した他の2辺側の外部接続用の電極とから、外部の電源に接続して有機EL素子の駆動電流を流すことができる。しかしてこの場合、この他の2辺に沿った側においては、この他の2辺側の外部接続用の電極による接続により、この他の2辺に沿った側の配線パターンによる各画素に至るまでの配線パターンの抵抗値を低減し得、これにより配線パターンの抵抗による画質劣化を有効に回避することができる。

【発明の効果】

【0018】

本発明によれば、配線パターンの抵抗による画質劣化を有効に回避することができる。

【発明を実施するための最良の形態】

【0019】

以下、適宜図面を参照しながら本発明の実施例を詳述する。

【実施例1】

【0020】

(1) 実施例の構成

図 1 は、図 5 との対比により本発明の実施例 1 に係るディスプレイ装置を示す分解斜視図である。このディスプレイ装置 4 1 において、図 5 について上述したディスプレイ装置 1 1 と同一の構成は対応する符号を付して示し、重複した説明は省略する。

【0021】

このディスプレイ装置 4 1 は、ガラス基板 1 2 上の矩形の領域 A R に有機 E L 素子による画素がマトリックス状に配置されて画素部が形成され、周囲に形成されたパッド 4 2 A ~ 4 2 D、4 3 A ~ 4 3 D、4 4 A ~ 4 4 D を介してこの画素部を駆動して所望の画像を表示する。

【0022】

このためディスプレイ装置 4 1 は、この矩形の領域 A R に各画素の画素回路、この画素回路に係る走査線、信号線が形成された後、絶縁層による平坦化膜 1 4、アノードレイヤーの配線層 1 5 が形成され、このアノードレイヤーの配線層 1 5 により駆動用トランジスタ T R 2 を有機 E L 素子 5 のアノードに接続する電極 1 6 が形成される (図 4)。またディスプレイ装置 4 1 は、続いて有機 E L 素子 5 の材料層が形成された後、有機 E L 素子 5 のカソード電極の配線パターン 1 7、封止部材が設けられる。

【0023】

このようにして作成したディスプレイ装置 4 1 において、アノードレイヤーの配線層 1 5 は、画素部となる矩形の領域を囲むように、幅広の配線パターン 4 5 が形成され、破線により示すように、カソード電極の配線パターン 1 7 の周囲がこの幅広の配線パターン 4 5 に接続される。またこの配線パターン 4 5 がこのディスプレイ装置 4 1 の短辺側、対向する 2 辺にそれぞれ形成された外部接続用の電極であるカソード用のパッド 4 3 A ~ 4 3 D に接続され、これらにより低抵抗であるアノードレイヤーの配線層 1 5 を介してカソード電極の配線パターン 1 7 がカソード電源に接続される。なおこのカソード電源用のパッド 4 3 A ~ 4 3 D にあっては、両短辺の上下にそれぞれ設けられ、これによりディスプレイ装置 4 1 では、パッド 4 3 A ~ 4 3 D による接続部分で電圧降下を十分に低減するようになされている。

【0024】

またアノードレイヤーの配線層 1 5 は、このカソード電極の配線パターン 1 7 に係る配線パターン 4 5 の上下、このディスプレイ装置 4 1 の長辺に沿って、1 組の幅広による配線パターン 4 6 A、4 6 B が形成され、この幅広の配線パターン 4 6 A、4 6 B がディスプレイ装置 4 1 の上下の長辺に形成された外部接続用の電極である電源用のパッド 4 4 A 及び 4 4 B、4 4 C 及び 4 4 D に接続される。なおこの電源用のパッド 4 4 A 及び 4 4 B、4 4 C 及び 4 4 D にあっても、両長辺の両端にそれぞれ設けられ、これによりディスプレイ装置 4 1 では、パッド 4 4 A ~ 4 4 D による接続部分で電圧降下を十分に低減するようになされている。

【0025】

ディスプレイ装置 4 1 は、平坦化膜 1 4 の下層において、このディスプレイ装置 4 1 による表示画面の上下方向に画素部となる領域 A R を横切るように、また水平方向に連続する画素毎に、アルミニウムにより電源 V c c の画素部に係る配線パターン 1 3 が形成される。ここでこの電源 V c c の画素部に係る配線パターン 1 3 は、画素部となる領域 A R の上下で、このディスプレイ装置 4 1 の長辺に沿って延長する幅広の配線パターン 4 8 A、4 8 B に接続され、破線により示すように、この配線パターン 4 8 A、4 8 B の長手方向に連続するように形成された複数の電極 4 9 を介して、アノードレイヤーの配線層 1 5 に形成された幅広の配線パターン 4 6 A、4 6 B に接続される。

【0026】

これによりディスプレイ装置 4 1 では、アノードレイヤーの配線層 1 5 に形成された幅広の配線パターン 4 6 A、4 6 B に、配線パターン 4 8 A、4 8 B に形成された複数の電極 4 9 に対応する接続用の部位である電極 5 0 が形成されるようになされている。

【0027】

このディスプレイ装置 4 1 において、画素部を囲むように形成される配線パターン 4 5

は、符号 A 及び B により示す部分を拡大して図 2 に示すように、長辺側の略中央の部位において、これら複数の電極 50 と入れ子となるように電極 51 が形成され、この電極 51 を介して外部接続用の端子であるパッド 42 A ~ 42 D に接続される。なおこの図 2 においては、図 1 において正面側の部位のみを示すが、図 1 において背面側の部位においても、同様に構成される。

【0028】

すなわち配線パターン 46 A、46 B は、内側の辺に沿って、電極 50 が所定ピッチにより形成される。配線パターン 45 は、長辺側のほぼ中央の部位において、これら連続する電極 50 の間を通して外側に延長するように形成され、この延長した先端に電極 51 が形成され、配線パターン 46 A、46 B においては、この電極 51 の外側にて、これら中央の部位の連続する電極 50 が相互に接続されるようになされている。

10

【0029】

ディスプレイ装置 41 は、アノードレイヤーの配線層 15 の下層の配線パターン層において、これら電極 51 に対応する部位に配線パターン 52 が形成され、この配線パターン 52 に形成された電極 53 により、矢印に示すように、この配線パターン 52 が配線パターン 45 に接続される。またこの配線パターン 52 が、信号線用、走査線用のパッド 42 A ~ 42 D の内側の 3 つの電極に接続され、これらにより画素部を囲むように形成される配線パターン 45 が、電極 51 を介して外部接続用の端子であるパッド 42 A ~ 42 D に接続されるようになされている。

【0030】

20

これらによりこの実施例において、配線パターン 45 は、画素部を囲むようにアノードレイヤーの配線層による第 1 の配線パターン層に設けられて、画素部の各画素に接続され、対向する 2 つの辺に外部接続用の電極が設けられた第 1 の配線パターンを構成するようになされている。また配線パターン 48 A、48 B は、この第 1 の配線パターン層とは異なる第 2 の配線パターン層に、配線パターン 45 に係る対向する 2 つの辺とは異なる 2 辺に沿ってそれぞれ延長するように形成された 1 対の配線パターン部により形成され、各画素に接続された第 2 の配線パターンを形成するようになされている。また配線パターン 46 A、46 B は、第 1 の配線パターン層に、先の異なる 2 辺に沿ってそれぞれ延長するように形成された 1 対の配線パターン部により形成され、該延長する方向に順次形成された複数の接続用の部位である電極 50 を介して第 2 の配線パターン 48 A、48 B の対応する配線パターン部に接続され、異なる 2 辺にそれぞれ外部接続用の電極が設けられてなる第 3 の配線パターンを構成するようになされている。

30

【0031】

(2) 実施例の動作

以上の構成において、このディスプレイ装置 41 では、周囲に形成されたパッド 42 A ~ 42 D、43 A ~ 43 D、44 A ~ 44 D が電源、駆動回路等に接続されて所望の画像が画素部で表示される。すなわちディスプレイ装置 41 では、これらパッド 42 A ~ 42 D、43 A ~ 43 D、44 A ~ 44 D のうち、長辺側の両端に設けられたパッド 44 A ~ 44 D が電源 Vcc 用に割り当てられ、また短辺側の両端に設けられたパッド 43 A ~ 43 D がカソード用に割り当てられ、残る信号線用、走査線用のパッド 42 A ~ 42 D を介して各画素の階調が設定されて所望の画像が表示される。

40

【0032】

ディスプレイ装置 41 では、このようにして各画素を駆動するにつき、長辺側の両端に設けられたパッド 44 A ~ 44 D より供給される電源 Vcc が、このパッド 44 A ~ 44 D よりアノードレイヤーの配線層 15 に形成された配線パターン 46 A、46 B に供給され、さらにこの配線パターン 46 A、46 B に設けられた電極 50 を介して下層の配線パターン層に形成された配線パターン 48 A、48 B に供給され、この配線パターン 48 A、48 B から画素部を横切って上下方向に延長する配線パターン 13 を介して各画素に供給される。

【0033】

50

またこのようにして各画素に電源 V_{cc} を供給して、ディスプレイ装置 41 では、各画素に設けられた駆動用トランジスタ T_R2 (図 4) が、アノードレイヤーの配線層 15 に形成された電極 16 により上層の有機 EL 素子に接続され、この駆動用トランジスタ T_R2 による有機 EL 素子の駆動電流がさらに上層のカソード電極の配線パターン 17 により画素部でまとめられる。ディスプレイ装置 41 では、このカソード電極の配線パターン 17 にまとめられた有機 EL 素子の駆動電流が、このカソード電極の配線パターン 17 の周囲より、画素部を囲むようにアノードレイヤーの配線層 15 に形成された配線パターン 45 に導かれ、この配線パターン 45 に接続されてなる短辺側のカソード用のパッド 43A ~ 43D より流出し、この配線パターン 45 の外側に、先の電源用の配線パターン 46A、46B が形成される。

10

【0034】

これによりディスプレイ装置 41 では、多数の配線パターン層の中で最も抵抗値の低いアノードレイヤーの配線層 15 を有効に利用して、有機 EL 素子に係る駆動電流の経路を低抵抗化し、消費電力を低減すると共に、配線パターンの抵抗による画質劣化を有効に回避するようになされている。

【0035】

しかしながらこのようにして配線パターンを形成しても、カソード電極の引き出しに係る配線パターン 45 においては、画素部を囲むように形成されて、短辺側の両端にパッド 43A ~ 43D が形成されていることにより、長辺側の中央部分にあっては、長辺側の端部に比して配線パターンの抵抗値による電圧降下を避け得ず、これにより水平方向の中央

20

【0036】

この実施例では、このような現象を防止するべく、このような両長辺のほぼ中央の部位に、電源に係る配線パターン 46A、46B の電極 50 に対して、入れ子にカソードの配線パターン 17 に係る配線パターン 45 の電極 51 が形成され、この電極 51 を介して下層の配線パターン 52 に配線パターン 45 が接続され、信号線用のパッド 42A ~ 42D の内側の電極を介して外部に接続される。

【0037】

これによりカソードに係る配線パターン 45 においては、短辺側の両端に加えて、長辺側の中央部分からも引き出され、長辺側の中央部分における配線パターンの抵抗による電

30

【0038】

(3) 実施例の効果

以上の構成によれば、画素部を囲むように形成された配線パターンについて、この配線パターンの外側配線パターンとの間で、接続用の部位を入れ子に形成し、この外側配線パターン側にも外部接続用の電極により引き出せるようにすることにより、配線パターンの抵抗による画質劣化を有効に回避することができる。

【0039】

またこのような引き出しに係る外部接続用の電極を、長辺側の略中央の部位に形成することにより、最も配線パターンによる電圧降下の激しい部位について、このような電圧降下を効率良く防止し得、これにより効率良く画質劣化を防止することができる。

40

【0040】

またこのような配線の前提となるアノードレイヤーの配線層が、下層の電源に係る配線パターン 49A、49B を形成してなる基板上に、平坦化膜を介して形成されてなることにより、このアノードレイヤーの配線層の抵抗値を小さくして配線パターンの抵抗値による画質劣化を有効に回避することができる。

【0041】

特に、このような配線パターンに係る画素が、有機 EL 素子に係る電流駆動の発光素子

50

であることにより、配線パターンの抵抗値による画質劣化を効率良く回避することができる。

【実施例 2】

【0042】

図 3 は、本発明の実施例 2 に係るディスプレイ装置を、アノードレイヤーの配線層を形成した状態により示す平面図である。このディスプレイ装置 61 は、4 つの基板 62 A、62 B、62 C、62 D にそれぞれ画素部等を形成し、これら 4 つの基板 62 A、62 B、62 C、62 D によるアッセンブリを組み合わせて形成される。ディスプレイ装置 61 は、これら 4 つの基板 62 A、62 B、62 C、62 D によるアッセンブリを組み合わせた状態で、実施例 1 について上述したと同様の短辺及び長辺に対する配置により、カソード用のパッド 63 A、63 B、63 C、63 D、電源用のパッド 64 A、64 B、64 C、64 D、信号線及び走査線用のパッド 65 A、65 B、65 C、65 D が設けられるようになされている。

10

【0043】

このディスプレイ装置 61 は、この信号線及び走査線用のパッド 65 A、65 B、65 C、65 D に係る電極のうちの内側の電極が、上述した実施例 1 に係るディスプレイ装置 41 と同様の接続により、電源用の電極に割り当てられ、電源に係る配線パターンの抵抗値による画質劣化を防止するようになされている。

【0044】

この実施例のように、複数の基板の組み合わせによりディスプレイ装置を形成する場合であっても、画素部を囲むように形成された配線パターンについて、この配線パターンの外側配線パターンとの間で、接続用の部位を入れ子に形成し、この外側配線パターン側にも外部接続用の電極により引き出せるようにすることにより、配線パターンの抵抗による画質劣化を有効に回避することができる。

20

【実施例 3】

【0045】

なお上述の実施例においては、カソードに係る配線パターンのパッド、電源に係る配線パターンのパッドをそれぞれ短辺及び長辺側に設ける場合について述べたが、本発明はこれに限らず、これとは逆にカソードに係る配線パターンのパッド、電源に係る配線パターンのパッドをそれぞれ長辺及び短辺側に設ける場合にも広く適用することができる。

30

【0046】

また上述の実施例においては、アノードレイヤーの配線層において、カソードに係る配線パターン側を画素部を囲む配線パターン側に設定し、この配線パターンの外側に電源に係る配線パターンを設ける場合について述べたが、本発明はこれに限らず、これとは逆に電源に係る配線パターン側を画素部を囲む配線パターン側に設定し、この配線パターンの外側にカソードに係る配線パターンを設ける場合にも広く適用することができる。

【0047】

また上述の実施例においては、電流駆動に係る自発光型の素子である有機 EL 素子によるディスプレイ装置に本発明を適用する場合について述べたが、本発明はこれに限らず、各種電流駆動に係る自発光型の素子によりディスプレイ装置、さらには液晶等の電圧駆動に係るディスプレイ装置にも広く適用することができる。なおこのような電圧駆動によるディスプレイ装置においては、配線パターンの抵抗値の上昇により画ゆれ等の画質劣化が発生することにより、本発明を適用してこのような配線パターンの抵抗に起因する画ゆれによる画質劣化を防止することができる。

40

【産業上の利用可能性】

【0048】

本発明は、例えば有機 EL 素子によるディスプレイ装置に適用することができる。

【図面の簡単な説明】

【0049】

【図 1】本発明の実施例 1 に係るディスプレイ装置を示す分解斜視図である。

50

【図 2】図 1 のディスプレイ装置における長辺側の中央部分を拡大して示す斜視図である。

【図 3】本発明の実施例 1 に係るディスプレイ装置を示す平面図である。

【図 4】従来の有機 EL 素子によるディスプレイ装置を示す接続図である。

【図 5】配線パターンの抵抗値を低減する構成に係るディスプレイ装置を示す分解斜視図である。

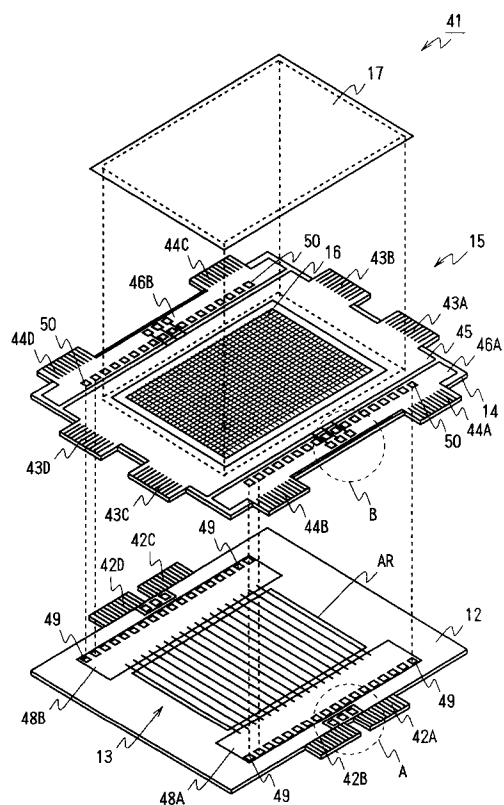
【図 6】シェーディングの説明に供する平面図である。

【符号の説明】

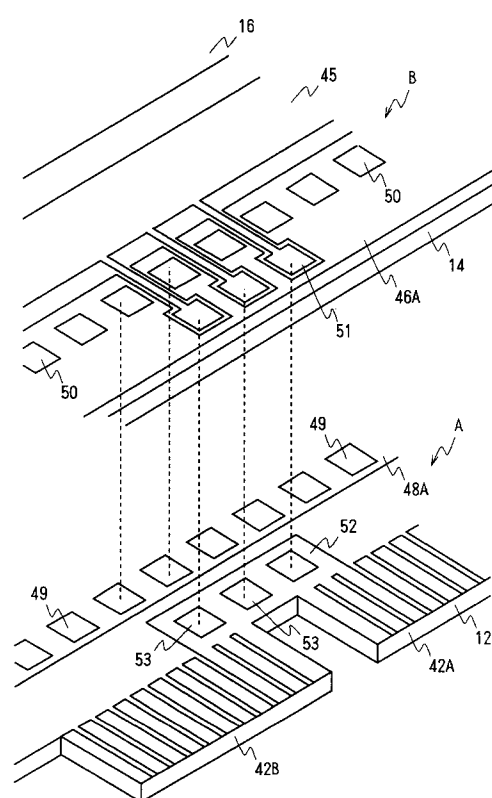
【0050】

1、11、41、61 ……ディスプレイ装置、2、12、62A～62D ……ガラス基板、3 ……画素部、4 ……画素、13、17、18、19A、19B、22A、22B、45、46A、46B、48A、48B、49A、49B、52 ……配線パターン、14 ……平坦化膜、15 ……配線層、16、25、49、50、51、53 ……電極、20A～20D、21A～21D、24A～24D、42A～42D、43A～43D、44A～44D、63A～63D、64A～64D、65A～65D ……パッド

【図 1】



【図 2】



专利名称(译)	显示设备		
公开(公告)号	JP2005189676A	公开(公告)日	2005-07-14
申请号	JP2003433446	申请日	2003-12-26
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	山下淳一 内野勝秀		
发明人	山下 淳一 内野 勝秀		
IPC分类号	H05B33/06 G09F9/30 H01L27/32 H01L51/50 H05B33/14		
FI分类号	G09F9/30.330.Z G09F9/30.365.Z H05B33/06 H05B33/14.A G09F9/30.330 G09F9/30.365 H01L27/32		
F-TERM分类号	3K007/AB05 3K007/AB17 3K007/BA06 3K007/CC05 3K007/DB03 3K007/FA02 5C094/AA21 5C094/AA55 5C094/BA03 5C094/BA29 5C094/CA19 5C094/EA10 3K107/AA01 3K107/BB01 3K107/CC11 3K107/CC33 3K107/DD38 3K107/DD39 3K107/EE03		
其他公开文献	JP4396272B2		
外部链接	Espacenet		

摘要(译)

本发明涉及显示装置，并且例如应用于使用有机EL元件的显示装置，从而可以有效地避免由于布线图案的电阻引起的图像质量下降。根据本发明，在形成为围绕像素部分AR的布线图案45中，连接部位50和51与布线图案45的外部布线图案46A和46B嵌套形成。然后，用于外部连接的电极42A至42D也可以通向外部配线图案46A和46B。[选型图]图1

