

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

WO2006/090560

発行日 平成20年7月24日 (2008. 7. 24)

(43) 国際公開日 **平成18年8月31日(2006. 8. 31)**

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
H01L 51/50 (2006.01)	G09G 3/20 641D	
	H05B 33/14 A	
	G09G 3/20 611H	
審査請求 未請求 予備審査請求 未請求 (全 24 頁)		

出願番号 特願2007-504649 (P2007-504649)	(71) 出願人 000006633 京セラ株式会社 京都府京都市伏見区竹田鳥羽殿町 6 番地
(21) 国際出願番号 PCT/JP2006/301576	
(22) 国際出願日 平成18年1月31日 (2006. 1. 31)	
(31) 優先権主張番号 特願2005-51137 (P2005-51137)	(74) 代理人 100089118 弁理士 酒井 宏明
(32) 優先日 平成17年2月25日 (2005. 2. 25)	
(33) 優先権主張国 日本国 (JP)	(72) 発明者 高杉 親知 神奈川県大和市下鶴間 1 6 2 3 - 1 4 株 式会社京セラディスプレイ研究所内
	(72) 発明者 草深 薫 神奈川県大和市下鶴間 1 6 2 3 - 1 4 株 式会社京セラディスプレイ研究所内
	Fターム(参考) 3K107 AA01 BB01 CC32 EE03 HH04 HH05 5C080 AA06 BB05 FF11 JJ03 JJ04
	最終頁に続く

(54) 【発明の名称】 画像表示装置

(57) 【要約】

画像表示装置における書き込み効率の低下を防止すること。

発光手段有機EL素子OLEDと、ゲート電極（制御端子）、ドレイン電極（第1端子または第2端子）、ソース電極（第1端子または第2端子）を有し、ゲート電極とソース電極との電位差に応じてソース電極とドレイン電極との間に流れる電流を制御することにより、有機EL素子OLEDの発光を制御する駆動トランジスタTdと、一方の電極が有機EL素子OLEDのゲート電極に直接的または間接的に接続され、他方の電極が、画像データに対応する電位を供給する画像信号線14に直接的または間接的に接続される補助容量素子Csと、画像データが画像信号線14を介して補助容量素子Csに書き込まれる書き込み期間中に、補助容量素子Csに電氣的に直列に接続される追加容量素子Cs2と、を備える。

【特許請求の範囲】

【請求項 1】

発光手段と、

制御端子、第 1 端子および第 2 端子を有し、該制御端子と該第 1 端子との電位差に応じて該第 1 端子と該第 2 端子との間に流れる電流を制御することにより、前記発光手段の発光を制御するドライバ手段と、

一方の電極が前記ドライバ手段の制御端子に直接的または間接的に接続され、他方の電極が、画像データに対応する電位を供給する信号線に直接的または間接的に接続される第 1 容量素子と、

前記画像データが前記信号線を介して前記第 1 容量素子に書き込まれる書き込み期間中に、前記第 1 容量素子に電氣的に直列に接続される第 2 容量素子と、
を備えたことを特徴とする画像表示装置。 10

【請求項 2】

前記書き込み期間中に、前記第 1 容量素子及び前記発光手段が電氣的に直列に接続されることを特徴とする請求項 1 に記載の画像表示装置。

【請求項 3】

前記書き込み期間中に、前記第 2 容量素子及び前記発光手段が電氣的に並列に接続されることを特徴とする請求項 1 または 2 に記載の画像表示装置。

【請求項 4】

前記ドライバ手段の前記制御端子と前記第 2 容量素子との間に配置され、前記制御端子と前記第 2 容量素子との間の導通を制御するスイッチング素子をさらに備え、 20

前記スイッチング素子は、前記書き込み期間中に前記ドライバ手段の前記制御端子と前記第 2 容量素子とを電氣的に接続することを特徴とする請求項 1～3 のいずれか一つに記載の画像表示装置。

【請求項 5】

前記スイッチング素子は、前記発光素子の発光期間中に、前記ドライバ手段の前記制御端子と前記第 2 容量素子との間の電氣的接続を遮断することを特徴とする請求項 4 に記載の画像表示装置。

【請求項 6】

前記第 2 容量素子に接続され、前記書き込み期間中に電位が略一定に保持される電位線をさらに備えたことを特徴とする請求項 1～5 のいずれか一つに記載の画像表示装置。 30

【請求項 7】

前記電位線が、前記ドライバ手段の前記第 1 端子または前記第 2 端子に電氣的に接続されていることを特徴とする請求項 6 に記載の画像表示装置。

【請求項 8】

前記電位線が、前記スイッチング素子の駆動を制御する制御線であることを特徴とする請求項 6 に記載の画像表示装置。

【請求項 9】

前記第 2 容量素子の容量値が、前記発光手段が有する容量値の 10% 以上であることを特徴とする請求項 1～8 のいずれか一つに記載の画像表示装置。 40

【請求項 10】

請求項 1～9 のいずれかに記載の画像表示装置において、

互いに異なる色を表示する第 1～第 3 の画素を有し、

前記第 1～第 3 の各画素は、前記発光手段、前記ドライバ手段、前記第 1 容量素子および前記第 2 容量素子を少なくとも有し、

前記第 1～第 3 の各画素における前記第 2 容量素子の容量値と前記発光素子の有する容量値の和をそれぞれ C_{sum1} 、 C_{sum2} および C_{sum3} とするとき、該 C_{sum1} ～ C_{sum3} のそれぞれが、該 C_{sum1} ～ C_{sum3} の最大値の 80% 以上の値を有することを特徴とする画像表示装置。

【請求項 11】

発光手段と、

制御端子、第1端子および第2端子を有し、該制御端子と該第1端子との電位差に応じて該第1端子と該第2端子との間に流れる電流量を調整することにより、前記発光手段の発光を制御するドライバ手段と、

前記発光手段の発光輝度に対応する書き込み電位が信号線を介して供給されるドライバ手段の前記制御端子と前記第1端子との間または前記制御端子と前記第2端子との間のいずれかに印加される電位差を生じさせるための書き込み電位を供給する信号線と、ドライバ手段と、

前記発光手段の発光輝度が最高レベルのときと最低レベルのときの前記ドライバ手段に印加される前記電位差の差分 ΔV と、前記発光手段の発光輝度が最高レベルのときと最低レベルのときの前記信号線に供給される前記書き込み電位の差分 ΔV_{data} との比 $\Delta V / \Delta V_{data}$ を大きくする容量素子と、

を備えたことを特徴とする画像表示装置。

【請求項12】

前記容量素子の片側の端子に供給される電位が、前記信号線に書き込み電位が供給されている間、略一定に保持されることを特徴とする請求項11に記載の画像表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機ELディスプレイ等の画像表示装置に関するものである。

【背景技術】

【0002】

従来から、発光層に注入された正孔と電子とが発光再結合することによって光を生じる機能を有する電流制御型の有機EL (Electronic Luminescent) 素子を用いた画像表示装置が提案されている。

【0003】

この種の画像表示装置では、アモルファスシリコンや多結晶シリコン等で形成されたTFT (薄膜トランジスタ) や上述した有機EL素子等が各画素を構成しており、各画素に適切な電流値が設定されることにより、輝度が制御される。

【0004】

図13は、従来の画像表示装置における1画素に対応する画素回路の構成を示す図である。同図に示す画素回路は、発光手段である有機EL素子OLED、有機EL素子容量Coled、ドライバ手段である駆動トランジスタTd、閾値電圧検出用トランジスタTth、第1容量素子である補助容量Cs、スイッチングトランジスタT1およびスイッチングトランジスタT2を備えるように構成されている。

【0005】

駆動トランジスタTdは、ゲート電極 (制御電極) とソース電極 (第1の電極) との間に与えられる電位差に応じて有機EL素子OLEDに流れる電流量を制御するための制御素子である。また閾値電圧検出用トランジスタTthは、自身がオン状態となったときに、駆動トランジスタTdのゲート電極 (制御電極) とドレイン電極 (第2の電極) とを電氣的に接続する機能を有する。閾値電圧検出用トランジスタTthがオン状態となると、駆動トランジスタTdのゲート電極からドレイン電極に向かって電流が流れ、該電流が実質的に流れなくなったときに駆動トランジスタTdのゲート電極・ソース電極間の電位差が実質的に閾値電圧Vthとなる。

【0006】

有機EL素子OLEDは、アノード電極とカソード電極との間に有機EL素子OLEDの閾値電圧以上の電位差が印加されると、電流が流れ、発光する特性を有する素子である。有機EL素子OLEDは、Al、Cu、ITO (Indium Tin Oxide) 等によって形成されたアノード層およびカソード層と、これらのアノード層とカソード層との間にフタルシアニン、トリスアルミニウム錯体、ベンゾキノリノラト、ベリリウム錯

10

20

30

40

50

体等の有機系の材料によって形成された発光層とを少なくとも備えた構造を有する。そして、有機EL素子OLEDは、発光層に注入された正孔と電子とが発光再結合することによって光を生じる機能を有する。なお、有機EL素子容量C_{oled}は、有機EL素子OLEDの容量を等価的に表したものである。

【0007】

駆動トランジスタT_d、閾値電圧検出用トランジスタT_{th}、スイッチングトランジスタT₁およびスイッチングトランジスタT₂は、例えば、薄膜トランジスタである。なお、以下で参照される各図面においては、各薄膜トランジスタにかかるチャネルについて、特にそのタイプ（n型またはp型）を明示していないが、n型またはp型のいずれかであり、本明細書中の記載に従うものとする。

10

【0008】

電源線10は、駆動トランジスタT_dおよびスイッチングトランジスタT₂に電源を供給する。T_{th}制御線11は、閾値電圧検出用トランジスタT_{th}を制御するための信号を供給する。マージ線12は、スイッチングトランジスタT₂を制御するための信号を供給する。走査線13は、スイッチングトランジスタT₁を制御するための信号を供給する。画像信号線14は、画像信号を供給する。

【0009】

上記構成において、画素回路は、準備期間、閾値電圧検出期間、書き込み期間および発光期間という4つの期間を経て動作する。すなわち、準備期間では、電源線10には所定の正電位（V_p、V_p>0）が印加され、閾値電圧検出用トランジスタT_{th}がオフ、スイッチングトランジスタT₁がオフ、駆動トランジスタT_dがオン、スイッチングトランジスタT₂がオンとなるように制御される。その結果、電源線10→駆動トランジスタT_d→有機EL素子容量C_{oled}という経路で電流が流れ、有機EL素子容量C_{oled}に電荷が蓄積される。

20

【0010】

つぎの閾値電圧検出期間では、電源線10にはゼロ電位が印加され、閾値電圧検出用トランジスタT_{th}がオンとなるように制御され、駆動トランジスタT_dのゲート電極とドレイン電極とが接続される。これにより、補助容量C_sおよび有機EL素子容量C_{oled}に蓄積された電荷が放電され、駆動トランジスタT_d→電源線10という経路で電流が流れる。そして、駆動トランジスタT_dのゲート電極ードレイン電極間の電位差が、駆動トランジスタT_dの駆動閾値に対応する閾値電圧V_{th}に達すると、駆動トランジスタT_dがオフとされる。

30

【0011】

つぎの書き込み期間では、電源線10の電位はゼロ電位を維持し、スイッチングトランジスタT₁がオン、スイッチングトランジスタT₂がオフとなり、有機EL素子容量C_{oled}に蓄積された電荷が放電される。その結果、有機EL素子容量C_{oled}→閾値電圧検出用トランジスタT_{th}→補助容量C_sという経路で電流が流れ、補助容量C_sに電荷が蓄積される。すなわち、有機EL素子容量C_{oled}に蓄積された電荷は、補助容量C_sに移動する。

【0012】

40

つぎの発光期間では、電源線10には所定の負電位（-V_{DD}、V_{DD}>0）が印加され、駆動トランジスタT_dがオン、閾値電圧検出用トランジスタT_{th}がオフ、スイッチングトランジスタT₁がオフとなるように制御される。その結果、有機EL素子OLED→駆動トランジスタT_d→電源線10という経路で電流が流れ、有機EL素子OLEDが発光する。

【0013】

【非特許文献1】S. Ono et al., Proceedings of IDW '03, 255 (2003)

【発明の開示】

【発明が解決しようとする課題】

50

【0014】

ところで、駆動TFTを流れる電流 I_{ds} は、ソース電極に対するゲート電極間の電位差 V_{gs} （ゲート電極電位 V_g −ソース電極電位 V_s ）とTFT固有の閾値電圧 V_{th} との差の2乗に比例することが知られている。したがって、鮮明な画像を得るためには、この V_{gs} を可能な限り増大させる必要がある。

【0015】

一方、発光輝度が最高レベルのときと最低レベルのときの駆動TFTに印加される V_{gs} の電位差である「 V_{gs} 振り幅」（ $=\Delta V_{gs}$ ）と呼ばれる指標や、この「 V_{gs} 振り幅」と、発光輝度が最高レベルのときと最低レベルのときとの画素信号線に供給される電位の差である「画素信号線振り幅」と呼ばれる指標（ ΔV_{data} ）の比で表される「書き込み効率」（ $=\Delta V_{gs}/\Delta V_{data}$ ）と呼ばれる指標がある。これらの指標間では、画素信号線振り幅が大きくなれば V_{gs} 振り幅も大きくすることができる関係があるので、駆動ICを小型化し、設計の容易性を確保する観点からいえば、後者である書き込み効率が重要な指標となってくる。

10

【0016】

したがって、上述のような画素表示装置における設計の容易性を確保するため、書き込み効率を高めることが求められている。

【0017】

しかしながら、画像表示装置の書き込み効率を向上させることは容易ではなかった。特に、各画素回路のトランジスタに寄生容量と呼ばれる成分が存在する場合、この寄生容量に起因して低下する書き込み効率を改善することは容易ではない。

20

【0018】

図14は、図13に示した画素回路に発生する寄生容量等を示す図である。同図に示すように、従来の画像表示装置においては、駆動トランジスタ T_d のゲート電極付近に寄生容量 C_{gdT_d} および寄生容量 C_{gsT_d} が存在し、さらに閾値電圧検出用トランジスタ T_{th} のゲート電極付近にも寄生容量 $C_{gdT_{th}}$ および寄生容量 $C_{gsT_{th}}$ が存在している。

【0019】

これらの寄生容量は、有機EL素子OLEDの書き込み効率を低下させる要因となることが知られており、従来から、これらの寄生容量による悪影響を効果的に減少させる手法が切望されていた。

30

【0020】

本発明は、上記に鑑みてなされたものであって、書き込み効率を改善することができる画像表示装置を提供することを目的とする。

【課題を解決するための手段】

【0021】

上述した課題を解決し、目的を達成するために、本発明は、発光手段と、制御端子、第1端子および第2端子を有し、該制御端子と該第1端子との電位差に応じて該第1端子と該第2端子との間に流れる電流を制御することにより、前記発光手段の発光を制御するドライバ手段と、一方の電極が前記ドライバ手段の制御端子に直接的または間接的に接続され、他方の電極が、画像データに対応する電位を供給する信号線に直接的または間接的に接続される第1容量素子と、前記画像データが前記信号線を介して前記第1容量素子に書き込まれる書き込み期間中に、前記第1容量素子に電氣的に直列に接続される第2容量素子と、を備えたことを特徴とする。

40

【0022】

また、つぎの発明によれば、上記の発明において、前記書き込み期間中に、前記第1容量素子及び前記発光手段が電氣的に直列に接続されることを特徴とする。

【0023】

また、つぎの発明によれば、上記の発明において、前記書き込み期間中に、前記第2容量素子及び前記発光手段が電氣的に並列に接続されることを特徴とする。

50

【0024】

また、つぎの発明によれば、上記の発明において、前記ドライバ手段の前記制御端子と前記第2容量素子との間に配置され、前記制御端子と前記第2容量素子との間の導通を制御するスイッチング素子をさらに備え、前記スイッチング素子は、前記書き込み期間中に前記ドライバ手段の前記制御端子と前記第2容量素子とを電氣的に接続することを特徴とする。

【0025】

また、つぎの発明によれば、上記の発明において、前記スイッチング素子は、前記発光素子の発光期間中に、前記ドライバ手段の前記制御端子と前記第2容量素子との間の電氣的接続を遮断することを特徴とする。

10

【0026】

また、つぎの発明によれば、上記の発明において、前記第2容量素子に接続され、前記書き込み期間中に電位が略一定に保持される電位線をさらに備えたことを特徴とする。

【0027】

また、つぎの発明によれば、上記の発明において、前記電位線が、前記ドライバ手段の前記第1端子または前記第2端子に電氣的に接続されていることを特徴とする。

【0028】

また、つぎの発明によれば、上記の発明において、前記電位線が、前記スイッチング素子の駆動を制御する制御線であることを特徴とする。

【0029】

また、つぎの発明によれば、上記の発明において、前記第2容量素子の容量値が、前記発光手段が有する容量値の10%以上であることを特徴とする。

20

【0030】

また、つぎの発明によれば、上記の発明のいずれかの画像表示装置において、互いに異なる色を表示する第1～第3の画素を有し、前記第1～第3の各画素は、前記発光手段、前記ドライバ手段、前記第1容量素子および前記第2容量素子を少なくとも有し、前記第1～第3の各画素における前記第2容量素子の容量値と前記発光素子の有する容量値の和をそれぞれ C_{sum1} 、 C_{sum2} および C_{sum3} とするとき、該 $C_{sum1} \sim C_{sum3}$ のそれぞれが、該 $C_{sum1} \sim C_{sum3}$ の最大値の80%以上の値を有することを特徴とする。

30

【0031】

また、つぎの発明によれば、発光手段と、制御端子、第1端子および第2端子を有し、該制御端子と該第1端子との電位差に応じて該第1端子と該第2端子との間に流れる電流量を調整することにより、前記発光手段の発光を制御するドライバ手段と、前記発光手段の発光輝度に対応する書き込み電位が信号線を介して供給されるドライバ手段の前記制御端子と前記第1端子との間または前記制御端子と前記第2端子との間のいずれかに印加される電位差を生じさせるための書き込み電位を供給する信号線と、ドライバ手段と、前記発光手段の発光輝度が最高レベルのときと最低レベルのときの前記ドライバ手段に印加される前記電位差の差分 ΔV と、前記発光手段の発光輝度が最高レベルのときと最低レベルのときの前記信号線に供給される前記書き込み電位の差分 ΔV_{data} との比 $\Delta V / \Delta V_{data}$ を大きくする容量素子と、を備えたことを特徴とする。

40

【0032】

また、つぎの発明によれば、上記の発明において、前記容量素子の片側の端子に供給される電位が、前記信号線に書き込み電位が供給されている間、略一定に保持されることを特徴とする。

【0033】

なお、上記記載において、「間接的に接続される」の意味は、2つの構成要素（例えば、第1容量素子と第2の容量素子）間に他の構成要素（トランジスタ等）が介在された状態で、当該2つの構成要素が配線によって接続されることをいう。また「直接的に接続される」の意味は、2つの構成要素が他の構成要素が介在されずに、配線によって接続され

50

ていることをいう。

【発明の効果】

【0034】

本発明によれば、画像データが書き込まれる第1容量素子に加えて、画像データの書き込み期間中に第1容量素子に直列的に接続される第2容量素子を設けることにより、第1容量素子に対して書き込んだ電位が第1容量素子に良好に反映されることとなる。その結果、画像表示装置の書き込み効率を改善することができるという効果を奏する。

【図面の簡単な説明】

【0035】

【図1】 図1は、本発明の実施の形態1にかかる画像表示装置の1画素に対応する画素回路の構成を示す図である。 10

【図2】 図2は、実施の形態1の動作を説明するためのシーケンス図である。

【図3】 図3は、図2に示した準備期間の動作を説明する図である。

【図4】 図4は、図2に示した閾値電圧検出期間の動作を説明する図である。

【図5】 図5は、図2に示した書き込み期間の動作を説明する図である。

【図6】 図6は、図2に示した発光期間の動作を説明する図である。

【図7】 図7は、本発明の実施の形態2にかかる画像表示装置の1画素に対応する画素回路の構成を示す図である。

【図8】 図8は、本発明の実施の形態3にかかる画像表示装置の1画素に対応する画素回路の構成を示す図である。 20

【図9】 図9は、実施の形態3の動作を説明するためのシーケンス図である。

【図10】 図10は、本発明の実施の形態4にかかる画像表示装置の1画素に対応する画素回路の構成を示す図である。

【図11】 図11は、図10に示した画素回路とは異なる他の構成例を示す図である。

【図12】 図12は、図10および図11に示した画素回路とは異なる他の構成例を示す図である。

【図13】 図13は、従来の画像表示装置の1画素に対応する画素回路の構成を示す図である。

【図14】 図14は、図13に示した画素回路に発生する寄生容量等を示す図である。 30

【符号の説明】

【0036】

10, 40 電源線

11 T t h制御線

12 マージ線

13 走査線

14, 41 画像信号線

42 T t h制御/走査線

O L E D 有機E L素子

T d, T d' 駆動トランジスタ

T t h, T t h' 閾値電圧検出用トランジスタ 40

T 1, T 2 スイッチングトランジスタ

C s 補助容量

C s 2 追加容量

【発明を実施するための最良の形態】

【0037】

以下に、本発明にかかる画像表示装置の各種実施の形態を図面に基づいて詳細に説明する。なお、それらの実施の形態により本発明が限定されるものではない。

【0038】

(実施の形態1)

図1は、本発明の実施の形態1にかかる画像表示装置の1画素に対応する画素回路の構 50

成を示す図である。同図においては、図14の各部に対応する部分には同一の符号を付して示している。一方、図1に示した画素回路においては、第2容量素子である追加容量Cs2を備えるように構成している。

【0039】

追加容量Cs2は、前述した寄生容量等による書き込み効率の低下を防止あるいは改善するための容量であり、例えば、その一端が有機EL素子OLEDのカソード電極（駆動トランジスタTdのドレイン電極でもある）に接続され、他端が電源線10（駆動トランジスタTdのソース電極でもある）に接続されている。

【0040】

つぎに、実施の形態1の動作について、図2を参照しつつ説明する。以下では、準備期間、閾値電圧検出期間、書き込み期間および発光期間という都合4つの期間の動作について説明する。なお、以下に説明する動作は、制御部（図示略）の制御の下で行われる。

【0041】

（準備期間）

同図に示した準備期間では、電源線10が高電位（Vp）、マージ線12が高電位（VgH）、Tth制御線11が低電位（VgL）、走査線13が低電位（VgL）、画像信号線14がゼロ電位とされる。これにより、図3に示したように、閾値電圧検出用トランジスタTthがオフ、スイッチングトランジスタT1がオフ、駆動トランジスタTdがオン、スイッチングトランジスタT2がオンとされる。その結果、電源線10→駆動トランジスタTd→有機EL素子容量Coledという経路で電流I1が流れ、有機EL素子容量Coledに電荷が蓄積される。この準備期間で有機EL素子に電荷を蓄積する理由は、駆動閾値検出時にIds=0となるまで電流を供給するためである。

【0042】

（閾値電圧検出期間）

つぎの閾値電圧検出期間では、電源線10がゼロ電位、マージ線12が高電位（VgH）、Tth制御線11が高電位（VgH）、走査線13が低電位（VgL）、画像信号線14がゼロ電位とされる。これにより、図4に示したように、閾値電圧検出用トランジスタTthがオンとなり、駆動トランジスタTdのゲート電極とドレイン電極とが接続される。

【0043】

また、補助容量Csおよび有機EL素子容量Coledに蓄積された電荷が放電され、駆動トランジスタTd→電源線10という経路で電流I2が流れる。そして、駆動トランジスタTdのゲート電極-ソース電極間の電位差Vgsが閾値電圧Vthに達すると、駆動トランジスタTdがオフ状態とされ、駆動トランジスタTdの閾値電圧Vthが検出される。

【0044】

（書き込み期間）

つぎの書き込み期間では、画像信号線からのデータ電位（-Vdata）を補助容量Csに間接的または直接的に供給することにより、駆動トランジスタTdのゲート電極電位を所望する電位に変化させることが行われる。具体的には、電源線10がゼロ電位、マージ線12が低電位（VgL）、Tth制御線11が高電位（VgH）、走査線13が高電位（VgH）、画像信号線14がデータ電位（-Vdata）とされる。また、このとき、補助容量Csと有機EL素子容量Coledとが電氣的に直列に接続され、追加容量Cs2と有機EL素子容量Coledとが電氣的に並列に接続される。

【0045】

これにより、図5に示したように、スイッチングトランジスタT1がオン、スイッチングトランジスタT2がオフとなり、有機EL素子容量Coledに蓄積された電荷が放電される。その結果、有機EL素子容量Coled→閾値電圧検出用トランジスタTth→補助容量Csという経路で電流I3が流れ、補助容量Csに電荷が蓄積される。すなわち、有機EL素子容量Coledに蓄積された電荷は、補助容量Csに移動する。

【0046】

ここで、追加容量 Cs_2 が存在しないと仮定した場合、書き込み期間における駆動トランジスタ T_d の V_{gs} は次式で表すことができる。なお、この仮定は下記 (2) 式～(7) 式についても及ぶものとする。

$$V_{gs} = V_{th} - (C_s / C_{all}) \cdot V_{data} \quad \dots (1)$$

【0047】

式 (1) において、 C_{all} は閾値電圧検出用トランジスタ T_{th} の導通時の駆動トランジスタ T_d のゲート電極に直接的に接続される全容量であり、次式のように表すことができる。

$$C_{all} = C_{oled} + C_s + C_{gsTth} + C_{gdTth} + C_{gsTd} \quad \dots (2)$$

10

【0048】

式 (2) において、 C_{oled} は有機 EL 素子 OLED の等価容量であり、 C_{gsTth} は閾値電圧検出用トランジスタ T_{th} のゲート電極－ソース電極間の寄生容量であり、 C_{gdTth} は閾値電圧検出用トランジスタ T_{th} のゲート電極－ドレイン電極間の寄生容量であり、 C_{gsTd} は駆動トランジスタ T_d のゲート電極－ソース電極間の寄生容量である。

【0049】

なお、書き込み期間においては、閾値電圧検出用トランジスタ T_{th} が導通し、駆動トランジスタ T_d のゲート電極・ドレイン電極が接続されて両端が略同電位となるため寄生容量 C_{gdTd} が影響することはない。また、補助容量 C_s と有機 EL 素子容量 C_{oled} の関係は、 $C_s < C_{oled}$ とすることが好ましい。

20

【0050】

(発光期間)

つぎの発光期間では、電源線 10 がマイナス電位 ($-V_{DD}$)、マージ線 12 が高電位 (V_{gH})、 T_{th} 制御線 11 が低電位 (V_{gL})、走査線 13 が低電位 (V_{gL})、画像信号線 14 がゼロ電位とされる。

【0051】

これにより、図 6 に示したように、駆動トランジスタ T_d がオン、閾値電圧検出用トランジスタ T_{th} がオフ、スイッチングトランジスタ T_1 がオフとなる。その結果、有機 EL 素子 OLED → 駆動トランジスタ T_d → 電源線 10 という経路で電流 I_{ds} が流れ、有機 EL 素子 OLED が発光する。

30

【0052】

いま、このときの電位、すなわち発光期間における駆動トランジスタ T_d のゲート電極－ソース電極間の電位差を V_{gs}' とし、上記 (1) 式で求めた書き込み期間における駆動トランジスタ T_d のゲート電極－ソース電極間の電位差を V_{gs} とするとき、上記 (2) 式に示される書き込み期間における全容量 C_{all} (閾値電圧検出用トランジスタ T_{th} 導通時) と、下記 (3) 式で示される発光期間における全容量 C_{all}' (閾値電圧検出用トランジスタ T_{th} 非導通時) とを用いると、下記 (4) 式に示される電荷保存の法則が成り立つ。

$$C_{all}' = C_s + C_{gsTth} + C_{gsTd} + C_{gdTd} \quad \dots (3)$$

40

$$\begin{aligned} & C_s \cdot (V_{gs} + V_{data}) + C_{gsTth}(V_{gs} - V_{gH}) + C_{gsTd} \cdot V_{gs} \\ & = (C_s + C_{gsTd}) \cdot V_{gs}' + C_{gsTth} \cdot (V_{gs}' - V_{gL}) + C_{gdTd} \cdot (V_{gs}' - V_{ds}) \quad \dots (4) \end{aligned}$$

【0053】

なお、上記 (4) 式において、(2) 式中にある C_{oled} および C_{gdTth} の項が存在しないのは、発光期間においては、閾値電圧検出用トランジスタ T_{th} が非導通であり、 C_{oled} および C_{gdTth} に蓄積された電荷が書き込み期間に移動しないからである。

【0054】

上記 (4) 式の関係を用いると、発光期間における駆動トランジスタ T_d のゲート電極－ソース電極間の電位差 V_{gs}' は (5) 式のように表すことができる。

50

$$V_{gs}' = ((C_s + C_{gsTth} + C_{gsTd}) \cdot (V_{th} - (C_s/C_{a11}) \cdot V_{data}) + C_s \cdot V_{data} + C_{gsTth} \cdot (V_{gL} - V_{gH}) + C_{gdTd} \cdot V_{ds}) / C_{a11}' \quad \dots (5)$$

【0055】

画素信号線の振り幅 (ΔV_{data}) と、実際の V_{gs} の振り幅 (ΔV_{gs}) との比である書き込み効率 ($\Delta V_{gs} / \Delta V_{data}$) を η とすると、 V_{gs}' が V_{data} に対してほぼ線形に変化する場合に、この η は

$$\eta = \Delta V_{gs} / \Delta V_{data} \doteq \partial V_{gs}' / \partial V_{data} \quad \dots (6.1)$$

で表される。

【0056】

また、仮に、

$$V_{gs}'' = V_{gs}' + (C_{gdTd} / C_{a11}') V_{ds} \quad \dots (6.2)$$

と置く。

式 (6.2) の V_{gs}' に式 (5) を代入すると

$$V_{gs}'' = ((C_s + C_{gsTth} + C_{gsTd}) \cdot (V_{th} - (C_s/C_{a11}) \cdot V_{data}) + C_s \cdot V_{data} - C_{gsTth} \cdot V_{gH} - C_{gsTth} \cdot V_{gL}) / C_{a11}' \quad \dots (6.3)$$

となり、 V_{data} に依存する V_{ds} の項が消える。

更に、ここで、

$$\zeta = \partial V_{gs}'' / \partial V_{data} \quad \dots (6.4)$$

と置くと、式 (6.4) では V_{data} に依存する V_{ds} の項が消えているので、

$$\zeta = C_s \cdot (C_{oled} + C_{gdTth}) / (C_{a11} \cdot C_{a11}') \quad \dots (6.5)$$

となる。

【0057】

また式 (6.1) は、

$$\begin{aligned} \eta &= \partial V_{gs}' / \partial V_{data} \\ &= (\partial V_{gs}' / \partial V_{gs}'') \cdot (\partial V_{gs}'' / \partial V_{data}) \\ &= \zeta / (\partial V_{gs}'' / \partial V_{gs}') \quad \dots (7) \end{aligned}$$

と変形できる。

ここで、 $\partial V_{gs}'' / \partial V_{gs}'$ は

$$1 + (C_{gdTd} / C_{a11}') \cdot (\partial V_{ds} / \partial V_{gs}') \doteq 1$$

と近似できることから、 $\eta \doteq \zeta$ となり、

$$\eta \doteq C_s \cdot (C_{oled} + C_{gdTth}) / (C_{a11} \cdot C_{a11}') \quad \dots (8)$$

となる。従って、式 (8) が書き込み効率を示すことになる。

【0058】

なお、駆動 IC の耐圧および画素信号線電位の調整範囲を考えると、書き込み効率は大きいほうがよい。しかしながら有機 EL 素子 OLED を容量として使うこの種の回路では、寄生容量成分により書き込み効率を十分大きくすることができないことが (8) 式から明らかとなる。

【0059】

そこで、この実施の形態では、追加容量 C_{s2} を設けることにより、かかる問題を解決するようにしている。以下、寄生容量成分の存在下における追加容量 C_{s2} の書き込み効率改善作用について詳述する。

【0060】

まず、追加容量 C_{s2} を備えた場合の書き込み期間における駆動トランジスタ T_d のゲート電極—ソース電極間電位差 V_{gs} は、下記式で表すことができる。

$$V_{gs} = V_{th} - (C_s / (C_{a11} + C_{s2})) \cdot V_{data} \quad \dots (9)$$

【0061】

したがって、追加容量 C_{s2} を備えた場合の発光期間における駆動トランジスタ T_d のゲート電極—ソース電極間の電位差 V_{gs}' は、上記 (9) 式を上記 (4) 式に代入することで次式のように表すことができる。

$$V_{gs}' = C_s \cdot (C_{oled} + C_{gdTth} + C_{s2}) / ((C_{a11} + C_{s2}) \cdot C_{a11}') \cdot V_{data}$$

10

20

30

40

50

$$+ ((Cs + CgsTth + CgsTd) \cdot Vth + CgsTth \cdot (VDD + VgL - VgH) + CgdTd \cdot Vds) / Ca11' \quad \dots (10)$$

【0062】

したがって、追加容量 $Cs2$ を備えた場合の書き込み効率 η' は、次式で表すことができる。

$$\eta' = Cs \cdot (Coled + CgdTth + Cs2) / ((Ca11 + Cs2) \cdot Ca11') \quad \dots (11)$$

【0063】

これらの式 (8)、式 (11) から η' / η を求めると、

$$\begin{aligned} \eta' / \eta &= [(Coled + CgdTth + Cs2) / (Ca11 + Cs2)] / [(Coled + CgdTth) / Ca11] \\ &= [(Coled + CgdTth + Cs2) / (Coled + CgdTth)] / [(Ca11 + Cs2) / Ca11] \\ &= [1 + Cs2 / (Coled + CgdTth)] / (1 + Cs2 / Ca11) \quad \dots (12) \end{aligned}$$

10

となる。

【0064】

式 (12) において、 $Ca11 > Coled + CgdTth$ という関係があり、 η' / η は常に 1 以上となるので、追加容量 $Cs2$ を設けることにより書き込み効率が改善されていることが分かる。なお、追加容量 $Cs2$ が大きくなるほど書き込み効率が高くなるため、追加容量 $Cs2$ の容量値は $Coled$ の 10% 以上であることが好ましい (更に好ましくは $Coled$ の 30% 以上)。

【0065】

いま、実際の画素回路における書き込み効率を求めてみる。例えば、典型的な値として $Coled = 0.32 \text{ pF}$, $Cs = 0.15 \text{ pF}$, $Cs2 = 0.2 \text{ pF}$, $CgdTth = CgsTth = 0.01 \text{ pF}$, $CgdTd = CgsTd = 0.03 \text{ pF}$ とすれば、追加容量 $Cs2$ を具備しない場合の書き込み効率 η は、(2) 式、(3) 式および (8) 式から、 $\eta = 0.433$ となる。

【0066】

一方、追加容量 $Cs2$ を具備する場合の書き込み効率 η' は、(2) 式、(3) 式および (11) 式から、 $\eta' = 0.502$ となる。

【0067】

この例では、 $Cs2$ を具備することで書き込み効率の差分値 ($\Delta \eta$) と追加容量 $Cs2$ を備えない場合の書き込み効率 (η) との比 ($\Delta \eta / \eta$) が $(0.502 - 0.433) / 0.433 \approx 0.16$ となり、書き込み効率を約 16% 改善 (上昇) させることができる。なお、追加容量 $Cs2$ の容量を可能な限り大きな値のものを用いれば、書き込み効率の改善度をさらに高めることができる。

【0068】

ところで、有機 EL 素子 OLED の容量は、赤、緑および青の各画素で異なっているのが一般的である。そこで、書き込み効率を略等しくするためには、赤、緑および青の各有機 EL 素子 OLED の容量をそれぞれ $Coledr$, $Coledg$, $Coledb$ とおき、赤、緑および青の追加容量をそれぞれ $Cs2r$, $Cs2g$ および $Cs2b$ とおくと、 $Coledr + Cs2r$, $Coledg + Cs2g$, $Coledb + Cs2b$ の全ての値を、これらの値の中の最大値の 80% ~ 100% (より好ましくは 95% ~ 100%) の範囲内に設定することが好ましい。

【0069】

また各色ごとに固有な発光効率に差異が存在すると、赤、緑、および青の各画素回路における必要な Vgs 振り幅 (ΔVgs) が異なることがある。いま、各色の書き込み効率を

$$\eta_r = (Coledr + Cs2r + CgdTth) / (Coledr + Cs2r + Cs + CgsTth + CgdTth + CgsTd)$$

$$\eta_g = (Coledg + Cs2g + CgdTth) / (Coledg + Cs2g + Cs + CgsTth + CgdTth + CgsTd)$$

$$\eta_b = (Coledb + Cs2b + CgdTth) / (Coledb + Cs2b + Cs + CgsTth + CgdTth + CgsTd)$$

とおき、各色の必要な ΔVgs の最大値を $\Delta Vgsmaxr$, $\Delta Vgsmaxg$, $\Delta Vgsmaxb$ とする。

このとき、 $\Delta Vgsmaxr / \eta_r$, $\Delta Vgsmaxg / \eta_g$, $\Delta Vgsmaxb / \eta_b$ の最小値が、 $\Delta Vgsmaxr / \eta_r$, 50

$\Delta V_{gsmaxg}/\eta_g, \Delta V_{gsmaxb}/\eta_b$ の最大値の90%以上（より好ましくは95%以上）となるように $C_{s2r}, C_{s2g}, C_{s2b}$ を定めれば、略等しい画素信号線振り幅（ ΔV_{data} ）で各色とも所望の V_{gs} 振り幅（ ΔV_{gs} ）が得られる。

【0070】

以上、説明したように、この実施の形態の画像表示装置によれば、上述したような追加容量 C_{s2} を設けるようにしているので、駆動トランジスタ T_d （ドライバ手段）や閾値電圧検出用トランジスタ T_{th} （閾値電圧検出手段）等に存在する寄生容量の影響を小さくし、寄生容量による書き込み効率を上昇させることができる。

【0071】

なお、この実施の形態においては、閾値電圧検出手段およびドライバ手段を具現する素子としてアモルファスシリコンTFTや、多結晶TFTを用いる場合について説明したが、これに代えて、ポリシリコンTFTなどの他のTFTを用いてもよい。

【0072】

（実施の形態2）

さて、前述した図1に示す実施の形態1においては、追加容量 C_{s2} の一端が有機EL素子OLEDのカソード電極に接続され、他端が電源線10に接続されるように構成したが、この構成に限定されるものではない。例えば、追加容量 C_{s2} の他端は T_{th} 制御線11に接続することもできる。また、 T_{th} 制御線11以外にも固定電位（定電位）である接地線などにも接続することができる。

【0073】

また、上記でいう固定電位とは、準備期間、閾値電圧検出期間、書き込み期間および発光期間の全ての期間において定電位である必要はなく、少なくとも書き込み期間において定電位が維持されていればよい。

【0074】

また、この定電位という意味は厳密な意味での定電位である必要はなく、追加容量 C_{s2} により書き込み効率の増大作用を得るという趣旨の範囲内において、所定の電位変動は許容され得るものである。

【0075】

なお、図7は、本発明の実施の形態2にかかる構成例であり、閾値電圧検出用トランジスタ T_{th} を制御する T_{th} 制御線11に追加容量 C_{s2} が接続される構成例を示すものである。

【0076】

また、前述した実施の形態1においては、図1に示した構成の画素回路に追加容量 C_{s2} を適用した例について説明したが、駆動トランジスタと閾値電圧検出用トランジスタとを有する画素回路であれば、いかなる接続形態の画素回路にも適用可能である。要は、駆動トランジスタのゲート電極に実施の形態1で説明した要件を備える追加容量 C_{s2} を接続すればよい。

【0077】

（実施の形態3）

図8は、本発明の実施の形態3にかかる画像表示装置の1画素に対応する画素回路の構成を示す図である。同図に示す画素回路は、図1に示した画素回路とは異なる構成を有している。具体的には、有機EL素子OLEDのカソード電極が電源線10に接続されるとともに、アノード電極が駆動トランジスタ T_d のソース電極に接続される。また、駆動トランジスタ T_d のドレイン電極は接地線に接続される。ゲート電極はスイッチングトランジスタ T_1, T_2 の接続部に接続されるとともにスイッチングトランジスタ T_1 を介して画像信号線14と間接的に接続される。スイッチングトランジスタ T_1 のゲート電極は走査線13と接続される。スイッチングトランジスタ T_2 のゲート電極はマージ線12と接続される。駆動トランジスタ T_d のゲート電極とドレイン電極との間には閾値電圧検出用トランジスタ T_{th} が挿入され、そのゲート電極には T_{th} 制御線11が接続される。補助容量 C_s は、スイッチングトランジスタ T_1, T_2 の接続部と有機EL素子OLEDの

アノード電極との間に挿入される。さらに、上述の実施の形態でも用いた追加容量 C_{s2} は、後述するように画像信号電位の書き込み期間において、自身と補助容量 C_s とが直列的に接続されるように、補助容量 C_s と電源線 10 との間に挿入される。

【0078】

なお、上記の説明では、駆動トランジスタ T_d については、有機EL素子OLEDのアノード電極に接続される側をソース電極とし、接地線に接続される側をドレイン電極として説明したが、これらの各電極を逆にして構成しても構わない。

【0079】

つぎに、実施の形態3の動作について、図9のシーケンス図を参照しつつ説明する。なお、実施の形態1と同様に、準備期間、閾値電圧検出期間、書き込み期間および発光期間という4つの期間に分けて説明する。

【0080】

(準備期間)

まず、準備期間では、電源線10が高電位 (V_p)、マージ線12が高電位 (V_{gH})、 T_{th} 制御線11が低電位 (V_{gL})、走査線13が低電位 (V_{gL})、画像信号線14がゼロ電位とされる。これにより、閾値電圧検出用トランジスタ T_{th} がオフ、スイッチングトランジスタ T_1 がオフ、駆動トランジスタ T_d がオン、スイッチングトランジスタ T_2 がオンとされる。なお、駆動トランジスタ T_d がオンとなるのは、スイッチングトランジスタ T_2 のオン状態が発光期間から維持されているのに加えて、駆動トランジスタ T_d のゲート電極には補助容量 C_s からの電荷の供給が継続するからである。その結果、駆動トランジスタ T_d のゲート電極にはドレイン電極に対して駆動トランジスタ T_d の閾値電圧よりも大きな電圧が印加され、また、ドレイン電極電位よりもソース電極電位の方が高いので、駆動トランジスタ T_d のオン状態は維持されたままとなる。このとき、電源線10→有機EL素子容量 C_{oled} (および補助容量 C_{s2}) →駆動トランジスタ T_d という経路で電流が流れ、有機EL素子容量 C_{oled} および補助容量 C_{s2} に電荷が蓄積される。なお、有機EL素子OLEDあるいは補助容量 C_{s2} に電荷を蓄積する理由は、実施の形態1と同様であり、駆動トランジスタ T_d の閾値電圧の検出時に $I_{ds} = 0$ となるまで電流を供給するためである。

【0081】

また、図9に示すように、準備期間から閾値電圧検出期間に移行する際に、まず、マージ線12を低電位 (V_{gL}) にしてスイッチングトランジスタ T_2 をオフしてから、 T_{th} 制御線11を高電位 (V_{gH}) にして閾値電圧検出用トランジスタ T_{th} をオンするようにしているが、この理由は、有機EL素子容量 C_{oled} に蓄積された電荷を保持するためである。

【0082】

(閾値電圧検出期間)

つぎの閾値電圧検出期間では、電源線10がゼロ電位とされる一方で、マージ線12の低電位 (V_{gL})、 T_{th} 制御線11の高電位 (V_{gH})、走査線13の低電位 (V_{gL}) および画像信号線14のゼロ電位がそれぞれ維持される。したがって、閾値電圧検出用トランジスタ T_{th} のオン状態が維持されることで、駆動トランジスタ T_d のゲート電極とドレイン電極とが短絡されるとともに、ゲート電極がドレイン電極を介して接地線に接続される。このため、駆動トランジスタ T_d のゲート電極とドレイン電極にはゼロ電位が与えられる。ここで、有機EL素子OLEDは駆動トランジスタ T_d のソース電極に接続されているので、有機EL素子OLEDのアノード電極側に蓄積された負の電荷に基づいて、駆動トランジスタ T_d のゲート電極・ソース電極間の電位差は駆動トランジスタ T_d の閾値電圧 V_{th} よりも大きくなり、駆動トランジスタ T_d はオン状態となる。

【0083】

一方、駆動トランジスタ T_d のドレイン電極が接地線に電氣的に接続されるとともに、駆動トランジスタ T_d のソース電極は負電荷が蓄積された有機EL素子OLEDに接続されている。このため、駆動トランジスタ T_d においてはゲート電極とソース電極との間に

発生した電位差に基づいてドレイン電極からソース電極に向かう電流が流れる。他方、この電流が流れることによって、有機EL素子OLEDに蓄積された負電荷の絶対値は徐々に減少し、駆動トランジスタTdのゲート電極・ソース電極間の電位差も徐々に低下する。そして、駆動トランジスタTdのゲート電極・ソース電極間の電位差が閾値電圧(Vth)まで減少した時点で、駆動トランジスタTdがオフ状態となり、有機EL素子OLEDに蓄積された負電荷の絶対値の減少も停止する。また、駆動トランジスタTdのゲート電極が接地線に接続されていることから、駆動トランジスタTdがオフ状態となった時、駆動トランジスタTdのソース電極電位は(-Vth)に維持されることとなる。以上の動作により、駆動トランジスタTdの閾値電圧(Vth)が検出される。

【0084】

10

(書き込み期間)

つぎの書き込み期間では、画像信号線14からのデータ電位(Vdata)を補助容量Csに間接的または直接的に供給することにより、駆動トランジスタTdのゲート電極電位が所望電位に可変制御される。具体的には、電源線10のゼロ電位、マージ線12の低電位(VgL)およびTth制御線11の高電位(VgH)がそれぞれ維持される一方で、走査線13が高電位(VgH)とされ、画像信号線14がデータ電位(Vdata)とされる。また、このとき、補助容量Csと有機EL素子容量Coledとが電氣的に直列に接続され、追加容量Cs2と有機EL素子容量Coledとが電氣的に並列に接続される。

【0085】

20

画像信号線14は、有機EL素子OLEDの輝度に対応する電位を供給するため、電位ゼロの状態から有機EL素子OLEDの輝度に対応する電位Vdataに変化する。この電位Vdataは、走査線13を高電位(VgH)に設定することでオン状態に制御されたスイッチングトランジスタT1を介して補助容量Csに書き込まれるとともに、走査線13を低電位(VgL)に設定してスイッチングトランジスタT1をオフ状態とすることで、その書き込み電位が保持される。なお、図9に示すように、Tth制御線11の電位は高電位(VgH)の状態が維持されるが、つぎの発光期間に、マージ線12の電位が高電位(VgH)に設定されるのに備え、本書き込み期間中において、Tth制御線11の電位を低電位(VgL)に設定することが好ましい。

【0086】

30

(発光期間)

つぎの発光期間では、電源線10がマイナス電位(-VDD)、マージ線12が高電位(VgH)とされ、Tth制御線11の低電位(VgL)、走査線13の低電位(VgL)および画像信号線14のゼロ電位がそれぞれ維持される。この制御により、駆動トランジスタTdがオン、閾値電圧検出用トランジスタTthがオフ、スイッチングトランジスタT1がオフとなり、有機EL素子OLEDが発光する。なお、有機EL素子OLEDのソース電極には、閾値電圧検出期間において検出された閾値電圧に基づいて-Vthの電位が現れる一方で、有機EL素子OLEDのゲート電極には、書き込み期間において書き込まれたデータ電位(Vdata)が印加されるため、駆動トランジスタTdのゲート電極-ソース電極間には(Vdata+Vth)の電位差が発生する。この結果、駆動トランジスタTdには、理論的には、駆動トランジスタTdの閾値電圧Vthに依存しない電流 $[I_{ds} = (\beta/2) \times (V_{data})^2]$ が流れ、有機EL素子OLEDが発光する。

40

【0087】

つぎに、図8に示した画素回路の書き込み効率について考察する。まず、追加容量Cs2が存在しない場合の書き込み効率を η_2 とすると、上述した実施の形態1における書き込み効率 η を導出したときと同様な手順により、次式のように表すことができる(詳細な導出手順については省略し、結果のみを示す)。

$$\eta_2 = [Cs \cdot Coled / (Coled + Cs + CgsTdoff) + CgdT1on + CgsT2off] / Ca112$$

・・・ (13)

【0088】

50

式(13)において、Ca112は、書き込み期間において、駆動トランジスタTdのゲート電極に接続される容量であり、次式のように表すことができる。

$$Ca112 = Cs + CgdT1off + CgsTthoff + CgsT2on + CgdT2on + CgsTdon + CgdTdoff$$

・・・(14)

【0089】

また、式(14)における各記号の意味は、つぎのとおりである。

CgdT1off

: スイッチングトランジスタT1オフ時のゲート電極-ドレイン電極間容量

CgsTthoff

: 閾値電圧検出用トランジスタTthオフ時のゲート電極-ソース電極間容量

10

CgsT2on

: スイッチングトランジスタT2オフ時のゲート電極-ソース電極間容量

CgdT2on

: スイッチングトランジスタT2オン時のゲート電極-ドレイン電極間容量

CgsTdon

: 駆動トランジスタTdオン時のゲート電極-ソース電極間容量

CgdTdoff

: 駆動トランジスタTdオフ時のゲート電極-ドレイン電極間容量

【0090】

一方、追加容量Cs2が存在する場合の書き込み効率をη2' とすると、式(13)と同様な、次式で表すことができる。

$$\eta 2' = [Cs \cdot (Coled + Cs2) / (Coled + Cs2 + Cs + CgsTdoff) + CgdT1on + CgsT2off] / Ca112$$

・・・(15)

【0091】

ここで、上記の式(13)および式(15)における共通項を、

$$Ct1 = Coled + Cs + CgsTdoff \quad \dots (16)$$

$$Ct2 = CgdT1on + CgsT2off \quad \dots (17)$$

と定義した上で、追加容量Cs2が存在する場合の書き込み効率η2' と、存在しない場合の書き込み効率η2との比を式で表すと、次式のようになる。

30

$$\begin{aligned} \eta 2' / \eta 2 &= [Cs \cdot (Coled + Cs2) / (Ct1 + Cs2) + Ct2] / [Cs \cdot Coled / Ct1 + Ct2] \\ &= [Cs \cdot Coled / Ct1 \cdot (1 + Cs2 / Coled) / (1 + Cs2 / Ct1) + Ct2] / [Cs \cdot Coled / Ct1 + Ct2] \\ &= [(1 + Cs2 / Coled) / (1 + Cs2 / Ct1) + Ct1 \cdot Ct2 / Cs / Coled] / [1 + Ct1 \cdot Ct2 / Cs / Coled] \end{aligned}$$

・・・(18)

【0092】

式(18)において、式(16)の定義から、Ct1 = Coled + Cs + CgsTdoff > Coledであり、Cs2 / Coled > Cs2 / Ct1となるので、式(18)におけるη2' / η2は常に1以上となる。したがって、追加容量Cs2を設けることにより書き込み効率が改善されていることが分かる。なお、追加容量Cs2が大きくなるほど書き込み効率が高くなるため、追加容量Cs2の容量値はColedの10%以上であることが好ましい(更に好ましくはColedの30%以上)。

40

【0093】

いま、実際の画素回路における書き込み効率を求めてみる。

例えば、典型的な値として、

$$Coled = 1.383 \text{ pF}$$

$$Cs = 0.5 \text{ pF}$$

$$Cs2 = 0.5 \text{ pF}$$

$$CgsTdon = CgdTdon = 0.080 \text{ pF}$$

$$CgsTdoff = CgdTdoff = 0.043 \text{ pF}$$

$$CgsT1on = CgdT1on = CgsT2on = CgdT2on = 0.013 \text{ pF} \quad 50$$

$C_{gs}T_{1off} = C_{gd}T_{1off} = C_{gs}T_{2off} = C_{gd}T_{2off} = 0.005 \text{ pF}$

とすれば、追加容量 C_{s2} を具備しない場合の書き込み効率 η は、式 (13)、式 (14) および式 (16)、式 (17) に基づき、 $\eta = 0.572$ となる。

【0094】

一方、追加容量 C_{s2} を具備する場合の書き込み効率 η' は、式 (14) ~ 式 (17) に基づき、 $\eta' = 0.618$ となる。

【0095】

この例では、追加容量 C_{s2} を具備することによる書き込み効率の変化 (差分値: $\Delta\eta = \eta' - \eta$) と追加容量 C_{s2} を備えない場合の書き込み効率 (η) との比 ($\Delta\eta / \eta$) が $(0.618 - 0.572) / 0.572 \approx 0.08$ となり、書き込み効率を約 8% 改善 (上昇) させることができる。なお、追加容量 C_{s2} の容量を可能な限り大きな値のものをを用いるようにすれば、書き込み効率の改善度をさらに高めることができる。

10

【0096】

ところで、これまで、追加容量 C_{s2} を具備することによる書き込み効率の増加を、種々の数式を用いて定量的に説明してきた。一方、書き込み効率の増加は、以下のように定性的に説明することもできる。

【0097】

まず、上記で定義したように、書き込み効率とは、 V_{gs} 振り幅 (ΔV_{gs}) と画素信号線振り幅 (ΔV_{data}) との比で表すことができるものである。したがって、書き込み効率を増加させるためには、 V_{gs} 振り幅 (ΔV_{gs}) を画素信号線振り幅 (ΔV_{data}) に限りなく近づけることが好ましい。一方、画像信号線 14 からのデータ電位 (V_{data}) が書き込まれる補助容量 C_s には、画像データの書き込み時に直列的に接続される容量成分が存在する。例えば、図 8 に示した画素回路では、有機 EL 素子容量 C_{oled} が、この容量成分の一つに該当する。なお、画素回路によっては、有機 EL 素子容量 C_{oled} が補助容量 C_s に直列的に接続されない構成となる場合もあるが、このような場合には、駆動トランジスタ T_d 、閾値電圧検出用トランジスタ T_{th} およびスイッチングトランジスタ T_1 、 T_2 の寄生容量のうち、画像データの書き込み時に補助容量 C_s に直列的に接続される寄生容量成分が、書き込み効率に影響を及ぼすことになる。

20

【0098】

ここで、例えば補助容量 C_s と有機 EL 素子容量 C_{oled} とが直列的に接続されている構成において、補助容量 C_s と有機 EL 素子容量 C_{oled} との間に V_{12} という電圧が印加される場合を考える。この場合、補助容量 C_s の両端に生ずる電位差 (電圧) を V_s とすれば、簡単な次式で表される。

30

$$V_s = C_{oled} / (C_s + C_{oled}) \cdot V_{12} \quad \dots (19)$$

【0099】

そして、式 (19) は、画像信号線 14 からのデータ電位 (V_{data}) が書き込まれる補助容量 C_s に対して直列に接続される容量成分が存在する場合には、補助容量 C_s に蓄積される電荷の一部が当該直列に接続される容量成分によって奪われ、書き込み効率の低下が生ずるということ、並びに、補助容量 C_s の両端に印加される電圧は、補助容量 C_s に直列に接続される容量成分 (すなわち接続相手方の容量成分) に比例して大きくなるということの 2 つの観点を示唆している。

40

【0100】

したがって、書き込み効率を増加させるための構成として、補助容量 C_s に付加して設けられる追加容量 C_{s2} については、少なくともデータ電位の書き込み時において補助容量 C_s に直列的に接続される構成とする。また、追加容量 C_{s2} の容量値は、補助容量 C_s よりも大きな容量値を有するものを選定することが好ましい。

【0101】

なお、実施の形態 1 と同様に、有機 EL 素子 OLED の容量値が、赤、緑および青の各画素で異なっている場合に、各色ごとの書き込み効率を略等しくするためには、赤、緑お

50

よび青の各有機EL素子OLEDの容量をそれぞれ C_{oledr} , C_{oledg} , C_{oledb} とおき、赤、緑および青の追加容量をそれぞれ C_{s2r} , C_{s2g} および C_{s2b} とおくとき、 $C_{oledr}+C_{s2r}$, $C_{oledg}+C_{s2g}$, $C_{oledb}+C_{s2b}$ の全ての値を、これらの値の中の最大値の80%~100% (より好ましくは95%~100%) の範囲内に設定することが好ましい。

【0102】

また、各色ごとに固有な発光効率に差異が存在すると、各画素回路における所要 V_{gs} 振り幅 (ΔV_{gs}) が赤、緑、および青の各色ごとに異なる場合がある。いま、各色の書き込み効率を、それぞれ η_r , η_g , η_b とおき、各色の必要な ΔV_{gs} の最大値を ΔV_{gsmaxr} , ΔV_{gsmaxg} , ΔV_{gsmaxb} とする。このとき、 $\Delta V_{gsmaxr}/\eta_r$, $\Delta V_{gsmaxg}/\eta_g$, $\Delta V_{gsmaxb}/\eta_b$ の最小値が、 $\Delta V_{gsmaxr}/\eta_r$, $\Delta V_{gsmaxg}/\eta_g$, $\Delta V_{gsmaxb}/\eta_b$ の最大値の90%以上 (より好ましくは95%以上) となるように C_{s2r} , C_{s2g} , C_{s2b} を定めれば、略等しい画素信号線振り幅 (ΔV_{data}) で各色とも所望の V_{gs} 振り幅 (ΔV_{gs}) が得られる。

【0103】

以上、説明したように、この実施の形態の画像表示装置によれば、画像データが書き込まれる第1容量素子に加えて、画像データの書き込み期間中に第1容量素子に直列的に接続される第2容量素子を設けることにより、第1容量素子に対して書き込んだ電位が第1容量素子に良好に反映されることとなる。その結果、画像表示装置の書き込み効率を改善することができるという効果を奏する。

【0104】

(実施の形態4)

さて、前述した図8に示す実施の形態3においては、追加容量 C_{s2} の一端が有機EL素子OLEDのカソード電極に接続され、他端が電源線10に接続されるように構成したが、この構成に限定されるものではない。例えば、図10に示すように、追加容量 C_{s2} の他端を固定電位 (定電位) である接地線に接続してもよい。

【0105】

なお、ここでいう固定電位とは、準備期間、閾値電圧検出期間、書き込み期間および発光期間の全ての期間において定電位である必要はなく、少なくとも閾値電圧検出期間から書き込み期間において定電位が維持されていればよい。

【0106】

また、この定電位という意味は厳密な意味での定電位である必要はなく、追加容量 C_{s2} により書き込み効率増大作用を得るという趣旨の範囲内において、所定の電位変動は許容され得るものである。

【0107】

また、追加容量 C_{s2} の他端は、閾値電圧検出期間から書き込み期間にかけて、略一定電位が保持されている T_{th} 制御線11 (図11参照) や、マージ線12 (図12参照) に接続することもできる。

【0108】

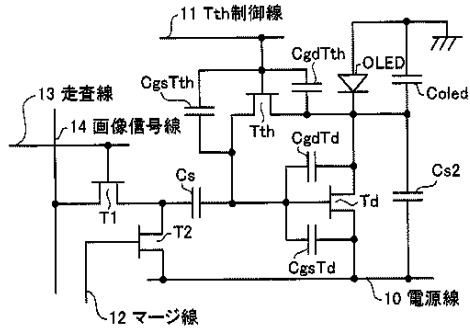
また、前述した実施の形態3においては、図8に示した構成の画素回路に追加容量を適用した例について説明したが、駆動トランジスタと閾値電圧検出用トランジスタとを有する画素回路であれば、いかなる接続形態の画素回路にも適用可能である。要は、駆動トランジスタのゲート電極に実施の形態3で説明した要件を備える追加容量を接続すればよい。

【産業上の利用可能性】

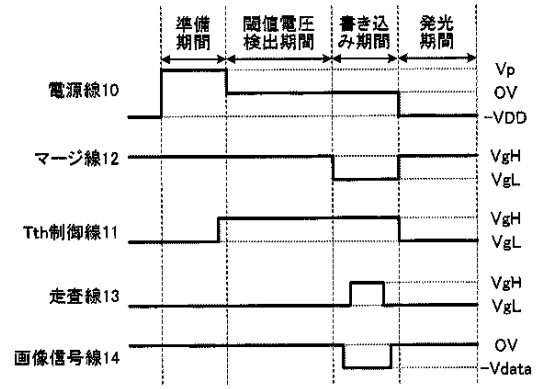
【0109】

以上のように、本発明にかかる画像表示装置は、画素回路における書き込み効率の低下防止に対して有用である。

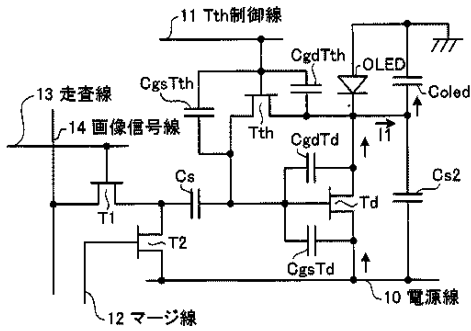
【図 1】



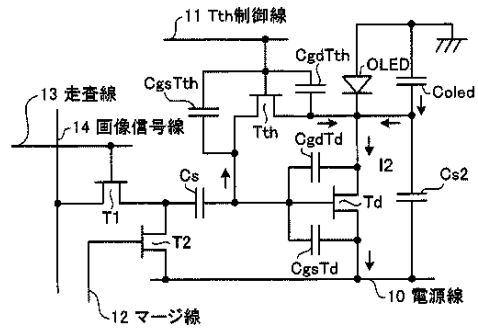
【図 2】



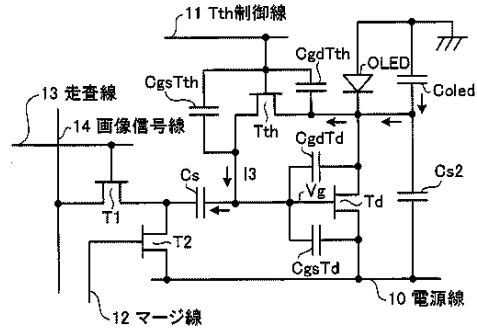
【図 3】



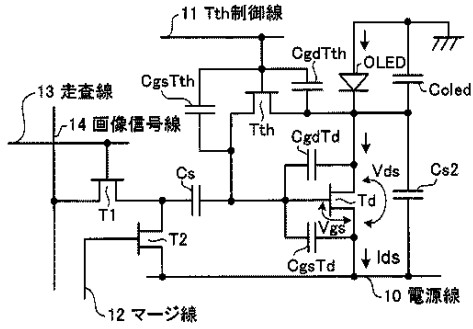
【図 4】



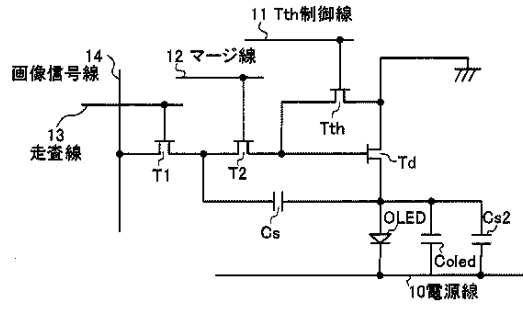
【図 5】



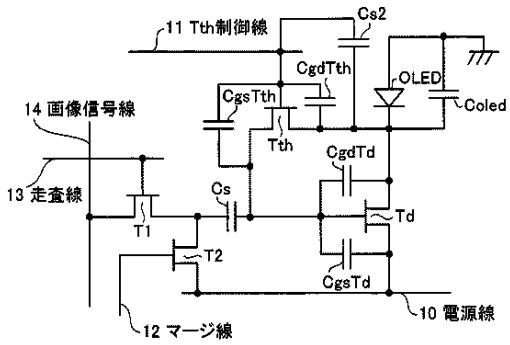
【図 6】



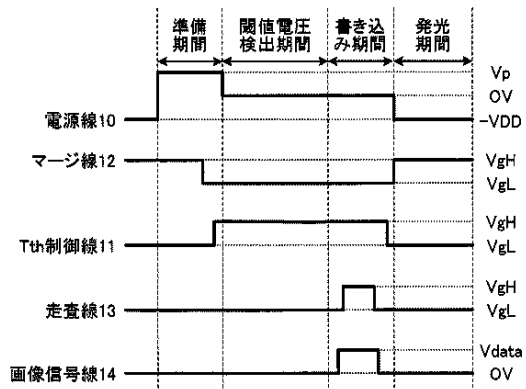
【図 8】



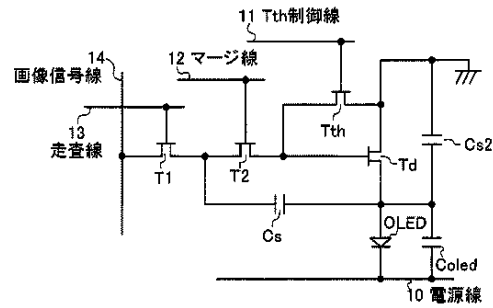
【図 7】



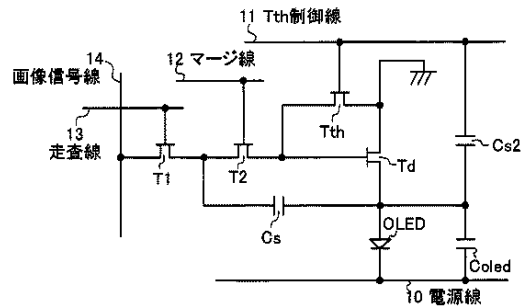
【図 9】



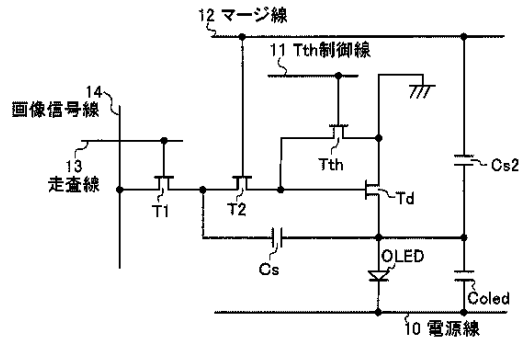
【図 10】



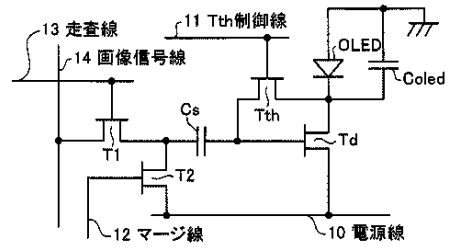
【図 11】



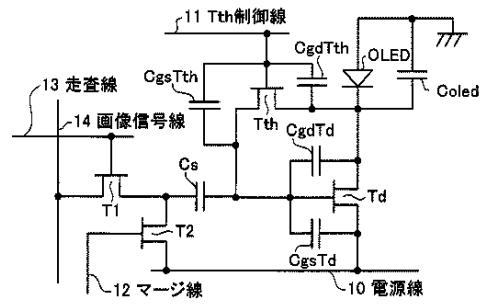
【図 1 2】



【図 1 3】



【図 1 4】



【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2006/301576
A. CLASSIFICATION OF SUBJECT MATTER G09G3/30(2006.01), G09G3/20(2006.01)		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G09G3/20, G09G3/30		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2006 Kokai Jitsuyo Shinan Koho 1971-2006 Toroku Jitsuyo Shinan Koho 1994-2006		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2002-514320 A (Sarnoff Corp.), 14 May, 2002 (14.05.02), Page 15, line 20 to page 19, line 29; Figs. 3, 4 & US 006229506 B1 & EP 000978114 A & WO 1998/048403 A1	1 2-12
A	S. ONO et al., Pixel Circuit for a-Si AM-OLED, IDW'03, 03 December, 2003 (03.12.03), pages 255 to 258	1-12
A	JP 2004-341350 A (Toshiba Matsushita Display Technology Kabushiki Kaisha), 02 December, 2004 (02.12.04), Full text; all drawings & US 2005/0057182 A1 & WO 2004/102517 A1	1-12
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 22 March, 2006 (22.03.06)		Date of mailing of the international search report 04 April, 2006 (04.04.06)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

国際調査報告		国際出願番号 PCT/JP2006/301576	
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G09G3/30 (2006, 01), G09G3/20 (2006, 01)			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G09G 3/20, G09G 3/30			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2006年 日本国実用新案登録公報 1996-2006年 日本国登録実用新案公報 1994-2006年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
X A	JP 2002-514320 A (サーノフ コーポレイション) 2002. 05. 14 第15頁第20行-第19頁第29行、図 3, 4 & US 006229506 B1 & EP 000978114 A & WO 1998/048403 A1	1 2-12	
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願		の日後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献	
国際調査を完了した日 22. 03. 2006		国際調査報告の発送日 04. 04. 2006	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 福村 拓	2G 3308
		電話番号 03-3581-1101 内線	3226

国際調査報告

国際出願番号 PCT/JP2006/301576

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	S. Ono et al., Pixel Circuit for a-Si AM-OLED, IDW '03, 2003. 12. 03, page 255-258	1-12
A	JP 2004-341350 A (東芝松下ディスプレイテクノロジー株式会社) 2004. 12. 02 全文、全図 & US 2005/0057182 A1 & WO 2004/102517 A1	1-12

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(注) この公表は、国際事務局（W I P O）により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願（日本語実用新案登録出願）の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	画像表示装置		
公开(公告)号	JPWO2006090560A1	公开(公告)日	2008-07-24
申请号	JP2007504649	申请日	2006-01-31
[标]申请(专利权)人(译)	京瓷株式会社		
申请(专利权)人(译)	京瓷株式会社		
[标]发明人	高杉親知 草深薫		
发明人	高杉 親知 草深 薫		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2300/0842 G09G2300/0847 G09G2300/0876 G09G2320/043		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.641.D H05B33/14.A G09G3/20.611.H		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC32 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/FF11 5C080/JJ03 5C080/JJ04		
代理人(译)	酒井宏明		
优先权	2005051137 2005-02-25 JP		
其他公开文献	JP4782103B2		
外部链接	Espacenet		

摘要(译)

一种图像显示装置，包括发光元件。驱动器，其具有控制端子，第一端子和第二端子，并且通过控制端子和第一端子之间的电压来控制第一端子和第二端子之间流动的电流，以控制光的发光。发射元件具有第一电极和第二电极的第一电容器，第一电极直接或间接连接到驱动器的控制端子，第二电极直接或间接连接到提供对应于图像数据的电势的信号线；第二电容器在写入期间与第一电容器串联电连接，同时图像数据通过信号线被写入第一电容器。

【図3】

