

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6653997号
(P6653997)

(45) 発行日 令和2年2月26日(2020.2.26)

(24) 登録日 令和2年1月31日(2020.1.31)

(51) Int.Cl.	F I
G09G 3/3208 (2016.01)	G09G 3/3208
G09G 3/20 (2006.01)	G09G 3/20 6 2 3 B
H01L 51/50 (2006.01)	G09G 3/20 6 2 3 N
	G09G 3/20 6 4 1 P
	G09G 3/20 6 4 2 P
請求項の数 4 (全 23 頁) 最終頁に続く	

(21) 出願番号	特願2015-94528 (P2015-94528)	(73) 特許権者	000153878
(22) 出願日	平成27年5月6日(2015.5.6)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2015-228023 (P2015-228023A)		神奈川県厚木市長谷398番地
(43) 公開日	平成27年12月17日(2015.12.17)	(72) 発明者	小山 潤
審査請求日	平成30年4月26日(2018.4.26)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2014-97986 (P2014-97986)		半導体エネルギー研究所内
(32) 優先日	平成26年5月9日(2014.5.9)		
(33) 優先権主張国・地域又は機関	日本国(JP)	審査官	橋 皇徳

最終頁に続く

(54) 【発明の名称】 表示補正回路及び表示装置

(57) 【特許請求の範囲】

【請求項1】

第1の容量素子と、第2の容量素子と、第1のトランジスタと、第2のトランジスタと、第1のバッファ回路と、第2のバッファ回路と、AD変換回路と、出力回路と、を有し、

前記第1の容量素子の一方の電極と、前記第1のトランジスタのソースまたはドレインの一方は、前記第1のバッファ回路の入力端子と電気的に接続し、

前記第1のバッファ回路の出力端子は、前記第2のトランジスタのソースまたはドレインの一方と電気的に接続し、

前記第2のトランジスタのソースまたはドレインの他方は、前記第2の容量素子の一方の電極と、前記第2のバッファ回路の入力端子と電気的に接続し、

前記第1の容量素子は、画素に流れる電流に応じた電位を保持する機能を有し、

前記第1のトランジスタは、前記第1の容量素子に保持される電位をリセットする機能を有し、

前記第2のバッファ回路は、前記第2の容量素子に保持される電位が入力され、

前記AD変換回路は、前記第2のバッファ回路から出力される電位をデジタル信号に変換する機能を有し、

前記出力回路は、信号線への前記デジタル信号の出力を制御する機能を有し、

前記第1のトランジスタ及び前記第2のトランジスタは、チャネル形成領域に酸化物半導体を含む、表示補正回路。

10

20

【請求項 2】

請求項 1 に記載の表示補正回路と、
前記画素が配置された表示領域と、を有する表示装置。

【請求項 3】

請求項 1 に記載の表示補正回路と、
前記デジタル信号が有するデータを記憶する機能を有するメモリと、
前記データを用いて画像信号を補正する機能を有する画像処理回路と、
前記画素が配置された表示領域と、を有する表示装置。

【請求項 4】

請求項 2 または請求項 3 において、
前記画素は、有機 E L 素子を有することを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は表示補正回路に関するものであり、特に酸化半導体を用いた表示補正回路に関するものである。またその表示補正回路を備えた表示補正システムに関するものである。なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、それらの駆動方法、または、それらの製造方法、を一例として挙げることができる。

【背景技術】

【0002】

近年、携帯機器としてスマートフォンが広く普及している。スマートフォンに用いられるディスプレイは徐々に大きなものが市場から多く求められるようになってきている。最近ではスマートフォン用ディスプレイの大きさは 4 インチ乃至 6 インチのものが主流となっている。また、最近のスマートフォンではディスプレイに有機 E L パネルを採用したものが市場に多く出荷されている。有機 E L パネルは液晶パネルに比較して、色純度が高い、フレキシブル化が可能などの特徴があり開発が進められている。

【0003】

有機 E L パネルに用いられる有機 E L 素子、ポリシリコントランジスタ素子または酸化半導体トランジスタ素子は液晶のように交流駆動を行わず、直流電圧または直流電流が加えられている。そのため、直流電圧または直流電流が印加される有機 E L 素子、トランジスタ素子ともに長時間駆動によって特性変動が生じやすい。素子の特性変動はそのまま、表示画面において、表示ムラとして現れる。一般に、長時間駆動した画素は輝度が低下する。表示画面のうち、特定の画素のみを長時間点灯すると、その部分のみ輝度が低下し、それが焼き付きとして表示され、表示品位を低下させる。また、トランジスタの特性バラツキによっても表示ムラが発生する。

【0004】

そのため、ポリシリコントランジスタや酸化半導体トランジスタを用いた有機 E L パネルでは画素の中に補正回路を内蔵し、素子の劣化補正やバラツキ補正をおこなうことが行われている。図 1 に示すのは有機 E L 素子を駆動するトランジスタ素子のしきい値を補正する回路の具体例である。この回路では画素 100 の中にトランジスタ 101、102、103、104、105 と、容量 106、有機 E L 素子 108、データ線 109、電源線 110、ゲート線 111、112、113、アノード線 114、カソード 107 を用いて構成している。この補正回路の詳細は特許文献 1 に記載されている。

【先行技術文献】

10

20

30

40

50

【特許文献】

【0005】

【特許文献1】特開2013-137498

【発明の概要】

【発明が解決しようとする課題】

【0006】

図1に示した従来の画素構成には以下のような問題があった。図1の画素構成では5個のトランジスタ、1個の容量素子、4本の横配線、2本の縦配線という構成要素が必要である。そのため、画素のサイズが大きい場合には問題ないが、画素サイズが小さくなった場合、画素のサイズの中に入りきらなくなり、高精細のパネルには対応できないといった課題があった。また、画素サイズの中に入る場合においても、配線層を増加させる必要があり、工程増加によるコストアップが避けられないという課題が生じていた。

10

【0007】

上述したような技術的な背景のもと、本発明の一態様は高精細の有機ELパネルにおいて、焼き付きのない良好な表示をおこなうことを可能とする表示補正回路を提供することを目的の一とする。本発明の一態様は高精細の有機ELパネルの画素において、少ないトランジスタ素子数で表示補正を可能とする表示補正回路を提供することを目的の一とする。

【0008】

本発明の一態様は高精細の有機ELパネルにおいて、焼き付きのない良好な表示をおこなうことを可能とする表示補正システムを提供することを目的の一とする。本発明の一態様は高精細の有機ELパネルの画素において、少ないトランジスタ素子で表示補正を可能とする表示補正システムを提供することを目的の一とする。

20

【0009】

または、本発明の一態様は、新規な半導体装置などを提供することを課題とする。なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの課題の全てを解決する必要はない。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

30

【0010】

本発明の一形態はマトリクス状に画素が配置された表示領域を有する表示装置の表示補正回路であって、前記表示補正回路は、前記表示領域の外に配置され、且つ、前記画素の駆動電流を入力する容量素子と、前記容量素子の電位をリセットする酸化物半導体トランジスタと、前記容量素子に接続されたバッファ回路と、前記バッファ回路の出力をAD変換するAD変換回路と、前記AD変換回路の出力データを順次出力する出力回路を有することを特徴としている。

【0011】

本発明の一形態はマトリクス状に画素が配置された表示領域を有する表示装置の表示補正システムであって、前記表示補正システムは、前記表示領域の外に配置され、且つ、前記画素の出力電流を入力する容量素子と、前記容量素子の電位をリセットする酸化物半導体トランジスタと、前記容量素子に接続されたバッファ回路と、前記バッファ回路の出力をAD変換するAD変換回路と、前記AD変換回路の出力データを順次出力する出力回路より構成される表示補正回路と、前記出力回路の出力結果より補正データを作成し、該補正データを用いて映像信号に補正をかける画像処理回路と、補正データを記憶するメモリと、を有することを特徴としている。

40

【0012】

本発明の他の一態様は、上記に記載の表示補正回路と、マトリクス状に画素が配置された表示領域と、を有し、表示補正回路は表示領域の外側に配置される表示装置である。また、本発明の他の一態様は、上記に記載の表示補正回路と、出力回路の出力結果より補正

50

データを作成し、該補正データを用いて映像信号に補正をかける画像処理回路と、該補正データを記憶するメモリと、マトリクス状に画素が配置された表示領域と、を有し、表示補正回路は表示領域の外側に配置される表示装置である。

【0013】

また、上記において、画素の駆動電流は100nA以下であってもよい。また、上記において、画素は、有機EL素子を有することが好ましい。

【発明の効果】

【0014】

本発明の一態様を採用することにより、高精細の有機ELパネルにおいて、焼き付きのない良好な表示をおこなえる表示補正回路を提供することが可能となる。本発明の一態様を採用することにより高精細の有機ELパネルにおいて、少ないトランジスタ素子数で表示補正ができる表示補正回路を提供することが可能となる。

10

【0015】

本発明の一態様を採用することにより、高精細の有機ELパネルにおいて、焼き付きのない良好な表示をおこなえる表示補正システムを提供することが可能となる。本発明の一態様を採用することによって、高精細の有機ELパネルにおいて、少ないトランジスタ素子数で表示補正ができる表示補正システムを提供することが可能となる。または、新規な半導体装置などを提供することが出来る。なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

20

【図面の簡単な説明】

【0016】

【図1】従来の画素補正回路の回路図。

【図2】有機ELパネルのブロック図。

【図3】有機ELパネルの画素部回路図。

【図4】表示補正回路のブロック図。

【図5】表示補正システムのブロック図。

【図6】タイミングチャート。

30

【図7】オフ電流の特性を示した図。

【図8】本発明の一態様を説明する断面図。

【図9】本発明の一態様を用いた電子機器。

【発明を実施するための形態】

【0017】

本発明の実施の形態の一例について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0018】

40

トランジスタは半導体素子の一種であり、電流や電圧の増幅や、導通または非導通を制御するスイッチング動作などを実現することができる。本明細書におけるトランジスタは、IGFET(Insulated Gate Field Effect Transistor)や薄膜トランジスタ(TFT:Thin Film Transistor)を含む。

【0019】

なお、図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等を開示された位置、大きさ、範囲などに限定されない。

【0020】

50

なお、本明細書等における「第1」、「第2」、「第3」などの序数は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。

【0021】

例えば、本明細書等において、XとYとが接続されている、と明示的に記載する場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とを含むものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも含むものとする。

【0022】

ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

10

【0023】

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有している。

【0024】

20

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフト回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。

【0025】

30

なお、XとYとが電氣的に接続されている、と明示的に記載する場合は、XとYとが電氣的に接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟んで接続されている場合）と、XとYとが機能的に接続されている場合（つまり、XとYとの間に別の回路を挟んで機能的に接続されている場合）と、XとYとが直接接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟まずに接続されている場合）とを含むものとする。つまり、電氣的に接続されている、と明示的に記載する場合は、単に、接続されている、とのみ明示的に記載されている場合と同じであるとする。

【0026】

なお、例えば、トランジスタのソース（又は第1の端子など）が、Z1を介して（又は介さず）、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2を介して（又は介さず）、Yと電氣的に接続されている場合や、トランジスタのソース（又は第1の端子など）が、Z1の一部と直接的に接続され、Z1の別の一部がXと直接的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2の一部と直接的に接続され、Z2の別の一部がYと直接的に接続されている場合では、以下のように表現することが出来る。

40

【0027】

例えば、「XとYとトランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とは、互いに電氣的に接続されており、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yの順序で電氣的に接続されている。」と表現することができる。または、「トランジスタのソース（又は

50

第 1 の端子など) は、X と電氣的に接続され、トランジスタのドレイン (又は第 2 の端子など) は Y と電氣的に接続され、X、トランジスタのソース (又は第 1 の端子など)、トランジスタのドレイン (又は第 2 の端子など)、Y は、この順序で電氣的に接続されている」と表現することができる。または、「X は、トランジスタのソース (又は第 1 の端子など) とドレイン (又は第 2 の端子など) とを介して、Y と電氣的に接続され、X、トランジスタのソース (又は第 1 の端子など)、トランジスタのドレイン (又は第 2 の端子など)、Y は、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース (又は第 1 の端子など) と、ドレイン (又は第 2 の端子など) とを、区別して、技術的範囲を決定することができる。なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Y、Z 1、Z 2 は、対象物 (例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など) であるとする。

10

【0028】

なお、回路図上は独立している構成要素同士が電氣的に接続しているように図示されている場合であっても、1 つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、及び電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

【0029】

20

(実施の形態 1)

(本発明の一態様の技術)

本発明の一態様は、画素の外に酸化物半導体を用いた表示補正回路を形成することにより、画素の中のトランジスタ素子数、配線数を削減し、画素密度の高い表示装置においても表示補正を可能にすることができる。また、表示補正回路に使用する一部または全部のスイッチングトランジスタに酸化物半導体トランジスタを使用することにより、スイッチングトランジスタのオフ電流が補正に悪影響を与えないようにすることができる。以下表示装置は有機 EL パネルを想定して説明を行うが有機 EL パネルに限定されるものではない。

【0030】

30

以下に示すのは画素のデータ線を駆動するドライバー IC 内に本発明の一態様の表示補正回路を組み込んだ例である。図 2 は本発明の一態様を用いた有機 EL パネル 200 のブロック図である。有機 EL パネル 200 はドライバー IC 201、画素部 202、ゲートドライバー回路 203 によって構成される。画素部 202 は画素 300、スイッチ回路 301 回路によって構成される。ゲートドライバー回路 203 は画素部 202 と基板上に一体形成されることが望ましい。ドライバー IC 201 は COG 技術などで画素基板に実装することが一般的であるが基板にタブ付しても良い。また、基板上にドライバー IC 201 相当の回路を一体形成しても良い。

【0031】

ドライバー IC 201 の端子 401 と画素部 202 の端子 302 は接続され、ドライバー IC 201 の端子 402 と画素部 202 の端子 303 は接続される。図 3 は画素部 202 を示すものである。以下にその構成をしめす。図 3 は有機 EL パネル基板に構成される回路を示しており、回路中のトランジスタは酸化物半導体トランジスタ、ポリシリコントランジスタなどによって構成されるが、それ以外でもよい。

40

【0032】

画素 300 はトランジスタ 306、307、308、容量素子 309、有機 EL 素子 310、カソード電極 311、データ線 312、電源供給線 313、ゲート線 317、電源線 318 によって構成される。また、画面内にこのような画素 300 はマトリクス状に配置される。データ線 312 は端子 303 に接続され、電源供給線 313 はトランジスタ 304、305 のソースまたはドレインの一方に接続される。トランジスタ 304 のソース

50

またはドレインの他方は端子302に接続される。トランジスタ305のソースまたはドレインの他方は電源線316に接続される。トランジスタ304のゲートは制御線314に接続され、トランジスタ305のゲートは制御線315に接続される。ここでトランジスタ304、305は画素300内のトランジスタと同時に形成されるのが望ましい。端子302、端子303はドライバーIC201の端子401、402に接続される。

【0033】

次に、図3に示す回路の動作について説明する。以下の説明ではトランジスタはすべてN型トランジスタとする。P型トランジスタを使用する場合には電気信号の極性を変更する場合がある。画素300の周辺にスイッチ回路301を配置する。スイッチ回路301はトランジスタ304、305によって構成される。画像表示時は制御線315をハイとし、制御線314をロウとする。このようにすることによって、電源供給線313は電源線316に接続され、アノード電位が画素300に供給される。

10

【0034】

最初にゲート線317をハイとすることにより、トランジスタ307、308がオンすることによって、トランジスタ306のゲートはデータ線312に接続され、トランジスタ306のソースは電源線318に接続される。これによってデータ線312と電源線318の差電圧が容量素子309に蓄えられる。電源線318の電圧を有機EL素子310が発光しない電位に設定すれば書き込み時の発光はない。次にゲート線317をロウとして、トランジスタ307、308をオフとする。容量素子309に蓄えられた電位がトランジスタ306のしきい値より大きければトランジスタ306から有機EL素子310に電流が流れ、素子が発光する。次に、その次の行の画素についても同様の書き込みを行い、有機EL素子を点灯させる。このようにして順次有機EL素子の点灯を行い、有機ELパネル全体を点灯させることができる。

20

【0035】

次に画素の電流をモニターする場合を説明する。制御線315をロウとし、制御線314をハイとする。このようにすることによって、電源供給線313は端子302に接続される。画素300の電流をモニターする場合、ゲート線317をハイとすることにより、トランジスタ307、308がオンすることによって、トランジスタ306のゲートはデータ線312に接続され、トランジスタ306のソースは電源線318に接続される。電源線318の電圧を有機EL素子310が発光しない電位に設定すればモニター時の発光はない。トランジスタ306に流れる電流はドライバー回路から端子302、トランジスタ304を経由してトランジスタ306に流れる、さらにはトランジスタ308を介して電源線318に流れる。よって、端子302に流れる電流をモニターすればよい。モニターが終了したら、制御線314をロウとして、トランジスタ304をオフさせる。

30

【0036】

次にデータ線312にモニター時より十分低い電圧を入力し、トランジスタ306をオフさせる。そして、ゲート線317をロウにしてトランジスタ307、308をオフさせる。そして次の行の画素をモニターする。これを順次繰り返し、全画素の電流をモニターすることができる。

【0037】

図3に示す画素300と図1に示す画素100とを比較すると、トランジスタの数が5個から3個に、横配線の数も4本から2本に削減されている。このように、本実施の形態に示す表示装置では、少ないトランジスタ素子数で表示補正を行うことができる。

40

【0038】

なお、本実施の形態は、他の実施の形態と適宜組み合わせ用いることができる。

【0039】

(実施の形態2)

次に本発明の一態様の表示補正回路を有するドライバーIC201の構成について、図4を用いて説明をおこなう。図4はドライバーIC201のブロック図である。この図ではデータの書き込みと、画素の電流モニターとの2つの機能を1つのICに含めた場合を

50

説明している。それぞれを別のＩＣで構成し、２つの機能を分離してもよい。

【００４０】

まず、データ書き込みを説明する。データ書き込みとはパネル外部の映像データをパネル内部の画素に入れることである。データ書き込みを行うために図４に示す回路は書き込み用シフトレジスタ４０３、ラッチ４１４、ラッチ４１５、ＤＡコンバータ４１６、アナログバッファ回路４１７、信号線４１８、４１９、４２０、制御線４２５を有している。データ書き込みは以下の順序で行われる。

【００４１】

書き込み用シフトレジスタ４０３にて順次パルスを送る。書き込み用シフトレジスタ４０３の出力をラッチ４１４に投入し、シフトレジスタの出力に同期して信号線４１
8、４１９、４２０上の映像データをラッチする。一行分のデータがラッチされたのち、
制御線４２５をハイとしてラッチ４１５にデータを転送する。その後、ＤＡコンバータ４
16にてアナログ変換してアナログバッファ回路４１７を介して端子４０２に出力する。

10

【００４２】

次に、画素の電流モニターを行う場合を説明する。電流モニターとは画素のトランジスタ３０６に流れる電流値のデータをパネル外部に取り出すことである。電流モニターを行うために図４に示す表示補正回路はモニター用シフトレジスタ４０４、サンプリングスイッチ回路４０５、ラッチ４０６、ＡＤコンバータ４０７、バッファ回路４０８、４１１、トランジスタ４１０、４１２、容量素子４０９、４１３、制御線４２４、４２６、４２８、電源線４２７、電流データ出力信号線４２１、４２２、４２３を有している。また、図
6に表示補正回路が動作するタイミングを示す。モニター用シフトレジスタ４０４は出力回路として機能する。

20

【００４３】

まず、制御線４２８をハイとしてトランジスタ４１２をオンさせる（図６期間Ａ）。これによって端子４０１は電源線４２７と等電位となる。その後、制御線４２８をロウとして、トランジスタ４１２をオフさせる。次に端子４０１に接続される画素３００が電流を引き込むと容量素子４１３から電荷が放電し端子４０１の電位は低下していく。この電位はバッファ回路４１１を介してトランジスタ４１０に投入される。制御線４２６がハイになるとトランジスタ４１０がオンして、バッファ回路４１１の電位を容量素子４０９に書き込む（図６期間Ｂ）。その後、制御線４２６がロウになるとトランジスタ４１０がオフし、電位が容量素子４０９に保持される。

30

【００４４】

ここでトランジスタ４１０とトランジスタ４１２は酸化物半導体トランジスタとする。このトランジスタを酸化物半導体トランジスタとするのは以下のような意義がある。１つの画素の有機ＥＬ素子に流れる電流は極めて少なく１００ｎＡ以下である。トランジスタ４１０とトランジスタ４１２をシリコントランジスタで作製した場合、そのトランジスタのオフ電流は１０ｎＡ以上となる。これは画素に流れる電流に対してオフ電流が無視できない大きさとなっている。この場合オフ電流の影響によって、表示補正が正確にできなくなる。本発明の一態様は酸化物半導体トランジスタを用いることによりオフ電流を十分低くでき、画素の電流測定を正確にできる。それによって、より正確な補正が可能になる。

40

【００４５】

シリコンを用いたトランジスタではそのオフ電流は微細化とともに大きくなる。特に、ゲート長が１３０ｎｍ以下においては顕著である。一方で集積度向上のため集積回路のデザインルールは微細化の方向に進むため、シリコントランジスタでは微細化とオフ電流の両立が難しいといった問題がある。酸化物半導体トランジスタを使用することによって、その両立が可能となる。

【００４６】

また、オフ電流の大きなシリコントランジスタをスイッチに用いるための手法として、画素の電流を１０倍以上増幅し、容量素子４１３も１０倍以上大きくし、相対的にオフ電流の影響を軽減する手法もある。しかし、この場合、画素電流増幅のための回路および大

50

きな保持容量が必要になるため、チップ面積の増大を招く。本発明では容量素子 413 の容量値を 0.2 pF 以下にすることが可能であり、チップ面積の増大を防ぐことが可能である。

【0047】

図7に酸化物半導体トランジスタのオフ電流のアレニウスプロットデータを示す。図7においては(A)、(B)、(C)の3種のサンプルの測定を行っている。後述するCAAC膜を用いた酸化物半導体ではそのオフ電流は極めて低い値であり、85℃においても 1×10^{-21} A以下である。したがって上記の仕様には問題ない値を得ることができる。

【0048】

バッファ回路408の出力はADコンバータ407に入力され、デジタル信号に変換される(図6期間C)。ここで図4ではADコンバータは3ビットを想定して記載してあるが、3ビットに限定せず、さらに高いビット数であっても良い。制御線424が高になるとADコンバータの出力はラッチ406にラッチされる(図6期間D)。そしてモニター用シフトレジスタ404の出力に合わせてサンプリングスイッチ回路405が動作し、電流データ出力信号線421、422、423に送り出す。

【0049】

なお、本実施の形態は、他の実施の形態と適宜組み合わせ用いることができる。

【0050】

(実施の形態3)

図5は本発明の一態様の補正システムを示したブロック図である。有機ELパネル200、コントローラ501、画像信号処理回路502、メモリ503、CPU504を含んでいる。メモリ503は画像信号処理回路502に内蔵しても良い。メモリはデータを格納しルックアップテーブルとして用いることができる。

【0051】

以下に動作を説明する。まず、有機ELパネル200の画素のモニターを行い、各画素の電流をモニターする。モニターの手法は上述した通りである。モニターで得られたデータはドライバーIC201から出力される。そして画像信号処理回路502を介して、ルックアップテーブルとして用いるメモリ503に格納される。この格納したデータを用いて画像信号処理回路502は画像信号に補正をかける。たとえば平均値より5%多く電流が流れる画素に対しては、その画素に書き込むデータを、その分電流を小さくして書き込めるように設定する。いつ補正のモニターを行うかなどの制御はCPU504によって行う。補正された映像データはコントローラ501を介して、ドライバーIC201に入力され有機ELパネル200は補正されたデータの表示をおこなうことができる。それによって、焼き付きのない良好な画質の表示を得ることが可能になる。

【0052】

また、全画素を通常の表示期間中にモニターを行うのは時間がかかりすぎるので、モニターを行うのは有機ELディスプレイの電源がオフになる直前、電源をオンにした直後などが適している。これらの時間では表示ができなくても問題にならないためである。携帯機器においては、一定時間入力がされないとスクリーンセイバーがかかり、表示はオフ状態になることが多い。このような場合スクリーンセイバーがかかるときに電流モニターを行っても良い。

【0053】

以上説明したように、本発明の一態様の表示補正回路を採用することによって、高精度な補正を実現することが可能になる。また本発明の一態様の表示補正回路を採用することによって、画素の中のトランジスタ数、配線数を減らすことができ、高精細な画素を構成することが可能となる。

【0054】

なお、本実施の形態は、他の実施の形態と適宜組み合わせ用いることができる。

【0055】

(実施の形態4)

本実施の形態では、上記実施の形態で説明した、オフ電流の低いトランジスタの半導体層に用いることのできる酸化物半導体層について説明する。

【0056】

オフ電流の低いトランジスタの半導体層中のチャネル形成領域に用いる酸化物半導体としては、少なくともインジウム(In)又は亜鉛(Zn)を含むことが好ましい。特にIn及びZnを含むことが好ましい。また、それらに加えて、酸素を強く結びつけるスタビライザーを有することが好ましい。スタビライザーとしては、ガリウム(Ga)、スズ(Sn)、ジルコニウム(Zr)、ハフニウム(Hf)及びアルミニウム(Al)の少なくともいずれかを有すればよい。

10

【0057】

また、他のスタビライザーとして、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジム(Pr)、ネオジム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)のいずれか一種又は複数種を有してもよい。

【0058】

トランジスタの半導体層として用いられる酸化物半導体としては、例えば、酸化インジウム、酸化スズ、酸化亜鉛、In-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、In-Ga-Zn系酸化物(IGZOとも表記する)、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-Zr-Zn系酸化物、In-Ti-Zn系酸化物、In-Sc-Zn系酸化物、In-Y-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、In-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物等がある。

20

30

【0059】

例えば、In:Ga:Zn=1:1:1、In:Ga:Zn=3:1:2、あるいはIn:Ga:Zn=2:1:3の原子数比のIn-Ga-Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

【0060】

半導体層を構成する酸化物半導体膜に水素が多量に含まれると、酸化物半導体と結合することによって、水素の一部がドナーとなり、キャリアである電子を生じてしまう。これにより、トランジスタの閾値電圧がマイナス方向にシフトしてしまう。そのため、酸化物半導体膜の形成後において、脱水処理(脱水素化処理)を行い酸化物半導体膜から、水素、又は水分を除去して不純物が極力含まれないように高純度化することが好ましい。

40

【0061】

なお、酸化物半導体膜への脱水処理(脱水素化処理)によって、酸化物半導体膜から酸素が減少してしまうことがある。よって、酸化物半導体膜への脱水処理(脱水素化処理)によって減少してしまった酸素を酸化物半導体に加える、又は酸素を供給し酸化物半導体膜の酸素欠損を補填することが好ましい。本明細書等において、酸化物半導体膜に酸素を供給する場合を、加酸素化処理、又は過酸素化処理と記す場合がある。

【0062】

このように、酸化物半導体膜は、脱水処理(脱水素化処理)により、水素又は水分が除去され、加酸素化処理により酸素欠損を補填することによって、i型(真性)化又はi

50

型に限りなく近く実質的に*i*型（真性）である酸化物半導体膜とすることができる。なお、実質的に真性とは、酸化物半導体膜中にドナーに由来するキャリアが極めて少なく（ゼロに近く）、キャリア密度が $1 \times 10^{17} / \text{cm}^3$ 以下、 $1 \times 10^{16} / \text{cm}^3$ 以下、 $1 \times 10^{15} / \text{cm}^3$ 以下、 $1 \times 10^{14} / \text{cm}^3$ 以下、 $1 \times 10^{13} / \text{cm}^3$ 以下であることをいう。

【0063】

また、このように、*i*型又は実質的に*i*型である酸化物半導体膜を備えるトランジスタは、極めて優れたオフ電流特性を実現できる。例えば、酸化物半導体膜を用いたトランジスタがオフ状態のときのドレイン電流を、室温（25 程度）にて $1 \times 10^{-18} \text{ A}$ 以下、好ましくは $1 \times 10^{-21} \text{ A}$ 以下、更に好ましくは $1 \times 10^{-24} \text{ A}$ 以下、又は85 10
にて $1 \times 10^{-15} \text{ A}$ 以下、好ましくは $1 \times 10^{-18} \text{ A}$ 以下、更に好ましくは $1 \times 10^{-21} \text{ A}$ 以下とすることができる。なお、トランジスタがオフ状態とは、*n*チャネル型のトランジスタの場合、ゲート電圧が閾値電圧よりも十分小さい状態をいう。具体的には、ゲート電圧が閾値電圧よりも1 V以上、2 V以上又は3 V以上小さければ、トランジスタはオフ状態となる。

【0064】

また、酸化物半導体膜は、単結晶構造の酸化物半導体（以下、単結晶酸化物半導体という。）、多結晶構造の酸化物半導体（以下、多結晶酸化物半導体という。）、微結晶構造の酸化物半導体（以下、微結晶酸化物半導体という。）、及び非晶質構造の酸化物半導体（以下、非晶質酸化物半導体という。）の一以上で構成されてもよい。また、酸化物半導体膜は、CAAC-OS膜で構成されていてもよい。また、酸化物半導体膜は、非晶質酸化物半導体及び結晶粒を有する酸化物半導体で構成されていてもよい。以下に、代表例として、CAAC-OS膜について説明する。 20

【0065】

CAAC-OS膜は、*c*軸配向した複数の結晶部を有する酸化物半導体膜の一つである。

【0066】

CAAC-OS膜を透過型電子顕微鏡（TEM：Transmission Electron Microscope）によって観察すると、明確な結晶部同士の境界、即ち結晶粒界（グレインバウンダリーともいう。）を確認することができない。そのため、CAAC-OS膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。 30

【0067】

CAAC-OS膜を、試料面と概略平行な方向からTEMによって観察（断面TEM観察）すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC-OS膜の膜を形成する面（被形成面ともいう。）または上面の凹凸を反映した形状であり、CAAC-OS膜の被形成面または上面と平行に配列する。

【0068】

一方、CAAC-OS膜を、試料面と概略垂直な方向からTEMによって観察（平面TEM観察）すると、結晶部において、金属原子が三角形または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。 40

【0069】

CAAC-OS膜に対し、X線回折（XRD：X-Ray Diffraction）装置を用いて構造解析を行うと、例えばInGaZnO₄の結晶を有するCAAC-OS膜のout-of-plane法による解析では、回折角（2θ）が31°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の（009）面に帰属されることから、CAAC-OS膜の結晶が*c*軸配向性を有し、*c*軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

【0070】

一方、CAAC-OS膜に対し、*c*軸に概略垂直な方向からX線を入射させるin-p 50

lane 法による解析では、 2θ が 56° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の (110) 面に帰属される。 InGaZnO_4 の単結晶酸化物半導体膜であれば、 2θ を 56° 近傍に固定し、試料面の法線ベクトルを軸 (ϕ 軸) として試料を回転させながら分析 (ϕ スキャン) を行くと、 (110) 面と等価な結晶面に帰属されるピークが 6 本観察される。これに対し、CAAC-OS 膜の場合は、 2θ を 56° 近傍に固定して ϕ スキャンした場合でも、明瞭なピークが現れない。

【0071】

以上のことから、CAAC-OS 膜では、異なる結晶部間では a 軸および b 軸の配向は不規則であるが、 c 軸配向性を有し、かつ c 軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面 TEM 観察で確認された層状に配列した金属原子の各層は、結晶の ab 面に平行な面である。

10

【0072】

CAAC-OS 膜は、不純物濃度の低い酸化物半導体膜である。不純物は、水素、炭素、シリコン、遷移金属元素などの酸化物半導体膜の主成分以外の元素である。特に、シリコンなどの、酸化物半導体膜を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体膜から酸素を奪うことで酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径 (または分子半径) が大きいため、酸化物半導体膜内部に含まれると、酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。なお、酸化物半導体膜に含まれる不純物は、キャリアトラップやキャリア発生源となる場合がある。

20

【0073】

また、CAAC-OS 膜は、欠陥準位密度の低い酸化物半導体膜である。例えば、酸化物半導体膜中の酸素欠損は、キャリアトラップとなることや、水素を捕獲することによってキャリア発生源となることがある。

【0074】

不純物濃度が低く、欠陥準位密度が低い (酸素欠損の少ない) ことを、高純度真性または実質的に高純度真性と呼ぶ。高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。従って、当該酸化物半導体膜を用いたトランジスタは、しきい値電圧がマイナスとなる電気特性 (ノーマリーオンともいう。) になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリアトラップが少ない。そのため、当該酸化物半導体膜を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。なお、酸化物半導体膜のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体膜を用いたトランジスタは、電気特性が不安定となる場合がある。

30

【0075】

また、CAAC-OS 膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さいという特徴がある。

【0076】

なお、本実施の形態は、他の実施の形態と適宜組み合わせ用いることができる。

40

【0077】

(実施の形態 5)

本実施の形態では、開示する発明の一態様に係る半導体装置に用いられるトランジスタの断面構造の一例について、図面を参照して説明する。

【0078】

図 8 に、発明の一態様に係る回路部の断面構造の一部を、一例として示す。なお、図 8 では、上記実施の形態 2 の図 4 で図示した酸化物半導体を有するトランジスタ 412、バッファ回路 411 を構成する単結晶シリコンを有するトランジスタ 1140 の断面構造を、一例として示す。なお、破線 A1 - A2 で示す領域では、トランジスタ 412、及びト

50

ランジスタ 1 1 4 0 のチャネル長方向における構造を示しており、破線 A 3 - A 4 で示す領域では、トランジスタ 4 1 2、及びトランジスタ 1 1 4 0 のチャネル幅方向における構造を示している。ただし、本発明の一態様では、トランジスタ 4 1 2 のチャネル長方向とトランジスタ 1 1 4 0 のチャネル長方向とが、必ずしも一致していなくともよい。

【 0 0 7 9 】

なお、チャネル長方向とは、ソース領域及びドレイン領域として機能する一対の不純物領域間において、キャリアが最短距離で移動する方向を意味し、チャネル幅方向は、チャネル長方向に対して垂直の方向を意味する。

【 0 0 8 0 】

また、図 8 では、酸化物半導体膜にチャネル形成領域を有するトランジスタ 4 1 2 が、単結晶のシリコン基板にチャネル形成領域を有するトランジスタ 1 1 4 0 上に形成されている場合を例示している。図 8 の構成とすることで、トランジスタ 4 1 2、及びトランジスタ 1 1 4 0 同士を互いに重ねて設けることができる。あるいは図 8 の構成とすることで、トランジスタ 4 1 2 のチャネル形成領域と、トランジスタ 1 1 4 0 のチャネル形成領域と、を互いに重ねて設けることができる。そのため該構成として半導体装置では、レイアウト面積の縮小を図ることができる。

【 0 0 8 1 】

トランジスタ 1 1 4 0 は、非晶質、微結晶、多結晶または単結晶である、シリコン又はゲルマニウムなどの半導体膜または半導体基板に、チャネル形成領域を有していても良い。或いは、トランジスタ 1 1 4 0 は、酸化物半導体膜または酸化物半導体基板に、チャネル形成領域を有していても良い。全てのトランジスタが酸化物半導体膜または酸化物半導体基板に、チャネル形成領域を有している場合、トランジスタ 4 1 2 はトランジスタ 1 1 4 0 上に積層されていなくとも良く、トランジスタ 4 1 2 とトランジスタ 1 1 4 0 とは、同一の層に形成されていても良い。

【 0 0 8 2 】

シリコンの薄膜を用いてトランジスタ 1 1 4 0 を形成する場合、当該薄膜には、プラズマ CVD 法などの気相成長法若しくはスパッタリング法で作製された非晶質シリコン、非晶質シリコンをレーザーアニールなどの処理により結晶化させた多結晶シリコン、単結晶シリコンウェハに水素イオン等を注入して表層部を剥離した単結晶シリコンなどを用いることができる。

【 0 0 8 3 】

トランジスタ 1 1 4 0 が形成される基板 1 1 0 0 は、例えば、シリコン基板、ゲルマニウム基板、シリコンゲルマニウム基板等を用いることができる。図 8 では、単結晶シリコン基板を基板 1 1 0 0 として用いる場合を例示している。

【 0 0 8 4 】

また、トランジスタ 1 1 4 0 は、素子分離法により電氣的に分離されている。素子分離法として、トレンチ分離法 (STI 法: Shallow Trench Isolation) 等を用いることができる。図 8 では、トレンチ分離法を用いてトランジスタ 1 1 4 0 を電氣的に分離する場合を例示している。具体的に、図 8 では、エッチング等により基板 1 1 0 0 に形成されたトレンチに、酸化珪素などが含まれる絶縁物を埋め込んだ後、当該絶縁物をエッチング等により部分的に除去することで形成される素子分離領域 1 1 0 1 により、トランジスタ 1 1 4 0 を素子分離させる場合を例示している。

【 0 0 8 5 】

また、トレンチ以外の領域に存在する基板 1 1 0 0 の凸部には、トランジスタ 1 1 4 0 の不純物領域 1 1 0 2 及び不純物領域 1 1 0 3 と、不純物領域 1 1 0 2 及び不純物領域 1 1 0 3 に挟まれたチャネル形成領域 1 1 0 4 とが設けられている。さらに、トランジスタ 1 1 4 0 は、チャネル形成領域 1 1 0 4 を覆う絶縁膜 1 1 0 5 と、絶縁膜 1 1 0 5 を間に挟んでチャネル形成領域 1 1 0 4 と重なるゲート電極 1 1 0 6 とを有する。

【 0 0 8 6 】

トランジスタ 1 1 4 0 では、チャネル形成領域 1 1 0 4 における凸部の側部及び上部と

10

20

30

40

50

、ゲート電極 1106 とが絶縁膜 1105 を間に挟んで重なることで、チャネル形成領域 1104 の側部と上部を含めた広い範囲においてキャリアが流れる。そのため、トランジスタ 1140 の基板上における占有面積を小さく抑えつつ、トランジスタ 1140 におけるキャリアの移動量を増加させることができる。その結果、トランジスタ 1140 は、オン電流が大きくなると共に、電界効果移動度が高められる。特に、チャネル形成領域 1104 における凸部のチャネル幅方向の長さ（チャネル幅）を W 、チャネル形成領域 1104 における凸部の膜厚を T とすると、チャネル幅 W に対する膜厚 T の比に相当するアスペクト比が高い場合、キャリアが流れる範囲はより広くなるため、トランジスタ 1140 のオン電流をより大きくすることができ、電界効果移動度もより高められる。

【0087】

10

なお、バルクの半導体基板を用いたトランジスタ 1140 の場合、アスペクト比は 0.5 以上であることが望ましく、1 以上であることがより望ましい。

【0088】

トランジスタ 1140 上には、絶縁膜 1111 が設けられている。絶縁膜 1111 には開口部が形成されている。そして、上記開口部には、不純物領域 1102、不純物領域 1103 にそれぞれ電氣的に接続されている導電膜 1112、導電膜 1113 と、ゲート電極 1106 に電氣的に接続されている導電膜 1114 とが、形成されている。

【0089】

そして、導電膜 1112 は、絶縁膜 1111 上に形成された導電膜 1116 に電氣的に接続されており、導電膜 1113 は、絶縁膜 1111 上に形成された導電膜 1117 に電氣的に接続されており、導電膜 1114 は、絶縁膜 1111 上に形成された導電膜 1118 に電氣的に接続されている。

20

【0090】

導電膜 1116 乃至導電膜 1118 上には、絶縁膜 1120 が設けられている。そして、絶縁膜 1120 上には、酸素、水素、水の拡散を防ぐブロッキング効果を有する絶縁膜 1121 が設けられている。絶縁膜 1121 は、密度が高くて緻密である程、また未結合手が少なく化学的に安定である程、より高いブロッキング効果を示す。酸素、水素、水の拡散を防ぐブロッキング効果を示す絶縁膜 1121 として、例えば、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等を用いることができる。水素、水の拡散を防ぐブロッキング効果を示す絶縁膜 1121 として、例えば、窒化シリコン、窒化酸化シリコン等を用いることができる。

30

【0091】

絶縁膜 1121 上には絶縁膜 1122 が設けられており、絶縁膜 1122 上には、トランジスタ 412 が設けられている。

【0092】

トランジスタ 412 は、絶縁膜 1122 上に、酸化物半導体を含む半導体膜 1130 と、半導体膜 1130 に電氣的に接続された、ソース電極またはドレイン電極として機能する導電膜 1132 及び導電膜 1133 と、半導体膜 1130 を覆っているゲート絶縁膜 1131 と、ゲート絶縁膜 1131 を間に挟んで半導体膜 1130 と重なるゲート電極 1134 と、を有する。なお、絶縁膜 1120 乃至絶縁膜 1122 には開口部が設けられており、導電膜 1133 は、上記開口部において導電膜 1118 に接続されている。

40

【0093】

なお、図 8 において、トランジスタ 412 は、ゲート電極 1134 を半導体膜 1130 の片側において少なくとも有していれば良いが、絶縁膜 1122 を間に挟んで半導体膜 1130 と重なるゲート電極を、さらに有していても良い。

【0094】

トランジスタ 412 が、一对のゲート電極を有している場合、一方のゲート電極には導通状態または非導通状態を制御するための信号が与えられ、他方のゲート電極は、電位が他から与えられている状態であっても良い。この場合、一对のゲート電極に、同じ高さの

50

電位が与えられていても良いし、他方のゲート電極にのみ接地電位などの固定の電位が与えられていても良い。他方のゲート電極に与える電位の高さを制御することで、トランジスタの閾値電圧を制御することができる。

【0095】

また、図8では、トランジスタ412が、一のゲート電極1134に対応した一のチャネル形成領域を有する、シングルゲート構造である場合を例示している。しかし、トランジスタ412は、電氣的に接続された複数のゲート電極を有することで、一の活性層にチャネル形成領域を複数有する、マルチゲート構造であっても良い。

【0096】

また、図8に示すように、トランジスタ412は、半導体膜1130が、絶縁膜1122上において順に積層された酸化物半導体膜1130a乃至酸化物半導体膜1130cを有する場合を例示している。ただし、本発明の一態様では、トランジスタ412が有する半導体膜1130が、単膜の金属酸化物膜で構成されていても良い。

【0097】

絶縁膜1122は、加熱により酸素の一部を酸化物半導体膜1130a乃至酸化物半導体膜1130cに供給する機能を有する絶縁膜であることが望ましい。また、絶縁膜1122は、欠陥が少ないことが好ましく、代表的には、ESR測定により得られる、シリコンのダングリングボンドに由来する $g = 2.001$ を持つスピンの密度が $1 \times 10^{18} \text{ spins/cm}^3$ 以下であることが好ましい。

【0098】

絶縁膜1122は、加熱により上記酸素の一部を酸化物半導体膜1130a乃至酸化物半導体膜1130cに供給する機能を有するため、酸化物であることが望ましく、例えば、酸化アルミニウム、酸化マグネシウム、酸化珪素、酸化窒化珪素、窒化酸化珪素、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルなどを用いることができる。絶縁膜1122は、プラズマCVD (Chemical Vapor Deposition) 法またはスパッタリング法等により、形成することができる。

【0099】

なお、本明細書中において、酸化窒化物は、その組成として、窒素よりも酸素の含有量が多い材料を指し、窒化酸化物は、その組成として、酸素よりも窒素の含有量が多い材料を指す。

【0100】

なお、図8に示すトランジスタ412は、チャネル領域が形成される酸化物半導体膜1130bの端部のうち、導電膜1132及び導電膜1133とは重ならない端部、言い換えると、導電膜1132及び導電膜1133が位置する領域とは異なる領域に位置する端部と、ゲート電極1134とが、重なる構成を有する。酸化物半導体膜1130bの端部は、当該端部を形成するためのエッチングでプラズマに曝されるときに、エッチングガスから生じた塩素ラジカル、フッ素ラジカル等が、酸化物半導体を構成する金属元素と結合しやすい。よって、酸化物半導体膜の端部では、当該金属元素と結合していた酸素が脱離しやすい状態にあるため、酸素欠損が形成され、n型化しやすいと考えられる。しかし、図8に示すトランジスタ412では、導電膜1132及び導電膜1133とは重ならない酸化物半導体膜1130bの端部と、ゲート電極1134とが重なるため、ゲート電極1134の電位を制御することにより、当該端部にかかる電界を制御することができる。よって、酸化物半導体膜1130bの端部を介して導電膜1132と導電膜1133の間に流れる電流を、ゲート電極1134に与える電位によって制御することができる。このようなトランジスタ412の構造を、Surrounded Channel (S-Channel) 構造とよぶ。

【0101】

具体的に、S-Channel構造の場合、トランジスタ412がオフとなるような電位をゲート電極1134に与えたときは、当該端部を介して導電膜1132と導電膜11

10

20

30

40

50

3 3の間に流れるオフ電流を小さく抑えることができる。そのため、トランジスタ4 1 2では、大きなオン電流を得るためにチャネル長を短くし、その結果、酸化半導体膜1 1 3 0 bの端部における導電膜1 1 3 2と導電膜1 1 3 3の間の長さが短くなっても、トランジスタ4 1 2のオフ電流を小さく抑えることができる。よって、トランジスタ4 1 2は、チャネル長を短くすることで、オンのときには大きいオン電流を得ることができ、オフのときにはオフ電流を小さく抑えることができる。

【0 1 0 2】

また、具体的に、S - Channel構造の場合、トランジスタ4 1 2がオンとなるような電位をゲート電極1 1 3 4に与えたときは、当該端部を介して導電膜1 1 3 2と導電膜1 1 3 3の間に流れる電流を大きくすることができる。当該電流は、トランジスタ4 1 2の電界効果移動度とオン電流の増大に寄与する。そして、酸化半導体膜1 1 3 0 bの端部と、ゲート電極1 1 3 4とが重なることで、酸化半導体膜1 1 3 0 bにおいてキャリアの流れる領域が、ゲート絶縁膜1 1 3 1に近い酸化半導体膜1 1 3 0 bの界面近傍のみでなく、酸化半導体膜1 1 3 0 bの広い範囲においてキャリアが流れるため、トランジスタ4 1 2におけるキャリアの移動量が増加する。この結果、トランジスタ4 1 2のオン電流が大きくなると共に、電界効果移動度が高くなり、代表的には電界効果移動度が $10 \text{ cm}^2 / \text{V} \cdot \text{s}$ 以上、さらには $20 \text{ cm}^2 / \text{V} \cdot \text{s}$ 以上となる。なお、ここでの電界効果移動度は、酸化半導体膜の物性値としての移動度の近似値ではなく、トランジスタの飽和領域における電流駆動力の指標であり、見かけ上の電界効果移動度である。

【0 1 0 3】

トランジスタ4 1 2上には、絶縁膜1 1 3 5が設けられている。絶縁膜1 1 3 5には開口部が形成されている。そして、上記開口部には、導電膜1 1 3 2に電氣的に接続されている導電膜1 1 3 6が形成されている。導電膜1 1 3 6は、絶縁膜1 1 3 5上に形成された導電膜1 1 3 7に電氣的に接続されている。

これによって、トランジスタ4 1 2のソース電極またはドレイン電極を上層配線に引き出すことが可能になる。以上は図8を用いて説明を述べたが、本発明の実施形態の一態様は、これに限定されない。

【0 1 0 4】

また、図8に示す半導体装置では、単結晶シリコン基板を基板1 1 0 0として用いたが、本明細書等に示す半導体装置はこれに限られるものではない。例えば、本明細書等において、様々な基板を用いて、トランジスタを形成することが出来る。基板の種類は、特定のものに限定されることはない。その基板の一例としては、半導体基板（例えば単結晶基板又はシリコン基板）、SOI基板、ガラス基板、石英基板、プラスチック基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、又は基材フィルムなどがある。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、又はソーダライムガラスなどがある。可撓性基板、貼り合わせフィルム、基材フィルムなどの一例としては、以下のものがあげられる。例えば、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルフォン（PES）に代表されるプラスチックがある。または、一例としては、アクリル等の合成樹脂などがある。または、一例としては、ポリプロピレン、ポリエステル、ビニル、ポリフッ化ビニル、又は塩化ビニルなどがある。または、一例としては、ポリアミド、ポリイミド、アラミド、エポキシ、無機蒸着フィルム、又は紙類などがある。特に、半導体基板、単結晶基板、又はSOI基板などを用いてトランジスタを製造することによって、特性、サイズ、又は形状などのばらつきが少なく、電流能力が高く、サイズの小さいトランジスタを製造することができる。このようなトランジスタによって回路を構成すると、回路の低消費電力化、又は回路の高集積化を図ることができる。

【0 1 0 5】

また、基板として、可撓性基板を用い、可撓性基板上に直接、トランジスタを形成してもよい。または、基板とトランジスタの間に剥離層を設けてもよい。剥離層は、その上に

半導体装置を一部あるいは全部完成させた後、基板より分離し、他の基板に転載するため用いることができる。その際、トランジスタは耐熱性の劣る基板や可撓性の基板にも転載できる。なお、上述の剥離層には、例えば、タンゲステン膜と酸化シリコン膜との無機膜の積層構造の構成や、基板上にポリイミド等の有機樹脂膜が形成された構成等を用いることができる。

【0106】

つまり、ある基板を用いてトランジスタを形成し、その後、別の基板にトランジスタを転置し、別の基板上にトランジスタを配置してもよい。トランジスタが転置される基板の一例としては、上述したトランジスタを形成することが可能な基板に加え、紙基板、セロファン基板、アラミドフィルム基板、ポリイミドフィルム基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュブラ、レーヨン、再生ポリエステル）などを含む）、皮革基板、又はゴム基板などがある。これらの基板を用いることにより、特性のよいトランジスタの形成、消費電力の小さいトランジスタの形成、壊れにくい装置の製造、耐熱性の付与、軽量化、又は薄型化を図ることができる。

【0107】

なお、本実施の形態は、他の実施の形態と適宜組み合わせ用いることができる。

【0108】

（実施の形態6）

本実施の形態では、上述の実施の形態で説明した表示補正回路または表示補正システムを具備する電子機器について、図9を用いて説明する。

【0109】

コンピュータ、携帯情報端末（携帯電話、携帯型ゲーム機、音響再生装置なども含む）、テレビジョン装置（テレビ、又はテレビジョン受信機ともいう）などの電子機器に、上述の表示補正回路または表示補正システムを適用する場合について説明する。

【0110】

図9（A）は、携帯型の情報端末であり、筐体2001、表示部2002などによって構成されている。

筐体2001は2つ折りが可能な構成となっている。表示部2002にはフレキシブル表示装置、具体的にはフレキシブル有機ELパネルを用いており中央で折り曲げ可能な表示装置となっている。2つ折りが可能なため収納するときには表示の時の半分のスペースで収納が可能になり、携帯性が向上する。本発明の一態様の表示補正回路は表示部2002の脇に配置され、コントローラ、画像処理回路、CPUなどは筐体2001の中に配置される。

【0111】

図9（A）は、様々な情報（静止画、動画、テキスト画像など）を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報を操作又は編集する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、等を有することができる。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、USB端子など）、記録媒体挿入部などを備える構成としてもよい。また、図9（A）に示す携帯型の情報端末は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0112】

図9（B）は、スマートフォンであり、筐体2003と表示部2004の2つの筐体で構成されている。スマートフォンは通話のみならず、ゲーム機能、携帯音楽プレイヤー、ナビゲーションシステム、モバイルテレビなど様々な機能を有する。そしてそれらは高精細な画面表示を必要とするため、本発明の一態様の表示補正回路または表示補正システムを使用することによって、良好な表示を得ることが可能になる。

【0113】

図 9 (C) は、パーソナルコンピュータのモニターであり、筐体 2 0 0 5、表示部 2 0 0 6 などによって構成されている。近年のパーソナルコンピュータは解像度が増し、4 K 対応 (3 8 4 0 × 2 1 6 0 画素) の製品も発売されている。これらの表示部 2 0 0 6 に本発明の一態様の表示補正回路または表示補正システムを使用することによって、高解像度であって、且つ、良好な表示特性を得ることが可能になる。

【 0 1 1 4 】

図 9 (D) は、テレビジョン装置であり、筐体 2 0 0 7、表示部 2 0 0 8 などによって構成されている。テレビジョン装置の操作は、筐体 2 0 0 7 が備えるスイッチや、リモコン操作機により行うことができる。本発明の一態様の表示補正回路または表示補正システムを使用することによって、良好な表示を得ることが可能になる。

10

【 0 1 1 5 】

以上のように、本実施の形態に示す電子機器には、先の実施の形態に係る表示補正回路を有する電子部品が搭載されている。このため、消費電力が低く、高速動作可能な電子機器が実現される。

【 符号の説明 】

【 0 1 1 6 】

1 0 0	画素	
1 0 1	トランジスタ	
1 0 2	トランジスタ	
1 0 3	トランジスタ	20
1 0 4	トランジスタ	
1 0 5	トランジスタ	
1 0 6	容量	
1 0 7	カソード	
1 0 8	有機 E L 素子	
1 0 9	データ線	
1 1 0	電源線	
1 1 1	ゲート線	
1 1 2	ゲート線	
1 1 3	ゲート線	30
1 1 4	アノード線	
2 0 0	有機 E L パネル	
2 0 1	ドライバー I C	
2 0 2	画素部	
2 0 3	ゲートドライバー回路	
3 0 0	画素	
3 0 1	スイッチ回路	
3 0 2	端子	
3 0 3	端子	
3 0 4	トランジスタ	40
3 0 5	トランジスタ	
3 0 6	トランジスタ	
3 0 7	トランジスタ	
3 0 8	トランジスタ	
3 0 9	容量素子	
3 1 0	有機 E L 素子	
3 1 1	カソード電極	
3 1 2	データ線	
3 1 3	電源供給線	
3 1 4	制御線	50

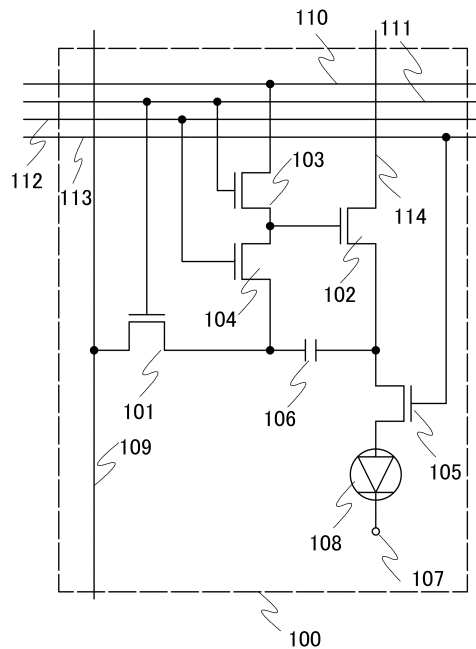
3 1 5	制御線	
3 1 6	電源線	
3 1 7	ゲート線	
3 1 8	電源線	
4 0 1	端子	
4 0 2	端子	
4 0 3	書き込み用シフトレジスタ	
4 0 4	モニター用シフトレジスタ	
4 0 5	サンプリングスイッチ回路	
4 0 6	ラッチ	10
4 0 7	A D コンバータ	
4 0 8	バッファ回路	
4 0 9	容量素子	
4 1 0	トランジスタ	
4 1 1	バッファ回路	
4 1 2	トランジスタ	
4 1 3	容量素子	
4 1 4	ラッチ	
4 1 5	ラッチ	
4 1 6	D A コンバータ	20
4 1 7	アナログバッファ回路	
4 1 8	信号線	
4 1 9	信号線	
4 2 0	信号線	
4 2 1	電流データ出力信号線	
4 2 2	電流データ出力信号線	
4 2 3	電流データ出力信号線	
4 2 4	制御線	
4 2 5	制御線	
4 2 6	制御線	30
4 2 7	電源線	
4 2 8	制御線	
5 0 1	コントローラ	
5 0 2	画像信号処理回路	
5 0 3	メモリ	
5 0 4	C P U	
1 1 0 0	基板	
1 1 0 1	素子分離領域	
1 1 0 2	不純物領域	
1 1 0 3	不純物領域	40
1 1 0 4	チャネル形成領域	
1 1 0 5	絶縁膜	
1 1 0 6	ゲート電極	
1 1 1 1	絶縁膜	
1 1 1 2	導電膜	
1 1 1 3	導電膜	
1 1 1 4	導電膜	
1 1 1 6	導電膜	
1 1 1 7	導電膜	
1 1 1 8	導電膜	50

1 1 2 0	絶縁膜
1 1 2 1	絶縁膜
1 1 2 2	絶縁膜
1 1 3 0	半導体膜
1 1 3 0 a	酸化物半導体膜
1 1 3 0 b	酸化物半導体膜
1 1 3 0 c	酸化物半導体膜
1 1 3 1	ゲート絶縁膜
1 1 3 2	導電膜
1 1 3 3	導電膜
1 1 3 4	ゲート電極
1 1 3 5	絶縁膜
1 1 3 6	導電膜
1 1 3 7	導電膜
1 1 4 0	トランジスタ
2 0 0 1	筐体
2 0 0 2	表示部
2 0 0 3	筐体
2 0 0 4	表示部
2 0 0 5	筐体
2 0 0 6	表示部
2 0 0 7	筐体
2 0 0 8	表示部

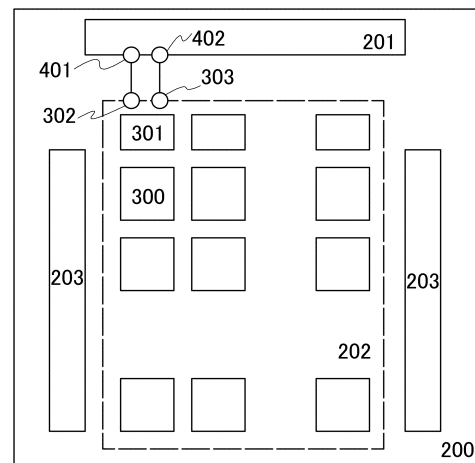
10

20

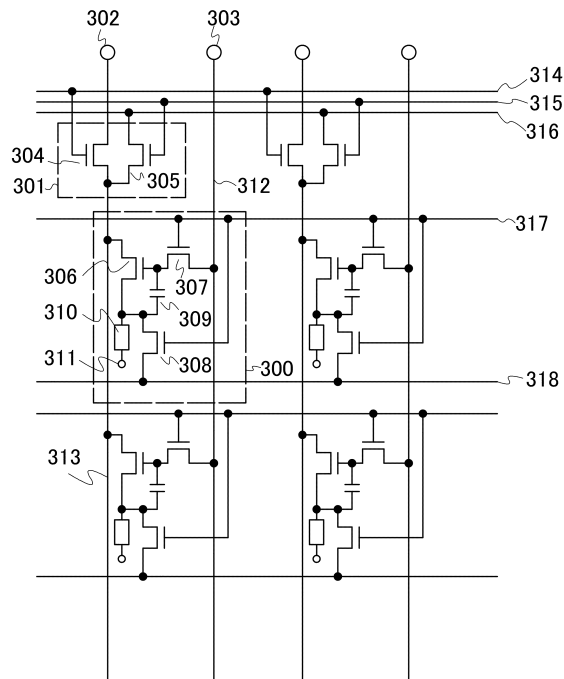
【図 1】



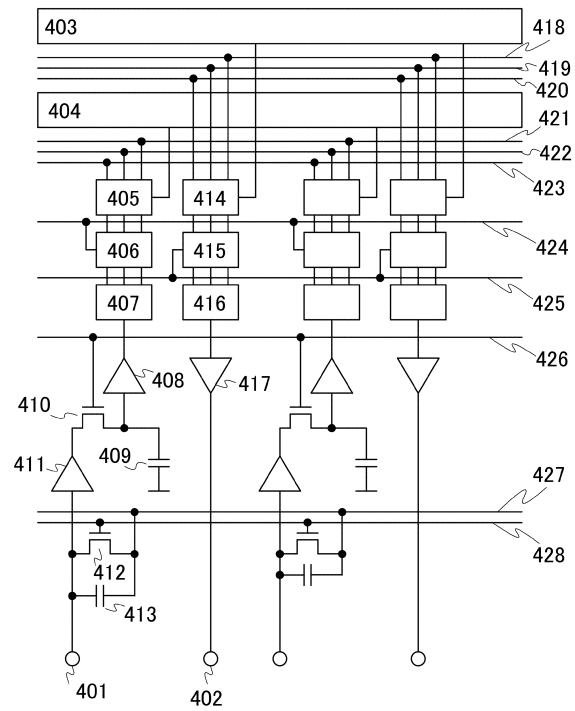
【図 2】



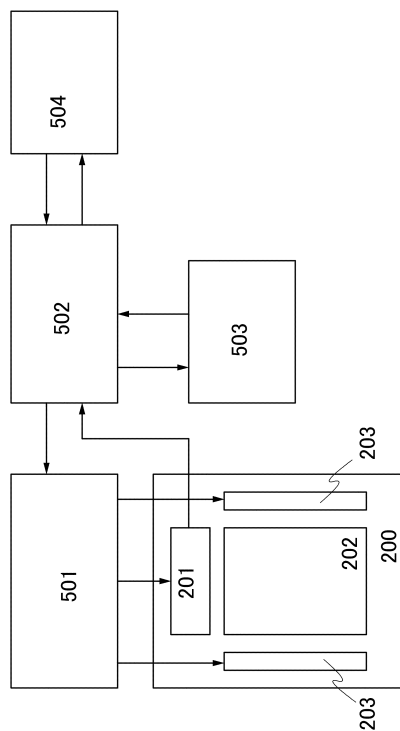
【図 3】



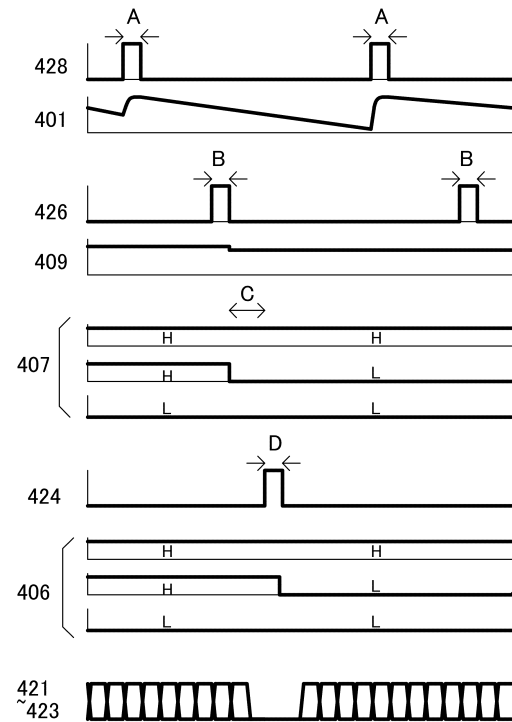
【図 4】



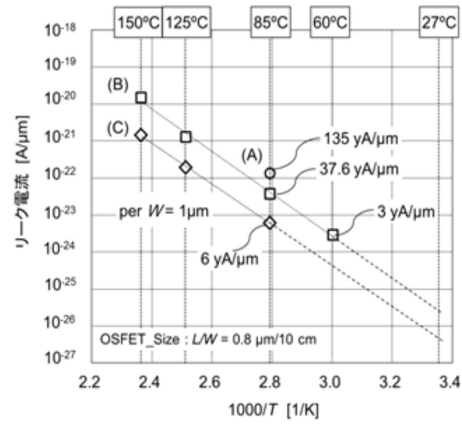
【図 5】



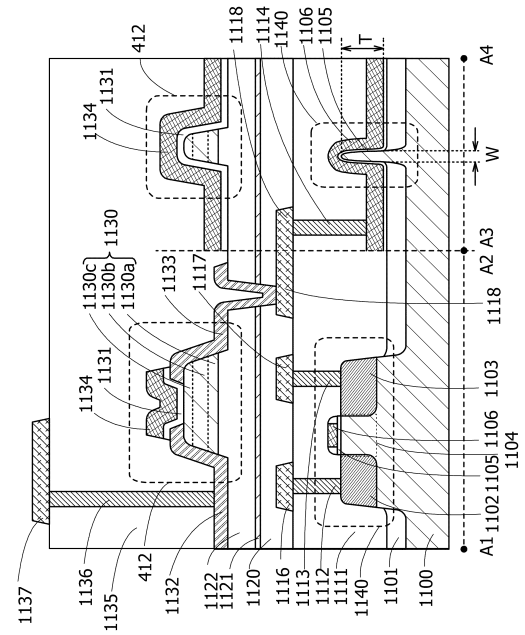
【図 6】



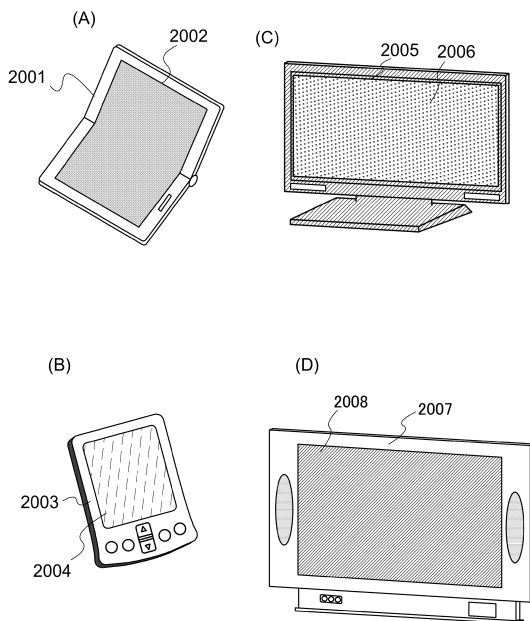
【図 7】



【図 8】



【図 9】



フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 G	3/20	6 8 0 G
	G 0 9 G	3/20	6 7 0 K
	G 0 9 G	3/20	6 1 1 H
	G 0 9 G	3/20	6 3 1 V
	H 0 5 B	33/14	A

(56)参考文献 特開 2 0 1 1 - 1 5 4 3 4 8 (J P , A)
 米国特許出願公開第 2 0 1 3 / 0 1 6 2 6 1 7 (U S , A 1)
 米国特許出願公開第 2 0 1 3 / 0 0 5 0 2 9 2 (U S , A 1)
 特開 2 0 1 3 - 1 3 7 4 9 8 (J P , A)
 国際公開第 2 0 0 7 / 0 3 7 2 6 9 (W O , A 1)
 特開 2 0 0 7 - 3 3 4 3 1 3 (J P , A)
 特開 2 0 1 2 - 1 6 0 7 7 2 (J P , A)
 特開平 0 3 - 1 2 2 5 8 8 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
 G 0 9 G 3 / 2 0 - 3 / 3 8
 H 0 1 L 2 7 / 3 2
 5 1 / 5 0
 H 0 5 B 3 3 / 0 0 - 3 3 / 2 8

专利名称(译)	显示校正电路及显示装置		
公开(公告)号	JP6653997B2	公开(公告)日	2020-02-26
申请号	JP2015094528	申请日	2015-05-06
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	小山潤		
发明人	小山 潤		
IPC分类号	G09G3/3208 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G3/3291 G09G2300/0465 G09G2300/0819 G09G2300/0842 G09G2320/0295 G09G2320/043 G09G2300/0866 G09G2310/0256 G09G2320/02		
FI分类号	G09G3/3208 G09G3/20.623.B G09G3/20.623.N G09G3/20.641.P G09G3/20.642.P G09G3/20.680.G G09G3/20.670.K G09G3/20.611.H G09G3/20.631.V H05B33/14.A G09G3/20.641.D G09G3/20.642.A G09G3/20.642.D G09G3/20.650.M G09G3/20.670.Q G09G3/30.J G09G3/30.K G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC34 3K107/CC35 3K107/CC45 3K107/EE04 3K107/FF04 3K107/HH04 5C080/AA06 5C080/BB05 5C080/CC06 5C080/DD05 5C080/DD07 5C080/DD08 5C080/DD15 5C080/DD20 5C080/DD23 5C080/DD25 5C080/DD29 5C080/EE25 5C080/EE26 5C080/EE29 5C080/FF03 5C080/FF11 5C080/GG12 5C080/GG17 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK04 5C080/KK07 5C080/KK43 5C080/KK50 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB21 5C380/AB23 5C380/AB46 5C380/AC05 5C380/AC07 5C380/AC08 5C380/AC11 5C380/AC12 5C380/BA10 5C380/BA12 5C380/BA13 5C380/BA28 5C380/BA31 5C380/BA38 5C380/BA39 5C380/BB03 5C380/BB04 5C380/BB22 5C380/BC20 5C380/BD04 5C380/BD11 5C380/CA04 5C380/CA08 5C380/CA12 5C380/CA17 5C380/CA26 5C380/CA32 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CB16 5C380/CB17 5C380/CB20 5C380/CB26 5C380/CC03 5C380/CC09 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC37 5C380/CC39 5C380/CC41 5C380/CC52 5C380/CC57 5C380/CC62 5C380/CC64 5C380/CD013 5C380/CD015 5C380/CF07 5C380/CF09 5C380/CF13 5C380/CF22 5C380/CF43 5C380/CF48 5C380/CF49 5C380/CF51 5C380/CF62 5C380/DA02 5C380/DA06 5C380/DA39 5C380/DA40 5C380/DA47 5C380/DA50 5C380/EA01 5C380/EA02 5C380/FA03 5C380/FA20 5C380/FA21 5C380/FA24 5C380/FA28 5C380/HA02 5C380/HA04 5C380/HA06 5C380/HA12 5C380/HA13		
优先权	2014097986 2014-05-09 JP		
其他公开文献	JP2015228023A JP2015228023A5		
外部链接	Espacenet		

摘要(译)

为了提高有机EL面板的像素的显示质量。在有机EL面板的像素中具有少量晶体管的像素中进行显示校正。在显示驱动器IC中形成电容器和氧化物半导体晶体管。从电容器电压的变化量中测量流过像素的微小电流以校正显示。因为即使在高温下，氧化物半导体的截止状态电流也非常小，所以可以精确地测量电流并且可以精确地校正显示图像。

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第6653997号
(P6653997)

(45) 発行日 令和2年2月26日 (2020. 2. 26)

(24) 登録日 令和2年1月31日 (2020. 1. 31)

(5) Int. Cl.

G O 9 G

3/3208

(2016. 01)

G O 9 G

3/20

(2006. 01)

H O 1 L

51/50

(2006. 01)

F I

G O 9 G

G O 9 G

G O 9 G

G O 9 G

G O 9 G

G O 9 G

3/3208

3/20

3/20

3/20

3/20

3/20

6 2 3 B

6 2 3 N

6 4 1 P

6 4 2 P

請求項の数 4

(全 23 頁)

最終頁に続く

(21) 出願番号

特願2015-94528 (P2015-94528)

(22) 出願日

平成27年5月6日 (2015. 5. 6)

(65) 公開番号

特開2015-228023 (P2015-228023A)

(43) 公開日

平成27年12月17日 (2015. 12. 17)

審査請求日

平成30年4月26日 (2018. 4. 26)

(31) 優先権主張番号

特願2014-97986 (P2014-97986)

(32) 優先日

平成26年5月9日 (2014. 5. 9)

(33) 優先権主張国・地域又は機関

日本国 (JP)

(73) 特許権者

000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72) 発明者

小山 潤
神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内

審査官

橋 皇徳

最終頁に続く

(54) 【発明の名称】表示補正回路及び表示装置