

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4770906号
(P4770906)

(45) 発行日 平成23年9月14日(2011.9.14)

(24) 登録日 平成23年7月1日(2011.7.1)

(51) Int.Cl.

F I

G09G 3/30 (2006.01)

G09G 3/30 J

G09G 3/20 (2006.01)

G09G 3/20 670J

H01L 51/50 (2006.01)

G09G 3/20 642A

H05B 33/24 (2006.01)

G09G 3/20 624B

G09G 3/20 642P

請求項の数 2 (全 18 頁) 最終頁に続く

(21) 出願番号 特願2008-260332 (P2008-260332)
 (22) 出願日 平成20年10月7日(2008.10.7)
 (65) 公開番号 特開2010-91703 (P2010-91703A)
 (43) 公開日 平成22年4月22日(2010.4.22)
 審査請求日 平成21年10月28日(2009.10.28)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100082131
 弁理士 稲本 義雄
 (74) 代理人 100121131
 弁理士 西川 孝
 (72) 発明者 尾本 啓介
 東京都港区港南1丁目7番1号 ソニー株
 式会社内
 (72) 発明者 山下 淳一
 東京都港区港南1丁目7番1号 ソニー株
 式会社内

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

ダイオード特性を有し、駆動電流に応じて自発光する発光素子と、
 映像信号をサンプリングするサンプリング用トランジスタと、
 前記駆動電流を前記発光素子に供給する駆動用トランジスタと、
 前記発光素子のアノード側と前記駆動用トランジスタのゲートに接続され、所定の電位
 を保持する蓄積容量と
 を少なくとも有する画素が行列状に複数配置されているパネルと、
 前記パネルの裏面に取り付けられ、前記画素の発光輝度を測定する受光センサと、
 前記受光センサにより測定された初期状態としての前記画素の発光輝度と所定時間経過
 後の前記画素の発光輝度とを比較して算出した輝度低下量に基づいて、経時劣化による輝
 度低下の補正データを演算する演算手段と、
 前記補正データに基づいて、経時劣化による輝度低下を補正した前記映像信号を前記画
 素に供給させる駆動制御手段と
 を備え、
 前記パネルの前記画素の領域には、前記パネルの裏面に取り付けられた前記受光センサ
 に近い側から順に、前記駆動用トランジスタまたは前記サンプリング用トランジスタのゲ
 ート電極、前記発光素子の光を前記パネルの表面側に反射させる反射膜、および前記発光
 素子の発光層が、少なくとも形成されており、
 前記反射膜には、前記パネルの裏面に取り付けられた前記受光センサへ前記発光層から

10

20

の光を透過させる開口部が設けられており、

前記駆動用トランジスタまたは前記サンプリング用トランジスタのゲート電極は、前記開口部の直下と異なる位置に配置されている

表示装置。

【請求項 2】

前記開口部には前記発光層が埋め込まれる

請求項 1 に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に関し、特に、高速かつ高精度な焼き付き補正を行うことができるようにする表示装置に関する。

【背景技術】

【0002】

発光素子として有機 EL (Electro Luminescent) デバイスを用いた平面自発光型のパネル (EL パネル) の開発が近年盛んになっている。有機 EL デバイスは、ダイオード特性を有し、有機薄膜に電界をかけると発光する現象を利用したデバイスである。有機 EL デバイスは、印加電圧が 10 V 以下で駆動するため低消費電力であり、自ら光を発する自発光素子であるため、照明部材を必要とせず軽量化及び薄型化が容易であるという特長を有する。また、有機 EL デバイスの応答速度は数 μ s 程度と非常に高速であるので、EL パネルでは動画表示時の残像が発生しないという利点がある。

【0003】

有機 EL デバイスを画素に用いた平面自発光型のパネルの中でも、とりわけ駆動素子として薄膜トランジスタを各画素に集積形成したアクティブマトリクス型のパネルの開発が盛んである。アクティブマトリクス型平面自発光パネルは、例えば以下の特許文献 1 乃至 5 に記載されている。

【0004】

【特許文献 1】特開 2003 - 255856 号公報

【特許文献 2】特開 2003 - 271095 号公報

【特許文献 3】特開 2004 - 133240 号公報

【特許文献 4】特開 2004 - 029791 号公報

【特許文献 5】特開 2004 - 093682 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

ところで、有機 EL デバイスには、発光量および発光時間に比例して輝度効率が低下する特性がある。有機 EL デバイスの発光輝度は電流値と輝度効率の積で表されるため、輝度効率の低下は発光輝度の低下となる。画面に表示される内容として、各画素で一様な表示を行う画像は稀であり、画素ごとに発光量が異なるのが一般的である。従って、過去の発光量および発光時間の違いにより、同一の駆動条件下であっても各画素で発光輝度の低下の度合いが異なり、輝度低下のばらつきが視覚的に認識される現象が発生する。この輝度低下のばらつきが視覚的に認識される現象を焼き付き現象という。

【0006】

EL パネルでは、焼き付き現象を防止するため、画素の発光輝度を測定し、焼き付きによる発光輝度の低下を補正する焼き付き補正を行うものがあるが、従来の焼き付き補正では、補正が十分に行われないことがあった。

【0007】

本発明は、このような状況に鑑みてなされたものであり、高速かつ高精度な焼き付き補正を行うことができるようにするものである。

【課題を解決するための手段】

【 0 0 0 8 】

本発明の一側面の表示装置は、ダイオード特性を有し、駆動電流に応じて自発光する発光素子と、映像信号をサンプリングするサンプリング用トランジスタと、前記駆動電流を前記発光素子に供給する駆動用トランジスタと、前記発光素子のアノード側と前記駆動用トランジスタのゲートに接続され、所定の電位を保持する蓄積容量とを少なくとも有する画素が行列状に複数配置されているパネルと、前記パネルの裏面に取り付けられ、前記画素の発光輝度を測定する受光センサと、前記受光センサにより測定された初期状態としての前記画素の発光輝度と所定時間経過後の前記画素の発光輝度とを比較して算出した輝度低下量に基づいて、経時劣化による輝度低下の補正データを演算する演算手段と、前記補正データに基づいて、経時劣化による輝度低下を補正した前記映像信号を前記画素に供給させる駆動制御手段とを備え、前記パネルの前記画素の領域には、前記パネルの裏面に取り付けられた前記受光センサに近い側から順に、前記駆動用トランジスタまたは前記サンプリング用トランジスタのゲート電極、前記発光素子の光を前記パネルの表面側に反射させる反射膜、および前記発光素子の発光層が、少なくとも形成されており、前記反射膜には、前記パネルの裏面に取り付けられた前記受光センサへ前記発光層からの光を透過させる開口部が設けられており、前記駆動用トランジスタまたは前記サンプリング用トランジスタのゲート電極は、前記開口部の直下と異なる位置に配置されている。

10

【 0 0 0 9 】

前記開口部には前記発光層が埋め込まれるようにすることができる。

【 0 0 1 1 】

20

本発明の一側面においては、ダイオード特性を有し、駆動電流に応じて自発光する発光素子と、映像信号をサンプリングするサンプリング用トランジスタと、駆動電流を発光素子に供給する駆動用トランジスタと、発光素子のアノード側と駆動用トランジスタのゲートに接続され、所定の電位を保持する蓄積容量とを少なくとも有する画素が行列状に複数配置されているパネルの裏面に取り付けられた受光センサにより、初期状態としての画素の発光輝度と所定時間経過後の画素の発光輝度が測定され、それらを比較して算出した輝度低下量に基づいて、経時劣化による輝度低下の補正データが演算され、補正データに基づいて、経時劣化による輝度低下を補正した映像信号が画素に供給される。パネルの画素の領域には、パネルの裏面に取り付けられた受光センサに近い側から順に、駆動用トランジスタまたはサンプリング用トランジスタのゲート電極、発光素子の光をパネルの表面側に反射させる反射膜、および発光素子の発光層が、少なくとも形成されており、反射膜には、パネルの裏面に取り付けられた受光センサへ発光層からの光を透過させる開口部が設けられており、駆動用トランジスタまたはサンプリング用トランジスタのゲート電極は、開口部の直下と異なる位置に配置されている。

30

【発明の効果】

【 0 0 1 2 】

本発明の一側面によれば、高速かつ高精度な焼き付き補正を行うことができる。

【発明を実施するための最良の形態】

【 0 0 1 3 】

< 本発明の実施の形態 >

40

〔表示装置の構成〕

図1は、本発明を適用した表示装置の一実施の形態の構成例を示すブロック図である。

【 0 0 1 4 】

図1の表示装置1は、ELパネル2、複数の受光センサ3からなるセンサ群4、および制御部5を含むように構成されている。ELパネル2は、有機EL (Electro Luminescent) デバイスを自発光素子として用いたパネルとして構成されている。受光センサ3は、ELパネル2の発光輝度を測定するセンサとして構成されている。制御部5は、複数の受光センサ3から得たELパネル2の発光輝度に基づいてELパネル2の表示を制御する。

【 0 0 1 5 】

〔ELパネルの構成〕

50

図2は、ELパネル2の構成例を示すブロック図である。

【0016】

ELパネル2は、画素アレイ部102、水平セクタ(HSEL)103、ライトスキャナ(WSCN)104、および電源スキャナ(DSCN)105を含むように構成されている。画素アレイ部102は、 $N \times M$ 個(N, M は相互に独立した1以上の整数値)の画素(画素回路)101-(1, 1)乃至101-(N, M)が行列状に配置されて構成されている。水平セクタ(HSEL)103、ライトスキャナ(WSCN)104、および電源スキャナ(DSCN)105は、画素アレイ部102を駆動する駆動部として動作する。

【0017】

また、ELパネル2は、M本の走査線WSL10-1乃至10-M、M本の電源線DSL10-1乃至10-M、およびN本の映像信号線DTL10-1乃至10-Nも有する。

【0018】

なお、以下において、走査線WSL10-1乃至10-Mそれぞれを特に区別する必要がない場合、単に、走査線WSL10と称する。また、映像信号線DTL10-1乃至10-Nそれぞれを特に区別する必要がない場合、単に、映像信号線DTL10と称する。画素101-(1, 1)乃至101-(N, M)および電源線DSL10-1乃至10-Mについても同様に、画素101および電源線DSL10と称する。

【0019】

画素101-(1, 1)乃至101-(N, M)のうちの第1行目の画素101-(1, 1)乃至101-($N, 1$)は、走査線WSL10-1でライトスキャナ104と、電源線DSL10-1で電源スキャナ105とそれぞれ接続されている。また、画素101-(1, 1)乃至101-(N, M)のうちの第M行目の画素101-(1, M)乃至101-(N, M)は、走査線WSL10-Mでライトスキャナ104と、電源線DSL10-Mで電源スキャナ105とそれぞれ接続されている。画素101-(1, 1)乃至101-(N, M)の行方向に並ぶその他の画素101についても同様である。

【0020】

また、画素101-(1, 1)乃至101-(N, M)のうちの第1列目の画素101-(1, 1)乃至101-(1, M)は、映像信号線DTL10-1で水平セクタ103と接続されている。画素101-(1, 1)乃至101-(N, M)のうちの第N列目の画素101-($N, 1$)乃至101-(N, M)は、映像信号線DTL10-Nで水平セクタ103と接続されている。画素101-(1, 1)乃至101-(N, M)の列方向に並ぶその他の画素101についても同様である。

【0021】

ライトスキャナ104は、走査線WSL10-1乃至10-Mに水平周期(1H)で順次制御信号を供給して画素101を行単位で線順次走査する。電源スキャナ105は、線順次走査に合わせて電源線DSL10-1乃至10-Mに第1電位(後述するVcc)または第2電位(後述するVss)の電源電圧を供給する。水平セクタ103は、線順次走査に合わせて各水平期間内(1H)で映像信号に対応する信号電位Vsigと基準電位Vofsとを切替えて列状の映像信号線DTL10-1乃至10-Mに供給する。

【0022】

[画素101の配列構成]

図3は、ELパネル2の各画素101が発光する色の配列を示している。

【0023】

画素アレイ部102の各画素101は、赤(R)、緑(G)、または青(B)のいずれかの色を発光するいわゆる副画素(サブピクセル)に相当し、行方向(図面左右方向)に並ぶ赤、緑、および青の3つの画素101で表示単位としての1画素が構成される。

【0024】

なお、図3では、ライトスキャナ104が画素アレイ部102の左側に配置されるとと

10

20

30

40

50

もに、走査線WSL10および電源線DSL10が画素101の下側から接続されている点が図2と異なる。水平セクタ103、ライトスキャナ104、電源スキャナ105、および、各画素101と接続される配線は、必要に応じて適切な位置に配置することができる。

【0025】

[画素101の詳細回路構成]

図4は、ELパネル2に含まれる $N \times M$ 個の画素101のうちの1つの画素101を拡大することにより、画素101の詳細な回路構成を示したブロック図である。

【0026】

なお、図4において画素101と接続されている走査線WSL10、映像信号線DTL10、および電源線DSL10のそれぞれは、図2に対応させると次のようになる。即ち、図2における画素101- (n, m) ($n = 1, 2, \dots, N, m = 1, 2, \dots, M$) に対して、走査線WSL10- (n, m) 、映像信号線DTL10- (n, m) 、および電源線DSL10- (n, m) のそれぞれが対応する。

【0027】

図4の画素101は、サンプリング用トランジスタ31、駆動用トランジスタ32、蓄積容量33、および発光素子34を有する。サンプリング用トランジスタ31のゲートは走査線WSL10と接続され、サンプリング用トランジスタ31のドレインは映像信号線DTL10と接続されるとともに、ソースが駆動用トランジスタ32のゲートgと接続されている。

【0028】

駆動用トランジスタ32のソース及びドレインの一方は発光素子34のアノードに接続され、他方が電源線DSL10に接続される。蓄積容量33は、駆動用トランジスタ32のゲートgと発光素子34のアノードに接続されている。また、発光素子34のカソードは所定の電位Vcatに設定されている配線35に接続されている。この電位VcatはGNDレベルであり、従って、配線35は接地配線である。

【0029】

サンプリング用トランジスタ31および駆動用トランジスタ32は、いずれもNチャンネル型トランジスタである。よって、サンプリング用トランジスタ31および駆動用トランジスタ32は、低温ポリシリコンよりも安価に作成できるアモルファスシリコンで作成することができる。これにより、画素回路の製造コストをより安価にすることができる。勿論、サンプリング用トランジスタ31および駆動用トランジスタ32は、低温ポリシリコンや単結晶シリコンで作成しても構わない。

【0030】

発光素子34は、有機EL素子で構成される。有機EL素子はダイオード特性を有する電流発光素子である。よって、発光素子34は、供給される電流値Idsに応じた階調の発光を行う。

【0031】

以上のように構成される画素101において、サンプリング用トランジスタ31が、走査線WSL10からの制御信号に応じてオン(導通)し、映像信号線DTL10を介して階調に応じた信号電位Vsigの映像信号をサンプリングする。蓄積容量33は、映像信号線DTL10を介して水平セクタ103から供給された電荷を蓄積して保持する。駆動用トランジスタ32は、第1電位Vccにある電源線DSL10から電流の供給を受け、蓄積容量33に保持された信号電位Vsigに応じて駆動電流Idsを発光素子34に流す(供給する)。発光素子34に所定の駆動電流Idsが流れることにより、画素101が発光する。

【0032】

画素101は、閾値補正機能を有する。閾値補正機能とは、駆動用トランジスタ32の閾値電圧Vthに相当する電圧を蓄積容量33に保持させる機能である。閾値補正機能を発揮させることで、ELパネル2の画素毎のばらつきの原因となる駆動用トランジスタ3

10

20

30

40

50

2の閾値電圧 V_{th} の影響をキャンセルすることができる。

【0033】

また、画素101は、上述した閾値補正機能に加え、移動度補正機能も有する。移動度補正機能とは、蓄積容量33に信号電位 V_{sig} を保持する際、駆動用トランジスタ32の移動度 μ に対する補正を信号電位 V_{sig} に加える機能である。

【0034】

さらに、画素101は、ブートストラップ機能も備えている。ブートストラップ機能とは、駆動用トランジスタ32のソース電位 V_s の変動にゲート電位 V_g を連動させる機能である。ブートストラップ機能の発揮により、駆動用トランジスタ32のゲートとソース間の電圧 V_{gs} を一定に維持することが出来る。

10

【0035】

[画素101の動作の説明]

図5は、画素101の動作を説明するタイミングチャートである。

【0036】

図5は、同一の時間軸(図面横方向)に対する走査線 $WSL10$ 、電源線 $DSL10$ 、および映像信号線 $DTL10$ の電位変化と、それに対応する駆動用トランジスタ32のゲート電位 V_g 及びソース電位 V_s の変化を示している。

【0037】

図5において、時刻 t_1 までの期間は、前の水平期間(1H)の発光がなされている発光期間 T_1 である。

20

【0038】

発光期間 T_1 が終了した時刻 t_1 から時刻 t_4 までは、駆動用トランジスタ32のゲート電位 V_g 及びソース電位 V_s を初期化することで閾値電圧補正動作の準備を行う閾値補正準備期間 T_2 である。

【0039】

閾値補正準備期間 T_2 では、時刻 t_1 において、電源スキャナ105が、電源線 $DSL10$ の電位を高電位である第1電位 V_{cc} から低電位である第2電位 V_{ss} に切替える。そして、時刻 t_2 において、水平セクタ103が、映像信号線 $DTL10$ の電位を信号電位 V_{sig} から基準電位 V_{ofs} に切替える。次に、時刻 t_3 において、ライトスキャナ104が、走査線 $WSL10$ の電位を高電位に切替え、サンプリング用トランジスタ31をオンさせる。これにより、駆動用トランジスタ32のゲート電位 V_g が基準電位 V_{ofs} にリセットされ、且つ、ソース電位 V_s が映像信号線 $DTL10$ の第2電位 V_{ss} にリセットされる。

30

【0040】

時刻 t_4 から時刻 t_5 までは、閾値補正動作を行う閾値補正期間 T_3 である。閾値補正期間 T_3 では、時刻 t_4 において、電源スキャナ105により、電源線 $DSL10$ の電位が高電位 V_{cc} に切替えられ、閾値電圧 V_{th} に相当する電圧が、駆動用トランジスタ32のゲートとソースとの間に接続された蓄積容量33に書き込まれる。

【0041】

時刻 t_5 から時刻 t_7 までの書き込み+移動度補正準備期間 T_4 では、走査線 $WSL10$ の電位が高電位から低電位に一旦切替えられる。また、時刻 t_7 の前の時刻 t_6 において、水平セクタ103が、映像信号線 $DTL10$ の電位を基準電位 V_{ofs} から階調に応じた信号電位 V_{sig} に切替える。

40

【0042】

そして、時刻 t_7 から時刻 t_8 までの書き込み+移動度補正期間 T_5 において、映像信号の書き込みと移動度補正動作が行われる。即ち、時刻 t_7 から時刻 t_8 までの間、走査線 $WSL10$ の電位が高電位に設定され、これにより、映像信号に対応する信号電位 V_{sig} が閾値電圧 V_{th} に足し込まれる形で蓄積容量33に書き込まれる。また、移動度補正用の電圧 ΔV_μ が蓄積容量33に保持された電圧から差し引かれる。

【0043】

50

書き込み + 移動度補正期間 T_5 終了後の時刻 t_8 において、走査線 $W S L 10$ の電位が低電位に設定され、それ以降、発光期間 T_6 として、信号電圧 V_{sig} に応じた発光輝度で発光素子 34 が発光する。信号電圧 V_{sig} は、閾値電圧 V_{th} に相当する電圧と移動度補正用の電圧 ΔV_μ とによって調整されているため、発光素子 34 の発光輝度は駆動用トランジスタ 32 の閾値電圧 V_{th} や移動度 μ のばらつきの影響を受けない。

【0044】

なお、発光期間 T_6 の最初でブートストラップ動作が行われ、駆動用トランジスタ 32 のゲート - ソース間電圧 $V_{gs} = V_{sig} + V_{th} - \Delta V_\mu$ を一定に維持したまま、駆動用トランジスタ 32 のゲート電位 V_g 及びソース電位 V_s が上昇する。

【0045】

10

また、時刻 t_8 から所定時間経過後の時刻 t_9 において、映像信号線 $D T L 10$ の電位が、信号電位 V_{sig} から基準電位 V_{ofs} に落とされる。図 5 において、時刻 t_2 から時刻 t_9 までの期間は水平期間 (1 H) に相当する。

【0046】

以上のようにして、E L パネル 2 の各画素 101 では、駆動用トランジスタ 32 の閾値電圧 V_{th} や移動度 μ のばらつきの影響を受けることがなく、発光素子 34 を発光させることができる。

【0047】

[画素 101 の動作の別の例の説明]

図 6 は、画素 101 の動作の別の例を説明するタイミングチャートである。

20

【0048】

上述した図 5 の例では、閾値補正動作は 1 H 期間に 1 回行われていた。ただし、1 H 期間が短く、1 H 期間内で閾値補正動作を行うことが難しい場合がある。そのような場合には、複数の 1 H 期間にわたって複数回の閾値補正動作を行わせることができる。

【0049】

図 6 の例では、閾値補正動作は、連続する 3 H 期間で行われる。即ち、図 6 の例では、閾値補正期間 T_3 が 3 回に分割されている。なお、その他の画素 101 の動作は、図 5 の例の動作と同様である。よって、これらの動作の説明については省略する。

【0050】

[焼き付き補正制御の機能ブロック図]

30

ところで、有機 E L デバイスには、発光量および発光時間に比例して発光輝度が低下する特性を有している。E L パネル 2 に表示される画像として、各画素 101 で一様な表示を行うものは稀であり、画素 101 ごとに発光量が異なるのが一般的である。従って、所定の時間が経過すると、それまでの発光量および発光時間に応じて各画素 101 の輝度効率の低下の度合いの差が顕著になってくる。このため、同一の駆動条件下では、あたかも焼き付きが生じているように、発光輝度が異なる現象 (以下、焼き付き現象と称する) がユーザに視認される。そこで、表示装置 1 は、輝度効率の低下の度合いが異なることにより生じる焼き付き現象を補正するための焼き付き補正制御を行っている。

【0051】

図 7 は、焼き付き補正制御を実行するために必要な表示装置 1 の機能的構成例を示す機能ブロック図を示している。

40

【0052】

受光センサ 3 は、各画素 101 の発光の妨げとならないように、E L パネル 2 の裏面 (表示面と反対側の面) に取り付けられている。また、受光センサ 3 は、所定の領域につき 1 個の割合で均等に配置されている。図 7 に示される例では、センサ群 4 は 9 個の受光センサ 3 により構成されているが、E L パネル 2 の裏面に配置する受光センサ 3 の個数は、これに限定されるものではない。受光センサ 3 それぞれは、自分の担当する領域内の各画素 101 の発光輝度を測定する。具体的には、受光センサ 3 それぞれは、自分の領域内の画素 101 が 1 画素ずつ順に発光したとき、E L パネル 2 の前面のガラス基板等に反射して入射されてくる光を受光し、受光輝度に応じたアナログの受光信号 (電圧信号) を制御

50

部 5 に供給する。

【 0 0 5 3 】

制御部 5 は、増幅部 5 1、A D 変換部 5 2、補正演算部 5 3、補正データ記憶部 5 4、および駆動制御部 5 5 により構成されている。

【 0 0 5 4 】

増幅部 5 1 は、各受光センサ 3 から供給されるアナログの受光信号を増幅して A D 変換部 5 2 に供給する。A D 変換部 5 2 は、増幅部 5 1 から供給される増幅後のアナログの受光信号をデジタルの信号（輝度データ）に変換し、補正演算部 5 3 に供給する。

【 0 0 5 5 】

補正演算部 5 3 は、画素アレイ部 1 0 2 の各画素 1 0 1 について、初期状態（出荷状態）時の輝度データと、所定期間経過後（経時劣化後）の輝度データを比較することにより、各画素 1 0 1 の輝度低下量を算出する。そして、補正演算部 5 3 は、算出した輝度低下量に基づいて、輝度低下を補正する補正データを画素 1 0 1 ごとに演算する。演算された各画素 1 0 1 の補正データは、補正データ記憶部 5 4 に供給される。補正演算部 5 3 は、例えば、FPGA（Field Programmable Gate Alley）、ASIC(Application Specific Integrated Circuit)などの信号処理 IC で構成することができる。

10

【 0 0 5 6 】

補正データ記憶部 5 4 は、補正演算部 5 3 により演算された各画素 1 0 1 の補正データを記憶する。また、補正データ記憶部 5 4 は、補正演算に使用される各画素 1 0 1 の初期状態時の各画素 1 0 1 の輝度データも記憶する。

20

【 0 0 5 7 】

駆動制御部 5 5 は、水平セクタ 1 0 3 を制御して、各画素 1 0 1 に、表示装置 1 に入力された映像信号に対応する信号電位 V_{sig} を供給させる。ここで、駆動制御部 5 5 は、補正データ記憶部 5 4 に記憶されている各画素 1 0 1 の補正データを取得して、経時劣化による輝度低下を補正した信号電位 V_{sig} を決定する。

【 0 0 5 8 】

〔画素 1 0 1 の初期データ取得処理〕

次に、図 8 のフローチャートを参照して、画素アレイ部 1 0 2 の各画素 1 0 1 の初期状態時の輝度データを取得する初期データ取得処理を説明する。図 8 の処理は、例えば、受光センサ 3 に対応するように分割された各領域で並行して実行される。

30

【 0 0 5 9 】

初めに、ステップ S 1 において、駆動制御部 5 5 は、まだ輝度データを取得していない領域内の 1 つの画素 1 0 1 を、予め決められた所定の階調（明るさ）で発光させる。ステップ S 2 において、受光センサ 3 は、受光輝度に応じたアナログの受光信号（電圧信号）を制御部 5 の増幅部 5 1 に出力する。

【 0 0 6 0 】

ステップ S 3 において、増幅部 5 1 は、受光センサ 3 から供給された受光信号を増幅し、A D 変換部 5 2 に供給する。ステップ S 4 において、A D 変換部 5 2 は、増幅後のアナログの受光信号をデジタルの信号（輝度データ）に変換し、補正演算部 5 3 に供給する。ステップ S 5 において、補正演算部 5 3 は、供給された輝度データを補正データ記憶部 5 4 に供給し、記憶させる。

40

【 0 0 6 1 】

ステップ S 6 において、駆動制御部 5 5 は、領域内のすべての画素 1 0 1 について輝度データを取得したかを判定する。ステップ S 6 で、領域内のすべての画素 1 0 1 についてまだ輝度データを取得していないと判定された場合、処理はステップ S 1 に戻り、ステップ S 1 乃至 S 6 の処理が繰り返される。即ち、輝度データをまだ取得していない領域内の 1 つの画素 1 0 1 が所定の階調で発光され、輝度データが取得される。

【 0 0 6 2 】

一方、ステップ S 6 で、領域内のすべての画素 1 0 1 について輝度データを取得したと判定された場合、処理は終了する。

50

【 0 0 6 3 】

[画素 1 0 1 の補正データ取得処理]

図 9 は、図 8 の処理を行ってから所定期間経過後に実行される、補正データ取得処理のフローチャートである。この処理も、図 8 の処理と同様に、受光センサ 3 対応して分割された各領域で並行して実行される。

【 0 0 6 4 】

ステップ S 2 1 乃至 S 2 4 の処理は、上述した図 8 のステップ S 1 乃至 S 4 の処理とそれぞれ同様であるので、その説明は省略する。即ち、ステップ S 2 1 乃至 S 2 4 の処理では、初期データ取得処理と同一の条件の下で、画素 1 0 1 の輝度データが取得される。

【 0 0 6 5 】

ステップ S 2 5 において、補正演算部 5 3 は、初期データ取得処理を実行したときの同一の画素 1 0 1 の輝度データ（初期データ）を補正データ記憶部 5 4 から取得する。

【 0 0 6 6 】

ステップ S 2 6 において、補正演算部 5 3 は、初期状態時の輝度データと、ステップ S 2 1 乃至 S 2 4 で取得した輝度データを比較することにより、画素 1 0 1 の輝度低下量を算出する。ステップ S 2 7 において、補正演算部 5 3 は、算出した輝度低下量に基づいて補正データを算出し、補正データ記憶部 5 4 に記憶させる。

【 0 0 6 7 】

ステップ S 2 8 において、駆動制御部 5 5 は、領域内のすべての画素 1 0 1 について補正データを取得したかを判定する。ステップ S 2 8 で、領域内のすべての画素 1 0 1 についてまだ補正データを取得していないと判定された場合、処理はステップ S 2 1 に戻り、ステップ S 2 1 乃至 S 2 8 の処理が繰り返される。即ち、補正データをまだ取得していない領域内の 1 つの画素 1 0 1 について輝度データが取得される。

【 0 0 6 8 】

一方、ステップ S 2 8 で、領域内のすべての画素 1 0 1 について補正データを取得したと判定された場合、処理は終了する。

【 0 0 6 9 】

以上のように、図 8 と図 9 を参照して説明した処理により、画素アレイ部 1 0 2 の各画素 1 0 1 について補正データが、補正データ記憶部 5 4 に記憶される。

【 0 0 7 0 】

補正データ取得後は、駆動制御部 5 5 の制御の下、映像信号に対応する信号電位であって、補正データにより経時劣化による輝度低下が補正された信号電位 V_{sig} が、画素アレイ部 1 0 2 の各画素 1 0 1 に供給される。即ち、駆動制御部 5 5 は、表示装置 1 に入力された映像信号に対応する信号電位に、補正データによる電位を上乗せした信号電位 V_{sig} を画素 1 0 1 に供給するように水平セクタ 1 0 3 を制御する。

【 0 0 7 1 】

なお、補正データ記憶部 5 4 に記憶される補正データは、表示装置 1 に入力された映像信号に対応する信号電位に、所定の比率を乗算するような値でも良いし、所定の電圧値をオフセットさせるような値でもよい。また、表示装置 1 に入力された映像信号に対応する信号電位に対応した補正テーブルとして保有することも可能である。即ち、補正データ記憶部 5 4 に記憶される補正データは、どのような形式でもよい。

【 0 0 7 2 】

次に、画素 1 0 1 のパターン構造について説明するが、その前に、従来の画素のパターン構造について説明する。

【 0 0 7 3 】

[従来の画素のパターン構造]

図 1 0 は、従来の画素（の一部）の概略の断面図および上面図である。

【 0 0 7 4 】

従来の画素では、絶縁性のガラスなどで構成される支持基板 7 1 上に、サンプリング用トランジスタ 3 1 および駆動用トランジスタ 3 2 のゲート電極 7 2 が形成される。また、

10

20

30

40

50

ゲート電極 7 2 を覆うように支持基板 7 1 上に絶縁層 7 3 が形成される。

【 0 0 7 5 】

絶縁層 7 3 上には、映像信号線 D T L 1 0 や蓄積容量 3 3 の電極などに相当する金属層 7 4 が形成される。金属層 7 4 は平坦化絶縁膜 7 5 で覆われる。そして、平坦化絶縁膜 7 5 の上に、反射電極 7 6 が形成され、さらに反射電極 7 6 の上に発光層 7 7 が形成される。また、反射電極 7 6 の周辺部には平坦化絶縁膜 7 8 が形成される。

【 0 0 7 6 】

このように、従来の画素では、発光した光を効率良く前面に取り出すために、発光層 7 7 の下側に反射膜としての反射電極 7 6 が設けられている。これに対して、受光センサ 3 は、上述したように、E L パネル 2 の裏面、図 1 0 で言えば、支持基板 7 1 の下側に取

10

り付けられるため、受光センサ 3 が受光できる輝度は表示面側に取り付けた場合と比べてと

ても小さくなる。

【 0 0 7 7 】

[表示面と裏面の受光輝度の違い]

図 1 1 は、表示面と裏面の受光輝度の違いを示す図である。図 1 1 の横軸は、映像信号線 D T L 1 0 を介して供給される信号電位 V_{sig} を表し、縦軸は、受光センサ 3 の受光輝度を表す。

【 0 0 7 8 】

図 1 1 において、直線 B_1 は、受光センサ 3 を E L パネルの表示面に設けた場合の輝度直線を示しており、直線 B_2 は、受光センサ 3 を E L パネルの裏面に設けた場合の輝度直線を示している。なお、表示面および裏面の取り付け位置以外の条件は同一とする。

20

【 0 0 7 9 】

図 1 1 に示されるように、E L パネルの裏面に設置した受光センサ 3 が受光できる輝度は、E L パネルの表示面の約 $1 / 500$ 程度となる。

【 0 0 8 0 】

受光センサ 3 が受光できる輝度が極端に低い場合、外光等のノイズの影響を受けやすく、十分な補正の精度が維持できないという問題が発生する。また、受光センサ 3 の出力信号の立ち上がりが遅くなり（応答速度が遅くなり）、輝度を測定するまでの時間が長くなるという問題も生じる。そして、測定時間が短い場合には、正確な発光輝度に到達する前に測定を行ってしまい、その結果、正しい補正が行われぬおそれもある。以上の問題を

30

解決するため、E L パネル 2 では、図 1 0 とは異なるパターン構造が採用されている。

【 0 0 8 1 】

[E L パネル 2 の画素 1 0 1 のパターン構造]

図 1 2 は、図 1 0 と対応するように示した画素 1 0 1 の概略の断面図および上面図である。

【 0 0 8 2 】

図 1 2 では、図 1 0 と同様に構成されている部分についての説明は省略し、異なる構成の部分についてのみ説明する。

【 0 0 8 3 】

画素 1 0 1 には、上面から見て中央部（点線で示される部分）に反射電極 7 6 が形成されていない領域（以下、開口部という）7 9 が設けられている。換言すれば、画素 1 0 1 は、発光層 7 7 の下面に配置された反射電極（反射膜）7 6 に、発光層 7 7 からの光を透過する開口部 7 9 を有する。開口部 7 9 は、断面図に示されるように、平坦化絶縁膜により、反射電極 7 6 の面と同一面となるように形成されている。

40

【 0 0 8 4 】

また、図 1 0 の画素においては開口部 7 9 の直下の位置に形成されていたゲート電極 7 2 が、画素 1 0 1 では同一面上であって金属層 7 4 の近傍に配置されている。換言すれば、発光層 7 7 で発光された光の裏面への通り道となる開口部 7 9 直下と異なる位置に、透過率の低い金属膜であるゲート電極 7 2 が配置されている。

【 0 0 8 5 】

50

以上のように画素 101 が形成されることにより、発光層 77 で発光された光が、開口部 79 を通過して、EL パネル 2 の裏面にも到達しやすくなるので、受光センサ 3 の受光感度がより一層向上する。

【0086】

[画素 101 のパターン構造を採用した場合の効果]

図 13 は、画素 101 のパターン構造を採用した場合の裏面での受光センサ 3 の受光輝度を示す図である。

【0087】

直線 B_3 が、画素 101 のパターン構造を採用した場合の EL パネル 2 裏面における受光センサ 3 の輝度直線である。この直線 B_3 から明らかなように、画素 101 のパターン構造を採用した場合には、受光感度が向上している。

10

【0088】

図 14 は、図 10 に示した従来の画素のパターン構造を採用した場合と、図 12 に示した画素 101 のパターン構造を採用した場合との、受光センサ 3 の応答速度を比較した図である。

【0089】

図 10 に示した従来の画素では、曲線 Y_1 で示されるように、受光センサ 3 の出力レベルが低いので、受光センサ 3 の出力信号の立ち上がりが遅く、正確な（安定した）測定を行うことができるようになるまでの時間が長い。一方、画素 101 では、曲線 Y_2 で示されるように、受光センサ 3 の出力レベルが高いので、受光センサ 3 の出力信号の立ち上がりが早く、正確な（安定した）測定を行うことができるようになるまでの時間が短い。

20

【0090】

従って、画素 101 のパターン構造を採用した場合には、従来のパターン構造を採用した場合よりも、発光輝度の測定時間を短縮することができる。また、受光センサ 3 の出力レベルが高いので、外光等のノイズの影響を受けにくくなり、補正の精度も向上する。これにより、画素 101 を採用した EL パネル 2 によれば、高速かつ高精度な焼き付き補正を行うことができる。

【0091】

なお、上述した例では、開口部 79 の内部には、平坦化絶縁膜を形成するようにしたが、発光層 77 を形成するようにしてもよい。この場合、裏面に配置された受光センサ 3 の受光感度をさらに向上させることができる。

30

【0092】

[本発明の適用先]

【0093】

ところで、本発明の実施の形態は、上述した実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変更が可能である。

【0094】

例えば、上述した画素 101 のパターン構造は、有機 EL デバイスを用いた自発光型のパネルのほか、FED(Field Emission Display)などのその他の自発光型のパネルに採用することもできる。

40

【0095】

また、上述した画素 101 は、図 4 を参照して説明したように、2 個のトランジスタ（サンプリング用トランジスタ 31 と駆動用トランジスタ 32）と 1 個のキャパシタ（蓄積容量 33）で構成されていたが、その他の回路構成を採用することもできる。

【0096】

その他の画素 101 の回路構成としては、例えば、2 個のトランジスタと 1 個のキャパシタの構成（以下、2 Tr / 1 C 画素回路とも称する）の他に、次のような回路構成を採用できる。即ち、第 1 乃至第 3 のトランジスタを加えた、5 個のトランジスタと 1 個のキャパシタの構成（以下、5 Tr / 1 C 画素回路とも称する）を採用することもできる。5 Tr / 1 C 画素回路を採用した画素 101 では、水平セクタ 103 から映像信号線 DT

50

L10を介してサンプリング用トランジスタ31に供給される信号電位が V_{sig} 固定となる。その結果、サンプリング用トランジスタ31は駆動用トランジスタ32への信号電位 V_{sig} の供給をスイッチングする機能としてのみ動作する。また、電源線DSL10を介して駆動用トランジスタ32に供給される電位が第1電位 V_{cc} 固定となる。そして、追加された第1のトランジスタは、駆動用トランジスタ32への第1電位 V_{cc} の供給をスイッチングする。第2のトランジスタは、駆動用トランジスタ32への第2電位 V_{ss} の供給をスイッチングする。また、第3のトランジスタは、駆動用トランジスタ32への基準電位 V_{of} の供給をスイッチングする。

【0097】

また、その他の画素101の回路構成としては、2Tr/1C画素回路と5Tr/1C画素回路の中間的な回路構成を採用することもできる。即ち、4個のトランジスタと1個のキャパシタからなる構成(4Tr/1C画素回路)や、3個のトランジスタと1個のキャパシタからなる構成(3Tr/1C画素回路)を採用することもできる。4Tr/1C画素回路および3Tr/1C画素回路としては、例えば、水平セクタ103からサンプリング用トランジスタ31に供給する信号電位を V_{sig} と V_{ofs} でパルス化するなどする構成を取ることができる。即ち、第3のトランジスタの1つか、または、第2および第3のトランジスタの両方を省略した構成を取ることができる。

【0098】

さらに、2Tr/1C画素回路、3Tr/1C画素回路、4Tr/1C画素回路、または5Tr/1C画素回路には、有機発光材料部の容量成分を補う等の目的で、発光素子34のアノード-カソード間に補助容量を追加してもよい。

【0099】

本明細書において、フローチャートに記述されたステップは、記載された順序に沿って時系列的に行われる処理はもちろん、必ずしも時系列的に処理されなくとも、並列的あるいは個別に実行される処理をも含むものである。

【0100】

また、本発明は、図1の表示装置1に適用できたように、各種表示装置に適用可能である。また、本発明が適用される表示装置は、様々な電子機器に入力された、若しくは、様々な電子機器内で生成した映像信号を画像若しくは映像として表示するディスプレイに適用することが可能である。ここで、様々な電子機器としては、例えば、デジタルスチルカメラやデジタルビデオカメラ、ノート型パーソナルコンピュータ、携帯電話、テレビジョン受像機などが存在する。以下この様な表示装置が適用された電子機器の例を示す。

【0101】

例えば、本発明は、電子機器の一例であるテレビジョン受像機に適用できる。このテレビジョン受像機は、フロントパネル、フィルターガラス等から構成される映像表示画面を含み、本発明の表示装置をその映像表示画面に用いることにより作製される。

【0102】

例えば、本発明は、電子機器の一例であるノート型パーソナルコンピュータに適用できる。このノート型パーソナルコンピュータにおいて、その本体には文字等を入力するとき操作されるキーボードを含み、その本体カバーには画像を表示する表示部を含む。このノート型パーソナルコンピュータは、本発明の表示装置をその表示部に用いることにより作製される。

【0103】

例えば、本発明は、電子機器の一例である携帯端末装置に適用できる。この携帯端末装置は、上部筐体と下部筐体とを有している。この携帯端末装置の状態としては、それらの2つの筐体が開いた状態と、閉じた状態とが存在する。この携帯端末装置は、上述した上側筐体と下側筐体との他、連結部(ここではヒンジ部)、ディスプレイ、サブディスプレイ、ピクチャーライト、カメラ等を含み、本発明の表示装置をそのディスプレイやサブディスプレイに用いることにより作製される。

【0104】

10

20

30

40

50

例えば、本発明は、電子機器の一例であるデジタルビデオカメラに適用可能である。デジタルビデオカメラは、本体部、前方を向いた側面に被写体撮影用のレンズ、撮影時のスタート/ストップスイッチ、モニター等を含み、本発明の表示装置をそのモニターに用いることにより作製される。

【図面の簡単な説明】

【0105】

【図1】本発明を適用した表示装置の一実施の形態の構成例を示すブロック図である。

【図2】ELパネルの構成例を示すブロック図である。

【図3】画素が発光する色の配列を示す図である。

【図4】画素の詳細な回路構成を示したブロック図である。

10

【図5】画素の動作を説明するタイミングチャートである。

【図6】画素の動作の別の例を説明するタイミングチャートである。

【図7】焼き付き補正制御に関する表示装置の機能ブロック図である。

【図8】初期データ取得処理の例を説明するフローチャートである。

【図9】補正データ取得処理の例を説明するフローチャートである。

【図10】従来の画素の概略の断面図および上面図である。

【図11】ELパネルの表示面と裏面の受光輝度の違いを示す図である。

【図12】図1の画素の概略の断面図および上面図である。

【図13】図1の画素のパターン構造による効果について説明する図である。

【図14】図1の画素のパターン構造による効果について説明する図である。

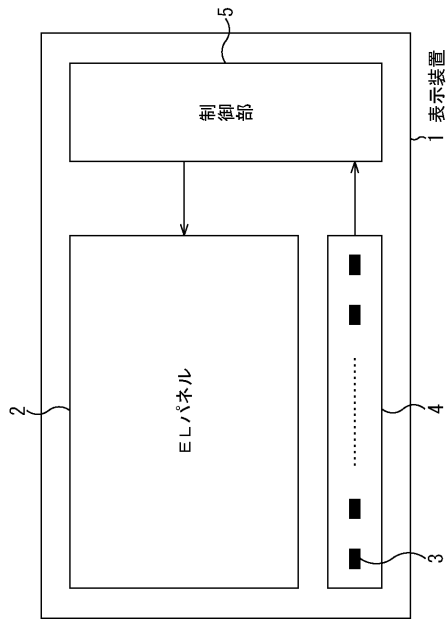
20

【符号の説明】

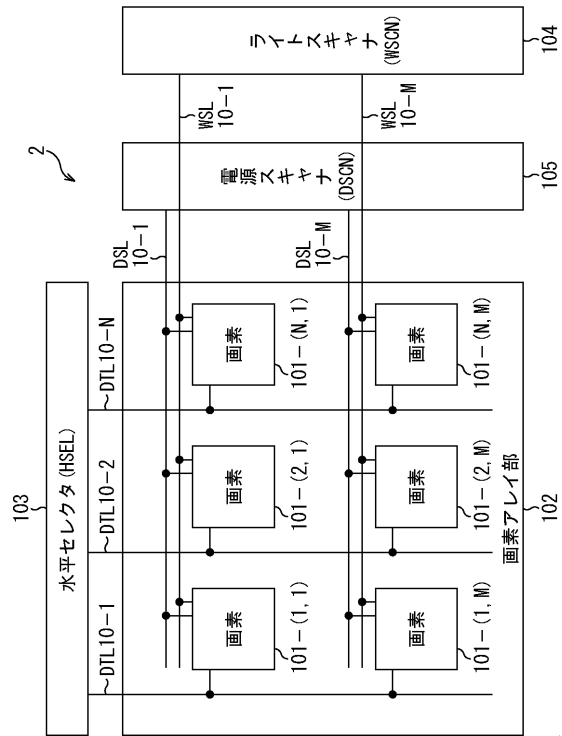
【0106】

1 表示装置, 2 ELパネル, 3 受光センサ, 5 制御部, 31 サンプル用トランジスタ, 32 駆動用トランジスタ, 33 蓄積容量, 34 発光素子, 101 画素, 53 補正演算部, 54 補正データ記憶部, 55 駆動制御部, 72 ゲート電極, 76 反射電極, 77 発光層, 79 開口部

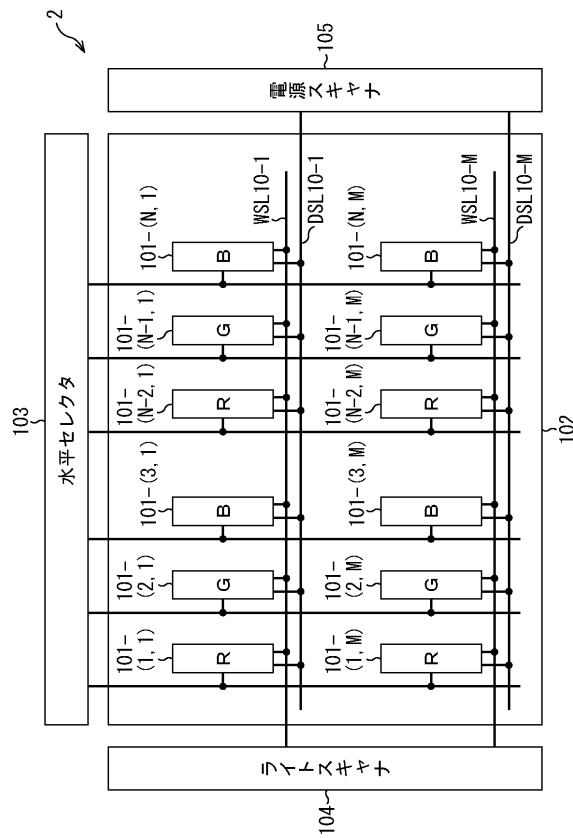
【図 1】
図1



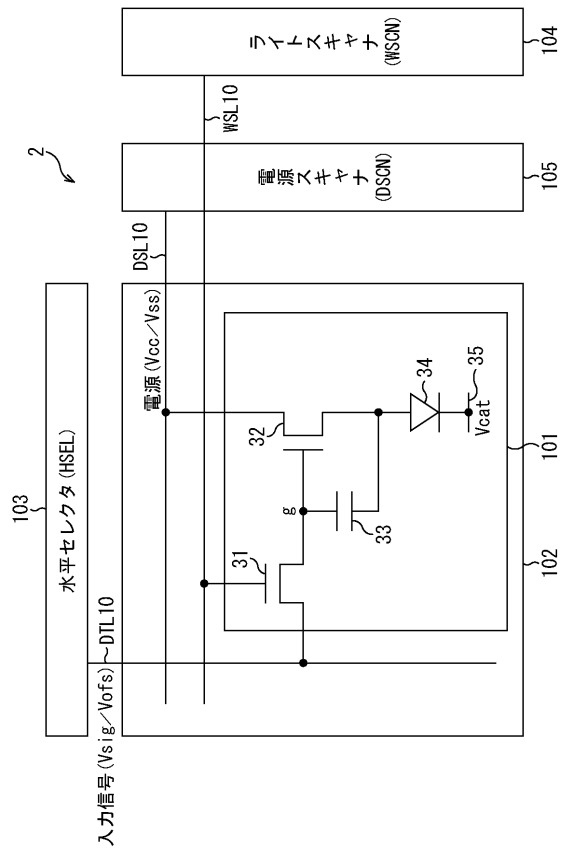
【図 2】
図2



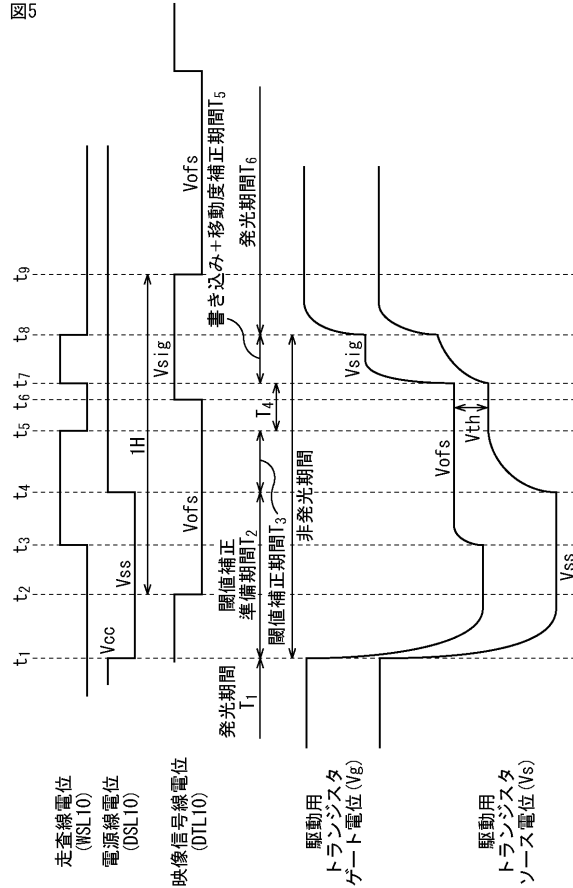
【図 3】
図3



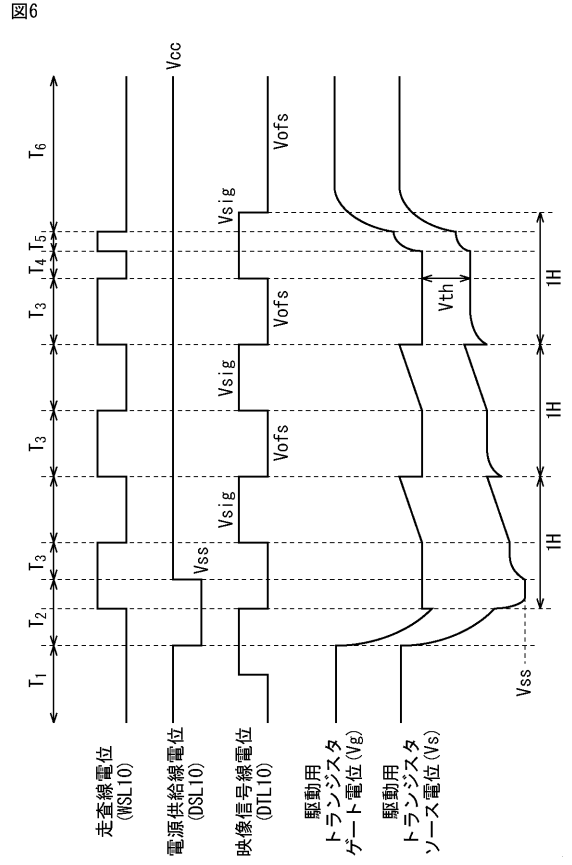
【図 4】
図4



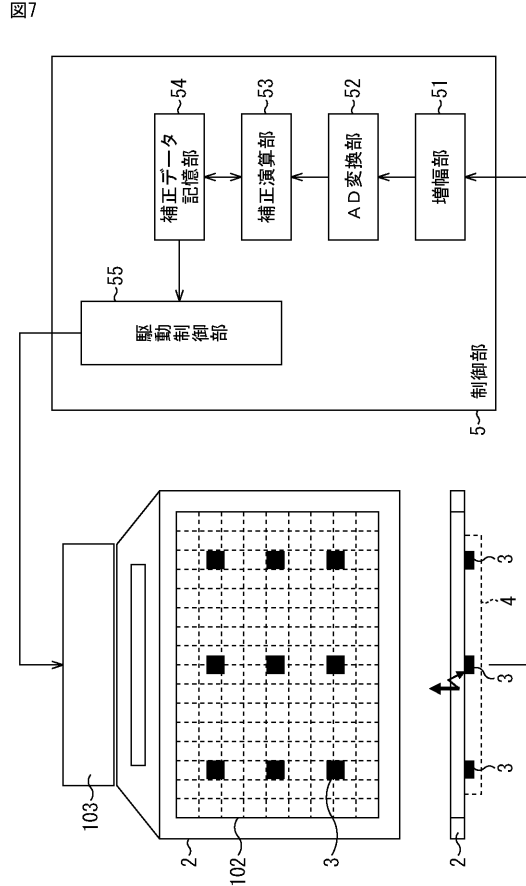
【図 5】



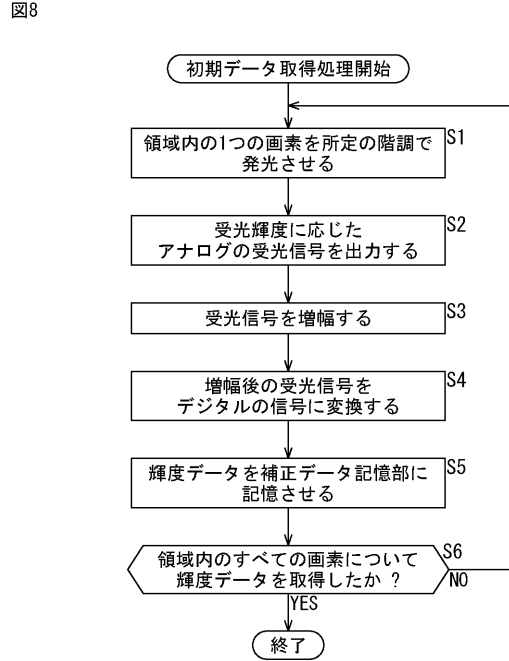
【図 6】



【図 7】

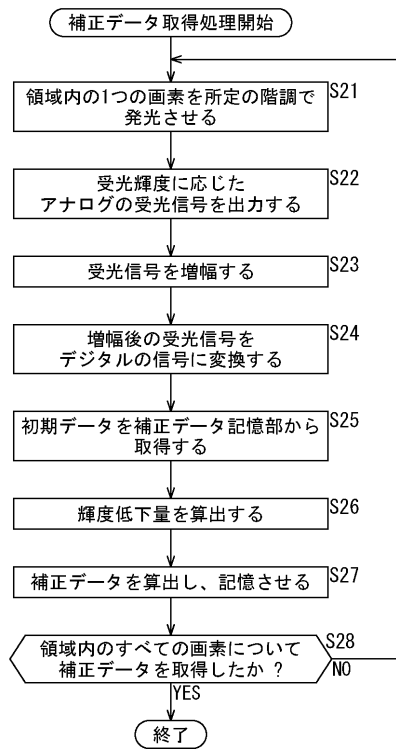


【図 8】



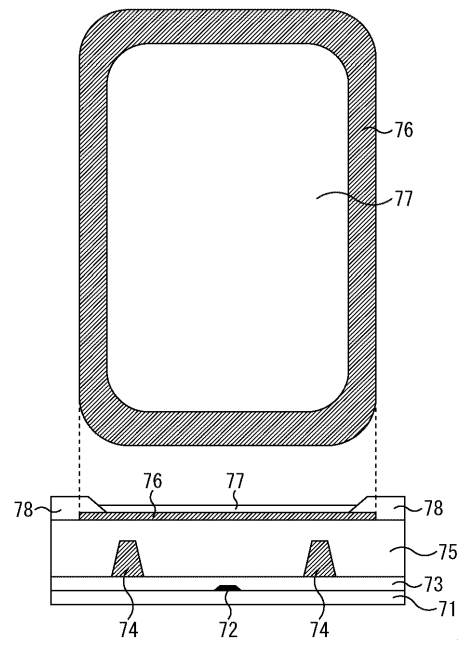
【図 9】

図9



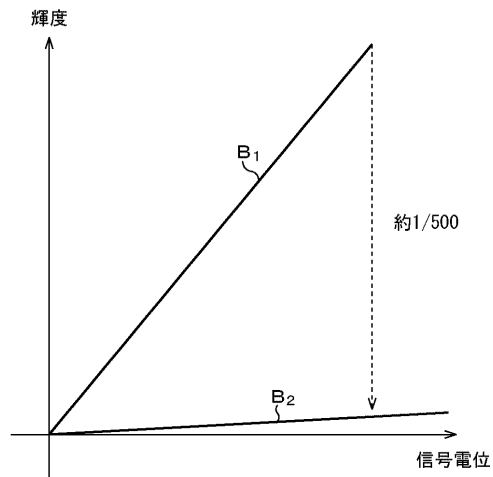
【図 10】

図10



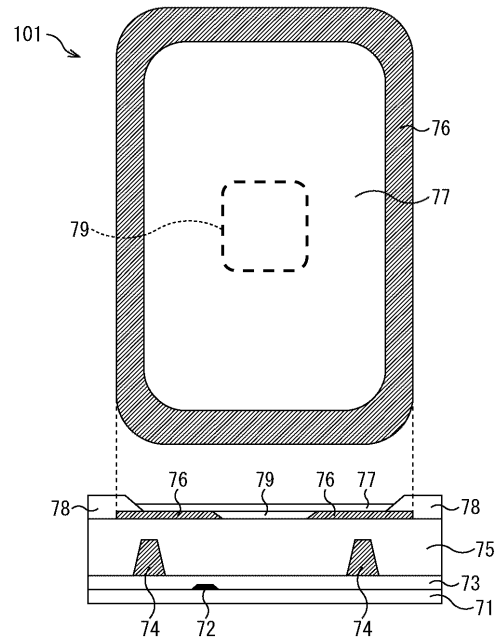
【図 11】

図11

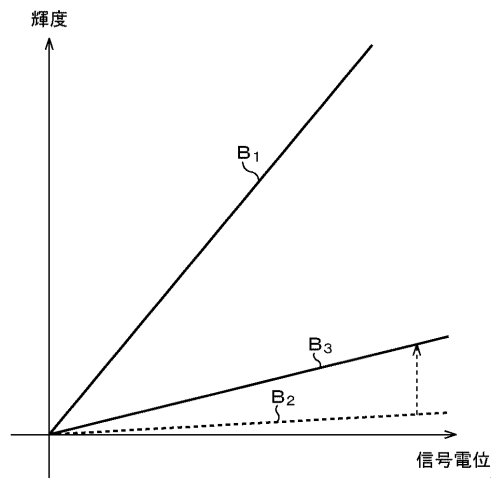


【図 12】

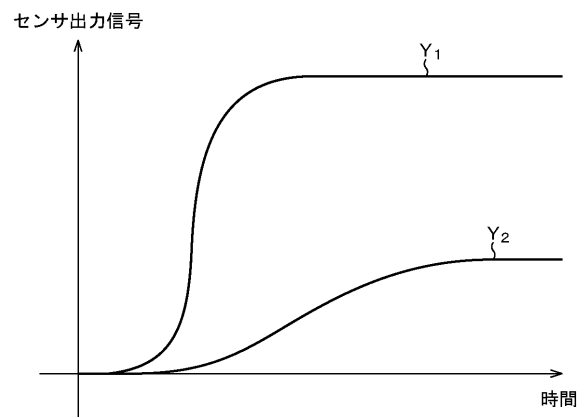
図12



【図 13】
図13



【図 14】
図14



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 8 0 H
G 0 9 G 3/20 6 4 1 P
H 0 5 B 33/14 A
H 0 5 B 33/24

(72)発明者 内野 勝秀
東京都港区港南1丁目7番1号 ソニー株式会社内

審査官 佐野 潤一

(56)参考文献 特開2005-173184(JP,A)
特表2007-531001(JP,A)
特開2005-141062(JP,A)
国際公開第2008/004290(WO,A1)
特開2010-91610(JP,A)
特開2001-147665(JP,A)
特開2002-251164(JP,A)
特開2003-167550(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 3 0
G 0 9 G 3 / 2 0

专利名称(译)	表示装置		
公开(公告)号	JP4770906B2	公开(公告)日	2011-09-14
申请号	JP2008260332	申请日	2008-10-07
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	尾本啓介 山下淳一 内野勝秀		
发明人	尾本 啓介 山下 淳一 内野 勝秀		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 H05B33/24		
CPC分类号	G09G3/3233 G09G2320/043 G09G2360/14		
FI分类号	G09G3/30.J G09G3/20.670.J G09G3/20.642.A G09G3/20.624.B G09G3/20.642.P G09G3/20.680.H G09G3/20.641.P H05B33/14.A H05B33/24 G09G3/20.621.M G09G3/20.641.D G09G3/20.680.G G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC02 3K107/CC33 3K107/CC34 3K107/EE03 3K107/EE33 3K107/EE68 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD29 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/JJ07 5C380/AA01 5C380/AB06 5C380/AB21 5C380/AB22 5C380/AB24 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BD04 5C380/BD11 5C380/CA08 5C380/CA12 5C380/CA53 5C380/CB01 5C380/CB20 5C380/CB26 5C380/CB27 5C380/CB31 5C380/CC03 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC41 5C380/CC61 5C380/CC62 5C380/CD012 5C380/CF01 5C380/CF17 5C380/CF21 5C380/CF49 5C380/CF68 5C380/DA02 5C380/DA06 5C380/DA50 5C380/FA05 5C380/FA21 5C380/FA28 5C380/GA08 5C380/GA11 5C380/GA17		
代理人(译)	西川 孝		
审查员(译)	佐野纯一		
其他公开文献	JP2010091703A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够以高速和高精度校正图像持久性的显示装置。解决方案：显示装置包括EL面板，由多个光接收传感器组成的传感器组，以及控制单元。EL面板被配置为采用有机EL器件用于自发光元件的面板。在EL面板中，像素101以矩阵排列。每个像素101具有区域（孔径部分）79，当从上方观察时，在中心没有形成反射电极76。例如，本发明可以应用于使用自发光元件的面板。Z

【 図 4 】

