

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第4114628号
(P4114628)

(45) 発行日 平成20年7月9日(2008.7.9)

(24) 登録日 平成20年4月25日(2008.4.25)

(51) Int.Cl.

F I

G O 9 G 3/30 (2006.01)

G O 9 G 3/36 (2006.01)

G O 9 G 3/20 (2006.01)

G O 9 G 3/30 J

G O 9 G 3/30 K

G O 9 G 3/36

G O 9 G 3/20 6 1 2 F

G O 9 G 3/20 6 2 3 F

請求項の数 5 (全 25 頁) 最終頁に続く

(21) 出願番号	特願2004-114728 (P2004-114728)	(73) 特許権者	000002185
(22) 出願日	平成16年4月8日(2004.4.8)		ソニー株式会社
(65) 公開番号	特開2005-300784 (P2005-300784A)		東京都港区港南1丁目7番1号
(43) 公開日	平成17年10月27日(2005.10.27)	(74) 代理人	100102185
審査請求日	平成17年5月31日(2005.5.31)		弁理士 多田 繁範
		(72) 発明者	山口 正則
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		審査官	小川 浩史
			最終頁に続く

(54) 【発明の名称】 フラットディスプレイ装置の駆動回路及びフラットディスプレイ装置

(57) 【特許請求の範囲】

【請求項1】

画像データをディジタルアナログ変換処理して駆動信号を生成し、前記駆動信号によりマトリックス状に画素を配置してなる表示部の信号線を駆動するフラットディスプレイ装置の駆動回路において、

複数の原基準電圧を生成する原基準電圧生成回路と、

抵抗を複数個直列接続した分圧回路をさらに複数個直列接続した直列回路の両端及び前記分圧回路間に前記原基準電圧をそれぞれ入力し、前記複数個の分圧回路による分圧電圧により複数の基準電圧を出力する基準電圧生成回路と、

前記複数の基準電圧を入力して対応する信号線に係る前記画像データに応じて選択出力することにより、前記画像データをそれぞれディジタルアナログ変換処理して前記駆動信号を出力する複数のディジタルアナログ変換回路と、

前記原基準電圧の設定を指示する原基準電圧設定データを入力する入力回路とを備え、前記原基準電圧生成回路は、それぞれ前記原基準電圧設定データに応じて前記原基準電圧を出力する複数の電圧生成部を有し、

前記電圧生成部は、

前記原基準電圧の候補電圧を複数生成する分圧回路と、

前記原基準電圧設定データに応じて前記候補電圧を選択して前記原基準電圧を出力する選択回路とを有し、

10

20

前記原基準電圧生成回路は、

前記基準電圧生成回路の分圧回路間に入力する前記原基準電圧を生成する複数の電圧生成部において、前記複数の電圧生成部の分圧回路を直列に接続して直列回路を形成し、当該直列回路の両端に、前記基準電圧生成回路の直列回路の両端に入力する前記原基準電圧を入力し、

前記基準電圧生成回路の直列回路の両端に入力する前記原基準電圧に係る前記電圧生成部に、当該電圧生成部の分圧回路の両端の電圧を粗調整用データに応じて可変する電源回路が設けられた

ことを特徴とするフラットディスプレイ装置の駆動回路。

【請求項 2】

前記電源回路は、

基準電圧生成用電圧を分圧して生成した複数の分圧電圧を前記粗調整用データに応じて選択出力することにより、前記両端の電圧を前記粗調整用データに応じて可変する

ことを特徴とする請求項 1 に記載のフラットディスプレイ装置の駆動回路。

【請求項 3】

前記電源回路は、

前記基準電圧生成回路に設けられた前記直列回路の一端に入力する前記原基準電圧を分圧回路の一端に入力し、当該分圧回路からの分圧電圧を前記粗調整用データに応じて選択出力することにより、前記両端の電圧のうちの一方の電圧を生成する

ことを特徴とする請求項 1 に記載のフラットディスプレイ装置の駆動回路。

【請求項 4】

前記電源回路は、

前記両端の電圧の一方の電圧を分圧回路の一端に入力し、当該分圧回路からの分圧電圧を前記粗調整用データに応じて選択出力することにより、前記両端の電圧の一方の電圧を分圧して前記両端の電圧の他方の電圧を生成する

ことを特徴とする請求項 1 に記載のフラットディスプレイ装置の駆動回路。

【請求項 5】

画像データによる画像を表示するフラットディスプレイ装置において、

マトリックス状に画素を配置してなる表示部と、

前記表示部の信号線を駆動信号により駆動する水平駆動回路とを有し、

前記水平駆動回路は、

複数の原基準電圧を生成する原基準電圧生成回路と、

抵抗を複数個直列接続した分圧回路をさらに複数個直列接続した直列回路の両端及び前記分圧回路間に前記原基準電圧をそれぞれ入力し、前記複数の分圧回路による分圧電圧により複数の基準電圧を出力する基準電圧生成回路と、

前記複数の基準電圧を入力して対応する信号線に係る前記画像データに応じて選択出力することにより、前記画像データをそれぞれデジタルアナログ変換処理して前記駆動信号を出力する複数のデジタルアナログ変換回路と、

前記原基準電圧の設定を指示する原基準電圧設定データを入力する入力回路とを備え、

前記原基準電圧生成回路は、

それぞれ前記原基準電圧設定データに応じて前記原基準電圧を出力する複数の電圧生成部を有し、

前記電圧生成部は、

前記原基準電圧の候補電圧を複数生成する分圧回路と、

前記原基準電圧設定データに応じて前記候補電圧を選択して前記原基準電圧を出力する選択回路とを有し、

前記原基準電圧生成回路は、

前記基準電圧生成回路の分圧回路間に入力する前記原基準電圧を生成する複数の電圧生成部において、前記複数の電圧生成部の分圧回路を直列に接続して直列回路を形成し、当該直列回路の両端に、前記基準電圧生成回路の直列回路の両端に入力する前記原基準電圧

10

20

30

40

50

を入力し、

前記基準電圧生成回路の直列回路の両端に入力する前記原基準電圧に係る前記電圧生成部に、当該電圧生成部の分圧回路の両端の電圧を粗調整用データに応じて可変する電源回路が設けられた

ことを特徴とするフラットディスプレイ装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、フラットディスプレイ装置の駆動回路及びフラットディスプレイ装置に関し、例えば有機EL(Electro Luminescence)素子による表示装置に適用することができる。本発明は、分圧回路による複数の候補電圧を原基準電圧設定データに応じて選択して原基準電圧を生成し、この原基準電圧からデジタルアナログ変換用の基準電圧を生成するようにして、両端の原基準電圧については粗調整データにより生成基準の電圧を可変し、残りの原基準電圧については、分圧回路を直列接続して両端の原基準電圧を基準にして生成することにより、発光特性を種々に補正できるようにして、簡易な構成により精度良く色調整することができるようにする。

10

【背景技術】

【0002】

従来、フラットディスプレイ装置の1つである液晶表示装置においては、例えば特開平10-333648号公報に開示されているように、デジタルアナログ変換処理に供する基準電圧の設定によりガンマの特性を切り換えるようになされている。

20

【0003】

すなわち図8に示すように、液晶表示装置1においては、液晶セル、液晶セルのスイッチング素子、保持容量により各画素(P)3R、3G、3Bが形成され、これら各画素3R、3G、3Bをマトリックス状に配置して表示部2が形成される。液晶表示装置1においては、この表示部2の各画素3R、3G、3Bがそれぞれ信号線(列線)SIG及びゲート線(行線)Gを介して水平駆動回路4及び垂直駆動回路5に接続され、垂直駆動回路5により順次画素3R、3G、3Bを選択して水平駆動回路4からの駆動信号により各画素3R、3G、3Bの階調を設定し、これにより所望の画像を表示するようになされている。またそれぞれ赤色、緑色及び青色のカラーフィルタを設けてなる画素3R、3G、3Bを順次循環的に配置することにより、カラー画像を表示できるようになされている。

30

【0004】

このため液晶表示装置1においては、装置本体6から表示に供する赤色、緑色、青色の画像データDR、DG、DBを同時並列的にコントローラ7に入力し、この画像データDR、DG、DBに同期したタイミング信号により垂直駆動回路5で表示部2のゲート線Gを駆動する。また水平駆動回路4による信号線SIGの駆動に対応するように、これら画像データDR、DG、DBを時分割多重化して1系統の画像データD1を生成し、この画像データD1により水平駆動回路4で信号線SIGを駆動する。

【0005】

図9は、この水平駆動回路4及びコントローラ7を詳細に示すブロック図である。コントローラ7は、メモリ制御回路9の制御により装置本体6から出力される画像データDR、DG、DBをメモリ10に順次格納して出力することにより、水平駆動回路4による信号線SIGの駆動に対応するように、水平走査期間を単位にして、ライン単位で同一色の係る画像データが連続するように、これら画像データDR、DG、DBを時分割多重化して1系統により出力する。具体的に、この例では、赤色、緑色、青色の画素3R、3G、3Bについて、水平駆動回路4は、赤色の画素3R、緑色の画素3G、青色の画素3Bを順次ライン単位で駆動するようになされており、これによりコントローラ7は、図10(B)に示すように、赤色の画像データDR、緑色の画像データDG、青色の画像データDBをライン単位で順次循環的に繰り返すようにしてこの画像データD1を出力する。

40

【0006】

50

またコントローラ 7 は、タイミングジェネレータ (T G) 1 1 によりこの画像データ D 1 に同期した各種タイミング信号を生成して水平駆動回路 4、垂直駆動回路 5 に出力する。なおここでこのタイミング信号にあっては、例えば画像データ D 1 のクロック C K (図 1 0 (A))、この画像データ D 1 における各色の画像データ D R、D G、D B の開始及び終了のタイミングを示すスタートパルス S T (図 1 0 (C)) 及びストロブパルス (図 1 0 (D)) 等である。

【 0 0 0 7 】

またコントローラ 7 は、ディジタルアナログ変換処理に供する基準電圧の生成基準である原基準電圧 V R T、V B ~ V G、V R B を原基準電圧生成回路 1 2 で生成して水平駆動回路 4 に出力する。

【 0 0 0 8 】

水平駆動回路 4 は、コントローラ 7 から出力される画像データ D 1 をシフトレジスタ 1 3 に入力し、この画像データ D 1 を表示部 2 の信号線の系統に順次振り分けて出力する。基準電圧生成回路 1 4 は、画像データ D 1 の各階調に対応する電圧である基準電圧 V 1 ~ V 6 4 を、コントローラ 7 から入力される原基準電圧 V R T、V B ~ V G、V R B から生成して出力する。

【 0 0 0 9 】

ディジタルアナログ変換回路 (D / A) 1 5 A ~ 1 5 N は、それぞれシフトレジスタ 1 3 の出力データをディジタルアナログ変換処理し、これによりこの例では、隣接する 3 つの信号線 S I G の駆動信号を時分割多重化してなる駆動信号を出力する。ディジタルアナログ変換回路 1 5 A ~ 1 5 N は、シフトレジスタ 1 3 の出力データに応じて基準電圧生成回路 1 4 で生成される基準電圧 V 1 ~ V 6 4 を選択して出力することにより、シフトレジスタ 1 3 から出力される画像データをディジタルアナログ変換処理する。

【 0 0 1 0 】

増幅回路 1 6 A ~ 1 6 N は、このディジタルアナログ変換回路 1 5 A ~ 1 5 N の出力信号をそれぞれ増幅して表示部 2 に出力し、表示部 2 においては、セクタ 1 7 A ~ 1 7 N により、この増幅回路 1 6 A ~ 1 6 N の出力信号をそれぞれ赤色、緑色、青色の画素 3 R、3 G、3 B に係る信号線 S I G に順次循環的に出力する。

【 0 0 1 1 】

このようにして原基準電圧 V R T、V B ~ V G、V R B から生成した基準電圧 V 1 ~ V 6 4 を選択して各信号線 S I G の駆動信号を生成するようにして、図 1 1 は、これら原基準電圧 V R T、V B ~ V G、V R B の生成に供する原基準電圧生成回路 1 2、基準電圧 V 1 ~ V 6 4 の生成に供する基準電圧生成回路 1 4 の構成を示すブロック図である。

【 0 0 1 2 】

原基準電圧生成回路 1 2 は、所定個数の抵抗を直列接続した分圧回路 2 1 が設けられ、この分圧回路 2 1 により基準電圧生成用電圧 V C O M を分圧して原基準電圧 V R T、V B ~ V G、V R B を生成する。これにより原基準電圧生成回路 1 2 は、抵抗分圧により原基準電圧 V R T、V B ~ V G、V R B を生成し、それぞれ増幅回路 2 4 A ~ 2 4 H を介して出力するようになされている。なお原基準電圧生成回路 1 2 は、液晶表示装置の場合、選択回路 2 2、反転増幅回路 2 3 によりこの分圧回路 2 1 に印加する電圧を切り換えることができるように構成され、これによりライン反転又はフレーム反転に対応できるようになされている。これにより図 1 0 (F) は、ライン反転による場合の信号線 S I G の電位を示すものである。

【 0 0 1 3 】

これに対して基準電圧生成回路 1 4 は、抵抗値の等しい抵抗をそれぞれ所定個数だけ直列接続してなる分圧回路 R 1 ~ R 7 を、さらに直列接続して抵抗直列回路 2 6 が形成され、この抵抗直列回路 2 6 の一端、この抵抗直列回路 2 6 を構成する分圧回路 R 1 ~ R 7 の接続点、抵抗直列回路 2 6 の他端に、それぞれ増幅回路 2 7 A ~ 2 7 H を介して原基準電圧 V R T、V B ~ V G、V R B が入力される。これにより基準電圧生成回路 1 4 は、原基準電圧生成回路 1 2 で生成した原基準電圧 V R T、V B ~ V G、V R B による各電位差を

10

20

30

40

50

、この分圧回路 R 1 ~ R 7 でそれぞれさらに分圧して原基準電圧 V R T、V R B の範囲で基準電圧 V 1 ~ V 6 4 を生成するようになされている。

【 0 0 1 4 】

このようにして原基準電圧 V R T、V B ~ V G、V R B から基準電圧 V 1 ~ V 6 4 を生成するようにして、基準電圧生成回路 1 4 は、分圧回路 R 1 ~ R 7 を構成する抵抗の数がそれぞれ所定個数に設定され、これにより原基準電圧 V R T、V B ~ V G、V R B を分圧して画像データ D 1 の階調に対応する複数の基準電圧 V 1 ~ V 6 4 を出力できるようになされている。

【 0 0 1 5 】

原基準電圧生成回路 1 2 においては、このようにして画像データ D 1 の階調に対応する基準電圧 V 1 ~ V 6 4 により、所望のガンマ特性による画像を表示するように、分圧回路 2 1 を構成する抵抗の値が設定される。これにより電圧 V C O M を 5 [V] に設定した例により図 1 2 において符号 L 1 により示すように、原基準電圧 V R T、V B ~ V G、V R B の設定による折れ線近似により所望のガンマ特性を確保できるようになされている。また原基準電圧生成回路 1 2 においては、配線パターンの変更により、この分圧回路 2 1 から出力する原基準電圧 V R T、V B ~ V G、V R B を切り換えることができるようになされ、これにより符号 L 1 により示す特性との対比により符号 L 2 により示すように、例えば両端の電位である原基準電圧 V R T、V R B を固定した状態で、残りの原基準電圧 V B ~ V G を矢印により示す範囲で可変して種々にガンマ特性を可変できるようになされている。

【 0 0 1 6 】

このようにして原基準電圧 V R T、V B ~ V G、V R B を生成する原基準電圧生成回路 1 2 の設定によりガンマ特性を切り換えることができるようにして、液晶表示装置 1 では、原基準電圧生成回路 1 2 に係るコントローラ 7 がコントロール IC により形成されるのに対し、水平駆動回路 4 がドライバ IC により形成される。これにより従来、液晶表示装置 1 では、コントロール IC だけを付け替えることにより、ガンマ特性の異なる製品を製造することができるようになされ、またこれによりガンマ特性の修正にあっては、修正に要する期間を短くすることができるようになされている。なお符号 C A ~ C H は、これら IC 間の浮遊容量である。

【 0 0 1 7 】

ところでこのようなフラットディスプレイ装置においては、有機 E L 素子による表示装置があり、このような有機 E L 素子による表示装置の表示部においても、液晶表示装置の表示部と同様に、信号線 S I G による駆動により、各有機 E L 素子の階調を設定する方法が提案されている。これによりこのような方法に係る有機 E L 素子の表示部については、液晶表示装置に係るコントロール IC 等を使用して、表示装置を構成できると考えられる。

【 0 0 1 8 】

ところが有機 E L 素子においては、各色毎に、製品毎に発光特性が異なることにより、さらには発光特性が経時変化することにより、これらに対応して基準電圧 V 1 ~ V 6 4 の設定を異ならせることが必要になる。これにより図 8 について上述した液晶表示装置に係る駆動回路によっては、實際上、表示装置を構成できない問題がある。具体的に、有機 E L 素子は、各色毎に、製品毎に、黒レベル、ダイナミックレンジを調整することが必要になる。なお有機 E L 素子において、ガンマ特性自体については、調整を要しないことが判っている。これにより図 1 1 に示す原基準電圧生成回路 1 2 を適用する場合、色毎に、製品毎に、分圧回路 2 1 の両端電圧を調整することが必要になる。

【 0 0 1 9 】

この問題を解決する 1 つの方法として、例えば図 1 3 に示すように原基準電圧生成回路 3 0 を構成することが考えられる。この原基準電圧生成回路 3 0 においては、ディジタルアナログ変換回路 (D / A) 3 1 A ~ 3 1 H によりそれぞれ原基準電圧設定データ D V に応じて原基準電圧 V R T、V B ~ V G、V R B を生成する。

10

20

30

40

50

【 0 0 2 0 】

ここでディジタルアナログ変換回路 3 1 A ~ 3 1 H のうち、両端の電圧に設定される原基準電圧 V_{RT} 、 V_{RB} の生成に係るディジタルアナログ変換回路 3 1 A、3 1 H は、分圧回路 3 2 A、3 2 H によりそれぞれ基準電圧生成用電圧 V_{COM} を分圧して複数の原基準電圧の候補電圧を生成する。ここで分圧回路 3 2 A、3 2 H は、抵抗値の等しい複数の抵抗の直列回路により構成され、この基準電圧生成用電圧 V_{COM} を原基準電圧設定データ DV のビット数に対応する分解能により分圧して出力する。

【 0 0 2 1 】

セレクト 3 3 A、3 3 H は、それぞれこの分圧回路 3 2 A、3 2 H から出力される複数の種類の候補電圧を原基準電圧設定データ DV に応じて選択し、これにより原基準電圧設定データ DV に応じて原基準電圧 V_{RT} 、 V_{RB} を生成して出力する。

10

【 0 0 2 2 】

これに対してこれらディジタルアナログ変換回路 3 1 A、3 1 H を除く他のディジタルアナログ変換回路 3 1 B ~ 3 1 G は、ディジタルアナログ変換回路 3 1 A、3 1 H と同様に、分圧回路 3 2 B ~ 3 2 G による分圧電圧によりそれぞれ原基準電圧 V_B ~ V_G の候補電圧を複数種類生成し、この複数種類の候補電圧をそれぞれセレクト 3 3 B ~ 3 3 G により原基準電圧設定データ DV に応じて選択して原基準電圧 V_B ~ V_G を出力する。ディジタルアナログ変換回路 3 1 B ~ 3 1 G は、これら原基準電圧 V_B ~ V_G の候補電圧の生成に供する分圧回路 3 2 B ~ 3 2 G がこれらディジタルアナログ変換回路 3 1 B ~ 3 1 G 間で直列に接続されて、ディジタルアナログ変換回路 3 1 A、3 1 H による原基準電圧 V_{RT} 、 V_{RB} に接続される。

20

【 0 0 2 3 】

デコード 3 5 は、コントローラ等から出力される原基準電圧設定データ DV を順次取り込み、セレクト 1 7 A ~ 1 7 N における接点の切り換えに対応するタイミングによりディジタルアナログ変換回路 3 1 A ~ 3 1 H に振り分けて出力する。

【 0 0 2 4 】

このようにすれば原基準電圧設定データ DV を各色毎に設定して、各色毎に異なる発光特性に対応することができる。また原基準電圧設定データ DV を製品毎に設定して、製品による発光特性のばらつきを補正することができる。また発光特性の経時変化にも対応することができる。

30

【 0 0 2 5 】

また図 1 4 に示すように、これら原基準電圧 V_{RT} 、 V_B ~ V_G 、 V_{RB} のうち、両端の電位を除く原基準電圧 V_B ~ V_G においては、それぞれ直列接続されてなる分圧回路 3 2 B ~ 3 2 G から出力される候補電圧の範囲でしか電圧を可変することが困難になることにより、図 1 4 との対比により図 1 5 に示すように、ノイズの混入により原基準電圧設定データ DV が誤って設定された場合にあって、極端なガンマ特性による駆動信号の出力を防止でき、ノイズによる著しい画質劣化を防止することができる。

【 0 0 2 6 】

またこのようにそれぞれ直列接続されてなる分圧回路 3 2 B ~ 3 2 G の両端が、第 1 及び第 2 の原基準電圧である原基準電圧 V_{RT} 、 V_{RB} に接続されることにより、発光特性の補正である黒レベル調整、ダイナミックレンジ調整により、これら原基準電圧 V_{RT} 、 V_{RB} を可変した場合には、図 1 4 との対比により図 1 6 に示すように、直列接続されてなる分圧回路 3 2 B ~ 3 2 G による抵抗分圧比により、これら原基準電圧 V_{RT} 、 V_{RB} の変化に追従して原基準電圧 V_B ~ V_G も変化することになる。すなわちガンマ特性には何ら変化を与えずに、これら黒レベル調整、ダイナミックレンジ調整して有機 EL 素子に係る発光特性のばらつきを補正することができ、これにより調整作業を簡略化することができる。

40

【 0 0 2 7 】

また各原基準電圧設定データ DV の設定の変更により、さらにはライン単位、フレーム単位の切り換えにより液晶表示装置にも適用することができる。

50

【 0 0 2 8 】

しかしながらこの図 1 3 に示す構成においては、ダイナミックレンジ、黒レベルを精度良く調整できない問題があり、これにより表示に色ずれが発生する恐れがある。

【 0 0 2 9 】

すなわちこの図 1 3 の例では、例えば原基準電圧設定データ D V を 6 ビットにより形成し、基準電圧生成用電圧 V C O M を 5 [V] に設定した場合においては、約 8 0 m V [5 [V] / 6 4] の分解能により両端の原基準電圧 V R T、V R B を生成することができる。この場合に、例えば図 1 4 に示すように、大きなダイナミックレンジによるガンマ特性を設定する場合には、ほぼ実用上十分な分解能となる。しかしながら図 1 6 に示すような小さなダイナミックレンジによるガンマ特性を設定する場合には、分解能が荒くなり、これにより結局、精度良くダイナミックレンジ、黒レベルを調整することが困難になる。

10

【 0 0 3 0 】

すなわち原基準電圧 V R T、V R B 間の電位差を 5 [V] に設定した場合、発光輝度に対する分解能は、1 . 6 [%] (8 0 m V / 5 0 0 0 [m V]) であるのに対し、例えばダイナミックレンジを抑圧して原基準電圧 V R T、V R B 間の電位差を 2 [V] に設定した場合、発光輝度に対する分解能は、4 . 0 [%] (8 0 m V / 2 0 0 0 [m V]) となり、その分、調整精度が低下し、これらにより色ずれが発生するようになる。

【 0 0 3 1 】

この場合に、分圧回路 3 2 A、3 2 H を構成する抵抗の値を異ならせ、セクタ 3 3 A、3 3 H から出力される原基準電圧 V R T、V R B の分解能を部分的に向上させる方法が考えられるが、この方法の場合、その分、原基準電圧 V R T、V B ~ V G、V R B を種々に設定することが困難になる。またディジタルアナログ変換回路 3 1 B ~ 3 1 G による構成と同様の構成をディジタルアナログ変換回路 3 1 A、3 1 H にそれぞれ設けて基準電圧 V R T、V R B を作成することも考えられるが、このようにすると構成が著しく煩雑になる。またこれら原基準電圧 V R T、V R B に係る原基準電圧設定データ D V のビット数を増大すると共に、分圧回路 3 2 A、3 2 H、セクタ 3 3 A、3 3 H の構成をその分、高分解能化する方法も考えられるが、このようにするとさらにダイナミックレンジが減少した場合等に、改めて集積回路を作成し直さなければならなくなる。

20

【特許文献 1】特開平 1 0 - 3 3 3 6 4 8 号公報

【発明の開示】

30

【発明が解決しようとする課題】

【 0 0 3 2 】

本発明は以上の点を考慮してなされたもので、種々にガンマ特性を設定できるようにして、簡易な構成により精度良く色調整することができるフラットディスプレイ装置の駆動回路、この駆動回路を用いたフラットディスプレイ装置を提案しようとするものである。

【課題を解決するための手段】

【 0 0 3 3 】

かかる課題を解決するため請求項 1 の発明においては、フラットディスプレイ装置の駆動回路に適用して、複数の原基準電圧を生成する原基準電圧生成回路と、抵抗を複数個直列接続した分圧回路をさらに複数個直列接続して、両端及び分圧回路間に原基準電圧をそれぞれ入力し、複数の分圧回路による分圧電圧により複数の基準電圧を出力する基準電圧生成回路と、複数の基準電圧を入力して対応する信号線に係る画像データに応じて選択出力することにより、前記画像データをそれぞれディジタルアナログ変換処理して前記駆動信号を出力する複数のディジタルアナログ変換回路と、原基準電圧の設定を指示する原基準電圧設定データを入力する入力回路とを備え、原基準電圧生成回路は、それぞれ前記原基準電圧設定データに応じて前記原基準電圧を出力する複数の電圧生成部を有し、前記電圧生成部は、前記原基準電圧の候補電圧を複数生成する分圧回路と、前記原基準電圧設定データに応じて前記候補電圧を選択して前記原基準電圧を出力する選択回路とを有し、前記原基準電圧生成回路は、前記基準電圧生成回路の分圧回路間に入力する前記原基準電圧を生成する複数の電圧生成部において、前記複数の電圧生成部の分圧回路を直列に接続

40

50

して直列回路を形成し、当該直列回路の両端に、前記基準電圧生成回路の直列回路の両端に入力する前記原基準電圧を入力し、前記基準電圧生成回路の直列回路の両端に入力する前記原基準電圧に係る前記電圧生成部に、当該電圧生成部の分圧回路の両端の電圧を粗調整用データに応じて可変する電源回路が設けられる。

【 0 0 3 4 】

また請求項 5 の発明においては、フラットディスプレイ装置に適用して、水平駆動回路は、複数の原基準電圧を生成する原基準電圧生成回路と、抵抗を複数個直列接続した分圧回路をさらに複数個直列接続した直列回路の両端及び分圧回路間に原基準電圧をそれぞれ入力し、複数の分圧回路による分圧電圧により複数の基準電圧を出力する基準電圧生成回路と、複数の基準電圧を入力して対応する信号線に係る画像データに応じて選択出力することにより、前記画像データをそれぞれディジタルアナログ変換処理して前記駆動信号を出力する複数のディジタルアナログ変換回路と、前記原基準電圧の設定を指示する原基準電圧設定データを入力する入力回路とを備え、前記原基準電圧生成回路は、それぞれ前記原基準電圧設定データに応じて前記原基準電圧を出力する複数の電圧生成部を有し、前記電圧生成部は、前記原基準電圧の候補電圧を複数生成する分圧回路と、前記原基準電圧設定データに応じて前記候補電圧を選択して前記原基準電圧を出力する選択回路とを有し、前記原基準電圧生成回路は、前記基準電圧生成回路の分圧回路間に入力する前記原基準電圧を生成する複数の電圧生成部において、前記複数の電圧生成部の分圧回路を直列に接続して直列回路を形成し、当該直列回路の両端に、前記基準電圧生成回路の直列回路の両端に入力する前記原基準電圧を入力し、前記基準電圧生成回路の直列回路の両端に入力する前記原基準電圧に係る前記電圧生成部に、当該電圧生成部の分圧回路の両端の電圧を粗調整用データに応じて可変する電源回路が設けられる。

【 0 0 3 5 】

請求項 1 又は請求項 5 の構成によれば、両端の電位に係る原基準電圧に追従するように他の原基準電圧を設定して、高い分解能により両端の電位に係る原基準電圧を生成することができ、これにより種々の発光特性に対応できるようにして、簡易な構成により精度良く色調整することができる。

【発明の効果】

【 0 0 3 7 】

本発明によれば、種々に発光特性に対応できるようにして、簡易な構成により精度良く色調整することができるフラットディスプレイ装置の駆動回路、この駆動回路によるフラットディスプレイ装置を提供することができる。

【発明を実施するための最良の形態】

【 0 0 3 8 】

以下、適宜図面を参照しながら本発明の実施例を詳述する。

【実施例 1】

【 0 0 3 9 】

(1) 実施例の構成

図 2 は、本発明の実施例に係る P D A (Personal Digital Assistants) を示すブロック図である。この P D A 4 1 は、装置本体 4 2 において、操作子の操作に応動して演算処理手段であるコントローラ 4 3 で所定の処理手順を実行することにより、表示部 4 4 に各種の画像を表示する。なおこの図 2 において、図 9、図 1 0 及び図 1 1 と同一の構成は、対応する符号を付して重複した説明は省略する。

【 0 0 4 0 】

ここでこの実施例において、表示部 4 4 は、有機 E L 素子による各画素がマトリックス状に配置されてなるカラー画像の表示パネルであり、各画素に接続されたゲート線により図示しない垂直駆動回路でライン単位で画素を選択し、信号線 S I G の駆動により各画素の階調が設定されるようになされている。

【 0 0 4 1 】

この P D A 4 1 は、工場出荷時、この有機 E L 素子による表示部 4 4 に関して、各色の

発光特性が測定され、この測定結果に基づいて、メモリ50に、図13について上述した原基準電圧 V_{RT} 、 $V_B \sim V_G$ 、 V_{RB} の設定を指示する原基準電圧設定データ DV が各色毎に記録され、これによりこの原基準電圧設定データ DV を用いて原基準電圧 V_{RT} 、 $V_B \sim V_G$ 、 V_{RB} を設定して各色の発光特性のばらつき、製品間の発光特性のばらつきを補正できるようになされ、これにより正しいホワイトバランス、色再現性により表示画像を表示できるようになされている。

【0042】

なおこの実施例においては、これら原基準電圧 V_{RT} 、 $V_B \sim V_G$ 、 V_{RB} のうち、最も電圧の高い原基準電圧 V_{RT} と、最も電圧の低い原基準電圧 V_{RB} とが、それぞれ黒レベル及び白レベルの階調に対応する原基準電圧であり、これにより以下においては、適宜、これら2つの原基準電圧 V_{RT} 、 V_{RB} をそれぞれ黒レベル用原基準電圧 V_{RT} 、白レベル用原基準電圧 V_{RB} と呼ぶ。またこれら黒レベル用原基準電圧 V_{RT} 、白レベル用原基準電圧 V_{RB} にあっては、粗調整用の原基準電圧設定データにより粗調整された後、微調整用の原基準電圧設定データにより微調整されて設定されることにより、以下においては、適宜、これら黒レベル用原基準電圧 V_{RT} 、白レベル用原基準電圧 V_{RB} に対応する原基準電圧設定データ DV のうち、粗調整用のデータを、黒レベル粗調整用原基準電圧設定データ、白レベル粗調整用原基準電圧設定データと呼び、それぞれ符号 $DVV_{RT}-A$ 、 $DVV_{RT}-AB$ 及び $DVV_{RB}-A$ 、 $DVV_{RB}-AB$ により示し、また微調整用のデータを、黒レベル微調整用原基準電圧設定データ、白レベル微調整用原基準電圧設定データと呼び、それぞれ符号 $DVV_{RT}-B$ 、 $DVV_{RB}-B$ により示す。またこれらに対応してこれら以外の原基準電圧 $V_B \sim V_G$ に係る原基準電圧設定データ DV をそれぞれ符号 $DVV_B \sim DVV_G$ により示す。これによりメモリ50は、黒レベル粗調整用原基準電圧設定データ $DVV_{RT}-A$ 、 $DVV_{RT}-AB$ 、白レベル粗調整用原基準電圧設定データ $DVV_{RB}-A$ 、 $DVV_{RB}-AB$ 、黒レベル微調整用原基準電圧設定データ $DVV_{RT}-B$ 、白レベル微調整用原基準電圧設定データ $DVV_{RB}-B$ 、これら以外の原基準電圧設定データ $DVV_B \sim DVV_G$ を保持するようになされている。

【0043】

またPDA41は、ユーザーの好みにより、さらには発光特性の経時変化に対応可能に、所定の処理手順をコントローラ43により実行して表示部44におけるホワイトバランス、黒レベル、白レベルを調整できるようになされ、この調整結果をメモリ45に記録して保持すると共に、この調整結果により表示部44の表示を設定するようになされている。このPDA41は、メモリ50に記録された工場出荷時に係る原基準電圧設定データ $DVV_{RT}-A$ 、 $DVV_{RT}-AB$ 、 $DVV_{RT}-B$ 、 $DVV_B \sim DVV_G$ 、 $DVV_{RB}-A$ 、 $DVV_{RB}-AB$ 、 $DVV_{RB}-B$ のうち、白レベル及び黒レベルに係る原基準電圧設定データ $DVV_{RT}-A$ 、 $DVV_{RT}-AB$ 、 $DVV_{RT}-B$ 、 $DVV_{RB}-A$ 、 $DVV_{RB}-AB$ 、 $DVV_{RB}-B$ の補正データ $D2$ を、これら原基準電圧設定データ $DVV_{RT}-A$ 、 $DVV_{RT}-AB$ 、 $DVV_{RT}-B$ 、 $DVV_{RB}-A$ 、 $DVV_{RB}-AB$ 、 $DVV_{RB}-B$ に対応する差分データ $\Delta DVV_{RT}-A$ 、 $\Delta DVV_{RT}-AB$ 、 $\Delta DVV_{RT}-B$ 、 $\Delta DVV_{RB}-A$ 、 $\Delta DVV_{RB}-AB$ 、 $\Delta DVV_{RB}-B$ の形式により各色毎にメモリ45に記録して保持すると共に、このメモリ45に記録された補正データ $D2$ をコントローラ47の処理に応じたタイミングによりコントローラ47に出力し、これによりこのようなホワイトバランス調整等の調整結果を記録して保持し、さらにはこの調整結果により表示部44の表示を設定するようになされている。

【0044】

コントローラ47は、集積回路により構成され、装置本体42から出力される各色の画像データ DR 、 DG 、 DB をライン単位で時分割多重化し、1系統による画像データ $D1$ を出力する。また装置本体42のコントローラ43から出力される補正データ $D2$ によりメモリ50に保持された原基準電圧設定データ DV を補正して水平駆動回路55に出力する。

【0045】

10

20

30

40

50

すなわちコントローラ 47 において、タイミングジェネレータ (TG) 58 は、画像データ D1、DR ~ DB に同期した各種タイミング信号を生成して出力する。メモリ制御回路 59 は、このタイミング信号を基準にしてメモリ 60 の動作を制御し、メモリ 60 は、装置本体 42 から出力される画像データ DR ~ DB を順次格納して出力することにより、画像データ DR、DG、DB をライン単位で時分割多重化して画像データ D1 を出力する。

【0046】

メモリ制御回路 61 は、メモリ 50 の動作を制御することにより、水平走査周期で、メモリ 50 から原基準電圧設定データ DV を読み出して原基準電圧設定回路 63 に出力する。

10

【0047】

原基準電圧設定回路 63 は、装置本体 42 のコントローラ 43 から出力される補正データ D2 により、メモリ制御回路 61 から出力される原基準電圧設定データ DV を補正して出力する。すなわち図 3 に示すように、原基準電圧設定回路 63 は、メモリ制御回路 61 を介して入力される原基準電圧設定データ DVVRT-AT、DVVRT-AB、DVVRT-B、DVVB ~ DVVG、DVVRB-AT、DVVRB-AB、DVVRB-B のうち、黒レベル及び白レベルに係る原基準電圧設定データ DVVRT-AT、DVVRT-AB、DVVRT-B、DVVRB-AT、DVVRB-AB、DVVRB-B を加算回路 63A に入力し、ここでコントローラ 43 から出力される対応する補正データ D2 (Δ DVVRT-AT、 Δ DVVRT-AB、 Δ DVVRT-B、 Δ DVVRB-AT、 Δ DVVRB-AB、 Δ DVVRB-B) を加算することにより、これら原基準電圧設定データ DVVRT-AT、DVVRT-AB、DVVRT-B、DVVRB-AT、DVVRB-AB、DVVRB-B を補正する。またこのようにして補正してなる原基準電圧設定データ DVVRT-AT、DVVRT-AB、DVVRT-B、DVVRB-AT、DVVRB-AB、DVVRB-B をエンコーダ 63B に入力し、また残りの原基準電圧設定データ DVVB ~ DVVG をエンコーダ 63B に入力し、これらをシリアルデータに変換して出力する。なお原基準電圧設定回路 63 では、セクタ 63C の設定により、このようにメモリ制御回路 61 から出力される原基準電圧設定データ DVVB ~ DVVG に代えて、装置本体 42 から別途出力される原基準電圧設定データを出力できるようになされている。

20

30

【0048】

この一連の処理において、原基準電圧設定回路 63 は、表示部 44 における信号線 SIG の駆動に対応して、原基準電圧設定データ DV を出力する。しかしてこの実施例では、表示部 44 において、水平方向に連続する赤色、緑色、青色の画素を 1 組にして、この 1 組の画素を 1 つの駆動信号により時分割により駆動することにより、原基準電圧設定回路 63 は、1 水平走査期間の間で、それぞれ赤色、緑色、青色の画像データ DR、DG、DB 用の原基準電圧設定データ DV を切り換えて出力するようになされている。

【0049】

水平駆動回路 55 は、コントローラ 47 とは別体の集積回路により構成され、コントローラ 47 から出力される画像データ D1 をシフトレジスタ 13 により上述した水平方向に連続する赤色、緑色、青色の画素による各組に振り分けた後、セクタによるデジタルアナログ変換回路 15A ~ 15N によりそれぞれデジタルアナログ変換処理する。またこのデジタルアナログ変換処理結果による駆動信号を増幅回路 16A ~ 16N によりそれぞれ増幅して表示部 44 に出力し、表示部 44 においては、それぞれセクタ 17A ~ 17N により増幅回路 15A ~ 15N の出力信号を各信号線 SIG に振り分ける。

40

【0050】

水平駆動回路 55 は、このような一連の処理に係るデジタルアナログ変換回路 15A ~ 15N の基準電圧 V1 ~ V64 を原基準電圧生成回路 70、基準電圧生成回路 69 により原基準電圧設定データ DVVRT-AT、DVVRT-AB、DVVRT-B、DVVRB-AT、DVVRB-AB、DVVRB-B に応じて生成する。

50

【 0 0 5 1 】

図 1 は、この原基準電圧生成回路 7 0 及び基準電圧生成回路 6 9 を示すブロック図である。ここで基準電圧生成回路 6 9 は、増幅回路 2 7 A ~ 2 7 H が省略されている点を除いて図 1 3 について上述した基準電圧生成回路 1 4 と同一に形成され、原基準電圧生成回路 7 0 から出力される原基準電圧 V_{RT} 、 $V_B \sim V_G$ 、 V_{RB} から抵抗分圧により基準電圧 $V_1 \sim V_{64}$ を生成して出力する。

【 0 0 5 2 】

原基準電圧生成回路 7 0 は、黒レベル用原基準電圧 V_{RT} 及び白レベル用原基準電圧 V_{RB} 以外の原基準電圧 $V_B \sim V_G$ については、図 1 3 について上述した原基準電圧生成回路 3 0 と同様に、ディジタルアナログ変換回路 3 1 B ~ 3 1 G により生成する。すなわち原基準電圧生成回路 7 0 は、分圧回路 3 2 B ~ 3 2 G による分圧電圧によりそれぞれ原基準電圧 $V_B \sim V_G$ の候補電圧を複数種類生成し、この複数種類の候補電圧をそれぞれセクタ 3 3 B ~ 3 3 G により原基準電圧設定データ $DV(DVVB \sim DVVG)$ に応じて選択して増幅回路 8 0 B ~ 8 0 G に入力し、これら増幅回路 8 0 B ~ 8 0 G より原基準電圧 $V_B \sim V_G$ を出力する。さらにこれら原基準電圧 $V_B \sim V_G$ の候補電圧の生成に供する分圧回路 3 2 B ~ 3 2 G がこれらディジタルアナログ変換回路 3 1 B ~ 3 1 G 間で直列に接続されて、ディジタルアナログ変換回路 7 1 A、7 1 H による黒レベル用原基準電圧 V_{RT} 及び白レベル用原基準電圧 V_{RB} に接続されるようになされる。これにより PDA 4 1 では黒レベル用原基準電圧 V_{RT} 及び白レベル用原基準電圧 V_{RB} を可変して黒レベル調整、ダイナミックレンジ調整した場合に、他の原基準電圧 $V_B \sim V_G$ については、改めて調整し直さなくてもよいようになされ、その分、調整作業を簡略化できるようになされている。

【 0 0 5 3 】

これに対してディジタルアナログ変換回路 7 1 A、7 1 H は、それぞれ分圧回路 7 2 A、7 2 H による分圧電圧により原基準電圧 V_{RT} 、 V_{RB} の候補電圧を複数種類生成し、この複数種類の候補電圧をそれぞれセクタ 7 3 A、7 3 H により微調整用原基準電圧設定データ DVV_{RT-B} 、 DVV_{RB-B} に応じて選択して原基準電圧 V_{RT} 、 V_{RB} を生成し、これら原基準電圧 V_{RT} 、 V_{RB} をそれぞれ増幅回路 8 0 A、8 0 H を介して出力する。

【 0 0 5 4 】

このようにして原基準電圧 V_{RT} 、 V_{RB} を生成するようにして、黒レベルの原基準電圧 V_{RT} に係るディジタルアナログ変換回路 7 1 A は、電源回路 7 4 T、7 4 B から出力される基準電圧 V_{RT-T} 、 V_{RT-B} を分圧回路 7 2 A の両端に入力し、これら基準電圧 V_{RT-T} 、 V_{RT-B} より候補電圧を生成する。ここで電源回路 7 4 T、7 4 B は、基準電圧生成用電圧 V_{COM} を分圧回路 7 6 T、7 6 B によりそれぞれ分圧して複数の候補電圧を生成し、黒レベル粗調整用原基準電圧設定データ DVV_{RT-A} 、 DVV_{RT-AB} に応じてセクタ 7 7 T、7 7 B によりこの候補電圧を選択出力し、これによりそれぞれ基準電圧 V_{RT-T} 、 V_{RT-B} を生成する。電源回路 7 4 T、7 4 B は、それぞれ増幅回路 8 1 T、8 1 B を介してこれらの基準電圧 V_{RT-T} 、 V_{RT-B} を出力する。

【 0 0 5 5 】

これにより原基準電圧生成回路 7 0 においては、基準電圧生成用電圧 V_{COM} を 2 段階により抵抗分圧して原基準電圧 V_{RT} を生成するようになされ、その分、図 1 3 について上述した構成に比して、原基準電圧 V_{RT} の分解能を向上して調整精度を向上できるようになされている。

【 0 0 5 6 】

これに対して白レベルの原基準電圧 V_{RB} に係るディジタルアナログ変換回路 7 1 H は、電源回路 7 5 T、7 5 B から出力される基準電圧 V_{RB-T} 、 V_{RB-B} を分圧回路 7 2 H の両端に入力し、これら基準電圧 V_{RB-T} 、 V_{RB-B} より候補電圧を生成する。電源回路 7 5 T、7 5 B は、基準電圧生成用電圧 V_{COM} を分圧回路 7 8 T、7 8 B によ

りそれぞれ分圧して複数の候補電圧を生成し、白レベル粗調整用原基準電圧設定データ $DVVRB - AT$ 、 $DVVRB - AB$ に応じてセクタ 79T、79B によりこの候補電圧を選択出力し、これによりそれぞれ基準電圧 $VRT - T$ 、 $VRT - B$ を生成する。電源回路 75T、75B は、それぞれ増幅回路 82T、82B を介してこれらの基準電圧 $VRT - T$ 、 $VRT - B$ を出力する。これにより原基準電圧生成回路 70 においては、この原基準電圧 VRT についても、基準電圧生成用電圧 $VCOM$ を 2 段階により抵抗分圧して原基準電圧 VRT を生成するようになされ、その分、図 13 について上述した構成に比して、原基準電圧 VRT の分解能を向上して調整精度を向上できるようになされている。

【0057】

ここでこの実施例において、この原基準電圧生成回路 70 に設けられるセクタ 73A、73H、77T、77B、79T、79B は、6 ビットの原基準電圧設定データ DV に対応する 64 個の入力端を有し、またこれに対応して各分圧回路 72A、72H、76T、76B、78T、78B は、それぞれ値の等しい抵抗により形成され、これにより基準電圧生成用電圧 $VCOM$ を 5 [V] に設定して、原基準電圧 VRT 、 VRT を最大で約 1.35 [mV] ($5000 [mV] \times (1/64) \times (1/64)$) の分解能により生成することができるようになされている。なお原基準電圧生成回路 70 では、残りのセクタ 33B ~ 33G、分圧回路 32B ~ 32G にあっても、これらセクタ 73A 等、分圧回路 32B 等と同一に 6 ビットによる原基準電圧設定データ DV に対応するように構成されるようになされている。

【0058】

デコーダ 80 は、コントローラ 47 から出力される原基準電圧設定データ DV を順次取り込み、セクタ 17A ~ 17N における接点の切り換えに対応するタイミングによりデジタルアナログ変換回路 71A、31B ~ 31G、71H、電源回路 74T、74B、75T、75B に振り分けて出力する。

【0059】

これらにより PDA41 においては、黒レベル粗調整用原基準電圧設定データ $DVVRT - AT$ 、 $DVVRT - AB$ 、白レベル粗調整用原基準電圧設定データ $DVVRB - AT$ 、 $DVVRB - AB$ により黒レベル、ダイナミックレンジを粗調整した後、黒レベル微調整用原基準電圧設定データ $DVVRT - B$ 、白レベル微調整用原基準電圧設定データ $DVVRB - B$ により黒レベル、ダイナミックレンジを微調整して、高い精度により原基準電圧 VRT 、 VRT を調整して色ずれを防止することができるようになされている。

【0060】

すなわち黒レベル調整に関して、PDA41 においては、図 4 (A) に示すように、標準の設定による原基準電圧設定データ DV により、デジタルアナログ変換回路 71A、71H のセクタ 73A、73H において、それぞれ分圧回路 72A、72H から出力される複数の候補電圧より中央の電位に係る候補電圧を選択するようにセクタ 73A、73H が設定され、また電源回路 74T、75T より所定の基準電圧 $VRT - T$ 、 $VRT - T$ を出力するように電源回路 74T、75T のセクタ 77T、79T が設定され、さらに電源回路 74T、75T に対して 1 デジット分だけ低い基準電圧 $VRT - B$ 、 $VRT - B$ を出力するように電源回路 74B、75B のセクタ 77B、79B が設定される。

【0061】

この状態から PDA41 では、黒レベル粗調整用原基準電圧設定データ $DVVRT - AT$ 、 $DVVRT - AB$ を可変し、これにより図 4 (B) において矢印により示すように、デジタルアナログ変換回路 71A に入力する基準電圧 $VRT - T$ 、 $VRT - B$ を連動させて可変し、黒レベルが粗調整される。しかしてこの場合、5000 [mV] の電源 $VCOM$ に対して、黒レベル粗調整用原基準電圧設定データ $DVVRT - AT$ 、 $DVVRT - AB$ が 6 ビットであることにより、約 80 [mV] ($5000 [mV] \times (1/64)$) の分解能により黒レベル用原基準電圧 VRT が粗調整される。また続いて図 4 (C) に示すように、黒レベル微調整用原基準電圧設定データ $DVVRT - B$ を可変して黒レベル用原基準電圧 VRT が微調整される。この場合、黒レベル微調整用原基準電圧設定データ D

10

20

30

40

50

VVRT-Bも6ビットであることにより、黒レベル粗調整用原基準電圧設定データDVVRT-AT、DVVRT-ABにより約80[mV]の分解能で粗調整された黒レベル用原基準電圧VRTが、約1.35[mV](80[mV]×(1/64))の分解能により微調整される。

【0062】

また図5に示すように、このようにして黒レベルを粗調整した状態で、白レベル粗調整用原基準電圧設定データDVVRB-AT、DVVRB-ABを可変し、これにより図5(B)において矢印により示すように、ディジタルアナログ変換回路71Hに入力する基準電圧VRB-T、VRB-Bを連動させて可変し、白レベルが粗調整される。しかしてこの場合も、5[V]の電源VCOMに対して、白レベル粗調整用原基準電圧設定データDVVRB-AT、DVVRB-ABが6ビットであることにより、約80[mV](5000[mV]×(1/64))の分解能により白レベル用原基準電圧VRBが粗調整される。また続いて図5(C)に示すように、白レベル微調整用原基準電圧設定データDVVRB-Bを可変し、これにより白レベル用原基準電圧VRBが微調整される。この場合、白レベル微調整用原基準電圧設定データDVVRB-Bも6ビットであることにより、白レベル粗調整用原基準電圧設定データDVVRB-AT、DVVRB-ABにより約80[mV]の分解能で粗調整された白レベル用原基準電圧VRTが、約1.35[mV](80[mV]×(1/64))の分解能により微調整される。

【0063】

PDA41では、このような黒レベル、白レベルに係る調整作業が、各色毎に実行され、これにより高い精度により色ずれが調整される。またこのような調整作業による状態を再現できるように、基準電圧設定データDVがメモリ50に記録されて保持されるようになされている。

【0064】

しかして図6は、このようにして実現されるガンマ特性の例を示す特性曲線図である。この実施例においては、これらにより例えば符号L1Aにより示す特性曲線に対して符号L2Aにより示すように、原基準電圧設定データDVの設定によりガンマ特性を可変できるようになされ、これにより所望するガンマ特性により所望する画像を表示できるようになされている。また黒レベル用原基準電圧設定データDVVRT(DVVRT-AT、DVVRT-AB、DVVRT-B)、白レベル用原基準電圧設定データDVVRB(DVVRB-AT、DVVRB-AB、DVVRB-B)の設定により黒レベル、白レベルを各色毎に、製品毎に設定し、色毎、製品毎による発光特性のばらつき、発光特性の経時変化に対応できるようになされている。またさらにはライン反転に対応するようにメモリ50に2種類のデータを格納して、又はライン反転に対応する補正データD2の切り換えにより、符号L3、符号L4に示す液晶表示パネルに係るガンマ特性についても、実現できるようになされている。

【0065】

(2) 実施例の動作

以上の構成において、このPDA41では(図2)、表示に供する画像データDR~DBが装置本体42からコントローラ47に入力され、ここでメモリ60を介して、ライン単位で同一色に係る画像データが連続してなるように時分割多重化処理され、その処理結果である画像データD1が水平駆動回路55に入力される。この水平駆動回路55において、画像データD1は、シフトレジスタ13に取り込まれ、ライン単位で、同一色に係る画像データが同時並列的にディジタルアナログ変換回路15A~15Nに入力される。またこのディジタルアナログ変換回路15A~15Nにおけるディジタルアナログ変換処理により、駆動信号に変換され、この駆動信号がそれぞれ増幅回路16A~16Nを介してセクタ17A~17Nに入力される。これにより画像データD1は、表示部44において赤色、緑色、青色の順序により水平方向に順次循環的に繰り返されてなる有機EL素子による画素に対して、これら赤色、緑色、青色の画素による組み合わせに振り分けられた後、駆動信号に変換され、この駆動信号がセクタ17A~17Nにより赤色、緑色、青

色の画素に係る信号線SIGに振り分けられ、これによりPDA41では、画像データDR~DBにより各画素の階調が設定されて所望の画像が表示される。

【0066】

また原基準電圧生成回路70において(図1)、複数の原基準電圧VRT、VB~VG、VRBが生成され、所定個数の抵抗を直列接続して形成された複数の分圧回路R1~R7を、さらに直列接続してなる抵抗直列回路による基準電圧生成回路69において、これら原基準電圧VRT、VB~VG、VRBを分圧して基準電圧V1~V64が形成され、デジタルアナログ変換回路15A~15Nにおいて、この基準電圧V1~V64の選択により画像データD1がデジタルアナログ変換処理されて駆動信号が生成され、これにより原基準電圧VRT、VB~VG、VRBにより設定される折れ線近似によるガンマ特性により駆動信号が生成されて画像が表示される。

10

【0067】

しかして有機EL素子においては、ガンマ特性自体はばらつかないものの、色毎、製品毎に発光特性が異なり、さらには経時変化により発光特性が変化する。これに対してPDA41では、黒レベル用原基準電圧VRT、白レベル用原基準電圧VRBを分圧回路32B~32Gにより分圧して原基準電圧VB~VGが生成され、これらの原基準電圧VRT、VB~VG、VRBを分圧回路R1~R7により分圧して基準電圧V1~V64が生成される。これによりこのように画像データDR~DBをデジタルアナログ変換処理して駆動信号を生成するようにして、黒レベル用原基準電圧VRT、白レベル用原基準電圧VRBを各色毎、製品毎に設定し、経時変化に対応するように補正することが必要になる。

20

【0068】

このためPDA41では、各色毎に、製品毎に、発光特性が測定され、この測定結果より所望の発光特性を確保可能に、原基準電圧VRT、VB~VG、VRBの設定を指示する原基準電圧設定データDVVRT-AT、DVVRT-AB、DVVRT-B、DVVB~DVVG、DVVRB-AT、DVVRB-AB、DVVRB-Bがメモリ50に記録されて保持される。また発光特性の経時変化を補正する補正データD2がメモリ45に記録される。PDA41では、原基準電圧設定回路63において、この原基準電圧設定データDVが補正データD2により補正された後、画像データD1の時分割多重化に対応して、順次、水平駆動回路55に入力される。

【0069】

30

水平駆動回路55においては、この原基準電圧設定データDVVRT-AT、DVVRT-AB、DVVRT-B、DVVB~DVVG、DVVRB-AT、DVVRB-AB、DVVRB-Bがデコーダ80により原基準電圧VRT、VB~VG、VRBの各系統に分割され、これらの原基準電圧設定データDVVRT-AT、DVVRT-AB、DVVRT-B、DVVB~DVVG、DVVRB-AT、DVVRB-AB、DVVRB-Bが電源回路74T、74B、デジタルアナログ変換回路71A、31B~31G、71H、電源回路75T、75Bにより処理されて原基準電圧VRT、VB~VG、VRBが生成される。

【0070】

これによりこの実施例においては、この原基準電圧設定データDVVRT-AT、DVVRT-AB、DVVRT-B、DVVB~DVVG、DVVRB-AT、DVVRB-AB、DVVRB-Bの設定により、種々の発光特性に対応可能に駆動信号を生成することができ、これにより種々の表示パネルに簡易かつ迅速に対応することができる。すなわち単にデータの変更でダイナミックレンジ調整、黒レベル調整し、さらにはガンマ特性を変更できることにより、従来に比して大幅に開発期間を短縮し、さらには開発に要する手間も低減することができる。

40

【0071】

またこれにより色毎、製品毎の発光特性のばらつき、経時変化による発光特性の変化についても、柔軟に対応することができ、このような特性のばらつき、変化によるホワイトバランスのずれ、色再現性の劣化を有効に回避して高品質の表示画像を提供することがで

50

きる。

【0072】

このようにして原基準電圧設定データDVVRT-AT、DVVRT-AB、DVVRT-B、DVVB~DVVG、DVVRB-AT、DVVRB-AB、DVVRB-Bにより原基準電圧VRT、VB~VG、VRBを設定して種々の発光特性に対応できるようにして、このPDA41では、黒レベル用原基準電圧VRT、白レベル用原基準電圧VRBを除く原基準電圧VB~VGについては、分圧回路32B~32Gが直列に接続されて両端が原基準電圧VRT、VRBに接続された状態で、それぞれ分圧回路32B~32Gにより原基準電圧VRT、VRBを抵抗分圧して原基準電圧VB~VGの候補電圧が複数生成され、この複数の候補電圧が原基準電圧設定データDVVB~DVVGにより選択されて、原基準電圧VB~VGが生成される。

10

【0073】

これにより原基準電圧VB~VGにおいては、それぞれ直列接続されてなる分圧回路32B~32Gから出力される候補電圧の範囲でしか電圧が変化しないように保持され、これによりPDA41においては、ノイズの混入により原基準電圧設定データDVが誤って設定された場合にあっても、極端なガンマ特性による駆動信号の出力を防止でき、ノイズによる著しい画質劣化を防止することができるようになされている。

【0074】

またこのようにそれぞれ直列接続されてなる分圧回路32B~32Gの両端が、黒レベル用原基準電圧VRT、白レベル用原基準電圧VRBに接続されることにより、ダイナミックレンジ調整、黒レベル調整により、これら原基準電圧VRT、VRBを可変した場合には、直列接続されてなる分圧回路32B~32Gによる抵抗分圧比により、これら原基準電圧VRT、VRBの変化に追従して原基準電圧VB~VGも変化することになる。これによりこれらの原基準電圧VB~VGについては、改めて設定し直す処理を省略することができ、これによりPDA41では調整作業を簡略化することができるようになされている。

20

【0075】

これに対して黒レベル用原基準電圧VRT、白レベル用原基準電圧VRBについては、基準電圧生成用電圧VCOMの分圧回路76T、76B、78T、78Bによる分圧電圧を黒レベル粗調整用原基準電圧設定データDVVRT-AT、DVVRT-AB、白レベル粗調整用原基準電圧設定データDVVRB-AT、DVVRB-ABに応じてセクタ77T、77B、79T、79Bにより選択して分圧回路72A、72Hの両端電位が設定され、この分圧回路72A、72Hにより原基準電圧VRT、VRBの候補電圧が複数生成される。また黒レベル微調整用原基準電圧設定データDVVRT-B、白レベル微調整用原基準電圧設定データDVVRB-Bによりこれら候補電圧がセクタ73A、73Hで選択されて原基準電圧VRT、VRBが生成される。これによりこの実施例では、粗調整用原基準電圧設定データDVVRT-AT、DVVRT-AB、DVVRB-AT、DVVRB-ABにより黒レベル、白レベルをそれぞれ6ビットの分解能により粗調整した後、微調整用原基準電圧設定データDVVRT-B、DVVRB-Bによりこの粗調整に係る1ディジットの階調をさらに6ビットの分解能により微調整することができ、これにより従来に比して一段と高い精度により黒レベル、ダイナミックレンジ調整して、色ずれの発生を有効に回避することができる。

30

40

【0076】

またこのような原基準電圧VRT、VRBに係る構成においては、デジタルアナログ変換回路31B~31Gとほぼ同一構成による分圧回路、セクタによる構成を4系統だけ余分に設けるだけでよいことにより、その分、簡易な構成により調整精度を向上することができる。

【0077】

またこのように調整精度を確保した上で、結局、原基準電圧VRT、VRBにおいては、基準電圧生成用電圧VCOMから0〔V〕の範囲で、種々に設定できることにより、例

50

えば液晶表示パネルの水平駆動回路等にも広く適用することができ、これにより汎用性を確保することができる。

【0078】

またこのように原基準電圧設定データDVにより原基準電圧VRT、VB～VG、VRBを設定するようにして、画像データD1の伝送に係る時分割多重化の処理に対応して、原基準電圧設定データDVを切り換えることにより、1系統の原基準電圧生成回路を各色の画像データの処理に共用化することができ、これにより全体構成を簡略化することができるようになされている。

【0079】

またこれによりPDA41では、結局、1ラインで3回、原基準電圧設定データDVを出力してガンマ特性を切り換えることになる。これにより例えばノイズの混入により誤ってガンマ特性を設定した場合でも、このノイズの影響によるガンマの誤設定を1ラインに止めることができ、これによってもノイズによる画質劣化を低減するようになされている。

10

【0080】

しかしてPDA41では、このように原基準電圧設定データDVにより原基準電圧VRT、VB～VG、VRBを設定するようにして、この原基準電圧VRTを生成する原基準電圧生成回路を基準電圧生成回路側に設けて一体に集積回路化することにより、基準電圧生成回路69においては、原基準電圧VRT、VB～VG、VRBの入力に供する増幅回路を省略することができる。これによりその分、構成を簡略化して消費電力を低減することができる。またこの増幅回路が不要となったことで、その分、基準電圧生成回路に入力する原基準電圧VRT、VB～VG、VRBの精度を向上することができ、これにより基準電圧V1～V64の精度を向上し、生産性を向上することができる。

20

【0081】

(3) 実施例の効果

以上の構成によれば、分圧回路による複数の候補電圧を原基準電圧設定データに応じて選択して原基準電圧を生成し、この原基準電圧からデジタルアナログ変換用の基準電圧を生成するようにして、両端の電位に係る原基準電圧については粗調整データにより生成基準の電圧を可変し、残りの原基準電圧については、分圧回路を直列接続して両端の電位に係る原基準電圧を基準にして生成することにより、発光特性を種々に補正できるようにして、簡易な構成により精度良く色調整することができる。

30

【0082】

またこの両端の電位に係る原基準電圧については、基準電圧生成用電圧を分圧して生成した複数の分圧電圧の選択により生成することにより、例えば液晶表示パネルと有機ELパネルとで水平駆動回路を共用することができる。

【実施例2】

【0083】

図7は、図1との対比により本発明の実施例2に係るPDAに適用される原基準電圧生成回路及び基準電圧生成回路を示すブロック図である。この原基準電圧生成回路90、基準電圧生成回路69に係るPDAは、図1に係る構成に対して電源回路74B、75T、75Bに係る接続が異なるように設定されて、有機EL素子に専用の水平駆動回路に適用される点を除いて、実施例1について上述したPDA41と同一に構成される。なおこれにより以下の説明において上述の実施例1と重複した説明は省略する。

40

【0084】

この実施例2においても原基準電圧生成回路90は、原基準電圧設定データDVVRT-AT、DVVRT-AB、DVVRT-B、DVVB～DVVG、DVVRB-AT、DVVRB-AB、DVVRB-Bにより原基準電圧VRT、VB～VG、VRBを生成するようになされ、これにより実施例1と同一の効果を得ることができるようになされている。

【0085】

50

またさらにこの実施例において、電源回路 74 B は、基準電圧生成用電圧 V_{COM} に代えて、電源回路 74 T より出力される基準電圧 $V_{RT} - T$ が供給され、これにより電源回路 74 T、74 B の分圧回路 76 T、76 B がばらついた場合でも、電源回路 74 T から出力される生成基準の電圧 $V_{RT} - T$ より小さい電圧に生成基準の電圧 $V_{RT} - B$ を保持するようになされている。これにより原基準電圧生成回路 90 においては、黒レベル用原基準電圧 V_{RT} に関して、 V_{COM} $V_{RT} - T$ V_{RT} $V_{RT} - B$ の関係に必ず保持され、分圧回路 76 T、76 B のばらつきによりこのような関係が乱れることによる調整精度の劣化を防止して一段と調整精度を向上するようになされている。

【0086】

またこのように基準電圧生成用電圧 V_{COM} に代えて、電源回路 74 T より出力される基準電圧 $V_{RT} - T$ を供給して、基準電圧 $V_{RT} - T$ に応じて、電源回路 74 B の分圧回路 76 B から出力される分圧電圧の分解能を可変するようになされ、これによっても一段と調整精度を向上するようになされている。すなわち例えば基準電圧 $V_{RT} - T$ を 5 [V] に設定して比較的大きなダイナミックレンジにより黒レベル調整する場合、電源回路 74 B の分圧回路 76 B から出力される分圧電圧にあっては、約 80 [mV] ($5000 [mV] \times (1/64)$) の分解能により出力されるのに対し、例えば基準電圧 $V_{RT} - T$ を 4 [V] に設定して相対的に小さなダイナミックレンジにより黒レベル調整する場合、電源回路 74 B の分圧回路 76 B から出力される分圧電圧にあっては、約 60 [mV] ($4000 [mV] \times (1/64)$) の分解能により出力される。これにより原基準電圧 V_{RT} においては、基準電圧 $V_{RT} - T$ を 5 [V] に設定した場合は約 1.35 [mV] ($80 [mV] \times (1/64)$) の分解能により出力されるのに対し、基準電圧 $V_{RT} - T$ を 4 [V] に設定した場合は約 1 [mV] ($60 [mV] \times (1/64)$) の分解能により出力される。これにより小さなダイナミックレンジにより黒レベルを調整する場合には、その分、小さな分解能により調整することができ、これにより一段と調整精度を向上することができる。

【0087】

また同様に、電源回路 75 B は、基準電圧生成用電圧 V_{COM} に代えて、電源回路 75 T より出力される基準電圧 $V_{RB} - T$ が分圧回路 78 B に供給され、これにより電源回路 75 T、75 B の分圧回路 78 T、78 B がばらついた場合でも、電源回路 75 T から出力される生成基準の電圧 $V_{RB} - T$ より小さい電圧に生成基準の電圧 $V_{RB} - B$ を保持するようになされている。これにより原基準電圧生成回路 90 においては、白レベル用原基準電圧 V_{RB} に関しても、 $V_{RB} - T$ V_{RB} $V_{RB} - B$ の関係に必ず保持され、分圧回路 78 T、78 B のばらつきによりこのような関係が乱れることによる調整精度の劣化を防止して一段と調整精度を向上するようになされている。

【0088】

さらに電源回路 75 T は、基準電圧生成用電圧 V_{COM} に代えて、原基準電圧 V_{RT} が分圧回路 78 T に供給される。これにより原基準電圧生成回路 90 は、電圧の高い側である他端側の原基準電圧 V_{RT} を、分圧回路 78 T の一端に入力し、この分圧回路 78 T からの分圧電圧を粗調整データ $DV_{VRB} - AT$ に応じて原基準電圧生成用の分圧回路 72 H の一端に選択出力するように形成され、黒レベル側及び白レベル側の各分圧回路 76 T、72 A、76 B、78 T、72 H、78 B がばらついた場合にあっては、黒レベル用原基準電圧 V_{RT} より白レベル用原基準電圧 V_{RB} の電圧が大きくならないように保持する。これにより原基準電圧生成回路 90 は、黒レベル用原基準電圧 V_{RT} 及び白レベル用原基準電圧 V_{RB} を必ず V_{RT} V_{RB} の関係に保持し、各種のばらつきによりこのような関係が乱れることによる調整精度の劣化を防止し、さらに一段と調整精度を向上するようになされている。

またこのように V_{RT} V_{RB} の関係に保持することにより、粗調整データ $DV_{VRT} - AT$ 、 $DV_{VRT} - AB$ 、 $DV_{VRB} - AT$ 、 $DV_{VRB} - AB$ を誤って設定した場合でも、分圧回路 72 H に係る原基準電圧 V_{RB} については、電圧の高い側の原基準電圧 V_{RT} を越えないようにすることができる。しかしてこのように電圧の高い側の原基準電圧

10

20

30

40

50

V R Tを越えないように原基準電圧V R Bを設定すれば、これらの原基準電圧V R T、V R Bを基準にして生成する原基準電圧V B ~ V Gについても、順次電圧が降下するように設定することができ、これにより例えばノイズ等による極端なガンマ特性を有効に回避できるようになされている。

【0089】

またこのように基準電圧生成用電圧V C O Mに代えて、原基準電圧V R Tを分圧回路78 Tに供給して、原基準電圧V R Tに応じて、電源回路75 Tの分圧回路78 Tから出力される分圧電圧の分解能を可変するようになされ、これによっても一段と調整精度を向上するようになされている。すなわち例えば原基準電圧V R Tを5 [V] に設定して比較的大きなダイナミックレンジにより白レベル調整する場合、電源回路75 Tの分圧回路78 Tから出力される分圧電圧にあっては、約80 [mV] ($5000 [mV] \times (1/64)$) の分解能により出力されるのに対し、例えば原基準電圧V R Tを4 [V] に設定して相対的に小さなダイナミックレンジにより白レベル調整する場合、電源回路75 Tの分圧回路78 Tから出力される分圧電圧にあっては、約60 [mV] ($4000 [mV] \times (1/64)$) の分解能により出力される。これにより原基準電圧V R Bにおいては、原基準電圧V R Tを5 [V] に設定した場合は約1.35 [mV] ($80 [mV] \times (1/64)$) の分解能により出力されるのに対し、原基準電圧V R Tを4 [V] に設定した場合は約1 [mV] ($60 [mV] \times (1/64)$) の分解能により出力される。これにより小さなダイナミックレンジにより白レベルを調整する場合には、その分、小さな分解能により調整することができ、これにより一段と調整精度を向上することができる。

【0090】

図7の構成によれば、他端側の原基準電圧V R Tを分圧回路78 Tの一端に入力して、この他端側の原基準電圧V R Tを基準にして粗調整に係る基準電圧V R B - Tを生成するようにして、実施例1に比して一段と高い精度により色調整することができ、さらにはノイズ等による極端なガンマ特性を有効に回避することができる。

【実施例3】

【0091】

図17は、図7との対比により本発明の実施例3に係るP D Aに適用される原基準電圧生成回路及び基準電圧生成回路を示すブロック図である。この原基準電圧生成回路91は、黒レベル側原基準電圧V R Tに代えて、黒レベル側の電源回路74 Bから出力される基準電圧V R T - Bが電源回路75 Tに供給され、これにより黒レベル用原基準電圧V R Tと白レベル用原基準電圧V R BがV R T - V R Bの関係に保持される点を除いて、実施例2について上述した原基準電圧生成回路90と同一に形成される。これによりこの実施例3においても、一段と調整精度を向上し、さらにはノイズ等の影響を有効に回避できるようになされている。

【実施例4】

【0092】

なお上述の実施例2、3においては、電圧の低い側端の原基準電圧の生成において、他端側の原基準電圧を基準にして、他端側の原基準電圧に係る電源回路の出力を基準にして基準電圧V R B - Tを生成する場合について述べたが、本発明はこれに限らず、このような構成を電圧の高い側端の原基準電圧の生成に適用するようにしてもよい。

【0093】

また上述の実施例1においては、電源回路74 T、74 B及び75 T、75 Bにそれぞれ分圧回路を設ける場合について述べたが、本発明はこれに限らず、分圧回路においては、これらで共用するようにしてもよい。

【0094】

また上述の実施例においては、本発明をP D Aに適用する場合について述べたが、本発明はこれに限らず、種々の映像機器に広く適用することができる。

【産業上の利用可能性】

【0095】

本発明は、フラットディスプレイ装置の駆動回路及びフラットディスプレイ装置に関し、例えば有機EL素子による表示装置に適用することができる。

【図面の簡単な説明】

【0096】

【図1】本発明の実施例1に係るPDAの原基準電圧生成回路を示すブロック図である。

【図2】本発明の実施例1に係るPDAを示すブロック図である。

【図3】図1の原基準電圧生成回路、基準電圧生成回路を示すブロック図である。

【図4】図2のPDAにおける黒レベル調整の説明に供する特性曲線図である。

【図5】図2のPDAにおける白レベル調整の説明に供する特性曲線図である。

【図6】図1の原基準電圧生成回路における設定によるガンマ特性を示す特性曲線図である。 10

【図7】本発明の実施例2に係るPDAの原基準電圧生成回路を示すブロック図である。

【図8】従来の液晶表示装置を示すブロック図である。

【図9】図8の液晶表示装置における水平駆動回路を周辺構成と共に示すブロック図である。

【図10】図9の説明に供するタイムチャートである。

【図11】図9の水平駆動回路及びコントローラにおける原基準電圧生成回路及び基準電圧生成回路を示すブロック図である。

【図12】図8の液晶表示装置におけるガンマ特性の説明に供する特性曲線図である。

【図13】原基準電圧設定データによる原基準電圧の設定例を示すブロック図である。 20

【図14】図13の構成によるガンマ特性の説明に供する特性曲線図である。

【図15】図13の構成によるガンマ特性におけるノイズの影響の説明に供する特性曲線図である。

【図16】図13の構成によるガンマ特性におけるダイナミックレンジ調整の説明に供する特性曲線図である。

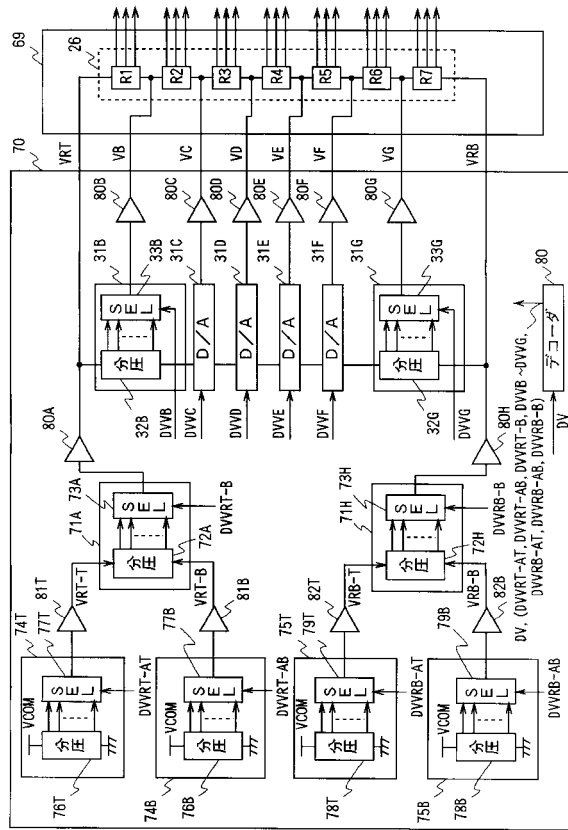
【図17】本発明の実施例3に係るPDAの原基準電圧生成回路を示すブロック図である。

【符号の説明】

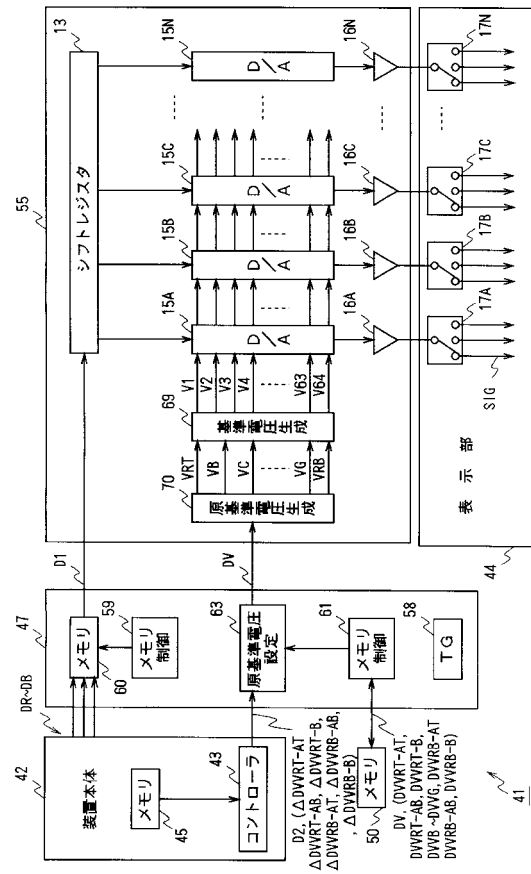
【0097】

1 ... 液晶表示装置、2、44 ... 表示部、3R、3G、3B ... 画素、4、55 ... 水平駆動回路、6、42 ... 装置本体、7、43、47 ... コントローラ、9、59、61 ... メモリ制御回路、10、45、50、60 ... メモリ、12、70、90、91 ... 原基準電圧生成回路、13 ... シフトレジスタ、14、69 ... 基準電圧生成回路、15A ~ 15N、31A ~ 31H、71A、71H ... デジタルアナログ変換回路、17A ~ 17N、33A ~ 33H、73A、73H、77T、77B、79T、79B ... セレクタ、21、32A ~ 32H、72A、72H、76T、76B、78T、78B、R1 ~ R7 ... 分圧回路、26 ... 抵抗直列回路、35、80 ... デコーダ、41 ... PDA、63 ... 原基準電圧設定回路 30

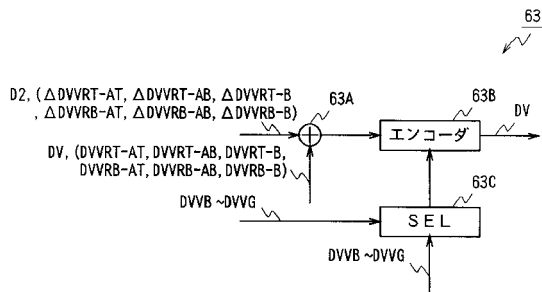
【図 1】



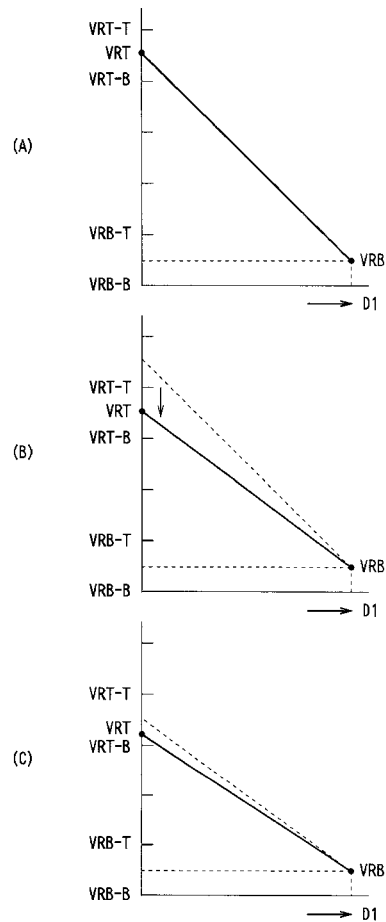
【図 2】



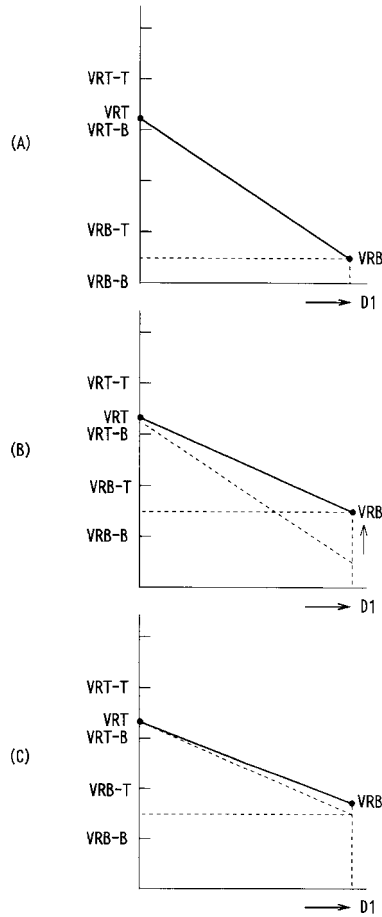
【図 3】



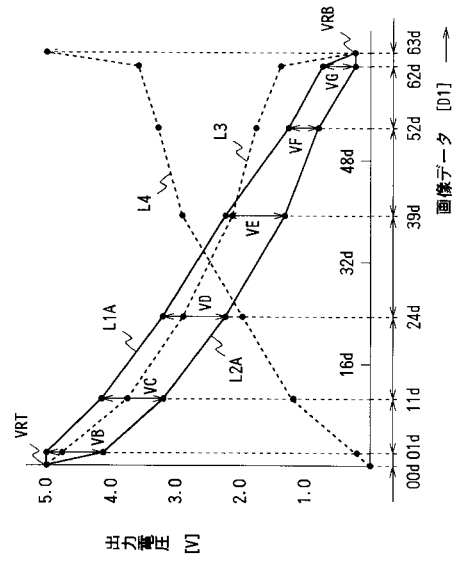
【図 4】



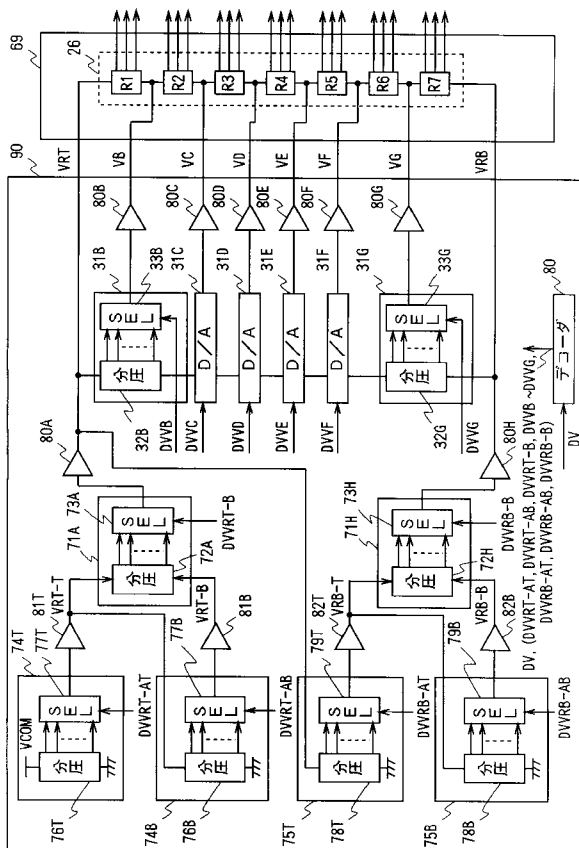
【図 5】



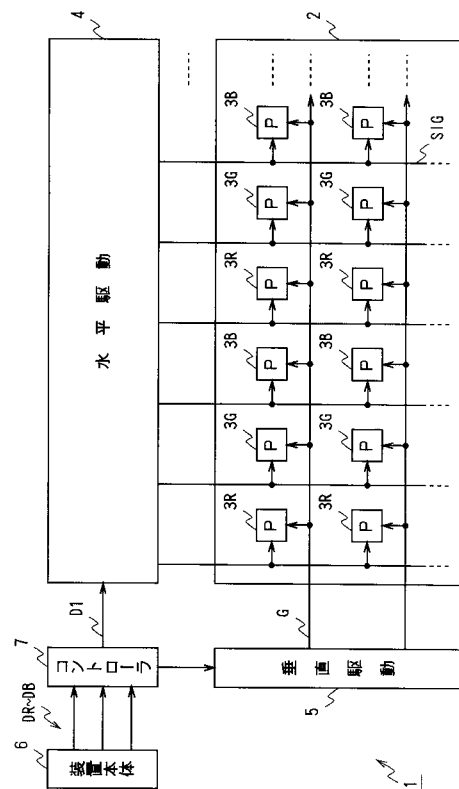
【図 6】



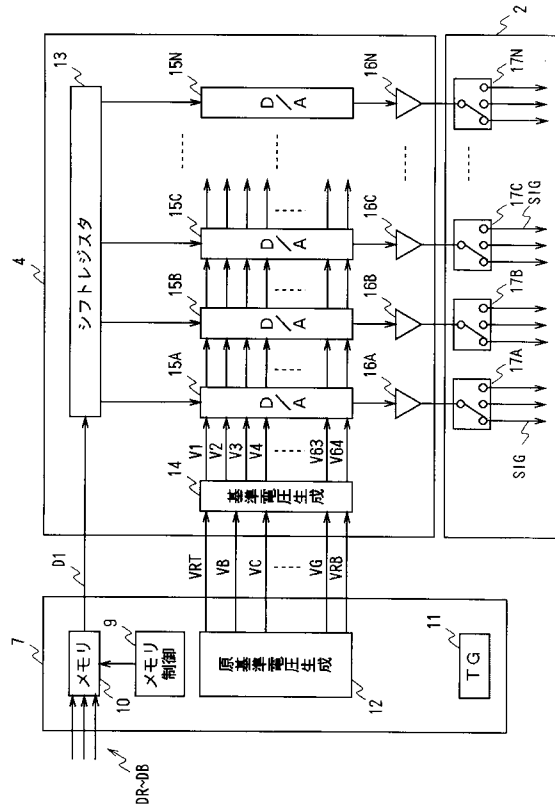
【図 7】



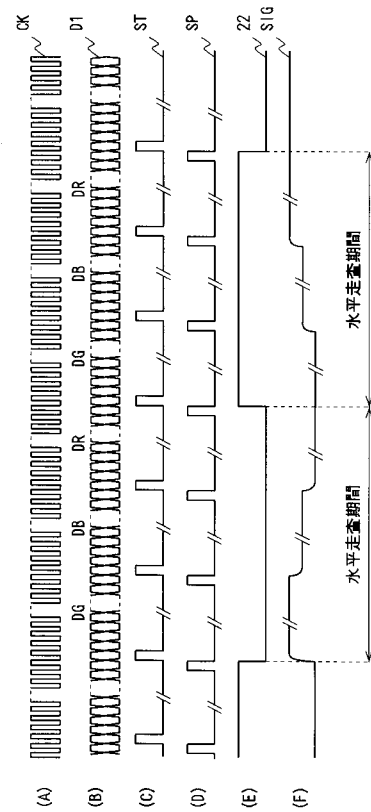
【図 8】



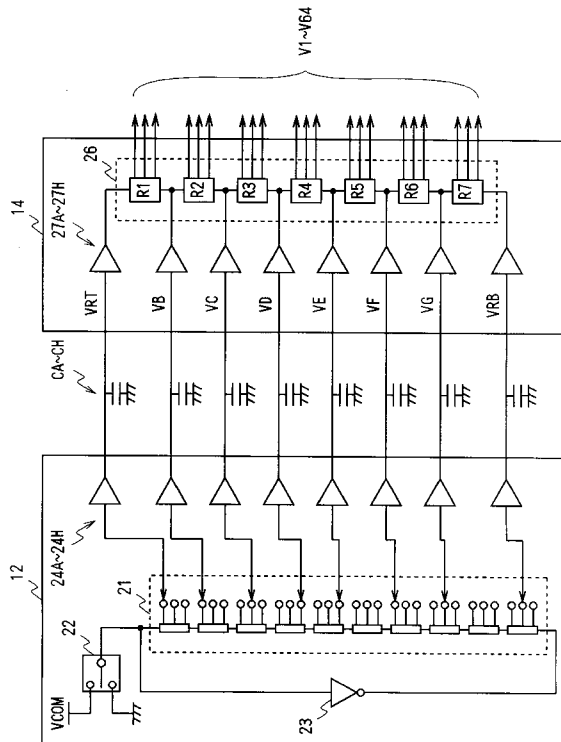
【図 9】



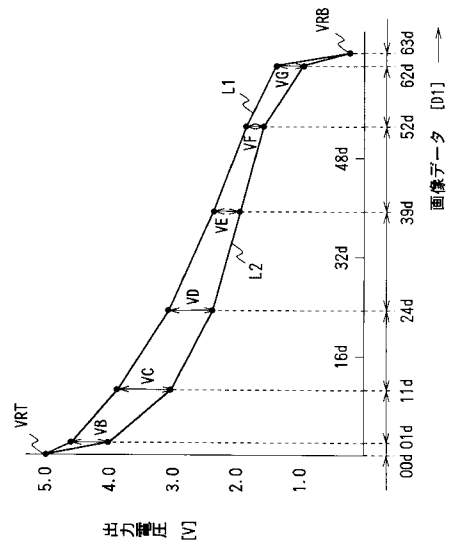
【図 10】



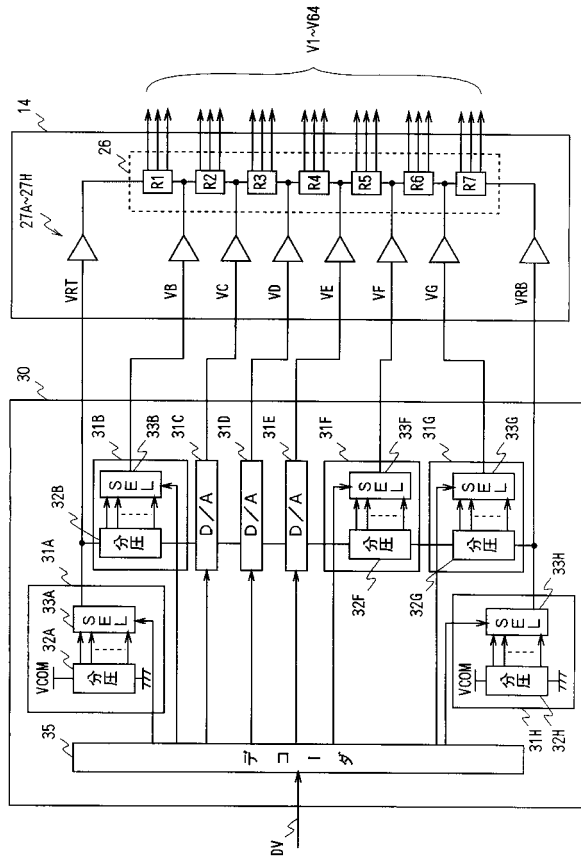
【図 11】



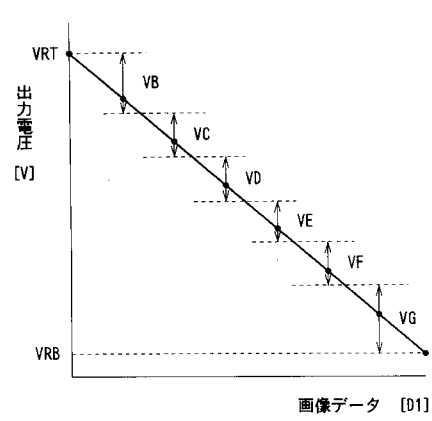
【図 12】



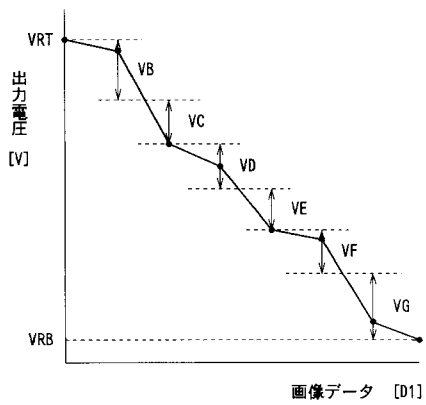
【図 13】



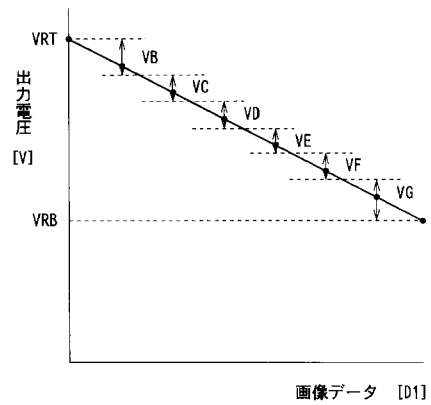
【図 14】



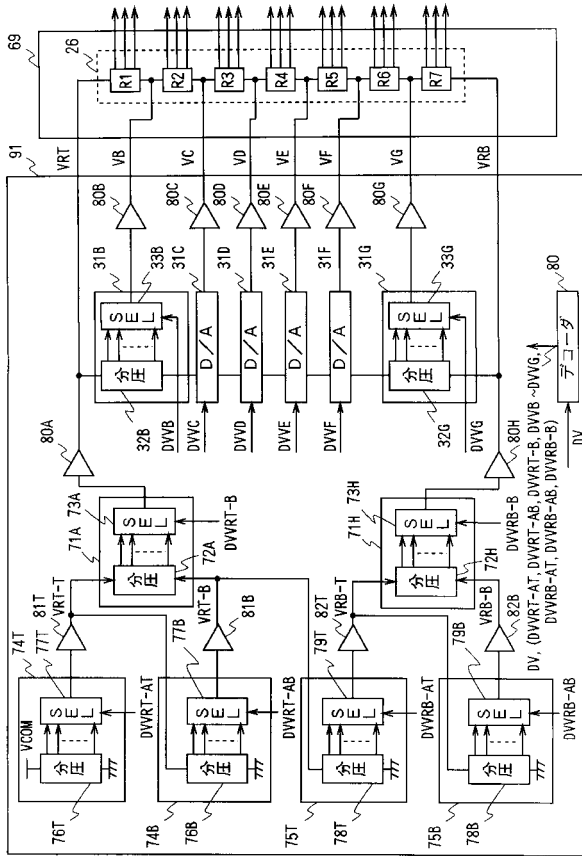
【図 15】



【図 16】



【図 17】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 4 1 Q
G 0 9 G 3/20 6 4 2 J

(56)参考文献 特開 2 0 0 5 - 2 8 4 0 3 8 (J P , A)
特開 2 0 0 5 - 2 8 4 0 3 7 (J P , A)
特開 2 0 0 4 - 3 5 4 6 2 5 (J P , A)
特開 2 0 0 2 - 3 6 6 1 1 2 (J P , A)
特開 2 0 0 2 - 1 0 8 3 1 2 (J P , A)
特開 2 0 0 1 - 2 9 0 4 7 0 (J P , A)
特開平 1 1 - 6 5 5 2 7 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 2 0 - 3 / 3 8

专利名称(译)	用于平板显示装置的驱动电路和平板显示装置		
公开(公告)号	JP4114628B2	公开(公告)日	2008-07-09
申请号	JP2004114728	申请日	2004-04-08
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	山口正則		
发明人	山口 正則		
IPC分类号	G09G3/30 G09G3/36 G09G3/20 H01L51/50 G09G3/32 H03K17/00 H03M1/66 H05B33/08 H05B33/14		
CPC分类号	G09G3/2003 G09G3/3208 G09G3/3614 G09G3/3685 G09G3/3696 G09G2310/027 G09G2310/0297 G09G2320/0666 G09G2320/0673 G09G2330/028 A47C7/425 A47C7/445 A47C7/462		
FI分类号	G09G3/30.J G09G3/30.K G09G3/36 G09G3/20.612.F G09G3/20.623.F G09G3/20.641.Q G09G3/20.642.J G09G3/3275 G09G3/3291 H03K17/00.M H05B33/14.A		
F-TERM分类号	3K007/AB17 3K007/AB18 3K007/BA06 3K007/DB03 3K007/GA00 3K007/GA04 3K107/AA01 3K107/BB01 3K107/CC08 3K107/CC21 3K107/CC33 3K107/CC45 3K107/EE02 3K107/GG56 3K107/HH00 3K107/HH04 5C006/AA22 5C006/AF13 5C006/AF46 5C006/AF51 5C006/AF52 5C006/AF83 5C006/BB11 5C006/BF01 5C006/BF24 5C006/BF43 5C006/FA20 5C006/FA22 5C006/FA24 5C006/FA56 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD01 5C080/EE29 5C080/EE30 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB04 5C380/AB27 5C380/AB34 5C380/AC12 5C380/BA01 5C380/BA08 5C380/BA11 5C380/BA13 5C380/BA14 5C380/BA24 5C380/BA25 5C380/BA30 5C380/BA36 5C380/BA37 5C380/BA48 5C380/BB15 5C380/BB23 5C380/BB25 5C380/BD03 5C380/CA04 5C380/CA09 5C380/CA12 5C380/CA17 5C380/CA33 5C380/CA36 5C380/CE05 5C380/CE06 5C380/CE07 5C380/CE08 5C380/CE19 5C380/CF01 5C380/CF07 5C380/CF18 5C380/CF22 5C380/CF23 5C380/CF41 5C380/CF48 5C380/CF52 5C380/CF53 5C380/CF63 5C380/CF64 5C380/DA32 5C380/FA05 5C380/FA26 5C380/GA02 5C380/GA18 5C380/HA05 5J055/AX00 5J055/BX09 5J055/BX16 5J055/CX29 5J055/DX01 5J055/EX02 5J055/EY03 5J055/EZ00 5J055/EZ24 5J055/EZ29 5J055/EZ33 5J055/EZ38 5J055/EZ51 5J055/FX05 5J055/FX18 5J055/FX19 5J055/FX32 5J055/GX02 5J055/GX04 5J055/GX05 5J055/GX06		
审查员(译)	小川博		
其他公开文献	JP2005300784A		
外部链接	Espacenet		

摘要(译)

公开涉及一种驱动电路和平面显示装置的平面显示装置，例如，使用有机EL元件应用于显示设备，以及允许正确的发光特性用简单的结构准确地进行各种颜色调整能够做到。本发明涉及一种分压电路72A，32B～32G，原始参考电压根据多个候选电压由72H VRT，VA～VG原基准电压设定数据DV被选择时，生成VRB，原始参考电压VRT，V1-V6，以产生用于从VRB，原始参考电压VRT跨越，用于VRB DVVRT-A，DVVRB-粗调的数据的数字 - 模拟转换的参考电压V1～V64产生基准VRT-T中，可变地VRT-B，VRB-T中，VRB-B的电压，对于剩余的原始基准电压VA～VG，两端的电压分压器电路串联连接32B～32G原始参考电压VRT和VRB。点域1

