

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-75787
(P2016-75787A)

(43) 公開日 平成28年5月12日(2016.5.12)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 611H	5C080
H01L 51/50 (2006.01)	G09G 3/20 624B	5C380
H05B 33/26 (2006.01)	G09G 3/20 642A	
	H05B 33/14 A	

審査請求 未請求 請求項の数 13 O L (全 40 頁) 最終頁に続く

(21) 出願番号 特願2014-205962 (P2014-205962)
(22) 出願日 平成26年10月6日 (2014.10.6)

(71) 出願人 514188173
株式会社 J O L E D
東京都千代田区神田錦町三丁目23番地
(74) 代理人 100189430
弁理士 吉川 修一
(74) 代理人 100190805
弁理士 傍島 正朗
(72) 発明者 戎野 浩平
大阪府門真市大字門真1006番地 パナ
ソニック株式会社内
(72) 発明者 小野 晋也
大阪府門真市大字門真1006番地 パナ
ソニック株式会社内

最終頁に続く

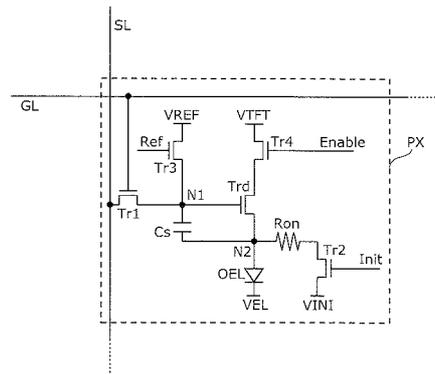
(54) 【発明の名称】 表示装置

(57) 【要約】 (修正有)

【課題】 閾値電圧補償期間を増加させることなく、閾値電圧補償を精度良く行うことができる表示装置を提供する。

【解決手段】 有機EL素子OELと、容量素子Csと、ゲート電極が容量素子Csの第一電極に、ソース電極が容量素子Csの第二電極および有機EL素子OELのアニード電極に接続されている駆動トランジスタTrdとを有する表示画素PXと、制御部とを備える有機ELディスプレイであって、制御部が、駆動トランジスタTrdのドレイン電極に対する駆動電圧の印加を停止させた状態で、第一電極に対して参照電圧を、第二電極に対して初期化電圧を印加するステップと、参照電圧および初期化電圧の印加を維持した状態で、駆動トランジスタTrdのドレイン電極に対する駆動電圧の印加を開始するステップと、参照電圧および駆動電圧の印加を維持した状態で、第二電極に対する初期化電圧の印加を停止するステップとを実行する。

【選択図】 図21



【特許請求の範囲】

【請求項 1】

表示画素を備える表示装置であって、

前記表示画素は、

発光素子と、

電圧を保持するための容量素子と、

ゲート電極が前記容量素子の第一電極と接続され、ソース電極が前記容量素子の第二電極および前記発光素子のアノードと接続されている駆動トランジスタと、

データ信号に応じた電圧を供給するための信号線と前記容量素子の前記第一電極との導通および非導通を切り換える第一スイッチ素子とを有する表示画素と、

前記表示画素の駆動を制御する制御部とを備え、

前記制御部は、

第一初期化期間の開始時に、前記駆動トランジスタのドレイン電極に対する前記発光素子を駆動するための駆動電圧の印加を停止させた状態で、前記容量素子の前記第一電極に対して参照電圧を印加し、前記第二電極に対して初期化電圧を印加する第一初期化ステップと、

前記第一初期化ステップの実行後に設定された第二初期化期間の開始時に、前記第一電極に対する前記参照電圧の印加を維持し、かつ、前記第二電極に対する前記初期化電圧の印加を維持した状態で、前記駆動トランジスタのドレイン電極に対する前記駆動電圧の印加を開始する第二初期化ステップと、

前記第二初期化ステップの実行後に設定された前記駆動トランジスタの閾値電圧を補償する閾値電圧補償期間の開始時に、前記第一電極に対する前記参照電圧の印加を維持し、かつ、前記駆動トランジスタのドレイン電極に対する前記駆動電圧の印加を維持した状態で、前記容量素子の前記第二電極に対する前記初期化電圧の印加を停止する閾値電圧補償ステップとを実行する、

表示装置。

【請求項 2】

前記表示画素は、さらに、

前記初期化電圧を供給する電源線と前記容量素子の前記第二電極との導通および非導通を切り換える第二スイッチ素子と、

前記容量素子の前記第一電極および前記駆動トランジスタのゲート電極の接続点と前記参照電圧を供給する電源線との導通および非導通を切り換える第三スイッチ素子と、

前記駆動トランジスタのドレイン電極と前記駆動電圧を供給する電源線との導通および非導通を切り換える第四スイッチ素子とを有し、

前記制御部は、

前記第一初期化ステップにおいて、前記第一スイッチ素子および前記第四スイッチ素子を非導通状態に、前記第二スイッチ素子および前記第三スイッチ素子を導通状態にし、

前記第二初期化ステップにおいて、前記第一スイッチ素子を非導通状態に、前記第二スイッチ素子、前記第三スイッチ素子および前記第四スイッチ素子を導通状態にし、

前記閾値電圧補償ステップにおいて、前記第一スイッチ素子および前記第二スイッチ素子を非導通状態に、前記第三スイッチ素子および前記第四スイッチ素子を導通状態にする

、請求項 1 に記載の表示装置。

【請求項 3】

前記第二スイッチ素子はトランジスタであり、

前記制御部は、前記第二初期化ステップにおいて、前記第二スイッチ素子を抵抗部として動作させる、

請求項 2 に記載の表示装置。

【請求項 4】

前記第二スイッチ素子はトランジスタであり、

前記第二スイッチ素子のオン抵抗が、他のスイッチ素子のオン抵抗よりも高い、
請求項 3 に記載の表示装置。

【請求項 5】

前記第二スイッチ素子はトランジスタであり、
前記第二スイッチ素子の W / L 比が、他のスイッチ素子の W / L 比よりも小さい、
請求項 3 に記載の表示装置。

【請求項 6】

前記第二スイッチ素子はトランジスタであり、
前記制御部は、前記第二初期化ステップにおいて、前記第二スイッチ素子のゲート電極に印可される電圧が、他のスイッチ素子のゲート電極に印可される電圧よりも低くなるように制御する、
請求項 3 に記載の表示装置。

10

【請求項 7】

前記第二スイッチ素子はトランジスタであり、
前記制御部は、前記第二初期化ステップにおいて、前記第二スイッチ素子のゲート電極に印可される電圧が、前記第一初期化ステップにおいて、前記第二スイッチ素子のゲート電極に印可される電圧よりも低くなるように制御する、
請求項 3 に記載の表示装置。

【請求項 8】

前記第一初期化期間は、前記第二初期化期間よりも長い、
請求項 1 ~ 7 の何れか 1 項に記載の表示装置。

20

【請求項 9】

前記制御部は、さらに、
前記第一初期化期間の前に設定された第一期間の開始時に、前記第二スイッチを導通状態にする第一ステップを実行する、
請求項 2 ~ 8 の何れか 1 項に記載の表示装置。

【請求項 10】

前記初期化電圧を供給する電源線は、前記駆動電圧を供給する電源線および前記参照電圧を供給する電源線と交差するように配置されている、
請求項 9 に記載の表示装置。

30

【請求項 11】

前記制御部は、さらに、
前記第 1 期間の前、前記発光素子を発光させる発光期間の後に設定された第二期間の開始時に、前記第一スイッチ素子、前記第二スイッチ素子、前記第三スイッチ素子および前記第四スイッチ素子を非導通状態にする第二ステップを実行する、
請求項 9 または 10 に記載の表示装置。

【請求項 12】

前記制御部は、さらに、
前記閾値電圧補償期間の後に設定された第三期間の開始時に、前記第四スイッチ素子を非導通状態にする第三ステップを実行し、
前記第 3 期間の終了後に設定された書込期間の開始時に、前記第一スイッチ素子を導通状態に、かつ、前記第二スイッチ素子、前記第三スイッチ素子および前記第四スイッチ素子を非導通状態にすることにより、前記蓄積容量に電圧を書き込む書き込みステップを実行する、
請求項 2 ~ 11 の何れか 1 項に記載の表示装置。

40

【請求項 13】

前記制御部は、さらに、
前記第 3 期間の後、前記書込期間の前に設定された第四期間の開始時に、前記第三スイッチ素子を非導通状態にする第四ステップを実行する、
請求項 12 に記載の表示装置。

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機エレクトロルミネッセンス（Electro Luminescence、EL）素子を用いた表示装置に関する。

【背景技術】

【0002】

電流駆動型の発光素子を用いた表示装置として、有機エレクトロルミネッセンス素子（以下、有機EL素子と記す。）を用いた有機ELディスプレイが知られている（特許文献1参照）。この有機ELディスプレイは、視野角特性が良好で、消費電力が少ないという利点を有する。

10

【0003】

有機ELディスプレイは、有機EL素子および配線等が形成されたガラス基板からなる有機ELパネル（表示パネル）、有機ELパネルを駆動するIC（Integrated Circuit）、および、制御部等を備えて構成されている。

【0004】

有機ELパネルは、複数の表示画素がマトリクス状に配置されている。表示画素は、上述した有機EL素子と、画素信号に応じた電圧を蓄積する容量素子と、容量素子に保持された電荷量に応じた駆動電流を有機EL素子に供給する駆動トランジスタとを有する。

20

【0005】

アクティブマトリクス方式の有機ELディスプレイでは、駆動トランジスタとして薄膜トランジスタ（TFT：Thin Film Transistor）が用いられる。TFTでは、成膜プロセス時の温度ばらつきや、エッチング処理時の残留溶液のばらつき、パターン密度のばらつきなどが原因で膜厚および膜質が面内で変動するため、表示パネル面内で閾値電圧がばらつく。加えて、通電時のゲート-ソース間電圧等のストレスにより、閾値電圧は経時的にシフトする。そして、閾値電圧のプロセスに起因する初期ばらつきや、経時的なシフトは、有機ELへの供給電流量変動の原因となるため、表示装置の輝度制御に影響し、表示品質を悪化させる。

【0006】

従来の有機ELディスプレイでは、初期化後に、閾値電圧に応じて駆動トランジスタのソース電極の電圧を調整する閾値電圧補償が行われている。

30

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2008-287139号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

しかしながら、閾値電圧は、駆動トランジスタの特性ばらつきおよび輝度値の累積値等に応じて異なるため、有機ELパネル内においてばらつく事になる。閾値電圧がばらつくこと、複数の有機EL素子について閾値電圧補償をより確実に行うために、閾値電圧補償を行う期間（以下、「閾値電圧補償期間」と称する）を長くする必要があるという問題がある。

40

【0009】

そこで、本発明は、閾値電圧補償期間を増加させることなく、閾値電圧補償を精度良く行うことができる表示装置を提供する。

【課題を解決するための手段】

【0010】

本発明の一態様に係る表示装置は、表示画素を備える表示装置であって、前記表示画素は、発光素子と、電圧を保持するための容量素子と、ゲート電極が前記容量素子の第一電

50

極と接続され、ソース電極が前記容量素子の第二電極および前記発光素子のアノードと接続されている駆動トランジスタと、データ信号に応じた電圧を供給するための信号線と前記容量素子の前記第一電極との導通および非導通を切り換える第一スイッチ素子とを有する表示画素と、前記表示画素の駆動を制御する制御部とを備え、前記制御部は、第一初期化期間の開始時に、前記駆動トランジスタのドレイン電極に対する前記発光素子を駆動するための駆動電圧の印加を停止させた状態で、前記容量素子の前記第一電極に対して参照電圧を印加し、前記第二電極に対して初期化電圧を印加する第一初期化ステップと、前記第一初期化ステップの実行後に設定された第二初期化期間の開始時に、前記第一電極に対する前記参照電圧の印加を維持し、かつ、前記第二電極に対する前記初期化電圧の印加を維持した状態で、前記駆動トランジスタのドレイン電極に対する前記駆動電圧の印加を開始する第二初期化ステップと、前記第二初期化ステップの実行後に設定された前記駆動トランジスタの閾値電圧を補償する閾値電圧補償期間の開始時に、前記第一電極に対する前記参照電圧の印加を維持し、かつ、前記駆動トランジスタのドレイン電極に対する前記駆動電圧の印加を維持した状態で、前記容量素子の前記第二電極に対する前記初期化電圧の印加を停止する閾値電圧補償ステップとを実行する。

10

【発明の効果】

【0011】

本発明の表示装置は、閾値電圧補償期間を増加させることなく、閾値電圧補償を精度良く行うことができる。

【図面の簡単な説明】

20

【0012】

【図1】図1は、比較例における有機ELディスプレイの構成の一例を示すブロック図である。

【図2】図2は、比較例における有機ELディスプレイの信号波形を示すグラフである。

【図3】図3は、比較例における駆動トランジスタのソース電極の電圧の閾値電圧補償期間における変化を示している。

【図4】図4は、実施の形態における有機ELディスプレイの構成の一例を示すブロック図である。

【図5】図5は、閾値電圧補償期間における駆動トランジスタTrdのゲートソース間の電圧Vgs - 閾値電圧Vthの理想的な時間変化を示すグラフである。

30

【図6】図6は、閾値電圧補償期間における駆動トランジスタTrdのソース電極とドレイン電極との間に流れる電流Idsの理想的な時間変化を示すグラフである。

【図7】図7は、閾値電圧補償期間における駆動トランジスタTrdのドレインソース間電圧の時間変化を示すグラフである。

【図8】図8は、閾値電圧補償期間における駆動トランジスタTrdのソース電極とドレイン電極との間に流れる電流Idsの実際の時間変化を示すグラフである。

【図9】図9は、閾値電圧補償期間における駆動トランジスタTrdのゲートソース間の電圧Vgs - 閾値電圧Vthの実際の時間変化を示すグラフである。

【図10】図10は、比較例および本実施の形態における閾値電圧補償期間のVgs - Vthの推移を示すグラフである。

40

【図11】図11は、実施の形態において、閾値電圧のばらつきVthが0Vのときと2VのときのVth検出(閾値電圧補償値)のずれを示すグラフである。

【図12】図12は、実施の形態において、閾値電圧補償期間における駆動トランジスタTrdのドレインソース間電圧の時間変化を示すグラフである。

【図13】図13は、走査線数Vlineが2160本の場合において、駆動周波数Freq毎に必要なの値を算出した結果を示すグラフである。

【図14】図14は、駆動周波数Freqを120Hzに固定した場合において、走査線数Vline毎に必要なの値を算出した結果を示すグラフである。

【図15】図15は、実施の形態における、Cs初期化電圧と閾値電圧Vthとの関係を示すグラフである。

50

【図16】図16は、実施の形態における、 V_{gs} / V_{th} の値と、第二スイッチ素子 Tr_2 のチャンネル長 L_R との相関関係を示すグラフである。

【図17】図17は、実施の形態における有機ELディスプレイの信号波形を示すグラフである。

【図18】図18は、実施の形態における、第一初期化期間における表示画素 P_X の状態を示す回路図である。

【図19】図19は、実施の形態における、第二初期化期間における表示画素 P_X の状態を示す回路図である。

【図20】図20は、実施の形態における、駆動トランジスタのソース電極の電圧の第二初期化期間および閾値電圧補償期間における変化を示している。

【図21】図21は、抵抗部の他の一例を示す回路図である。

【図22】図22は、抵抗部の他の一例を示す回路図である。

【図23】図23は、抵抗部の他の一例を示す回路図である。

【図24】図24は、変形例における、2つの表示画素 P_X で1つの抵抗部を共有する場合の例を示す回路図である。

【図25】図25は、有機ELディスプレイの信号波形の他の一例を示す回路図である。

【発明を実施するための形態】

【0013】

(課題の詳細)

以下、課題の詳細について、図1～図3を用いて説明する。

【0014】

[比較例における有機ELディスプレイの構成]

図1は、比較例における有機ELディスプレイ100の構成の一例を示すブロック図である。図1に示すように、有機ELディスプレイ100は、有機ELパネル110と、データ線駆動回路120と、走査線駆動回路130と、制御部200とを備えている。

【0015】

有機ELパネル110は、複数の表示画素 P_0 がマトリクス状に配置されている。なお、表示画素 P_0 は、ここでは、1つの色を構成するサブ画素である。赤色、緑色、青色に対応する3つのサブ画素で1つの画素が構成されている。

【0016】

表示画素 P_0 は、有機EL素子 OEL と、容量素子 C_s と、駆動トランジスタ Tr_d と、第一スイッチ素子 Tr_1 と、第二スイッチ素子 Tr_2 と、第三スイッチ素子 Tr_3 と、第四スイッチ素子 Tr_4 とを備えている。

【0017】

有機EL素子 OEL は、駆動電流に応じて発光する発光素子である。駆動電流は、駆動トランジスタ Tr_d から供給される。有機EL素子 OEL は、アノード電極が駆動トランジスタ Tr_d のソース電極に、カソード電極が電源線 VEL (VEL は、例えば、接地電圧)にそれぞれ接続されている。

【0018】

容量素子 C_s は、データ線 $Data$ の電圧に応じた電荷が蓄積される容量素子である。容量素子 C_s は、第一電極が駆動トランジスタのゲート電極に、第二電極が駆動トランジスタ Tr_d のソース電極にそれぞれ接続されている。

【0019】

駆動トランジスタ Tr_d は、データ線 $Data$ の電圧に応じて蓄積された容量素子 C_s の電荷の量に応じた駆動電流を有機EL素子 OEL に供給する。駆動トランジスタ Tr_d は、薄膜トランジスタであり、ゲート電極が容量素子 C_s の第一電極に、ソース電極が有機EL素子 OEL のアノード電極に、ドレイン電極が電源線 V_{TFT} にそれぞれ接続されている。

【0020】

第一スイッチ素子 Tr_1 は、走査線 $Scan$ の電圧に応じてデータ線 $Data$ と容量素

10

20

30

40

50

子C sの第一電極との導通および非導通を切り替えることにより、表示画素P 0の選択および非選択を切り替える。より詳細には、第一スイッチ素子T r 1は、薄膜トランジスタであり、ゲート電極が走査線S c a nに、ソース電極がデータ線D a t aに、ドレイン電極が容量素子C sの第一電極にそれぞれ接続されている。

【0021】

第二スイッチ素子T r 2 0は、信号線I n i tの電圧に応じて、容量素子C sの第二電極（ノードN 2）と電源線V I N Iとの間の導通および非導通を切り替える。

【0022】

第三スイッチ素子T r 3は、信号線R e fの電圧に応じて、容量素子C sの第一電極（ノードN 1）と電源線V R E Fとの間の導通および非導通を切り替える。

10

【0023】

第四スイッチ素子T r 4は、信号線E n a b l eの電圧に応じて、駆動トランジスタT r dのドレイン電極と電源線V T F Tとの間の導通および非導通を切り替える。

【0024】

データ線駆動回路1 2 0は、複数のデータ線D a t aに対し、制御部2 0 0から出力されるデータ信号に応じた電圧を供給する。

【0025】

走査線駆動回路1 3 0は、複数の走査線S c a nおよび信号線I n i t、信号線、R e f、信号線E n a b l eに対し、制御部2 0 0から出力される駆動信号に応じた電圧を供給する。

20

【0026】

制御部2 0 0は、有機E Lパネル1 1 0における映像の表示を制御する回路であり、例えば、T C O N（タイミングコントローラ）等を用いて構成される。なお、制御部2 0 0は、マイクロコントローラを含むコンピュータシステム、あるいは、システムL S I（L a r g e S c a l e I n t e g r a t i o n：大規模集積回路）等を用いて構成されていても構わない。

【0027】

[比較例における有機E Lディスプレイの動作]

図2は、比較例における有機E Lディスプレイ1 0 0の信号波形を示すグラフである。図2において、V A、V B、V Cは、それぞれ、駆動トランジスタT r dのゲート電極の電圧、ソース電極の電圧、ドレイン電極の電圧を示している。

30

【0028】

図2に示すように、比較例における有機E Lディスプレイ1 0 0では、外部から入力される映像信号の各フレームについて、初期化、閾値電圧補償、書き込みおよび発光がこの順に実行される。以下の説明では、初期化を行う初期化期間、閾値電圧補償を行う閾値電圧補償期間、書き込みを行う書込期間、および、有機E L素子O E Lを発光させる発光期間について説明し、他の期間についての説明は省略する。

【0029】

（期間T 2 2：初期化期間）

図2に示す時刻t 1～時刻t 2の期間T 2 2は、初期化期間である。初期化期間では、制御部2 0 0は、第一スイッチ素子T r 1および第四スイッチ素子T r 4を非導通状態、第二スイッチ素子T r 2 0および第三スイッチ素子T r 3を導通状態にすることにより、容量素子C sを初期化する。具体的には、制御部2 0 0は、走査線S c a nおよび信号線E n a b l eの電圧をLレベルに設定させることにより、第一スイッチ素子T r 1および第四スイッチ素子T r 4を非導通状態にする。また、制御部2 0 0は、信号線I n i tおよび信号線R e fの電圧をHレベルに設定させることにより、第二スイッチ素子T r 2 0および第三スイッチ素子T r 3を導通状態にする。

40

【0030】

（期間T 2 4：閾値電圧補償期間）

図2に示す時刻t 3～時刻t 4の期間T 2 4は、駆動トランジスタT r dの閾値電圧の

50

変動による影響を補償するための閾値電圧補償期間である。閾値電圧補償期間では、制御部200は、第一スイッチ素子Tr1および第二スイッチ素子Tr20を非導通状態に、第三スイッチ素子Tr3および第四スイッチ素子Tr4を導通状態にする。閾値電圧補償期間を設けることで、上述した閾値電圧のばらつきが輝度制御に与える影響を低減することができる。具体的には、制御部200は、走査線Scanおよび信号線Initの電圧をLレベルに設定させることにより、第一スイッチ素子Tr1および第二スイッチ素子Tr20を非導通状態にする。また、制御部200は、信号線Refおよび信号線Enableの電圧をHレベルに設定させることにより、第三スイッチ素子Tr3および第四スイッチ素子Tr4を導通状態にする。

【0031】

このとき、第四スイッチ素子Tr4が導通状態になることから、駆動トランジスタTrdにドレイン電流が流れ、駆動トランジスタTrdの閾値電圧に応じて、容量素子Csの第二電極の電圧値が上昇する。これにより、閾値電圧の補償を行うことができる。

【0032】

(期間T27：書込期間)

図2に示す時刻t6～時刻t7の期間T27は、容量素子Csにデータ線Dataの電圧に応じた電荷を蓄積する書込期間である。書込期間では、制御部200は、第一スイッチ素子Tr1を導通状態に、第二スイッチ素子Tr20、第三スイッチ素子Tr3および第四スイッチ素子Tr4を非導通状態にする。具体的には、制御部200は、走査線Scanの電圧をHレベルに設定させることにより、第一スイッチ素子Tr1を導通状態にする。また、制御部200は、信号線Init、信号線Refおよび信号線Enableの電圧をLレベルに設定させることにより、第二スイッチ素子Tr20、第三スイッチ素子Tr3および第四スイッチ素子Tr4を非導通状態にする。さらに、制御部200は、データ線駆動回路120により、選択された表示画素P0の輝度値に応じた電圧を信号線Dataに印加させる。

【0033】

このとき、容量素子Csの第一電極に、信号線Dataの電圧に応じた電荷が蓄積される。

【0034】

(期間T29：発光期間)

図2に示す時刻t8～時刻t9の期間T29は、有機EL素子OELを発光させる発光期間である。発光期間では、制御部200は、第四スイッチ素子Tr4を導通状態に、第一スイッチ素子Tr1、第二スイッチ素子Tr20、および第三スイッチ素子Tr3を非導通状態にする。具体的には、制御部200は、信号線Enableの電圧をHレベルに設定させることにより、第四スイッチ素子Tr4を導通状態にする。また、制御部200は、走査線Scan、信号線Initおよび信号線Refの電圧をLレベルに設定させることにより、第一スイッチ素子Tr1、第二スイッチ素子Tr20および第三スイッチ素子Tr3を非導通状態にする。

【0035】

このとき、駆動トランジスタTrdのドレインソース間に容量素子Csの第一電極に蓄積された電荷に応じた駆動電流が流れる。そして、有機EL素子OELに当該駆動電流が供給されることにより、有機EL素子OELは、駆動電流の電流量に応じた輝度で発光する。

【0036】

[閾値電圧補償における課題]

図3は、比較例における駆動トランジスタTrdのソース電極の電圧の閾値電圧補償期間における変化を示している。図3のグラフは、図2の破線で囲んだ部分のグラフに対応している。なお、図2では、1つの素子について図示しているが、図3では、閾値電圧が異なる3つの場合について示している。

【0037】

10

20

30

40

50

図3に示すように、駆動トランジスタ T_{rd} の閾値電圧が V_{th1} の表示画素は、電圧値が $V_{REF} - V_{th1}$ となるまでに、 T_{th1} の時間がかかる。駆動トランジスタ T_{rd} の閾値電圧が V_{th2} の表示画素は、電圧値が $V_{REF} - V_{th2}$ となるまでに、 T_{th2} の時間がかかる。駆動トランジスタ T_{rd} の閾値電圧が V_{th3} の表示画素は、電圧値が $V_{REF} - V_{th3}$ となるまでに、 T_{th3} の時間がかかる。図3では、 $T_{th1} > T_{th2} > T_{th3}$ となっている。

【0038】

近年、有機ELディスプレイの高精細化および大型化が進んでおり、1水平走査期間（以下、適宜「1H」と称する）が短くなる傾向がある。簡略化のためにブランキング期間を無視すると、1Hは、パネル駆動周波数 F_{req} 、走査線数 V_{line} を用いて、 $1H = 1sec / F_{req} / V_{line}$ で表わされる。当該式から、有機ELディスプレイの高精細化によりパネル駆動周波数 F_{req} および走査線数 V_{line} が増大するほど、1Hが短くなること分かる。

10

【0039】

十分な発光期間を確保するために、例えば閾値電圧補償期間を1Hに設定する場合、1水平走査期間が短くなると、閾値電圧補償の期間も短くなる。さらに、近年、有機ELディスプレイの大型化が進んでおり、走査線数 V_{line} および1走査線当たりの表示画素の数が多くなっている。大型化が進むほど、閾値電圧の補償を行うために必要な電流量が有機ELディスプレイ全体で多くなるため、閾値電圧補償にかかる期間のばらつきが大きくなる。また、大型化により有機ELディスプレイを構成する素子同士の距離が離れるため、プロセスに起因する膜厚や膜質のばらつきが大きくなり、駆動トランジスタの閾値電圧のばらつきも大きくなる。

20

【0040】

閾値電圧補償を十分な精度で行うためには、図3において、最も閾値電圧補償期間の長い V_{th1} の駆動トランジスタ T_{rd} の電圧が集束するまで、十分な閾値電圧補償期間を確保する必要がある。あるいは、1H内に、全ての駆動トランジスタ T_{rd} の電圧を収束させることが重要である。

【0041】

しかし、上述したように、有機ELディスプレイの高精細化により、閾値電圧補償期間が短くなる傾向にあり、十分な閾値電圧補償期間を確保することが困難になってきている。また、有機ELディスプレイの大型化により、駆動トランジスタ T_{rd} が収束するまでの期間のばらつきが大きくなっているため、1H内に、全ての駆動トランジスタ T_{rd} の電圧を収束させることは困難である。

30

【0042】

このため、特に、図3に示す閾値電圧 V_{th1} の駆動トランジスタでは、ソース電極の電圧が $V_{REF} - V_{th1}$ に到達する前に、閾値電圧補償期間が終了してしまい、閾値電圧の補償が十分な精度で行えない場合があるという問題がある。つまり、従来の有機ELディスプレイでは、駆動トランジスタの閾値電圧のばらつきにより、閾値電圧補償において精度が低下するという問題がある。

【0043】

このため、閾値電圧補償期間が短くなっても閾値電圧補償の精度を十分に確保できる技術が求められている。

40

【0044】

このような問題を解決するために、本発明の一態様に係る表示装置は、表示画素を備える表示装置であって、前記表示画素は、発光素子と、電圧を保持するための容量素子と、ゲート電極が前記容量素子の第一電極と接続され、ソース電極が前記容量素子の第二電極および前記発光素子のアノードと接続されている駆動トランジスタと、データ信号に応じた電圧を供給するための信号線と前記容量素子の前記第一電極との導通および非導通を切り換える第一スイッチ素子とを有する表示画素と、前記表示画素の駆動を制御する制御部とを備え、前記制御部は、第一初期化期間の開始時に、前記駆動トランジスタのドレイン

50

電極に対する前記発光素子を駆動するための駆動電圧の印加を停止させた状態で、前記容量素子の前記第一電極に対して参照電圧を印加し、前記第二電極に対して初期化電圧を印加する第一初期化ステップと、前記第一初期化ステップの実行後に設定された第二初期化期間の開始時に、前記第一電極に対する前記参照電圧の印加を維持し、かつ、前記第二電極に対する前記初期化電圧の印加を維持した状態で、前記駆動トランジスタのドレイン電極に対する前記駆動電圧の印加を開始する第二初期化ステップと、前記第二初期化ステップの実行後に設定された前記駆動トランジスタの閾値電圧を補償する閾値電圧補償期間の開始時に、前記第一電極に対する前記参照電圧の印加を維持し、かつ、前記駆動トランジスタのドレイン電極に対する前記駆動電圧の印加を維持した状態で、前記容量素子の前記第二電極に対する前記初期化電圧の印加を停止する閾値電圧補償ステップとを実行する。

10

【0045】

上記構成の表示装置は、第一初期化期間（従来の初期化期間と同じ）と閾値補償期間との間で、容量素子の第一電極への参照電圧の印加および第二電極への初期化電圧の印加を維持した状態で、駆動トランジスタのドレイン電極への駆動電圧の供給を開始する第二初期化ステップを実行する。

【0046】

このように構成することにより、第二初期化ステップでは、駆動トランジスタに貫通電流が流れる。貫通電流は、駆動トランジスタのドレイン電極に駆動電圧を供給する電源線から、駆動トランジスタを介して、初期化電圧を供給する電源線に流れる電流である。貫通電流の電流値は、駆動トランジスタの閾値電圧に応じて変化する。具体的には、貫通電流の電流値は、駆動トランジスタの閾値電圧が大きいほど小さくなり、閾値電圧が小さいほど大きくなる。

20

【0047】

ここで、例えば、駆動トランジスタのソース電極と初期化電圧を供給する電源線との間にトランジスタが設けられた表示画素では、当該トランジスタにより貫通電流に応じた電圧降下が生じる。つまり、駆動トランジスタのソース電極の電圧が上昇する。

【0048】

駆動トランジスタのソース電極の電圧が上昇すると、この後に続く閾値電圧補償において、ソース電極の電圧の上昇幅が小さくなる。つまり、閾値電圧補償にかかる期間が短くなる。そうすると、上記構成の表示装置は、閾値電圧補償期間を延ばすことなく、閾値電圧補償をより確実に行うことができる。あるいは、上記構成の表示装置は、閾値電圧補償期間を短くすることができる。つまり、上記構成の表示装置では、閾値電圧の補償を十分な精度で行うことが可能になる。

30

【0049】

例えば、前記表示画素は、さらに、前記初期化電圧を供給する電源線と前記容量素子の前記第二電極との導通および非導通を切り換える第二スイッチ素子と、前記容量素子の前記第一電極および前記駆動トランジスタのゲート電極の接続点と前記参照電圧を供給する電源線との導通および非導通を切り換える第三スイッチ素子と、前記駆動トランジスタのドレイン電極と前記駆動電圧を供給する電源線との導通および非導通を切り換える第四スイッチ素子とを有し、前記制御部は、前記第一初期化ステップにおいて、前記第一スイッチ素子および前記第四スイッチ素子を非導通状態に、前記第二スイッチ素子および前記第三スイッチ素子を導通状態にし、前記第二初期化ステップにおいて、前記第一スイッチ素子を非導通状態に、前記第二スイッチ素子、前記第三スイッチ素子および前記第四スイッチ素子を導通状態にし、前記閾値電圧補償ステップにおいて、前記第一スイッチ素子および前記第二スイッチ素子を非導通状態に、前記第三スイッチ素子および前記第四スイッチ素子を導通状態にしてもよい。さらに、前記第二スイッチ素子はトランジスタであり、前記制御部は、前記第二初期化ステップにおいて、前記第二スイッチ素子を抵抗部として動作させてもよいし、前記第二スイッチ素子はトランジスタであり、前記第二スイッチ素子のオン抵抗が、他のスイッチ素子のオン抵抗よりも高くてもよい。

40

【0050】

50

上記構成の表示装置は、貫通電流が流れる経路であって、初期化電圧を供給する電源線と、容量素子の第二電極との導通および非導通を切り換える第二スイッチ素子を備え、第二スイッチ素子のオン抵抗を他のスイッチ素子よりも大きくすることにより、電圧降下を良好に生じさせることができる。

【0051】

例えば、前記第二スイッチ素子はトランジスタであり、前記第二スイッチ素子のW/L比が、他のスイッチ素子のW/L比よりも小さくてもよいし、前記第二スイッチ素子はトランジスタであり、前記制御部は、前記第二初期化ステップにおいて、前記第二スイッチ素子のゲート電極に印可される電圧が、他のスイッチ素子のゲート電極に印可される電圧よりも低くなるように制御してもよいし、または、前記第二スイッチ素子はトランジスタであり、前記制御部は、前記第二初期化ステップにおいて、前記第二スイッチ素子のゲート電極に印可される電圧が、前記第一初期化ステップにおいて、前記第二スイッチ素子のゲート電極に印可される電圧よりも低くなるように制御してもよい。

10

【0052】

上記何れかの構成の表示装置は、第二スイッチ素子を、トランジスタを用いて一体に構成すれば、部品点数を少なくすることができる。第二スイッチ素子を抵抗部として用いる方法としては、具体的には、例えば、第二スイッチ素子を構成するトランジスタのW/L比を、他のスイッチ素子のW/L比よりも小さくすることが考えられる。または、第二スイッチ素子のゲート電極に印可される電圧が、他のスイッチ素子のゲート電極に印可される電圧よりも低くなるように制御することが考えられる。または、第二初期化ステップにおいて、前記第二スイッチ素子のゲート電極に印可される電圧が、前記第一初期化ステップにおいて、前記第二スイッチ素子のゲート電極に印可される電圧よりも低くなるように制御することが考えられる。これらにより、第二スイッチ素子において電圧降下を良好に生じさせることができる。

20

【0053】

例えば、前記第一初期化期間は、前記第二初期化期間よりも長くてもよい。

【0054】

上記構成の表示装置において、第一初期化期間は、容量素子の第一電極に蓄積された電荷、つまり、階調値に応じた量の電荷を初期化するための期間であることから、非常に高い精度での初期化が要求される。言い換えると、容量素子の第一電極に蓄積された電荷を、例えば、99.9%のように、非常に高い割合で充放電する必要がある。

30

【0055】

これに対し、第二初期化期間は、駆動トランジスタのソース電極の電圧をかさ上げするための期間であり、細かな精度は要求されないため、例えば、駆動トランジスタのソース電極（有機EL素子のアノード電極）が接続されたノードの電荷の充放電を60%程度行えばよい。言い換えると、容量素子の第一電極が接続されたノードの時定数よりも、駆動トランジスタのソース電極が接続されたノードの時定数の方が相当小さい。

【0056】

つまり、第二初期化期間は、第一初期化期間とは充放電の対象が異なり、時定数が小さくなるため、第二初期化期間の長さを第一初期化期間の長さよりも短くすることができる（第一初期化期間の長さが第二初期化期間の長さよりも長い）。

40

【0057】

例えば、前記制御部は、さらに、前記第一初期化期間の前に設定された第一期間の開始時に、前記第二スイッチを導通状態にする第一ステップを実行してもよい。

【0058】

上記構成の表示装置では、第一初期化期間の前に、第一ステップを実行することにより、駆動トランジスタのソース電極と容量素子の第二電極との接続ノードの電圧を、初期化電圧に安定させることが可能になる。

【0059】

例えば、前記初期化電圧を供給する電源線は、前記駆動電圧を供給する電源線および前

50

記参照電圧を供給する電源線と交差するように配置されていてもよい。

【0060】

例えば、前記制御部は、さらに、前記第1期間の前、前記発光素子を発光させる発光期間の後に設定された第二期間の開始時に、前記第一スイッチ素子、前記第二スイッチ素子、前記第三スイッチ素子および前記第四スイッチ素子を非導通状態にする第二ステップを実行してもよい。

【0061】

上記構成の表示装置では、容量素子の第一電極および第二電極の電圧を、第一期間における電圧に近づけることができる。

【0062】

例えば、前記制御部は、さらに、前記閾値電圧補償期間の後に設定された第三期間の開始時に、前記第四スイッチ素子を非導通状態にする第三ステップを実行し、前記第3期間の終了後に設定された書込期間の開始時に、前記第一スイッチ素子を導通状態に、かつ、前記第二スイッチ素子、前記第三スイッチ素子および前記第四スイッチ素子を非導通状態にすることにより、前記蓄積容量に電圧を書き込む書き込みステップを実行してもよい。

【0063】

上記構成の表示装置では、良好に閾値電圧補償期間を終了させることができる。

【0064】

例えば、前記制御部は、さらに、前記第3期間の後、前記書込期間の前に設定された第四期間の開始時に、前記第三スイッチ素子を非導通状態にする第四ステップを実行してもよい。

【0065】

上記構成の表示装置では、閾値電圧補償期間と書込期間との間において、データ信号の電圧と参照電圧とが同時に容量素子の第一電極に印加されるのを防止することができる。良好に閾値電圧補償期間を終了させることができる。

【0066】

以下、実施の形態について、図面を参照しながら具体的に説明する。

【0067】

なお、以下で説明する実施の形態は、いずれも包括的または具体的な例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置位置および接続形態、ステップ、ステップの順序などは、一例であり、本発明を限定する主旨ではない。また、以下の実施の形態における構成要素のうち、最上位概念を示す独立請求項に記載されていない構成要素については、任意の構成要素として説明される。

【0068】

(実施の形態)

実施の形態の有機ELディスプレイについて、図4～図20を用いて説明する。

【0069】

本実施の形態の有機ELディスプレイは、第一初期化期間と閾値電圧補償期間との間で、初期化電圧と駆動電圧とを同時に印加する第二初期化期間を設けている。これにより、第二初期化期間において、閾値電圧の変動に応じて駆動トランジスタのソース電極に電圧を印加することができる。

【0070】

[1. 有機ELディスプレイの構成]

図4は、本実施の形態における有機ELディスプレイ10の構成の一例を示すブロック図である。図4に示すように、有機ELディスプレイ10は、有機ELパネル11と、データ線駆動回路12と、走査線駆動回路13と、制御部20とを備えている。

【0071】

有機ELパネル11は、比較例の有機ELパネル110と同様に、複数の表示画素PXがマトリクス状に配置されている。なお、表示画素PXは、比較例と同様に、1つの色を構成するサブ画素である。赤色、緑色、青色に対応する3つのサブ画素で1つの画素が構

10

20

30

40

50

成されている。

【0072】

表示画素 P X は、有機 E L 素子 O E L と、容量素子 C s と、駆動トランジスタ T r d と、第一スイッチ素子 T r 1 と、第二スイッチ素子 T r 2 と、第三スイッチ素子 T r 3 と、第四スイッチ素子 T r 4 とを備えている。表示画素 P X の構成要素のうち、第二スイッチ素子 T r 2 以外の構成要素については、比較例と構成が同じである。

【0073】

有機 E L 素子 O E L は、比較例の有機 E L 素子 O E L と同様に、駆動電流に応じて発光する発光素子である。駆動電流は、駆動トランジスタ T r d から供給される。有機 E L 素子 O E L は、アノード電極が駆動トランジスタ T r d のソース電極に、カソード電極が電源線 V E L にそれぞれ接続されている。

10

【0074】

容量素子 C s は、比較例の容量素子 C s と同様に、データ線 D a t a の電圧に応じた電荷が蓄積される容量素子である。容量素子 C s は、第一電極が駆動トランジスタのゲート電極に、第二電極が駆動トランジスタ T r d のソース電極にそれぞれ接続されている。

【0075】

駆動トランジスタ T r d は、比較例の駆動トランジスタ T r d と同様に、データ線 D a t a の電圧に応じて蓄積された容量素子 C s の電荷の量に応じた駆動電流を有機 E L 素子 O E L に供給する。駆動トランジスタ T r d は、薄膜トランジスタであり、ゲート電極が容量素子 C s の第一電極に、ソース電極が有機 E L 素子 O E L のアノード電極に、ドレイン電極が、駆動電圧を供給する電源線 V T F T にそれぞれ接続されている。電源線 V T F T は、駆動トランジスタのドレイン電極に駆動電圧を供給する電源線である。

20

【0076】

第一スイッチ素子 T r 1 は、比較例の第一スイッチ素子 T r 1 と同様に、走査線 S c a n の電圧に応じてデータ線 D a t a と容量素子 C s の第一電極との導通および非導通を切り替えることにより、表示画素 P X の選択および非選択を切り替える。より詳細には、第一スイッチ素子 T r 1 は、薄膜トランジスタであり、ゲート電極が走査線 S c a n に、ソース電極がデータ線 D a t a に、ドレイン電極が容量素子 C s の第一電極にそれぞれ接続されている。

【0077】

第二スイッチ素子 T r 2 は、信号線 I n i t の電圧に応じて、容量素子 C s の第二電極（ノード N 2）と初期化電圧を供給する電源線 V I N I との間の導通および非導通を切り替える。電源線 V I N I は、容量素子の第二電極に初期化電圧を供給する電源線である。第二スイッチ素子 T r 2 は、薄膜トランジスタであり、他のスイッチ素子よりも高いオン抵抗を持つ。なお、本実施の形態では、制御部 20 は、第一初期化期間において、第四スイッチ素子 T r 4 を非導通とし、容量素子 C s の充放電のみを行う。つまり、第二スイッチ素子 T r 2 を抵抗ではなくスイッチとして機能させる。また、制御部 20 は、第二初期化期間において、第四スイッチ素子 T r 4 を導通させ、第二スイッチ素子 T r 2 に貫通電流を流すことで、第二スイッチ素子 T r 2 を抵抗として機能させる。つまり、第二初期化期間において、第二スイッチ素子 T r 2 は、上述した抵抗部として機能する。第二スイッチ素子 T r 2 の詳細については、後述する。

30

40

【0078】

第三スイッチ素子 T r 3 は、比較例の第三スイッチ素子 T r 3 と同様に、信号線 R e f の電圧に応じて、容量素子 C s の第一電極（ノード N 1）と参照電圧を供給する電源線 V R E F との間の導通および非導通を切り替える。

【0079】

第四スイッチ素子 T r 4 は、比較例の第四スイッチ素子 T r 4 と同様に、信号線 E n a b l e の電圧に応じて、駆動トランジスタ T r d のドレイン電極と電源線 V T F T との間の導通および非導通を切り替える。

【0080】

50

データ線駆動回路 12 は、比較例と同様に、複数のデータ線 Data に対し、制御部 20 から出力されるデータ信号に応じた電圧を供給する。

【0081】

走査線駆動回路 13 は、比較例と同様に、複数の走査線 Scan に対し、制御部 20 から出力される駆動信号に応じた電圧を供給する。

【0082】

制御部 20 は、比較例と同様に、有機 EL パネル 11 における映像の表示を制御する回路であり、例えば、TCON (タイミングコントローラ) 等を用いて構成される。なお、制御部 20 は、マイクロコントローラを含むコンピュータシステム、あるいは、システム LSI (Large Scale Integration: 大規模集積回路) 等を用いて構成されていても構わない。あるいは、制御部 20 は、CPU またはプロセッサなどのプログラム実行部が、ハードディスクまたは半導体メモリなどの記録媒体に記録されたソフトウェアプログラムを読み出して実行することによって実現されてもよい。

10

【0083】

[1 - 1 . 第二スイッチ素子の詳細構成]

第二スイッチ素子 Tr 2 の詳細な構成について、図 5 ~ 図 13 を用いて説明する。

【0084】

上述したように、本実施の形態の第二スイッチ素子 Tr 2 は、他のスイッチ素子よりもオン抵抗が高いトランジスタであり、第二初期化期間において抵抗部として機能する。言い換えると、第二スイッチ素子 Tr 2 の W/L 比は、他のスイッチ素子に比べて小さい。

20

【0085】

課題の詳細において説明した閾値電圧のばらつきによる閾値電圧補償における精度の低下を低減するためには、第二スイッチ素子 Tr 2 の抵抗値等を適切に設定することが望ましい。

【0086】

なお、ここでは、第二スイッチ素子 Tr 2 の抵抗値を適切に設定するために、チャネル幅 W_R およびチャネル長 L_R の範囲を設定する。

【0087】

[1 - 1 - 1 . 比較例における V_{th} 検出のずれ]

図 5 は、閾値電圧補償期間における駆動トランジスタ Tr d のゲートソース間の電圧 V_{gs} - 閾値電圧 V_{th} の理想的な時間変化を示すグラフである。図 6 は、閾値電圧補償期間における駆動トランジスタ Tr d のソース電極とドレイン電極との間に流れる電流 I_{ds} の理想的な時間変化を示すグラフである。図 5 および図 6 では、閾値電圧のばらつき V_{th} が 0V の場合、1V の場合、2V の場合の 3 つの場合について示している。

30

【0088】

閾値電圧補償期間では、図 5 に示すように、 $V_{gs} - V_{th}$ が、駆動トランジスタ Tr d の閾値電圧のばらつき V_{th} に拘わらず、同じ電圧 V_{ofs} に収束することが望ましい。なお、閾値電圧補償期間は有限の期間であるため、 $V_{gs} - V_{th}$ は完全に 0V にはならず、 V_{ofs} に収束する。

【0089】

同様に、図 6 に示すように、閾値電圧補償期間において、電流 I_{ds} は、ほぼ同じ電流 I_{end} に収束することが望ましい。なお、閾値電圧補償期間は有限の期間であるため、 I_{ds} は完全にではなく、ほぼ I_{end} に収束する。このとき、電流 I_{ds} は、以下の式 1 により求めることができる。また、電流 I_{end} は、以下の式 2 により求めることができる。

40

【数 1】

$$I_{ds} = \beta \times (V_{gs} - V_{th})^2 \cdots (\text{式 1})$$

【数 2】

$$I_{end} = \beta \times (V_{ofs} + V_{th0} + \Delta V_{th} - (V_{th0} + \Delta V_{th}))^2 = \beta \times V_{ofs}^2 \cdot \cdot \cdot \text{(式 2)}$$

【0090】

なお、 $V_{gs} = V_{ofs} + V_{th}$ 、 $V_{th} = V_{th0} + \Delta V_{th}$ である。

【0091】

しかし、実際には、閾値電圧補償期間の終了時における電流 I_{ds} は、同じ値には収束しない。図 7 は、閾値電圧補償期間における駆動トランジスタ T_{rd} のドレインソース間電圧の時間変化を示すグラフである。図 7 では、閾値電圧のばらつき V_{th} が 0 ~ 2 V の 3 つの場合について示している。

10

【0092】

図 7 に示すように、閾値電圧のばらつき V_{th} が大きいほど、閾値電圧補償期間の終了時における駆動トランジスタ T_{rd} のドレインソース間の電圧 V_{ds} が大きくなる。そうすると、閾値電圧のばらつき V_{th} が大きいほど収束電流 I_{end} は大きくなる。

【0093】

図 8 は、閾値電圧補償期間における駆動トランジスタ T_{rd} のソース電極とドレイン電極との間に流れる電流 I_{ds} の実際の時間変化を示すグラフである。電流 I_{ds} は、以下の式 3 により求めることができる。

【数 3】

$$I_{ds} = \beta \times V_{ofs}^2 \times (1 + \lambda \times V_{ds}) \cdot \cdot \cdot \text{(式 3)}$$

20

【0094】

閾値電圧補償期間の終了時における電流 I_{ds} は、理想的には、図 6 に示すように、閾値電圧のばらつきが異なる場合でも電流 I_{end} に集束するのが望ましい。しかし、実際には、図 8 に示すように、閾値電圧補償期間の終了時における電流 I_{ds} は、閾値電圧のばらつき V_{th} に起因する V_{ds} ばらつきに応じて変動する。このため、閾値電圧補償期間の終了時における $V_{gs} - V_{th}$ もばらつくことになる。

【0095】

図 9 は、閾値電圧補償期間における駆動トランジスタ T_{rd} のゲートソース間の電圧 $V_{gs} - V_{th}$ の実際の時間変化を示すグラフである。図 9 に示すように、閾値電圧のばらつき V_{th} が大きいほど、ソース電極とドレイン電極との間に流れる電流の量が大きくなるので、 $V_{gs} - V_{th}$ は小さくなる。つまり、閾値検出にずれが生じており、閾値電圧補償の精度が低下すると考えられる。

30

【0096】

[1 - 1 - 2 . 第二スイッチ素子 T_{r2} のチャネル幅およびチャネル長]

そこで、本実施の形態では、閾値電圧のばらつき V_{th} が大きいほど、閾値電圧補償期間の開始時における $V_{gs} - V_{th}$ が大きくなるように、初期化期間において $V_{gs} - V_{th}$ を調整する。つまり、初期化期間の終了時に、閾値電圧のばらつき V_{th} が大きいほど、 $V_{gs} - V_{th}$ が大きくなるように、初期化電圧を調整する。

【0097】

初期化電圧の調整を行うため、本実施の形態の表示画素 P_X は、図 4 に示すように、容量素子 C_s の第二電極と有機 EL 素子 OEL のアノード電極との接続点であるノード N_2 から、電源線 V_{INI} までの電流経路上に、上述した抵抗部を備えている。当該抵抗部は、本実施の形態では、第二スイッチ素子 T_{r2} (薄膜トランジスタ) のオン抵抗を他のスイッチ素子よりも大きくすることにより実現される。これにより、駆動トランジスタ T_{rd} のソース電極の電圧を、駆動トランジスタ T_{rd} の閾値電圧 V_{th} のばらつき V_{th} に応じて調整することが可能になる。

40

【0098】

以下、駆動トランジスタ T_{rd} のソース電極の電圧の調整方法について説明する。

【0099】

50

初期化期間において、第一スイッチ素子 $Tr1$ をオフ状態、第二スイッチ素子 $Tr2$ 、第三スイッチ素子 $Tr3$ および第四スイッチ素子 $Tr4$ をオン状態にすると、電源線 V_{TFT} から、駆動トランジスタ Trd および第二スイッチ素子 $Tr2$ を介して、電源線 V_{INI} に貫通電流 I_d が流れる。

【0100】

このとき、駆動トランジスタ Trd のソース電極の電圧は、 $V_{TFT} - (V_{INI} + R_{on} \times I_d)$ となる。 V_{TFT} は、上述したように、駆動トランジスタのドレイン電極に駆動電圧を供給する電源線 V_{TFT} の電圧である。 V_{INI} は、上述したように、容量素子 C_s の第二電極に初期化電圧を供給する電源線 V_{INI} の電圧である。 R_{on} は、上述したように、抵抗部の抵抗値である。

10

【0101】

貫通電流 I_d は、駆動トランジスタ Trd の閾値電圧 V_{th} に応じて変化する。具体的には、貫通電流 I_d は、駆動トランジスタ Trd の閾値電圧 V_{th} が大きいほど小さくなり、閾値電圧 V_{th} が小さいほど大きくなる。

【0102】

これにより、閾値電圧 V_{th} が大きいほど、 $R_{on} \times I_d$ (抵抗部における電圧降下量) が小さくなり、初期化期間終了時およびその後続く閾値電圧補償期間の開始時における駆動トランジスタのソース電極の電圧は小さくなる。

【0103】

つまり、抵抗部を設けることで、駆動トランジスタ Trd のソース電極の電圧を、駆動トランジスタ Trd の閾値電圧 V_{th} のばらつき V_{th} に応じて調整することが可能になる。

20

【0104】

抵抗部の抵抗値 (本実施の形態では、第二スイッチ素子 $Tr2$ の抵抗値) は、以下の式 4 を満たすように設定する。

【数 4】

$$0.3 \leq \frac{\partial V_{gs}}{\partial V_{th}} = \alpha \leq 0.7 \dots (\text{式 4})$$

【0105】

ここで、 V_{gs} / V_{th} を 0.3 倍以上に設定することで、閾値電圧の変動を、ソース電極の電圧に十分に反映させることができる。また、 V_{gs} / V_{th} を 0.7 倍以下に設定することで、抵抗部のレイアウトサイズが、1 画素あたり (表示画素 P_X) のレイアウトサイズを超えてしまい、レイアウト不可能となることを防止すると共に、抵抗部における電圧降下量が大きくなりすぎるのを防止し、閾値電圧補償期間の初期値として十分な大きさの電圧差を容量素子 C_s に与えることが可能になる。なお、0.3 倍以上 0.7 倍以下に設定することの根拠については後述する。

30

【0106】

ここで、貫通電流 I_d は、駆動トランジスタ Trd のチャネル幅 W_D 、チャネル長 L_D 、電子移動度 μ_D およびゲート酸化膜の単位面積当たりの容量 C_{ox} を用いて、以下の式 5 により求めることができる。また、 V_{gs} は以下の式 6 により求めることができる。

40

【数 5】

$$I_d = \frac{\mu_D \times C_{ox}}{2} \times \frac{W_D}{L_D} \times (V_{gs} - V_{th})^2 \dots (\text{式 5})$$

【数 6】

$$V_{gs} = V_{REF} - (V_{INI} + I_d \times R_{on}) \dots (\text{式 6})$$

【0107】

式 5 に式 6 を代入すると、以下の式 7 および式 8 が得られる。

50

【数 7】

$$I_d = b - \sqrt{b^2 - \frac{(V_{REF} - V_{INI} - V_{th})^2}{R_{on}^2}} \dots (式 7)$$

【数 8】

$$b = \frac{(V_{REF} - V_{INI} - V_{th})}{R_{on}} + \frac{1}{\mu_D \times C_{ox} \times \frac{W_D}{L_D} \times R_{on}^2} \dots (式 8)$$

【0108】

10

以上より、 V_{gs} について、以下の式 9 を導き出すことができる。

【数 9】

$$V_{gs} = V_{REF} - V_{INI} - R_{on} \times b + \sqrt{R_{on}^2 \times b^2 - R_{on} \times (V_{REF} - V_{INI} - V_{th})^2} \dots (式 9)$$

【0109】

式 9 を式 4 に代入すると、以下の式 10 が求められる。

【数 10】

$$0.3 \leq 1 - \frac{1}{\sqrt{2 \times \mu_D \times C_{ox} \times \frac{W_D}{L_D} \times R_{on} \times (V_{TFT} - V_{INI} - V_{th}) + 1}} \leq 0.7 \dots (式 10)$$

20

【0110】

ここで、第二スイッチ素子 T_{r2} は線形領域で動作するトランジスタなので、以下の式 11 ~ 式 13 が成り立つ。

【数 11】

$$I_d = \frac{\mu_R \times C_{ox} \times W_R}{L_R} \left(V_{gs_R} - V_{th_R} - \frac{V_{ds_R}}{2} \right) \times V_{ds_R} \dots (式 11)$$

【数 12】

$$R_{on} = \frac{V_{ds_R}}{I_d} \dots (式 12)$$

30

【数 13】

$$V_{gs_R} = V_{gh_R} - V_{INI} \dots (式 13)$$

【0111】

式 11 ~ 式 13 において、 W_R は第二スイッチ素子 T_{r2} のチャネル幅、 L_R は第二スイッチ素子 T_{r2} のチャネル長、 μ_R は第二スイッチ素子 T_{r2} の電子移動度である。また、 V_{gs_R} は第二スイッチ素子 T_{r2} のゲートソース間電圧、 V_{th_R} は第二スイッチ素子 T_{r2} の閾値電圧、 V_{ds_R} は第二スイッチ素子 T_{r2} のドレインソース間電圧、 V_{gh_R} は第二スイッチ素子 T_{r2} がオン状態のときのゲート電極の電圧 (I_{init} の電圧) である。上記式 11 ~ 式 13 を式 10 に適用すると、以下の式 14 が得られる。

40

【数 1 4】

$$\left(\frac{10}{7}\right)^2 \leq 1 - \frac{2 \times \mu_D \times \frac{W_D}{L_D} \times (VTFT - VINI - Vth)}{\mu_R \times \frac{W_R}{L_R} \times (Vgh_R - VINI - Vth_R)} \leq \left(\frac{10}{3}\right)^2 \dots (式 1 4)$$

但し、 $Vgh_R - VINI - Vth_R - \frac{Vds_R}{2} \approx Vgh_R - VINI - Vth_R$

【0 1 1 2】

10

式 1 4 を満たすように、第二スイッチ素子 $T r 2$ のチャネル幅 W_R およびチャネル長 L_R を設定する。

【0 1 1 3】

図 1 0 は、比較例および本実施の形態における閾値電圧補償期間の $V_{gs} - V_{th}$ の推移を示すグラフである。図 1 0 では、閾値電圧のばらつき V_{th} が 2 V の場合について示している。図 1 1 は、本実施の形態において、閾値電圧のばらつき V_{th} が 0 V のときと 2 V のときの V_{th} 検出のずれを示すグラフである。図 1 2 は、本実施の形態において、閾値電圧補償期間における駆動トランジスタ $T r d$ のドレインソース間電圧の時間変化を示すグラフである。図 1 2 では、閾値電圧のばらつき V_{th} が 0 V のときと 2 V のときを示している。

20

【0 1 1 4】

図 1 0 に示すように、比較例のグラフに比べ、本実施の形態のグラフは、初期値が大きくなっている。これにより、閾値電圧補償期間の終了時における閾値検出の値が V_{ofs} に近づいている。図 1 1 に示すように、本実施の形態では、比較例に比べ、閾値電圧補償期間の終了時における閾値検出のばらつきが低減されることが分かる。図 1 2 に示すように、 V_{th} が 0 V のときと 2 V のときの V_{ds} の差は、2 V 以下になっている。

【0 1 1 5】

[1 - 1 - 3 . 閾値電圧 V_{th} のばらつきに対する V_{gs} の変動量の範囲の設定]

(1) 式 4 の V_{gs} / V_{th} の下限値 (例えば、0 . 3) の設定について説明する

30

【0 1 1 6】

まず、比較例における V_{th} 検出に必要な時間 T_{thMax} について説明する。比較例では、閾値電圧補償期間の開始時における駆動トランジスタ $T r d$ のゲートソース間電圧 V_{init} は、以下の式 1 5 により求められる。

【数 1 5】

$$V_{init} = V_{thMax} + V_{thMargin} \dots (式 1 5)$$

【0 1 1 7】

ここで、 V_{thMax} は、有機 EL パネル 1 1 を構成する全ての表示画素のうち、駆動トランジスタ $T r d$ の閾値電圧 V_{th} が最大値となる表示画素 $P X$ における閾値電圧 V_{th} の値である。 $V_{thMargin}$ は、閾値電圧補償において必要な電圧マージンである。次に、図 3 から分かるように、閾値電圧 V_{th} が最小値をとるときに、 V_{th} 検出の時間が最も長くなる。そこで、閾値電圧 V_{th} が最小値の場合における V_{th} 検出に必要な時間 T_{thMax} を求める。まず、 V_{th} 検出で充電される電荷量 Q_{max} は、以下の式 1 6 により求められる。

40

【数 1 6】

$$Q_{max} = (V_{init} - V_{thMin}) \times C_s \dots (式 1 6)$$

【0 1 1 8】

ここで、 V_{thMin} は、有機 EL パネル 1 1 を構成する全ての表示画素のうち、駆動

50

トランジスタ T_{rd} の閾値電圧 V_{th} が最小値となる表示画素 P_X における閾値電圧 V_{th} の値である。電荷量 Q_{max} を充電するために必要な時間 T_{thMax} は、以下の式 17 により求められる。

【数 17】

$$T_{thMax} = \frac{Q_{max}}{I_d} \dots (式 17)$$

【0119】

ここで、 I_d は閾値電圧補償期間中に駆動トランジスタ T_{rd} を介して容量素子 C_s に流れる電流の平均値である。課題の詳細において説明したように、閾値電圧補償期間が 1 水平走査期間 ($1H$) である場合は、 T_{thMax} は、 $1H$ 以下になることが望ましい。式 16 および式 15 を式 17 に代入すると、以下の式 18 が得られる。

【数 18】

$$T_{thMax} = (V_{thMargin} + V_{thMax} - V_{thMin}) \times \frac{C_s}{I_d} \leq 1H \dots (式 18)$$

【0120】

次に、本実施の形態における V_{th} 検出に必要な時間 T_{thMax} について説明する。上述したように、本実施の形態では、 V_{init} は、 V_{th} に対し、 $(= V_{gs} / V_{th})$ の係数で変化する。従って、駆動トランジスタ T_{rd} の閾値電圧が V_{thMax} である表示画素 P_X において、以下の式 19 が成り立つ。

【数 19】

$$V_{init} = V_{thMax} + V_{thMargin} - (V_{thMax} - V_{thMin}) \times \alpha \dots (式 19)$$

【0121】

式 18 および式 19 より、以下の式 20 が成り立つ。

【数 20】

$$T_{thMax} = \{V_{thMargin} + (V_{thMax} - V_{thMin}) \times (1 - \alpha)\} \times \frac{C_s}{I_d} \leq 1H \dots (式 20)$$

【0122】

式 18 と式 20 からわかる通り、比較例に比べて本実施の形態の有機 EL ディスプレイでは、 $(1 - \alpha)$ の係数の分だけ、 T_{thMax} が小さく、閾値電圧補償期間を 1 水平走査期間 ($1H$) 以下にすることが容易になる。

【0123】

本発明者らは、40 型 4K2K (例えば、3480 × 2160 表示画素) の有機 EL パネル 11 について検証を行った。上記有機 EL パネル 11 として、駆動トランジスタ T_{rd} の閾値電圧 V_{th} の面内ばらつきが 0 ~ 2 V、 $V_{thMargin}$ が 2.5 V、容量素子 C_s が 0.5 pF のパネルを用いた。この場合、閾値電圧補償期間中に駆動トランジスタ T_{rd} を介して容量素子 C_s に流れる電流の平均値 I_d は、0.25 μ A であった。

【0124】

図 13 は、走査線数 V_{line} が 2160 本の場合において、駆動周波数 F_{req} 毎に、式 20 を満たすために必要な α の値を算出した結果を示すグラフである。図 13 より、例えば、駆動周波数が 120 Hz の場合は、 α が 0.3 以上であることが望ましいことが分かる。

【0125】

図 14 は、駆動周波数 F_{req} を 120 Hz に固定した場合において、走査線数 V_{line} 毎に式 20 を満たすために必要な α の値を算出した結果を示すグラフである。図 14 に示すように、走査線数 V_{line} が 2160 本の場合、 α が 0.3 以上であることが望ましいことが分かる。

10

20

30

40

50

【0126】

以上より、走査線数 $V_{line} = 2160$ 、駆動周波数 $F_{req} = 120\text{Hz}$ のパネルでは、閾値電圧補償期間内に駆動トランジスタ T_{rd} のソース電極の電圧を収束させるためには、 0.3 となることが望ましいことが分かる。

【0127】

なお、本実施の形態では、40型4K2Kのパネルについて説明したが、 V_{line} が2160よりも小さい等、異なる条件の有機ELパネル11では、 V_{line} の下限値が異なる値であっても構わない。設計する有機ELパネル11の制約に応じて設定することが望ましい。

【0128】

(2)式4の V_{gs} / V_{th} の上限値(例えば、 0.7)の設定について説明する。

【0129】

図15は、 C_s 初期化電圧(初期化期間終了時における容量素子 C_s の第一電極と第二電極間に印可される電圧)と、閾値電圧 V_{th} との関係を示すグラフである。グラフの直線の傾きが、 V_{gs} / V_{th} に対応する。

【0130】

図15では、電源線 V_{REF} の電圧を 2V 、電源線 V_{INI} の電圧を -4V 、第二スイッチ素子 T_{r2} をオン状態にするときのゲート電極の電圧 V_{ghR} を 20V としている。また、図15では、駆動トランジスタ T_{rd} の閾値電圧 V_{th} と第二スイッチ素子 T_{r2} の閾値電圧 V_{thR} とがほぼ同じであると仮定している。

【0131】

図15に示すように、駆動トランジスタ T_{rd} のチャンネル幅とチャンネル長との比 (W_D / L_D) に対する、第二スイッチ素子 T_{r2} のチャンネル幅とチャンネル長との比 (W_R / L_R)、つまり、 $(W_R / L_R) / (W_D / L_D)$ が $1/20$ のとき、 $V_{gs} / V_{th} = 0.67$ である。比 $(W_R / L_R) / (W_D / L_D)$ が $1/10$ のとき、 $V_{gs} / V_{th} = 0.55$ である。比 $(W_R / L_R) / (W_D / L_D)$ が $1/4$ のとき、 $V_{gs} / V_{th} = 0.38$ である。

【0132】

図16は、 V_{gs} / V_{th} の値と、第二スイッチ素子 T_{r2} のチャンネル長 L_R との相関関係を示すグラフである。図16に示すように、 V_{gs} / V_{th} が大きいほど、閾値電圧補償の精度が高くなり、 V_{th} 検出に必要な時間のばらつきは小さくなる。しかし、 V_{gs} / V_{th} が大きいほど、第二スイッチ素子 T_{r2} のチャンネル長 L_R は大きくなる。

【0133】

ここで、40型4K2Kのパネルを考える。この場合、1画素のサイズは、例えば約 $230\mu\text{m}$ である。この場合、第二スイッチ素子 T_{r2} のチャンネル長 L_R は、 $230\mu\text{m}$ 以下であることが望ましい。図16の場合、 V_{gs} / V_{th} が 0.7 以下のときに、第二スイッチ素子 T_{r2} のチャンネル長 L_R が $230\mu\text{m}$ 以下となる。従って、チャンネル長 L_R が $230\mu\text{m}$ 以下の精細なパネルを設計する場合には、 $V_{gs} / V_{th} = 0.7$ となることが望ましい。これにより、抵抗部が、1画素あたり(表示画素 P_X)のレイアウトサイズを超えてしまい、レイアウト不可能となることを防止することが出来る。

【0134】

また、閾値電圧補償開始時の駆動トランジスタ T_{rd} のソース電極の電圧は、上述のように、 $V_{TFT} - (V_{INI} + R_{on} \times I_d)$ で表されるが、 $V_{gs} / V_{th} > 0.7$ となるような第二スイッチ素子 T_{r2} の場合、オン抵抗 R_{on} が非常に大きくなる。この場合、ソース電極の電圧が大きくなり過ぎてしまい、閾値電圧補償を行うために十分な大きさのゲートソース間電圧を確保できなくなる可能性がある。この観点からも、 $V_{gs} / V_{th} = 0.7$ となることが望ましい。

【0135】

10

20

30

40

50

なお、チャンネル長 L_R に求められる制約が異なる場合には、 V_{gs} / V_{th} の上限値は 0.7 以外の値であっても構わない。設計する有機 EL パネル 11 の制約に応じて設定することが望ましい。

【0136】

[2. 有機 EL ディスプレイの動作]

図 17 は、本実施の形態における有機 EL ディスプレイ 10 の信号波形を示すグラフである。

【0137】

本実施の形態の有機 EL ディスプレイ 10 では、第一初期化期間および第二初期化期間の 2 つの初期化期間が設けられている。本実施の形態の有機 EL ディスプレイ 10 では、初期化期間の経過後、閾値電圧補償期間、書込期間および発光期間がこの順に設定されている。

10

【0138】

なお、時刻 t_0 までは、全てのスイッチ素子がオフ状態であると仮定する。

【0139】

また、第一初期化期間 T_{22} では、第二スイッチ素子 Tr_2 をスイッチとして動作させ、第二初期化期間 T_{23} では、第二スイッチ素子 Tr_2 を抵抗部として動作させる。信号線 $Scan$ 、信号線 Ref および信号線 $Enable$ 各々の H レベルの電圧は、スイッチ素子各々の特性に応じて、第一スイッチ素子 Tr_1 、第三スイッチ素子 Tr_3 および第四スイッチ素子 Tr_4 各々をスイッチとしてみなして良いほど、十分低抵抗で動作させることができる電圧に設定される。

20

【0140】

(期間 T_{21} : 第一期間)

図 17 に示す時刻 t_0 ~ 時刻 t_1 の期間 T_{21} は、ノード N_2 の電圧を安定させるための期間である。

【0141】

具体的には、期間 T_{21} の開始時に、制御部 20 は、第二スイッチ素子 Tr_2 を導通状態に、他のスイッチ素子を非導通状態に設定する第一ステップを実行する。これにより、期間 T_{21} では、ノード N_2 の電圧を電源線 V_{INI} の電圧に安定させる。

【0142】

走査線駆動回路 13 は、信号線 $Scan$ 、信号線 Ref および信号線 $Enable$ の電圧を L レベルのまま維持することで、第一スイッチ素子 Tr_1 、第三スイッチ素子 Tr_3 および第四スイッチ素子 Tr_4 をオフ状態に維持する。

30

【0143】

また、走査線駆動回路 13 は、期間 T_{21} の開始時に、信号線 $Init$ の電圧を L レベルから H レベルに設定することにより、第二スイッチ素子 Tr_2 をオフ状態からオン状態に遷移させる。

【0144】

期間 T_{21} を設けることにより、短期間にノード N_2 の電圧を電源線 V_{INI} の電圧に設定することができる。また、容量素子 C_s により、ノード N_1 の電圧も、(電源線 V_{INI} の電圧 + 前フレームでの発光時の駆動トランジスタ Tr_d のゲートソース間電圧 V_{gs}) に低下する。

40

【0145】

この期間 T_{21} を設ける理由は次の通りである。有機 EL パネル 11 のサイズあるいは 1 画素あたり (表示画素 P_X) のサイズが大きい場合に、有機 EL 素子 OEL の容量 C_{oled} が大きくなり、電源線 V_{INI} の配線時定数が大きくなる。このため、有機 EL パネル 11 のサイズあるいは 1 画素あたりのサイズが大きいほど、ノード N_2 の電圧を電源線 V_{INI} の電圧にすることに時間を要する。そのため、第二スイッチ素子 Tr_2 を導通状態にしてノード N_2 に電源線 V_{INI} の電圧を印加する期間 T_{21} を設けることにより、より短期間でノード N_2 の電圧を電源線 V_{INI} の電圧に設定することができる。言い

50

換えると、期間 T 2 1 を設けることにより、より短時間で有機 E L 素子 O E L および電源線 V I N I の配線容量に電源線 V I N I の電圧を書き込むことができる。

【 0 1 4 6 】

なお、電源線 V R E F の電圧をノード N 1 に印加することにも同様に時間を要する。しかし、電源線 V R E F の電圧を充放電する対象は、容量素子 C s および電源線 V R E F の配線容量である。ここで、電源線 V R E F の配線時定数と電源線 V I N I の配線時定数とはほぼ同等である。しかし、有機 E L 素子 O E L の容量 > 容量素子 C s の容量であり、容量素子 C s に対する有機 E L 素子 O E L の容量比（有機 E L 素子 O E L / 容量素子 C s ）は、1.3 ~ 9 倍である。つまり、容量素子 C s を充電するのにかかる時間よりも、有機 E L 素子 O E L を充電するのにかかる時間の方が長い。言い換えると、ノード N 1 の電圧を電源線 V R E F の電圧にするのにかかる時間よりも、ノード N 2 の電圧を電源線 V I N I の電圧にするのにかかる時間の方が長い。さらに言い換えると、容量素子 C s に電源線 V R E F の電圧を書き込むのにかかる時間よりも、有機 E L 素子 O E L に電源線 V I N I の電圧を書き込むのにかかる時間の方が長い。

10

【 0 1 4 7 】

また、期間 T 2 1 を設けることにより、ノード N 2 の電圧が電源線 V I N I の電圧に設定されるので、電源線 V R E F の負荷を軽くすることができるという利点がある。つまり、期間 T 2 1 を設けることで、ノード N 1 の電圧を低い電圧に設定することができ、電源線 V R E F は表示画素 P X に充電するための電流（電圧）を供給するのみでよくなる。換言すると、期間 T 2 1 では、電源線 V R E F の電圧が有機 E L 素子 O E L を充電するための電圧として用いられないため、電源線 V R E F の負荷が軽くなるという利点がある。

20

【 0 1 4 8 】

（期間 T 2 2 : 第一初期化期間）

図 1 7 に示す時刻 t 1 ~ 時刻 t 2 の期間 T 2 2 は、駆動トランジスタ T r d の閾値電圧補償を行うためにドレイン電流を流すのに必要な電圧を駆動トランジスタ T r d のゲートソース間に印加する第一初期化期間である。

【 0 1 4 9 】

言い換えると、第一初期化期間は、制御部 2 0 が、駆動トランジスタ T r d のドレイン電極に対して有機 E L 素子 O E L を駆動するための駆動電圧の印加を停止させた状態で、容量素子 C s の第一電極に対して参照電圧を印加し、第二スイッチ素子 T r 2 を導通状態に設定することにより、容量素子 C s の第二電極に対して初期化電圧を印加する第一初期化ステップを実行する期間である。

30

【 0 1 5 0 】

図 1 8 は、第一初期化期間における表示画素 P X の状態を示す回路図である。

【 0 1 5 1 】

具体的には、期間 T 2 2 では、図 1 7 および図 1 8 に示すように、第二スイッチ素子 T r 2 および第三スイッチ素子 T r 3 は導通状態に、第一スイッチ素子 T r 1 および第四スイッチ素子 T r 4 を非導通状態に設定される。

【 0 1 5 2 】

走査線駆動回路 1 3 は、信号線 S c a n および信号線 E n a b l e の電圧を L レベルのまま維持することで、第一スイッチ素子 T r 1 および第四スイッチ素子 T r 4 をオフ状態に維持する。さらに、走査線駆動回路 1 3 は、信号線 I n i t の電圧を H レベルのまま維持することで、第二スイッチ素子 T r 2 をオン状態に維持する。

40

【 0 1 5 3 】

また、走査線駆動回路 1 3 は、期間 T 2 2 の開始時に、信号線 R e f の電圧を L レベルから H レベルに遷移させることにより、第三スイッチ素子 T r 3 をオフ状態からオン状態に遷移させる。ここで、第二スイッチ素子 T r 2 に流れる電流は、容量素子 C s を充放電するために必要な電流のみであり、容量素子 C s の充放電が収束する時点では、ほぼ電流はゼロであるので、第二スイッチ素子 T r 2 のオン抵抗はほぼ無視することが出来る。つまり、第二スイッチ素子 T r 2 は、スイッチとして動作する。

50

【0154】

これにより、ノードN1の電圧が電源線VREFの電圧に設定される。ここで、第二スイッチ素子Tr2が導通状態であるから、ノードN2の電圧は電源線VINIの電圧に設定されている。すなわち、駆動トランジスタTrdは、ゲート電極に電源線VREFの電圧が印加され、ソース電極に電源線VINIの電圧が印加される。

【0155】

第一初期化期間は、例えば、ノードN1の充放電を十分に行うことができる長さに設定する。

【0156】

ここで、第一初期化期間の設定の一例として、40型4K2Kディスプレイの場合について説明する。なお、当該第一初期化期間の設定は一例であり、同型のディスプレイであっても、下記に示す条件の何れかが異なる場合は、第一初期化期間も異なる結果になる。

【0157】

40型4K2Kディスプレイの設計値として、 $V_{thMargin} = 2.5V$ 、 $V_{thMax} = 2V$ 、 $V_{thMin} = 0V$ 、 $V_{gs_Peak} = 6.5V$ 、 $I_{d_Peak} = 4.5\mu A$ 、 $C_s = 0.5pF$ 、 $C_{oled} = 2.5pF$ 、 $R_{on_Sw} = 0.6M$ 、 $R_{on_Drv} = 1M$ の場合を考える。 C_s は表示画素PXの容量素子の容量値である。 C_{oled} は、有機EL素子OELの容量である。 R_{on_Sw} は、第二スイッチ素子Tr2のオン抵抗である。 R_{on_Drv} は、駆動トランジスタTrdのオン抵抗である。なお簡略化のため、以下ではトランジスタや表示画素内の配線交差部に付随する細かな寄生容量は省略する。

【0158】

第一初期化期間は、ノードN1の表示画素PX内の充放電時間と、電源線VREFのCR負荷の充放電に必要な時間とを加算した値となる。

【0159】

(1) ノードN1の表示画素PX内の充放電時間について説明する。ここで、ノードN1を初期化する際の表示画素PXのCR時定数であって、ノードN1を99.9%充放電するために必要な時定数は、 6.9τ とする。そうすると、表示画素PX内の充放電時間は、 CR 係数 $\times C_s \times R_{on_Sw} = 6.9 \times 0.5pF \times 0.6M = 2.1\mu sec$ となる。

【0160】

(2) 電源線VREFのCR負荷の充放電に必要な時間について説明する。ここで、電源線VREFの抵抗 $= 3K$ (シート抵抗 $0.1 /$)、配線負荷 $= 500pF$ とすると、電源線VREFのCR時定数は、 $3K \times 500pF = 1.5\mu sec$ となる。従って、電源線VREFのCR負荷の充放電に必要な時間は、 $1.5\mu sec \times 6.9\tau = 10.4\mu sec$ となる。

【0161】

以上より、第一初期化期間は、 $2.1\mu sec + 10.4\mu sec = 12.5\mu sec$ となる。

【0162】

また、上述したように、第一初期化期間では、駆動トランジスタTrdのゲートソース間電圧 V_{gs} は、閾値補正動作を行うのに必要な初期ドレイン電流を確保できる電圧に設定される。そのため、電源線VREFの電圧と電源線VINIの電圧の電圧差は駆動トランジスタTrdの最大閾値電圧 V_{thMax} よりも大きな電圧に設定される。具体的には、駆動トランジスタTrdの最大閾値電圧 V_{thMax} に、閾値電圧補償において必要な電圧マージン $V_{thMargin}$ を足した値に設定される。また、電源線VREFの電圧および電源線VINIの電圧は、有機EL素子OELに電流が流れないように、電源線VINIの電圧 $<$ 電源線VELの電圧 $+ 有機EL素子OELの順方向電流閾値電圧$ 、および、電源線VREFの電圧 $<$ 電源線VELの電圧 $+ 有機EL素子OELの順方向電流閾値電圧 + 駆動トランジスタTrdの最小閾値電圧 V_{thMin} 、となるように設定される。$

10

20

30

40

50

【 0 1 6 3 】

(期間 T 2 3 : 第二初期化期間)

図 1 7 に示す時刻 t_2 ~ 時刻 t_3 の期間 T 2 3 は、閾値電圧補償を行うために必要な時間のばらつきを低減するために、駆動トランジスタ T r d のソース電極の電圧を補正する第二初期化期間である。

【 0 1 6 4 】

言い換えると、第二初期化期間は、制御部 2 0 が、第一初期化ステップの実行後に、容量素子 C s の第一電極に対する参照電圧の印加を維持し、かつ、第二スイッチ素子 T r 2 を導通状態に維持した状態で、駆動トランジスタ T r d のドレイン電極に対する駆動電圧の印加を開始する第二初期化ステップを実行する期間である。

10

【 0 1 6 5 】

図 1 9 は、第二初期化期間における表示画素 P X の状態を示す回路図である。

【 0 1 6 6 】

具体的には、期間 T 2 3 では、図 1 7 および図 1 9 に示すように、第二スイッチ素子 T r 2、第三スイッチ素子 T r 3 および第四スイッチ素子 T r 4 は導通状態に、第一スイッチ素子 T r 1 は非導通状態に設定される。

【 0 1 6 7 】

走査線駆動回路 1 3 は、信号線 S c a n の電圧を L レベルのまま維持することで、第一スイッチ素子 T r 1 をオフ状態に維持する。さらに、走査線駆動回路 1 3 は、信号線 I n i t および信号線 R e f およびの電圧を H レベルのまま維持することで、第二スイッチ素子 T r 2 および第三スイッチ素子 T r 3 をオン状態に維持する。

20

【 0 1 6 8 】

また、走査線駆動回路 1 3 は、期間 T 2 3 の開始時に、信号線 E n a b l e の電圧を L レベルから H レベルに遷移させることにより、第四スイッチ素子 T r 4 をオフ状態からオン状態に遷移させる。

【 0 1 6 9 】

このとき、図 1 9 に示すように、電源線 V T F T から、第四スイッチ素子 T r 4、駆動トランジスタ T r d および第二スイッチ素子 T r 2 を介して、電源線 V I N I まで貫通電流が流れる。第二スイッチ素子 T r 2 の導通期間中は貫通電流が流れ続けるので、駆動トランジスタ T r d のソース電極に印可される電圧は、第二スイッチ素子のオン抵抗の影響を受ける。つまり、第二スイッチ素子 T r 2 は、抵抗部として動作する。このため、第二初期化期間の終了時における駆動トランジスタ T r d のソース電極の電圧は、 $V T F T - (V I N I + R o n \times I d)$ となる。

30

【 0 1 7 0 】

ここで、上述したように、貫通電流 $I d$ は、駆動トランジスタ T r d の閾値電圧 $V t h$ が大きいほど小さくなり、閾値電圧 $V t h$ が小さいほど大きくなる。つまり、閾値電圧 $V t h$ が大きいほど、 $R o n \times I d$ (抵抗部における電圧降下量) が小さくなり、初期化期間終了時およびその後続く閾値電圧補償期間の開始時における駆動トランジスタ T r d のソース電極の電圧は小さくなる。

40

【 0 1 7 1 】

図 2 0 は、第二初期化期間および閾値電圧補償期間における駆動トランジスタのソース電極の電圧の変化を示すグラフである。図 2 0 は、図 1 7 の破線により囲んだ部分に対応するグラフである。

【 0 1 7 2 】

図 2 0 に示すように、第二初期化期間 T 2 3 における駆動トランジスタ T r d のソース電極の電圧の上昇量 ($V_1 \sim V_3$) は、閾値電圧 $V t h$ の値が小さいほど ($V t h_1 < V t h_2 < V t h_3$)、大きくなっている ($V_1 > V_2 > V_3$) 。

【 0 1 7 3 】

第二初期化期間は、ノード N 2 を、一定の電圧分、充放電できる長さであればよい。なお、ノード N 2 を一定の電圧分、充放電できる長さは、閾値電圧 $V t h$ の値によって異なる。

50

る。

【0174】

例えば、閾値電圧補償期間の開始前の駆動トランジスタTrdのゲート電極およびソース電極間の電圧 $V_{gs} = V_{REF} - V_{INI} = 6.5V$ とする。閾値電圧 V_{th} が $V_{thMin} = 0V$ となる場合、閾値電圧補償期間の開始時における駆動トランジスタTrdの V_{gs} は、 $V_{thMin} + V_{thMargin} = 2.5V$ になればよい。この場合、ノードN2から $6.5 - 2.5 = 4.0V$ 分の電荷が放電できればよい。なお、閾値電圧補償期間中に、駆動トランジスタTrdの V_{gs} が $2.5V$ から $0V$ になるように、徐々に電荷が放電される。

【0175】

一方、閾値電圧 V_{th} が $V_{thMax} = 2V$ の場合、閾値電圧補償期間の開始時における駆動トランジスタTrdの V_{gs} は、 $V_{thMax} + V_{thMargin} = 4.5V$ になればよい。この場合、ノードN2から $6.5 - 4.5 = 2.0V$ 分の電荷が放電できればよい。なお、閾値電圧補償期間中に、駆動トランジスタTrdの V_{gs} が $4.5V$ から $2V$ になるように、徐々に電荷が放電される。この場合における閾値電圧補償期間の駆動トランジスタTrdの放電量は、閾値電圧 V_{th} が V_{thMin} の場合とほぼ同じになる。つまり、閾値電圧 V_{th} が V_{thMin} となる場合と V_{thMax} となる場合とで、閾値電圧補償にかかる動作が収束する時間がほぼ同じになる。

【0176】

第二初期化期間は、ワーストケース（閾値電圧 V_{th} が V_{thMin} の場合）において、ノードN2を一定の電圧分、充放電できる長さを考えればよい。また、第二初期化期間は、ノードN2の表示画素PX内の充放電時間と、電源線VINIのCR負荷の充放電に必要な時間とを加算した値となる。よって、ノードN2のCR時定数は、 $4V / 6.5V = 62\%$ の充放電にかかる時間（ $= 0.96\tau$ ）となる。

【0177】

(1) ノードN2の表示画素PX内の充放電時間について説明する。表示画素PX内の充放電時間は、 CR 時定数 $\times (C_s + C_{oled}) \times R_{on_Drv} = 0.96 \times (0.5pF + 2.5pF) \times 1M = 2.88\mu sec$ となる。なお、 C_s 、 C_{oled} および R_{on_Drv} の値は、第一初期化期間の場合と同じである。

【0178】

(2) 電源線VINIのCR負荷の充放電に必要な時間について説明する。ここで、電源線VINIのCR時定数は、電源線VREFのCR時定数とほぼ同じであると仮定する。そうすると、電源線VINIのCR負荷の充放電に必要な時間は、 $1.5\mu sec \times 0.96\tau = 1.44\mu sec$ となる。

【0179】

以上より、第二初期化期間は、 $2.88\mu sec + 1.44\mu sec = 4.32\mu sec$ となる。第一初期化期間は、上述したように、 $12.5\mu sec$ であるので、第二初期化期間は、第一初期化期間よりも短い。

【0180】

(期間T24：閾値電圧補償期間)

図17に示す時刻 t_3 ～時刻 t_4 の期間T24は、駆動トランジスタTrdの閾値電圧を補償する閾値電圧補償期間である。

【0181】

当該閾値電圧補償期間では、制御部20により、第二初期化ステップの実行後に、容量素子 C_s の第一電極に対する参照電圧の印加を維持し、かつ、駆動トランジスタTrdのドレイン電極に対する駆動電圧の印加を維持した状態で、第二スイッチ素子を非導通状態にするステップが実行される。

【0182】

具体的には、期間T24では、図17に示すように、第三スイッチ素子Tr3および第四スイッチ素子Tr4は導通状態に、第一スイッチ素子Tr1および第二スイッチ素子T

10

20

30

40

50

r 2 は非導通状態に設定される。

【0183】

走査線駆動回路13は、信号線Scanの電圧をLレベルのまま維持することで、第一スイッチ素子Tr1をオフ状態に維持する。さらに、走査線駆動回路13は、信号線Refおよび信号線Enableの電圧をHレベルのまま維持することで、第三スイッチ素子Tr3および第四スイッチ素子Tr4をオン状態に維持する。

【0184】

また、走査線駆動回路13は、期間T24の開始時に、信号線Initの電圧をHレベルからLレベルに遷移させることにより、第二スイッチ素子Tr2をオン状態からオフ状態に遷移させる。

【0185】

このように、駆動トランジスタTrdのゲート電極に電源線VREFの電圧を入力し、第四スイッチ素子Tr4を導通状態(オン状態)にした状態で、第二スイッチ素子Tr2を非導通状態(オフ状態)にすると、駆動トランジスタTrdの閾値補償動作を開始することができる。

【0186】

例えば、図20に示すように、閾値電圧Vth1の場合、第二初期化期間T23の終了時における駆動トランジスタTrdのソース電極の電圧は、電源線VREF - Vth1である。このため、閾値電圧補償において、駆動トランジスタTrdのソース電極の電圧は、第一初期化期間のみを設ける場合には、V1b上昇させる必要があるが、第二初期化期間を設けた場合には、V1bよりも小さいV1aだけ上昇させればよい。言い換えると、第二初期化期間T23における電圧の上昇分、閾値電圧補償期間における電圧の上昇量を小さく抑えることができる。閾値電圧Vth1の場合、閾値電圧補償における電圧の上昇量は、比較例と比べて本実施の形態では、V1分小さくなる。

【0187】

閾値電圧Vth2あるいはVth3の場合についても、閾値電圧補償における電圧の上昇量は、V2あるいはV3分小さくなる。

【0188】

また、本実施の形態の第二初期化期間T23では、上述したように、駆動トランジスタTrdのソース電極の電圧の上昇量(V1 ~ V3)は、閾値電圧Vthの値が小さいほど(Vth1 < Vth2 < Vth3)、大きくなっている(V1 > V2 > V3)。図3および図20のグラフを比較すると、閾値電圧補償にかかる期間のばらつき(Tth1 - Tth3 = Tth)は、比較例のTthよりも、本実施の形態のTthの方が短くなっていることがわかる。つまり、本実施の形態の場合、図3および図20より、閾値電圧補償にかかる期間のばらつきが低減されていることが分かる。

【0189】

(期間T25 : 第三期間)

図17に示す時刻t4 ~ 時刻t5の期間T25は、閾値補償動作を終了させるための期間である。

【0190】

具体的には、期間T25では、図17に示すように、第一スイッチ素子Tr1、第二スイッチ素子Tr2および第三スイッチ素子Tr3は導通状態に、第四スイッチ素子Tr4は非導通状態に設定される。制御部20は、期間T25の開始時に、第四スイッチ素子Tr4を導通状態から非導通状態にする第三ステップを実行する。

【0191】

走査線駆動回路13は、信号線Scanおよび信号線Initの電圧をLレベルのまま維持することで、第一スイッチ素子Tr1および第二スイッチ素子Tr2をオフ状態に維持する。さらに、走査線駆動回路13は、信号線Refの電圧をHレベルのまま維持することで、第三スイッチ素子Tr3をオン状態に維持する。

【0192】

10

20

30

40

50

また、走査線駆動回路13は、期間T25の開始時に、信号線Enableの電圧をHレベルからLレベルに遷移させることにより、第四スイッチ素子Tr4をオン状態からオフ状態に遷移させる。

【0193】

このようにして、閾値電圧補償期間の後に信号線Enableの動作により第四スイッチ素子Tr4を非導通状態とする期間T25を設けることにより、駆動トランジスタTrd経由で、有機EL素子OELのアノード電極に接続された電源線VELからノードN2への電流の供給をなくすことができ、閾値補償動作を確実に終了させてから次の動作を行うことができる。

【0194】

(期間T26：第四期間)

図17に示す時刻t5～時刻t6の期間T26は、第三スイッチ素子Tr3を非導通状態(オフ状態)にすることで、信号線Dataを介して供給されるデータ信号の電圧と電源線VREFの電圧とが同時にノードN1に印加されるのを防止する期間である。

【0195】

具体的には、期間T26では、図17に示すように、第一スイッチ素子Tr1～第四スイッチ素子Tr4が非導通状態に設定される。制御部20は、期間T26の開始時に、第三スイッチ素子Tr3を導通状態から非導通状態にする第四ステップを実行する。

【0196】

走査線駆動回路13は、信号線Scan、信号線Initおよび信号線Enableの電圧をLレベルのまま維持することで、第一スイッチ素子Tr1、第二スイッチ素子Tr2および第四スイッチ素子Tr4をオフ状態に維持する。さらに、走査線駆動回路13は、期間T26の開始時に、信号線Refの電圧をHレベルからLレベルに遷移させることにより、第三スイッチ素子Tr3をオン状態からオフ状態に遷移させる。

【0197】

このように、信号線Refの動作により第三スイッチ素子Tr3をさらに非導通状態とし、第一スイッチ素子Tr1および第三スイッチ素子Tr3が同時に非導通状態(オフ状態)となる期間T26を設けることで、信号線Dataを介して第一スイッチ素子Tr1から供給されるデータ信号の電圧と、電源線VREFの電圧とがノードN1に同時に印加されるのを防止することができる。

【0198】

なお、第三スイッチ素子Tr3と第四スイッチ素子Tr4とを同時に非導通状態(オフ状態)にし、期間T25および期間T26を一つにまとめてもよい。

【0199】

期間T25および期間T26と2段階にわけられる場合には、以下に説明する利点がある。すなわち、期間T25および期間T26を設けることで、駆動トランジスタTrdのゲート電圧であるノードN1の電圧が不定となる期間をなるべく短くし、不定期間中で発生する恐れのある電圧変動を抑え、映像信号に基づいた表示がより正確にできる。

【0200】

また、階調表示は期間T26の最後(時刻t6)のノードN1の電圧と、信号線Dataを介して入力されるデータ信号の電圧(映像信号に応じた電圧)の書き込み完了時(時刻t27)のノードN1の電圧との電圧差によって行われる。このため、期間T26におけるノードN1の電圧変動は少ないほうが好ましい。理想的には、期間T24においてノードN1に電源線VREFの電圧が印加され、期間T25においてはノードN1の電圧が保持されることから、電圧差(データ信号の電圧-電源線VREFの電圧)に基づいて有機EL素子OELの表示輝度が決まる。

【0201】

なお、データ信号の電圧-電源線VREFの電圧を正確に反映させるには、期間T26はなるべく短い方がよい。

【0202】

10

20

30

40

50

また、信号線 `Enable` に接続される第四スイッチ素子 `Tr 4` は、図 4 に示すように、駆動トランジスタ `Tr d` のドレイン側に接続されている。第四スイッチ素子 `Tr 4` を n 型トランジスタで形成した場合、第四スイッチ素子 `Tr 4` のオン抵抗は高くなりやすく、オン抵抗による電圧ドロップは、有機 EL パネル 11 の消費電力に影響する。そのため、できる限り第四スイッチ素子 `Tr 4` のオン抵抗を下げて形成する。第四スイッチ素子 `Tr 4` のオン抵抗を下げる方法としては、一般的に、第四スイッチ素子 `Tr 4` のチャネルサイズを大きくする方法、あるいは、信号線 `Enable` の H レベルの電圧（オン状態制御電圧）を高く設定する方法が知られているが、いずれの方法であっても信号線 `Enable` の立下り時間を長くする方向となってしまう。

【0203】

そこで、本実施の形態では、信号線 `Ref` に対して先に信号線 `Enable` を立ち下げる期間 `T 2 5` を設けることにより、ノード `N 1` の電圧が不安定となる期間を短くすることができる、つまり、立下り時間を短くすることができる。

【0204】

（期間 `T 2 7`：書込期間）

図 17 に示す時刻 `t 6` ~ 時刻 `t 7` の期間 `T 2 7` は、信号線 `Data` から映像信号に含まれる階調値に応じた電圧値を有するデータ信号の電圧を、第一スイッチ素子 `Tr 1` を介して容量素子 `C s` に書き込む書込期間である。

【0205】

具体的には、期間 `T 2 7` では、図 17 に示すように、第一スイッチ素子 `Tr 1` が導通状態に、第二スイッチ素子 `Tr 2`、第三スイッチ素子 `Tr 3` および第四スイッチ素子 `Tr 4` が非導通状態に設定される。

【0206】

走査線駆動回路 13 は、信号線 `Init`、信号線 `Ref` および信号線 `Enable` の電圧を L レベルのまま維持することで、第二スイッチ素子 `Tr 2`、第三スイッチ素子 `Tr 3` および第四スイッチ素子 `Tr 4` をオフ状態に維持する。さらに、走査線駆動回路 13 は、期間 `T 2 7` の開始時に、信号線 `Scan` の電圧を L レベルから H レベルに遷移させることにより、第一スイッチ素子 `Tr 1` をオフ状態からオン状態に遷移させる。

【0207】

これにより、容量素子 `C s` には、閾値電圧補償期間で記憶された駆動トランジスタ `Tr d` の閾値電圧 V_{th} に加えて、データ信号の電圧と電源線 `V REF` の電圧との電圧差が、（有機 EL 素子 `O E L` の容量） / （有機 EL 素子 `O E L` の容量 + 容量素子 `C s` の容量）倍されて、記憶（保持）される。ここで、第四スイッチ素子 `Tr 4` が非導通状態にあるため、駆動トランジスタ `Tr d` はドレイン電流を流さない。そのため、ノード `N 2` の電圧は期間 `T 2 7` の間で大きく変化することはない。

【0208】

大画面化（有機 EL パネル 11 のサイズが大きくなる）、かつ、表示画素 `P X` の数が増加するのに伴い、表示画素 `P X` にデータ信号を書き込むための期間（水平走査期間）が短くなる。大画面化に伴い信号線 `Scan` の配線時定数も増加する。水平走査期間の短縮および信号線 `Scan` の配線時定数の増加により、従来の有機 EL パネル 11 に比べ、所望の階調値に対応する電圧を表示画素 `P X` に書き込むことが難しくなる。

【0209】

そこで、本実施の形態では、図 3 に示すように、限られた時間で映像信号（データ信号電圧）を取り込むために、第一スイッチ素子 `Tr 1` を導通状態にさせる時間（期間 `T 2 7`）を増加させている。また、本実施の形態では、信号線 `Scan` の波形なまりがあっても、データ信号の電圧が信号線 `Data` に入力される前に信号線 `Scan` が立ち上がりを完了させて、第一スイッチ素子 `Tr 1` が導通状態（オン状態）となるようにしている。これは期間 `T 2 7` でのノード `N 2` 電圧変動が大きく発生しないためである。

【0210】

これにより、信号線 `Scan` の負荷（配線時定数）が大きく、立ち上がりに時間がかか

10

20

30

40

50

るような大画面、高画素数の有機ELパネル11であっても確実に書き込むことができる。

【0211】

なお、このように駆動させることから、信号線Scanの配線幅をより細くすることもできる。その場合、配線幅を細くした分を容量素子Csの大きさ(容量)を拡大することに用いて、表示性能を上げるとしてもよい。

【0212】

表示性能は、容量素子Csが小さいと、駆動トランジスタTrdのドレインゲート間寄生容量と容量素子Csと有機EL素子OELの容量が直列になっている関係から、電源線VELの変動により、容量素子Csに書き込まれている電荷量が増加するという問題が顕著となる。そのため、表示性能は、寄生容量と蓄積容量の比率が重要であり、蓄積容量/寄生容量 $\gg 1$ となることが好ましい。

10

【0213】

このように、期間T27(書込期間)では、データ信号の電圧および駆動トランジスタTrdの閾値電圧に応じた電圧が容量素子Csに記憶(保持)される。

【0214】

(期間T28)

図17に示す時刻t7~時刻t8の期間T28は、第一スイッチ素子Tr1を確実に非導通にさせるための期間である。

【0215】

具体的には、期間T28では、図17に示すように、第一スイッチ素子Tr1~第四スイッチ素子Tr4が非導通状態に設定される。

20

【0216】

走査線駆動回路13は、信号線Init、信号線Refおよび信号線Enableの電圧をLレベルのまま維持することで、第二スイッチ素子Tr2、第三スイッチ素子Tr3および第四スイッチ素子Tr4をオフ状態に維持する。さらに、走査線駆動回路13は、期間T28の開始時に、信号線Scanの電圧をHレベルからLレベルに遷移させることにより、第一スイッチ素子Tr1をオン状態からオフ状態に遷移させる。

【0217】

これにより、続く期間T29(発光期間)において第四スイッチ素子Tr4が導通状態(オン状態)になる前に第一スイッチ素子Tr1を確実に非導通状態(オフ状態)にすることができる。

30

【0218】

期間T28を設けず、第一スイッチ素子Tr1と第四スイッチ素子Tr4とが同時に導通状態(オン状態)になってしまった場合、駆動トランジスタTrdのドレイン電流により、ノードN2の電圧が上昇する一方で、ノードN1の電圧はデータ信号の電圧となる。そうすると、駆動トランジスタTrdのソースゲート間電圧が小さくなってしまふ。この場合には、所望の輝度に比べて少ない輝度で発光してしまうという問題がある。これを防止するため、本実施の形態では、期間T28を設けて第一スイッチ素子Tr1が非導通状態であることを確保してから、続く期間T29において第四スイッチ素子Tr4を導通状態にする。

40

【0219】

(期間T29:発光期間)

図17に示す時刻t8~時刻t9の期間T29は、発光期間である。

【0220】

具体的には、期間T29では、図17に示すように、第四スイッチ素子Tr4が導通状態に、第一スイッチ素子Tr1、第二スイッチ素子Tr2および第三スイッチ素子Tr3が非導通状態に設定される。

【0221】

走査線駆動回路13は、信号線Scan、信号線Initおよび信号線Refの電圧を

50

Lレベルのまま維持することで、第一スイッチ素子 Tr_1 、第二スイッチ素子 Tr_2 および第三スイッチ素子 Tr_3 をオフ状態に維持する。さらに、走査線駆動回路13は、期間 T_{29} の開始時に、信号線 $Enable$ の電圧をLレベルからHレベルに遷移させることにより、第四スイッチ素子 Tr_4 をオフ状態からオン状態に遷移させる。

【0222】

このように、第四スイッチ素子 Tr_4 が導通状態(オン状態)になると、駆動トランジスタ Tr_d は、容量素子 C_s に蓄えられた電圧に応じた駆動電流を有機EL素子OELに供給する。これにより、有機EL素子OELを発光させることができる。

【0223】

(期間 T_{30} :第二期間)

図17に示す時刻 t_9 ~時刻 t_0 の期間 T_{30} は、すべてのスイッチを非導通状態として、ノード N_1 およびノード N_2 の電圧を、期間 T_{21} で必要な電圧に近い電圧まで変化させるための期間である。

【0224】

具体的には、期間 T_{30} では、図17に示すように、第一スイッチ素子 Tr_1 ~第四スイッチ素子 Tr_4 が非導通状態に設定される。制御部20は、期間 T_{30} の開始時に、第一スイッチ素子 Tr_1 、第二スイッチ素子 Tr_2 、第三スイッチ素子 Tr_3 および第四スイッチ素子 Tr_4 を非導通状態にする第二ステップを実行する。

【0225】

走査線駆動回路13は、信号線 $Scan$ 、信号線 $Init$ および信号線 Ref の電圧をLレベルのまま維持することで、第一スイッチ素子 Tr_1 、第二スイッチ素子 Tr_2 および第三スイッチ素子 Tr_3 をオフ状態に維持する。さらに、走査線駆動回路13は、期間 T_{30} の開始時に、信号線 $Enable$ の電圧をHレベルからLレベルに遷移させることにより、第四スイッチ素子 Tr_4 をオン状態からオフ状態に遷移させる。

【0226】

期間 T_{29} と期間 T_{21} の間に期間 T_{30} を設けることで、電源線による電流の充放電なしに、ノード N_1 およびノード N_2 の電圧を、期間 T_{21} で必要な電圧に近い電圧まで変化させることができる。

【0227】

より具体的には、ノード N_2 は、期間 T_{30} において、電源線 V_{EL} の電圧+有機EL素子OELの閾値電圧に収束する。また、ノード N_1 は、期間 T_{30} において、ノード N_2 の電圧+容量素子 C_s に記憶された電圧となる。

【0228】

つまり、期間 T_{30} を設けることにより、期間 T_{21} の開始時点(時刻 t_0)では、期間 T_{29} の終了時点(時刻 t_9)に比べ、ノード N_1 およびノード N_2 の電圧を有機EL素子OELの発光時電圧 閾値電圧分だけ低くできる。

【0229】

この電圧低下により、期間 T_{21} での電源線 V_{INI} の電圧と電源線 V_{REF} の電圧による充放電作業の負荷が軽くなる。

【0230】

以上のようなシーケンスにより、表示画素 P_X は、階調表示を行う。

【0231】

なお、制御部20は、有機ELパネル11を構成する他の表示画素 P_X についても、同様の制御方法を線順次に行う。

【0232】

[3.効果等]

本実施の形態の有機ELディスプレイ10では、第一初期化期間と閾値電圧補償期間との間に、容量素子 C_s の第二電極と有機EL素子OELのアノード電極との接続点であるノード N_2 に対し、閾値電圧補償にかかる期間が短くなる方向に充放電を行う第二初期化期間を設けている。

10

20

30

40

50

【 0 2 3 3 】

ここで、本実施の形態の有機 E L ディスプレイ 1 0 では、第二初期化期間を余分に設けるため、第二初期化期間の長さ分、閾値電圧補償期間が増加したのと同じことになる。しかし、第二初期化期間の長さよりも、第二初期化期間を設けることによる閾値電圧補償期間の短縮時間の方が長い。つまり、従来の閾値電圧補償期間 > 本実施の形態の閾値電圧補償期間 + 第二初期化期間となるため、トータルでは時間短縮を図ることができる。

【 0 2 3 4 】

さらに、本実施の形態の有機 E L ディスプレイ 1 0 では、第二初期化期間を設けることにより、閾値電圧補償にかかる期間（例えば、図 2 0 の T t h 1 ~ T t h 3 ）が短くなるため、閾値電圧補償期間（例えば、1 H ）が短くなっても、閾値電圧補償を良好に行うことができる。本実施の形態の有機 E L ディスプレイ 1 0 では、例えば、大型化あるいは高精細化等により、1 水平走査期間が短くなった場合でも、閾値電圧補償期間を 2 H にする等、閾値電圧補償期間を延ばすことなく閾値電圧補償を良好に行うことができる。

10

【 0 2 3 5 】

なお、本実施の形態の有機 E L ディスプレイ 1 0 では、閾値電圧補償にかかる時間を短くするために、第二スイッチ素子による電圧降下を利用して、駆動トランジスタ T r d のソース電極の電圧を閾値電圧補償にかかる期間が短くなる方向に調整している。つまり、本実施の形態では、第二スイッチ素子を抵抗部として動作させ、第二初期化期間を設けるという簡単な構成で、製造コストを増大させることなく、閾値電圧補償期間の短縮および閾値電圧補償の精度を向上させることができる。

20

【 0 2 3 6 】

（他の実施の形態）

以上、表示装置について実施の形態に基づいて説明したが、本発明は、この実施の形態に限定されるものではない。本発明の趣旨を逸脱しない限り、当業者が思いつく各種変形を本実施の形態に施したもののや、異なる実施の形態における構成要素を組み合わせ構築される形態も、一つまたは複数の態様の範囲内に含まれてもよい。

【 0 2 3 7 】

（1）例えば、上記実施の形態では、第二スイッチ素子 T r 2 の W / L 比を他のスイッチ素子に比べて小さくすることで、抵抗部としての機能を実現したが、これに限るものではない。例えば、信号線 I n i t のオン電圧（スイッチ素子をオン状態にするときのゲート電極の電圧）を、他の信号線のオン電圧に比べて低くすることで、第二スイッチ素子 T r 2 のオン抵抗を大きくしても良い。この際、第一初期化期間と第二初期化期間とで、信号線 I n i t のオン電圧を変えても良い。あるいは、第二スイッチ素子 T r 2 の W / L 比は他のスイッチ素子と同じにしつつ、第二スイッチ素子 T r 2 の移動度を他のスイッチ素子よりも低くなるように、製造プロセスで調整しても良い。

30

【 0 2 3 8 】

（2）また、上記実施の形態では、第二スイッチ素子 T r 2 を抵抗部として用いたが、これに限るものではない。抵抗部は、第二スイッチ素子 T r 2 とは別個の抵抗素子を備えていても構わない。抵抗部は、例えば、スイッチ素子および抵抗素子の直列回路と、第二スイッチ素子 T r 2 とを並列に接続した構成であっても構わない。

40

【 0 2 3 9 】

図 2 1 は、抵抗部の他の一例を示す回路図である。この場合、第二スイッチ素子 T r 2 はスイッチとして動作すればよいので、オン抵抗は他のスイッチ素子と同じで良い。つまり、W / L 比は他のスイッチ素子と同じで良い。また、直列回路のスイッチ素子がトランジスタである場合は、制御部 2 0 は、当該スイッチ素子がスイッチとしてみなして良いほど、十分低抵抗で動作するように当該スイッチ素子のゲート電極の電圧を制御しても構わない。

【 0 2 4 0 】

また、図 2 2 および図 2 3 は、抵抗部の他の一例を示す回路図である。図 2 2 および図 2 3 では、第二スイッチ素子 T r 2 に抵抗素子が直接に接続されている。

50

【0241】

(3) また、複数の表示画素 PX で、抵抗部を共有しても構わない。

【0242】

図24は、2つの表示画素 PX で1つの抵抗部を共有する場合の例を示す回路図である。図24では、表示画素 $PX1$ の第二スイッチ素子 $Tr2$ の一端と、表示画素 $PX2$ の第二スイッチ素子 $Tr2$ の一端とが、スイッチ素子 TrB の一端に接続されている。図24に示す変形例では、表示画素 $PX1$ および $PX2$ の第二スイッチ素子 $Tr2$ をスイッチとして動作させ、スイッチ素子 TrB を抵抗部として動作させる。具体的には、第二スイッチ素子 $Tr2$ は、第一スイッチ素子 $Tr1$ と同じオン抵抗および同じ W/L 比となるようにし、スイッチ素子 TrB は、第一スイッチ素子 $Tr1$ および第二スイッチ素子 $Tr2$ よりも高いオン抵抗となるように、 W/L 比を小さくする。

10

【0243】

ここで、第二初期化期間中にスイッチ素子 TrB に流れる貫通電流は、1サブ画素毎に抵抗部を設けた場合に対して約2倍となる。従って、初期化期間における駆動トランジスタのソース電極の電圧は、 $V_{TFT} - (V_{INI} + R_{on} \times 2 \times I_d)$ となり、上記実施の形態に対して閾値電圧補償期間の開始時における駆動トランジスタのソース電極の電圧変動量は、約2倍となる。言い換えると、目標とする V_{gs} / V_{th} を実現するための R_{on} 抵抗が、上記実施の形態に比べて約 $1/2$ となり、抵抗部の面積そのものを半分に縮小することができる。つまり、2つの表示画素 PX で1つの抵抗部を共有する場合、上記の実施の形態に比べて、1サブ画素あたりのレイアウトサイズの増加量を約 $1/4$ に抑えることができる。

20

【0244】

これによって、抵抗部を複数画素で共有することで、1サブ画素あたりのレイアウトサイズの増加量を抑制するだけでなく、抵抗部自体の面積も縮小できるので、より高精細なパネルを設計することが可能となる。

【0245】

(4) また、上記実施の形態では、第一初期化期間および第二初期化期間において、第二スイッチ素子 $Tr2$ のゲート電極に印加される電圧が同じ値である場合を例に説明したが、これに限るものではない。

【0246】

図25は、有機ELディスプレイ10の信号波形の他の一例を示す回路図である。図25に示す例では、第一初期化期間では、スイッチとしてできるだけ低抵抗で動作させるため、他のスイッチ素子のゲート電極と同じレベルの電圧がゲート電極に印加されている。これにより、第二スイッチ素子 $Tr2$ のオン抵抗が第二初期化期間に比べて大きくなっている。これに対し、第二初期化期間では、抵抗として動作させるため、第一初期化期間よりも小さい電圧が第二スイッチ素子 $Tr2$ のゲート電極に印加されている。第二スイッチ素子 $Tr2$ のオン抵抗が第一初期化期間に比べて小さくなっている。

30

【産業上の利用可能性】

【0247】

本発明は、有機ELディスプレイ等の表示装置に利用可能である。

40

【符号の説明】

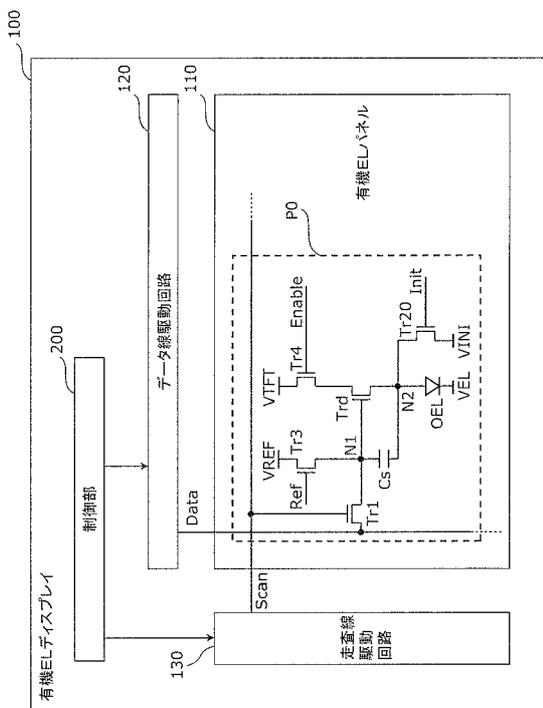
【0248】

10、100 有機ELディスプレイ
 11、110 有機ELパネル
 12、120 データ線駆動回路
 13、130 走査線駆動回路
 20、200 制御部
 Cs 容量素子
 N1、N2 ノード
 OEL 有機EL素子

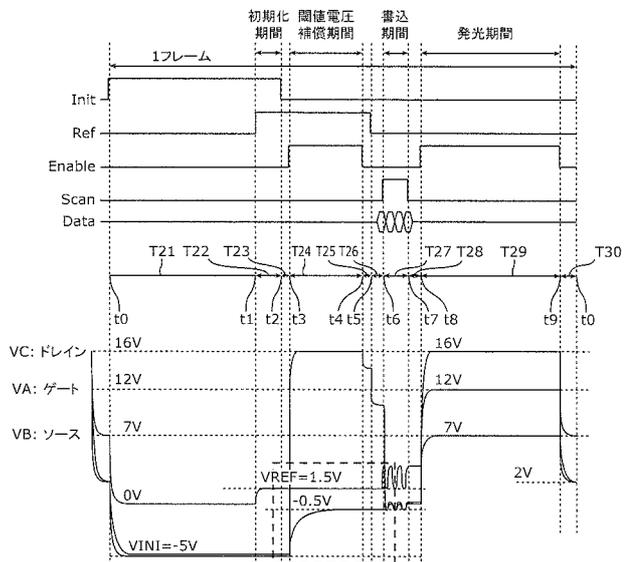
50

P0、PX、PX1、PX2 表示画素
 Tr1 第一スイッチ素子
 Tr2、Tr20 第二スイッチ素子
 Tr3 第三スイッチ素子
 Tr4 第四スイッチ素子
 Trd 駆動トランジスタ
 VTFT、VINI、VREF、VEL 電源線

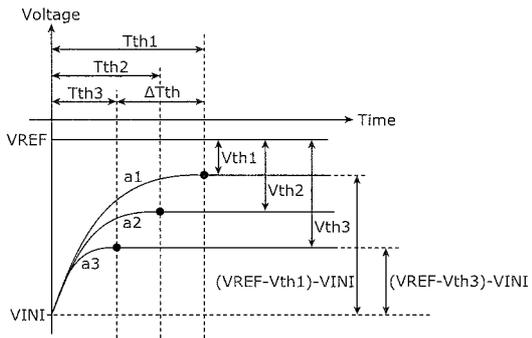
【図1】



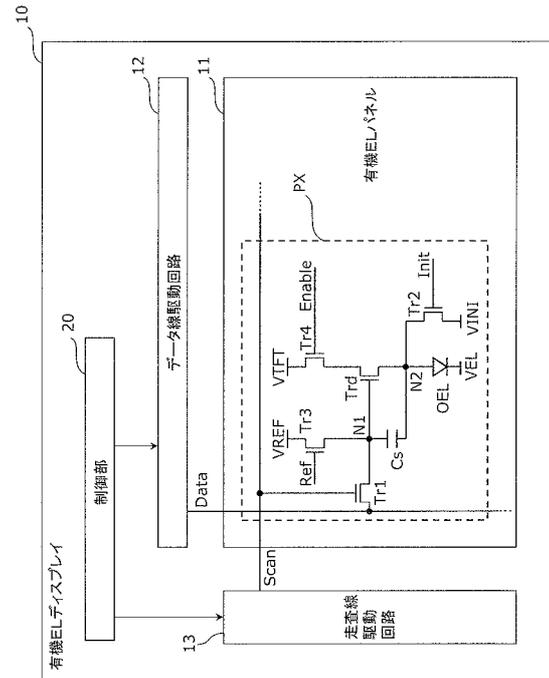
【図2】



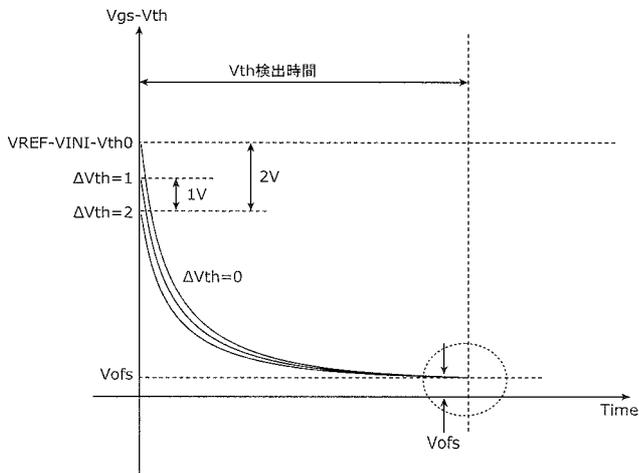
【図3】



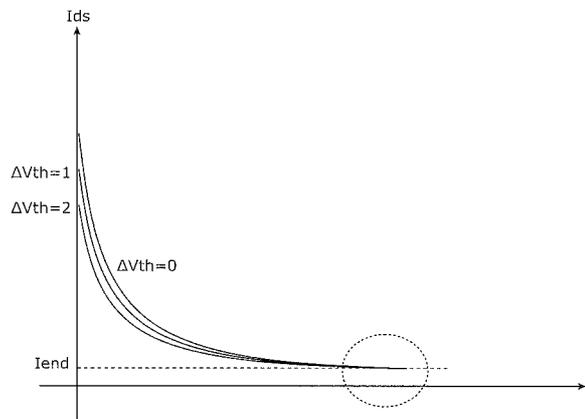
【図4】



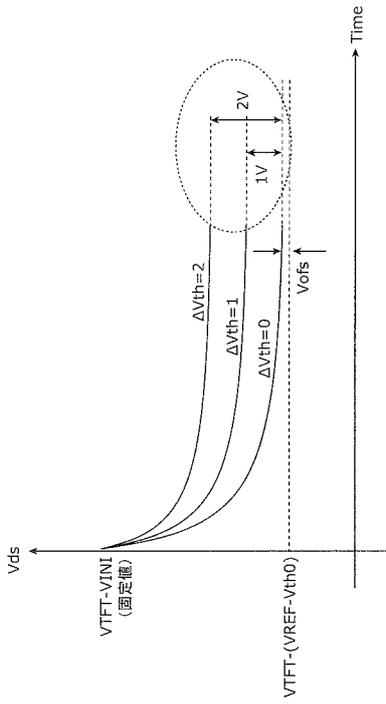
【図5】



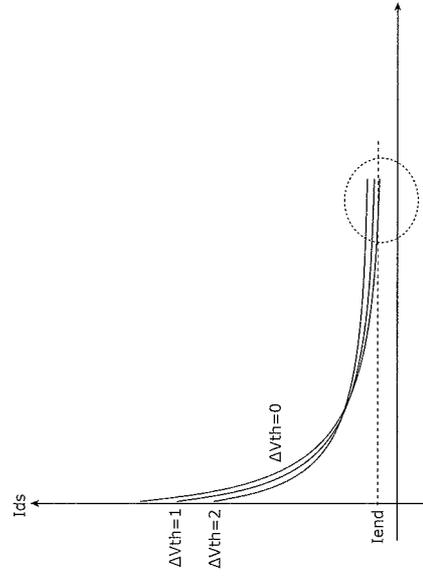
【図6】



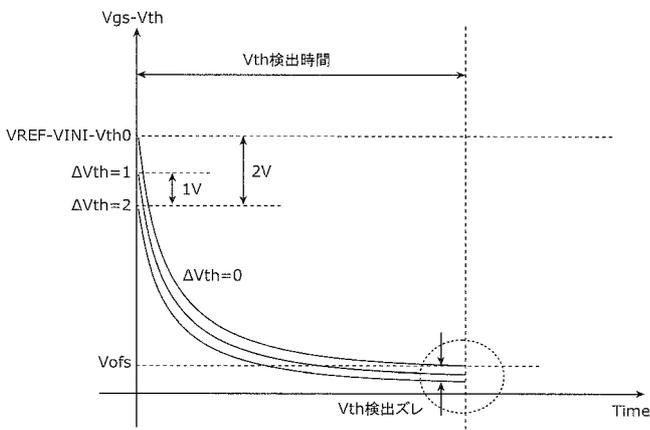
【 図 7 】



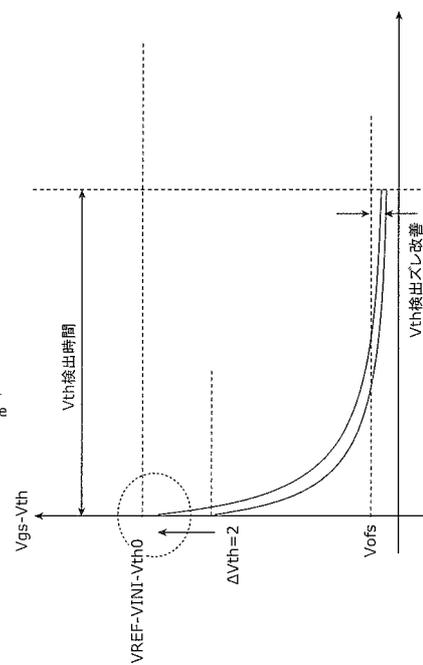
【 図 8 】



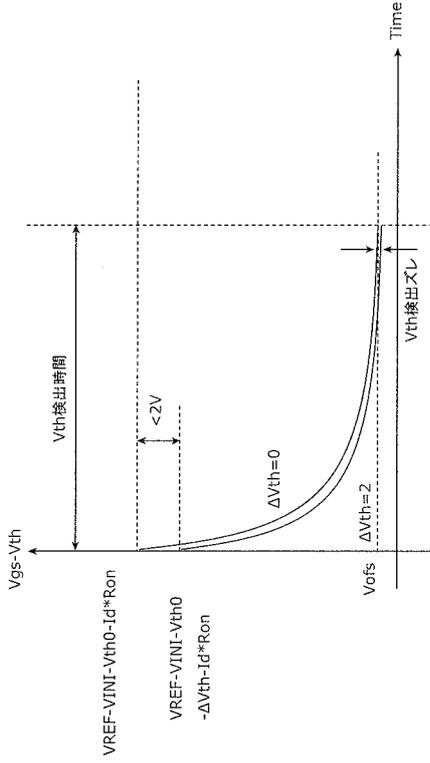
【 図 9 】



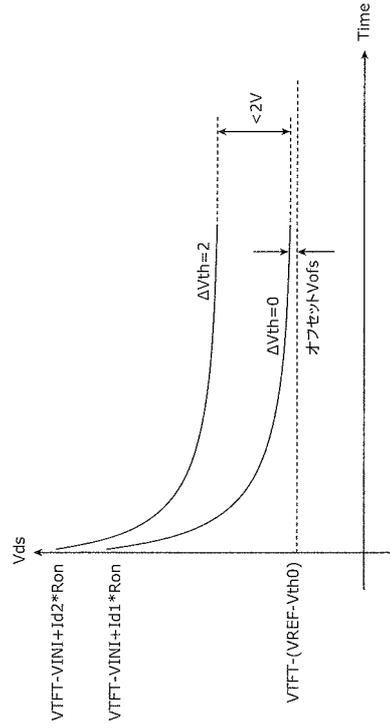
【 図 10 】



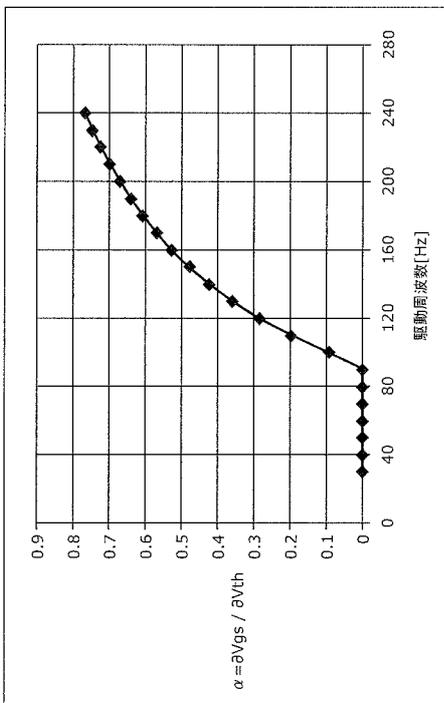
【図 1 1】



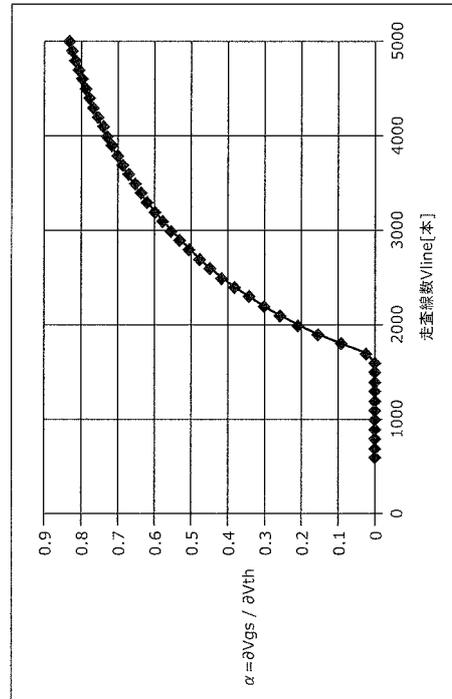
【図 1 2】



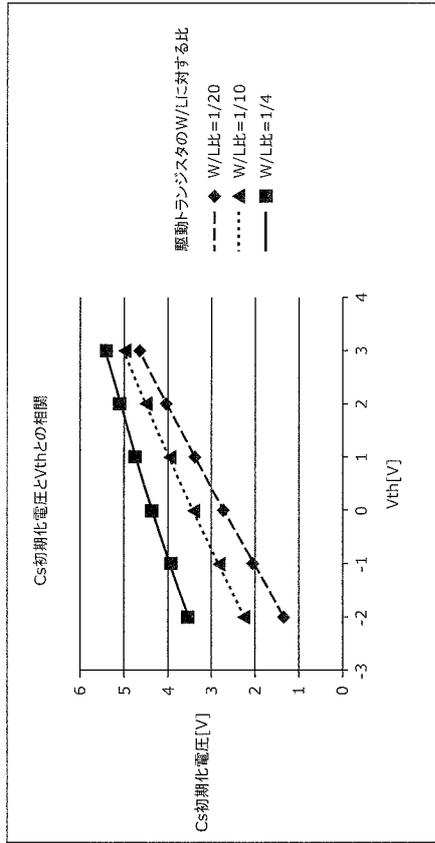
【図 1 3】



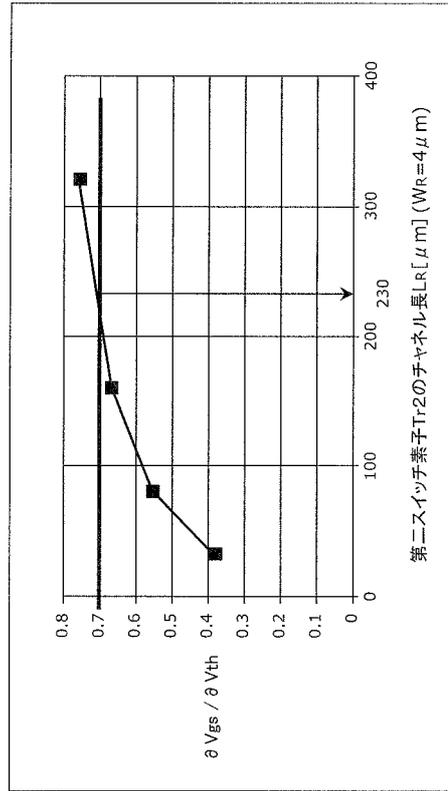
【図 1 4】



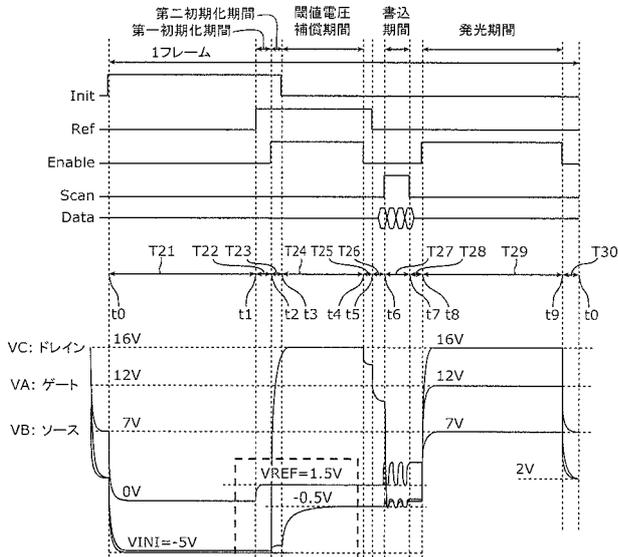
【図 15】



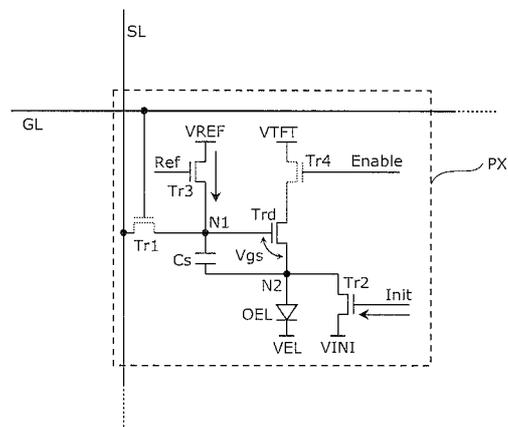
【図 16】



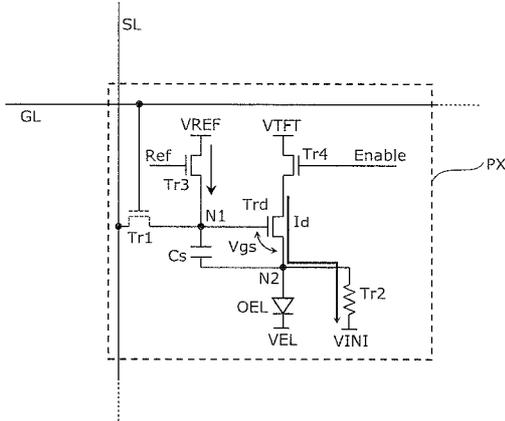
【図 17】



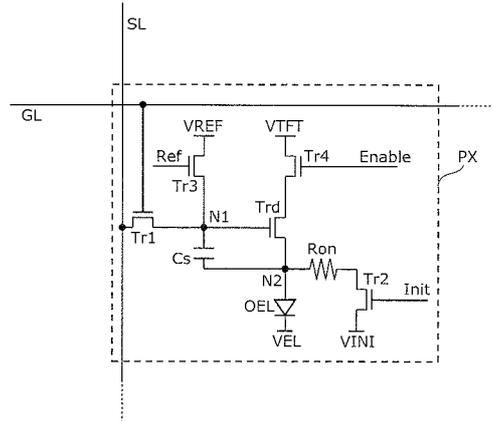
【図 18】



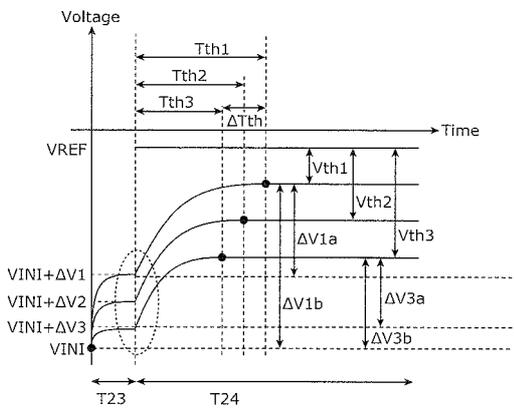
【 図 1 9 】



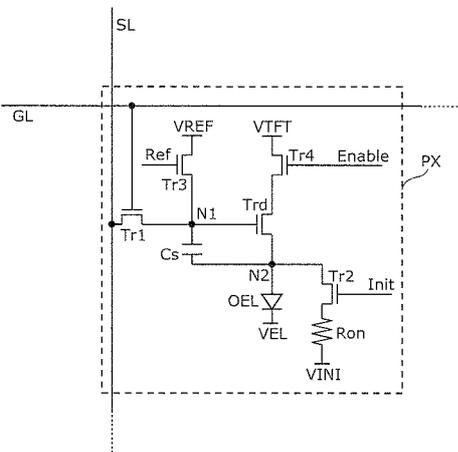
【 図 2 1 】



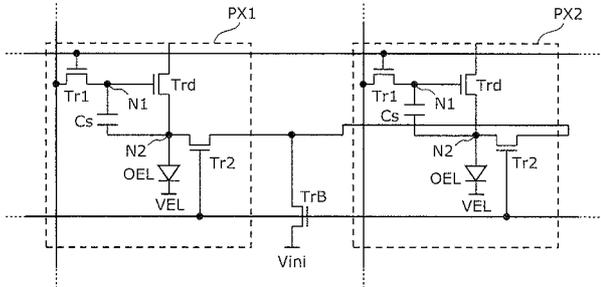
【 図 2 0 】



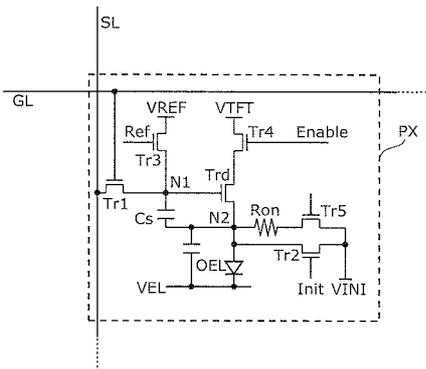
【 図 2 2 】



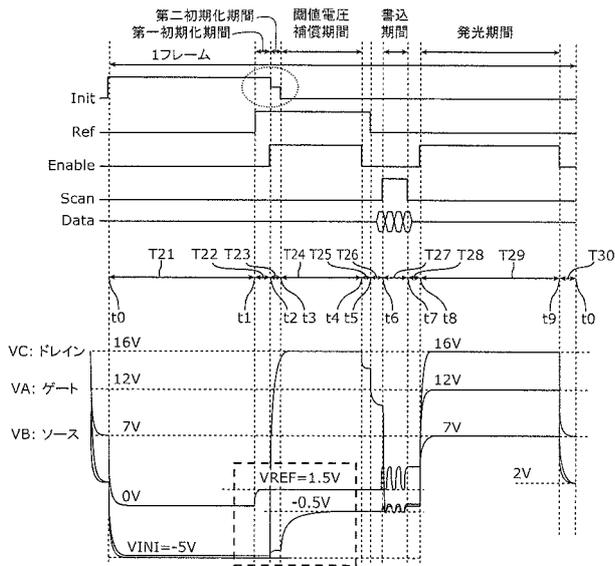
【 図 2 4 】



【 図 2 3 】



【図 25】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 5 B 33/26 Z

(72)発明者 柘植 仁志

大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内

Fターム(参考) 3K107 AA01 BB01 CC02 CC11 CC21 CC33 DD39 EE03 HH02 HH04
HH05
5C080 AA06 BB05 CC03 DD05 DD07 JJ02 JJ03 JJ04 JJ05
5C380 AA01 AB06 AB34 AB46 BA38 BA39 BB02 CA12 CB16 CB17
CC04 CC07 CC26 CC33 CC39 CC57 CC65 CC66 CD014 CD026
CE19 CF41 DA06 DA47 HA13

专利名称(译)	表示装置		
公开(公告)号	JP2016075787A	公开(公告)日	2016-05-12
申请号	JP2014205962	申请日	2014-10-06
[标]申请(专利权)人(译)	日本有机雷特显示器股份有限公司		
申请(专利权)人(译)	株式会社JOLED		
[标]发明人	戎野浩平 小野晋也 柘植仁志		
发明人	戎野 浩平 小野 晋也 柘植 仁志		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 H05B33/26		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.624.B G09G3/20.642.A H05B33/14.A H05B33/26.Z G09G3/3225 G09G3/3266 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC02 3K107/CC11 3K107/CC21 3K107/CC33 3K107/DD39 3K107/EE03 3K107/HH02 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD07 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB34 5C380/AB46 5C380/BA38 5C380/BA39 5C380/BB02 5C380/CA12 5C380/CB16 5C380/CB17 5C380/CC04 5C380/CC07 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC57 5C380/CC65 5C380/CC66 5C380/CD014 5C380/CD026 5C380/CE19 5C380/CF41 5C380/DA06 5C380/DA47 5C380/HA13		
代理人(译)	吉川修 Sobashima正雄		
外部链接	Espacenet		

摘要(译) 解决的问题：提供一种可以在不增加阈值电压补偿时间的情况下高精度地进行阈值电压补偿的显示装置。元件Cs和驱动晶体管Trd，其中栅极连接到电容元件Cs的第一电极，并且源极连接到电容元件Cs的第二电极和有机EL元件OEL的阳极；和一个控制单元。控制单元被配置为执行以下步骤：在停止向驱动晶体管Trd的漏极施加驱动电压的状态下向第一电极施加参考电压；以及向其中的第二电极施加初始化电压。；在维持基准电压和初始化电压的施加的状态下，开始向驱动晶体管Trd的漏极施加驱动电压。在保持基准电压和驱动电压施加的状态下，停止向第二电极施加初始化电压。图21	(21) 出願番号	特願2014-205962 (P2014-205962)	(71) 出願人	514188173 株式会社 JOLED 東京都千代田区神田錦町三丁目2-3番地
	(22) 出願日	平成26年10月6日 (2014.10.6)	(74) 代理人	100189430 弁理士 吉川 修一 100190805 弁理士 傍島 正朗
			(72) 発明者	戎野 浩平 大阪府門真市大字門真1006番地 パナソニック株式会社内 小野 晋也 大阪府門真市大字門真1006番地 パナソニック株式会社内