

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-48300

(P2016-48300A)

(43) 公開日 平成28年4月7日(2016.4.7)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 611G	5C080
H05B 33/08 (2006.01)	G09G 3/20 624B	5C380
H01L 51/50 (2006.01)	G09G 3/20 641D	
	G09G 3/20 642A	
審査請求 未請求 請求項の数 6 O L (全 23 頁) 最終頁に続く		

(21) 出願番号	特願2014-173043 (P2014-173043)	(71) 出願人	514188173
(22) 出願日	平成26年8月27日 (2014.8.27)		株式会社 J O L E D
			東京都千代田区神田錦町三丁目23番地
		(74) 代理人	100189430
			弁理士 吉川 修一
		(74) 代理人	100190805
			弁理士 傍島 正朗
		(72) 発明者	前田 智之
			大阪府門真市大字門真1006番地 パナ
			ソニック株式会社内
		(72) 発明者	山本 浩幹
			大阪府門真市大字門真1006番地 パナ
			ソニック株式会社内
		Fターム(参考)	3K107 AA01 BB01 CC33 EE03 HH04
			最終頁に続く

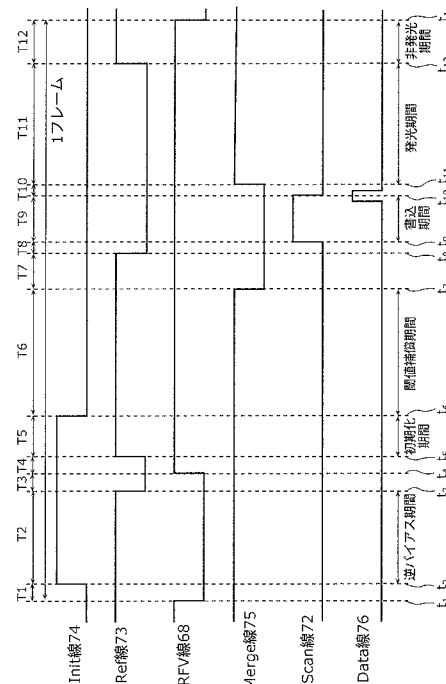
(54) 【発明の名称】 表示装置の駆動方法及び表示装置

(57) 【要約】

【課題】 T F T 素子に逆バイアス電圧を印加したときに、トランジスタの閾値が逆方向にシフト（ネガティブシフト）するのを抑制する。

【解決手段】 E L 素子 6 6 と駆動トランジスタ 6 1 とを有する画素が行列状に複数配置された表示装置 1 の駆動方法は、駆動トランジスタ 6 1 のゲート電極およびソース電極間に逆バイアス電圧が印加される逆バイアス印加期間と、駆動トランジスタ 6 1 のゲート電極およびソース電極間に、駆動トランジスタ 6 1 の閾値電圧よりも大きな電圧であって駆動トランジスタ 6 1 のゲート電極およびソース電極間が順バイアスとなる初期化電圧が印加される初期化期間と、を有し、初期化期間の長さ又は初期化電圧の大きさは、逆バイアス印加期間における駆動トランジスタ 6 1 の閾値電圧の変動量に応じて設定される。

【選択図】 図 3



【特許請求の範囲】

【請求項 1】

供給される電流に応じて発光する発光素子と輝度信号の大きさに応じた電流を前記発光素子に供給する駆動トランジスタとを有する画素が行列状に複数配置された表示装置の駆動方法であって、

前記駆動トランジスタのゲートソース間に逆バイアス電圧が印加される逆バイアス印加期間と、

前記駆動トランジスタのゲートソース間に、前記駆動トランジスタの閾値電圧よりも大きな電圧であって前記駆動トランジスタのゲート電極およびソース電極間が順バイアスとなる初期化電圧が印加される初期化期間と、を有し、

前記初期化期間の長さ又は前記初期化電圧の大きさは、前記逆バイアス印加期間における前記駆動トランジスタの閾値電圧の変動量に応じて設定される、

表示装置の駆動方法。

【請求項 2】

前記駆動トランジスタの閾値電圧の変動量は、予め取得された前記発光素子の発光状態のデータから求められる、

請求項 1 に記載の表示装置の駆動方法。

【請求項 3】

前記駆動トランジスタの閾値電圧の変動量は、前記発光素子の発光状態から計算することにより求められる、

請求項 1 に記載の表示装置の駆動方法。

【請求項 4】

行列状に配置された複数の画素を有する表示装置であって、

前記複数の画素の各々は、

発光素子と、

電圧を保持するための容量素子と、

前記容量素子に保持された電圧に応じた電流を前記発光素子に供給することにより前記発光素子を発光させる駆動トランジスタと、

前記画素を初期化する初期化期間において、前記駆動トランジスタに、前記駆動トランジスタの閾値電圧よりも大きな電圧であって前記駆動トランジスタのゲート電極およびソース電極間が順バイアスとなる初期化電圧を印加し、前記初期化期間の前の前記発光素子を発光させない期間のうちの所定期間において、前記駆動トランジスタに、前記駆動トランジスタの前記ゲート電極およびソース電極間が逆バイアスとなる逆バイアス電圧を印加する電圧印加部と、を備え、

前記電圧印加部は、

前記駆動トランジスタの閾値が、前記逆バイアス電圧の印加によって逆方向にシフトしないように、前記逆バイアス印加期間における前記駆動トランジスタの閾値電圧の変動量に応じて前記初期化期間の長さ又は前記初期化電圧の大きさを設定する、

表示装置。

【請求項 5】

前記駆動トランジスタの閾値電圧の変動量は、前記発光素子の発光状態のデータから求められる、

請求項 4 に記載の表示装置。

【請求項 6】

前記駆動トランジスタの閾値電圧の変動量は、前記発光素子の発光状態から計算することにより求められる、

請求項 4 に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、画像データを表示する表示装置に関する。

【背景技術】

【0002】

TFT素子は、トランジスタのゲート電極およびソース電極間に電圧を印加することで劣化する。これに対し、特許文献1では、TFT (Thin Film Transistor) 素子のゲート電極およびソース電極間に逆バイアス電圧を印加して、当該劣化を低減している (例えば、特許文献1 参照)。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2005-164894号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

本開示は、TFT素子に逆バイアス電圧を印加したときに、トランジスタの閾値が逆方向にシフト (ネガティブシフト) するのを抑制することができる表示装置の駆動方法および表示装置を提供することを目的とする。

【課題を解決するための手段】

【0005】

本開示の一態様に係るEL表示装置は、供給される電流に応じて発光する発光素子と輝度信号の大きさに応じた電流を前記発光素子に供給する駆動トランジスタとを有する画素が行列状に複数配置された表示装置の駆動方法であって、前記駆動トランジスタのゲート-ソース間に逆バイアス電圧が印加される逆バイアス印加期間と、前記駆動トランジスタのゲート-ソース間に、前記駆動トランジスタの閾値電圧よりも大きな電圧であって前記駆動トランジスタのゲート電極およびソース電極間が順バイアスとなる初期化電圧が印加される初期化期間と、を有し、前記初期化期間の長さ又は前記初期化電圧の大きさは、前記逆バイアス印加期間における前記駆動トランジスタの閾値電圧の変動量に応じて設定される。

【発明の効果】

【0006】

本開示によれば、TFT素子に逆バイアス電圧を印加したときに、トランジスタの閾値が逆方向にシフト (ネガティブシフト) するのを抑制することができる。

【図面の簡単な説明】

【0007】

【図1】実施の形態に係る表示装置の機能ブロック図の一例である。

【図2】実施の形態に係る表示装置の有する表示画素の回路構成の一例を示す図である。

【図3】実施の形態に係る表示装置の駆動時の動作の一例を説明するためのタイミングチャートである。

【図4A】図3に示すタイミングチャートにおける画素回路の動作の一例を示す図である。

【図4B】図3に示すタイミングチャートにおける画素回路の動作の一例を示す図である。

【図4C】図3に示すタイミングチャートにおける画素回路の動作の一例を示す図である。

【図4D】図3に示すタイミングチャートにおける画素回路の動作の一例を示す図である。

【図4E】図3に示すタイミングチャートにおける画素回路の動作の一例を示す図である。

【図4F】図3に示すタイミングチャートにおける画素回路の動作の一例を示す図である。

10

20

30

40

50

【図 5】 T F T 素子の劣化量と順バイアス電圧印加量との関係を示す図である。

【図 6】 表示装置を内蔵した薄型フラット T V の外観図である。

【図 7】 E L 表示装置の一般的な画素回路の構成を示す図である。

【図 8】 図 7 に示した画素回路における T F T 素子の印加電圧と電流量の関係を示す図である。

【図 9】 T F T 素子にかかるストレスと T F T 素子の閾値電圧の劣化量との関係を示す図である。

【発明を実施するための形態】

【 0 0 0 8 】

以下、適宜図面を参照しながら、実施の形態を詳細に説明する。但し、必要以上に詳細な説明は省略する場合がある。例えば、既によく知られた事項の詳細説明や実質的に同一の構成に対する重複説明を省略する場合がある。これは、以下の説明が不必要に冗長になるのを避け、当業者の理解を容易にするためである。

【 0 0 0 9 】

なお、発明者らは、当業者が本開示を十分に理解するために添付図面および以下の説明を提供するものであって、これらによって請求の範囲に記載の主題を限定することを意図するものではない。

【 0 0 1 0 】

(本開示の基礎となった知見)

以下、本開示の詳細を説明する前に、本開示の基礎となった知見について説明する。図 7 は、表示装置における一般的な画素回路の構成を示す図である。

【 0 0 1 1 】

図 7 に示すように、画素回路 1 0 0 は、駆動トランジスタ 1 6 1 と、スイッチ 1 6 2 と、E L 素子 1 6 6 と、容量素子 1 6 7 と、を備えている。また、画素回路 1 0 0 には、D a t a 線 1 7 6 (データ線)と、R F V 線 1 6 8 (V_{REF} または V_{REV}) と、E L アノード電源線 1 6 9 (V_{TFT}) と、E L カソード電源線 1 7 0 (V_{EL}) とを備える。

【 0 0 1 2 】

ここで、駆動トランジスタ 1 6 1 を構成する T F T 素子は、ゲート電極およびソース電極間に電圧 (V_{gs}) を印加することにより劣化する。図 8 は、図 7 に示した画素回路 1 0 0 における T F T 素子の印加電圧と電流量の関係を示す図である。図 9 は、T F T 素子にかかるストレスと T F T 素子の閾値電圧の劣化量との関係を示す図である。

【 0 0 1 3 】

すなわち、図 8 に示すように、所定の電圧を印加した場合に、T F T 素子を流れる実電流は、目標電流よりも少なくなる。したがって、T F T 素子に目標電流を流すためには、T F T 素子のゲート電極およびソース電極間に印加する電圧を大きくする必要がある。

【 0 0 1 4 】

このような T F T 素子の劣化は、T F T 素子に逆バイアス電圧を印加することにより低減することが可能である。しかし、劣化していない T F T 素子に逆バイアス電圧を印加すると、T F T 素子の閾値電圧 V_{th} が逆方向にシフト (ネガティブシフト) してしまうという問題がある。

【 0 0 1 5 】

特に、図 9 に示すように、T F T 素子が無ストレス状態である場合に T F T 素子に逆バイアス電圧を印加すると、T F T 素子が高ストレス又は低ストレスの場合に比べて、T F T 素子がネガティブシフトしやすいという問題がある。ここで、無ストレス状態とは、例えば黒表示など、画素に電圧がかからない状態のことをいう。

【 0 0 1 6 】

そこで、以下、本発明の一態様に係る表示装置およびその駆動方法について、図面を参照しながら具体的に説明する。この構成によれば、T F T 素子に逆バイアス電圧を印加したときに、トランジスタの閾値がネガティブシフトするのを抑制することができる。

【 0 0 1 7 】

10

20

30

40

50

なお、以下で説明する実施の形態は、いずれも本発明の一具体例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置位置および接続形態、ステップ、ステップの順序などは、一例であり、本発明を限定する主旨ではない。また、以下の実施の形態における構成要素のうち、最上位概念を示す独立請求項に記載されていない構成要素については、任意の構成要素として説明される。また、以下の各図は、模式図であり、必ずしも厳密に図示したものではない。

【0018】

(実施の形態)

[1-1. EL表示装置の構成]

本実施の形態において、本開示の一態様に係る表示装置の発光素子として有機EL素子を用いる場合について、図1および図2を用いて説明する。

10

【0019】

図1は、実施の形態に係る表示装置の機能ブロック図の一例である。

【0020】

図1に示す表示装置1は、表示パネル制御回路2と、走査線駆動回路3と、データ線駆動回路5と、表示パネル6とを備える。

【0021】

表示パネル6は、例えば有機ELパネルである。また、表示パネル6は、少なくとも、互いに平行に配置されたN（例えばN=1080）本の走査線と、N本の点灯制御線、直交して配置されたM本のソース信号線を有する（図示せず）。さらに、表示パネル6は、ソース信号線と走査線との各交点に、薄膜トランジスタおよびEL素子から構成される画素回路（図示せず）を有する。

20

【0022】

表示パネル制御回路2は、後述する所定期間および初期化期間における動作を制御する制御部の一例である。表示パネル制御回路2は、表示データ信号S1に基づいてデータ線駆動回路5を制御するための制御信号S2を生成し、生成した制御信号S2をデータ線駆動回路5へ出力する。また、表示パネル制御回路2は、入力される同期信号に基づいて走査線駆動回路3を制御するための制御信号S3を生成する。そして、表示パネル制御回路2は、生成した制御信号S3を走査線駆動回路3へ出力する。

【0023】

ここで、表示データ信号S1は、映像信号、垂直同期信号、および水平同期信号を含む表示データを示す信号である。映像信号は、フレームごとに階調情報である各画素値を指定する信号である。垂直同期信号は、画面に対する垂直方向の処理のタイミングについて同期を取るための信号であり、ここでは、フレームごとの処理タイミングの基準となる信号である。水平同期信号は、画面に対する水平方向の処理のタイミングについて同期を取るための信号である。

30

【0024】

また、制御信号S2は、映像信号および水平同期信号を含む。制御信号S3は、垂直同期信号および水平同期信号をそれぞれ含む。

【0025】

データ線駆動回路5は、表示パネル制御回路2で生成された制御信号S2に基づいて、表示パネル6のソース信号線を駆動する。より具体的には、データ線駆動回路5は、映像信号および水平同期信号に基づいて、各画素回路にソース信号を出力する。

40

【0026】

走査線駆動回路3は、表示パネル制御回路2で生成された制御信号S3に基づいて、表示パネル6の走査線を駆動する。より具体的には、走査線駆動回路3は、垂直同期信号および水平同期信号に基づいて、各画素回路に走査信号、Ref信号、Merge信号、Init信号を出力する。

【0027】

なお、表示パネル制御回路2は、表示パネル6（複数の発光素子）の発光状態と、後述

50

する駆動トランジスタ 61 の変動量（劣化量）との関係を示すデータを予め保持している。また、表示パネル制御回路 2 は、表示パネル 6 の発光状態から駆動トランジスタの閾値電圧の変動量を計算し、初期化期間の長さ又は初期化電圧の大きさを調整してもよい。

【0028】

以上のように、表示装置 1 は構成される。

【0029】

なお、表示装置 1 は、例えば、図示しないが、CPU (Central Processing Unit)、制御プログラムを格納した ROM (Read Only Memory) などの記憶媒体、RAM (Random Access Memory) などの作業用メモリ、および通信回路を有するとしてもよい。表示データ信号 S1 は、例えば、CPU が制御プログラムを実行することにより生成される。

10

【0030】

図 2 は、実施の形態に係る表示装置の有する表示画素の回路構成の一例を示す図である。

【0031】

図 2 に示す画素回路 60 は、表示パネル 6 が有する一画素であり、Data 線 76 (データ線) を介して供給されたデータ信号 (データ信号電圧) により発光する機能を有する。

【0032】

画素回路 60 は、表示画素 (発光画素) の一例であり、行列状に配置されている。画素回路 60 は、駆動トランジスタ 61 と、スイッチ 62 と、スイッチ 63 を有する電圧印加部 31 と、スイッチ 64 と、スイッチ 65 と、EL 素子 66 と、容量素子 67 と、を備えている。また、画素回路 60 には、Data 線 76 (データ線) と、RFV 線 68 (V_{REF} または V_{REV}) と、EL アノード電源線 69 (V_{TFT}) と、EL カソード電源線 70 (V_{EL}) と、初期化電源線 71 (V_{INI}) と、Merge 線 75 (マージ線) とを備える。

20

【0033】

ここで、Data 線 76 は、データ信号電圧を供給するための信号線 (ソース信号線) の一例である。

【0034】

RFV 線 68 は、例えば図 2 に示すように参照電圧 V_{REF} または逆バイアス電圧 V_{REV} を供給する。EL アノード電源線 69 (V_{TFT}) は、駆動トランジスタ 61 のドレイン電極の電位を決定するための高電圧側電源線であり、例えば 20 V である。EL カソード電源線 70 (V_{EL}) は、EL 素子 66 の第 2 電極 (カソード) に接続された低電圧側電源線である。初期化電源線 71 (V_{INI}) は、駆動トランジスタ 61 のソースゲート間の電圧すなわち容量素子 67 の電圧を初期化するための電圧 V_{INI} (初期化電圧 V_{INI} とも称す) を供給する第 1 電源線の一例である。

30

【0035】

ここで、RFV 線 68 が供給する参照電圧 V_{REF} と初期化電源線 71 の電圧 V_{INI} との電位差は駆動トランジスタ 61 の閾値電圧 (V_{th}) よりも大きな電圧、すなわち、閾値電圧 $V_{th} < (\text{参照電圧 } V_{REF} - \text{電圧 } V_{INI})$ に設定される。

40

【0036】

また、RFV 線 68 が供給する参照電圧 V_{REF} および初期化電源線 71 の電圧 V_{INI} は、EL 素子 66 に電流が流れないように、次のように設定されている。

【0037】

電圧 $V_{INI} < \text{電圧 } V_{EL} + (\text{EL 素子 66 の順方向電流閾値電圧})$ 、参照電圧 $V_{REF} < \text{電圧 } V_{EL} + (\text{EL 素子 66 の順方向電流閾値電圧}) + (\text{駆動トランジスタ 61 の閾値電圧 } V_{th})$

【0038】

なお、RFV 線 68 は、例えば、参照電圧 V_{REF} と逆バイアス電圧 V_{REV} とをそれ

50

ぞれ供給する複数の電源線で構成され、電源切換スイッチ（図示せず）で切り換えられて、参照電圧 V_{REF} または逆バイアス電圧 V_{REV} を供給するとしてもよい。

【0039】

EL素子66は、駆動トランジスタ61により供給された電流に応じて発光する発光素子の一例であり、行列状に配置される。EL素子66は、例えば有機EL素子である。EL素子66は、カソード（第2電極）が、ELカソード電源線70に接続され、アノード（第1電極）が、駆動トランジスタ61のソース（ソース電極）に接続されている。ここで、ELカソード電源線70に供給されている電圧は V_{EL} であり、例えば0（V）である。

【0040】

駆動トランジスタ61は、EL素子66への電流の供給を制御する電圧駆動の駆動素子であり、容量素子67に保持された電圧に応じた電流をEL素子66に供給することでEL素子66を発光させる。

【0041】

例えば、発光期間（後述の期間T11）において、駆動トランジスタ61は、容量素子67に保持された電圧（データ信号電圧）に応じた電流をEL素子66に流すことにより、EL素子66を発光させる。より具体的には、駆動トランジスタ61は、ゲート電極に供給されたデータ信号電圧を、そのデータ信号電圧に対応した電流に変換し、変換された電流をEL素子66に供給することにより、EL素子66を発光させる。

【0042】

また、例えば、発光期間に続く非発光期間（後述の期間T12）において、駆動トランジスタ61は電流をEL素子66に長さないことでEL素子66を発光させない。

【0043】

また、例えば、初期化期間の前の所定期間（逆バイアス期間、後述の期間T2）において、駆動トランジスタ61のゲート電極およびソース電極間に逆バイアスが印加される。それにより、閾値電圧 V_{th} の変動量を抑制することができる。そして、その後、初期化期間（後述の期間T5）において、駆動トランジスタ61の閾値電圧補償を行うためにドレイン電流を流すのに必要な電圧が駆動トランジスタ61のソース電極およびゲート電極間に印加され、閾値補償期間（後述の期間T6）において、駆動トランジスタ61の閾値電圧が補償される。なお、詳細については後述するためここでの説明は省略するが、このようにして、閾値電圧 V_{th} の変動を補正する閾値補償機能に加えて、閾値電圧 V_{th} の変動量を抑える逆バイアス印加機能を設けることで、より長期間、動作補償範囲に閾値電圧 V_{th} が含まれる駆動トランジスタ61（画素回路60）を実現することができる。

【0044】

また、駆動トランジスタ61を構成する薄膜トランジスタ（TFT）はn型であってもp型であっても、両方の組み合わせであってもよい。また、薄膜トランジスタのチャネル層は、アモルファスシリコン、微結晶シリコン、ポリシリコン、酸化物半導体および有機半導体などのうちのいずれかで形成されていてもよい。例えば、酸化物半導体は、インジウム（In）、ガリウム（Ga）および亜鉛（Zn）のうち、少なくとも1種を含む酸化物半導体材料を用いることができる。酸化物半導体は、オフ電流が少なく、アモルファス状態でも高い電子移動度を持ち、低温プロセスで形成可能であり、例えば、アモルファス酸化インジウムガリウム亜鉛（InGaZnO）を用いて形成できる。

【0045】

容量素子67は、電圧を保持するための蓄積容量であり、駆動トランジスタ61の流す電流量を決める電圧を保持する。具体的には、容量素子67の第2電極（節点B側の電極）は、駆動トランジスタ61のソース電極（ELカソード電源線70側）とEL素子66のアノード（第1電極）との間に接続されている。容量素子67の第1電極（節点A側の電極）は、駆動トランジスタ61のゲート電極にスイッチ65を介して接続されている。また、容量素子67の第1電極は、参照電圧 V_{REF} または逆バイアス電圧 V_{REV} を供給するRFV線68とスイッチ63およびスイッチ65を介して接続されている。

10

20

30

40

50

【0046】

スイッチ62は、データ信号電圧を供給するためのData線76（信号線）と容量素子67の第1電極との導通および非導通を切り換える第2スイッチの一例である。具体的には、スイッチ62は、ドレインおよびソースの一方の端子がData線76に接続され、ドレインおよびソースの他方の端子が容量素子67の第1電極に接続され、ゲートが走査線であるScan線72に接続されているスイッチングトランジスタである。換言すると、スイッチ62は、Data線76を介して供給された映像信号電圧（映像信号）に応じたデータ信号電圧（データ信号）を容量素子67に書き込むための機能を有する。

【0047】

電圧印加部31は、駆動トランジスタ61を初期化する初期化期間（期間T5）において、駆動トランジスタ61に、駆動トランジスタ61の閾値電圧 V_{th} よりも大きな電圧であって駆動トランジスタ61のゲート電極およびソース電極間が順バイアスとなる参照電圧 V_{REF} を印加する。電圧印加部31は、初期化期間（期間T5）の前の所定期間（期間T2）において、駆動トランジスタ61に、駆動トランジスタ61のゲート電極およびソース電極間が逆バイアスとなる電圧である逆バイアス電圧を印加する。より具体的には、電圧印加部31は、上記所定期間（期間T2）において、駆動トランジスタ61のゲート電極に初期化電源線71（第1電源線）を基準に逆バイアス電圧を印加する。また、電圧印加部31は、上記初期化期間（期間T5）において駆動トランジスタ61のゲート電極に初期化電源線71（第1電源線）を基準に参照電圧 V_{REF} を印加する。

【0048】

ここで、例えば、電圧印加部31は、図2に示すように、スイッチ63を有している。

【0049】

スイッチ63は、参照電圧 V_{REF} または逆バイアス電圧 V_{REV} を供給するRFV線68と駆動トランジスタ61のゲート電極並びにスイッチ65のドレインおよびソースの一方の端子との導通および非導通を切り換える第4スイッチの一例である。具体的には、図2に示すように、スイッチ63は、ドレインおよびソースの一方の端子がRFV線68に接続され、ドレインおよびソースの他方の端子が駆動トランジスタ61のゲート電極とスイッチ65のドレインおよびソースの一方の端子とに接続され、ゲートがRef線73に接続されているスイッチングトランジスタである。換言すると、スイッチ63は、駆動トランジスタ61のゲート電極に対して参照電圧（ V_{REF} ）または逆バイアス電圧 V_{REV} を与える機能を有する。

【0050】

なお、電圧印加部31は、図2に示す構成に限らない。上述したように、RFV線68が、参照電圧 V_{REF} と逆バイアス電圧 V_{REV} とをそれぞれ供給する複数の電源線で構成される場合、電圧印加部31は、スイッチと電源切換スイッチ（図示せず）とを備えるとしてもよい。

【0051】

スイッチ64は、容量素子67の第2電極および駆動トランジスタ61のソース電極と初期化電源線71（第1電源線）との導通および非導通を切り換える第1スイッチの一例である。具体的には、スイッチ64は、ドレインおよびソースの一方の端子が初期化電源線71（ V_{INI} ）に接続され、ドレインおよびソースの他方の端子が容量素子67の第2電極および駆動トランジスタ61のソース電極に接続され、ゲートがInit線74に接続されているスイッチングトランジスタである。換言すると、スイッチ64は、容量素子67の第2電極および駆動トランジスタ61のソース電極に対して初期化電圧 V_{INI} を与える機能を有する。

【0052】

スイッチ65は、容量素子67の第1電極と駆動トランジスタ61のゲート電極との導通および非導通を切り換える第3スイッチの一例である。具体的には、スイッチ65は、ドレインおよびソースの一方の端子がスイッチ63のドレインおよびソースの他方の端子と駆動トランジスタ61のゲート電極とに接続され、ドレインおよびソースの他方の端子

が容量素子 67 の第 1 電極に接続され、ゲートが Merge 線 75 に接続されているスイッチングトランジスタである。換言すると、スイッチ 65 は、駆動トランジスタ 61 のゲート電極に、容量素子 67 の第 1 電極の電位を与える機能を有する。

【0053】

以上のように画素回路 60 は構成されている。

【0054】

なお、画素回路 60 を構成するスイッチ 62 ～スイッチ 65 は n 型 TFT として、以下では説明を行うが、それに限られない。スイッチ 62 ～スイッチ 65 とは、p 型 TFT であってもよい。

【0055】

[1-2. EL 表示装置の動作]

次に、図 2 に示す画素回路の駆動方法について図 3 ～図 4 F を用いながら説明を行う。

【0056】

図 3 は、実施の形態に係る表示装置の駆動時の動作の一例を説明するためのタイミングチャートである。図 4 A ～図 4 F は、図 3 に示すタイミングチャートにおける画素回路の動作の一例を示す図である。図 3 において、横軸は時間を表している。また横軸方向には、表示パネル 6 を構成する n 行の画素回路 60 のうち対応する行の画素回路 60 に対する Scan 線 72、Ref 線 73、Init 線 74、Merge 線 75 および Data 線 76 に発生する電圧の波形図が示されている。なお、RFV 線 68 は、電圧レベルが HIGH のときには参照電圧 V_{REF} を供給し、電圧レベルが LOW のときには逆バイアス電圧 V_{REV} を供給するとして以下説明する。

【0057】

本実施の形態における駆動方法（走査方法）は、図 2 に示す画素回路 60 の構成により期間 T1 から期間 T12 を実施することで実現できる。

【0058】

以下、画素回路 60 の動作を例に挙げて具体的に説明する。

【0059】

（期間 T1）

図 3 に示す時刻 t1 ～時刻 t2 の期間 T1 は、RFV 線が供給する電圧を切り換えるための遷移期間である。

【0060】

より具体的には、時刻 t1 において、走査線駆動回路 3 は、Scan 線 72 と Init 線 74 との電圧レベルを LOW、かつ、Ref 線 73 と Merge 線 75 との電圧レベルを HIGH に維持しつつ、RFV 線 68 が供給する電圧を参照電圧 V_{REF} から逆バイアス電圧 V_{REV} に切り換える。すなわち、時刻 t1 において、スイッチ 62 およびスイッチ 64 を非導通状態（オフ状態）、かつ、スイッチ 63 およびスイッチ 65 を導通状態（オン状態）に維持しつつ、RFV 線 68 に供給する電圧を参照電圧 V_{REF} から逆バイアス電圧 V_{REV} に切り換える。

【0061】

このように、RFV 線が供給する電圧を切り換えるための遷移期間である期間 T1 を設けることにより、EL アノード電源線 69 と初期化電源線 71 との間に貫通電流が流れてしまうのを防止することができる。

【0062】

表示装置 1 を構成する表示パネル 6 のサイズや 1 画素あたり（画素回路 60）のサイズが大きい場合、ゲート信号線（Scan 線 72 ～Merge 線 75）の配線時定数が増加する。そのため、ゲート信号線の信号電圧の変化速度が表示パネル 6 の面内で大きく変動し、各ゲート信号線の時定数が異なる場合には、同一画素においても、信号変化タイミングが異なることがある。たとえば、RFV 線 68 が“L”すなわち RFV 線 68 が供給する電圧が逆バイアス電圧 V_{REV} になる前に、Init 線 74 の電圧レベルが HIGH となる可能性があり、駆動トランジスタ 61 に大きな Vgs がかかることで、EL アノード

10

20

30

40

50

電源線 69 から初期化電源線 71 に貫通電流が流れることがある。貫通電流は表示パネル 6 の消費電力に影響し、消費電力が増加する欠点がある。

【0063】

また、たとえば、初期化電源線 71 に電流が流れると、給電端から遠い初期化電源線 71 は電圧が上昇し、初期化期間で印加される電圧が所定電圧よりも高くなり、閾値補償期間の開始時の V_{gs} 電圧が十分取れず、動作可能な V_{th} 範囲が狭くなってしまう問題がある。

【0064】

そのため、スイッチ 64 を非導通のままで RFV 線 68 に供給する電圧を参照電圧 V_{REF} から逆バイアス電圧 V_{REV} に切り換える遷移期間である期間 T1 を設けることにより、EL アノード電源線 69 と初期化電源線 71 との間に貫通電流が流れてしまうのを防止する。この方法の利点としては、さらに期間 T2 を考えると、節点 C の電位が期間 T1 で設定済みであるため、期間 T2 では節点 B のみ充電を行えばよく、節点 B の電位を初期化電源線 71 の電圧 V_{INI} により短時間で設定（初期化電圧 V_{INI} を書き込み）することができる。

【0065】

（期間 T2：逆バイアス期間）

図 3 に示す時刻 $t_2 \sim$ 時刻 t_3 の期間 T2 は、逆バイアス電圧 V_{REV} を駆動トランジスタ 61 に印加する逆バイアス期間である。ここで、逆バイアス電圧 V_{REV} とは、駆動トランジスタ 61 のソース電極に初期化電源線 71 の電圧 V_{INI} 印加されている場合に、駆動トランジスタ 61 のゲート電極およびソース電極間が逆バイアスとなる電圧である。ここで、上述したように、逆バイアス電圧 $V_{REV} < \text{初期化電圧 } V_{INI}$ と設定される。

【0066】

具体的には、図 4 A の画素回路 60 の動作状態に示されるように、時刻 t_2 において、走査線駆動回路 3 は、Scan 線 72 の電圧レベルを LOW に、Ref 線 73 と Merge 線 75 との電圧レベルを HIGH に、かつ、RFV 線 68 が供給する電圧を逆バイアス電圧 V_{REV} に維持しつつ、Init 線 74 の電圧レベルを LOW から HIGH に変化させる。すなわち、時刻 t_2 において、スイッチ 62 を非導通状態（オフ状態）、スイッチ 63 およびスイッチ 65 を導通状態（オン状態）、かつ、RFV 線 68 の供給する電圧を逆バイアス電圧 V_{REV} に維持しつつ、スイッチ 64 を導通状態（オン状態）にする。

【0067】

このように、駆動トランジスタ 61 のゲート電極およびソース電極間が逆バイアスにされる逆バイアス期間である期間 T2 を設けることにより、駆動トランジスタ 61 の閾値電圧 V_{th} の変動量を抑制することができる。また、発光期間（期間 T11）においてシフトした閾値電圧を、逆方向にシフトさせ、1 フレームの前後では閾値電圧の変動が少なくなるといったことが可能になる。

【0068】

なお、期間 T2 は、印加する逆バイアス電圧の大きさや、発光期間（期間 T11）での閾値電圧シフト量によって、1 フレームの前後で閾値電圧の変動が小さくなるように設定する。たとえば、順バイアス電圧が 4 V で 1 フレームの 70 % 期間印加された場合に、逆バイアス電圧を -10 V で逆バイアス期間を 1 フレームの 20 % 程度挿入する。

【0069】

また、本実施の形態では、容量素子 67 が半導体容量で、駆動トランジスタ 61 と、容量素子 67 との劣化特性を合わせるために、期間 T2（逆バイアス期間）において、Merge 線 75 の電圧レベルを HIGH（スイッチ 65 をオン状態）に維持したものとして説明しているが、それに限らない。容量素子 67 が MIM 構成（Metal-Insulator-Metal Structure）の場合には、期間 T2（逆バイアス期間）において、Merge 線 75 の電圧レベルは LOW（スイッチ 65 をオフ状態）であってもよい。

【0070】

(期間 T 3)

図 3 に示す時刻 t_3 ~ 時刻 t_4 の期間 T 3 は、R F V 線が供給する電圧を切り換えるためにスイッチ 6 3 を非導通にするための所定期間である。

【0071】

表示パネル制御回路 2 は、スイッチ 6 2 を非導通（オフ）、スイッチ 6 5 を導通（オン）、かつスイッチ 6 4 を導通（オン）にさせた状態で、スイッチ 6 3 を導通（オン）にさせ、かつ、R F V 線 6 8 に逆バイアス電圧 V_{REV} を駆動トランジスタ 6 1 のゲート電極に供給させることで期間 T 3（所定期間）を実行する。

【0072】

より具体的には、時刻 t_3 において、走査線駆動回路 3 は、Scan 線 7 2 の電圧レベルを LOW、Init 線 7 4 と Merge 線 7 5 との電圧レベルを HIGH、かつ、R F V 線 6 8 が供給する電圧を逆バイアス電圧 V_{REV} に維持しつつ、Ref 線 7 3 の電圧レベルを HIGH から LOW に変化させる。すなわち、時刻 t_3 において、スイッチ 6 2 を非導通状態（オフ状態）、スイッチ 6 4 およびスイッチ 6 5 を導通状態（オン状態）、かつ、R F V 線 6 8 の供給する電圧を逆バイアス電圧 V_{REV} に維持しつつ、スイッチ 6 3 を非導通状態（オフ状態）にさせる。

【0073】

このように、スイッチ 6 3 を非導通にするための期間である期間 T 3 を設けることにより、R F V 線が供給する電圧を切り換えた際に駆動トランジスタ 6 1 のゲート電極に参照電圧 V_{REF} が印加され EL アノード電源線 6 9 と初期化電源線 7 1 との間に貫通電流が流れてしまうのを防止することができる。なお、この期間 T 3 がないと、R F V 線 6 8 の立ち上がり早い画素では、早期から貫通電流が EL アノード電源線 6 9 と初期化電源線 7 1 と間に流れる。一方で、初期化するためには、前画素が参照電圧 V_{REF} にまで立ち上がる必要があり、前画素が初期化期間（期間 T 5）に入るまでの期間 T 3 および期間 T 4 相当のところが長くなる。それにより、貫通電流が画素数と時間を考慮して発光電流に対して割合が大きくなり、発光とは無関係にパネルの消費電力が大きくなってしまう。

【0074】

(期間 T 4)

図 3 に示す時刻 t_4 ~ 時刻 t_5 の期間 T 4 は、R F V 線が供給する電圧を切り換えるための遷移期間である。

【0075】

より具体的には、時刻 t_4 において、走査線駆動回路 3 は、Scan 線 7 2 と Ref 線 7 3 との電圧レベルを LOW、かつ、Init 線 7 4 と Merge 線 7 5 との電圧レベルを HIGH に維持しつつ、R F V 線 6 8 が供給する電圧を逆バイアス電圧 V_{REV} から参照電圧 V_{REF} に切り換える。すなわち、時刻 t_4 において、スイッチ 6 2 およびスイッチ 6 3 を非導通状態（オフ状態）、かつ、スイッチ 6 4 およびスイッチ 6 5 を導通状態（オン状態）に維持しつつ、R F V 線 6 8 に供給する電圧を逆バイアス電圧 V_{REV} から参照電圧 V_{REF} に切り換える。

【0076】

ここで、R F V 線 6 8 の供給する電圧の切り換えよりも Ref 線 7 3 の電圧レベルの変化（立ち上がり）の方が早いので、R F V 線 6 8 の供給する電圧の切り換えと Ref 線 7 3 の電圧レベルの変化を同時に行わず、R F V 線 6 8 の供給する電圧の切り換えを先に行う。

【0077】

このように、R F V 線が供給する電圧を先に切り換えるため遷移期間である期間 T 4 を設けることにより、R F V 線が供給する電圧を切り換えた際に駆動トランジスタ 6 1 のゲート電極に不定電圧が印加されてしまうのを防止することができる。

【0078】

(期間 T 5：初期化期間)

10

20

30

40

50

図 3 に示す時刻 t_5 ～時刻 t_6 の期間 T_5 は、駆動トランジスタを初期化する初期化期間である。ここで、初期化期間とは、駆動トランジスタ 61 の閾値電圧補償を行うためにドレイン電流を流すのに必要な電圧を駆動トランジスタ 61 のゲート電極およびソース電極間に印加する期間である。

【0079】

TFT 素子（駆動トランジスタ 61）のゲート電極およびソース電極間に逆バイアス電圧を印加することによるネガティブシフトは、TFT 素子に順バイアス電圧を印加すると戻りやすいという性質がある。そのため、期間 T_5 において、EL 素子 66 の発光状態は画面の劣化状態に応じて、閾値電圧 (V_{th}) 補償用の初期化電圧を印加する。

【0080】

本実施の形態では、初期化期間において、駆動トランジスタ 61 のゲート電極に、駆動トランジスタ 61 の閾値電圧 V_{th} よりも大きな電圧であって駆動トランジスタ 61 のゲート電極およびソース電極間が順バイアスとなる参照電圧 V_{REF} を印加する。

【0081】

また、初期化電圧としては、TFT 素子がネガティブシフトをする無ストレス状態を作らないために、順バイアス電圧を調整して印加する。順バイアス電圧の調整は、電圧の印加時間を長くしたり印加電圧を大きくしたりすることにより行う。

【0082】

表示パネル制御回路 2 は、スイッチ 62 を非導通（オフ）、スイッチ 65 を導通（オン）、かつスイッチ 64 を導通（オン）にさせた状態で、スイッチ 63 を導通（オン）させ、かつ、RFV 線 68 に参照電圧 V_{REF} を駆動トランジスタ 61 のゲート電極に供給させることで期間 T_5 （初期化期間）を実行する。

【0083】

具体的には、図 4 B の画素回路 60 の動作状態に示されるように、時刻 t_5 において、走査線駆動回路 3 は、Scan 線 72 の電圧レベルを LOW、Init 線 74 と Merge 線 75 との電圧レベルを HIGH、かつ、RFV 線 68 が供給する電圧を参照電圧 V_{REF} に維持しつつ、Ref 線 73 の電圧レベルを LOW から HIGH に変化させる。すなわち、時刻 t_5 において、スイッチ 62 を非導通状態（オフ状態）、スイッチ 64 およびスイッチ 65 を導通状態（オン状態）、かつ、RFV 線 68 の供給する電圧を参照電圧 V_{REF} に維持しつつ、スイッチ 63 を導通状態（オン状態）にする。

【0084】

このように、Ref 線 73 の電圧レベルを LOW から HIGH に変化させること（立ち上がり）により初期化期間を開始する。

【0085】

これにより、節点 A（節点 C）の電位は、RFV 線 68 の供給する参照電圧 V_{REF} に設定される。また、スイッチ 64 が導通状態（オン状態）であるから、節点 B の電位は初期化電源線 71 の電圧 V_{INI} に設定される。すなわち、駆動トランジスタ 61 は、ゲート電極に RFV 線 68 の供給する参照電圧 V_{REF} が印加され、ソース電極に初期化電源線 71 の電圧 V_{INI} が印加されることで、駆動トランジスタ 61 のゲート電極およびソース電極間に順バイアスの所定電圧が印加される。

【0086】

ここで、期間 T_5 の長さは、EL 素子 66 の発光状態に応じて、節点 A（節点 C）および節点 B の電位が所定電位になるまでの長さ（時間）に調整される。

【0087】

例えば、黒表示を行った後のフレームでは、期間 T_5 の長さは、1 フレーム期間（期間 T_1 ～期間 T_{12} ）の 5 % に設定される。これにより、TFT 素子が無ストレス状態となるのを抑制し、逆バイアス電圧を印加したときに TFT 素子がネガティブシフトするのを抑制することができる。

【0088】

また、駆動トランジスタ 61 のゲート電極およびソース電極間電圧（所定電圧）は、閾

10

20

30

40

50

値電圧補償動作を行うのに必要なドレイン電流を確保できる電圧に設定されることが必要である。そのため、R F V線68の参照電圧 V_{REF} と初期化電源線71の電圧 V_{INI} の電位差は、上述したように、駆動トランジスタ61の閾値電圧 V_{th} よりも大きな電圧すなわち閾値電圧 $V_{th} < (参照電圧 V_{REF} - 初期化電圧 V_{INI})$ に設定される。また、参照電圧 V_{REF} および初期化電圧 V_{INI} は、E L素子66に電流が流れないように、初期化電圧 $V_{INI} < 電圧 $V_{EL} + (E L素子66の順方向電流閾値電圧)$$ 、および、参照電圧 $V_{REF} < 電圧 $V_{EL} + (E L素子66の順方向電流閾値電圧) + 閾値電圧 $V_{th}$$$ 、となるように設定される。

【0089】

なお、初期化電圧は、E L素子66の発光状態に応じて調整してもよいし、駆動トランジスタ61の劣化状態（閾値電圧の変動量）に応じて調整してもよい。

10

【0090】

また、初期化電圧の調整は、初期化電圧の印加時間（期間T5の長さ）を調整してもよいし、T F T素子のゲート電極およびソース電極間に印加する順バイアス電圧の大きさ、すなわち、順バイアス電圧印加量を調整することにより行ってもよい。例えば、順バイアス電圧印加量を調整する場合について、以下説明する。

【0091】

図5は、T F T素子の劣化量と順バイアス電圧印加量との関係を示す図である。

【0092】

図8に示したように、所定の電圧を印加した場合にT F T素子を流れる実電流は、目標電流よりも少なくなる。すなわち、時間の経過と共にT F T素子は劣化する。したがって、T F T素子に目標電流を流すためには、T F T素子のゲート電極およびソース電極間に印加する電圧の大きさ（順バイアス電圧印加量）を大きくする必要がある。

20

【0093】

ここで、図9に示したように、T F T素子の劣化量 ΔV_{th} は、時間の経過と共に減少するので、T F T素子のゲート電極およびソース電極間に印加する順バイアス電圧印加量は、T F T素子の劣化量 ΔV_{th} に応じて小さくしてもよい。つまり、図5に示すように、期間T5においてT F T素子のゲート電極およびソース電極間に印加する順バイアス電圧は、時間の経過と共に減少させてもよい。

【0094】

また、初期化電圧の調整は、表示パネル制御回路2に予め保持された、E L素子66の発光状態とT F T素子の変動量（劣化量）との関係を示すデータに基づいて、初期化期間の長さ又は初期化電圧の大きさを調整することによって行ってもよい。

30

【0095】

また、初期化電圧の調整は、表示パネル制御回路2により、E L素子66の発光状態から駆動トランジスタの閾値電圧の変動量を計算し、初期化期間の長さ又は初期化電圧の大きさを調整することによって行ってもよい。例えば、面内の累積の点灯時間を計算し、面内で一番点灯してない画素等、面内の劣化状況を把握することにより、ネガティブシフトの影響が出ない電圧に設定するとよい。

【0096】

（期間T6：閾値補償期間）

次に、図3の時刻t6～時刻t7の期間T6は、駆動トランジスタ61の閾値電圧 V_{th} を補償する閾値補償期間である。

40

【0097】

具体的には、図4Cの画素回路60の動作状態に示されるように、時刻t6において、走査線駆動回路3は、S c a n線72の電圧レベルをL O W、R e f線73およびM e r g e線75の電圧レベルをH I G H、かつ、R F V線68が供給する電圧を参照電圧 V_{REF} に維持しつつ、I n i t線74の電圧レベルをH I G HからL O Wに変化させる。すなわち、時刻t6において、スイッチ62を非導通状態（オフ状態）、スイッチ63およびスイッチ65を導通状態（オン状態）、かつ、R F V線68が供給する電圧を参照電圧

50

V_{REF} に維持しつつ、スイッチ 64 が導通状態（オン状態）にされる。

【0098】

ここで、駆動トランジスタ 61 のゲート電極およびソース電極間電圧（所定電圧）は、初期化期間（期間 T5）において、上述したように設定されているので、EL 素子 66 には電流が流れない。駆動トランジスタ 61 は、EL アノード電源線 69 の電圧 V_{TF} によりドレイン電流が供給されるが、それとともに駆動トランジスタ 61 のソース電位が変化する。言い換えると、駆動トランジスタ 61 は、EL アノード電源線 69 の電圧 V_{TF} により供給されるドレイン電流が 0 となる点まで駆動トランジスタ 61 のソース電位が変化する。

【0099】

このように、駆動トランジスタ 61 のゲート電極に RFV 線 68 が供給する参照電圧 V_{REF} を印加した状態で、Init 線 74 の電圧レベルを HIGH から LOW に変化させる（スイッチ 65 を導通状態（オン状態）にする）と、駆動トランジスタ 61 の閾値補償動作を開始する。

【0100】

そして、期間 T6 の終了時（時刻 t7）には、駆動トランジスタ 61 のゲート電極およびソース電極間電圧（節点 A（節点 C）と節点 B との電位差）は駆動トランジスタ 61 の閾値電圧に相当する電位差となる。この電位差（電圧）は容量素子 67 に保持（記憶）される。

【0101】

（期間 T7）

図 3 に示す時刻 t7～時刻 t8 の期間 T7 は、閾値補償動作を終了させるための期間である。

【0102】

より具体的には、時刻 t7 において、走査線駆動回路 3 は、Scan 線 72 および Init 線 74 の電圧レベルを LOW、Ref 線 73 の電圧レベルを HIGH、かつ、RFV 線 68 が供給する電圧を参照電圧 V_{REF} に維持しつつ、Merge 線 75 の電圧レベルを HIGH から LOW に変化させる。すなわち、時刻 t7 において、スイッチ 62 およびスイッチ 64 を非導通状態（オフ状態）、スイッチ 63 を導通状態（オン状態）、かつ、RFV 線 68 が供給する電圧を参照電圧 V_{REF} に維持しつつ、スイッチ 65 を非導通状態（オフ状態）にする。

【0103】

このようにして、Ref 線 73 と Merge 線 75 との電圧レベルを同時に変化させず、Merge 線 75 の電圧レベルを先に変化させてスイッチ 65 を非導通とする期間 T7 を設ける。それにより、スイッチ 63 およびスイッチ 65 の寄生容量を介してゲート信号線（Scan 線 72～Merge 線 75）の電圧の変化が節点 A の電位に影響する突き抜けを減らすことができ、突き抜け量のばらつきに起因する表示ムラを低減することが可能である。

【0104】

なお、Ref 線 73 と Merge 線 75 との電圧レベルを同時もしくは Ref 線 73 の電圧レベルを先に LOW にする場合、まず、スイッチ 63 による突き抜けが節点 A に伝搬する。スイッチ 65 がオン状態になると、次にスイッチ 65 による突き抜けが節点 A に伝搬する。

【0105】

一方、期間 T7 を設ける場合、スイッチ 65 による突き抜けは節点 A に伝搬するが、スイッチ 63 による突き抜けはすでにスイッチ 65 がオフ状態のため節点 A に伝搬しない。そして、この分が突き抜け量の低減効果となる。

【0106】

（期間 T8）

図 3 に示す時刻 t8～時刻 t9 の期間 T8 は、スイッチ 63 を非導通状態（オフ状態）

10

20

30

40

50

にすることで、D a t a線 7 6 を介して供給されたデータ信号電圧と R F V線 6 8 の参照電圧 V_{REF} とが同時に節点 A に印加されるのを防止する期間である。

【0107】

具体的には、時刻 t_8 において、走査線駆動回路 3 は、S c a n線 7 2 と I n i t線 7 4 と M e r g e線 7 5 との電圧レベルを L O W、かつ、R F V線 6 8 が供給する電圧を参照電圧 V_{REF} に維持しつつ、R e f線 7 3 の電圧レベルを H I G H から L O W に変化させる。すなわち、時刻 t_8 において、スイッチ 6 2、スイッチ 6 4 およびスイッチ 6 5 を非導通状態（オフ状態）、かつ、R F V線 6 8 が供給する電圧を参照電圧 V_{REF} に維持しつつ、スイッチ 6 3 を非導通状態（オフ状態）にする。

【0108】

このように、R e f線 7 3 の動作によりスイッチ 6 3 をさらに非導通状態（オフ状態）とし、スイッチ 6 2 およびスイッチ 6 3 が非導通状態（オフ状態）となる期間 T_8 を設けることで、D a t a線 7 6 を介してスイッチ 6 2 から供給されるデータ信号電圧と、R F V線 6 8 の参照電圧 V_{REF} とが節点 A（容量素子 6 7 の第 1 電極）に同時に印加されるのを防止することができる。

【0109】

なお、スイッチ 6 3 とスイッチ 6 5 とを同時に非導通状態（オフ状態）にし、期間 T_7 および期間 T_8 は一つにまとめてもよい。

【0110】

また、（映像信号電圧－参照電圧 V_{REF} ）の電位差を正確に反映させるには、期間 T_{26} はなるべく短い方がよい。

【0111】

（期間 T_9 ：書込期間）

次に、図 3 の時刻 t_9 ～時刻 t_{10} の期間 T_9 は、D a t a線 7 6 から表示階調に応じた映像信号電圧（データ信号電圧）を画素回路 6 0 にスイッチ 6 2 を介して取り込み、容量素子 6 7 に書き込む書込期間である。

【0112】

具体的には、図 4 D の画素回路 6 0 の動作状態に示されるように、時刻 t_9 において、走査線駆動回路 3 は、R e f線 7 3、I n i t線 7 4 および M e r g e線 7 5 の電圧レベルを L O W、かつ、R F V線 6 8 が供給する電圧を参照電圧 V_{REF} に維持しつつ、S c a n線 7 2 の電圧レベルを L O W から H I G H に変化させる。すなわち、時刻 t_9 において、スイッチ 6 3 とスイッチ 6 4 とスイッチ 6 5 を非導通状態（オフ状態）かつ、R F V線 6 8 が供給する電圧を参照電圧 V_{REF} に維持しつつ、スイッチ 6 2 を導通状態（オン状態）にする。

【0113】

これにより、容量素子 6 7 には、閾値補償期間（期間 T_6 ）で記憶された駆動トランジスタ 6 1 の閾値電圧 V_{th} に加えて、映像信号電圧が、記憶（保持）される。

【0114】

なお、大画面化（表示パネル 6 のサイズが大きくなる）、かつ、画素回路 6 0 の数が増加するのに伴い、画素回路 6 0 を駆動するためのフレーム周波数が高くなってきている。大画面化に伴い S c a n線 7 2 配線時定数も増加するものの、水平走査期間の短縮により、所定の階調電圧を画素回路 6 0 に書き込むことが難しくなる。そのため、本実施の形態では、S c a n線 7 2 の波形なまりがあっても、所定の映像信号（データ信号電圧）が D a t a線 7 6 に入力される前に S c a n線 7 2 が立ち上がりを完了させて、スイッチ 6 2 が導通状態（オン状態）となるようにしている。

【0115】

これにより、S c a n線 7 2 の負荷（配線時定数）が大きく、立ち上がりに時間がかかるような大画面、高画素数の表示パネル 6 であっても確実に書き込むことができる。

【0116】

（期間 T_{10} ）

10

20

30

40

50

図 3 に示す時刻 t_{10} ～時刻 t_{11} の期間 T_{10} は、スイッチ 62 を確実に非導通状態（オフ状態）にさせるための期間である。

【0117】

より具体的には、時刻 t_{10} において、走査線駆動回路 3 は、Ref 線 73、Init 線 74 および Merge 線 75 の電圧レベルを LOW、かつ、RFV 線 68 が供給する電圧を参照電圧 V_{REF} に維持しつつ、Scan 線 72 の電圧レベルを HIGH から LOW に変化させる。すなわち、時刻 t_{10} において、スイッチ 63 とスイッチ 64 とスイッチ 65 を非導通状態（オフ状態）、かつ、RFV 線 68 が供給する電圧を参照電圧 V_{REF} に維持しつつ、スイッチ 62 を非導通状態（オフ状態）にする。

【0118】

これにより、続く期間 T_{11} （発光期間）においてスイッチ 65 を導通状態（オン状態）にさせるまえにスイッチ 62 を確実に非導通状態（オフ状態）にすることができる。

【0119】

なお、期間 T_{11} を設けず、スイッチ 65 とスイッチ 62 とを同時に導通状態（オン状態）にさせる場合、駆動トランジスタ 61 のドレイン電流により、節点 B の電位が上昇する一方で、節点 A の電位はデータ信号電圧となることから、駆動トランジスタ 61 のソース電極およびゲート電極間電圧が小さくなってしまう。この場合には、所望の輝度に比べて少ない輝度で発光してしまうので問題となる。これを防止するため、本実施の形態では、期間 T_{10} を設けてスイッチ 62 が非導通状態（オフ状態）であることを確保してから、続く期間 T_{11} においてスイッチ 65 を導通状態（オン状態）にする。

【0120】

（期間 T_{11} ：発光期間）

次に、図 3 に示す時刻 t_{11} ～時刻 t_{12} の期間 T_{11} は、EL 素子 66 を発光させる発光期間である。

【0121】

具体的には、図 4 E の画素回路 60 の動作状態に示されるように、時刻 t_{11} において、走査線駆動回路 3 は、Scan 線 72、Ref 線 73 および Init 線 74 の電圧レベルを LOW、かつ、RFV 線 68 が供給する電圧を参照電圧 V_{REF} に維持しつつ、Merge 線 75 の電圧レベルを LOW から HIGH に変化させる。すなわち、時刻 t_{11} において、スイッチ 62、スイッチ 63 およびスイッチ 64 を非導通状態（オフ状態）かつ、RFV 線 68 が供給する電圧を参照電圧 V_{REF} に維持しつつ、スイッチ 65 を導通状態（オン状態）にする。

【0122】

このように、スイッチ 65 を導通状態（オン状態）にさせることで、容量素子 67 に蓄えられた電圧（データ信号電圧）に応じて駆動トランジスタ 61 に EL 素子 66 に電流を供給させ EL 素子 66 を発光させることができる。

【0123】

（期間 T_{12} ）

図 3 に示す時刻 t_{12} ～時刻 t_1 の期間 T_{12} は、黒挿入期間であり、たとえば動画応答性を改善するもので、EL 素子 66 を非発光状態にさせる期間である。

【0124】

より具体的には、図 4 F の画素回路 60 の動作状態に示されるように、時刻 t_{12} において、走査線駆動回路 3 は、Scan 線 72 と Init 線 74 の電圧レベルを LOW、Merge 線 75 との電圧レベルを HIGH、かつ、RFV 線 68 が供給する電圧を参照電圧 V_{REF} に維持しつつ、Ref 線 73 の電圧レベルを LOW から HIGH に変化させる。すなわち、時刻 t_{12} において、スイッチ 62 およびスイッチ 64 を非導通状態（オフ状態）、スイッチ 65 を導通状態（オン状態）、かつ、RFV 線 68 が供給する電圧を参照電圧 V_{REF} に維持しつつ、スイッチ 63 を導通状態にする。

【0125】

以上のようなシーケンスにより、画素回路 60 は、階調表示を行う。

10

20

30

40

50

【0126】

なお、表示パネル制御回路2は、表示パネル6を構成する他の画素回路60についても、同様の駆動方法を線順次に行う。

【0127】

以上のように、本実施の形態に係るEL表示装置によると、TFT素子が無ストレス状態となるのを抑制し、逆バイアス電圧を印加したときにTFT素子がネガティブシフトするのを抑制することができる。

【0128】

[1-3. 効果等]

以上のように、本開示の一態様に係るEL表示装置は、供給される電流に応じて発光する発光素子と輝度信号の大きさに応じた電流を前記発光素子に供給する駆動トランジスタとを有する画素が行列状に複数配置された表示装置の駆動方法であって、前記駆動トランジスタのゲートソース間に逆バイアス電圧が印加される逆バイアス印加期間と、前記駆動トランジスタのゲートソース間に、前記駆動トランジスタの閾値電圧よりも大きな電圧であって前記駆動トランジスタのゲート電極およびソース電極間が順バイアスとなる初期化電圧が印加される初期化期間と、を有し、前記初期化期間の長さ又は前記初期化電圧の大きさは、前記逆バイアス印加期間における前記駆動トランジスタの閾値電圧の変動量に応じて設定される。

【0129】

この構成によれば、TFT素子が無ストレス状態となるのを抑制し、逆バイアス電圧を印加したときにTFT素子がネガティブシフトするのを抑制することができる。

【0130】

また、前記駆動トランジスタの閾値電圧の変動量は、予め取得された前記発光素子の発光状態のデータから求められてもよい。

【0131】

この構成によれば、駆動トランジスタの閾値電圧の変動量は、予め取得された発光素子の発光状態のデータから順バイアス電圧の印加時間又は大きさを調整することにより、逆バイアス電圧を印加したときにTFT素子がネガティブシフトするのを抑制することができる。

【0132】

また、前記駆動トランジスタの閾値電圧の変動量は、前記発光素子の発光状態から計算することにより求められてもよい。

【0133】

この構成によれば、発光素子の発光状態から計算して順バイアス電圧の印加時間又は大きさを調整することにより、逆バイアス電圧を印加したときにTFT素子がネガティブシフトするのを抑制することができる。

【0134】

また、行列状に配置された複数の画素を有する表示装置であって、前記複数の画素の各々は、発光素子と、電圧を保持するための容量素子と、前記容量素子に保持された電圧に応じた電流を前記発光素子に供給することにより前記発光素子を発光させる駆動トランジスタと、前記画素を初期化する初期化期間において、前記駆動トランジスタに、前記駆動トランジスタの閾値電圧よりも大きな電圧であって前記駆動トランジスタのゲート電極およびソース電極間が順バイアスとなる初期化電圧を印加し、前記初期化期間の前の前記発光素子を発光させない期間のうちの所定期間において、前記駆動トランジスタに、前記駆動トランジスタの前記ゲート電極およびソース電極間が逆バイアスとなる逆バイアス電圧を印加する電圧印加部と、を備え、前記電圧印加部は、前記駆動トランジスタの閾値が、前記逆バイアス電圧の印加によって逆方向にシフトしないように、前記逆バイアス印加期間における前記駆動トランジスタの閾値電圧の変動量に応じて前記初期化期間の長さ又は前記初期化電圧の大きさを設定してもよい。

【0135】

この構成によれば、T F T素子が無ストレス状態となるのを抑制し、逆バイアス電圧を印加したときにT F T素子がネガティブシフトするのを抑制することができる。

【0136】

また、前記駆動トランジスタの閾値電圧の変動量は、前記発光素子の発光状態のデータから求められてもよい。

【0137】

この構成によれば、駆動トランジスタの閾値電圧の変動量は、予め取得された発光素子の発光状態のデータから順バイアス電圧の印加時間又は大きさを調整することにより、逆バイアス電圧を印加したときにT F T素子がネガティブシフトするのを抑制することができる。

10

【0138】

また、前記駆動トランジスタの閾値電圧の変動量は、前記発光素子の発光状態から計算することにより求められてもよい。

【0139】

この構成によれば、発光素子の発光状態から計算して順バイアス電圧の印加時間又は大きさを調整することにより、逆バイアス電圧を印加したときにT F T素子がネガティブシフトするのを抑制することができる。

【0140】

（他の実施の形態）

以上のように、本出願において開示する技術の例示として、前述した実施の形態を説明した、しかしながら、本開示における技術は、これに限定されず、適宜、変更、置き換え、付加、省略などを行った実施の形態にも適用可能である。また、実施の形態で説明した各構成要素を組み合わせ、新たな実施の形態とすることも可能である。

20

【0141】

例えば、E L素子66は、典型的には有機発光素子であるが、電流に応じて発光強度が変化するデバイスであればどんな電流－光変換デバイスでもよい。

【0142】

また、例えば、表示装置を構成する画素回路は、上述した画素回路60の場合に限られず、他の回路構成で実現されとしてもよい。

【0143】

例えば、図2に示す電圧印加部31と異なる場所に電圧印加部を構成し、さらに、図2のスイッチ65に代えて駆動トランジスタ61のゲート電極およびソース電極間にE n a b l e線が、ゲートに接続されたスイッチを構成するとしてもよい。電圧印加部31が有するスイッチ63のドレインおよびソースの一方の端子は、スイッチ62と節点Aとの間に接続されていてもよい。

30

【0144】

また、例えば、画素回路は、図2の電圧印加部31と異なる構成の電圧印加部と、図2のスイッチ65に代えて、駆動トランジスタ61のドレイン電極とE Lアノード電源線69の間にE n a b l e線がゲートに接続されたスイッチとを有する画素回路であってもよい。この場合、電圧印加部は、R E V線68（V R E F）と駆動トランジスタ61のゲート電極との導通及び非導通を切り換えるスイッチと、R E V68（V R E V）と駆動トランジスタ61のゲート電極との導通及び非導通を切り換えるスイッチとを備えていてもよい。スイッチ63およびスイッチ63のドレインおよびソースの一方の端子がスイッチ62と節点Aとの間に接続されている。

40

【0145】

さらに、例えば、上記回路構成の組み合わせからなる画素回路でもよい。すなわち、画素回路では、上記したスイッチに代えて、他のスイッチを有するとしてもよい。

【0146】

また、前述した実施の形態では、初期化期間の前の所定期間（逆バイアス期間、後述の期間T2）において、駆動トランジスタ61のゲート電極およびソース電極間に逆バイア

50

スが印加され、初期化期間で駆動トランジスタ61のゲート電極およびソース電極間に順バイアスが印加される。本実施の形態では、駆動トランジスタ61のゲート電極に印加される場合の例を挙げて説明しているがそれに限らない。逆バイアスが印加されるのは駆動トランジスタのゲート電極でなくともよく、ソース電極でもよい。その場合、ゲート電極側から参照電圧 V_{REF} 、ソース電極側から初期化電圧 V_{INI} もしくは逆バイアス電圧 V_{REV} を供給する構成とすればよい。なお、本開示の例では、参照電圧 $V_{REF} < 逆バイアス電圧 V_{REV}$ であるため、逆バイアス電圧 V_{REV} と V_{EL} 間の電位差が大きくなり、EL素子が点灯する。そのため、さらに、 $(V_{EL} + EL \text{ 順方向電流閾値電圧}) > (逆バイアス電圧 V_{REV})$ となるように、電圧 V_{EL} の調整を行っておく必要がある。

【0147】

10

以上のように、本開示における技術の例示として、実施の形態を説明した。そのために、添付図面および詳細な説明を提供した。

【0148】

したがって、添付図面および詳細な説明に記載された構成要素の中には、課題解決のために必須な構成要素だけでなく、上記技術を例示するために、課題解決のためには必須でない構成要素も含まれ得る。そのため、それらの必須ではない構成要素が添付図面や詳細な説明に記載されていることをもって、直ちに、それらの必須ではない構成要素が必須であるとの認定をするべきではない。

【0149】

また、上述の実施の形態は、本開示における技術を例示するためのものであるから、請求の範囲またはその均等の範囲において種々の変更、置き換え、付加、省略などを行うことができる。

20

【産業上の利用可能性】

【0150】

本発明は、表示装置およびその駆動方法に利用でき、特に、例えば図6に示されるようなテレビなどのFPD表示装置に利用することができる。

【符号の説明】

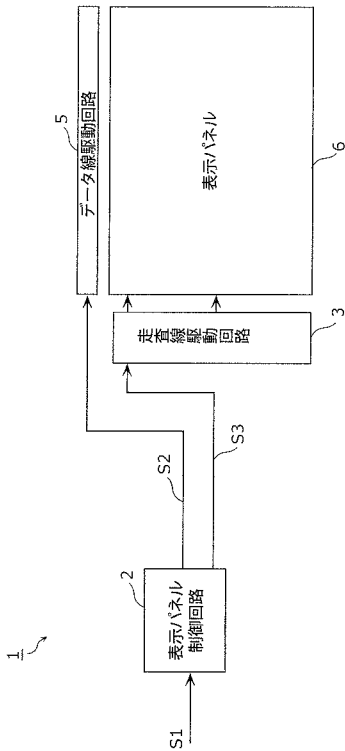
【0151】

- 1 表示装置
- 2 表示パネル制御回路
- 3 走査線駆動回路
- 5 データ線駆動回路
- 6 表示パネル
- 31 電圧印加部
- 60 画素回路（画素）
- 61、161 駆動トランジスタ
- 62、63、64、65、162 スイッチ
- 66 EL素子
- 67 容量素子
- 68 RFV線
- 69 ELアノード電源線
- 70 ELカソード電源線
- 72 Scan線
- 74 Init線
- 75 Merge線
- 76 Data線

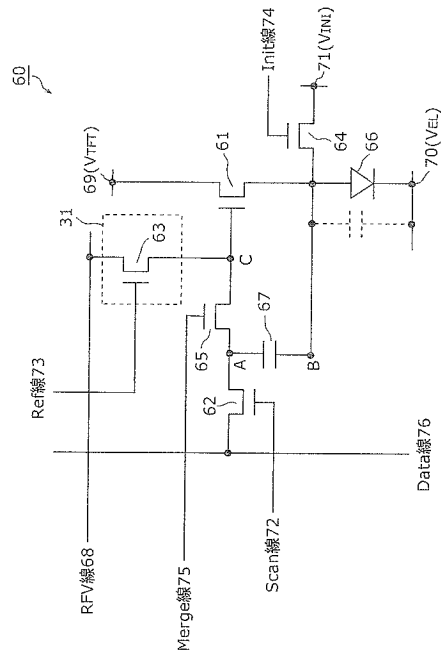
30

40

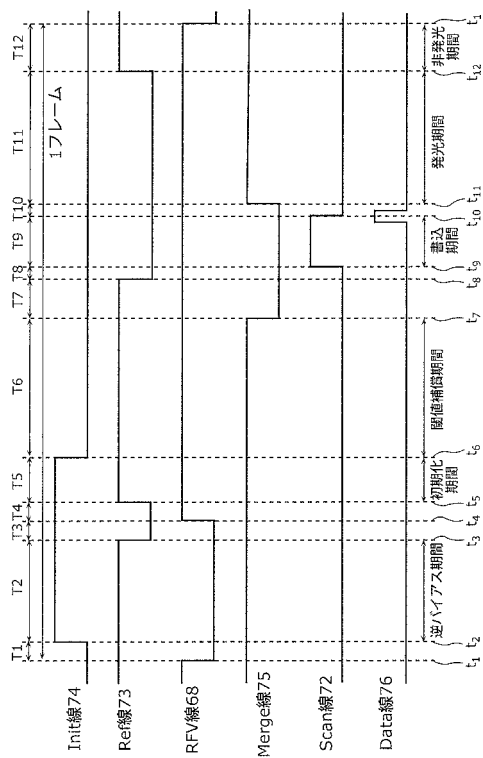
【図 1】



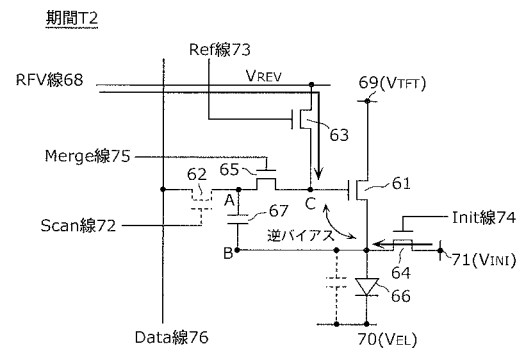
【図 2】



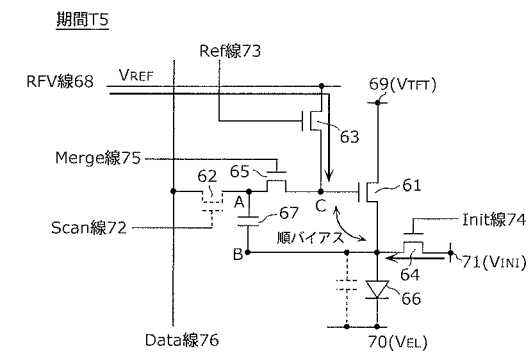
【図 3】



【図 4 A】

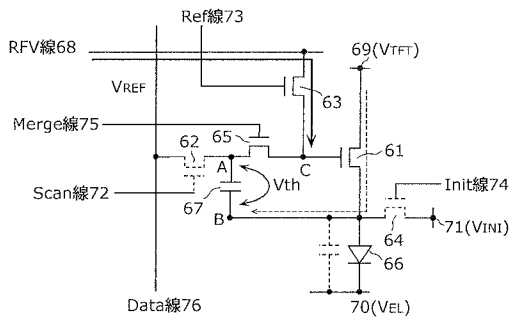


【図 4 B】



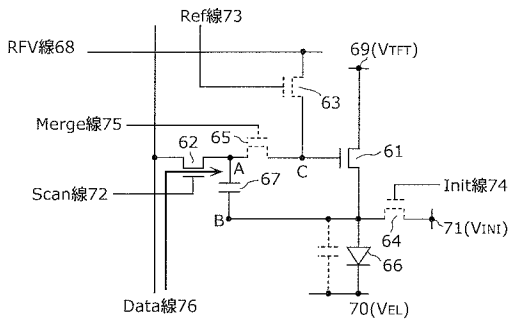
【図 4 C】

期間T6

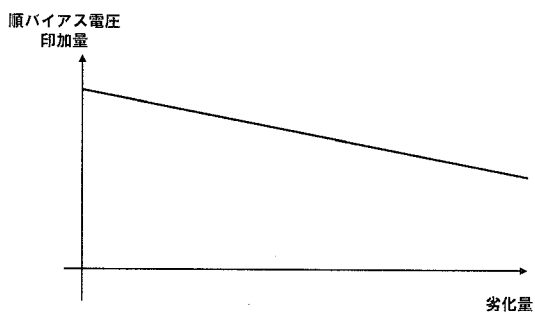


【図 4 D】

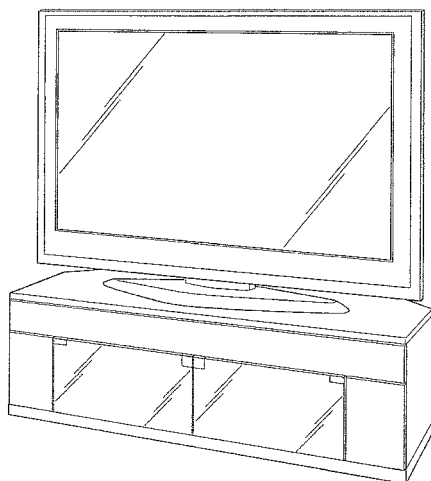
期間T9



【図 5】

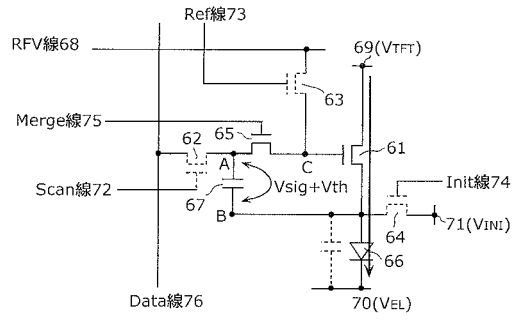


【図 6】



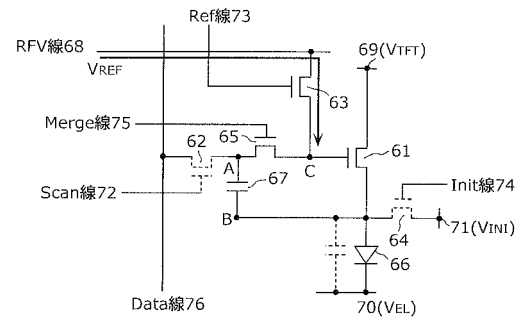
【図 4 E】

期間T11

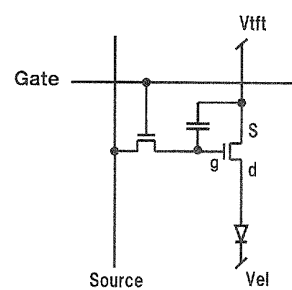


【図 4 F】

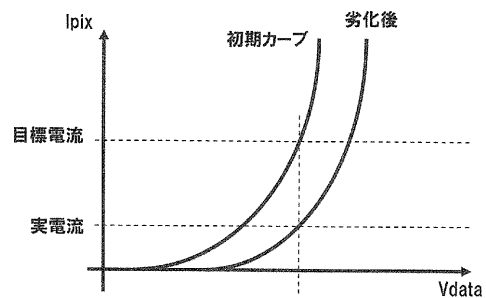
期間T12



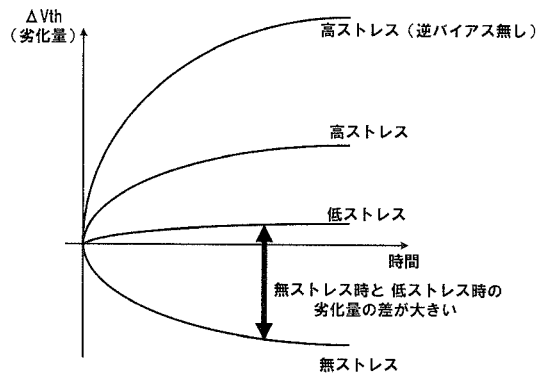
【図 7】



【図 8】



【図 9】



(51) Int.Cl.

F I

テーマコード (参考)

G 0 9 G 3/20 6 7 0 J

G 0 9 G 3/20 6 7 0 E

H 0 5 B 33/08

H0 5 B 33/14 A

Fターム(参考) 5C080 AA06 BB05 DD05 DD29 EE29 FF11 FF12 HH09 JJ02 JJ03

JJ04 JJ05 JJ06

5C380 AA01 AB06 AC07 BA38 BA39 BB02 BD03 BD08 BD10 CA08

CA12 CA53 CB01 CB16 CC02 CC04 CC07 CC27 CC30 CC33

CC61 CC62 CC65 CC71 CD012 CD025 CF01 CF62 DA02 DA06

DA47

专利名称(译)	用于驱动显示设备的方法和设备		
公开(公告)号	JP2016048300A	公开(公告)日	2016-04-07
申请号	JP2014173043	申请日	2014-08-27
[标]申请(专利权)人(译)	日本有机雷特显示器股份有限公司		
申请(专利权)人(译)	株式会社JOLED		
[标]发明人	前田智之 山本浩幹		
发明人	前田 智之 山本 浩幹		
IPC分类号	G09G3/30 G09G3/20 H05B33/08 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.611.G G09G3/20.624.B G09G3/20.641.D G09G3/20.642.A G09G3/20.670.J G09G3/20.670.E H05B33/08 H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD29 5C080/EE29 5C080/FF11 5C080/FF12 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C380/AA01 5C380/AB06 5C380/AC07 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BD03 5C380/BD08 5C380/BD10 5C380/CA08 5C380/CA12 5C380/CA53 5C380/CB01 5C380/CB16 5C380/CC02 5C380/CC04 5C380/CC07 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC61 5C380/CC62 5C380/CC65 5C380/CC71 5C380/CD012 5C380/CD025 5C380/CF01 5C380/CF62 5C380/DA02 5C380/DA06 5C380/DA47		
代理人(译)	吉川修 Sobashima正雄		
外部链接	Espacenet		

摘要(译)	(21) 出願番号 特願2014-173043 (P2014-173043) (22) 出願日 平成26年8月27日 (2014. 8. 27)	(71) 出願人 514188173 株式会社JOLED 東京都千代田区神田錦町三丁目2番地 (74) 代理人 100189430 弁理士 吉川 修一 (74) 代理人 100190805 弁理士 徳島 正朗 (72) 発明者 前田 智之 大阪府門真市大字門真1006番地 パナソニック株式会社内 (72) 発明者 山本 浩幹 大阪府門真市大字門真1006番地 パナソニック株式会社内 Fターム(参考) 3K107 AA01 BB01 CC33 EE03 HH04 最終頁に続く
-------	---	---