

(19) 日本国特許庁 (JP)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2015-62182

(P2015-62182A)

(43) 公開日 平成27年4月2日 (2015. 4. 2)

(51) Int.Cl.	F I	テーマコード (参考)
H05B 33/04 (2006.01)	H05B 33/04	
G09G 3/30 (2006.01)	G09G 3/30	J
G09G 3/20 (2006.01)	G09G 3/20	624B
H01L 51/50 (2006.01)	G09G 3/20	612B
G09F 9/30 (2006.01)	G09G 3/20	641E
審査請求 有 請求項の数 2 O L (全 51 頁) 最終頁に続く		

(21) 出願番号 特願2014-207021 (P2014-207021)
 (22) 出願日 平成26年10月8日 (2014. 10. 8)
 (62) 分割の表示 特願2011-246219 (P2011-246219)
 の分割
 原出願日 平成13年3月7日 (2001. 3. 7)
 (31) 優先権主張番号 特願2000-67793 (P2000-67793)
 (32) 優先日 平成12年3月10日 (2000. 3. 10)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 木村 肇
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

(54) 【発明の名称】 表示装置及び電子機器

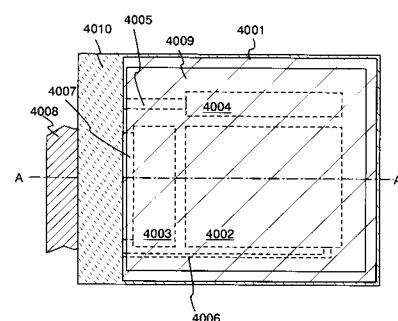
(57) 【要約】 (修正有)

【課題】 EL素子を密封してEL層の劣化を抑える。

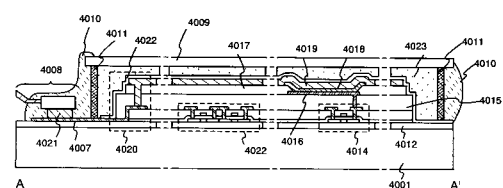
【解決手段】 EL素子部を囲むようにして第2の基板4009と第1の基板4001の内側に第1のシール材4011を設け、さらに第1のシール材の外側に第2のシール材4010を設ける。第2の基板の側面は第2のシール材に接する領域と接しない領域を有する。

【選択図】 図7

(A)



(B)



【特許請求の範囲】

【請求項 1】

第 1 の基板と、第 2 の基板と、第 1 のシール材と、第 2 のシール材と、を有し、
前記第 1 の基板上に、トランジスタ及び発光素子を有する画素部を有し、
前記第 2 の基板は、前記第 1 の基板と対向するように設けられ、
前記第 1 のシール材は、前記第 1 の基板上において前記画素部を取り囲むように設けられ、

前記第 2 のシール材は、前記第 1 のシール材の外側に設けられ、且つ前記第 1 のシール材の側面に接する領域を有し、且つ前記第 1 の基板と前記第 2 の基板の対向するそれぞれの面に挟まれた領域を有し、

前記第 2 の基板の側面は、前記第 2 のシール材に接する領域と、前記第 2 のシール材に接しない領域を有することを特徴とする表示装置。

【請求項 2】

請求項 1 に記載の表示装置と、バッテリー、操作スイッチ、またはアンテナと、を有する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子装置および電子装置の駆動方法に関する。本発明は、特に、絶縁基板上に作成される薄膜トランジスタ（TFT）を有するアクティブマトリクス型電子装置およびアクティブマトリクス型電子装置の駆動方法に関する。アクティブマトリクス型電子装置の中でも、特に、EL（Electro Luminescence）素子を始めとする自発光素子を用いたアクティブマトリクス型電子装置およびアクティブマトリクス型電子装置の駆動方法に関する。

【0002】

EL素子は、エレクトロルミネッセンス（Electro Luminescence：電場を加えることで発生するルミネッセンス）が得られる有機化合物を含む層（以下、EL層と記す）と、陽極と、陰極とを有する。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光（蛍光）と三重項励起状態から基底状態に戻る際の発光（リン光）とがあるが、本発明はどちらの発光を用いた発光装置にも適用可能である。

【0003】

なお、本明細書では、陽極と陰極の間に設けられた全ての層をEL層と定義する。EL層には具体的に、発光層、正孔注入層、電子注入層、正孔輸送層、電子輸送層等が含まれる。基本的にEL素子は、陽極／発光層／陰極が順に積層された構造を有しており、この構造に加えて、陽極／正孔注入層／発光層／陰極や、陽極／正孔注入層／発光層／電子輸送層／陰極等の順に積層した構造を有していることもある。

【0004】

また、本明細書中では、陽極、EL層、及び陰極で形成される素子をEL素子と呼ぶ。

【背景技術】

【0005】

近年、LCD（液晶ディスプレイ）に替わるフラットディスプレイとして、ELディスプレイが注目を集めており、活発な研究が行われている。

【0006】

LCDには、駆動方式として大きく分けて2つのタイプがあった。1つは、STN-LCDなどに用いられているパッシブマトリクス型であり、もう1つは、TFT-LCDなどに用いられているアクティブマトリクス型であった。ELディスプレイにおいても、同様に、大きく分けて2種類の駆動方式がある。1つはパッシブ型、もう1つがアクティブ型である。

【0007】

パッシブ型の場合は、EL素子の上部と下部とに、電極となる配線が配置されている。

10

20

30

40

50

そして、その配線に電圧を順に加えて、EL素子に電流を流すことによって点灯させている。一方、アクティブ型の場合は、各画素にトランジスタを有し、各画素内で信号を保持出来るようになっている。

【0008】

アクティブ型EL表示装置の概略図を図21(A)に示す。基板2150上に、ソース信号線駆動回路2151、ゲート信号線駆動回路2152、画素部2153が配置されている。ゲート信号線駆動回路は、図21(A)では画素部の両側に配置されているが、片側配置としても良い。表示装置を駆動する信号は、フレキシブルプリントサーキット(Flexible Print Circuit: FPC)2154より、各駆動回路へと入力される。

【0009】

図21(B)は、画素部2153の一部を拡大したものであり、 3×3 画素を示している。点線枠2100で囲われた部分が1画素である。2101は、画素に信号を書き込む時のスイッチング素子として機能するTFT(以下、スイッチング用TFTという)である。図21では、スイッチング用TFTはnチャネル型になっているが、pチャネル型でも構わない。2102はEL素子2103に供給する電流を制御するための素子(電流制御素子)として機能するTFT(以下、EL駆動用TFTという)である。EL駆動用TFTがpチャネル型である場合、EL素子2103の陽極と電流供給線2107との間に配置される。別の構成方法として、nチャネル型を用いたり、EL素子2103の陰極と陰極配線との間に配置したりすることも可能である。しかし、トランジスタの動作としてソース接地が良いこと、EL素子2103の製造上の制約などから、EL駆動用TFTにはpチャネル型を用い、EL素子2103の陽極と電流供給線2107の間にEL駆動用TFTを配置する方式が最善であり、多く採用されている。2104は、ソース信号線2106から入力される信号(電圧)を保持するための保持容量である。図21(B)での保持容量2104の一方の端子は、電流供給線2107に接続されているが、専用の配線を用いることもある。スイッチング用TFT2101のゲート電極には、ゲート信号線2105が、ソース領域には、ソース信号線2106が接続されている。また、EL駆動用TFT2102のソース領域とドレイン領域には、一方にEL素子2103の陽極が、残る一方に電流供給線2107が接続されている。

【0010】

アクティブ型ELディスプレイにおけるEL素子の動作について述べる。図22(A)に、EL素子を流れる電流とEL素子の輝度の関係を示す。図22(A)から分かる通り、EL素子の輝度は、EL素子に流れる電流にほぼ正比例して大きくなる。よって、以後は、主にEL素子に流れる電流について議論することにする。次に、図22(B)、図22(C)にEL素子の電圧-電流特性を示す。EL素子は、あるしきい値を越えた電圧が印加されると、指数的に大きな電流が流れるようになる。別の見方をする、EL素子を流れる電流量が変化しても、EL素子に印加される電圧値はあまり変化しない。一方、EL素子に印加される電圧値が少しでも変化すると、EL素子を流れる電流量は大きく変化する。よって、EL素子に印加される電圧値を制御することにより、EL素子を流れる電流量、つまり、EL素子の輝度を制御することは困難である。そこで、EL素子においては、EL素子を流れる電流量を制御することによって輝度を制御している。

【0011】

図23を参照する。図23(A)は、図21におけるEL素子の画素部において、EL駆動用TFT2102およびEL素子2103の構成部分のみを図示したものであり、電流供給線2301、陰極配線2302、EL駆動用TFT2304、およびそのゲート電極2303、EL素子2305で表される。図23(B)には、図23(A)の回路の動作点を分析するための電圧電流特性を示す。

ここで、EL素子2305に印可されている電圧を V_{EL} 、電流供給線2301の電位を V_{DD} 、陰極配線2302の電位を V_{GND} ($=0$ [V])、EL駆動用TFT2304のソース・ドレイン間電圧を V_{DS} 、EL駆動用TFT2304のゲート電極2303と電流供給線2301との間の電圧、つまりEL駆動用TFT2304のゲート・ソース間電圧を V

10

20

30

40

50

V_{GS} とする。ここでは、説明を明確とするため、EL駆動用TFT2304はpチャネル型を用いているものとし、ソース端子は電圧の高い方の端子、ドレイン端子は電圧の低い方の端子とする。図23(B)から分かるように、EL駆動用TFT2304のゲート・ソース間電圧の絶対値 $|V_{GS}|$ が大きくなるにつれて、EL駆動用TFT2304に流れる電流値も大きくなる。

【0012】

次に、EL回路の動作点について説明する。まず、図23(A)の回路において、EL駆動用TFT2304とEL素子2305とは、直列に接続されている。よって、両素子（EL駆動用TFT2304とEL素子2305）を流れる電流値は等しい。従って、図23(A)の回路の動作点は、両素子の電圧電流特性グラフの交点になる（図23(B)）。図23(B)において、 V_{EL} は、 V_{GND} から、動作点での電位までの間の電圧になる。 V_{DS} は、 V_{DD} から、動作点での電位までの間の電圧になる。つまり、 V_{DD} から V_{GND} までの電圧は、 V_{EL} と V_{DS} との和に等しい。

10

【0013】

ここで、 V_{GS} を変化させた場合について考える。EL駆動用TFT2304はpチャネル型であるので、 V_{GS} がEL駆動用TFT2304のしきい値電圧 V_{th} よりも小さくなると、導通状態となる。そして、 V_{GS} をさらに小さくすると、つまり、絶対値 $|V_{GS}|$ をさらに大きくすると、EL駆動用TFT2304を流れる電流値がさらに大きくなり、EL素子2305を流れる電流値も当然大きくなる。EL素子2305の輝度は、EL素子2305を流れる電流値に比例して高くなる。ただしその時、 V_{EL} も大きくなる。

20

【0014】

そこで、より詳細に動作を分析するため、まず、 $|V_{GS}|$ が大きくなった場合の、EL駆動用TFT2304の動作領域について述べる。一般に、トランジスタの動作は、大きく2つの領域に分けることが出来る。一つは、ソース・ドレイン間電圧が変わっても電流値がほとんど変化しない、つまり、ゲート・ソース間電圧のみによって電流値が決まるという飽和領域（ $|V_{DS}| > |V_{GS} - V_{th}|$ ）

である。もう一つは、ソース・ドレイン間電圧とゲート・ソース間電圧とにより電流値が決まるという線形領域（ $|V_{DS}| < |V_{GS} - V_{th}|$ ）である。以上を踏まえた上で、EL駆動用TFT2304の動作領域について考えてみる。まず、電流値が低い場合、つまり $|V_{GS}|$ が小さい場合、図23(B)に示すように、EL駆動用TFT2304は飽和領域で動作している。それから、 $|V_{GS}|$ を大きくしていくと、電流値も大きくなっていく。同時に、 V_{EL} も徐々に大きくなっていく。従って、この時、 V_{EL} が大きくなった分だけ、 V_{DS} が小さくなっていく。しかしながら、この場合、EL駆動用TFT2304は飽和領域で動作しているため、 V_{DS} が変化しても、電流値はほとんど変化しない。つまり、EL駆動用TFT2304が飽和領域で動作している場合、EL素子2305を流れる電流量は、 $|V_{GS}|$ だけで決まる。

30

【0015】

さらに $|V_{GS}|$ を大きくしていくと、EL駆動用TFT2304は線形領域で動作するようになる。そして、 V_{EL} も徐々に大きくなっていく。よって、 V_{EL} が大きくなった分だけ、 V_{DS} が小さくなっていく。線形領域では、 V_{DS} が小さくなると電流量も小さくなる。そのため、 $|V_{GS}|$ を大きくしていても、電流値は増加しにくくなっていく。そして仮に、 $|V_{GS}| = \infty$ になった時を考えてみると、電流値 $= I_{MAX}$ となる。つまり、 $|V_{GS}|$ をいくら大きくしても、 I_{MAX} 以上の電流は流れない。ここで、 I_{MAX} は、 V_{EL} が $(V_{DD} - V_{GND})$ の時（ここでは、 $V_{GND} = 0[V]$ であるから、 $V_{EL} = V_{DD}$ ）に、EL素子2305を流れる電流値である。

40

【0016】

以上の動作分析のまとめとして、 $|V_{GS}|$ を変化させた場合の、EL素子を流れる電流値のグラフを図24に示す。 $|V_{GS}|$ を大きくしていき、EL駆動用TFTのしきい値電圧の絶対値 $|V_{th}|$ よりも大きくなると、EL駆動用TFTが導通状態となり、電流が流れ始める。この時の $|V_{GS}|$ を点灯開始電圧と呼ぶことにする。そして、さらに $|V_{GS}|$

50

を大きくしていくと、電流値が大きくなり、遂には、電流値が飽和してくる。その時の $|V_{GS}|$ を輝度飽和電圧と呼ぶことにする。図 2 4 から分かる通り、 $|V_{GS}|$ が点灯開始電圧よりも小さい時は、電流がほとんど流れない。 $|V_{GS}|$ が点灯開始電圧から輝度飽和電圧までの時は、 $|V_{GS}|$ によって電流量が変化する。そして、 $|V_{GS}|$ が輝度飽和電圧よりも十分大きい場合、E L 素子に流れる電流値は、ほとんど変わらない。このように、 $|V_{GS}|$ を変えることにより、E L 素子に流れる電流値、つまり E L 素子の輝度を制御する事が出来る。

【0017】

次に、アクティブ型 E L 回路の動作について説明する。再び図 2 1 を参照する。

【0018】

まず、ゲート信号線 2 1 0 5 が選択されると、スイッチング用 T F T 2 1 0 1 のゲートが開き、スイッチング用 T F T 2 1 0 1 が導通状態になる。すると、ソース信号線 2 1 0 6 の信号（電圧）が保持容量 2 1 0 4 に蓄積される。保持容量 2 1 0 4 の電圧は、E L 駆動用 T F T 2 1 0 2 のゲート・ソース間電圧 V_{GS} となるため、保持容量 2 1 0 4 の電圧に応じた電流が E L 駆動用 T F T 2 1 0 2 と E L 素子 2 1 0 3 に流れる。その結果、E L 素子 2 1 0 3 が点灯する。図 2 3 から図 2 4 までの説明で述べたように、E L 素子 2 1 0 3 の輝度、つまり E L 素子 2 1 0 3 を流れる電流量は、 V_{GS} によって制御出来る。 V_{GS} は、保持容量 2 1 0 4 において保持されている電圧であり、それはソース信号線 2 1 0 6 の信号（電圧）である。つまり、ソース信号線 2 1 0 6 の信号（電圧）を制御することによって、E L 素子 2 1 0 3 の輝度を制御する。最後に、ゲート信号線 2 1 0 5 を非選択にして、スイッチング用 T F T 2 1 0 1 のゲートを閉じ、スイッチング用 T F T 2 1 0 1 を非導通状態にする。その時、保持容量 2 1 0 4 に蓄積された電荷は保持される。よって、 V_{GS} は、そのまま保持され、 V_{GS} に応じた電流が E L 駆動用 T F T 2 1 0 2 と E L 素子 2 1 0 3 に流れ続ける。

【0019】

以上の内容に関しては、SID99 Digest : P372 : “Current Status and future of Light-Emitting Polymer Display Driven by Poly-Si TFT”、ASIA DISPLAY98 : P217 : “High Resolution Light Emitting Polymer Display Driven by Low Temperature Polysilicon Thin Film Transistor with Integrated Driver”、Euro Display99 Late News : P27 : “3.8 Green E L with Low Temperature Poly-Si TFT”などに報告されている。

【0020】

次に、E L 素子の階調表示の方式について述べる。図 2 4 から分かるように、E L 駆動用 T F T のゲート電圧の絶対値 $|V_{GS}|$ が点灯開始電圧以上で輝度飽和電圧以下の場合、 $|V_{GS}|$ の値を変化させることにより、E L 素子の明るさ、即ち、階調をアナログ的に制御することができる。よって、この方式をアナログ階調方式と呼ぶことにする。

【0021】

アナログ階調方式は、E L 駆動用 T F T の電流特性のばらつきに弱いという欠点がある。つまり、E L 駆動用 T F T の電流特性が異なると、同じゲート電圧を印可しても、E L 駆動用 T F T と E L 素子に流れる電流値が異なってしまう。その結果 E L 素子の明るさ、つまり階調が変わってしまう。図 2 5 に、E L 駆動用 T F T のしきい値電圧や移動度が変化した場合について、E L 駆動用 T F T のゲート電圧の絶対値 $|V_{GS}|$ と E L 素子の電流のグラフを示す。例えば、E L 駆動用 T F T のしきい値電圧が大きくなると、E L 駆動用 T F T のゲートに実質的に印加される電圧 ($|V_{GS}| - |V_{th}|$) が小さくなるため、点灯開始電圧が大きくなってしまふ。また、E L 駆動用 T F T の移動度が小さくなると、E L 駆動用 T F T のソース・ドレイン間を流れる電流が小さくなるため、グラフの傾きが小さくなってしまふ。

【0022】

そこで、E L 駆動用 T F T の特性ばらつきの影響を小さくするために、デジタル階調方式と呼ぶ方式が考案されている。この方式は、E L 駆動用 T F T のゲート電圧の絶対値 $|V_{GS}|$ が点灯開始電圧以下の状態（ほとんど電流が流れない）

と、輝度飽和電圧よりも大きい状態（電流値はほぼ I_{MAX} ）、という2つの状態で階調を制御する方式である。この場合、EL駆動用TFTのゲート電圧の絶対値 $|V_{GS}|$ を輝度飽和電圧よりも十分大きくしておけば、EL駆動用TFTの電流特性がばらついても、電流値は I_{MAX} に近くなる。よって、EL駆動用TFTのばらつきの影響を非常に小さく出来る。以上のように、ON状態（最大電流が流れているため明るい）とOFF状態（電流が流れないため暗い）の2つの状態で階調を制御するため、この方式はデジタル階調方式と呼ばれている。

【0023】

しかしながら、デジタル階調方式の場合、このままでは2階調しか表示できない。そこで、別の方式と組み合わせて、多階調化を図る技術が複数提案されている。

10

【0024】

そのうちの一つは、面積階調方式とデジタル階調方式を組み合わせる方式である。面積階調方式とは、点灯している部分の面積を制御して、階調を出す方式である。つまり、1つの画素を複数のサブ画素に分割し、点灯しているサブ画素の数や面積を制御して、階調を表現している。この方式の欠点としては、サブ画素の数を多くすることが出来ないため、解像度を高くすることや、階調数を多くすることが難しい点がある。面積階調方式については、Euro Display 99 Late News : P71 : “TFT-LEPD with Image Uniformity by Area Ratio Gray Scale”、IEDM 99 : P107 : “Technology for Active Matrix Light Emitting Polymer Displays”、などに報告がされている。

20

【0025】

もう一つの多階調化を図る方式として、時間階調方式とデジタル階調方式を組み合わせる方式がある。時間階調方式とは、点灯している時間を制御して、階調を出す方式である。つまり、1フレーム期間を、複数のサブフレーム期間に分割し、点灯しているサブフレーム期間の数や長さを制御して、階調を表現している。

【0026】

デジタル階調方式と面積階調方式と時間階調方式を組み合わせた場合については、IDW' 99 : P171 : “Low-Temperature Poly-Si TFT Driven Light-Emitting-Polymer Displays and Digital Gray Scale for Uniformity” に報告されている。

【0027】

デジタル階調方式と時間階調方式を組み合わせる方式として、特願平11-176521に出願されている方式について述べる。ここでは、例として、3ビット階調表現のため、1フレーム期間を3つのサブフレーム期間に分割した場合について述べる。

30

【0028】

図26を参照する。図26に示すように、1フレーム期間を3つのサブフレーム期間（SF）に分割する。ここで、1つ目のサブフレーム期間を SF_1 と呼ぶことにする。2つ目以降のサブフレーム期間についても同様に SF_2 、 SF_3 と呼ぶことにする。1つのサブフレーム期間は、さらにアドレス（書き込み）期間（Ta）とサステイン（点灯）期間（Ts）に分けられる。 SF_1 でのサステイン（点灯）期間を Ts_1 と呼ぶことにする。 SF_2 、 SF_3 の場合においても同様に、 Ts_2 、 Ts_3 と呼ぶことにする。

【0029】

アドレス（書き込み）期間（Ta）に行う動作について説明する。図21および図26を参照する。最初に、電流供給線2107と陰極配線2108の間の電位差を0[V]にしておく。詳しくは、陰極配線2108の電位を上げて、電流供給線2107と同電位にしておく。陰極配線2108は、全画素で接続されているため、この動作は、全画素にわたって同時に行われることになる。この動作の目的は、各画素の保持容量2104の電圧値に関わらず、EL素子2103に電流が流れないようにすることである。その後、ソース信号線2106を通じて、信号（電圧）を各画素の保持容量2104に蓄積していく。もし、画素を表示状態にしたい場合は、EL駆動用TFT2101のゲート・ソース間電圧の絶対値 $|V_{GS}|$ が輝度飽和電圧よりも十分高い電圧になるようにする。画素を表示させたくない場合は、EL駆動用TFT2101の $|V_{GS}|$ が点灯開始電圧よりも十分低い

40

50

電圧になるようにする。そして、全画素にわたって、信号（電圧）を保持容量 2104 に蓄積していく。以上でアドレス（書き込み）期間（ T_a ）の動作が終了する。

【0030】

次に、サステイン（点灯）期間（ T_{s1} ）に移る。アドレス（書き込み）期間（ T_a ）においては、電流供給線 2107 と陰極配線 2108 の間の電位差は 0 [V] の状態にあった。そこで、サステイン（点灯）期間（ T_{s1} ）では、全画素にわたって同時に、電流供給線 2107 と陰極配線 2108 の間に、電圧を加える。その結果、 $|V_{GS}|$ が輝度飽和電圧よりも十分高い電圧になっている画素では、EL 駆動用 TFT 2101 と EL 素子 2103 に電流が流れて、EL 素子が点灯し始める。 $|V_{GS}|$ が点灯開始電圧よりも十分低い電圧になっている画素では、EL 駆動用 TFT 2101 と EL 素子 2103 に電流は流れず、暗いままである。その後、そのままの状態が続き、サステイン（点灯）期間（ T_{s1} ）の終了とともに、再び、電流供給線 2107 と陰極配線 2108 の間の電位差を 0 [V] の状態にする。当然、全画素にわたって同時に行っておく。すると、各画素の保持容量 2104 の電圧値、つまり、 $|V_{GS}|$ に関わらず、EL 素子 2103 に電流が流れなくなり、EL 素子 2103 は暗くなる。

【0031】

以上が 1 サブフレーム期間（ SF_1 ）での動作である。 SF_2 、 SF_3 においても、同様の動作を行う。ただし、サステイン（点灯）期間の長さは、サブフレーム期間によって異なる。長さの比率としては、 $T_{s1} : T_{s2} : T_{s3} = 2^2 : 2^1 : 2^0$ となっている。つまり、2 のべき乗になるようにして、サステイン（点灯）期間を変えていくようになっている。このように、2 のべき乗でサステイン（点灯）期間の長さを変えるのは、デジタル操作に適合しやすくするためである。

【0032】

アドレス（書き込み）期間が終了するまでの間は、EL 駆動用 TFT 2101 のゲートに所定の電圧が印加され、EL 駆動用 TFT 2101 が導通状態となっても、EL 素子 2103 は点灯せず、サステイン（点灯）期間の開始と同時に EL 素子 2103 を点灯させるようにしている。これは、より正確にサステイン（点灯）期間の長さを制御するためである。図 26 に、EL 素子 2103 の陰極配線の電位 V_{GND} に関するタイミングチャートを示す。陰極配線は、全画素で繋がっているため、図 26 において、2601 は全画素の陰極配線の電位 V_{GND} を示している。アドレス（書き込み）期間（ T_a ）では、陰極配線の電位は、電流供給線の電位と同電位もしくはそれ以上にしておく。そして、サステイン（点灯）期間では、陰極配線の電位を下げて、EL 素子に電流が流れるようにする。

【0033】

階調表示の方法としては、 T_{s1} から T_{s3} までのサステイン（点灯）期間において、EL 素子を点灯させるかどうかについて制御することにより、輝度を制御している。この例では、点灯するサステイン（点灯）期間の組み合わせにより、 $2^3 = 8$ 通りの点灯時間の長さを決定することが出来るため、8 階調を表示できる。このように点灯時間の長短を利用して階調表現を行う方式を時間階調方式とよぶ。

【0034】

さらに階調数を増やす場合は、1 フレーム期間の分割数を増やしていけばよい。1 フレーム期間を n 個のサブフレームに期間に分割した場合、サステイン（点灯）期間の長さの比率は $T_{s1} : T_{s2} : \dots : T_{s(n-1)} : T_{s_n} = 2^{(n-1)} : 2^{(n-2)} : \dots : 2^1 : 2^0$ となり、 2^n 通りの階調を表現することが可能となる。

【0035】

ただし、必ずしもサステイン（点灯）期間の長さを 2 のべき乗の比としない場合でも、階調表示は可能である。

【0036】

このように、サブフレーム期間をアドレス（書き込み）期間とサステイン（点灯）期間とに分離しているのは、サステイン（点灯）期間の長さを自由に設定できるようにするためである。つまり、期間を分離することにより、アドレス（書き込み）期間よりも短いサ

10

20

30

40

50

ステイン（点灯）期間を設定することが可能となる。

もし、期間を分離しなかった場合、サステイン（点灯）期間が短いと、アドレス（書き込み）期間が別のサブフレーム期間のアドレス（書き込み）期間と重なってしまう場合が生じ、正常に信号の書き込みが行われなくなる。

【発明の概要】

【発明が解決しようとする課題】

【0037】

次に、主に、特願平11-176521に出願されている技術、つまり、時間階調方式とデジタル階調方式を組み合わせる多階調化を図る場合、アドレス（書き込み）期間とサステイン（点灯）期間とに分離する方式について、その問題点を述べる。

10

【0038】

まず、アドレス（書き込み）期間（ T_a ）では、EL素子が点灯しないことが挙げられる。そのため、1フレーム期間全体における表示期間の割合（これをデューティ比という）が小さくなってしまい、もし仮に、1フレーム期間において、サステイン（点灯）期間（ T_s ）の合計時間の占める割合が半分、つまり、デューティ比が50 [%]であれば、デューティ比が100 [%]の場合の半分の輝度しか得られない。もし、100 [%]の場合と同等の輝度を得たい場合には、サステイン（点灯）期間に光っている時の輝度、つまり、瞬間輝度を2倍にする必要がある。そのためには、EL素子に2倍の電流を流す必要がある。

【0039】

20

第2の問題点としては、アドレス（書き込み）期間（ T_a ）中に、信号の全画素への書き込みを終了する必要があるため、高速に回路を動作させる必要があるということである。回路の動作が遅い場合は、アドレス（書き込み）期間（ T_a ）が長くなってしまい、その結果、デューティ比が小さくなってしまい、さまざまな問題が生ずる。また、高速に回路が動作すると、消費電力も大きくなってしまい、問題となる。

【0040】

第3の問題点としては、画素数を増やすことが難しいことである。なぜなら、画素数を増やすことでアドレス（書き込み）期間（ T_a ）が長くなってしまい、

その結果、デューティ比が小さくなってしまうためである。

【0041】

30

第4の問題点としては、階調を増やすことが難しいことである。なぜなら、階調数を増やすためには、サブフレーム期間に分割する数を増やす必要がある。その結果、アドレス（書き込み）期間（ T_a ）の数が増えてしまい、デューティ比が小さくなってしまうためである。

【0042】

前述のような問題点によると、その大部分はデューティ比の低下による輝度不足に起因しているといえる。本発明は前述のような問題点を鑑みてなされたものであり、新規の駆動方法を用いることによって、デューティ比の向上を実現し、さらには駆動回路の動作周波数が低い場合にも十分なサステイン（点灯）期間を確保して良好な画質を実現することを目的としている。

40

【課題を解決するための手段】

【0043】

本発明の駆動方法は、ゲート信号線選択期間を複数のサブ期間に分割することにより、1ゲート信号線選択期間内に、異なる複数段の画素に信号を書き込む点に特徴がある。それにより、ある段の画素において、信号を入力してから次の信号を入力するまでの時間を、画素への書き込み時間を確保した上でならばある程度任意に設定することができる。すなわち、サステイン（点灯）期間を任意に設定することができるため、デューティ比を見かけ上最大100 [%]まで大きくすることができる。よって、デューティ比が小さいために生ずる様々な問題点を回避することができる。

【0044】

50

また、本発明の駆動方法は、アドレス（書き込み）期間中においても、EL素子を点灯させることができるという点に特徴がある。よって、アドレス（書き込み）期間が長くなった場合にもサステイン（点灯）期間を圧迫することを回避することができる。すなわち、回路動作が遅い場合にも、十分なサステイン（点灯）期間を確保することができる。結果として、駆動回路の動作周波数を低く抑えることができ、消費電力を小さくすることができる。

【0045】

以下に、本発明の電子装置および電子装置の駆動方法の構成について記載する。

【0046】

請求項1に記載の、本発明の電子装置の駆動方法によると、1個のフレーム期間はn個のサブフレーム期間 SF_1 、 SF_2 、 $\dots$ 、 SF_n を有し、n個の前記サブフレーム期間はそれぞれアドレス（書き込み）期間 Ta_1 、 Ta_2 、 $\dots$ 、 Ta_n と、サステイン（点灯）期間 Ts_1 、 Ts_2 、 $\dots$ 、 Ts_n とを有し、前記サステイン（点灯）期間の長さを、 $Ts_1 : Ts_2 : \dots : Ts_n = 2^{(n-1)} : 2^{(n-2)} : \dots : 2^0$ として、自発光素子の点灯時間の長さを制御してnビットの階調制御を行う電子装置の駆動方法において、n個の前記サブフレーム期間のうち少なくとも1個の前記サブフレーム期間において、前記アドレス（書き込み）期間と前記サステイン（点灯）期間が重複している期間を有していても良い。

【0047】

請求項2に記載の、本発明の電子装置の駆動方法によると、1個のフレーム期間はn個のサブフレーム期間 SF_1 、 SF_2 、 $\dots$ 、 SF_n を有し、n個の前記サブフレーム期間はそれぞれアドレス（書き込み）期間 Ta_1 、 Ta_2 、 $\dots$ 、 Ta_n と、サステイン（点灯）期間 Ts_1 、 Ts_2 、 $\dots$ 、 Ts_n とを有し、前記サステイン（点灯）期間の長さを、 $Ts_1 : Ts_2 : \dots : Ts_n = 2^{(n-1)} : 2^{(n-2)} : \dots : 2^0$ として、自発光素子の点灯時間の長さを制御してnビットの階調制御を行う電子装置の駆動方法において、前記サブフレーム期間内の複数のゲート信号線選択期間がm個のサブゲート信号線選択期間を有し、前記サブゲート信号線選択期間においては多くても1本のゲート信号線への書き込みが行われ、多くてもm本の前記ゲート信号線への信号の書き込みが1個の前記ゲート信号線選択期間内に完了されるようにしても良い。

【0048】

請求項3に記載の、本発明の電子装置の駆動方法によると、1個のフレーム期間はn個のサブフレーム期間 SF_1 、 SF_2 、 $\dots$ 、 SF_n を有し、n個の前記サブフレーム期間はそれぞれアドレス（書き込み）期間 Ta_1 、 Ta_2 、 $\dots$ 、 Ta_n と、サステイン（点灯）期間 Ts_1 、 Ts_2 、 $\dots$ 、 Ts_n とを有し、前記サステイン（点灯）期間の長さを、 $Ts_1 : Ts_2 : \dots : Ts_n = 2^{(n-1)} : 2^{(n-2)} : \dots : 2^0$ として、自発光素子の点灯時間の長さを制御してnビットの階調制御を行う電子装置の駆動方法において、前記サブフレーム期間内の複数のゲート信号線選択期間がm個のサブゲート信号線選択期間を有し、前記サブゲート信号線選択期間においては多くても1本のゲート信号線への書き込みが行われ、多くてもm本の前記ゲート信号線への信号の書き込みが1個の前記ゲート信号線選択期間内に完了され、異なる前記サブゲート信号線選択期間内では同一の前記ゲート信号線の書き込み期間が重複せず、かつ同一の前記サブゲート信号線選択期間内では異なる前記ゲート信号線の書き込み期間が重複しないようにしても良い。

【0049】

請求項4に記載の、本発明の電子装置の駆動方法によると、1個のフレーム期間はn個のサブフレーム期間 SF_1 、 SF_2 、 $\dots$ 、 SF_n を有し、n個の前記サブフレーム期間はそれぞれアドレス（書き込み）期間 Ta_1 、 Ta_2 、 $\dots$ 、 Ta_n と、サステイン（点灯）期間 Ts_1 、 Ts_2 、 $\dots$ 、 Ts_n とを有し、前記サステイン（点灯）期間の長さを、 $Ts_1 : Ts_2 : \dots : Ts_n = 2^{(n-1)} : 2^{(n-2)} : \dots : 2^0$ として、自発光素子の点灯時間の長さを制御してnビットの階調制御を行う電子装置の駆動方法において、前記サブフレーム期間内の複数のゲート信号線選択期間がm個のサブゲート信号線選択

期間を有し、前記サブゲート信号線選択期間においては多くても1本のゲート信号線への書き込みが行われ、多くてもm本の前記ゲート信号線への信号の書き込みが1個の前記ゲート信号線選択期間内に完了され、異なる前記サブフレーム期間の前記アドレス（書き込み）期間が重複する場合に、前記アドレス（書き込み）期間が重複している期間だけリセット信号が入力され、前記リセット信号が入力されている間は自発光素子が非点灯状態となる期間を有していても良い。

【0050】

請求項5に記載の、本発明の電子装置は、ソース信号線駆動回路と、ゲート信号線駆動回路と、複数の自発光素子がマトリクス状に配置された画素部とを有する電子装置であって、1個のフレーム期間はn個のサブフレーム期間 SF_1 、 SF_2 、 $\dots$ 、 SF_n を有し、n個の前記サブフレーム期間はそれぞれアドレス（書き込み）期間 Ta_1 、 Ta_2 、 $\dots$ 、 Ta_n と、サステイン（点灯）期間 Ts_1 、 Ts_2 、 $\dots$ 、 Ts_n とを有し、前記サステイン（点灯）期間の長さを、 $Ts_1 : Ts_2 : \dots : Ts_n = 2^{(n-1)} : 2^{(n-2)} : \dots : 2^0$ として、自発光素子の点灯時間の長さを制御してnビットの階調制御を行う電子装置において、n個の前記サブフレーム期間のうち少なくとも1個の前記サブフレーム期間において、前記アドレス（書き込み）期間と前記サステイン（点灯）期間が重複している期間を有することを特徴としている。

【0051】

請求項6に記載の、本発明の電子装置は、ソース信号線駆動回路と、ゲート信号線駆動回路と、複数の自発光素子がマトリクス状に配置された画素部とを有する電子装置であって、1個のフレーム期間はn個のサブフレーム期間 SF_1 、 SF_2 、 $\dots$ 、 SF_n を有し、n個の前記サブフレーム期間はそれぞれアドレス（書き込み）期間 Ta_1 、 Ta_2 、 $\dots$ 、 Ta_n と、サステイン（点灯）期間 Ts_1 、 Ts_2 、 $\dots$ 、 Ts_n とを有し、前記サステイン（点灯）期間の長さを、 $Ts_1 : Ts_2 : \dots : Ts_n = 2^{(n-1)} : 2^{(n-2)} : \dots : 2^0$ として、自発光素子の点灯時間の長さを制御してnビットの階調制御を行う電子装置において、サブフレーム期間内の複数のゲート信号線選択期間がm個の前記サブゲート信号線選択期間を有し、前記サブゲート信号線選択期間においては多くても1本のゲート信号線への書き込みが行われ、多くてもm本の前記ゲート信号線への信号の書き込みが1個の前記ゲート信号線選択期間内に完了されることを特徴としている。

【0052】

請求項7に記載の、本発明の電子装置は、ソース信号線駆動回路と、ゲート信号線駆動回路と、複数の自発光素子がマトリクス状に配置された画素部とを有する電子装置であって、1個のフレーム期間はn個のサブフレーム期間 SF_1 、 SF_2 、 $\dots$ 、 SF_n を有し、n個の前記サブフレーム期間はそれぞれアドレス（書き込み）期間 Ta_1 、 Ta_2 、 $\dots$ 、 Ta_n と、サステイン（点灯）期間 Ts_1 、 Ts_2 、 $\dots$ 、 Ts_n とを有し、前記サステイン（点灯）期間の長さを、 $Ts_1 : Ts_2 : \dots : Ts_n = 2^{(n-1)} : 2^{(n-2)} : \dots : 2^0$ として、自発光素子の点灯時間の長さを制御してnビットの階調制御を行う電子装置において、前記サブフレーム期間内の複数のゲート信号線選択期間がm個のサブゲート信号線選択期間を有し、前記サブゲート信号線選択期間においては多くても1本のゲート信号線への書き込みが行われ、多くてもm本の前記ゲート信号線への信号の書き込みが1個の前記ゲート信号線選択期間内に完了され、異なる前記サブゲート信号線選択期間内では同一の前記ゲート信号線の書き込み期間が重複せず、かつ同一の前記サブゲート信号線選択期間内では異なる前記ゲート信号線の書き込み期間が重複しないことを特徴としている。

【0053】

請求項8に記載の、本発明の電子装置は、ソース信号線駆動回路と、ゲート信号線駆動回路と、複数の自発光素子がマトリクス状に配置された画素部とを有する電子装置であって、1個のフレーム期間はn個のサブフレーム期間 SF_1 、 SF_2 、 $\dots$ 、 SF_n を有し、n個の前記サブフレーム期間はそれぞれアドレス（書き込み）期間 Ta_1 、 Ta_2 、 $\dots$ 、 Ta_n と、サステイン（点灯）期間 Ts_1 、 Ts_2 、 $\dots$ 、 Ts_n とを有し、前記サ

ステイン（点灯）期間の長さを、 $T_{S_1} : T_{S_2} : \dots : T_{S_n} = 2^{(n-1)} : 2^{(n-2)} : \dots : 2^0$ として、自発光素子の点灯時間の長さを制御してnビットの階調制御を行う電子装置において、サブフレーム期間内の複数のゲート信号線選択期間がm個のサブゲート信号線選択期間を有し、前記サブゲート信号線選択期間においては多くても1本のゲート信号線への書き込みが行われ、多くてもm本のゲート信号線への信号の書き込みが1個の前記ゲート信号線選択期間内に完了され、異なる前記サブフレーム期間の前記アドレス（書き込み）期間が重複する場合に、前記アドレス（書き込み）期間が重複している期間だけリセット信号が入力され、前記リセット信号が入力されている間は自発光素子が非点灯状態となる期間を有することを特徴としている。

【0054】

請求項9に記載の、本発明の電子装置は、ソース信号線駆動回路と、ゲート信号線駆動回路と、複数の自発光素子がa行b列のマトリクス状に配置された画素部とを有し、前記ソース信号線駆動回路は、少なくとも1個の第1のシフトレジスタ回路と、デジタル映像信号を記憶する第1の記憶回路と、該第1の記憶回路の出力信号を記憶する第2の記憶回路とを有するソースドライバ回路を複数用いてなり、前記ゲート信号線駆動回路は、少なくとも1個の第2のシフトレジスタ回路と、少なくとも1個のバッファ回路とを有するゲートドライバ回路を複数用いてなり、1個のフレーム期間はn個のサブフレーム期間 SF_1 、 SF_2 、 $\dots$ 、 SF_n を有し、前記サブフレーム期間内の複数のゲート信号線選択期間がm個のサブゲート信号線選択期間を有し、前記サブゲート信号線選択期間においては多くても1本のゲート信号線への書き込みが行われ、多くてもm本のゲート信号線への信号の書き込みが1個の前記ゲート信号線選択期間内に完了される電子装置において、1本のソース信号線は第1のスイッチ回路を介して最大m個の前記ソースドライバ回路と電気的に接続され、1本の前記ゲート信号線は第2のスイッチ回路を介して最大m個の前記ゲートドライバ回路と電気的に接続され、前記ソース信号線駆動回路は最大 $b \times m$ 個の前記ソースドライバ回路を有し、前記ゲート信号線駆動回路は最大 $a \times m$ 個の前記ゲートドライバ回路を有し、前記第1のスイッチ回路は、1個のドットデータ書き込み期間において、電気的に接続されたm個の前記ソースドライバ回路のうち1個のみを選択して前期ソース信号線と接続して信号の書き込みを行い、前記第2のスイッチ回路は、1個のサブゲート信号線選択期間において、電気的に接続されたm個の前記ゲートドライバ回路のうち1個のみを選択して前期ゲート信号線と接続して信号の書き込みを行うことを特徴としている。

【発明の効果】

【0055】

本発明の効果について説明する。本発明の駆動方法では、ゲート信号線選択期間を複数のサブゲート信号線選択期間に分割することにより、1回のゲート信号線選択期間内に、複数段の画素に信号を書き込むことができる。それにより、ある段の画素において、信号を入力してから次の信号を入力するまでの時間を、画素への書き込み時間を確保した上でならばある程度任意に設定することができる。したがって、従来の駆動方法のように、アドレス（書き込み）期間とサステイン（点灯）期間とを分離せずに、サステイン（点灯）期間を任意に設定することができるため、デューティ比を最大100 [%]まで大きくすることができる。よって、デューティ比が小さいために生ずる様々な問題点を回避することができる。

【0056】

また、アドレス（書き込み）期間中においても、EL素子を点灯させることができる。よって、アドレス（書き込み）期間が長くなった場合にもサステイン（点灯）期間を圧迫することを回避することができる。すなわち、回路動作が遅い場合にも、十分なサステイン（点灯）期間を確保することができる。結果として、駆動回路の動作周波数を低く抑えることができ、消費電力を小さくすることができる。

【0057】

また、あるサブフレーム期間に、前段の画素への書き込みが終了する前に、再び画素に

書き込みを始めることができるため、画素の信号保持能力が小さい場合にも問題ない。結果として、スイッチング用 T F T や保持容量のサイズを小さく設計することができる。

【0058】

また、画素の構成は従来と同様で構わないため、T F T や容量、配線等の数が少なくても済む。その結果、画素部の開口率の向上が見込める。

【図面の簡単な説明】

【0059】

【図1】ゲート信号線複数同時選択のタイミングチャートを示す図。

【図2】アドレス（書き込み）期間の重複が生ずるタイミングチャートを示す図。

【図3】実施例1に示している本発明の駆動方法によるタイミングチャートを示す図。

10

【図4】実施例2に示している本発明の駆動方法によるタイミングチャートを示す図。

【図5】実施例3に示している本発明の駆動方法によるタイミングチャートを示す図。

【図6】実施例4に示している本発明の駆動回路の回路図。

【図7】実施例5に示している E L 表示装置の上面図および断面図。

【図8】実施例6に示している E L 表示装置の上面図および断面図。

【図9】実施例7に示している E L 表示装置の断面図。

【図10】実施例7に示している E L 表示装置の画素マトリクス部分図および等価回路図

。

【図11】実施例8に示している E L 表示装置の断面図。

【図12】実施例9に示している E L 表示装置の画素部の回路構成例の図。

20

【図13】実施例11に示している E L 表示装置の作製工程例を示す図。

【図14】実施例11に示している E L 表示装置の作製工程例を示す図。

【図15】実施例11に示している E L 表示装置の作製工程例を示す図。

【図16】実施例11に示している E L 表示装置の作製工程例を示す図。

【図17】実施例12に示している E L 表示装置の回路構成例を示す図。

【図18】実施例12に示している E L 表示装置の回路構成例を示す図。

【図19】実施例13に示している E L 表示装置の回路構成例を示す図。

【図20】実施例14に示している E L 表示装置の回路構成例を示す図。

【図21】 E L 表示装置の画素部の回路図。

【図22】 E L 素子の輝度特性および電圧－電流特性を模式的に示す図。

30

【図23】 E L 素子の動作点を示す図。

【図24】アナログ階調とデジタル階調における E L 素子の動作領域を示す図。

【図25】 E L 駆動用 T F T のしきい値と移動度の、 E L 点灯開始電圧への影響を示す図

。

【図26】フレーム期間の分割例を示す図。

【図27】本発明の実施形態を示す図。

【図28】ゲート信号線複数同時選択を示す図。

【図29】時間階調表示方式におけるタイミングチャートの例を示す図。

【図30】実施例12の回路構成におけるタイミングチャートの例を示す図。

【図31】実施例12～14の回路構成におけるタイミングチャートの例を示す図。

40

【図32】本発明の電子装置を組み込んだ E L 表示装置に用いた電子機器の例を示す図。

【図33】本発明の電子装置を組み込んだ E L 表示装置に用いた電子機器の例を示す図。

【図34】本発明を実施するためのゲート信号線駆動回路の構成例を示す図。

【図35】実施例15に示している本発明の駆動方法による正常なタイミングチャートと信号の書き込みの状態を示す図。

【図36】実施例15に示している本発明の駆動方法において、信号遅延等によるずれを伴う場合のタイミングチャートと信号の書き込みの状態を示す図。

【図37】実施例15に示している本発明の駆動方法において、信号遅延等によるずれを伴う場合のタイミングチャートと信号の書き込みの状態を示す図。

【発明を実施するための形態】

50

【0060】

図27は、本発明の実施の形態の一態様を示している。図27(A)は電子装置の全体図であり、ソース信号線駆動回路2751、ゲート信号線駆動回路2752、画素部2753を有している。本発明の特徴として、ゲート信号線選択期間を複数のサブ期間に分割する点があり、そのために、ゲート信号線駆動回路は、シフトレジスタ回路～バッファまでは従来のものと同様であるが、バッファの出力端子とゲート信号線との間に選択回路(SW)を有している。シフトレジスタ回路には、クロック信号、スタートパルス等が入力され(図示せず)、選択回路には、ピン11よりサブゲート期間選択パルスが入力される。また、ソース信号線駆動回路は従来のものと同様で良く、クロック信号、スタートパルス等が入力される(図示せず)。

10

【0061】

図27(B)、(C)を用いて、選択回路の動作について説明する。図27(B)は、ゲート信号線選択期間を2つのサブゲート信号線選択期間に分割する場合に用いる選択回路の例であり、図27(C)は、ゲート信号線選択期間を3つのサブゲート信号線選択期間に分割する場合に用いる選択回路の例である。いずれの回路においても、バッファ出力パルスが複数のNAND回路に入力され、ピン11(図27中、ピンが複数の場合を、11A、11Bおよび11C～11Eとして示す)から入力されるサブゲート期間選択パルスとの論理積を各NAND回路でとることによって、サブ期間の分割を行っている。図27(B)(C)に示すタイミングチャートに従い、NAND出力はインバータを介してゲート信号線へと出力され、一定期間ゲート信号線を選択状態とする。ただし、図27において、信号の論理によっては、この他に適宜インバータ、バッファ等を設けていても良いし、インバータ2703、2707を持たない構成であっても良い。

20

【0062】

このようにすることで、あるゲート信号線選択期間を基準単位として見ると、同一のゲート信号線選択期間に、異なる2本のゲート信号線を選択期間を設けられることになる。

【0063】

例として、ゲート信号線選択期間を2つのサブゲート信号線選択期間に分割した場合について説明する。図28に、タイミングチャートを示す。サブゲート信号線選択期間の数は2つであるから、ゲート信号線選択期間に同時選択されるゲート信号線も同数の2段である。

30

【0064】

あるゲート信号線選択期間において、 i 段目のゲート信号線と k 段目のゲート信号線が同時に選択されているとする。ただし、 i 段目のゲート信号線が実際に選択されていて、スイッチング用TFTが導通状態にある期間は、ゲート信号線選択期間前半のサブゲート信号線選択期間だけである。また、 k 段目のゲート信号線が実際に選択されていて、スイッチング用TFTが導通状態にある期間は、ゲート信号線選択期間後半のサブゲート信号線選択期間だけである。ゲート信号線選択期間の前半、つまり i 段目のゲート信号線が選択されている時に、 i 段目の画素に信号が書き込まれる。ゲート信号線選択期間の後半、つまり k 段目のゲート信号線が選択されている時に、 k 段目の画素に信号が書き込まれる。

40

【0065】

続いて、 $i+1$ 段目と $k+1$ 段目のゲート信号線が同様に選択される。ここでも、 $i+1$ 段目のゲート信号線はゲート信号線選択期間の前半のサブゲート信号線選択期間でのみ選択され、 $k+1$ 段目のゲート信号線はゲート信号線選択期間の後半のサブゲート信号線選択期間でのみ選択される。 $i+1$ 段目のゲート信号線が選択されている時に、 $i+1$ 段目の画素に信号が書き込まれる。 $k+1$ 段目のゲート信号線が選択されている時に、 $k+1$ 段目の画素に信号が書き込まれる。同様にして、 $i+2$ 段目、 $k+2$ 段目のゲート信号線が選択され、各々のタイミングで画素に書き込みが行われる。ここで、 i 段目から $i+n$ (n は整数)段目を選択してきているゲート信号線選択パルスを第1のゲート信号線選択パルス、 k 段目から $k+n$ (n は整数)段目を選択してきているゲート信号線選択パル

50

スを第2のゲート信号線選択パルスと表記する。

【0066】

あるところまで走査が進行すると、第1のゲート信号線選択パルスは、やがてk段目のゲート信号線に到達する。同様に、第2のゲート信号線選択パルスは、やがてi段目のゲート信号線に到達する。引き続き走査が進行し、垂直走査が行われていく。

【0067】

以上は、ゲート信号線選択期間を2つのサブゲート信号線選択期間に分割し、2本のゲート信号線を選択した場合である。1ゲート信号線選択期間内にm段（mは整数）のゲート信号線を選択する場合には、同様の方法でゲート信号線選択期間をm分割して、サブゲート信号線選択期間を設ければ良い。

【0068】

続いて、階調方式について説明する。本発明の電子装置においては、デジタル階調に時間階調を組み合わせることによって階調表現を行っているが、正常な階調表現が行われる限りは、他の方法、例えば面積階調方式などをさらに組み合わせても良い。

【0069】

ここでは、簡単のため、デジタル階調と時間階調とを組み合わせ、3ビットの階調（ $2^3 = 8$ 階調）を表現する場合について説明する。図1（A）、（B）にタイミングチャートを示す。1フレーム期間を3つのサブフレーム期間 $SF_1 \sim SF_3$ に分割する。 $SF_1 \sim SF_3$ の各長さは、2のべき乗で決定される。つまりこの場合、 $SF_1 : SF_2 : SF_3 = 4 : 2 : 1$ （ $2^2 : 2^1 : 2^0$ ）となる。

【0070】

まず、最初のサブフレーム期間において、1段ずつ画素に信号を入力していく。ただしこの場合、実際にゲート信号線が選択されるのは、前半のサブゲート信号線選択期間のみである。後半のサブゲート信号線選択期間には、ゲート信号線の選択は行われず、画素への信号の入力も行われない。この動作を、1段目から最終段まで行う。ここで、アドレス（書き込み）期間は、1段目のゲート信号線が選択されてから、最終段のゲート信号線が選択されるまでの期間である。よって、アドレス（書き込み）期間の長さは、どのサブフレーム期間においても同一である。

【0071】

続いて、第2のサブフレーム期間に入る。ここでも同様に、1段ずつ画素に信号が入力される。この場合も、前半のサブゲート信号線選択期間においてのみ行われる。この動作を、1段目から最終段まで行う。

【0072】

この時、全画素の陰極配線には、一定電圧が印加されている。よって、あるサブフレーム期間における画素のサステイン（点灯）期間は、あるサブフレーム期間において画素に信号が書き込まれてから、次のサブフレーム期間において画素に信号が書き込まれ始めるまでの期間となる。よって、各段におけるサステイン（点灯）期間は、時期が異なり、長さが等しい。

【0073】

続いて、第3のサブフレーム期間について説明する。まず、第1、第2のサブフレーム期間と同様に、前半のサブゲート信号線選択期間においてゲート信号線を選択し、画素に信号を書き込む場合について考えてみる。この場合、最終段付近の画素への信号の書き込みが始まる時には、すでに次のフレーム期間での1段目の画素への書き込み期間、つまりアドレス（書き込み）期間に入ってしまった。その結果、第3のサブフレーム期間における最終段付近の画素への書き込みと、次のフレーム期間の第1のサブフレーム期間における前半のある画素への書き込みが重複することになるわけである。同時に異なる2段分の信号を異なる2段の画素に正常に書き込むことはできない。そこで、第3のサブフレーム期間においては、後半のサブゲート信号線選択期間にゲート信号線を選択していくことにする。すると、第1のサブフレーム期間（このサブフレーム期間は次のフレーム期間に属している）ではゲート信号線の選択は前半のサブゲート信号線選択期間において行わ

10

20

30

40

50

れているから、同時に異なる 2 段の画素に信号を書き込みが行われることを回避することができる。

【0074】

以上のように、本発明の駆動方法においては、あるサブフレーム期間におけるアドレス（書き込み）期間が、別のサブフレーム期間におけるアドレス（書き込み）期間と重複する場合、複数のサブゲート信号線選択期間を利用して書き込み期間の割り当てを行うことにより、実際にゲート信号線の選択タイミングが重複しないようにするため、画素に正常に信号を書き込むことができる。その結果、ある行でアドレス（書き込み）期間にある瞬間に、別の行では EL 素子を点灯させるといったことが階調のビット数に関わらず可能となり、その結果高デューティ比を実現する。

10

【実施例 1】

【0075】

以下に本発明の実施例について記述する。

【0076】

本実施例においては、例として、1 フレーム期間を分割した際に、アドレス（書き込み）期間よりも短いサステイン（点灯）期間（サブフレーム期間）が複数ある場合を挙げて説明する。

【0077】

図 2（A）、（B）を参照する。図 2 は 1 フレーム期間を 5 つのサブフレーム期間に分割した際のタイミングチャートを示している。この場合、ゲート信号線選択期間を前半、後半のサブゲート信号線選択期間に分割して信号の書き込みを行っても、アドレス（書き込み）期間 T_{a5} および次のフレーム期間の T_{a1} が重複しているのがわかる。そのため、このタイミングでは正常に信号の書き込みを行うことはできない。

20

【0078】

1 つの方法として、長いサブフレーム期間と短いサブフレーム期間とで順序を入れ替えることにより、この問題を解決することができる。図 3（A）、（B）を参照する。図 3 は図 2 と同様、1 フレーム期間を 5 つのサブフレーム期間に分割した際のタイミングチャートを示している。サブフレーム期間の順序を、 $SF_1 \rightarrow SF_4 \rightarrow SF_3 \rightarrow SF_2 \rightarrow SF_5$ として、さらにサブゲート信号線選択期間の前半と後半にゲート信号線選択のタイミングを適当に振り分けることで、同一のサブゲート信号線選択期間内では、アドレス（書き込み）期間の重複が起こっていないことがわかる（図 3（B））。各サブフレーム期間およびアドレス（書き込み）期間の長さは図 2 に示したものと同様であるが、本実施例で示した方法を用いることで、正常に画素への書き込みを行うことができる。本実施例における方法では、回路側での変更を行うことなく実施が可能である。

30

【実施例 2】

【0079】

本実施例においては、実施例 1 で述べたアドレス（書き込み）期間の重複を、実施例 1 とは異なる手段にて回避する方法について説明する。

【0080】

図 2 において、重複しているアドレス（書き込み）期間は、 T_{a5} および次のフレーム期間の T_{a1} であった。そこで、ゲート信号線選択期間を、3 つのサブゲート信号線選択期間に分割し、信号の書き込みを、第 1、第 2、第 3 のサブゲート信号線選択期間に振り分けることで解決をはかる。図 4（A）、（B）を参照する。第 1 のサブゲート信号線選択期間においては T_{a1} 、 T_{a2} 、 T_{a3} で信号の書き込みを行い、第 2 のサブゲート信号線選択期間においては T_{a4} で信号の書き込みを行い、第 3 のサブゲート信号線選択期間においては T_{a5} で信号の書き込みを行う。結果として、図 4（B）に示すようなタイミングで信号の書き込みが行われ、各サブゲート信号線選択期間内における複数のアドレス（書き込み）期間の重複は回避することができる。

40

【0081】

本実施例で説明した方法によると、ゲート信号線選択期間の分割数が増加する分、サブ

50

ゲート信号線選択期間が短くなり、信号の書き込み時間が減少する反面、実施例 1 に示した方法では対処しきれない場合（例えばアドレス（書き込み）

期間が長く、順序の並べ替えを行っても重複する部分がある場合など）には有効である。

【実施例 3】

【0082】

本実施例においては、アドレス（書き込み）期間の重複を、実施例 1 および実施例 2 とは異なる手段にて回避する方法について説明する。

【0083】

図 5（A）、（B）を参照する。SF₄、SF₅は、それ自身の期間が短いため、通常のタイミングではアドレス（書き込み）期間の重複を回避することはできない。そこで、SF₄、SF₅各々の後に、リセット期間Tr₄、Tr₅を設ける。リセット期間中は、EL素子が点灯しないような信号を入力する。具体的には、書き込む電圧を、保持容量に電荷が蓄積されない電圧としてやれば良い。以後、この信号をリセット信号と表記する。信号を画素に書き込んでから、前記リセット信号が入力されるまでの時間を変化させることで、サブフレーム期間SF₄、SF₅の長さを調節し、各アドレス（書き込み）期間およびリセット期間が重複しないタイミングにすれば良い。

【0084】

本実施例で挙げた方法を用いると、リセット信号の入力後、次にアドレス（書き込み）期間が現れるまでの期間はEL素子が点灯しないため、ややデューティ比が低下するといった問題が生ずるが、本実施例で用いるリセット信号は、サステイン（点灯）期間がうまく1フレーム期間内に収まらない場合などに、時間調整の目的で利用することも可能である。

【実施例 4】

【0085】

実施例 1～3 においては、実施形態に示したとおりの回路構成によって、駆動信号のタイミングを調整することでアドレス（書き込み）期間の重複を回避する方法について説明してきた。本実施例においては、ゲート信号線とスイッチング用TFTを追加して回路を構成した場合について説明する。具体例として、1ゲート信号線選択期間を2つのサブゲート信号線選択期間に分割する場合を挙げる。

【0086】

図 6（A）を参照する。基板650上に、ソース信号線駆動回路651、ゲート信号線駆動回路652、画素部653が配置されている。図 6 においては、ゲート信号線駆動回路652は両側配置としているが、片側のみの配置でも良い。

本実施例で示した回路の特徴としては、ゲート信号線が画素1行あたり2本通っている点である。ここで、図 6（A）に示した電子装置における駆動回路の詳細な図を図 34 に示す。図 34（A）はソース信号線駆動回路であり、シフトレジスタ～NAND～第1のラッチ回路～第2のラッチ回路～バッファ～ソース信号線という一連の経路は従来のものと同様で良い。

【0087】

図 34（B）はゲート信号線駆動回路である。シフトレジスタ～バッファ出力までは従来の回路と同様で良い。バッファ出力は、2つのNAND回路に入力され、各NAND回路で、ピン9、10より入力されるサブゲート期間選択パルスとの論理積をとってゲート信号線（GateLine AおよびB）へと出力される。これは実施形態の項で、図 27（B）にて示したものと同様の動作とみなして良い。つまり、1ゲート信号線選択期間に、2つのNAND回路から順次サブゲート信号線選択パルスが出力される。

【0088】

図 6（B）は、画素部を拡大表示したものである。点線枠600で囲われた部分が1画素であり、第1のスイッチング用TFT601、第2のスイッチング用TFT602、EL駆動用TFT603、EL素子604、保持容量605、第1のゲート信号線606、第2のゲート信号線607、ソース信号線608、電流供給線609を有する。第1のゲ

ート信号線 606 には、図 34 (B) に示した Gate Line A からの選択パルスが入力され、第 2 のゲート信号線 607 には、Gate Line B からの選択パルスが入力される（逆でも構わない）。

【0089】

駆動方法の一例としては、実施例 1 のようにゲート信号線選択期間を 2 つのサブゲート信号線選択期間に分割する場合に、前半、後半のゲート信号線の選択信号の入力それぞれを 2 つのスイッチング用 TFT でまかなう。前半のサブゲート信号線選択期間にゲート信号線を選択する場合には第 1 のゲート信号線 606 から信号を入力して第一のスイッチング用 TFT 601 を駆動し、後半のサブゲート信号線選択期間にゲート信号線を選択する場合には第 2 のゲート信号線 607 から信号を入力して第 2 のスイッチング用 TFT 602 を駆動するようにすればよい。

【実施例 5】

【0090】

本実施例では、本発明の駆動回路を有する EL (エレクトロルミネッセンス) 表示装置を作製した例について説明する。

【0091】

図 7 (A) は本発明を用いた EL 表示装置の上面図である。図 7 (A) において、4001 は基板、4002 は画素部、4003 はソース信号線駆動回路、4004 はゲート信号線駆動回路であり、それぞれの駆動回路は配線 4005、4006、4007 を経て、FPC 4008 に至り、外部機器へと接続される。

【0092】

このとき、少なくとも画素部、好ましくは駆動回路及び画素部を囲むようにしてカバー材 4009、密封材 4010、シーリング材（ハウジング材ともいう）4011（図 7 (B) に図示）が設けられている。

【0093】

また、図 7 (B) は本実施例の EL 表示装置の断面構造であり、基板 4001、下地膜 4012 の上に駆動回路用 TFT（但し、ここでは n チャネル型 TFT と p チャネル型 TFT を組み合わせた CMOS 回路を図示している）4013 及び画素部用 TFT 4014（但し、ここでは EL 素子への電流を制御する EL 駆動用 TFT だけ図示している）が形成されている。これらの TFT は公知の構造（トップゲート構造あるいはボトムゲート構造）を用いれば良い。

【0094】

公知の作製方法を用いて駆動回路用 TFT 4013、画素部用 TFT 4014 が完成したら、樹脂材料でなる層間絶縁膜（平坦化膜）4015 の上に画素部用 TFT 4014 のドレインと電氣的に接続する透明導電膜でなる画素電極 4016 を形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物（ITO と呼ばれる）または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極 4016 を形成したら、絶縁膜 4017 を形成し、画素電極 4016 上に開口部を形成する。

【0095】

次に、EL 層 4018 を形成する。EL 層 4018 は公知の EL 材料（正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層）を自由に組み合わせて積層構造または単層構造とすれば良い。また、EL 材料には低分子系材料と高分子系（ポリマー系）材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピンコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

【0096】

本実施例では、シャドウマスクを用いて蒸着法により EL 層 4018 を形成する。シャドウマスクを用いて画素毎に波長の異なる発光が可能な発光層（赤色発光層、緑色発光層及び青色発光層）を形成することで、カラー表示が可能となる。その他にも、色変換層（CCM）とカラーフィルターを組み合わせた方式、白色発光層とカラーフィルターを組み

合わせた方式があるがいずれの方法を用いても良い。勿論、単色発光のEL表示装置とすることもできる。

【0097】

EL層4018を形成したら、その上に陰極4019を形成する。陰極4019とEL層4018の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中でEL層4018と陰極4019を連続成膜するか、EL層4018を不活性雰囲気中で形成し、大気解放しないで陰極4019を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。

【0098】

なお、本実施例では陰極4019として、LiF（フッ化リチウム）膜とAl（アルミニウム）膜の積層構造を用いる。具体的にはEL層4018上に蒸着法で1[nm]厚のLiF（フッ化リチウム）膜を形成し、その上に300[nm]厚のアルミニウム膜を形成する。勿論、公知の陰極材料であるMgAg電極を用いても良い。そして陰極4019は4020で示される領域において配線4007に接続される。配線4007は陰極4019に所定の電圧を与えるための電源線であり、導電性ペースト材料4021を介してFPC4008に接続される。

【0099】

4020に示された領域において陰極4019と配線4007とを電氣的に接続するために、層間絶縁膜4015及び絶縁膜4017にコンタクトホールを形成する必要がある。これらは層間絶縁膜4015のエッチング時（画素電極用コンタクトホールの形成時）や絶縁膜4017のエッチング時（EL層形成前の開口部の形成時）に形成しておけば良い。また、絶縁膜4017をエッチングする際に、層間絶縁膜4015まで一括でエッチングしても良い。この場合、層間絶縁膜4015と絶縁膜4017が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとすることができる。

【0100】

このようにして形成されたEL素子の表面を覆って、パッシベーション膜4022、充填材4023、カバー材4009が形成される。

【0101】

さらに、EL素子部を囲むようにして、カバー材4009と基板4001の内側にシーリング材4011が設けられ、さらにシーリング材4011の外側には密封材（第2のシーリング材）4010が形成される。

【0102】

このとき、この充填材4023は、カバー材4009を接着するための接着剤としても機能する。充填材4023としては、PVC（ポリビニルクロライド）、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。この充填材4023の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。また充填材4023の内部に、酸素を捕捉する効果を有する酸化防止剤等を配置することで、EL層の劣化を抑えても良い。

【0103】

また、充填材4023の中にスペーサーを含有させてもよい。このとき、スペーサーをBaOなどからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0104】

スペーサーを設けた場合、パッシベーション膜4022はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【0105】

また、カバー材4009としては、ガラス板、アルミニウム板、ステンレス板、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる

10

20

30

40

50

。なお、充填材 4023 として PVB や EVA を用いる場合、数十 [μm] のアルミニウムホイルを PVF フィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0106】

但し、EL 素子からの発光方向（光の放射方向）によっては、カバー材 4009 が透光性を有する必要がある。

【0107】

また、配線 4007 はシーリング材 4011 および密封材 4010 と基板 4001 との隙間を通して FPC 4008 に電氣的に接続される。なお、ここでは配線 4007 について説明したが、他の配線 4005、4006 も同様にしてシーリング材 4011 および密封材 4010 の下を通して FPC 4008 に電氣的に接続される。

10

【0108】

なお本実施例では、充填材 4023 を設けてからカバー材 4009 を接着し、充填材 4023 の側面（露呈面）を覆うようにシーリング材 4011 を取り付けられているが、カバー材 4009 及びシーリング材 4011 を取り付けから、充填材 4023 を設けても良い。この場合、基板 4001、カバー材 4009 及びシーリング材 4011 で形成されている空隙に通じる充填材の注入口を設ける。そして前記空隙を真空状態（ 10^{-2} [Torr] 以下）にし、充填材の入っている水槽に注入口を浸してから、空隙の外の気圧を空隙の中の気圧よりも高くして、充填材を空隙の中に充填する。

【実施例 6】

20

【0109】

本実施例では、実施例 5 とは異なる形態の EL 表示装置を作製した例について、図 8（A）、（B）を用いて説明する。図 7（A）、（B）と同じ番号のものは同じ部分を指しているので説明は省略する。

【0110】

図 8（A）は本実施例の EL 表示装置の上面図であり、図 8（A）を A-A' で切断した断面図を図 8（B）に示す。

【0111】

実施例 5 に従って、EL 素子の表面を覆ってパッシベーション膜 4022 までを形成する。

30

【0112】

さらに、EL 素子を覆うようにして充填材 4023 を設ける。この充填材 4023 は、カバー材 4009 を接着するための接着剤としても機能する。充填材 4023 としては、PVC（ポリビニルクロライド）、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）または EVA（エチレンビニルアセテート）を用いることができる。この充填材 4023 の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。また充填材 4023 の内部に、酸素を捕捉する効果を有する酸化防止剤等を配置することで、EL 層の劣化を抑えても良い。

【0113】

また、充填材 4023 の中にスペーサーを含有させてもよい。このとき、スペーサーを BaO などからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

40

【0114】

スペーサーを設けた場合、パッシベーション膜 4022 はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【0115】

また、カバー材 4009 としては、ガラス板、アルミニウム板、ステンレス板、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材 4023 として PVB や EVA を用いる場合、数十 [μm] のアルミニウ

50

ムホイルをP V Fフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0116】

但し、E L素子からの発光方向（光の放射方向）によっては、カバー材6000が透光性を有する必要がある。

【0117】

次に、充填材4023を用いてカバー材4009を接着した後、充填材4023の側面（露呈面）を覆うようにフレーム材4024を取り付ける。フレーム材4024はシーリング材（接着剤として機能する）4025によって接着される。このとき、シーリング材4025としては、光硬化性樹脂を用いるのが好ましいが、E L層の耐熱性が許せば熱硬化性樹脂を用いても良い。なお、シーリング材4025はできるだけ水分や酸素を透過しない材料であることが望ましい。また、シーリング材4025の内部に乾燥剤を添加してあっても良い。

【0118】

また、配線4007はシーリング材4025と基板4001との隙間を通してF P C 4008に電氣的に接続される。なお、ここでは配線4007について説明したが、他の配線4005、4006も同様にしてシーリング材4025の下を通してF P C 4008に電氣的に接続される。

【0119】

なお本実施例では、充填材4023を設けてからカバー材4009を接着し、充填材4023の側面（露呈面）を覆うようにフレーム材4024を取り付けているが、カバー材4009、シーリング材4025及びフレーム材4024を取り付けてから、充填材4023を設けても良い。この場合、基板4001、カバー材4009、シーリング材4025及びフレーム材4024で形成されている空隙に通じる充填材の注入口を設ける。そして前記空隙を真空状態（ 10^{-2} [Torr] 以下）にし、充填材の入っている水槽に注入口を浸してから、空隙の外の気圧を空隙の中の気圧よりも高くして、充填材を空隙の中に充填する。

【実施例7】

【0120】

ここでE L表示パネルにおける画素部のさらに詳細な断面構造を図9に、上面構造を図10（A）に、回路図を図10（B）に示す。図9、図10（A）、（B）では共通の符号を用いるので互いに参照すれば良い。

【0121】

図9において、基板4501上に設けられたスイッチング用T F T 4502は公知の方法で形成されたnチャネル型T F Tを用いる。本実施例ではダブルゲート構造としているが、構造及び作製プロセスに大きな違いはないので説明は省略する。但し、ダブルゲート構造とすることで実質的に2つのT F Tが直列された構造となり、オフ電流値を低減することができるという利点がある。なお、本実施例ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。また、公知の方法で形成されたpチャネル型T F Tを用いて形成しても構わない。

【0122】

また、E L駆動用T F T 4503は公知の方法で形成されたnチャネル型T F Tを用いる。スイッチング用T F T 4502のドレイン配線4504は配線4505によってE L駆動用T F T 4503のゲート電極4506に電氣的に接続されている。また、4507で示される配線は、スイッチング用T F T 4502のゲート電極4508、4509を電氣的に接続するゲート配線である。

【0123】

E L駆動用T F T 4503はE L素子4510を流れる電流量を制御するための素子であるため、多くの電流が流れ、熱による劣化やホットキャリアによる劣化の危険性が高い

10

20

30

40

50

素子でもある。そのため、E L 駆動用 T F T 4 5 0 3 のドレイン側に、ゲート絶縁膜を介してゲート電極に重なるように L D D 領域を設ける構造は極めて有効である。

【0124】

また、本実施例では E L 駆動用 T F T 4 5 0 3 をシングルゲート構造で図示しているが、複数の T F T を直列に接続したマルチゲート構造としても良い。さらに、複数の T F T を並列につなげて実質的にチャンネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

【0125】

また、図 10 (A) に示すように、E L 駆動用 T F T 4 5 0 3 のゲート電極 4 5 0 6 を含む配線 4 5 0 5 は、4 5 1 1 で示される領域で、E L 駆動用 T F T 4 5 0 3 のドレイン配線 4 5 1 2 と絶縁膜を介して重なる。このとき、4 5 1 1 で示される領域では保持容量が形成される。保持容量 4 5 1 1 は、電流供給線 4 5 1 3 と電氣的に接続された半導体膜 4 5 1 4、ゲート絶縁膜と同一層の絶縁膜（図示せず）及び配線 4 5 0 5 との間で形成される。また、配線 4 5 0 5、第 1 層間絶縁膜と同一の層（図示せず）及び電流供給線 4 5 1 3 で形成される容量も保持容量として用いることが可能である。この保持容量 4 5 1 1 は E L 駆動用 T F T 4 5 0 3 のゲート電極 4 5 0 6 に印加する電圧を保持する機能を有する。なお、E L 駆動用 T F T 4 5 0 3 のドレイン領域は電流供給線（電源線）4 5 1 3 に接続され、常に一定の電圧が加えられている。

【0126】

スイッチング用 T F T 4 5 0 2 及び E L 駆動用 T F T 4 5 0 3 の上には第 1 のパッシベーション膜 4 5 1 5 が設けられ、その上に樹脂絶縁膜でなる平坦化膜 4 5 1 6 が形成される。平坦化膜 4 5 1 6 を用いて T F T による段差を平坦化することは非常に重要である。後に形成される発光層 4 5 1 9 は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、発光層 4 5 1 9 をできるだけ平坦面に形成しうるように画素電極 4 5 1 7 を形成する前に平坦化しておくことが望ましい。

【0127】

また、4 5 1 7 は反射性の高い導電膜でなる画素電極（E L 素子の陰極）であり、第 1 のパッシベーション膜 4 5 1 5 及び平坦化膜 4 5 1 6 に設けられたコンタクトホールを介して、E L 駆動用 T F T 4 5 0 3 のドレイン領域に電氣的に接続される。画素電極 4 5 1 7 としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。

【0128】

次に有機樹脂膜を画素電極 4 5 1 7 及び平坦化膜 4 5 1 6 上に形成し、前記有機樹脂膜をパターンングすることで、バンク 4 5 1 8 及びタップ 4 5 2 0 を形成する。バンク 4 5 1 8 は、隣り合う画素の発光層または E L 層を分離するために設ける。タップ 4 5 2 0 は、画素電極 4 5 1 7 と E L 駆動用 T F T 4 5 0 3 のドレイン配線 4 5 1 2 とが接続されている部分の上に設けられる。画素電極 4 5 1 7 はコンタクトホールの部分において段差が生じる場合があり、後に形成される発光層 4 5 1 9 の発光不良を防ぐために、タップ 4 5 2 0 を設けることで平坦化しておくことが望ましい。なお、バンク 4 5 1 8 とタップ 4 5 2 0 とは同じ厚さに形成しなくとも良く、後に形成される発光層 4 5 1 9 の厚さに応じて適宜設定することが可能である。

【0129】

バンク 4 5 1 8 により形成された溝（画素に相当する）の中に E L 層 4 5 1 9 が形成される。なお図 10 (A) では、保持容量 4 5 1 1 の位置を明確にするために一部バンクを省略しているが、電流供給線 4 5 1 3 と、ソース配線 4 5 2 1 の一部とを覆うように画素間に設けられている。また、ここでは 2 画素しか図示していないが、R（赤）、G（緑）、B（青）の各色に対応した発光層を作り分けても良い。発光層とする E L 材料としては π 共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフェニレンビニレン（P P V）系、ポリビニルカルバゾール（P V K）系、ポリフルオレン系などが挙げられる。

10

20

30

40

50

【0130】

なお、PPV系EL材料としては様々な型のものがあるが、例えば「H.Shenk, H.Becker, O.Gelsen, E.Kluge, W.Kreuder and H.Spreitzer: "Polymers for Light Emitting Diodes", Euro Display, Proceedings, 1999, p.33-37」や特開平10-92576号公報に記載されたような材料を用いれば良い。

【0131】

具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は30~150[nm]（好ましくは40~100[nm]）とすれば良い。

10

【0132】

但し、以上の例は発光層として用いることのできるEL材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせてEL層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。

【0133】

例えば、本実施例ではポリマー系材料を発光層として用いる例を示したが、低分子系EL材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらのEL材料や無機材料は公知の材料を用いることができる。

【0134】

本実施例では発光層4519の上にPEDOT（ポリチオフェン）またはPAni（ポリアニリン）でなる正孔注入層4522を設けた積層構造のEL層としている。そして、正孔注入層4522の上には透明導電膜でなる陽極4523が設けられる。本実施例の場合、発光層4519で生成された光は上面側に向かって（TF Tの上方に向かって）放射されるため、陽極は透光性でなければならない。透明導電膜としては酸化インジウムと酸化スズとの化合物や酸化インジウムと酸化亜鉛との化合物を用いることができるが、耐熱性の低い発光層や正孔注入層を形成した後で形成するため、可能な限り低温で成膜できるものが好ましい。

20

【0135】

陽極4523まで形成された時点でEL素子4510が完成する。なお、ここでいうEL素子4510とは、画素電極（陰極）4517と、発光層4519と、正孔注入層4522及び陽極4523で形成された保持容量とを指す。図11（A）に示すように画素電極4517は画素の面積にほぼ一致するため、画素全体がEL素子として機能する。従って、発光の利用効率が非常に高く、明るい画像表示が可能となる。

30

【0136】

ところで、本実施例では、陽極4523の上にさらに第2のパッシベーション膜4524を設けている。第2のパッシベーション膜4524としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部とEL素子とを遮断することであり、EL材料の酸化による劣化を防ぐ意味と、EL材料からの脱ガスを抑える意味との両方を併せ持つ。これによりEL表示装置の信頼性が高められる。

40

【0137】

以上のように本実施例において説明してきたEL表示パネルは図9のような構造の画素からなる画素部を有し、オフ電流値の十分に低いスイッチング用TF Tと、ホットキャリア注入に強いEL駆動用TF Tとを有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能なEL表示パネルが得られる。

【実施例8】

【0138】

本実施例では、実施例7に示した画素部において、EL素子4510の構造を反転させた構造について説明する。説明には図11を用いる。なお、図9の構造と異なる点はEL素子の部分とEL駆動用TF Tだけであるので、その他の説明は省略することとする。

50

【0139】

図11において、EL駆動用TFT4503は公知の方法で形成されたpチャネル型TFTを用いる。

【0140】

本実施例では、画素電極（陽極）4525として透明導電膜を用いる。具体的には酸化インジウムと酸化亜鉛との化合物でなる導電膜を用いる。勿論、酸化インジウムと酸化スズとの化合物でなる導電膜を用いても良い。

【0141】

そして、絶縁膜でなるバンク4526及びタップ4527が形成された後、溶液塗布によりポリビニルカルバゾールでなる発光層4528が形成される。その上にはカリウムアセチルアセトネート（acacKと表記される）でなる電子注入層4529、アルミニウム合金でなる陰極4530が形成される。この場合、陰極4530がパッシベーション膜としても機能する。こうしてEL素子4531が形成される。

【0142】

本実施例において説明した構造を有するEL画素の場合、発光層4528で発生した光は、矢印で示されるようにTFTが形成された基板の方に向かって放射される。

【実施例9】

【0143】

本実施例では、図10（B）に示した回路図とは異なる構造の画素とした場合の例について図12（A）～（C）に示す。なお、本実施例において、3801はスイッチング用TFT3802のソース配線を兼ねているソース信号線、3803はスイッチング用TFT3802のゲート電極を兼ねているゲート信号線、3804はEL駆動用TFT、3805は保持容量、3806、3808は電流供給線、3807はEL素子とする。

【0144】

図12（A）は、隣接する2つの画素間で電流供給線3806を共通とした場合の例である。即ち、隣接する2つの画素が電流供給線3806を中心に線対称となるように形成されている点に特徴がある。この場合、電流供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0145】

また、図12（B）は、電流供給線3808をゲート信号線3803と平行に設けた場合の例である。なお、図12（B）では電流供給線3808とゲート信号線3803とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電流供給線3808とゲート信号線3803とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【0146】

また、図12（C）は、図12（B）の構造と同様に電流供給線3808をゲート信号線3803と平行に設け、さらに、2つの画素を電流供給線3808を中心に線対称となるように形成する点に特徴がある。また、電流供給線3808をゲート信号線3803のいずれか一方と重なるように設けることも有効である。この場合、電流供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【実施例10】

【0147】

実施例7に示した図10（A）、10（B）ではEL駆動用TFT4503のゲート電極にかかる電圧を保持するために保持容量4511を設ける構造としているが、保持容量4511を省略することも可能である。実施例7の場合、EL駆動用TFT4503として公知の方法で形成されたnチャネル型TFTを用いているため、ゲート絶縁膜を介してゲート電極に重なるように設けられたGOLD領域を有している。この重なり合った領域には一般的にゲート容量と呼ばれる寄生容量が形成されるが、本実施例ではこの寄生容量を保持容量4511の代わりとして積極的に用いる点に特徴がある。

【0148】

この寄生容量のキャパシタンスは、上記ゲート電極とGOLD領域とが重なり合った面積によって変化するため、その重なり合った領域に含まれるGOLD領域の長さによって決まる。

【0149】

また、実施例9に示した図12(A)、(B)、(C)の構造においても同様に、保持容量3805を省略することは可能である。

【実施例11】

【0150】

本実施例においては、実施例1～10で説明した電子装置の作成方法例として、画素部のスイッチング素子であるEL駆動用TFTと、画素部の周辺に設けられる駆動回路（ソース信号線駆動回路、ゲート信号線駆動回路等）のTFTを同一基板上に作成する方法について工程に従って詳細に説明する。但し、説明を簡単にするために、駆動回路部としてはその基本構成回路であるCMOS回路と、画素部としてはスイッチング用TFTとEL駆動用TFTとを図示することにする。

【0151】

図13を参照する。基板5001には、例えばコーニング社の1737ガラス基板に代表される無アルカリガラス基板を用いた。そして、基板5001のTFTが形成される表面に、下地膜5002をプラズマCVD法やスパッタ法で形成した。下地膜5002は、窒化シリコン膜を25～100[nm]、ここでは50[nm]の厚さに、酸化シリコン膜を50～300[nm]、ここでは150[nm]の厚さに積層形成（特に図示せず）した。また、下地膜5002は、窒化シリコン膜や窒化酸化シリコン膜のみを用いても良い。

【0152】

次に、この下地膜5002の上に、50[nm]の厚さの非晶質シリコン膜をプラズマCVD法で形成した。非晶質シリコン膜は含有水素量にもよるが、好ましくは400～550[°C]で数時間加熱して脱水素処理を行い、含有水素量を5[atom%]以下として、結晶化の工程を行うことが望ましい。また、非晶質シリコン膜をスパッタ法や蒸着法などの他の作成方法で形成しても良いが、膜中に含まれる酸素、窒素などの不純物元素の含有量を十分低減させておくことが望ましい。

【0153】

ここで、下地膜と非晶質シリコン膜とはいずれもプラズマCVD法で作成されるものであり、このとき下地膜と非晶質シリコン膜を真空中で連続して形成しても良い。この連続形成を行うと、下地膜を形成後、当前記下地膜の表面が大気雰囲気曝されることを回避できるため、下地膜表面の汚染を防ぐことが可能となり、作成されるTFTの特性バラツキを低減させることができる。

【0154】

非晶質シリコン膜を結晶化する工程は、公知のレーザー結晶化技術または熱結晶化の技術を用いれば良い。本実施例では、パルス発振型のKrFエキシマレーザー光を線状に集光して非晶質シリコン膜に照射して結晶質シリコン膜を形成した。

【0155】

なお、本実施例では半導体層の形成に非晶質シリコン膜をレーザーあるいは熱により結晶化するという方法を用いているが、微結晶シリコン膜を用いても構わないし、直接結晶質シリコン膜を成膜しても良い。

【0156】

こうして形成された結晶質シリコン膜をパターンニングして、島状の半導体層5003、5004、5005、5006が形成された。

【0157】

次に、島状の半導体層5003、5004、5005、5006を覆って、酸化シリコンまたは窒化シリコンを主成分とするゲート絶縁膜5007を形成した。ゲート絶縁膜5

007は、プラズマCVD法で N_2O と SiH_4 を原料とした窒化酸化シリコン膜を10～200 [nm]、好ましくは50～150 [nm]の厚さで形成すれば良い。本実施例においては、100 [nm]の厚さに形成した。

【0158】

そして、ゲート絶縁膜5007の表面に第1のゲート電極となる第1の導電膜5008と、第2のゲート電極となる第2の導電膜5009とを形成した。第1の導電膜5008はSi、Geから選ばれた一種の元素、またはこれらの元素を主成分とする半導体膜で形成すれば良い。また、第1の導電膜5007の厚さは5～50 [nm]、好ましくは10～30 [nm]とする必要がある。本実施例においては、20 [nm]の厚さでSi膜を形成した。

10

【0159】

第1の導電膜として使用する半導体膜にはn型あるいはp型の導電性を付与する不純物元素が添加されていても良い。この半導体膜の作成法は公知の方法に従えば良く、例えば、減圧CVD法で基板温度を450～500 [°C]として、ジシラン(Si_2H_6)を250 [sccm]、ヘリウム(He)を300 [sccm]導入して作成することができる。このとき同時に、 Si_2H_6 に対して PH_3 を0.1～2 [%]混入させてn型の半導体膜を形成しても良い。

【0160】

第2のゲート電極となる第2の導電膜は、エッチングで選択比のとれる導電性材料、あるいはこれらを主成分とする化合物で形成すれば良い。これはゲート電極の電気抵抗を下げるために考慮されるものであり、例えば、Mo-W化合物を用いても良い。ここでは、Taを使用し、スパッタ法で、200～1000 [nm]、代表的には400 [nm]の厚さに形成した。(図13(A))

20

【0161】

次に公知のパターニング技術を使ってレジストマスクを形成し、第2の導電膜5009をエッチングして第2のゲート電極を形成する工程を行った。第2の導電膜5009はTa膜で形成されているので、ドライエッチング法を用いて行った。ドライエッチングの条件として、 Cl_2 を80 [sccm]導入して100 [mTorr]、500 [W]の高周波電力を投入して行った。そして、図12(B)に示すように第2のゲート電極5010、5011、5012、5013、5014および配線5501を形成した。

30

【0162】

エッチング後に残渣が確認された場合は、SPX洗浄液やEKCなどの溶液で洗浄することにより除去すればよい。

【0163】

また、第2の導電膜5009はウェットエッチング法で除去しても良い。例えば、Taの場合、フッ酸系のエッチング液を用いて容易に除去することができる。

【0164】

そして、n型を付与する第1の不純物元素を添加する工程を行った。この工程は第2の不純物領域を形成するための工程である。本実施例においては、フォスフィン(PH_3)を用いたイオンドープ法で行った。この工程では、ゲート絶縁膜5007と第1の導電膜5008を通してその下の半導体層にリン(P)を添加するために、加速電圧は80 [keV]と高めに設定する必要がある。半導体層に添加されるリンの濃度は、 $1 \times 10^{16} \sim 1 \times 10^{19}$ [atoms/cm³]の範囲にするのが好ましく、ここでは 1×10^{18} [atoms/cm³]とした。そして、半導体層にリンが添加された領域5015、5016、5017、5018、5019、5020、5021、5022、5023が形成された。(図13(B))

40

【0165】

このとき、第1の導電膜5008において、第2のゲート電極5010、5011、5012、5013、5014および配線5501と重ならない領域にもリンが添加された。この領域のリン濃度は特に規定されるものではないが、第1の導電膜の抵抗率を下げる

50

効果が得られた。

【0166】

次にnチャネル型TFETを形成する領域をレジストマスク5024、5025で覆って、第1の導電膜5008の一部を除去する工程を行った。本実施例においては、ドライエッチング法により行う。第1の導電膜5008はSiであり、ドライエッチングの条件として、 CF_4 を50[sccm]、 O_2 を45[sccm]導入して50[mTorr]、で200[W]の高周波電力を投入して行った。その結果、レジストマスク5024、5025および第2のゲート導電膜に覆われている部分の第1の導電膜5026が残った。

【0167】

そして、pチャネル型TFETが形成される領域に、p型を付与する第3の不純物元素を添加する工程を行った。ここではジボラン(B_2H_6)を用いてイオンドープ法により添加した。ここでも加速電圧を80[keV]として、 2×10^{20} [atoms/cm³]の濃度にボロンを添加した。そして、ボロンが高濃度に添加された第3の不純物領域5027、5028、5029、5030が形成された。(図13(C))

【0168】

図14を参照する。第3の不純物元素の添加を行った後、レジストマスク5024、5025を完全に除去して、再度レジストマスク5031、5032、5033、5034、5035、5502を形成した。そして、レジストマスク5031、5033、5034を用いて第1の導電膜をエッチングし、新たに第1の導電膜5036、5037、5038を形成した。(図14(A))

【0169】

そして、n型を付与する第2の不純物元素を添加する工程を行った。本実施例においては、フォスフィン(PH_3)を用いたイオンドープ法で行った。この工程でも、ゲート絶縁膜5007を通してその下の半導体層にリンを添加するために、加速電圧は80[keV]と高めに設定している。そして、リンが添加された領域5039、5040、5041、5042、5043が形成された。この領域のリンの濃度はn型を付与する第1の不純物元素を添加する工程と比較して高濃度であり、 $1 \times 10^{19} \sim 1 \times 10^{21}$ [atoms/cm³]とするのが好ましく、本実施例においては 1×10^{20} [atoms/cm³]とした。(図14(A))

【0170】

さらに、レジストマスク5031、5032、5033、5034、5035、5502を除去して、新たにレジストマスク5044、5045、5046、5047、5048、5503を形成し、第1の導電膜のエッチングを行った。この工程において、nチャネル型TFETに形成されるレジストマスク5044、5046、5047のチャンネル長方向の長さはTFETの構造を決める上で重要である。レジストマスク5044、5046、5047は第1の導電膜5036、5037、5038の一部を除去する目的で設けられるものであり、このレジストマスクの長さにより、第2の不純物領域が第1の導電膜と重なる領域と重ならない領域を、ある範囲で自由に決めることができる。(図14(B))

【0171】

そして図14(C)に示すように第1のゲート電極5049、5050、5051が形成された。

【0172】

以上の工程で、CMOS回路のnチャネル型TFETにはチャンネル形成領域5052、第1の不純物領域5053、5054、第2の不純物領域5055、5056が形成された。ここで、第2の不純物領域は、ゲート電極と重なる領域(GOLD領域)5055a、5056aと、ゲート電極と重ならない領域(LDD領域)5055b、5056bがそれぞれ形成されている。そして、第1の不純物領域5053はソース領域として、第1の不純物領域5054はドレイン領域となる。

【0173】

pチャネル型TFTは、同様にクラッド構造のゲート電極が形成され、チャネル形成領域5057、第3の不純物領域5058、5059が形成された。そして、第3の不純物領域5059はソース領域、第3の不純物領域5058はドレイン領域となる。

【0174】

画素部のスイッチング用nチャネル型TFTはマルチゲートであり、チャネル形成領域5060、5061と第1の不純物領域5062、5063、5064と第2の不純物領域5065、5066、5067、5068が形成された。ここで第2の不純物領域は、ゲート電極と重なる領域5065a、5066a、5067a、5068aおよびゲート電極と重ならない領域5065b、5066b、5067b、5068bとが形成された。

10

【0175】

また、EL駆動用pチャネル型TFTは、CMOS回路におけるpチャネル型TFTと同様の構造を取り、チャネル形成領域5069と第3の不純物領域5070、5071が形成される。第3の不純物領域5070はソース領域、第3の不純物領域5071はドレイン領域となる。(図14(C))

【0176】

続いて、窒化シリコン膜5504、第1の層間絶縁膜5072を形成する工程を行った。最初に窒化シリコン膜5504を50[nm]の厚さに成膜した。窒化シリコン膜5504はプラズマCVD法で形成され、SiH₄を5[sccm]、NH₃を40[sccm]、N₂を100[sccm]導入して0.7[Torr]、300[W]の高周波電力を投入して行った。次に、第1の層間絶縁膜5072を形成した。第1の層間絶縁膜5072としては、珪素を含む絶縁膜を単層で用いるか、その中で組み合わせた積層膜を用いれば良い。また、膜厚は400[nm]~1.5[μm]とすれば良い。本実施例では、200[nm]厚の窒化酸化珪素膜の上に800[nm]厚の酸化珪素膜を積層(図示せず)した構造としている。

20

【0177】

さらに、3~100[%]の水素を含む雰囲気中で、300~450[°C]で1~12時間の熱処理を行い水素化処理を行った。この工程は熱的に励起された水素により半導体膜の不對結合手を水素終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0178】

なお、水素化処理は第1の層間絶縁膜5072を形成する間に入れても良い。即ち、200[nm]厚の窒化酸化珪素膜を形成した後で上記のように水素化処理を行い、その後で残り800[nm]厚の酸化珪素膜を形成しても構わない。

30

【0179】

次に、第1の層間絶縁膜5072に対してコンタクトホールを形成し、ソース配線5073、5075、5076、5078と、ドレイン配線5074、5077、5079を形成した。なお、本実施例ではこの電極を、Ti膜を100[nm]、Tiを含むアルミニウム膜を300[nm]、Ti膜150[nm]をスパッタ法で連続形成した3層構造(図示せず)の積層膜としているが、勿論、他の導電膜でも良い。

【0180】

次に、50~500[nm](代表的には200~300[nm])の厚さで第1のパッシベーション膜5080を形成した。本実施例では第1のパッシベーション膜5080として300[nm]厚の窒化酸化珪素膜を用いている。これは窒化珪素膜で代用しても良い。なお、窒化酸化珪素膜の形成に先立ってH₂、NH₃等水素を含むガスを用いてプラズマ処理を行うことは有効である。この前処理により励起された水素が第1の層間絶縁膜5072に供給され、熱処理を行うことで、第1のパッシベーション膜5080の膜質が改善された。それと同時に、第1の層間絶縁膜5072に添加された水素が下層側に拡散するため、効果的に活性層を水素化することができた。(図15(A))

40

【0181】

次に、有機樹脂からなる第2の層間絶縁膜5081を形成した。有機樹脂としてはポリ

50

イミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）等を使用することができる。特に、第2の層間絶縁膜5081は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではTFTによって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成した。好ましくは1～5 [μm]（さらに好ましくは2～4 [μm]）とすれば良い。

【0182】

次に、第2の層間絶縁膜5081及び第1のバッシベーション膜5080にドレイン配線5079に達するコンタクトホールを形成し、画素電極5082を形成した。本実施例では画素電極5082として酸化インジウムに10～20 [wt%]の酸化亜鉛を添加した透明導電膜を120 [nm]の厚さに形成した。（図15（B））

10

【0183】

次に、図16に示すように、樹脂材料でなるバンク5083およびタップ5505を形成した。バンク5083は1～2 [μm]厚のアクリル膜またはポリイミド膜をパターンニングして形成すれば良い。このバンク5083は画素と画素との間にストライプ状に形成される。本実施例ではソース配線5076上に沿って形成するが配線5501上に沿って形成しても良い。なおバンク5083を形成している樹脂材料に顔料等を混ぜ、バンク5083を遮蔽膜として用いても良い。

【0184】

次に、EL層5084及び陰極（MgAg電極）5085を、真空蒸着法を用いて大気解放しないで連続形成した。なお、EL層5084の膜厚は80～200 [nm]（典型的には100～120 [nm]）、陰極5085の厚さは180～300 [nm]（典型的には200～250 [nm]）とすれば良い。なお、本実施例では一画素しか図示されていないが、このとき同時に赤色に発光するEL層、緑色に発光するEL層及び青色に発光するEL層を形成した。

20

【0185】

この工程では、赤色に対応する画素、緑色に対応する画素及び青色に対応する画素に対して順次EL層5084及び陰極5085を形成した。但し、EL層5084は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的にEL層5084及び陰極5085を形成するのが好ましい。

30

【0186】

即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光のEL層及び陰極を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光のEL層及び陰極を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光のEL層及び陰極を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。また、全画素にEL層及び陰極を形成するまで真空を破らずに処理することが好ましい。

【0187】

なお、本実施例ではEL層5084を発光層のみからなる単層構造としているが、EL層は発光層の他に正孔輸送層、正孔注入層、電子輸送層、電子注入層等を有していても構わない。このように組み合わせは既に様々な例が報告されており、そのいずれの構成を用いても構わない。EL層5084としては公知の材料を用いることができる。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。また、本実施例ではEL素子の陰極としてMgAg電極を用いた例を示すが、公知の他の材料を用いても良い。

40

【0188】

最後に、第2のバッシベーション膜5086を形成する。こうして図16に示すような構造のアクティブマトリクス基板が完成した。なお、バンク5083を形成した後、第2のバッシベーション膜5086を形成するまでの工程をマルチチャンパー方式（またはインライン方式）の薄膜形成装置を用いて、大気解放せずに連続的に処理することは有効で

50

ある。

【0189】

ところで、本実施例のアクティブマトリクス基板は、画素部だけでなく駆動回路部にも最適な構造のTFTを配置することにより、非常に高い信頼性を示し、動作特性も向上する。また結晶化工程においてNi等の金属触媒を添加し、結晶性を高めることも可能である。それによって、ソース信号線駆動回路の駆動周波数を10[MHz]以上にすることが可能である。

【0190】

まず、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有するTFTを、駆動回路部を形成するCMOS回路のnチャネル型TFTとして用いる。なお、ここでいう駆動回路としては、シフトレジスタ、バッファ、レベルシフタ、線順次駆動におけるラッチ、点順次駆動におけるトランスミッションゲートなどが含まれる。

【0191】

本実施例の場合、図14(C)、図16に示すように、nチャネル型TFTの活性層は、ソース領域5053、ドレイン領域5054、GOLD領域5055a、5056a、LDD領域5055b、5056b及びチャネル形成領域5052を含み、GOLD領域5055a、5056aはゲート絶縁膜を介してゲート電極5049と重なっている。

【0192】

また、CMOS回路のpチャネル型TFTは、ホットキャリア注入による劣化が殆ど気にならないので、特にLDD領域を設けなくても良い。勿論、nチャネル型TFTと同様にLDD領域を設け、ホットキャリア対策を講じることも可能である。

【0193】

その他、駆動回路において、チャネル形成領域を双方向に電流が流れるようなCMOS回路、即ち、ソース領域とドレイン領域の役割が入れ替わるようなCMOS回路が用いられる場合、CMOS回路を形成するnチャネル型TFTは、チャネル形成領域の両サイドにチャネル形成領域を挟む形でLDD領域を形成することが好ましい。このような例としては、点順次駆動に用いられるトランスミッションゲートなどが挙げられる。また駆動回路において、オフ電流値を極力低く抑える必要のあるCMOS回路が用いられる場合、CMOS回路を形成するnチャネル型TFTは、LDD領域の一部がゲート絶縁膜を介してゲート電極と重なる構成を有していることが好ましい。このような例としては、やはり、点順次駆動に用いられるトランスミッションゲートなどが挙げられる。

【0194】

なお、実際には図16の状態まで完成したら、さらに外気に曝されないように、気密性が高く、脱ガスの少ない保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）や透光性のシーリング材でパッケージング（封入）することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたリ、内部に吸湿性材料（例えば酸化バリウム）を配置したりするとEL素子の信頼性が向上する。

【0195】

また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのFPCを取り付けて製品として完成する。このような出荷できる状態にまでした状態を本明細書中ではELディスプレイ（またはELモジュール）をという。

【実施例12】

【0196】

本実施例においては、本発明の駆動方法を実施するための回路構成について説明する。

【0197】

図17を参照する。図17(A)は本発明のゲート信号線の複数交互選択を行うための、ゲート信号線駆動回路に関する回路構成を示している。本実施例では簡単のため、例としてゲート信号線選択期間を2つのサブゲート信号線選択期間に分割して駆動する場合についての説明を行う。画素部1753の両側に、ゲート信号線駆動回路1752を配置し

10

20

30

40

50

、各ゲート信号線駆動回路のバッファ出力から画素部 1753 に至るまでの間に、スイッチ回路 1754、1755 を設ける。スイッチ回路 1754、1755 の構成例を、図 17 (B) (C) に示す。

【0198】

スイッチ回路 1754、1755 には、ゲート信号線選択タイミング切り替え信号が、1 本あるいは複数の信号線を介して入力される。図 17 (A) においては、ピン 11、12 より各ゲート信号線駆動回路内のスイッチ回路へと入力されているが、一方のスイッチ回路に入力されるゲート信号線選択タイミング切り替え信号を、インバータを用いて反転して他方に入力されるようにしても良い。これにより、スイッチ回路 1754、1755 は排他的に動作し、両方が同時に開くことのないように制御され、一方のスイッチ回路 1754 は前半のサブゲート信号線選択期間中に開き、もう一方のスイッチ回路 1755 は後半のサブゲート信号線選択期間中に開くことで、2 つのサブゲート信号線選択期間について正常にゲート信号線の選択が行われる。

10

【0199】

図 18 を参照する。図 18 は本発明のゲート信号線の複数交互選択を行う場合に用いるソース信号線駆動回路に関する回路構成を示している。

【0200】

図 18 (A) は従来と同様の構成のソース信号線駆動回路を用いた例を示す図である。シフトレジスタ回路 (SR) には、ピン 21、22 よりクロック信号が、ピン 23 よりスタートパルスが入力され、順次パルスを出力する。これが第 1 のラッチパルスとなる。第 1 のラッチ回路 (LAT1) には、ピン 24 よりデジタル映像信号が入力され、第 1 のラッチパルスのタイミングに従ってデジタル映像信号の保持を行う。続いて、水平帰線期間内に第 2 のラッチパルスがピン 25 より入力されると、第 1 のラッチ回路で保持されていたデジタル映像信号は、一斉に第 2 のラッチ回路 (LAT2) へと転送され、線順次で画素にデジタル映像信号が書き込まれる。続いて次のゲート信号線選択期間の前半と後半で、それぞれ画素への書き込みおよび点灯が行われる。

20

【0201】

このとき、ゲート信号線選択期間が 2 つのサブゲート信号線選択期間を有する場合、ソース信号線側では、1 ゲート信号線選択期間内の前半および後半の 2 つのサブゲート信号線選択期間に書き込む信号のサンプリングおよびラッチを完了するため、ソース信号線駆動回路の動作クロック周波数を 2 倍にする必要がある。これを図 29、図 30 を参照して説明する。

30

【0202】

図 29 は通常の時間階調方式におけるタイミングチャートである。本図は V G A、4 ビット階調、フレーム周波数 60 [Hz] の場合 (1 秒間に 60 フレームの表示を行う) について示している。以下に説明を記す。

【0203】

1 表示領域分の画像が完全に表示される期間を 1 フレームと呼ぶ。1 フレーム期間は、図 1 ~ 5 に示したように、複数のサブフレーム期間を有し、1 サブフレーム期間はそれぞれがアドレス (書き込み) 期間 ($T a_n$: $n = 1, 2, \dots$) とサステイン (点灯) 期間 ($T s_n$: $n = 1, 2, \dots$) を有する。1 フレーム期間が有するサブフレーム期間の数は、表示する階調のビット数に等しく、 n ビットの階調を表現するには、サステイン (点灯) 期間の長さを、 $T s_1 : T s_2 : \dots : T s_{n-1} : T s_n = 2^{n-1} : 2^{n-2} : \dots : 2^1 : 2^0$ とし、点灯期間の長さで輝度を制御する。図 29 においては 4 ビット階調であるので、 $T s_1 : T s_2 : T s_3 : T s_4 = 2^3 : 2^2 : 2^1 : 2^0$ となる。

40

【0204】

アドレス (書き込み) 期間は 482 (480 段 + ダミー 2 段とする場合) 段のゲート信号線選択期間 (水平期間) を有する。1 ゲート信号線選択期間の前半の、ドットデータサンプリング期間で、1 水平期間分のデータが順番に第 1 のラッチ回路に保持される。その後のラインデータラッチ期間で、1 水平期間分のデータが一斉に第 2 のラッチ回路に転送

50

される。

【0205】

図30は、図17、図18(A)に示した回路を用いて、本発明の駆動方法を実施するためのタイミングチャートを示している。1フレーム期間は図29と同様、表示ビット数分のサブフレーム期間を有するが、本発明の駆動方法を用いる場合、1つのゲート信号線選択期間が複数(本実施例においては2つ)のサブゲート信号線選択期間を有し、あるサブゲート信号線選択期間で書き込みを行っている間、その直前のサブゲート信号線選択期間で書き込みの行われた画素は既に点灯を開始しているため、アドレス(書き込み)期間とサステイン(点灯)期間は見かけ上分離していないことになる。

【0206】

本例では、1ゲート信号線選択期間(水平期間)を2つのサブゲート信号線選択期間に分割している。よって、1つのソース信号線駆動回路が、1水平期間内に前半および後半のサブゲート信号線選択期間の各々の期間に書き込む信号のサンプリングおよびラッチを完了しなければならない。すなわち、図30に示すように、ドットデータサンプリング期間およびデータラッチ期間は、図29の場合と比較して半分の長さとなることがわかる。故に、本実施例で示したソース信号線駆動回路を用いて本発明の駆動方法を実施するには、ソース信号線駆動回路の動作クロック周波数を2倍とする必要が生ずる。

【0207】

図18(B)は、画素マトリクスの両側に2組のソース信号線駆動回路を配置する例である。本例で説明する回路は、第2のラッチ回路と画素部との間にスイッチ回路1854、1855を有する。シフトレジスタ回路、第1のラッチ回路、第2のラッチ回路の一連の動作は図18(A)と同様であるので説明を省略するが、2つのソース信号線駆動回路の内、一方は前半のサブゲート信号線選択期間内の書き込みを担当し、他方は後半のサブゲート信号線選択期間内の書き込みを担当する。ゲート信号線駆動回路1852に関しては、図17に示したものをいれれば良い。

【0208】

スイッチ回路1854、1855には、ラッチ出力切り替え信号が、1本あるいは複数の信号線を介して入力される。図18(B)では、ピン31、32よりそれぞれ入力されるように示しているが、一方のスイッチ回路に入力されるラッチ出力切り替え信号を、インバータを通して反転させて他方に入力しても良い。

つまり、スイッチ回路1854、1855は排他的に動作し、両方が同時に開くことのないように制御され、一方のスイッチ回路1854は前半のサブゲート信号線選択期間中に信号を書き込む期間に開き、もう一方のスイッチ回路1855は後半のサブゲート信号線選択期間中に信号を書き込む期間に開く。この順序は逆でも同様の動作をする。このような構成の回路を用いることで、ソース信号線駆動回路の駆動周波数を上げることなく、2つのサブゲート信号線選択期間のそれぞれの期間に正常に画素への信号の書き込みを行うことができる。反面、画素マトリクスの両側に駆動回路が配置されるため、装置全体の占有面積が拡大する点がある。

【0209】

図31を参照する。図31は図17、図18(B)に示した回路を用いて、本発明の駆動方法を実施するためのタイミングチャートを示している。1フレーム期間を表示ビット数分のサブフレーム期間を有し、さらにそのサブフレーム期間が482(480段+ダミー2段とする場合)段のゲート信号線選択期間(水平期間)を有する点は図30と同様である。

【0210】

ここで、図18(B)に示したように、1本のソース信号線を複数(本実施例で示した例では2個)のソース信号線駆動回路を用いて駆動し、スイッチ回路によりいずれかのソース信号線駆動回路の信号をソース信号線に入力する場合には、図18(A)の回路と異なり、異なるサブゲート信号線選択期間への書き込みを、各々のソース信号線駆動回路が分担することで、並列処理を行うことができる。よって図31に示すように、サブゲート

10

20

30

40

50

信号線選択期間の前半に書き込む分および後半に書き込む分について、それぞれが別のソース信号線駆動回路によって、1水平期間内で並列にサンプリング・ラッチ動作を行うことができるため、ソース信号線駆動回路の動作クロック周波数を上げることなく、図18(A)に示した回路と同等の処理をすることが可能となる。

【0211】

なお、本実施例で示した回路におけるスイッチ回路は外部からの制御信号の入力によって導通、非導通の状態をとれるものであればどのような構造を用いても良い。簡単な例では、ゲート信号線駆動回路にて用いたスイッチ回路(図17(B)(C)に示したもの)と同様のものを用いればよい。

【実施例13】

10

【0212】

本実施例においては、実施例12とは異なるソース信号線駆動回路の構成の例について説明する。本実施例では簡単のため、例としてゲート信号線選択期間を2つのサブゲート信号線選択期間に分割して駆動する場合についての説明を行う。

【0213】

図19を参照する。図19は2組のソース信号線駆動回路を、シフトレジスタ回路を共通とすることにより画素マトリクス of 片側に配置した場合の回路構成を示している。実施例12にて示した図18(B)において、一方を第1のソース信号線駆動回路、他方を第2のソース信号線駆動回路とすると、図19(A)では、シフトレジスタ回路(SR)を共用して、シフトレジスタ回路、第1のラッチ回路A(L1A)、第2のラッチ回路A(L2A)、スイッチ回路(SW)の流れで構成される部分が第1のソース信号線駆動回路、シフトレジスタ回路、第1のラッチ回路B(L1B)、第2のラッチ回路B(L2B)、スイッチ回路(SW)の流れで構成される部分が第2のソース信号線駆動回路に該当する。ゲート信号線駆動回路に関しては、図17にて示したものをを用いれば良い。

20

【0214】

回路の動作について説明する。シフトレジスタ回路に、ピン41、42よりクロック信号が、ピン43よりスタートパルスが入力され、第1のラッチ回路L1AおよびL1Bに順番にパルスが出力される。これが第1のラッチパルスとなる。第1のラッチ回路L1AおよびL1Bにはデジタルデータ信号1および2が、ピン44より入力され、第1のラッチパルスに従って、順番にデータが書き込まれる。このとき、L1A、L1Bは第1のラッチパルスを共用するので、第1のソース信号線駆動回路と第2のソース信号線駆動回路は同時に動作する。続いて、水平帰線期間中にピン45より第2のラッチパルスが入力され、第1のラッチ回路L1A、L1Bに書き込まれたデータが一斉に第2のラッチ回路L2A、L2Bにそれぞれ転送される。このとき、第1のソース信号線駆動回路からは、前半のサブゲート信号線選択期間中に書き込みが行われるデータ(これをデータAと表記する)が、L2Aから出力され、第2のソース信号線駆動回路からは、後半のサブゲート信号線選択期間中に書き込みが行われるデータ(これをデータBと表記する)が、L2Bから出力される。

30

【0215】

続いて、次のゲート信号線選択期間に、第2のラッチ回路と画素マトリクスとの間に配置されたスイッチ回路1954は、1本あるいは複数の信号線を介してラッチ出力切り替え信号が入力されることによって、データAとデータBのいずれかを選択して画素部に出し、信号の書き込みが行われる。このような回路を用いることにより、実施例12で示した回路例に比べて、回路の小面積化が可能となる。

40

【0216】

本実施例において示した回路も、2つのサブゲート信号線選択期間に書き込むそれぞれの信号を並列してサンプリング・ラッチすることが可能であり、ソース信号線駆動回路の動作クロック周波数を上げることなく、図18(A)に示した回路と同等の処理をすることが可能となる。

【0217】

50

なお、本実施例にて示した回路の構成については、シフトレジスタ回路、ラッチ回路は従来のものをそのまま用いれば良く、スイッチ回路は複数入力（本実施例においては2入力）のうち一方を選択して出力できるものであればどのような構造を用いても良い。また本実施例におけるスイッチ回路1954の例を図19（B）に示す。ここでは2入力1出力のものに関して例を示したが、3入力以上の場合においてもスイッチを増やすことで基本的に同様の回路を用いれば良い。

ただし、回路構成に関してはこの限りではない。

【実施例14】

【0218】

本実施例においては、実施例12の一部および実施例13で示した回路とは異なる回路構成の実施例について説明する。本実施例では簡単のため、例としてゲート信号線選択期間を2つのサブゲート信号線選択期間に分割して駆動する場合についての説明を行う。

【0219】

図20を参照する。図20は図19と同様、シフトレジスタ回路を2系統のラッチ回路で共用することで片側にソース信号線駆動回路を集積した例を示している。本実施例にて示している回路は、シフトレジスタ回路と第1のラッチ回路との間に2入力型NAND回路を有している点に特徴がある。この2入力型NAND回路を、第1のラッチ回路L1Aに出力線が接続されているものをNAND-A、第1のラッチ回路L1Bに出力線が接続されているものをNAND-Bと表記する。本実施例で示した駆動回路においても、実施例13と同様、2つのソース信号線駆動回路を、シフトレジスタ回路を共用として一体化した形態であり、それぞれ、第1のソース信号線駆動回路、第2のソース信号線駆動回路とする。

また、ゲート信号線駆動回路に関しては、実施例13と同様、図17にて示したものを用いれば良い。

【0220】

回路の動作について説明する。シフトレジスタ回路にはピン41、42よりクロック信号（これを以後、第1のクロック信号とする）が、ピン43よりスタートパルスが入力され、順番にパルスが出力される。続いてこのパルスは、NAND回路の2入力端子のうちの一方に入力される。NAND-Aの残る一方の入力端子には、シフトレジスタ回路に入力されている第1のクロック信号の2倍の周波数を有する信号（これを以後、第2のクロック信号と表記する）が入力され、NAND-Bの残る一方の入力端子には、第2のクロック信号の反転信号が入力される。これにより、第1のラッチ回路L1A、L1Bには、シフトレジスタ回路からの出力パルスの半分のパルス幅を有するパルスが入力される。このとき、L1Aに入力されるパルスは、前記シフトレジスタ回路からの出力パルスの前半分、L1Bに入力されるパルスは前記シフトレジスタ回路からの出力パルスの後半分のタイミングで出力されている。以後は実施例13で説明した動作方法に従い、画素部に書き込みが行われる。

【0221】

つまり、本実施例で示した回路を用いることにより、第1のラッチ回路以降の動作は実施例13で示した回路と同様の動作を実現し、かつシフトレジスタの動作クロックを、実施例13で示した回路の半分に抑えることが可能となるため、回路の信頼性向上の面で有利となる。反面、駆動回路内の素子数がやや増加する。

【0222】

本実施例において示した回路も、ソース信号線駆動回路におけるドットデータサンプリング期間とラインデータラッチ期間は通常の間隔表示の場合と同じ時間とすることができ、ソース信号線駆動回路の動作クロック周波数を上げることなく、図18（A）に示した回路と同等の処理をすることが可能となる。かつ、シフトレジスタ回路部は通常の間隔表示の場合に比較してさらに半分の動作クロック周波数に抑えることが可能である。

【0223】

なお、本実施例にて示した回路の構成については、シフトレジスタ回路、ラッチ回路、NAND回路は従来のものをそのまま用いても良く、スイッチ回路2054は複数入力（本実施例においては2入力）のうち一方を選択して出力できるものであれば如何様な構造を用いても良い。簡単な例では、実施例13にて用いた、図19（B）に示したものと同様で良い。また、NAND-Bに入力される第2のクロック信号の反転信号は、図20においては第2のクロック信号からインバータを用いて反転させることで作っているが、外部から第2のクロック信号の反転信号を直接入力するようにしても良い。

【実施例15】

【0224】

本発明の駆動方法を、実際に電子装置にて使用する場合、回路内部で生ずる信号の遅延によるタイミングずれを原因として問題が生ずる場合が考えられる。本実施例においては、それらの問題を踏まえた上での駆動方法について説明する。

【0225】

駆動回路内部で信号の遅延によるタイミングずれが生じた場合、一般にはある程度の遅延を許容するようにマージンを取った上で設計が行われている。例えば、1フレーム期間＝1水平期間×ゲート信号線本数＋帰線期間とし、もしゲート信号線選択パルスに遅延が生じた場合にも、帰線期間でその遅延を吸収し、次のフレーム期間には影響しないようにしている。

【0226】

本発明において、1水平期間を例えば2つのサブゲート信号線選択期間に分割する際には、図35に示すように、サブゲート期間選択パルスが出力される。このサブゲート期間選択パルスの出力タイミングは、ゲート信号線選択パルス1パルス分の幅にちょうど1周期分が入るようにしなければならない。これは、図35において、それぞれ、サブゲート期間選択パルス（正常）として示している。

第1のゲート信号線選択パルス*i*行目、第1のゲート信号線選択パルス*i*＋1行目、第2のゲート信号線選択パルス*i*行目、および第2のゲート信号線選択パルス*i*＋1行目のそれぞれのパルス幅に、ちょうどサブゲート期間選択パルス（正常）の1周期分が入っているのがわかる。

【0227】

前半のサブゲート信号線選択期間においては、サブゲート期間選択パルスがH*i*、*i*行目の第1のゲート信号線選択パルスがH*i*（選択されている状態。回路の組み方によっては選択状態においてL*o*となっても構わない）の時、*i*行目のゲート信号線が選択される。後半のサブゲート信号線選択期間においては、サブゲート期間選択パルスがL*o*、*i*行目の第2のゲート信号線選択パルスがH*i*（選択されている状態。回路の組み方によっては選択状態においてL*o*となっても構わない）の時、*i*行目のゲート信号線が選択される。

【0228】

ここで、サブゲート期間選択パルスと、ゲート信号線選択パルスにタイミングずれが生じた場合を考える。タイミングずれの態様としては、ゲート信号線選択パルスに対して、サブゲート期間選択パルスが遅れる場合と、逆にサブゲート期間選択パルスに対してゲート信号線選択パルスが遅れる場合とが考えられるが、ここでは説明を明確にするため、ゲート信号線選択パルスを基準として、サブゲート期間選択パルスが遅れて出力される場合と、逆に早く出力される場合というように、相対的にとらえることとする。

【0229】

（1）サブゲート期間選択パルスが遅れて出力される場合 図36（A）を参照する。正常なタイミングで出力される場合のサブゲート期間選択パルスを9001に対し、遅れて出力されるサブゲート期間選択パルスを9002で示す。図中、各ゲート信号線は、サブゲート期間選択パルスがH*i*の時、ゲート信号線選択期間の前半に選択され、L*o*の時、ゲート信号線選択期間の後半に選択されるものとしている。

【0230】

ゲート信号線選択期間の前半においては、 i 行目の第 1 のゲート信号線選択パルス 9003 が出力された後、やや遅れてサブゲート期間選択パルス 9002 が H_i となる。よって、パルス 9007 で示される期間、 i 行目のゲート信号線が選択状態となる。一方、ゲート信号線選択期間の後半においては、 i 行目の第 2 のゲート信号線選択パルスが出力される瞬間には、サブゲート期間選択パルスは遅延のため、まだ H_i となっていない。よって、パルス 9009 で示される期間は、 i 行目のゲート信号線は選択状態となる。その後、サブゲート期間選択パルスは H_i となり、再び L_o となってから i 行目の第 2 のゲート信号線選択パルスが L_o (非選択状態) となるまでの期間、つまりパルス 9010 で示される期間、 i 行目のゲート信号線は選択状態となる。 $i+1$ 行目のゲート信号線についても、同様に、それぞれパルス 9008、9011、9012 で示される期間だけ選択が行われる。

10

【0231】

このとき、サブゲート信号線選択期間の前半と後半とで、それぞれ信号の書き込みが行われる場合に、どのような動作をするかを考える。具体例として、実施例 3 にて示した、サブゲート信号線選択期間の一方では映像信号を、残る一方ではリセット信号を書き込む場合を考える。

【0232】

(1-1) 前半に映像信号、後半にリセット信号を書き込む場合 i 行目、 $i+1$ 行目のゲート信号線が、それぞれ前半のサブゲート期間で選択状態となる期間は、9007、9008 で示すように、本来のタイミングからやや遅れているが、このタイミングで i 行目の映像信号が書き込まれるため、動作に大きな問題は生じない。

20

【0233】

これに対して、 i 行目、 $i+1$ 行目のゲート信号線が、それぞれ後半のサブゲート期間で選択状態となる期間は、9009、9010、9011、9012 で示すように、各ゲート信号線選択期間の中で 2 つの期間に分かれることになる。

この場合、 i 行目のゲート信号線が 9009 で示すタイミングで選択される期間は、本来は $i-1$ 行目のゲート信号線が選択されているべき期間である。同様に、 $i+1$ 行目のゲート信号線が 9011 で示すタイミングで選択される時は、本来は i 行目のゲート信号線が選択されているべき期間である。すなわち、 i 行目においては、9009 で示すタイミングでは $i-1$ 行目に書き込むリセット信号が書き込まれ、 $i+1$ 行目においては、9011 で示すタイミングでは i 行目に書き込むリセット信号が書き込まれることになる。結果として、本来のタイミングよりも 1 水平期間分だけ早いタイミングで EL 素子は消灯する。やや階調が低下するが、全体で階調の逆転が生ずることはないため、大きな問題ではないといえる。また、それぞれ前行のリセット信号が書き込まれた後で、9010、9012 で示すタイミングではそれぞれ i 行目、 $i+1$ 行目では本来のリセット信号が出力されるが、既に EL 素子は消灯しているため、この動作による表示の変化はない。(図 36 (B))

30

【0234】

(1-2) 前半にリセット信号、後半に映像信号を書き込む場合 前述と同様、前半のサブゲート選択期間にゲート信号線が選択される場合、単に選択期間が遅延するだけであるから、問題は生じない。正しい長さのサステイン期間の終了後、リセット信号が書き込まれて EL 素子は消灯する。

40

【0235】

9009、9011 で示す期間で、 i 行目、 $i+1$ 行目のゲート信号線が選択される時、 i 行目においては、 $i-1$ 行目の映像信号が書き込まれ、 $i+1$ 行目においては i 行目の映像信号が書き込まれる。ただし、その直後に 9010、9012 で示すタイミングで再びゲート信号線は選択状態となり、この期間ではそれぞれ正しい映像信号が書き込まれるため、それぞれの行では映像信号が上書きされる形となり、大きな問題とはならない。(図 36 (C))

【0236】

50

(2) サブゲート期間選択パルスが早く出力される場合 図37(A)を参照する。正常なタイミングで出力される場合のサブゲート期間選択パルスを9101に対し、早く出力されるサブゲート期間選択パルスを9002で示す。図中、各ゲート信号線は、サブゲート期間選択パルスがHiの時、ゲート信号線選択期間の前半に選択され、Loの時、ゲート信号線選択期間の後半に選択されるものとしている。

【0237】

ゲート信号線選択期間の前半においては、i行目の第1のゲート信号線選択パルス9103が出力された瞬間には、既にサブゲート期間選択パルスはHiとなっている(9102)ため、直ちにi行目のゲート信号線が選択状態となる(9107)。その後、サブゲート期間選択パルスがLoとなり、i行目のゲート信号線は非選択状態に戻るが、すぐ後でサブゲート期間選択パルスが再びHiとなるため、再びi行目のゲート信号線は選択状態となる(9108)。一方、ゲート信号線選択期間の後半においては、i行目の第2のゲート信号線選択パルス出力9106がHiとなり、サブゲート期間選択パルスがLoとなる期間において選択状態となる(9111)。i+1行目のゲート信号線についても、同様に、それぞれパルス9109、9110、9112で示される期間だけ選択が行われる。

【0238】

ここで、前述と同様、サブゲート信号線選択期間の一方では映像信号を、残る一方ではリセット信号を書き込む場合を考える。

【0239】

(2-1) 前半に映像信号、後半にリセット信号を書き込む場合 i行目、i+1行目のゲート信号線が、それぞれ前半のサブゲート期間で選択状態となる期間は、9107、9108、9109、9110で示すように、各ゲート信号線選択期間の中で2つの期間に分かれることになる。この場合、i行目のゲート信号線が9108で示されるタイミングで選択される期間は、本来はi+1行目のゲート信号線が選択されているべき期間である。同様に、i+1行目のゲート信号線が9110で示されるタイミングで選択される期間は、本来はi+2行目のゲート信号線が選択されているべき期間である。このとき、ゲート信号線選択期間の前半で映像信号が書き込まれるとすると、i行目においては9107で示す期間で映像信号の書き込みが行われる。しかし、その直後、9108で示す期間ではさらにi+1行目に書き込まれるべき映像信号の書き込みが行われることになり、以後のサステイン(点灯)期間では、i+1行目の映像が書き込まれた状態で表示されてしまう。あるいは、9108で示す期間は時間が短いため、i+1行目の映像信号が満足に書き込まれないままサステイン(点灯)

期間に入ることとなり、この場合は正常にEL素子を点灯させることは出来ない。i+1行目についても同様に、本来の映像信号の書き込みが終了した直後、次列の映像信号が書き込まれるために正常に表示が出来なくなるという問題が生ずる。(図37(B))

【0240】

一方、ゲート信号線選択期間の後半においては、ややゲート信号線が選択状態となるタイミングが早まるため、わずかに早くリセット信号が書き込まれることになる。つまり、各サステイン(点灯)期間が、サブゲート期間選択パルスとゲート信号線選択パルスの出力タイミングのずれの分だけ短くなるということになるが、こちらは問題とはならない。

【0241】

(2-2) 前半にリセット信号、後半に映像信号を書き込む場合 ゲート信号線の選択期間が、9107、9108、9109、9110で示す期間となる部分でリセット信号が書き込まれる場合を考えると、図37(C)に示すように、正常なタイミングでi行目およびi+1行目にはリセット信号が書き込まれて、非表示期間となる。その直後、9108、9110でそれぞれ示すタイミングで、i行目にはi+1行目のリセット信号が、i+1行目にはi+2行目のリセット信号が書き込まれるが、その時点ではいずれの行も既に非表示期間となっているため、何らの変化もなく、問題とはならない。

【0242】

以上のように、パルスの出力タイミングのずれが生じた場合に、ゲート信号線選択期間の前半と後半にどの処理を行うかによって、問題の大小には大きな差が生ずる。ここで説明した全ての場合を考えると、ゲート信号線選択期間の前半においてはリセット信号の書き込み（念のため、ここでいうリセット信号とは、各行において、1つ前のサブフレーム期間におけるサステイン（点灯）期間の後に非表示期間を設けるための信号である。）を行い、ゲート信号線選択期間の後半には映像信号の書き込みを行うという方法が望ましいことになる。

【0243】

以上のように、本発明の電子装置およびその駆動方法は、容易に実施が可能であり、またその方法の実施には、実施例1～15に示したいずれの方法を用いて実施しても良く、また複数の実施例を組み合わせ用いても良い。

10

【実施例16】

【0244】

本発明において、三重項励起子からの燐光を発光に利用できるEL材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、EL素子の低消費電力化、長寿命化、および軽量化が可能になる。

【0245】

ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。

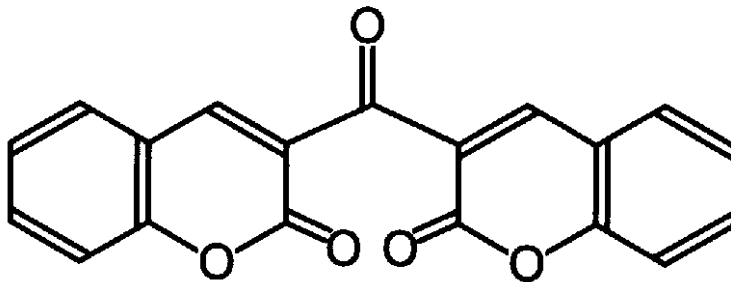
(T.Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed.K.Honda, (Elsevier Sci.Pub., Tokyo,1991) p.437.)

20

上記の論文により報告されたEL材料（クマリン色素）の分子式を以下に示す。

【0246】

【化1】



30

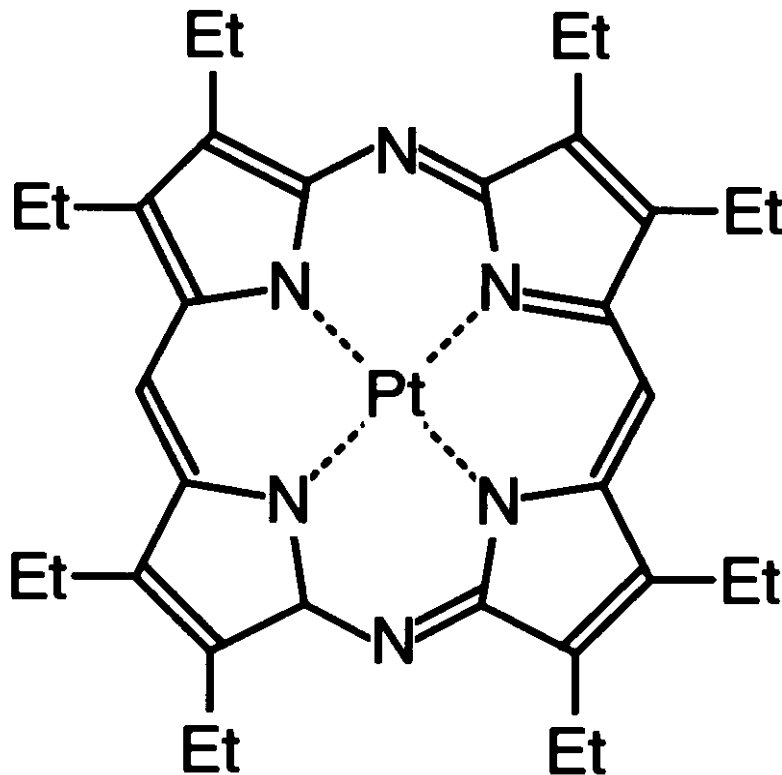
【0247】

(M.A.Baldo, D.F.O'Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson, S.R.Forrest, Nature 395 (1998) p.151.)

上記の論文により報告されたEL材料（Pt錯体）の分子式を以下に示す。

【0248】

【化 2】



10

20

【 0 2 4 9】

(M.A.Baldo, S.Lamansky, P.E.Burrows, M.E.Thompson, S.R.Forrest, Appl.Phys.Lett., 75 (1999) p.4.)

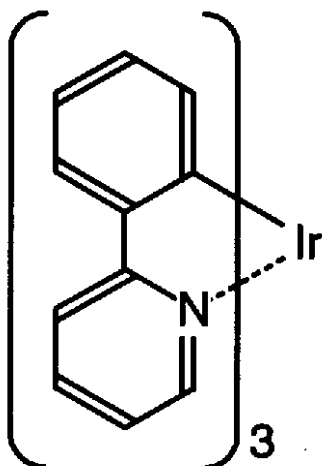
(T.Tsutsui, M.-J.Yang, M.Yahiro, K.Nakamura, T.Watanabe, T.tsuji, Y.Fukuda, T.Wakimoto, S.Mayaguchi, Jpn.Appl.Phys., 38 (12B) (1999) L1502.)

上記の論文により報告された EL 材料 (Ir 錯体) の分子式を以下に示す。

【 0 2 5 0】

30

【化 3】



40

【 0 2 5 1】

以上のように三重項励起子からの燐光発光を利用できれば原理的には一重項励起子からの蛍光発光を用いる場合より 3～4 倍の高い外部発光量子効率の実現が可能となる。なお、本実施例の構成は、実施例 1～実施例 15 のいずれの構成とも自由に組みあせて実施する

50

ことが可能である。

【実施例 17】

【0252】

本発明の E L ディスプレイは、自発光型であるため液晶ディスプレイに比べて明るい場所での視認性に優れ、しかも視野角が広い。従って、様々な電子機器の表示部として用いることができる。例えば、T V 放送等を大画面で鑑賞するには対角 30 インチ以上（典型的には 40 インチ以上）の E L 表示装置（E L ディスプレイを筐体に組み込んだ表示装置）の表示部として本発明の E L ディスプレイを用いるとよい。

【0253】

なお、E L 表示装置には、パソコン用表示装置、T V 放送受信用表示装置、広告表示用表示装置等の全ての情報表示用表示装置が含まれる。また、その他にも様々な電子機器の表示部として本発明の E L ディスプレイを用いることができる。

【0254】

その様な本発明の電子機器としては、ビデオカメラ、デジタルカメラ、ゴーグル型表示装置（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはデジタルビデオディスク（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。特に、斜め方向から見ることの多い携帯情報端末は視野角の広さが重要視されるため、E L ディスプレイを用いることが望ましい。それら電子機器の具体例を図 3 2 及び図 3 3 に示す。

【0255】

図 3 2 （A）は E L ディスプレイであり、筐体 3 2 0 1、支持台 3 2 0 2、表示部 3 2 0 3 等を含む。本発明は表示部 3 2 0 3 に用いることができる。E L ディスプレイは自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。

【0256】

図 3 2 （B）はビデオカメラであり、本体 3 2 1 1、表示部 3 2 1 2、音声入力部 3 2 1 3、操作スイッチ 3 2 1 4、バッテリー 3 2 1 5、受像部 3 2 1 6 等を含む。本発明の E L ディスプレイは表示部 3 2 1 2 に用いることができる。

【0257】

図 3 2 （C）はヘッドマウント E L ディスプレイの一部（右片側）であり、本体 3 2 2 1、信号ケーブル 3 2 2 2、頭部固定バンド 3 2 2 3、表示部 3 2 2 4、光学系 3 2 2 5、E L ディスプレイ 3 2 2 6 等を含む。本発明は E L ディスプレイ 3 2 2 6 に用いることができる。

【0258】

図 3 2 （D）は記録媒体を備えた画像再生装置（具体的には DVD 再生装置）であり、本体 3 2 3 1、記録媒体（DVD 等） 3 2 3 2、操作スイッチ 3 2 3 3、表示部（a） 3 2 3 4、表示部（b） 3 2 3 5 等を含む。表示部（a） 3 2 3 4 は主として画像情報を表示し、表示部（b） 3 2 3 5 は主として文字情報を表示するが、本発明の E L ディスプレイはこれら表示部（a） 3 2 3 4、表示部（b） 3 2 3 5 に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0259】

図 3 2 （E）はゴーグル型表示装置（ヘッドマウントディスプレイ）であり、本体 3 2 4 1、表示部 3 2 4 2、アーム部 3 2 4 3 を含む。本発明の E L ディスプレイは表示部 3 2 4 2 に用いることができる。

【0260】

図 3 2 （F）はパーソナルコンピュータであり、本体 3 2 5 1、筐体 3 2 5 2、表示部 3 2 5 3、キーボード 3 2 5 4 等を含む。本発明の E L ディスプレイは表示部 3 2 5 3 に用いることができる。

【0261】

なお、将来的にEL材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型あるいはリア型のプロジェクターに用いることも可能となる。

【0262】

また、上記電子機器はインターネットやCATV（ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。EL材料の応答速度は非常に高いため、ELディスプレイは動画表示に好ましい。

【0263】

また、ELディスプレイは発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部にELディスプレイを用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0264】

図33（A）は携帯電話であり、本体3301、音声出力部3302、音声入力部3303、表示部3304、操作スイッチ3305、アンテナ3306を含む。本発明のELディスプレイは表示部3304に用いることができる。なお、表示部3304は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

【0265】

図33（B）は音響再生装置、具体的にはカーオーディオであり、本体3311、表示部3312、操作スイッチ3313、3314を含む。本発明のELディスプレイは表示部3312に用いることができる。また、本実施例では車載用オーディオを示すが、携帯型や家庭用の音響再生装置に用いても良い。なお、表示部3312は黒色の背景に白色の文字を表示することで消費電力を抑えられる。これは携帯型の音響再生装置において特に有効である。

【0266】

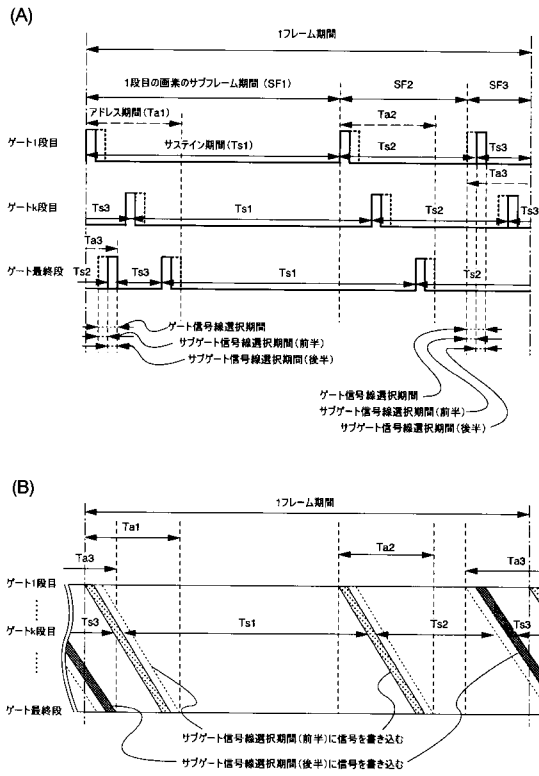
以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例1～16に示したいずれの構成のELディスプレイを用いても良い。

10

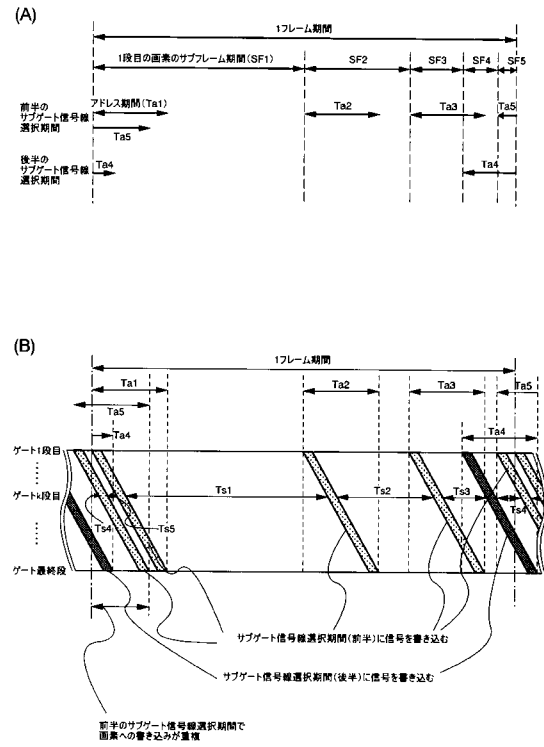
20

30

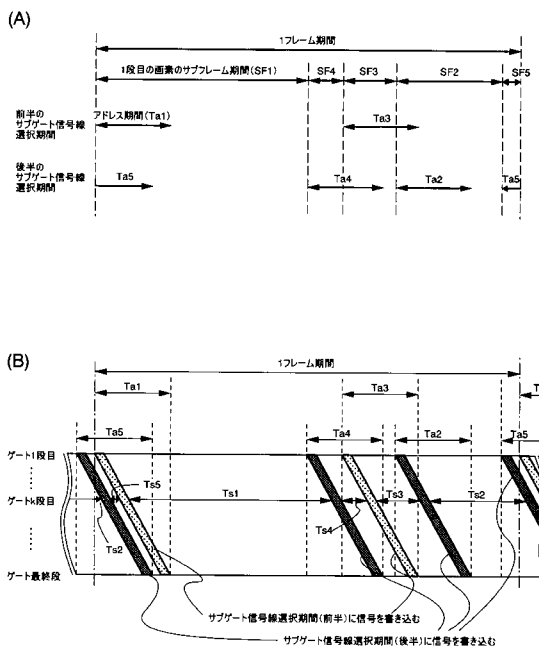
【図 1】



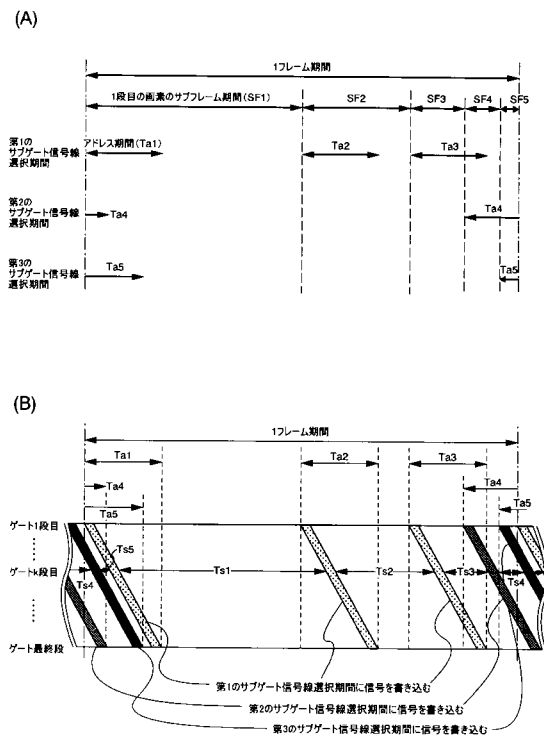
【図 2】



【図 3】

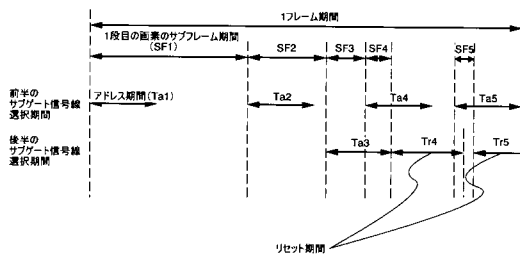


【図 4】

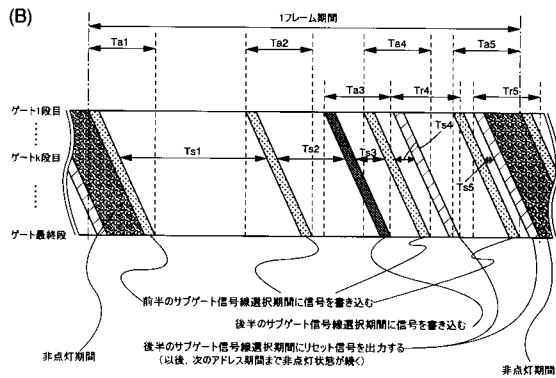


【図 5】

(A)

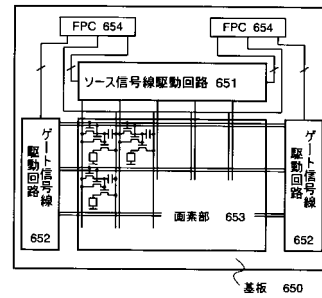


(B)

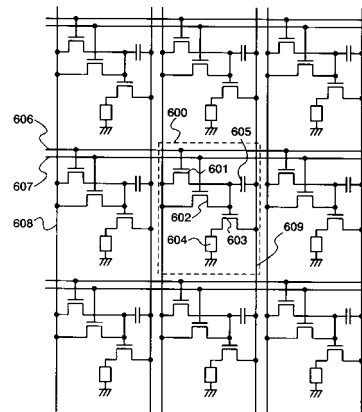


【図 6】

(A)

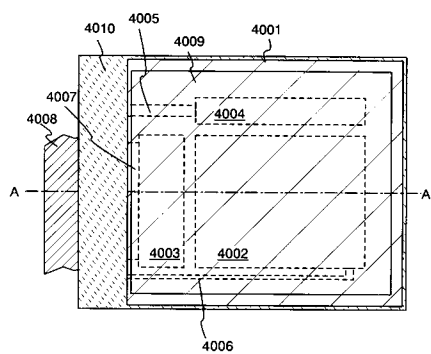


(B)

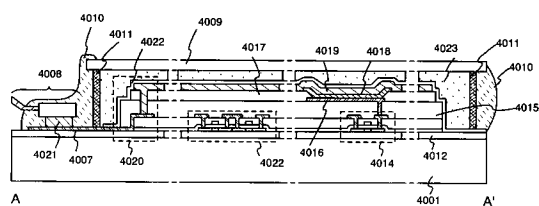


【図 7】

(A)

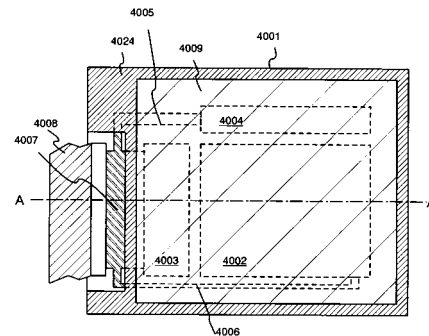


(B)

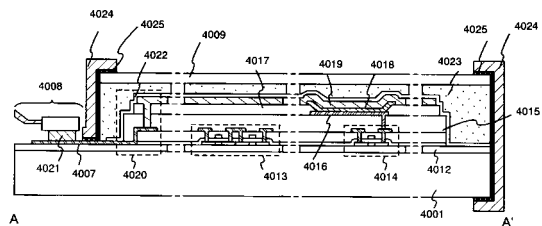


【図 8】

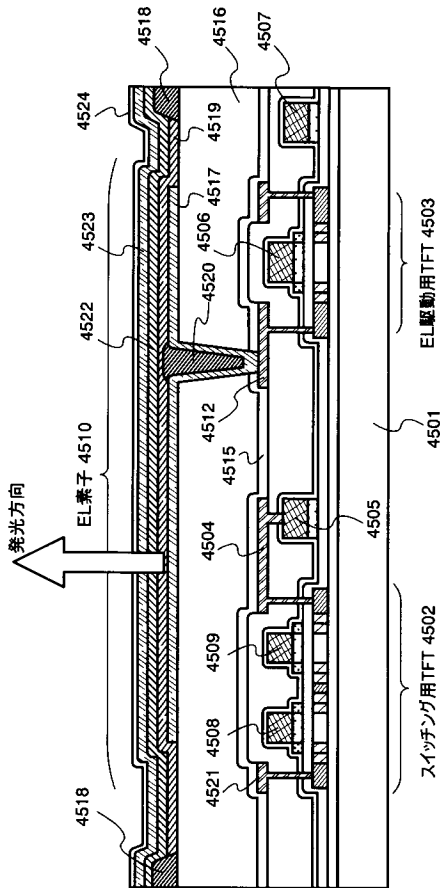
(A)



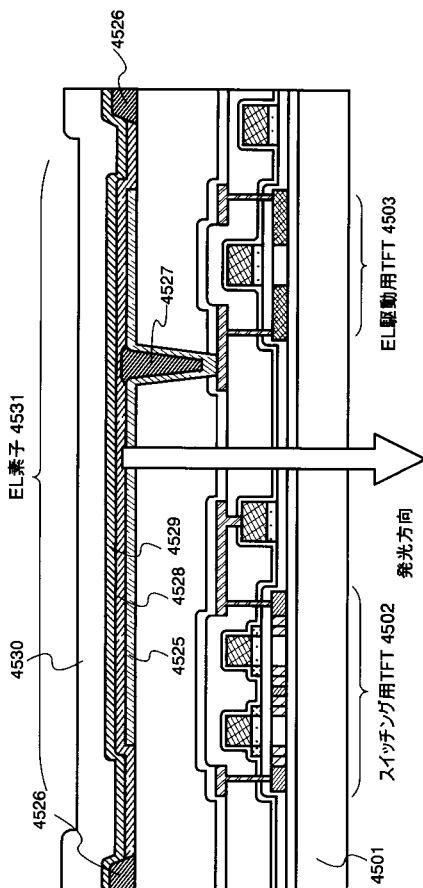
(B)



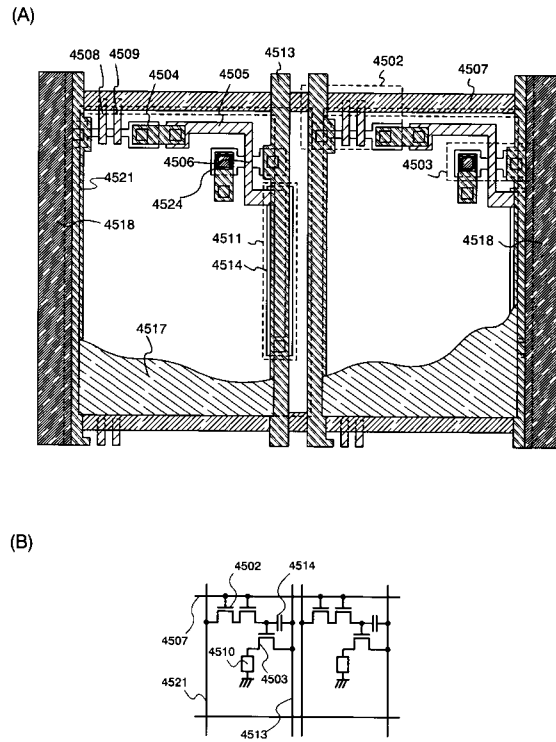
【 図 9 】



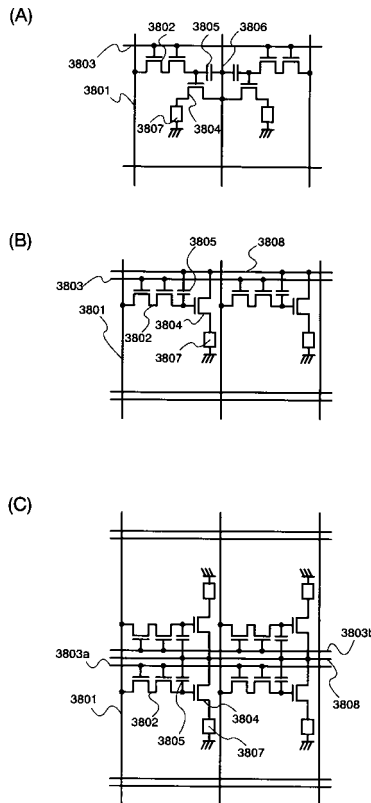
【図 1 1】



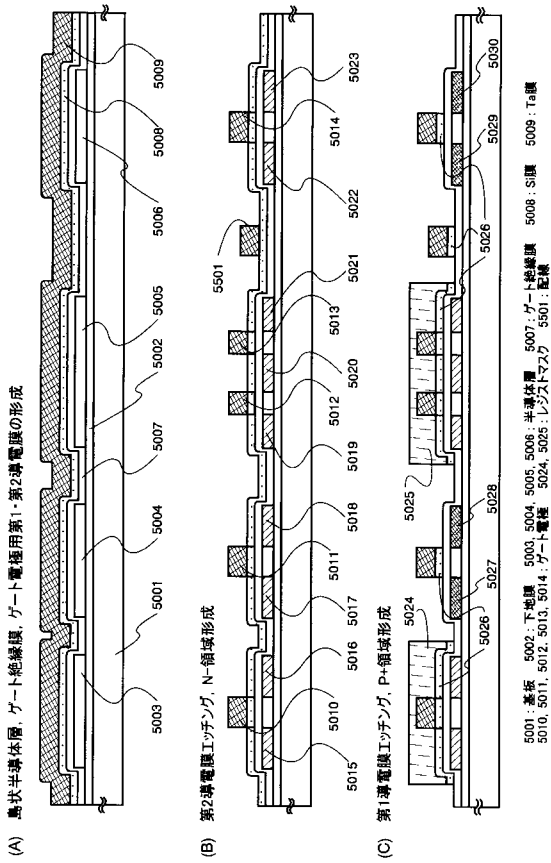
【図 10】



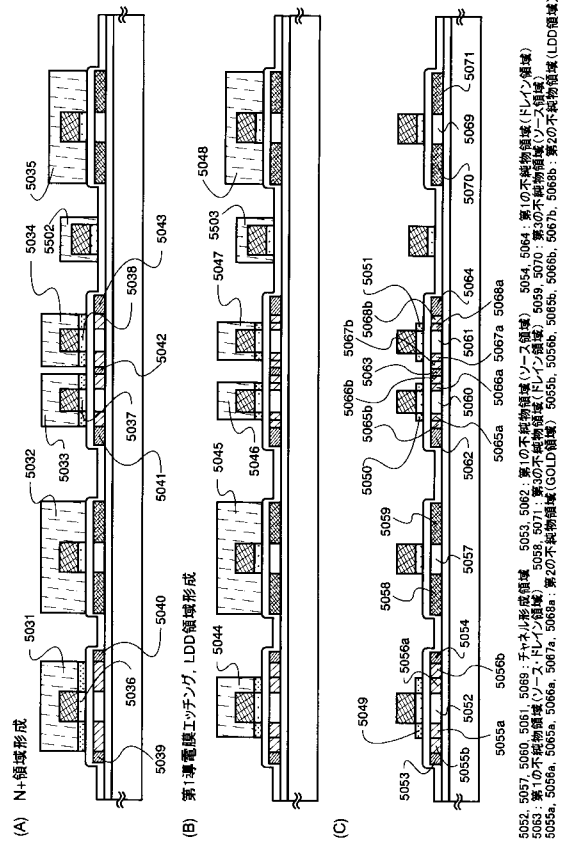
【图 1 2】



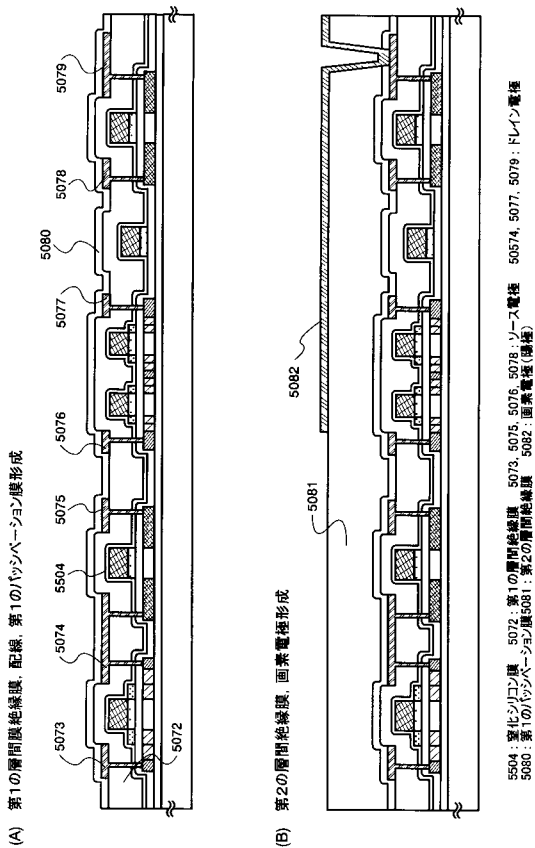
【図 13】



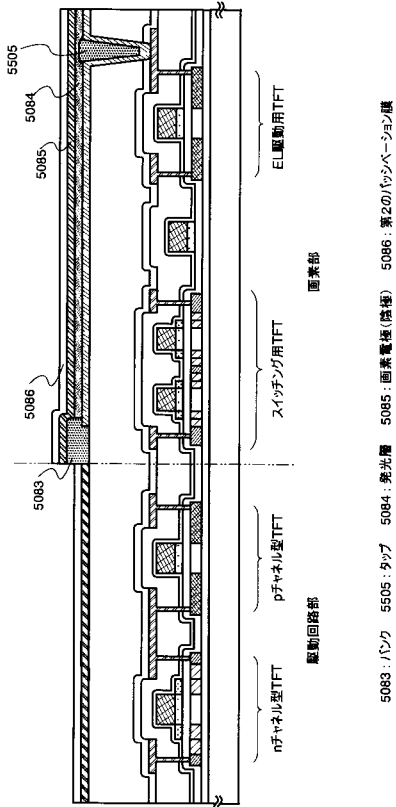
【図 14】



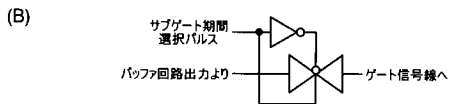
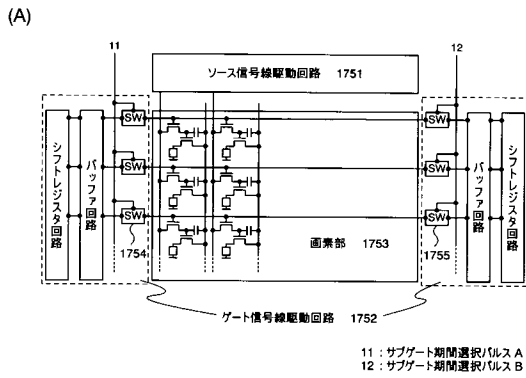
【図 15】



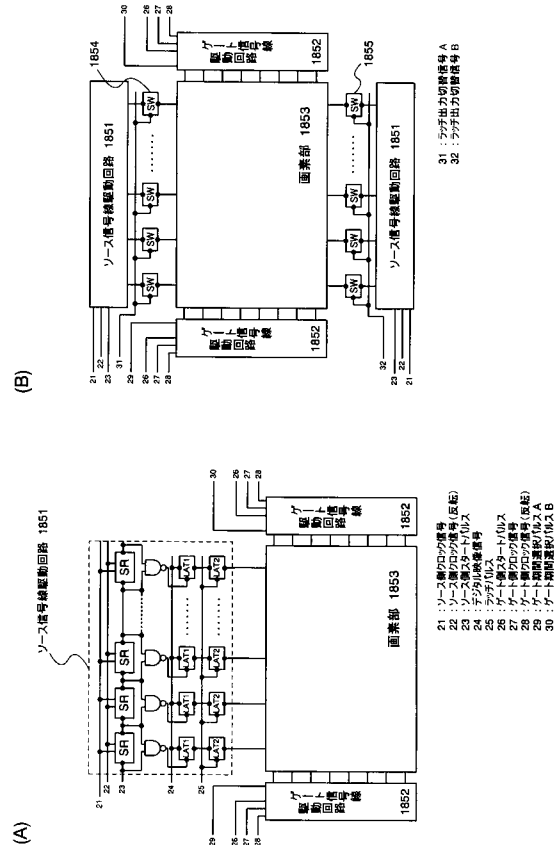
【図 16】



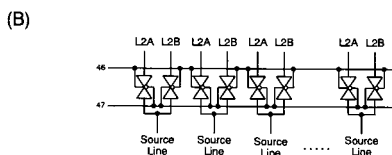
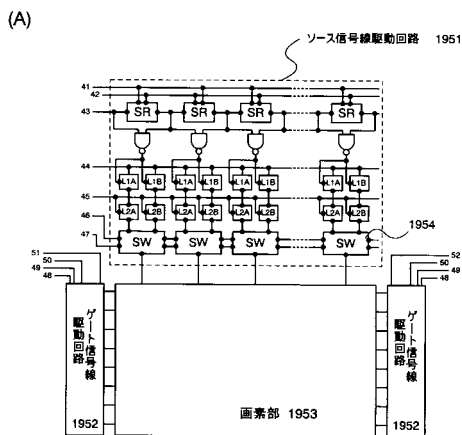
【図 17】



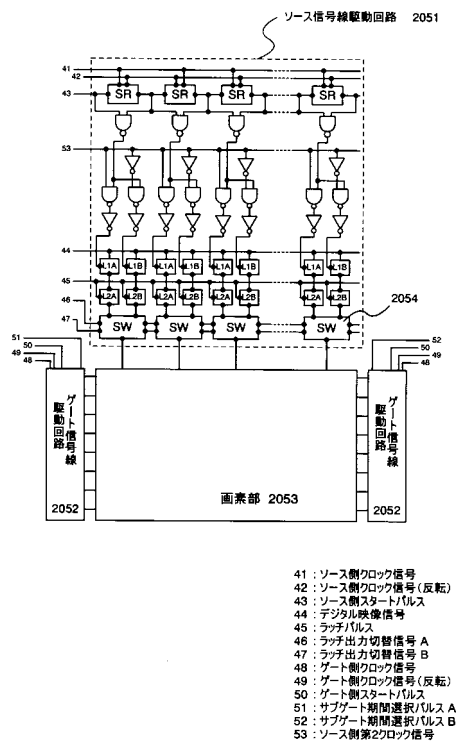
【図 18】



【図 19】

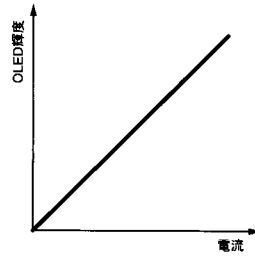


【図 20】

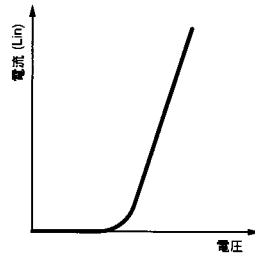


【 図 2 2 】

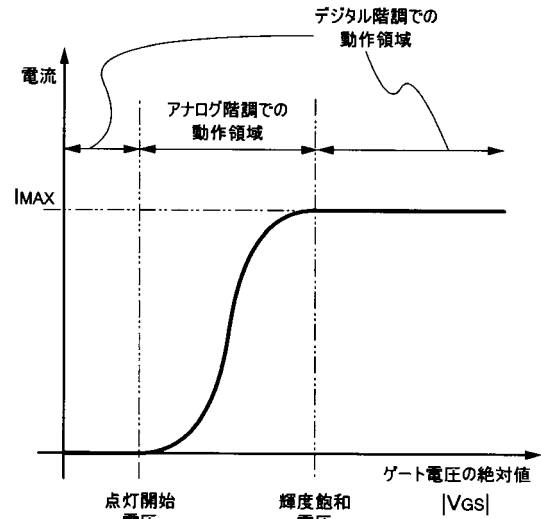
(A)



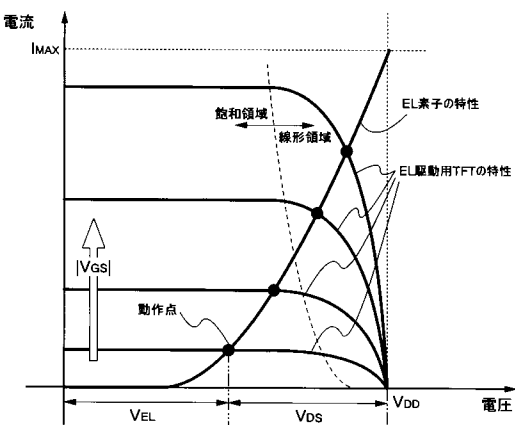
(B)



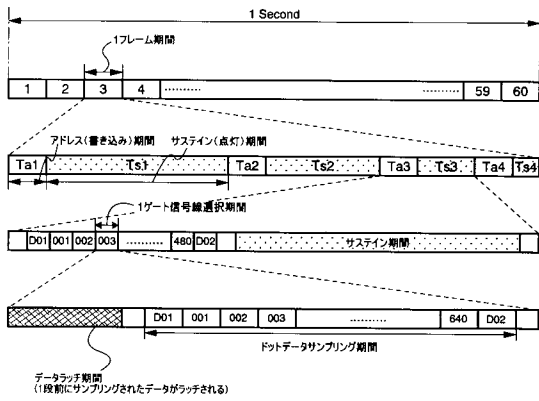
【図 24】



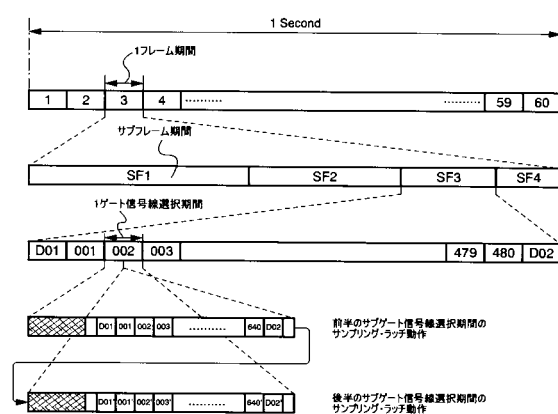
点灯開始 輝度飽和 ゲート電圧の絶対値
電圧 電圧 $|V_{GS}|$



【図 29】

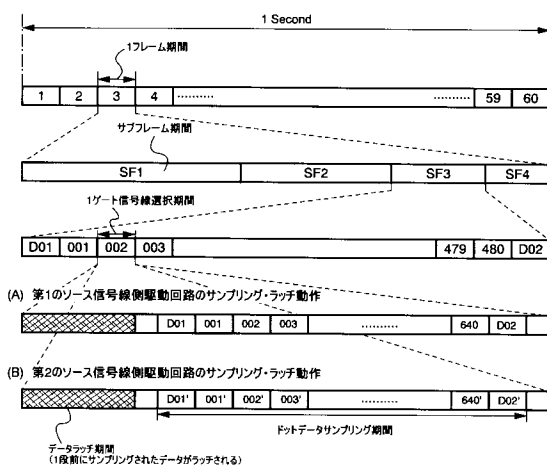


【図 30】



サンプリング・ラッチされたデータは、1段後のサブゲート信号選択期間で画面への書き込みがなされる。

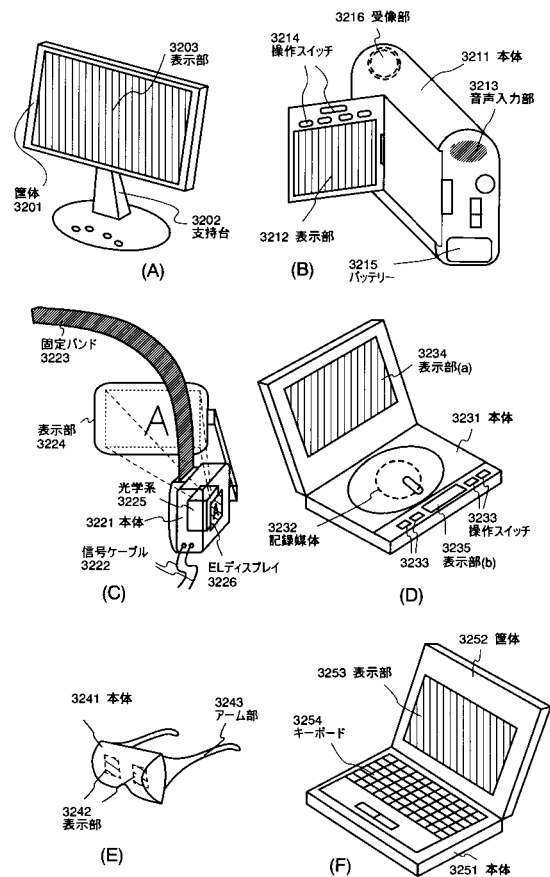
【図 31】



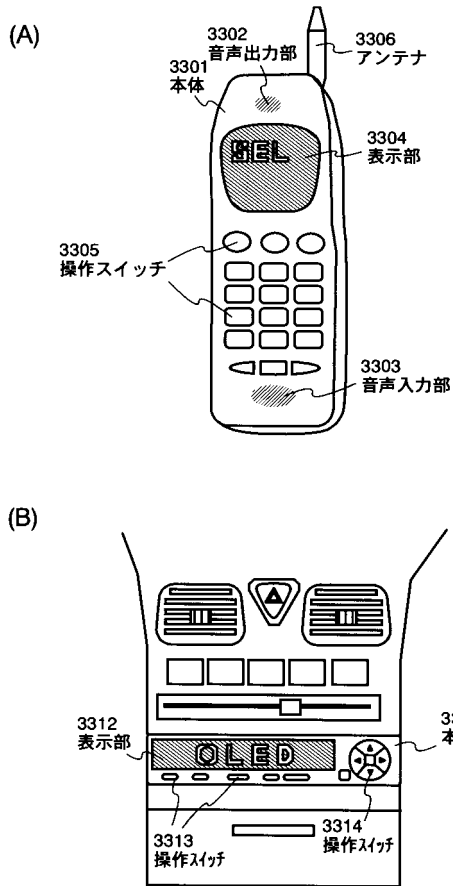
(A)、(B)の動作は2つのソース信号線駆動回路によって並行してなされる。

第1、第2のソース信号線駆動回路によって第2のラッチ回路に保持されたデータ信号は、次のゲート信号選択期間のそれぞれ前半・後半に画面に書き込まれる。

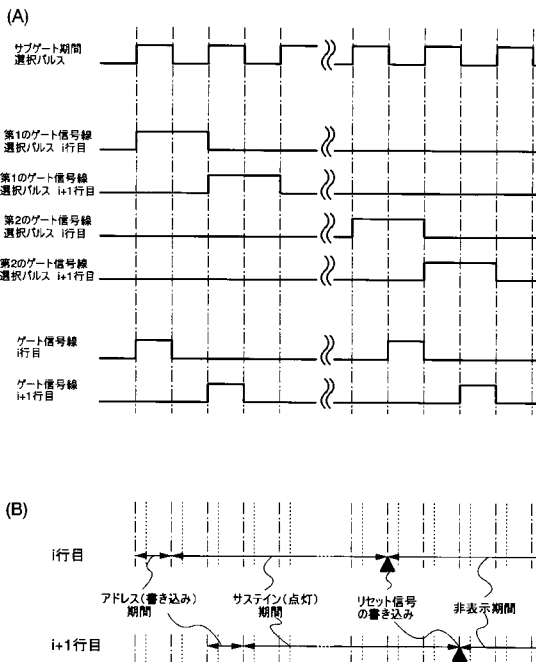
【図 32】



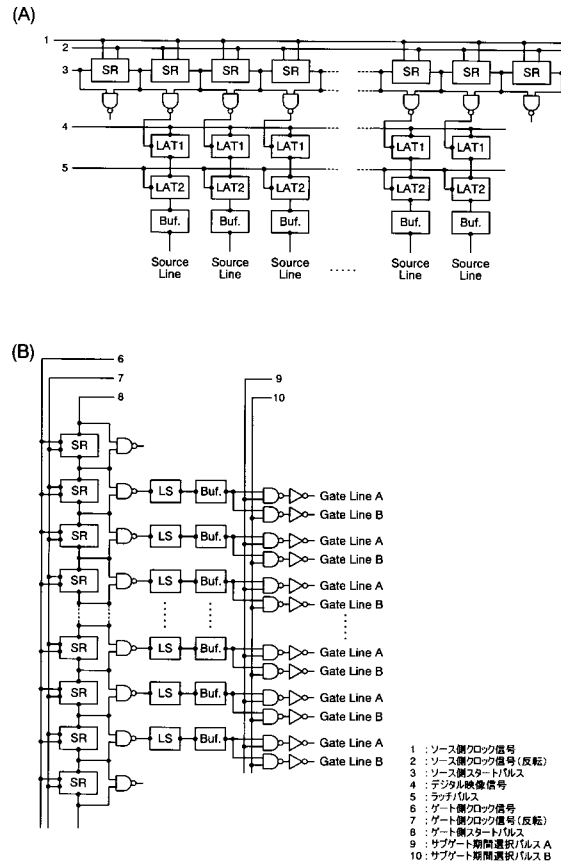
【図 3 3】



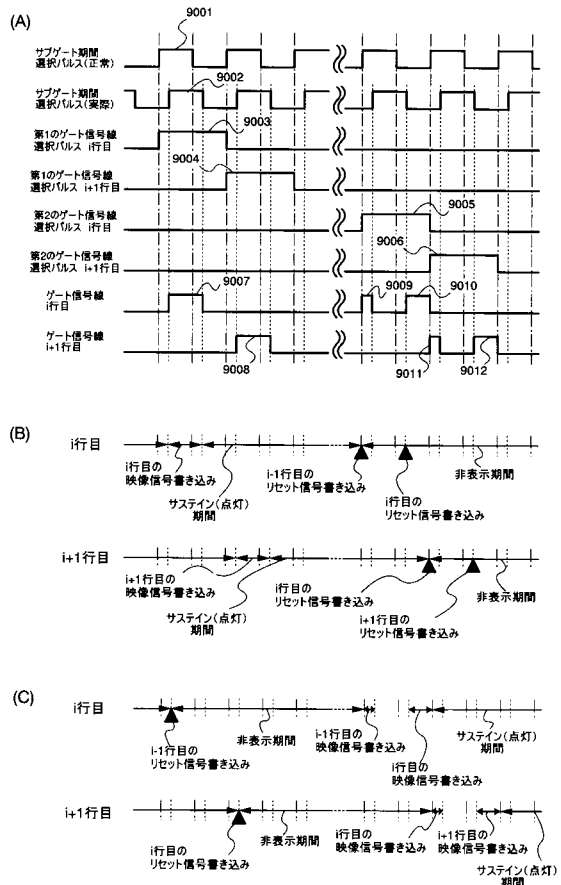
【図 3 5】



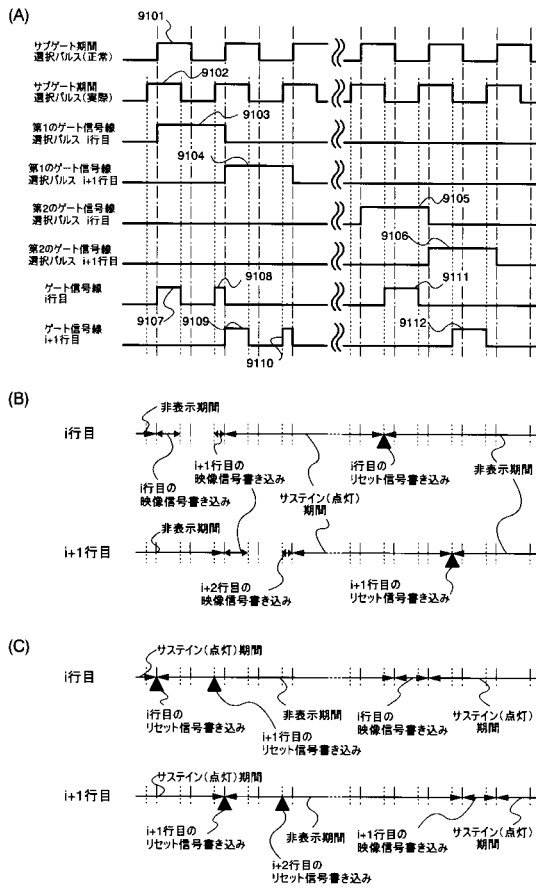
【図 3 4】



【図 3 6】



【図 37】



フロントページの続き

(51)Int.Cl.		F I		テーマコード (参考)
H01L	27/32	(2006.01)	G 0 9 G	3/20 6 8 0 F
			H 0 5 B	33/14 A
			G 0 9 F	9/30 3 3 8
			G 0 9 F	9/30 3 0 9
			G 0 9 F	9/30 3 6 5

专利名称(译)	表示装置及び电子机器		
公开(公告)号	JP2015062182A	公开(公告)日	2015-04-02
申请号	JP2014207021	申请日	2014-10-08
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	木村肇		
发明人	木村 肇		
IPC分类号	H05B33/04 G09G3/30 G09G3/20 H01L51/50 G09F9/30 H01L27/32 G09G3/32		
CPC分类号	G09G3/2018 G09G3/2022 G09G3/3266 G09G3/3275 G09G2300/0426 G09G2300/0814 G09G2300/0842 G09G2300/0861 G09G2310/0205 G09G2310/0251 G09G2310/027 G09G2320/0233		
FI分类号	H05B33/04 G09G3/30.J G09G3/20.624.B G09G3/20.612.B G09G3/20.641.E G09G3/20.680.F H05B33/14.A G09F9/30.338 G09F9/30.309 G09F9/30.365 G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291 H01L27/32		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/BB06 3K107/BB08 3K107/CC23 3K107/EE03 3K107/EE42 3K107/EE55 3K107/FF15 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD20 5C080/DD23 5C080/DD26 5C080/FF03 5C080/FF11 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C094/AA22 5C094/BA03 5C094/BA27 5C094/DA07 5C094/FA02 5C380/AA01 5C380/AB06 5C380/AB11 5C380/AB12 5C380/AB24 5C380/AB34 5C380/AB36 5C380/AB46 5C380/AC04 5C380/AC05 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/AC13 5C380/AC16 5C380/BA01 5C380/BA06 5C380/BA12 5C380/BA34 5C380/CA05 5C380/CA12 5C380/CA49 5C380/CA53 5C380/CB02 5C380/CB06 5C380/CB12 5C380/CB26 5C380/CB27 5C380/CB31 5C380/CC02 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC34 5C380/CC62 5C380/CC63 5C380/CC72 5C380/CC77 5C380/CD012 5C380/CD013 5C380/CF07 5C380/CF09 5C380/CF22 5C380/CF23 5C380/CF32 5C380/CF51 5C380/DA02 5C380/DA06 5C380/DA09 5C380/DA11 5C380/DA16 5C380/DA32 5C380/DA35 5C380/DA47		
优先权	2000067793 2000-03-10 JP		
其他公开文献	JP6018612B2		
外部链接	Espacenet		

摘要(译)

解决的问题：通过密封EL元件来抑制EL层的劣化。在第二基板4009和第一基板4001的内部以包围EL元件部的方式设置有第一密封材料4011，在第一密封材料的外部设有第二密封材料4010。。第二基板的侧面具有与第二密封材料接触的区域和不与第二密封材料接触的区域。[选择图]图7

