

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-18100

(P2015-18100A)

(43) 公開日 平成27年1月29日(2015.1.29)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
H01L 51/50 (2006.01)	G09G 3/20 612E	5C380
	G09G 3/20 670L	
	G09G 3/20 621H	
審査請求 未請求 請求項の数 9 O L (全 33 頁) 最終頁に続く		

(21) 出願番号	特願2013-145162 (P2013-145162)	(71) 出願人	000005821
(22) 出願日	平成25年7月11日 (2013.7.11)		パナソニック株式会社
		(74) 代理人	100109210
			弁理士 新居 広守
		(74) 代理人	100137235
			弁理士 寺谷 英作
		(74) 代理人	100131417
			弁理士 道坂 伸一
		(72) 発明者	中川 博文
			大阪府門真市大字門真1006番地 パナソニック株式会社内
		(72) 発明者	高原 博司
			大阪府門真市大字門真1006番地 パナソニック株式会社内
		最終頁に続く	

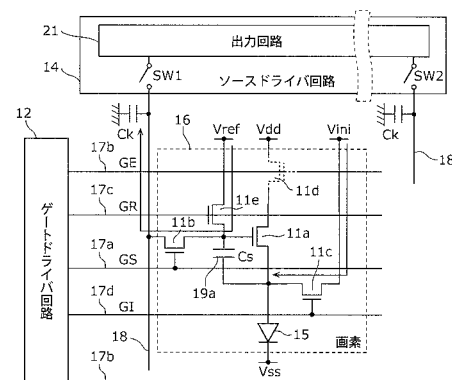
(54) 【発明の名称】 E L表示装置およびE L表示装置の駆動方法

(57) 【要約】

【課題】パネルが大型化、高精細化されてもソースドライバICの発熱問題が発生せず、良好に画素に映像信号を書き込み、良好な画像表示を実現する。

【解決手段】ソース信号線18と、ゲート信号線17aとゲート信号線17bを具備し、画素16は、駆動用トランジスタ11aと、スイッチ用トランジスタ11bと、スイッチ用トランジスタ11dとを有し、スイッチ用トランジスタ11bのゲート端子は、ゲート信号線17aに接続されており、第1の期間に、スイッチ用トランジスタ11bがオンし、スイッチ用トランジスタ11dがオンすることにより、第1の電圧がソース信号線18に供給され、第2の期間に、スイッチ用トランジスタ11bがオフし、ゲート信号線17bにスイッチ用トランジスタ11dがオンすることにより、映像信号が駆動用トランジスタ11aのゲート端子に印加される。

【選択図】図3



【特許請求の範囲】

【請求項 1】

画素がマトリックス状に配置された表示画面を有するアクティブマトリックス型 E L 表示装置であって、

ソースドライバ回路が出力する映像信号を伝達するソース信号線と、

前記画素を選択する選択電圧、または前記画素を非選択にする非選択電圧を伝達する第 1 のゲート信号線と第 2 のゲート信号線を具備し、

前記画素は、

画素電極と、

前記画素電極とカソード電極間に形成された E L 素子と、

前記 E L 素子に電流を供給する駆動用トランジスタと、

前記駆動用トランジスタのゲート端子に第 1 の電圧を印加する第 1 のスイッチ用トランジスタと、

前記映像信号を前記駆動用トランジスタのゲート端子に印加する第 2 のスイッチ用トランジスタとを有し、

前記第 1 のスイッチ用トランジスタのゲート端子は、前記第 1 のゲート信号線に接続されており、

前記第 2 のスイッチ用トランジスタのゲート端子は、前記第 2 のゲート信号線に接続されており、

第 1 の期間に、前記第 1 のゲート信号線に選択電圧が印加されて前記第 1 のスイッチ用トランジスタがオンし、前記第 2 のゲート信号線に選択電圧が印加されて前記第 2 のスイッチ用トランジスタがオンすることにより、前記第 1 の電圧が前記ソース信号線に供給され、

第 2 の期間に、前記第 1 のゲート信号線に非選択電圧が印加されて前記第 1 のスイッチ用トランジスタがオフし、前記第 2 のゲート信号線に選択電圧が印加されて前記第 2 のスイッチ用トランジスタがオンすることにより、前記映像信号が前記駆動用トランジスタのゲート端子に印加される

E L 表示装置。

【請求項 2】

前記駆動用トランジスタのゲート端子と他の端子間にコンデンサが接続され、前記駆動用トランジスタは、N チャンネルトランジスタである

請求項 1 記載の E L 表示装置。

【請求項 3】

前記第 1 の電圧は、前記映像信号の最小階調の電圧値と、前記映像信号の最大階調の電圧値との範囲内の電圧値である

請求項 1 記載の E L 表示装置。

【請求項 4】

前記第 1 の期間に前記第 1 の電圧が前記ソース信号線に印加され、前記第 1 の期間後の前記第 2 の期間に、前記ソースドライバ回路が出力する前記映像信号が前記ソース信号線に印加される

請求項 1 記載の E L 表示装置。

【請求項 5】

前記映像信号の最大階調の電圧を V_M 、前記映像信号の最小階調の電圧を V_0 とした時、

前記第 1 の電圧は、 $|((V_M - V_0) / 4)| < V_{ref} < |3(V_M - V_0) / 4|$ なる関係があることを満足する

請求項 1 記載の E L 表示装置。

【請求項 6】

前記表示画面以外の領域に、第 1 の画素が配置され、

前記第 1 の画素に前記第 1 の電圧を、前記ソース信号線に印加する第 3 のスイッチ用ト

10

20

30

40

50

ランジスタが形成されている
請求項 1 記載の E L 表示装置。

【請求項 7】

画素がマトリックス状に配置された表示画面を有するアクティブマトリックス型 E L 表示装置の駆動方法であって、

前記画素には、第 1 のスイッチ用トランジスタと、第 2 のスイッチ用トランジスタと、駆動用トランジスタとが配置され、

前記第 1 のスイッチ用トランジスタの第 1 の端子に、前記第 1 の電圧が印加され、

前記第 2 のスイッチ用トランジスタの第 1 の端子に、前記ソース信号線が接続され、

前記第 1 のスイッチ用トランジスタの第 2 の端子と、前記第 2 のスイッチ用トランジスタの第 2 の端子とが電氣的に接続され、

第 1 の期間に、前記第 1 のスイッチ用トランジスタと前記第 2 のスイッチ用トランジスタがオンすることにより、前記第 1 の電圧が前記ソース信号線に供給され、

第 2 の期間に、前記第 1 のスイッチ用トランジスタがオフし、前記第 2 のスイッチ用トランジスタがオンすることにより、映像信号が前記駆動用トランジスタに印加される
E L 表示装置の駆動方法。

【請求項 8】

前記第 1 の電圧は、前記映像信号の最小階調の電圧値と、前記映像信号の最大階調の電圧値との範囲内の電圧値である

請求項 7 記載の E L 表示装置の駆動方法。

【請求項 9】

前記映像信号の最大階調の電圧を V_M 、前記映像信号の最小階調の電圧を V_0 とした時、前記第 1 の電圧は、 $| ((V_M - V_0) / 4) | < V_{ref} < | 3 (V_M - V_0) / 4 |$ なる関係があることを満足する

請求項 7 記載の E L 表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、有機エレクトロルミネッセンス (Organic Electro-Luminescence。以下、EL、またはOLEDと呼ぶことがある。) 素子などを有する表示パネルの駆動方法、モニター画像、テレビ画像などを表示する映像表示方法および表示装置に関するものである。

【背景技術】

【0002】

特許文献 1 は、有機 EL 素子をマトリックス状に備えたアクティブマトリックス (Active-Matrix、以下、AMと略する場合がある) 型有機 EL 表示装置のソースドライバ IC の駆動能力を補助するため、ソース信号線にプリチャージ用のトランジスタを配置する構成を開示する。これにより、回路構成や配線のレイアウトを複雑化させることなく、駆動 TFT のしきい値電圧補償を実施すること、ならびに、クロストークによる駆動用トランジスタのゲート電位の変動を効果的に防止することができる。

【0003】

また、特許文献 2 は、隣接したソース信号線間をスイッチで短絡することにより、チャージ (電荷) シェアを行い、ソースドライバ IC (回路) 14 の駆動を補助する構成を開示する。これにより、電荷のチャージシェアリング駆動時に発生する EMI (Electro Magnetic Interference) を低減することができる。

【0004】

したがって、ソースドライバ IC (回路) に必要な駆動能力を高くすることができる。

【先行技術文献】

【特許文献】

【0005】

10

20

30

40

50

【特許文献 1】特開 2 0 0 8 - 3 9 8 9 3 号公報

【特許文献 2】特開 2 0 1 0 - 1 6 4 6 6 6 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 6 】

本開示は、パネルが大型化、高精細化されてもソースドライバ IC の発熱問題が発生せず、良好に画素に映像信号を書き込め、良好な画像表示を実現できる EL 表示装置及び EL 表示装置の駆動方法を提供することを目的とする。

【課題を解決するための手段】

【 0 0 0 7 】

10

本開示の一態様に係る EL 表示装置は、画素がマトリックス状に配置された表示画面を有するアクティブマトリックス型 EL 表示装置であって、ソースドライバ回路が出力する映像信号を伝達するソース信号線と、前記画素を選択する選択電圧、または前記画素を非選択にする非選択電圧を伝達する第 1 のゲート信号線と第 2 のゲート信号線を具備し、前記画素は、画素電極と、前記画素電極とカソード電極間に形成された EL 素子と、前記 EL 素子に電流を供給する駆動用トランジスタと、前記駆動用トランジスタのゲート端子に第 1 の電圧を印加する第 1 のスイッチ用トランジスタと、前記映像信号を前記駆動用トランジスタのゲート端子に印加する第 2 のスイッチ用トランジスタとを有し、前記第 1 のスイッチ用トランジスタのゲート端子は、前記第 1 のゲート信号線に接続されており、前記第 2 のスイッチ用トランジスタのゲート端子は、前記第 2 のゲート信号線に接続されており、第 1 の期間に、前記第 1 のゲート信号線に選択電圧が印加されて前記第 1 のスイッチ用トランジスタがオンし、前記第 2 のゲート信号線に選択電圧が印加されて前記第 2 のスイッチ用トランジスタがオンすることにより、前記第 1 の電圧が前記ソース信号線に供給され、第 2 の期間に、前記第 1 のゲート信号線に非選択電圧が印加されて前記第 1 のスイッチ用トランジスタがオフし、前記第 2 のゲート信号線に選択電圧が印加されて前記第 2 のスイッチ用トランジスタがオンすることにより、前記映像信号が前記駆動用トランジスタのゲート端子に印加される。

20

【発明の効果】

【 0 0 0 8 】

本開示によれば、パネルが大型化、高精細化されてもソースドライバ IC の発熱問題が発生せず、良好に画素に映像信号を書き込め、良好な画像表示を実現する。

30

【図面の簡単な説明】

【 0 0 0 9 】

【図 1】本開示の実施の形態 1 に係る EL 表示装置の表示画面説明図である。

【図 2】本開示の実施の形態 1 に係る EL 表示装置の画素構成の説明図である。

【図 3】本開示の実施の形態 1 に係る EL 表示装置の画素の動作の説明図である。

【図 4】本開示の実施の形態 1 に係る EL 表示装置の画素の動作の説明図である。

【図 5】本開示の実施の形態 1 に係る EL 表示装置の画素の動作の説明図である。

【図 6】本開示の実施の形態 1 に係る EL 表示装置の画素の動作の説明図である。

【図 7】本開示の実施の形態 1 に係る EL 表示装置の画素の動作の説明図である。

40

【図 8】本開示の実施の形態 1 に係る EL 表示装置のタイミングチャートである。

【図 9】本開示の実施の形態 1 に係る EL 表示装置のタイミングチャートである。

【図 10】本開示の実施の形態 1 に係る EL 表示装置のタイミングチャートである。

【図 11】本開示の実施の形態 1 に係る EL 表示装置のソース信号線の充電状態を示す図である。

【図 12】本開示の実施の形態 1 の変形例に係る EL 表示装置の駆動方法の説明図である。

。

【図 13】本開示の実施の形態 2 に係る EL 表示装置の駆動方法の説明図である。

【図 14】本開示の実施の形態 2 に係る EL 表示装置のタイミングチャートである。

【図 15】本開示の実施の形態 3 に係る EL 表示装置の構成図である。

50

【図 1 6】本開示の実施の形態 3 に係る E L 表示装置の画素の動作の説明図である。

【図 1 7】本開示の実施の形態 3 に係る E L 表示装置の画素の動作の説明図である。

【図 1 8】本開示の実施の形態 3 に係る E L 表示装置の画素の動作の説明図である。

【図 1 9】本開示の実施の形態 3 に係る E L 表示装置の画素の動作の説明図である。

【図 2 0】本開示の E L 表示装置を採用したディスプレイである。

【図 2 1】本発明の E L 表示装置を採用したデジタルカメラである。

【図 2 2】本開示の E L 表示装置を採用したノート型パーソナルコンピュータである。

【発明を実施するための形態】

【0010】

以下、適宜図面を参照しながら、実施の形態を詳細に説明する。但し、必要以上に詳細な説明は省略する場合がある。例えば、既によく知られた事項の詳細説明や実質的に同一の構成に対する重複説明を省略する場合がある。これは、以下の説明が不必要に冗長になるのを避け、当業者の理解を容易にするためである。

10

【0011】

なお、発明者らは、当業者が本開示を十分に理解するために添付図面および以下の説明を提供するものであって、これらによって請求の範囲に記載の主題を限定することを意図するものではない。

【0012】

(本開示の基礎となった知見)

以下、本開示の詳細を説明する前に、本開示の基礎となった知見について説明する。

20

【0013】

有機 E L 素子をマトリックス状に備えたアクティブマトリックス (Active-Matrix、以下、AM と略する場合がある) 型有機 E L 表示装置がスマートフォンなどの表示パネルに採用され、商品化されている。E L 素子は、アノード電極およびカソード電極間に E L 層が形成されている。E L 素子は、アノード、カソード電極 (端子) に供給された電流あるいは電圧により発光する。

【0014】

有機 E L 表示パネル (OLED) を、大型化することにより、動画表示性能、色再現性がよく、高画質のモニターテレビ、映像表示テレビを構成することができる。

【0015】

30

表示パネルが大型になるにつれ、ソース信号線 18 の負荷容量、配線抵抗が大きくなる。そのため、ソースドライバ IC (回路) 14 に必要な駆動能力を高くする必要がある。

【0016】

例えば、特許文献 1 では、ソースドライバ IC の駆動能力を補助するため、ソース信号線にプリチャージ用のトランジスタを配置する構成が開示されている (特許文献 1 参照)。

【0017】

また、隣接したソース信号線間をスイッチで短絡することにより、チャージ (電荷) シェアを行い、ソースドライバ IC (回路) 14 の駆動を補助する構成が開示されている (特許文献 2 参照)。

40

【0018】

有機 E L 表示パネル (OLED) を、大型化することにより、動画表示性能、色再現性がよく、高画質のモニターテレビ、映像表示テレビを構成することができる。

【0019】

しかし、E L 表示パネルが大型化、高精細化されると、パネルの信号線の負荷容量が大きくなる。また、1 画素行を選択する期間 (画素行への映像書き込み時間) が短くなる。そのため、ソースドライバ IC の駆動負荷が大きくなり、ソースドライバ IC が発熱し、ソースドライバ IC が焼損したり、ドライバ IC が発熱したりすることにより、表示領域の E L 素子が劣化するという課題があった。

【0020】

50

以下、パネルが大型化、高精細化されてもソースドライバＩＣの発熱問題が発生せず、良好に画素に映像信号を書き込み、良好な画像表示を実現できるＥＬ表示装置及びＥＬ表示装置の駆動方法について説明する。

【００２１】

（実施の形態１）

以下、図１～図１１を用いて、実施の形態１に係るＥＬ表示装置について説明する。

【００２２】

〔１－１．ＥＬ表示装置の構成〕

本開示において、各図面は理解を容易にするために、また、作図を容易にするために、省略、拡大あるいは縮小した箇所がある。

10

【００２３】

本開示の実施の形態に図示あるいは明細書で説明した事項あるいは内容は、他の実施の形態においても適用される。また、本開示の実施の形態で説明あるいは図示したＥＬ表示パネルの構成などは、本開示のＥＬ表示装置に採用できる。たとえば、図２２のノート型パーソナルコンピュータのＥＬ表示装置２０１として、本開示の実施の形態で図示した、あるいは説明したＥＬ表示装置（ＥＬ表示パネル）を採用できる。また、情報機器を構成することができることは言うまでもない。

【００２４】

同一番号または、記号等を付した箇所は、同一もしくは類似の形態もしくは材料あるいは機能もしくは動作、あるいは関連する事項、作用などを有する。なお、異なる場合もある。

20

【００２５】

各図面等で説明した内容は特に断りがなくとも、他の実施の形態等と組み合わせることができる。たとえば、図１の本開示のＥＬ表示パネルにタッチパネルなどを付加し、図２０、図２１、図２２に図示する情報表示装置などを構成することができる。

【００２６】

本開示のＥＬ表示装置とは、情報機器などのシステム機器を含む概念である。ＥＬ表示パネルの概念は、広義には情報機器などのシステム機器を含む。

【００２７】

図１は、本開示のＥＬ表示装置の構成図であり、図２はＥＬ表示装置の画素構成の説明図である。

30

【００２８】

図１において、表示画面（表示領域）２０には、画素１６がマトリックス状に配置されている。各画素には４本のゲート信号線１７（１７ａ、１７ｂ、１７ｃ、１７ｄ）が接続されている。

【００２９】

なお、ゲート信号線１７ａはゲート信号線ＧＳと表現することがあり、ゲート信号線１７ｂはゲート信号線ＧＥと表現することがある。また、ゲート信号線１７ｃはゲート信号線ＧＲと表現することがあり、ゲート信号線１７ｄはゲート信号線ＧＩと表現することがある。

40

【００３０】

ゲート信号線１７ａ及び１７ｂは、それぞれゲートドライバＩＣ（回路）１２ａ及び１２ｂの両方に接続されている（両側駆動）。１つのゲート信号線１７ａ及び１７ｂには、各ゲート信号線１７ａ及び１７ｂの両側に接続されたゲートドライバＩＣ（回路）１２ａ及び１２ｂにより同一の電圧が印加される。なお、ゲート信号線１７ａ及び１７ｂは、それぞれ本実施の形態に係る第１のゲート信号線及び第２のゲート信号線に相当する。

【００３１】

ゲート信号線１７ｃ及び１７ｄは、ゲートドライバＩＣ（回路）１２ａのみに接続されている（片側駆動）。１つのゲート信号線１７ｃ及び１７ｄには、各ゲート信号線１７ｃ及び１７ｄの片側に接続されたゲートドライバＩＣ（回路）１２ａにより電圧が印加され

50

る。

【0032】

スイッチ用トランジスタ11b及び11dのゲートは、それぞれゲート信号線17a及び17bに接続されている。スイッチ用トランジスタ11b及び11dは、高速動作が必要であるため、両側駆動を実施することより高速にゲート信号線17a及び17bに電圧（オン電圧、オフ電圧）を印加し、電位変化を行うことができる。したがって、見かけ上、ゲート信号線17a及び17bの時定数を短くできる。スイッチ用トランジスタ11bのゲート端子が接続されたゲート信号線17a、スイッチ用トランジスタ11dのゲート端子が接続されたゲート信号線17bを、ゲートドライバIC（回路）12a及び12bで両側駆動する。なお、スイッチ用トランジスタ11b及び11dは、それぞれ本実施の形態に係る第1のスイッチ用トランジスタ及び第2のスイッチ用トランジスタに相当する。

10

【0033】

スイッチ用トランジスタ11e及び11cは、あまり高速動作を必要としない。したがって、片側駆動で十分である。スイッチ用トランジスタ11eのゲート端子が接続されたゲート信号線17c、スイッチ用トランジスタ11cのゲート端子が接続されたゲート信号線17dは、ゲートドライバIC（回路）12aで駆動する。

【0034】

ソースドライバIC（回路）14は、映像信号を発生し、ソースドライバIC（回路）14の内部に形成された出力回路21から、映像信号をソース信号線18に印加する。ソース信号線18に印加された映像信号は、各画素16のスイッチ用トランジスタ11bにより、画素16に書き込まれる。

20

【0035】

なお、本開示では、駆動用トランジスタ11aおよびスイッチ用トランジスタ11b、11c、11d、11eは、薄膜トランジスタとして説明するが、これに限定するものではない。薄膜ダイオード（TFD）、リングダイオードなどでも構成することができる。

【0036】

トランジスタ11（駆動用トランジスタ11a、スイッチ用トランジスタ11b、11c、11d、11e）は、薄膜素子に限定するものではなく、シリコンウエハに形成したトランジスタでもよい。たとえば、シリコンウエハでトランジスタを構成し、剥がしてガラス基板に転写したものが例示される。また、シリコンウエハでトランジスタチップ（ドライバ回路など）を形成し、ガラス基板のボンディング実装した表示パネルが例示される。

30

【0037】

トランジスタ11（駆動用トランジスタ11a、スイッチ用トランジスタ11b、11c、11d、11e）は、もちろん、FET、MOS-FET、MOSトランジスタ、バイポーラトランジスタ、MISでもよい。これらも基本的に薄膜トランジスタである。その他、バリスタ、サイリスタ、リングダイオード、ホトダオード、ホトトランジスタ、PLZT素子などでもよいことは言うまでもない。

【0038】

本開示のトランジスタ11（駆動用トランジスタ11a、スイッチ用トランジスタ11b、11c、11d、11e）は、Nチャンネル、Pチャンネルのトランジスタとも、LDD（Lightly Doped Drain）構造を採用することが好ましい。

40

【0039】

トランジスタ11（駆動用トランジスタ11a、スイッチ用トランジスタ11b、11c、11d、11e）は、高温ポリシリコン（HTPS：High-temperature polycrystalline silicon）、低温ポリシリコン（LTPS：Low-temperature polysilicon）、連続粒界シリコン（CGS：Continuous grain silicon）、透明アモルファス酸化物半導体（TAOS：Transparent Amorphous Oxide S

50

emiconductors、IZO)、アモルファスシリコン(AS:amorphous silicon)、赤外線RTA(RTA:rapid thermal annealing)で形成したもののうち、いずれでもよい。

【0040】

図2では、画素16を構成するすべてのトランジスタ11(駆動用トランジスタ11a、スイッチ用トランジスタ11b、11c、11d、11e)はNチャンネルで構成している。しかし、本開示は、画素のトランジスタ(駆動用トランジスタ11a、スイッチ用トランジスタ11b、11c、11d、11e)をNチャンネルで構成することのみに限定するものではない。Pチャンネルのトランジスタのみで構成してもよい。また、NチャンネルとPチャンネルの両方を用いて画素回路を構成あるいは形成してもよい。また、駆動用トランジスタ11aをPチャンネルトランジスタとNチャンネルトランジスタの両方を用いて構成あるいは形成してもよい。

10

【0041】

トランジスタ11(駆動用トランジスタ11a、スイッチ用トランジスタ11b、11c、11d、11e)はトップゲート構造にすることが好ましい。トップゲート構造にすることにより寄生容量が低減する。また、トップゲートのゲート電極パターンが、遮光層となり、EL素子15から出射された光を遮光層で遮断し、トランジスタの誤動作、オフリーク電流を低減できるからである。また、LDD構造を採用することが好ましい。

【0042】

また、各スイッチ用トランジスタ11(スイッチ用トランジスタ11b、11c、11d、11e)は、複数のトランジスタで形成してもよい。各スイッチ用トランジスタ11b、11c、11d、11eをダブルゲート、トリプルゲートなどのマルチゲート構成にする。マルチゲート構成にすることにより、オフリークが低減し、良好なコントラスト表示、オフセットキャンセル動作を実現できる。

20

【0043】

ゲート信号線17a及び17bまたはソース信号線18、もしくはゲート信号線17a及び17bとソース信号線18の両方の配線材料として、銅配線または銅合金配線を採用できるプロセスを実施することが好ましい。信号線の配線抵抗を低減でき、より大型のEL表示パネルを実現できるからである。

【0044】

ゲートドライバIC(回路)12a及び12bが駆動(制御)するゲート信号線17a及び17bは、低インピーダンス化することが好ましい。したがって、前記ゲート信号線17a及び17bの構成あるいは構造に関しても同様である。

30

【0045】

トランジスタ11(駆動用トランジスタ11a、スイッチ用トランジスタ11b、11c、11d、11e)は、低温ポリシリコン(LTPS:Low-temperature polysilicon)を採用することが好ましい。低温ポリシリコンにおいて、トランジスタ(駆動用トランジスタ11a、スイッチ用トランジスタ11b、11c、11d、11e)はトップゲート構造であり、寄生容量が小さく、NチャンネルおよびPチャンネルトランジスタを作製でき、また、プロセスに銅配線または銅合金配線プロセスを用いることができる。なお、銅配線は、Ti-Cu-Tiの3層構造を採用することが好ましい。

40

【0046】

配線は、透明アモルファス酸化物半導体(TAOS:Transparent Amorphous Oxide Semiconductors)の場合には、モリブデン(Mo)-Cu-Moの3層構造を採用することが好ましい。

【0047】

本開示の一態様に係るEL表示装置は、マトリックス状にEL素子を有する表示画面20と、表示画面20の画素行ごとに配置されたゲート信号線17a及び17bと、表示画面20の画素列ごとに配置されたソース信号線18と、前記ゲート信号線17a及び17

50

bを駆動するゲートドライバIC（回路）12a及び12bと、前記ソース信号線18を駆動するソースドライバIC（回路）14とを具備する。

【0048】

ソースドライバIC（回路）14の内部には、スイッチSWn（nは1以上の整数）が形成または配置されている。スイッチSWnには、一例としてアナログスイッチが例示される。スイッチSWnは、ソースドライバIC（回路）14の各出力端子に対応して配置または形成されている。スイッチSWnをオープンにすることにより、ソース信号線18とソースドライバIC（回路）14の出力回路21とは、電氣的に切り離される。

【0049】

なお、スイッチSWnは、隣接したソース信号線18間にも形成または配置されている。このスイッチSWnをオンさせることにより、隣接したソース信号線18が短絡され、隣接したソース信号線18の電位が平均化される。ソースドライバIC（回路）14は、平均化された電位のソース信号線18に映像信号を印加するため、ソース信号線18に映像信号を書き込み易くなる。

【0050】

なお、本開示において、ソースドライバIC（回路）14は、各端子あるいはブロックごとに映像信号の出力タイミングを設定できるマルチディレイ機能を有する。

【0051】

図2の画素16において、Nチャンネルの駆動用トランジスタ11aのドレイン端子に、スイッチ用トランジスタ11dのソース端子が接続され、スイッチ用トランジスタ11dのドレイン端子にEL素子15のアノード端子が接続されている。アノード端子には、アノード電圧Vddが印加あるいは供給されている。

【0052】

なお、トランジスタ11（駆動用トランジスタ11a、スイッチ用トランジスタ11b、11c、11d、11e）のチャンネル間は双方向であるため、ソース端子とドレイン端子の名称は、説明を容易にするためであり、ソース端子とドレイン端子は入れ替えてもよい。ソース端子とドレイン端子の名称は、便宜上あるいは説明を容易にするためであり、他のソース端子とドレイン端子は第1の端子、第2の端子などとしてもよい。トランジスタ11は、Nチャンネルトランジスタとして説明するが、Pチャンネルトランジスタに置き換えることも可能である。

【0053】

EL素子15のカソード端子には、カソード電圧Vssが印加されている。駆動用トランジスタ11aのソース端子とEL素子のアノード電圧端子とが電氣的に接続されている。スイッチ用トランジスタ11cのソース端子は、駆動用トランジスタ11aのソース端子と電氣的に接続されている。また、スイッチ用トランジスタ11cのドレイン端子には、イニシャル電圧Vin_iが印加あるいは供給されている。

【0054】

なお、電氣的に接続とは、電圧の経路、電流の経路が形成されている状態あるいは形成される状態である。たとえば、第1のトランジスタと第2のトランジスタ間に、第3のトランジスタが配置されていても、第1のトランジスタと第2のトランジスタは電氣的に接続されている。また、本明細書において、接続を電氣的に接続の意味として使用する場合がある。

【0055】

スイッチ用トランジスタ11bのソース端子は駆動用トランジスタ11aのゲート端子と接続されており、スイッチ用トランジスタ11bのドレイン端子は、ソース信号線18と接続されている。スイッチ用トランジスタ11eのソース端子は駆動用トランジスタ11aのゲート端子と接続されており、スイッチ用トランジスタ11eのドレイン端子には、リファレンス電圧Vrefが印加あるいは供給されている。

【0056】

コンデンサ19aは、駆動用トランジスタ11aのゲート端子と駆動用トランジスタ1

10

20

30

40

50

1 a のソース端子間に接続されている。

【0057】

なお、図2などの実施の形態において、アノード電圧 $V_{dd} > \text{リファレンス電圧 } V_{ref} > \text{カソード電圧 } V_{ss} > \text{イニシャル電圧 } V_{ini}$ 、なる関係にすることが好ましい。

【0058】

具体的には、一例として、アノード電圧 $V_{dd} = 8 \sim 18 \text{ (V)}$ 、リファレンス電圧 $V_{ref} = 1.5 \sim 3 \text{ (V)}$ 、カソード電圧 $V_{ss} = 0.5 \sim 2.5 \text{ (V)}$ 、イニシャル電圧 $V_{ini} = 0 \sim -3 \text{ (V)}$ である。

【0059】

映像信号の最低電圧（最小階調での電圧）は、 $0.5 \sim 1.0 \text{ (V)}$ であり、映像信号の最高電圧（最大階調での電圧）は、 $4 \sim 7 \text{ (V)}$ である。

【0060】

したがって、リファレンス電圧 $V_{ref} = 1.5 \sim 3 \text{ (V)}$ は、映像信号の最低電圧 V_0 （最小階調の電圧）以上、映像信号の最高電圧 V_M （最大階調の電圧）以下の電圧である。リファレンス電圧 $V_{ref} = 1.5 \sim 3 \text{ (V)}$ は、映像信号の中間電圧である。なお、中間電圧とは、狭義には、中央部の電圧近傍であるが、広義には最低電圧より大きく、最高電圧より小さい電圧の範囲である。

【0061】

なお、映像信号の最小階調の電圧 V_0 と最大階調の電圧 V_M は、駆動用トランジスタ 1 a のチャンネル極性により電位が異なる。また、画素回路構成により電位が異なる。一例として、図18の画素構成の場合は、駆動用トランジスタがPチャンネルであり、映像信号の最小階調の電圧値 $V_0 > \text{最大階調の電圧値 } V_M$ なる関係がある。図2の画素構成の場合は、駆動用トランジスタがNチャンネルであり、映像信号の最小階調の電圧値 $V_0 < \text{最大階調の電圧値 } V_M$ なる関係がある。リファレンス電圧 V_{ref} は、映像信号の最小階調の電圧値 V_0 と、最大階調の電圧値 V_M の範囲の電圧値である。特に、リファレンス電圧 V_{ref} は、 $| ((V_M - V_0) / 4) | < V_{ref} < | 3 (V_M - V_0) / 4 |$ の関係を満足させることが好ましい。

【0062】

スイッチ用トランジスタ 1 d は、駆動用トランジスタ 1 a のソース端子と EL 素子 15 のアノード端子間に配置または形成してもよい。

【0063】

スイッチ用トランジスタ 1 d のゲート端子は、ゲート信号線 17 b（ゲート信号線 G E）に接続されている。スイッチ用トランジスタ 1 e のゲート端子は、ゲート信号線 17 c（ゲート信号線 G R）に接続されている。

【0064】

スイッチ用トランジスタ 1 b のゲート端子は、ゲート信号線 17 a（ゲート信号線 G S）に接続されている。スイッチ用トランジスタ 1 c のゲート端子は、ゲート信号線 17 d（ゲート信号線 G I）に接続されている。

【0065】

ゲート信号線 17 a 及び 17 b にオン電圧を印加することにより、各ゲート信号線 17 a 及び 17 b に接続されたスイッチ用トランジスタ 1 d 及び 1 b がオン状態となる。ゲート信号線 17 a 及び 17 b にオフ電圧を印加することにより、各ゲート信号線 17 a 及び 17 b に接続されたスイッチ用トランジスタ 1 d 及び 1 b がオフ状態となる。

【0066】

ゲート信号線 17 b（G E）にオン電圧が印加されると、スイッチ用トランジスタ 1 d がオンし、駆動用トランジスタ 1 a からの発光電流が EL 素子 15 に供給される。EL 素子 15 は、発光電流の大きさに基づき、発光する。発光電流の大きさは、ソース信号線 18 に印加された映像信号を、スイッチ用トランジスタ 1 b で画素 16 に印加することにより決定する。

【0067】

10

20

30

40

50

駆動用トランジスタ 11a のゲート端子には、コンデンサ 19a の 1 端子が接続され、コンデンサ 19a の他の端子は、駆動用トランジスタ 11a のソース端子と接続されている。スイッチ用トランジスタ 11b のドレイン端子は、ソース信号線 18 と接続されている。ソースドライバ IC (回路) 14 は、ソース信号線 18 に映像信号を印加する。

【0068】

ゲート信号線 17a 及び 17b は、表示画面 20 の左右に配置されたゲートドライバ IC (回路) 12a 及び 12b に接続されている。また、ゲート信号線 17c 及び 17d は、表示画面 20 の左に配置されたゲートドライバ IC (回路) 12a に接続されている。

【0069】

ゲートドライバ IC (回路) 12b は、画素の選択電圧 (オン電圧 V_{on}) をゲート信号線 17b に印加する。ゲート信号線 17b のオン電圧が印加されると、スイッチ用トランジスタ 11b がオンして、ソース信号線 18 に印加された映像信号が、画素 16 に印加される。

【0070】

EL 表示パネルには、EL 素子 15 を有する画素 16 がマトリックス状に形成された表示画面 20 が形成されている。

【0071】

図 1 に図示するように、ゲート信号線 17a 及び 17b の両端には、ゲートドライバ IC (回路) 12a 及び 12b が接続されている。ゲート信号線 17c 及び 17d の片側には、ゲートドライバ IC (回路) 12a が接続されている。ゲートドライバ IC (回路) 12a 及び 12b は、COF (Chip On Film) (図示せず) に実装されている。

【0072】

各画素 16 には、ソース信号線 18 が接続されている。ソース信号線 18 の一端には、ソースドライバ IC (回路) 14 が接続されている。ソースドライバ IC (回路) 14 は、COF (Chip On Film) (図示せず) に実装されている。

【0073】

ソースドライバ IC (回路) 14 は、映像信号を出力し、映像信号は、ソース信号線 18 に供給あるいは印加される。

【0074】

COF に実装されたドライバ IC の表面に放熱板を配置または形成し、ドライバ IC (12、14) からの放熱を行っている。また、COF の裏面に放熱シート、放熱板を配置または形成し、ドライバ IC が発生する熱を放熱している。

【0075】

本開示の EL 表示装置では、画素 16 の位置に対応して、赤 (R)、緑 (G)、青 (B) で構成されるカラーフィルタ 33 (33R、33G、33B) が形成されている。なお、カラーフィルタは、RGB に限定されるものではない、シアン (C)、マゼンダ (M)、イエロー (Y) 色の画素を形成してもよい。

【0076】

画素 16 は、RGB の 3 画素、RGBW の 4 画素で正方形の形状となるように作製されている。したがって、R、G、B、W の各画素 16 は縦長の画素形状となる。したがって、レーザー照射スポットを縦長にしてアニールすることにより、1 画素内ではトランジスタ 11 の特性バラツキが発生しないようにすることができる。

【0077】

なお、R、G、B、W の画素開口率あるいは画素電極面積は、異ならせてもよい。開口率または画素電極面積を異ならせることにより、各 RGB の EL 素子 15 に流れる電流密度を異ならせることができる。電流密度を異ならせることにより、R、G、B 画素の EL 素子 15 の劣化速度を同一にすることができる。劣化速度を同一にすれば、EL 表示装置のホワイトバランスずれが発生しない。

【0078】

10

20

30

40

50

必要に応じて、白（W）の画素を形成する。画素は、R、G、B、Wから構成される。R、G、B、Wに構成することにより、高輝度化が可能となる。また、R、G、B、Gとする構成も例示される。

【0079】

本開示は、RGBの3原色に加えて、W（白）の画素16を有している。画素16においてWを形成または配置することにより、色ピーク輝度を良好に実現できる。また、高輝度表示を実現できる。白（W）の画素にはカラーフィルターは形成または配置されていない。白（W）の画素には、カラーフィルターを形成しないため、カラーフィルターによる減光がなく、高輝度表示を実現できる。

【0080】

EL表示装置のカラー化は、マスク蒸着により行うが、本開示はこれに限定するものではない。たとえば、青色発光のEL層を形成し、発光する青色光を、R、G、Bの色変換層（CCM：カラーチェンジミディアムズ）でR、G、B光に変換してもよい。

【0081】

ソース信号線18、ゲート信号線17a、17b、17c、17d上にアノード端子（電極）40あるいはカソード端子（電極）を配置または形成することにより、ソース信号線18、ゲート信号線17a、17b、17c、17dからの電界が、アノード端子（電極）40あるいはカソード端子（電極）で遮蔽される。遮蔽により画像表示へのノイズを低減させることができる。

【0082】

ソース信号線18、ゲート信号線17a、17b、17c、17dに絶縁膜あるいはアクリル材料で構成される絶縁膜（平坦化膜）34を形成して絶縁し、絶縁膜34上に画素電極40を形成する。

【0083】

このようにゲート信号線17a、17b、17c、17d等上の少なくとも一部に画素電極40を重ねる構成をハイアパーチャ（HA）構造と呼ぶ。不要な干渉光などが低減し、良好な発光状態を実現できる。

【0084】

画素16の画素電極は、ITO、IGZO（インジウム（Indium）、ガリウム（Gallium）、亜鉛（Zinc）、酸素（Oxygen））、IZO、透明アモルファス酸化物半導体（TAOS）などで構成される透明電極を用いることができる。

【0085】

なお、EL表示装置の光出射面には、円偏光板（円偏光フィルム）（図示せず）を配置している。偏光板と位相フィルムを一体したものは円偏光板（円偏光フィルム）と呼ばれる。

【0086】

映像信号Vsigを画素16に印加するスイッチ用トランジスタ11bを駆動するゲート信号線17a、スイッチ用トランジスタ11dを制御するゲート信号線17bは、ゲートドライバIC（回路）12aとゲートドライバIC（回路）12bとが接続されている。一例として、ゲートドライバIC（回路）12aは、表示画面20の左側に配置され、ゲートドライバIC（回路）12bは、表示画面20の右側に配置される。

【0087】

ゲート信号線17aに、2つのゲートドライバIC（回路）12a及び12bが配置されているのは、以下の理由による。

【0088】

ゲート信号線17aは、スイッチ用トランジスタ11bに接続されている。スイッチ用トランジスタ11bは、映像信号を画素16に書き込むトランジスタであり、スイッチ用トランジスタ11bを高速のオンオフ（高スルーレート動作）をさせる必要がある。ゲート信号線17aは、2つのゲートドライバIC（回路）12a及び12bで駆動することにより、高スルーレートの動作を実現できる。

10

20

30

40

50

【 0 0 8 9 】

ゲート信号線 1 7 b は、スイッチ用トランジスタ 1 1 d に接続されている。スイッチ用トランジスタ 1 1 d は、駆動用トランジスタ 1 1 a のオフセットキャンセル動作を実施するトランジスタであり、スイッチ用トランジスタ 1 1 d を高速にオンオフ動作（高スルーレート動作）をさせる必要がある。ゲート信号線 1 7 a、1 7 b は、2 つのゲートドライバ IC（回路）1 2 a 及び 1 2 b で駆動することにより、高スルーレート動作を実現できる。

【 0 0 9 0 】

ゲート信号線 1 7 a 及び 1 7 b を、2 つのゲートドライバ IC（回路）1 2 a 及び 1 2 b で駆動することにより、表示画面 2 0 の左右、中央での輝度傾斜などがなくなり、良好な画像表示を実現できる。また、ゲート信号線 1 7 a 及び 1 7 b の負荷容量が大きくても、良好にドライブすることができる。

10

【 0 0 9 1 】

ゲート信号線 1 7 c 及び 1 7 d は、1 つのゲートドライバ IC（回路）1 2 a が接続されている。ゲート信号線 1 7 c には、スイッチ用トランジスタ 1 1 e が接続されている。スイッチ用トランジスタ 1 1 e は、リファレンス電圧 V_{ref} を駆動用トランジスタ 1 1 a に印加する機能を有する。リファレンス電圧 V_{ref} を印加するオンオフする動作は、低スルーレートで十分である。ゲート信号線 1 7 d には、スイッチ用トランジスタ 1 1 c が接続されている。スイッチ用トランジスタ 1 1 c は、イニシャル電圧 V_{ini} を駆動用トランジスタ 1 1 a のソース端子に印加する機能を有する。イニシャル電圧 V_{ini} を印加するオンオフする動作は、低スルーレートで十分である。

20

【 0 0 9 2 】

したがって、ゲート信号線 1 7 c 及び 1 7 d は、1 つのゲートドライバ IC（回路）1 2 a で駆動しても、実用上、十分な性能を得ることができる。

【 0 0 9 3 】

[1 - 2 . E L 表示装置の動作]

図 3 ~ 図 7 は、本実施の形態に係る E L 表示装置の画素の動作の説明図である。

【 0 0 9 4 】

（非発光期間）

スイッチ用トランジスタ 1 1 d がオン状態のとき、E L 素子 1 5 にアノード電圧 V_{dd} から供給され、E L 素子 1 5 が発光状態にある（発光期間）。アノード電圧 V_{dd} から駆動用トランジスタ 1 1 a を通して E L 素子 1 5 に駆動電流（ドレイン - ソース間電流） I_d が供給されるため、E L 素子 1 5 が駆動電流 I_d に応じた輝度で発光する。スイッチ用トランジスタ 1 1 d がオフ状態のとき、E L 素子 1 5 に供給する電流が遮断されて、E L 素子 1 5 は非発光状態となる。

30

【 0 0 9 5 】

図 3 に図示するように、スイッチ用トランジスタ 1 1 d がオフ状態にすることにより、E L 素子 1 5 に流れる電流が遮断され、E L 素子 1 5 の発光が停止する（非発光）。

【 0 0 9 6 】

画素動作のタイミングチャートを図 8 に示す。図 8 のタイミングチャートでは、各トランジスタ 1 1（駆動用トランジスタ 1 1 a、スイッチ用トランジスタ 1 1 b、1 1 c、1 1 d、1 1 e）のオンオフ状態（ON、OFF）で図示している。電位レベルが ON の時、トランジスタ 1 1（駆動用トランジスタ 1 1 a、スイッチ用トランジスタ 1 1 b、1 1 c、1 1 d、1 1 e）が動作（オン）となる。電位レベルが OFF の時、トランジスタ 1 1（駆動用トランジスタ 1 1 a、スイッチ用トランジスタ 1 1 b、1 1 c、1 1 d、1 1 e）が非動作（オフ）となる。

40

【 0 0 9 7 】

図 8 のタイミングチャートで、図 3 の動作あるいはタイミングは、時間 b ~ c が対応する。図 4 の動作あるいはタイミングは、時間 c ~ d が対応する。図 5 の動作あるいはタイミングは、時間 d ~ e が対応する。同様に、図 6 の動作あるいはタイミングは、時間 e ~

50

f が対応する。図 7 の動作あるいはタイミングは、時間 f ~ が対応する。なお、図 8 は、画素の動作を容易に理解するため、模式的に図示したものである。

【 0 0 9 8 】

画素 1 6 がオフセットキャンセル動作などを行っているときは、基本的には、ソースドライバ IC (回路) 1 4 内のスイッチ S W n は、オフ状態とする。ソースドライバ IC (回路) 1 4 が映像信号をソース信号線 1 8 に出力する際は、スイッチ S W n がオンする。

【 0 0 9 9 】

(ソース信号線 1 8 の充電期間)

図 3 は、ソース信号線 1 8 の充電期間の画素動作状態を示す。図 3 において、スイッチ用トランジスタ 1 1 e がオンし、スイッチ用トランジスタ 1 1 b がオンしている。スイッチ用トランジスタ 1 1 e 及び 1 1 b がオンすることにより、リファレンス電圧 V r e f から、ソース信号線 1 8 に電流経路が発生する。電流は、V r e f 端子 (電極) → スwitch用トランジスタ 1 1 e → スwitch用トランジスタ 1 1 b → ソース信号線 1 8 に流れる。ソース信号線 1 8 には、寄生容量 C k などがあり、電流は C k などを充電し、ソース信号線 1 8 の電位は、リファレンス電圧 V r e f あるいはその近傍の電位となる。

【 0 1 0 0 】

リファレンス電圧 V r e f は、ソース信号線 1 8 が出力する映像信号の基準となる電圧である。したがって、映像信号の中間帯あるいはその近傍の電圧値である。つまり、一例として、映像信号の最低階調電圧以上、最高階調電圧以下の電圧である。

【 0 1 0 1 】

リファレンス電圧 V r e f は、一例として 1 . 5 ~ 3 (V) である。映像信号の最低電圧 V 0 (最小階調での電圧) 以上、映像信号の最高電圧 V M (最大階調での電圧) 以下の電圧である。リファレンス電圧 V r e f = 1 . 5 ~ 3 (V) は、映像信号の中間電圧である。特に、リファレンス電圧 V r e f は、 $| ((V M - V 0) / 4) | < V r e f < | 3 (V M - V 0) / 4 |$ の関係を満足させることが好ましい。

【 0 1 0 2 】

図 3 において、スイッチ用トランジスタ 1 1 e と、スイッチ用トランジスタ 1 1 c がオンさせる。スイッチ用トランジスタ 1 1 c がオンすることにより、駆動用トランジスタ 1 1 a のソース端子にイニシャル電圧 V i n i が印加され、スイッチ用トランジスタ 1 1 e がオンすることにより、駆動用トランジスタ 1 1 a のゲート端子にリファレンス電圧 V r e f が印加される。リファレンス電圧 V r e f とイニシャル電圧 V i n i が印加されることにより、コンデンサ C s の電位が所定の電位に保持される。

【 0 1 0 3 】

(オフセットキャンセル補正の準備期間)

図 4 は、オフセットキャンセル補正の準備期間の画素動作状態を示す。オフセットキャンセル補正の準備期間では、スイッチ用トランジスタ 1 1 e がオンし、リファレンス電圧 V r e f が駆動用トランジスタ 1 1 a のゲート端子に印加される。スイッチ用トランジスタ 1 1 c がオンし、イニシャル電圧 V i n i が E L 素子 1 5 のアノード端子に印加される。駆動用トランジスタ 1 1 a のゲート電位 V g がリファレンス電圧 V r e f になる。また、駆動用トランジスタ 1 1 a のソース電位 V s は、リファレンス電圧 V r e f よりも十分に低いイニシャル電圧 V i n i になる。なお、駆動用トランジスタ 1 1 a のゲート端子に印加されるリファレンス電圧 V r e f は、本実施の形態における第 1 の電圧に相当する。

【 0 1 0 4 】

イニシャル電圧 V i n i については、駆動用トランジスタ 1 1 a のゲート - ソース間電圧 V g s が、当該駆動用トランジスタ 1 1 a のオフセットキャンセル電圧 V t h よりも大きくなるように設定しておくこととする。以上のように、駆動用トランジスタ 1 1 a のゲート電位 V g をリファレンス電圧 V r e f 、ソース電位 V s を低電位 V i n i にそれぞれ初期化することで、オフセットキャンセル補正動作の準備が完了する。

【 0 1 0 5 】

(オフセットキャンセル補正期間)

次に、時刻 d で、図 5 に示すように、ゲート信号線 17 b (GE) に選択電圧 (オン電圧) が印加され、スイッチ用トランジスタ 11 d がオンすると、駆動用トランジスタ 11 a のドレイン端子にアノード電圧 V_{dd} が印加される。すると、駆動用トランジスタ 11 a のソース電位 V_s が上昇を開始する。

【0106】

やがて、駆動用トランジスタ 11 a のゲート - ソース間電圧 V_{gs} が当該駆動用トランジスタ 11 a のオフセットキャンセル電圧 V_{th} になり、当該オフセットキャンセル電圧 V_{th} に相当する電圧がコンデンサ 19 a に書き込まれる。

【0107】

便宜上、オフセットキャンセル電圧 V_{th} に相当する電圧をコンデンサ 19 a に書き込む期間をオフセットキャンセル補正期間と呼んでいる。

10

【0108】

オフセットキャンセル補正期間において、電流が専らコンデンサ 19 a 側に流れ、EL 素子 15 側には流れないようにするために、EL 素子 15 がカットオフ状態となるようにカソード電極のカソード電圧 V_{ss} を設定しておく。したがって、 $V_{ss} > V_{ini}$ としておく。たとえば、 $V_{ss} = +2 (V)$ であれば、 $V_{ini} = -2 (V)$ が例示される。

【0109】

図 6 に図示するように、時刻 e でスイッチ用トランジスタ 11 d、11 e、11 c をオフ状態にする。このとき、駆動用トランジスタ 11 a のゲートがフローティング状態になるが、ゲート - ソース間電圧 V_{gs} が駆動用トランジスタ 11 a のオフセットキャンセル電圧 V_{th} に等しいため、当該駆動用トランジスタ 11 a はカットオフ状態にある。したがって、ドレイン - ソース間電流 I_d は流れない。

20

【0110】

(書き込み期間)

次に、図 6 に示すように、スイッチ SW をオンさせ、ソース信号線 18 にソースドライバ IC (回路) 14 から映像信号電圧 V_{sig} が印加される。ゲート信号線 17 a に選択電圧が印加されることにより、スイッチ用トランジスタ 11 b が導通状態になって映像信号電圧 V_{sig} が、画素 16 の駆動用トランジスタ 11 a のゲート端子に印加される。このとき、EL 素子 15 はカットオフ状態 (ハイインピーダンス状態) にあるために、コンデンサ (C_{el} と呼ぶ) とみなすことができる。

30

【0111】

駆動用トランジスタ 11 a のゲート端子に印加された映像信号電圧 V_{sig} は、コンデンサ C_s と EL 容量 C_{el} で分圧されて、駆動用トランジスタ 11 a のゲート - ソース端子間に印加される。コンデンサ C_s に比較して EL 容量 C_{el} は、小さいため、映像信号電圧 V_{sig} の多くが、駆動用トランジスタ 11 a のゲート - ソース端子間に印加される。

【0112】

本実施の形態に置いて、EL 素子 15 を EL 容量 C_{el} として利用するとしたが、これに限定するものではない。EL 素子 15 に並列に、別途コンデンサを形成してもよいことは言うまでもない。

40

【0113】

(発光期間)

次に、時刻 t₁ で、図 7 に示すように、スイッチ用トランジスタ 11 d がオンすることにより、駆動用トランジスタ 11 a のドレイン端子にアノード電圧 V_{dd} が印加される。アノード電圧 V_{dd} の印加により、電流 I_d が流れ始める。電流 I_d に比例して、EL 素子 15 が発光する。

【0114】

以上のようにして、表示パネルの各画素 16 に対してオフセットキャンセル補正が実施され、各画素 16 が点灯、非点灯制御される。

【0115】

50

図 3 などに図示して説明したように、リファレンス電圧 V_{ref} をソース信号線 18 に印加することにより、ソース信号線 18 を予備充電することができる。ソースドライバ IC (回路) 14 がソース信号線 18 に映像信号を書き込む際は、リファレンス電圧 V_{ref} から差分した映像信号を書き込めばよい。リファレンス電圧 V_{ref} が映像信号のいずれかの電位レベルであれば、ソースドライバ IC (回路) 14 からソース信号線 18 に書き込む振幅電圧は小さくてすむ。

【0116】

したがって、ソースドライバ IC (回路) 14 が過熱することを抑制できる。また、ソースドライバ IC (回路) 14 が発熱することにより、EL 素子 15 などが劣化することもない。

10

【0117】

図 3 では、ソース信号線 18 をリファレンス電圧 V_{ref} で充電しているが、同時に図 4 に図示する「オフセットキャンセル補正の準備期間」を行っていることになる。したがって、「ソース信号線 18 の充電期間」は同時に、「オフセットキャンセル補正の準備期間」でもある。図 3 において、リファレンス電圧 V_{ref} をソース信号線 18 に印加するとしたが、リファレンス電圧 V_{ref} は、他の電圧であってもよい。たとえば、図 3 の「ソース信号線 18 の充電期間」に、トランジスタ 11e のドレイン端子に、リファレンス電圧 V_{ref} 以外の電圧を印加する構成が例示される。

【0118】

リファレンス電圧 V_{ref} は、映像信号の最低階調電圧を V_0 とし、最高階調電圧を V_M とした時、 $(V_M - V_0) / 4 < V_{ref} < 3(V_M - V_0) / 4$ の条件を満足するようにすることが好ましい。なお、リファレンス電圧 V_{ref} は所定の電圧であり、ソース信号線 18 を充電 (プリチャージ) する電圧と、オフセットキャンセル動作を実施する電圧とを変化させてもよいことは言うまでもない。

20

【0119】

図 8 は、本開示の駆動方法のタイミングチャートである。b ~ c 期間は、スイッチ用トランジスタ (TFT) 11c、スイッチ用トランジスタ (TFT) 11e、スイッチ用トランジスタ (TFT) 11b がオン状態であり、スイッチ用トランジスタ (TFT) 11d がオフ状態となっている。

【0120】

駆動用トランジスタ 11a のゲート端子にリファレンス電圧 V_{ref} が印加されるとともに、ソース信号線 18 にリファレンス電圧 V_{ref} が供給される。駆動用トランジスタ 11a のソース端子にイニシャル電圧 V_{ini} が印加され、駆動用トランジスタ 11a のオフセットキャンセル動作が準備される。

30

【0121】

c ~ d 期間は、スイッチ用トランジスタ (TFT) 11c、スイッチ用トランジスタ (TFT) 11e がオン状態であり、スイッチ用トランジスタ (TFT) 11b、スイッチ用トランジスタ (TFT) 11b がオフ状態となっている。駆動用トランジスタ 11a のゲート端子にリファレンス電圧 V_{ref} が印加されるとともに、駆動用トランジスタ 11a のソース端子にイニシャル電圧 V_{ini} が印加され、駆動用トランジスタ 11a のオフセットキャンセル動作が準備される。

40

【0122】

d ~ e 期間は、スイッチ用トランジスタ (TFT) 11e、スイッチ用トランジスタ (TFT) 11d がオン状態であり、スイッチ用トランジスタ (TFT) 11c、スイッチ用トランジスタ (TFT) 11b がオフ状態となっている。

【0123】

駆動用トランジスタ 11a のゲート端子にリファレンス電圧 V_{ref} が印加されるとともに、駆動用トランジスタ 11a のドレイン端子に V_{dd} 電圧が印加され、駆動用トランジスタ 11a がオフセットキャンセルされる。オフセットキャンセル電圧は、コンデンサ Cs に保持される。

50

【 0 1 2 4 】

e ~ f 期間は、スイッチ用トランジスタ (T F T) 1 1 b がオン状態であり、スイッチ用トランジスタ (T F T) 1 1 c、スイッチ用トランジスタ (T F T) 1 1 e、スイッチ用トランジスタ (T F T) 1 1 d がオフ状態となっている。

【 0 1 2 5 】

駆動用トランジスタ 1 1 a のゲート端子に映像信号 V s i g 電圧が印加されるとともに、駆動用トランジスタ 1 1 a のドレイン端子はフローティングとなっている。以上の動作で、画素に映像信号が印加される。

【 0 1 2 6 】

f ~ i 期間は、スイッチ用トランジスタ (T F T) 1 1 d がオン状態であり、スイッチ用トランジスタ (T F T) 1 1 c、スイッチ用トランジスタ (T F T) 1 1 e、スイッチ用トランジスタ (T F T) 1 1 b がオフ状態となっている。駆動用トランジスタ 1 1 a はゲート端子に印加された電圧に基づいて、駆動用トランジスタ 1 1 a は、E L 素子 1 5 に発光電流を供給する。E L 素子 1 5 は供給される発光電流に対応して発光する。

【 0 1 2 7 】

なお、スイッチ用トランジスタ 1 1 d をオンオフさせることにより、表示画面 2 0 に複数の黒帯表示を実施することができる。また、オンまたはオフする時間を変化させることにより、表示画面 2 0 の輝度 (明るさ) を調整あるいは設定することができる。また、d u t y 駆動を実現できる。

【 0 1 2 8 】

図 1 1 は、ソース信号線 1 8 の充電状態を模式的に図示したものである。縦軸は、ソース信号線電位 (V) である。なお、A V D D はソースドライバ I C (回路) 1 4 の映像信号回路の電源電圧である。図 1 1 の (a) は、リファレンス電圧 V r e f によるソース信号線 1 8 の充電がない場合である。図 1 1 の (a) に示すように、時間 a 2 から、ソースドライバ I C (回路) 1 4 からソース信号線 1 8 に映像信号が印加されている。1 H 期間 (a 2 ~ a 3) が経過しても、ソース信号線 1 8 の電位は、h 電位であり、目標の m 電位には到達しない。

【 0 1 2 9 】

図 1 1 の (b) は、リファレンス電圧 V r e f によるソース信号線 1 8 の充電 (プリチャージ) がある場合である。図 1 1 の (b) に示すように、リファレンス電圧 V r e f による予備充電は、時間 a 1 から開始される。リファレンス電圧 V r e f の印加により時間 a 2 には電位 k までソース信号線 1 8 の電位は上昇する。時間 a 2 から、ソースドライバ I C (回路) 1 4 からソース信号線 1 8 に映像信号が印加される。

【 0 1 3 0 】

ソース信号線 1 8 への充電は、電位 k からの充電で良い。少ない電位変化で目標電位の m まで到達する。したがって、1 H 期間 (a 2 ~ a 3) が経過後、十分に、目標の m 電位には到達する。

【 0 1 3 1 】

図 9 は、本開示の E L 表示装置の駆動方法のタイミングチャートである。図 9 は、図 8 のタイミングチャートに追加して、S S 信号、C S 信号、O E 信号が追加されている。

【 0 1 3 2 】

S S 信号、C S 信号は、ゲートドライバ I C (回路) 1 2 a 及び 1 2 b 内に配置されたソフトレジスタの制御信号である。O E 信号は、アウトプットイネーブル信号である。S S 信号を入力する S S 端子 (図示せず)、C S 信号を入力する C S 端子 (図示せず)、O E 信号を入力する O E 端子 (図示せず) が、ゲートドライバ I C (回路) 1 2 a 及び 1 2 b に配置されている。S S 端子、C S 端子に印加するロジック信号により、シフトレジスタ (図示せず) を制御し、ゲート信号線 1 7 a、1 7 b、1 7 c、1 7 d に印加するオン電圧、オフ電圧を制御する。各ゲート信号線 1 7 a、1 7 b、1 7 c、1 7 d に接続されたスイッチ用トランジスタ 1 1 b、1 1 c、1 1 d、1 1 e は、オン電圧またはオフ電圧によりオン / オフ状態が設定される。

10

20

30

40

50

【 0 1 3 3 】

S S 信号、C S 信号は、1 H (1 画素行選択期間) を単位として変化する信号である。S S 信号、C S 信号は、一例として、各スイッチ用トランジスタ 1 1 b、1 1 c、1 1 d、1 1 e を選択するゲートドライバ I C (回路) 1 2 a 及び 1 2 b 内のシフトレジスタと同一あるいは類似の構成により発生する信号である。S S 信号、C S 信号は、シフトレジスタ内のデータ位置に対応して、選択 (H 電位)、非選択 (L 電位) の画素行位置が、選択あるいは設定される。

【 0 1 3 4 】

画素行位置が選択される場合は、対応するゲート信号線にオン電圧が出力される。非選択の場合は、対応するゲート信号線にオフ電圧が出力される。

10

【 0 1 3 5 】

O E 信号は、1 H 期間内において、選択あるいは非選択期間を指定する信号である O E 信号がオンする期間は、1 H より短い期間である。O E 信号は、全画素行に同時に作用する。したがって、表示画面のすべての画素行に O E 期間の H、L レベルが反映される。

【 0 1 3 6 】

1 H 時間は、A 期間と B 期間に分離される。スイッチ用トランジスタ (T F T) 1 1 b のオンまたはオフ期間は、A 期間または B 期間が対応する。C S 信号および O E 信号が H レベルの時、スイッチ用トランジスタ 1 1 b の A 期間がオン電圧期間となる。S S 信号が H レベルで、O E 信号が L レベルの時、スイッチ用トランジスタ 1 1 b の B 期間がオン電圧期間となる。したがって、C S 信号、S S 信号、O E 信号により、スイッチ用トランジスタ 1 1 b が A 期間をオンとするか、B 期間をオンとするかを指定する。

20

【 0 1 3 7 】

図 9 において、 $t_2 \sim t_3$ 期間の A 期間が、図 3 の期間に対応する。スイッチ用トランジスタ (T F T) 1 1 c、スイッチ用トランジスタ (T F T) 1 1 e、スイッチ用トランジスタ (T F T) 1 1 b がオン状態であり、スイッチ用トランジスタ (T F T) 1 1 d がオフ状態となっている。駆動用トランジスタ 1 1 a のゲート端子にリファレンス電圧 V_{ref} が印加されるとともに、ソース信号線 1 8 にリファレンス電圧 V_{ref} が供給される。駆動用トランジスタ 1 1 a のソース端子にイニシャル電圧 V_{ini} が印加され、駆動用トランジスタ 1 1 a のオフセットキャンセル動作が準備される。なお、 $t_2 \sim t_3$ 期間の A 期間は、本実施の形態に係る第 1 の期間に相当する。

30

【 0 1 3 8 】

図 9 において、 $t_2 \sim t_3$ 期間の B 期間と $t_3 \sim t_5$ が、図 4 の期間に対応する。スイッチ用トランジスタ (T F T) 1 1 c、スイッチ用トランジスタ (T F T) 1 1 e がオン状態であり、スイッチ用トランジスタ (T F T) 1 1 b、スイッチ用トランジスタ (T F T) 1 1 b がオフ状態となっている。駆動用トランジスタ 1 1 a のゲート端子にリファレンス電圧 V_{ref} が印加されるとともに、駆動用トランジスタ 1 1 a のソース端子にイニシャル電圧 V_{ini} が印加され、駆動用トランジスタ 1 1 a のオフセットキャンセル動作が準備される。オフセットキャンセル動作の準備期間を 1 H 以上 (図 9 では、 $2 H + B$) 設定することにより、良好なオフセットキャンセル動作を実施できるようになる。

【 0 1 3 9 】

図 9 において、 $t_5 \sim t_7$ 期間が、図 5 の期間に対応する。スイッチ用トランジスタ (T F T) 1 1 e、スイッチ用トランジスタ (T F T) 1 1 d がオン状態であり、スイッチ用トランジスタ (T F T) 1 1 c、スイッチ用トランジスタ (T F T) 1 1 b がオフ状態となっている。

40

【 0 1 4 0 】

駆動用トランジスタ 1 1 a のゲート端子にリファレンス電圧 V_{ref} が印加されるとともに、駆動用トランジスタ 1 1 a のドレイン端子に V_{dd} 電圧が印加され、駆動用トランジスタ 1 1 a がオフセットキャンセルされる。オフセットキャンセル電圧は、コンデンサ C_s に保持される。オフセットキャンセル動作期間を 1 H 以上 (図 9 では、 $2 H$) 設定することにより、良好なオフセットキャンセル動作を実施できる。

50

【 0 1 4 1 】

図 9 において、 $t_7 \sim t_8$ 期間と、 $t_8 \sim t_9$ の A 期間は、すべてのスイッチ用トランジスタをオフ状態に設定している。映像信号を書き込み期間前に、オフ期間 ($t_7 \sim t_8$ 期間) を設けることにより、良好な映像信号書き込みを実現できる。

【 0 1 4 2 】

図 9 において、 $t_8 \sim t_9$ 期間の B 期間が、図 6 の期間に対応する。スイッチ用トランジスタ (TF T) 1 1 b がオン状態であり、スイッチ用トランジスタ (TF T) 1 1 c、スイッチ用トランジスタ (TF T) 1 1 e、スイッチ用トランジスタ (TF T) 1 1 d がオフ状態となっている。駆動用トランジスタ 1 1 a のゲート端子に映像信号 V_{sig} 電圧が印加されるとともに、駆動用トランジスタ 1 1 a のドレイン端子はフローティングとな

10

【 0 1 4 3 】

図 9 のタイミングチャートで説明した本開示の E L 表示装置の駆動方法では、A 期間および B 期間の設定のために、S S 信号、C S 信号、O E 信号を制御する方式であった。本開示は、図 9 の方式だけではなく、他の方式でもよい。たとえば、図 10 は、C S 信号と O E 信号で A 期間と B 期間とを設定するものである。

【 0 1 4 4 】

図 10 において、C S 信号を H レベルで、O E 信号が H レベルの時、O E の H レベル期間に対応する A 期間に、スイッチ用トランジスタ (TF T) 1 1 b がオンとなる。C S 信号を H レベルで、O E 信号が L レベルの時、O E の L レベル期間に対応する B 期間に、ス

20

【 0 1 4 5 】

以上のように、C S 信号、O E 信号の組み合わせで、スイッチ用トランジスタ (TF T) 1 1 b をオンオフ制御することができる。

【 0 1 4 6 】

[1 - 3 . 効果等]

以上のように、本開示の一態様に係る E L 表示装置は、画素 1 6 に形成されたトランジスタを介して、ソース信号線 1 8 に所定の電圧を印加し、ソース信号線 1 8 を充電するものである。また、所定の電圧は、画素のトランジスタ 1 1 (駆動用トランジスタ 1 1 a、

30

【 0 1 4 7 】

また、本開示の E L 表示装置は、画素 1 6 に印加する映像信号を出力するソースドライバ IC (回路) 1 4 と、映像信号を伝達するソース信号線 1 8 と、ゲートドライバ IC (回路) 1 7 a 及び 1 7 b と、画素 1 6 を選択する選択電圧、または画素 1 6 を非選択にする非選択電圧にする電圧を伝達する第 1 のゲート信号線 1 7 a と第 2 のゲート信号線 1 7 b を具備する。

【 0 1 4 8 】

40

また、マトリックス上に配置された各画素 1 6 は、画素電極と、画素電極とカソード電極間に形成された E L 素子 1 5 と、E L 素子 1 5 に電流を供給する駆動用トランジスタ 1 1 a と、駆動用トランジスタ 1 1 a のゲート端子に、所定の電圧を印加する第 1 のスイッチ用トランジスタ 1 1 d と、映像信号を駆動用トランジスタ 1 1 a のゲート端子に印加する第 2 のスイッチ用トランジスタ 1 1 b とを有する。

【 0 1 4 9 】

また、第 1 のスイッチ用トランジスタ 1 1 d のゲート端子は、第 1 のゲート信号線 1 7 a に接続されており、第 2 のスイッチ用トランジスタ 1 1 b の第 1 のゲート信号線 1 7 a に選択電圧が印加されて第 1 のスイッチ用トランジスタ 1 1 d がオンし、第 2 のゲート信号線 1 7 b に選択電圧が印加されて第 2 のスイッチ用トランジスタ 1 1 b がオンすること

50

により、所定の電圧がソース信号線 18 に供給される。

【0150】

また、EL表示装置は、第2の期間に、第1のゲート信号線 17a に非選択電圧が印加されて、第1のスイッチ用トランジスタ 11d がオフし、第2のゲート信号線 17b に選択電圧が印加されて、第2のスイッチ用トランジスタ 11b がオンすることにより、映像信号が駆動用トランジスタ 11a のゲート端子に印加されることを特徴とするものである。

【0151】

この構成によれば、第1のスイッチ用トランジスタ 11d と第2のスイッチ用トランジスタ 11b をオンさせることにより、所定の電圧は、第1のスイッチ用トランジスタ 11d および第2のスイッチ用トランジスタ 11b のチャンネルを介して、ソース信号線 18 に第1の電圧が印加される。所定の電圧が映像信号の中間電位の場合、ソース信号線 18 は、映像信号の中間電位に充電される。そして、ソースドライバIC (回路) 14 から、ソース信号線 18 に映像信号が印加される。ソースドライバIC (回路) 14 は、ソース信号線 18 が保持されている中間電位と映像信号との差分の電圧を書き込む。したがって、ソースドライバIC (回路) 14 は、小さな駆動振幅で、映像信号をソース信号線に印加することができ、画素 16 に映像信号を印加できる。

【0152】

これにより、本実施の形態に係るEL表示装置において、大型パネルでソース信号線の負荷 (配線抵抗、負荷容量など) が大きくても、また、高精細パネルで1画素行の選択期間 (書き込み時間) が短くとも、各画素 16 に良好に映像信号を書き込むことできる。また、ソース信号線 18 に印加する電圧振幅が小さいため、ソースドライバIC (回路) 14 の使用電力を小さくでき、ソースドライバIC (回路) 14 が過熱することがない。また、ソースドライバIC (回路) 14 などの発熱により、表示領域などのEL素子 15 などが劣化することもない。

【0153】

(実施の形態1の変形例)

以下、図12を用いて、実施の形態1の変形例を説明する。

【0154】

上記した実施の形態1では、リファレンス電圧 V_{ref} をソース信号線 18 に印加する際は、ソースドライバIC (回路) 14 内のスイッチ SW_n をオフ状態 (スイッチ SW はハイインピーダンスあるいはオープン) にするとした。しかし、本開示はこれに限定するものではない。

【0155】

たとえば、図12に図示するように、ソース信号線 18 にリファレンス電圧 V_{ref} を印加し、ソース信号線を予備充電 (プリチャージまたはディスチャージ) するとともに、ソースドライバIC (回路) 14 の出力回路 21 から映像信号などを出力してもよい。これにより、ソース信号線 18 はソースドライバIC (回路) 14 および画素 16 の両方から電流あるいは電荷が流れ込み充電される。したがって、EL表示装置において、高速にソース信号線 18 を中間電位に充電することができる。

【0156】

なお、スイッチ SW は、ソースドライバIC (回路) 14 から出力する映像信号の大きさ (電位、電圧、振幅値) に対応してオンオフ制御を行ってもよい。たとえば、リファレンス電圧 V_{ref} に映像信号が近い場合は、オンさせる。また、先に1H期間にソース信号線 18 に充電されている電圧に対応して、スイッチ SW をオンオフ制御してもよい。先の1H期間の映像信号レベルと次の映像信号レベルが近い場合は、 SW をオフさせる。所定電圧以上、電位が離れている場合は、 SW をオンさせる。同様に、スイッチ用トランジスタ 11b をオンオフ制御してもよい。

【0157】

(実施の形態2)

以下、図 1 3 および図 1 4 を用いて、実施の形態 2 を説明する。

【0158】

図 1 3 は、本開示の E L 表示装置の画素構成である。図 2 の画素構成との差異は、スイッチ用トランジスタ 1 1 f を追加した点、スイッチ用トランジスタ 1 1 f をオンオフ制御するゲート信号線 1 7 f を追加した点である。

【0159】

図 3 の実施の形態では、ゲート信号線 1 7 c、1 7 a にオン電圧を印加し、スイッチ用トランジスタ 1 1 e、1 1 b をオンさせて、リファレンス電圧 V_{ref} をソース信号線 1 8 に印加した。図 1 3 の構成では、ゲート信号線 1 7 f にオン電圧を印加し、スイッチ用トランジスタ 1 1 f をオンさせて、リファレンス電圧 V_{ref} をスイッチ用トランジスタ 1 1 f を介してソース信号線 1 8 を充電する。この時、ゲート信号線 1 7 a にはオフ電圧が印加され、スイッチ用トランジスタ 1 1 b はオフ状態である。

【0160】

なお、同時に、スイッチ用トランジスタ 1 1 e、1 1 b をオンさせて、2 つのトランジスタ (1 1 f、1 1 b) を介して、ソース信号線 1 8 を充電してもよい。

【0161】

他の構成、動作、図 3 ~ 図 8 などと同様あるいは類似であるので説明を省略する。

【0162】

図 1 4 は、図 1 3 の画素構成のタイミングチャートである。図 1 4 において、CS は図 1 0 と同様に制御信号である。GF (1 7 f) は、ゲート信号線 1 7 f である。電位が高い (H) レベルが、オン電圧であり、低い (L) レベルがオフレベルである。

【0163】

したがって、GF (1 7 f) の電位が高い時に、スイッチ用トランジスタ 1 1 f がオンする。したがって、時間 $t_2 \sim t_3$ の A 期間には、スイッチ用トランジスタ 1 1 b とスイッチ用トランジスタ 1 1 f がオンし、リファレンス電圧 V_{ref} が 2 つのスイッチ用トランジスタ (1 1 b、1 1 f) を介して、ソース信号線 1 8 を充電する。

【0164】

時間 $t_2 \sim t_3$ の B 期間には、スイッチ用トランジスタ 1 1 f がオンし、リファレンス電圧 V_{ref} がスイッチ用トランジスタ 1 1 f を介して、ソース信号線 1 8 を充電する。

【0165】

他の構成、動作、図 3 ~ 図 8 などと同様あるいは類似であるので説明を省略する。

【0166】

以上のように、本実施の形態に係る E L 表示装置によると、ソース信号線 1 8 は、第 1 の電圧により中間電位に保持されている。ソースドライバ IC (回路) 1 4 は、中間電位と映像信号の差分の電圧を書き込む。したがって、ソースドライバ IC (回路) 1 4 は、小さな駆動振幅で、映像信号をソース信号線 1 8 に印加することができ、画素 1 6 に映像信号を印加できる。

【0167】

また、上記方式などにより、大型パネルでソース信号線の負荷 (配線抵抗、負荷容量など) が大きくても、また、高精細パネルで 1 画素行の選択期間 (書き込み時間) が短くとも、各画素 1 6 に良好に映像信号を書き込むことできる。また、ソース信号線 1 8 に印加する電圧振幅が小さいため、ソースドライバ IC (回路) 1 4 の使用電力を小さくでき、ソースドライバ IC (回路) 1 4 が過熱することがない。また、ソースドライバ IC (回路) 1 4 などの発熱により、表示領域などの E L 素子 1 5 などが劣化することもない。

【0168】

(実施の形態 3)

以下、図 1 5 ~ 図 1 7 を用いて、実施の形態 3 を説明する。

【0169】

以上の実施の形態は、表示画面 2 0 内に形成または配置された画素 1 6 のスイッチ用トランジスタ 1 1 b などを介して、ソース信号線 1 8 を充電する構成あるいは方法であった

。図 15 は、表示画面 20 外に、ソース信号線 18 を充電する画素 16 s (画素 16 s 1 及び 16 s 2) を形成または配置した構成である。なお、画素 16 s (画素 16 s 1 及び 16 s 2) は、本実施の形態に係る第 1 の画素に相当する。

【0170】

図 15 に示すように、表示画面 20 の上辺にはプリチャージ画素行 15 1 a が配置または形成されている。また、表示画面 20 の下辺にはプリチャージ画素行 15 1 b が配置または形成されている。プリチャージ画素行 15 1 の画素 16 s (画素 16 s 1 及び 16 s 2) の画素構成と、表示画面 20 の画素 16 とは同一の構成として説明する。

【0171】

画素 16 s (画素 16 s 1 及び 16 s 2) のそれぞれのスイッチ用トランジスタ 11 e は、それぞれゲート信号線 17 c s に印加されたオンオフ電圧により、オンオフ制御される。画素 16 s (画素 16 s 1 及び 16 s 2) のスイッチ用トランジスタ 11 b はゲート信号線 17 a s に印加されたオンオフ電圧により、オンオフ制御される。

【0172】

垂直走査期間の最初 (表示画面 20 の第 1 番目画素行の選択前) の期間で、プリチャージ画素行 15 1 a が選択され、各ソース信号線 18 には、画素 16 s (画素 16 s 1 及び 16 s 2) のそれぞれのスイッチ用トランジスタ 11 e、11 b を介して、リファレンス電圧 V_{ref} が印加され、所定の電圧にプリチャージされる。したがって、ソース信号線 18 の電位は、リファレンス電圧 V_{ref} または近傍の電圧に充電されるため、表示画面 20 での映像信号の書き込みが容易になる。なお、スイッチ用トランジスタ 11 e は、本実施の形態に係る第 3 のスイッチ用トランジスタに相当する。

【0173】

表示画面 20 内では、図 17 に図示するように、ソースドライバ IC (回路) 14 の出力回路 21 から出力した映像信号を、画素 16 (画素 16 a 1 及び 16 a 2) のスイッチ用トランジスタ 11 b を介して駆動用トランジスタ 11 a に印加する。

【0174】

なお、表示画面 20 内においても、図 3 ~ 図 8、図 13 などでも説明した動作 (駆動方式) を実施することにより、ソース信号線 18 を充電でき、良好な映像信号書き込みを実現できる。他の構成、動作は、以前に説明した内容と同様あるいは類似であるので説明を省略する。

【0175】

また、画素 16 s (画素 16 s 1 及び 16 s 2) と表示画面 20 内に形成された画素 16 (画素 16 a 1、16 a 2、16 b 1 及び 16 b 2) とは、構成を異ならせてもよい。たとえば、画素 16 s (画素 16 s 1 及び 16 s 2) と表示画面 20 とにおいて、リセット電圧 V_{ref} を印加するスイッチ用トランジスタ 11 e のサイズを異ならせる構成が例示され、複数のトランジスタで構成される画素回路を異ならせる構成が例示される。

【0176】

なお、図 16 の実施の形態において、表示画面 20 外の画素 16 s (画素 16 s 1 及び 16 s 2) のスイッチ用トランジスタ 11 b を用いて、ソース信号線 18 を充電するとしたが、本開示はこれに限定するものではない。たとえば、1 垂直走査期間ごとに、画素 16 s 1 を用いて、ソース信号線 18 を充電し、表示画面 20 内においても、画素 16 a (画素 16 a 1 及び 16 a 2)、画素 16 b (画素 16 b 1 及び 16 b 2)、・・・、を用いて、ソース信号線 18 を充電など行ってもよいことは言うまでもない。

【0177】

図 18 は、本開示の EL 表示装置の他の実施の形態における画素構成の説明図である。ゲート信号線 17 a (Ga) は、スイッチ用トランジスタ 11 e のゲート端子に接続され、スイッチ用トランジスタ 11 e をオンオフ制御する。

【0178】

ゲート信号線 17 b (Gb) は、スイッチ用トランジスタ 11 b のゲート端子に接続され、スイッチ用トランジスタ 11 b をオンオフ制御する。ゲート信号線 17 c (Gc) は

10

20

30

40

50

、スイッチ用トランジスタ 11c のゲート端子に接続され、スイッチ用トランジスタ 11c をオンオフ制御する。ゲート信号線 17a (Gd) は、スイッチ用トランジスタ 11d のゲート端子に接続され、スイッチ用トランジスタ 11d をオンオフ制御する。

【0179】

図 18 の画素構成では、ゲート信号線 17a 及び 17b にゲートドライバ IC (回路) 12a 及び 12b が接続され、両側駆動が実施される。ゲート信号線 17c 及び 17d には、ゲートドライバ IC (回路) 12a のみが接続され、片側駆動が実施される。

【0180】

図 18 において、P チャンネルの駆動用トランジスタ 11a のドレイン端子に、スイッチ用トランジスタ 11d のソース端子が接続され、スイッチ用トランジスタ 11d のドレイン端子に EL 素子 15 のアノード端子が接続されている。EL 素子 15 のカソード端子には、カソード電圧 V_{ss} が印加されている。駆動用トランジスタ 11a のソース端子には、アノード電圧 V_{dd} が印加されている。

【0181】

ゲート信号線 11d にオン電圧が印加されると、スイッチ用トランジスタ 11d がオンし、駆動用トランジスタ 11a からの発光電流が EL 素子 15 に供給される。EL 素子 15 は、発光電流の大きさに基づき発光する。

【0182】

駆動用トランジスタ 11a のゲート端子とドレイン端子間には、スイッチ用トランジスタ 11b のソース端子とドレイン端子が接続され、ゲート信号線 17b にオン電圧が印加されることにより、駆動用トランジスタ 11a のゲート端子とドレイン端子間を短絡 (接続) する。

【0183】

駆動用トランジスタ 11a のゲート端子には、コンデンサ 19b の 1 端子が接続され、コンデンサの他の端子は、スイッチ用トランジスタ 11c のドレイン端子と接続されている。スイッチ用トランジスタ 11c のソース端子は、ソース信号線 18 と接続されている。

【0184】

ゲート信号線 17b のオン電圧が印加されると、スイッチ用トランジスタ 11c がオンして、ソース信号線 18 に印加された映像信号 (電圧、電流) V_s が、画素 16 に印加される。なお、本開示において映像信号は、映像信号電圧としているが、映像信号電流であってもよい。

【0185】

コンデンサ 19a の一端子は、スイッチ用トランジスタ 11b のドレイン端子と接続され、他方の端子は、アノード電極と接続され、アノード電圧 V_{dd} が印加される。

【0186】

なお、コンデンサ 19a の他方の端子は、アノード電極と接続され、アノード電圧 V_{dd} が印加されているとしたが、これに限定するものではない。たとえば、他の任意の直流電圧と接続してもよい。

【0187】

スイッチ用トランジスタ 11d のソース端子は、アノード電極と接続され、アノード電圧 V_{dd} が印加されているとしたが、これに限定するものではない。たとえば、他の任意の直流電圧と接続してもよい。つまり、コンデンサ 19a の他の端子と、駆動用トランジスタ 11a のソース端子は、異なる電位の端子と接続してもよい。

【0188】

一例として、駆動用トランジスタ 11a のソース端子は、アノード電圧 V_{dd} が印加された電極または配線と接続し、スイッチ用トランジスタ 11e の一方の端子を、直流電圧 $V_b = 5$ (V) の電圧が印加された電極または配線と接続する構成が例示される。

【0189】

スイッチ用トランジスタ 11e のドレイン端子は、スイッチ用トランジスタ 11b のド

10

20

30

40

50

レイン端子と接続され、スイッチ用トランジスタ 11e のソース端子は、リセット電圧 V_a が印加された電極あるいは信号線と接続されている。ゲート信号線 17a にオン電圧が印加されることにより、スイッチ用トランジスタ 11e がオンし、リセット電圧 V_a がコンデンサ 19a に印加される。

【0190】

スイッチ用トランジスタ 11c、スイッチ用トランジスタ 11e は P チャンネルにし、LDD 構造を採用する。また、このスイッチ用トランジスタ 11c 及び 11e は、少なくともダブルゲート（ディアルゲート）以上にする。このましくは、トリプルゲート以上にする。つまり、複数のトランジスタのゲートが直列に接続した構造を採用する。

【0191】

LDD 構造、マルチゲート（ディアルゲート、トリプルゲート、あるいはそれ以上のゲート数）を採用することにより、スイッチ用トランジスタ 11c 及び 11e のオフ特性を良好にできる。スイッチ用トランジスタ 11c、スイッチ用トランジスタ 11e のオフ特性を良好にしないと、コンデンサ 19a の電荷を良好に保持ができなくなる。

【0192】

スイッチ用トランジスタ 11c 及び 11e 以外のトランジスタも P チャンネルを採用し、LDD 構造を採用することが好ましい。また、必要に応じて、トランジスタはマルチゲート構造とする。トランジスタのマルチゲート（ディアルゲート以上）を用いることにより、また、LDD 構造と組み合わせることにより、オフリークを抑制でき、良好なコントラスト、オフセットキャンセル動作を実現できる。また、良好な高輝度表示、画像表示を実現できる。たとえば、図 18 において、スイッチ用トランジスタ 11e 及び 11c はディアルゲート構成としている。

【0193】

図 18 の画素構成においても、スイッチ用トランジスタ 11e 及び 11b をオンさせることにより、 V_a 電圧をソース信号線 18 に印加することができる。図 19 に図示するように、スイッチ SW をオンさせて、映像信号をスイッチ用トランジスタ 11b を介して画素 16 に印加する。他の構成、動作、図 3 ~ 図 8 などと同様あるいは類似であるので説明を省略する。

【0194】

したがって、本実施の形態に係る EL 表示装置によると、大型パネルでソース信号線の負荷（配線抵抗、負荷容量など）が大きくても、また、高精細パネルで 1 画素行の選択期間（書き込み時間）が短くとも、各画素 16 に良好に映像信号を書き込むことができる。また、ソース信号線 18 に印加する電圧振幅が小さいため、ソースドライバ IC（回路）14 の使用電力を小さくでき、ソースドライバ IC（回路）14 が過熱することがない。したがって、ソースドライバ IC（回路）14 などの発熱による EL 素子 15 などの劣化を抑制することができる。

【0195】

（他の実施の形態）

上記実施の形態の各々の図で述べた内容（一部でもよい）を様々な電子機器に適用することができる。具体的には、電子機器の表示画面に適用することができる。

【0196】

そのような電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンボ等）、コンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機又は電子書籍等）、記録媒体を備えた画像再生装置（具体的には Digital Versatile Disc（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。

【0197】

図 20 はディスプレイであり、筐体 202、保持台 203、本願発明の EL 表示装置（EL 表示パネル）201を含む。図 20 に示すディスプレイは、様々な情報（静止画、動

10

20

30

40

50

画、テキスト画像など)を表示部に表示する機能を有する。なお、図20に示すディスプレイが有する機能はこれに限定されず、様々な機能を有することができる。

【0198】

図21はカメラであり、シャッター211、ビューファインダ212、カーソル213を含む。図21に示すカメラは、静止画を撮影する機能を有する。動画を撮影する機能を有する。なお、図21に示すカメラが有する機能はこれに限定されず、様々な機能を有することができる。

【0199】

図22はコンピュータであり、キーボード221、タッチパッド222を含む。図22に示すコンピュータは、様々な情報(静止画、動画、テキスト画像など)を表示部に表示する機能を有する。なお、図22に示すコンピュータが有する機能はこれに限定されず、様々な機能を有することができる。

10

【0200】

以上の実施の形態は、本開示の他の実施の形態にも適用できることは言うまでもない。また、他の実施の形態と組み合わせることができることも言うまでもない。

【0201】

本実施の形態の表示部に上記実施の形態で説明したEL表示装置(EL表示パネル)もしくは駆動方式を用いて構成とすることで、上述の図20~図22の情報機器などを高画質化することができ、また、低コスト化を実現できる。また、検査、調整を容易に実施することができる。

20

【0202】

本実施の形態は他の実施の形態と適宜組み合わせて実施することが可能である。

【0203】

本開示の実施の形態に図示あるいは明細書で説明した事項あるいは内容は、他の実施の形態においても適用される。また、本開示の実施の形態で説明あるいは図示したEL表示パネルの構成などは、本開示のEL表示装置に採用できる。

【0204】

たとえば、図22のノート型パーソナルコンピュータのEL表示装置201として、本開示の実施の形態で図示した、あるいは説明したEL表示装置(EL表示パネル)を採用できる。また、情報機器を構成することができることは言うまでもない。

30

【0205】

また、同一番号または、記号等を付した箇所は、同一もしくは類似の形態もしくは材料あるいは機能もしくは動作、あるいは関連する事項、作用などを有する。なお、異なる場合もある。

【0206】

また、各図面等で説明した内容は特に断りがなくとも、他の実施の形態等と組み合わせることができる。たとえば、図1の本開示のEL表示パネルにタッチパネルなどを付加し、図20、図21、図22に図示する情報表示装置などを構成することができる。

【0207】

また、駆動用トランジスタ11aおよびスイッチ用トランジスタ11b、11c、11d、11eは、薄膜トランジスタとして説明するが、これに限定するものではない。薄膜ダイオード(TFD)、リングダイオードなどでも構成することができる。

40

【0208】

トランジスタ11(駆動用トランジスタ11a、スイッチ用トランジスタ11b、11c、11d、11e)は、薄膜素子に限定するものではなく、シリコンウエハに形成したトランジスタでもよい。たとえば、シリコンウエハでトランジスタを構成し、剥がしてガラス基板に転写したものが例示される。また、シリコンウエハでトランジスタチップ(ドライバ回路など)を形成し、ガラス基板のボンディング実装した表示パネルが例示される。

【0209】

50

トランジスタ 11 (駆動用トランジスタ 11 a、スイッチ用トランジスタ 11 b、11 c、11 d、11 e) は、もちろん、FET、MOS - FET、MOS トランジスタ、バイポーラトランジスタ、MIS でもよい。これらも基本的に薄膜トランジスタである。その他、パリスタ、サイリスタ、リングダイオード、ホトダオード、ホトトランジスタ、PLZT 素子などでもよいことは言うまでもない。

【0210】

本開示のトランジスタ 11 (駆動用トランジスタ 11 a、スイッチ用トランジスタ 11 b、11 c、11 d、11 e) は、N チャンネル、P チャンネルのトランジスタとも、LDD (Lightly Doped Drain) 構造を採用することが好ましい。

【0211】

トランジスタ 11 (駆動用トランジスタ 11 a、スイッチ用トランジスタ 11 b、11 c、11 d、11 e) は、高温ポリシリコン (HTPS : High - temperature polycrystalline silicon)、低温ポリシリコン (LTPS : Low - temperature polysilicon)、連続粒界シリコン (CGS : Continuous grain silicon)、透明アモルファス酸化物半導体 (TAOS : Transparent Amorphous Oxide Semiconductors、IZO)、アモルファスシリコン (AS : amorphous silicon)、赤外線 RTA (RTA : rapid thermal annealing) で形成したもののうち、いずれでもよい。

【0212】

本開示は、画素 16 のトランジスタ 11 (駆動用トランジスタ 11 a、スイッチ用トランジスタ 11 b、11 c、11 d、11 e) を N チャンネルで構成することのみに限定するものではない。P チャンネルのトランジスタのみで構成してもよい。また、N チャンネルと P チャンネルの両方を用いて画素回路を構成あるいは形成してもよい。また、駆動用トランジスタ 11 a を P チャンネルトランジスタと N チャンネルトランジスタの両方を用いて構成あるいは形成してもよい。

【0213】

トランジスタ 11 (駆動用トランジスタ 11 a、スイッチ用トランジスタ 11 b、11 c、11 d、11 e) は、トップゲート構造にすることが好ましい。トップゲート構造にすることにより寄生容量が低減する。また、トップゲートのゲート電極パターンが、遮光層となり、EL 素子 15 から出射された光を遮光層で遮断し、トランジスタの誤動作、オフリーク電流を低減できるからである。また、LDD 構造を採用することが好ましい。

【0214】

また、各スイッチ用トランジスタ 11 (スイッチ用トランジスタ 11 b、11 c、11 d、11 e) は、複数のトランジスタで形成してもよい。各スイッチ用トランジスタ 11 (スイッチ用トランジスタ 11 b、11 c、11 d、11 e) をダブルゲート、トリプルゲートなどのマルチゲート構成にする。マルチゲート構成にすることにより、オフリークが低減し、良好なコントラスト表示、オフセットキャンセル動作を実現できる。

【0215】

ゲート信号線 17 a 及び 17 b またはソース信号線 18、もしくはゲート信号線 17 a 及び 17 b とソース信号線 18 の両方の配線材料として、銅配線または銅合金配線を採用できるプロセスを実施することが好ましい。信号線の配線抵抗を低減でき、より大型の EL 表示パネルを実現できるからである。

【0216】

ゲートドライバ IC (回路) 12 a 及び 12 b が駆動 (制御) するゲート信号線 17 a 及び 17 b は、低インピーダンス化することが好ましい。したがって、ゲート信号線 17 a 及び 17 b の構成あるいは構造に関しても同様である。

【0217】

トランジスタ 11 (駆動用トランジスタ 11 a、スイッチ用トランジスタ 11 b、11 c、11 d、11 e) は、低温ポリシリコン (LTPS : Low - temperature

10

20

30

40

50

e poly silicon)を採用することが好ましい。低温ポリシリコンは、トランジスタはトップゲート構造であり寄生容量が小さく、NチャンネルおよびPチャンネルトランジスタを作製でき、また、プロセスに銅配線または銅合金配線プロセスを用いることができる。なお、銅配線は、Ti-Cu-Tiの3層構造を採用することが好ましい。

【0218】

配線は、透明アモルファス酸化物半導体(TAOS: Transparent Amorphous Oxide Semiconductors)の場合には、モリブデン(Mo)-Cu-Moの3層構造を採用することが好ましい。

【0219】

以上のように、本開示における技術の例示として、実施の形態を説明した。そのために、添付図面および詳細な説明を提供した。

10

【0220】

したがって、添付図面および詳細な説明に記載された構成要素の中には、課題解決のために必須な構成要素だけでなく、上記技術を例示するために、課題解決のためには必須でない構成要素も含まれ得る。そのため、それらの必須ではない構成要素が添付図面や詳細な説明に記載されていることをもって、直ちに、それらの必須ではない構成要素が必須であるとの認定をするべきではない。

【0221】

また、上述の実施の形態は、本開示における技術を例示するためのものであるから、請求の範囲またはその均等の範囲において種々の変更、置き換え、付加、省略などを行うことができる。

20

【産業上の利用可能性】

【0222】

本開示は、EL表示装置(EL表示パネル)およびその駆動方法に利用できる。具体的には、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンボ等)、コンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機又は電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDigital Versatile Disc(DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などに利用することができる。

30

【符号の説明】

【0223】

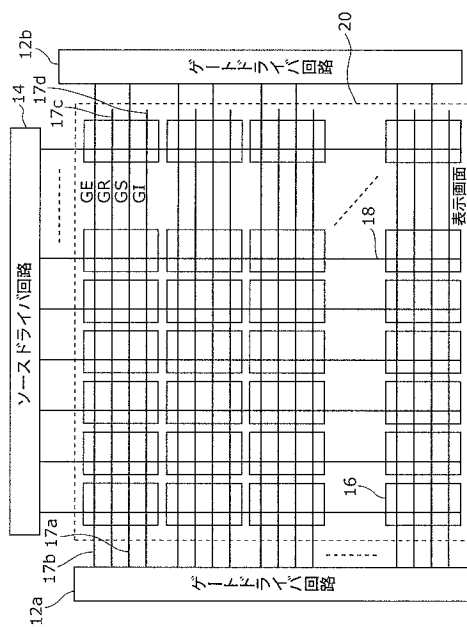
- 11a 駆動用トランジスタ(TFT)
- 11b スイッチ用トランジスタ(第1のスイッチ用トランジスタ)
- 11d スイッチ用トランジスタ(第2のスイッチ用トランジスタ)
- 12a、12b ゲートドライバIC(回路)
- 14 ソースドライバIC(回路)
- 15 EL素子
- 16 画素
- 17a ゲート信号線(第1のゲート信号線)
- 17b ゲート信号線(第2のゲート信号線)
- 18 ソース信号線
- 19a、19b コンデンサ
- 20 表示画面
- 21 出力回路
- 201 EL表示パネル(EL表示装置)
- 202 筐体
- 203 保持台
- 211 シャッター
- 212 ビューファインダ

40

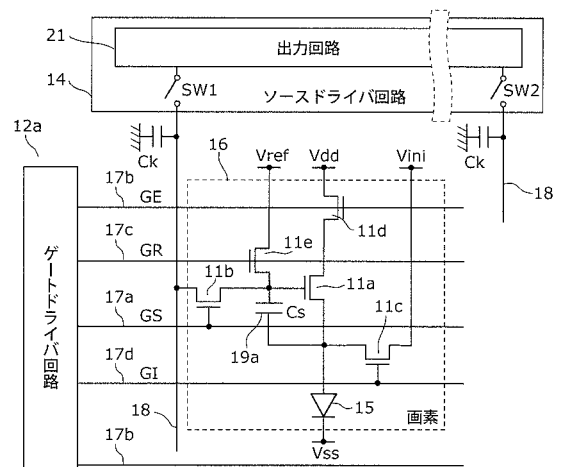
50

- 2 1 3 カーソル
- 2 2 1 キーボード
- 2 2 2 タッチパッド

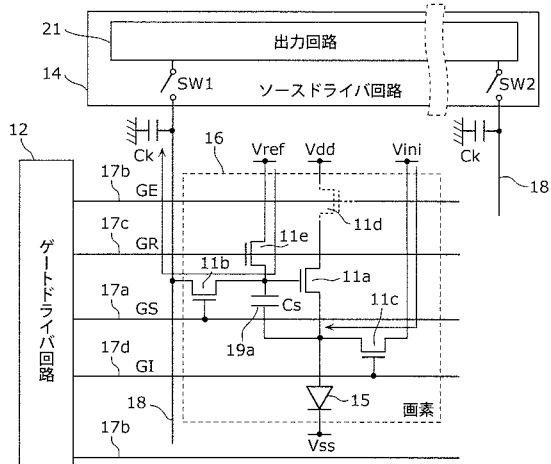
【図 1】



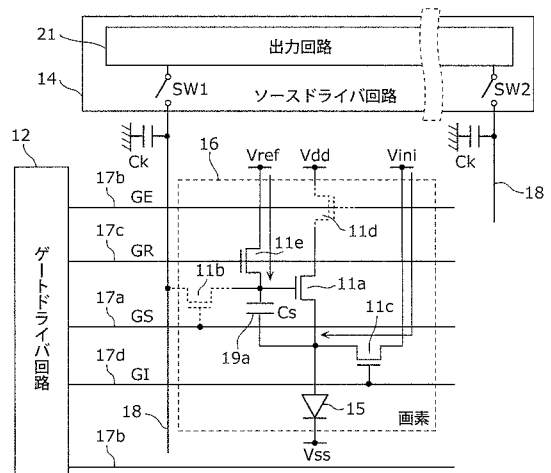
【図 2】



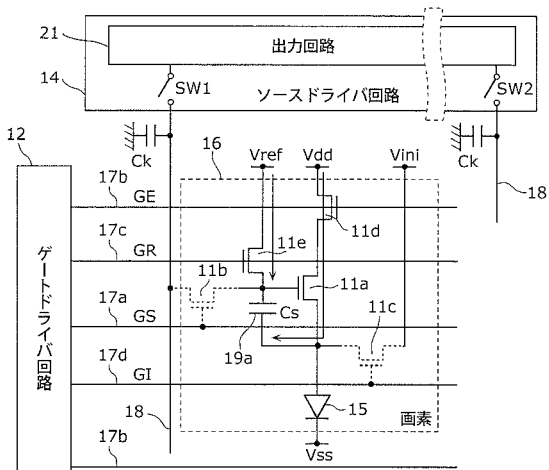
【図 3】



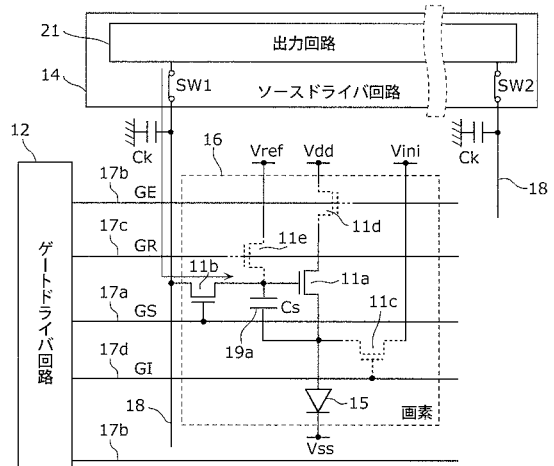
【図 4】



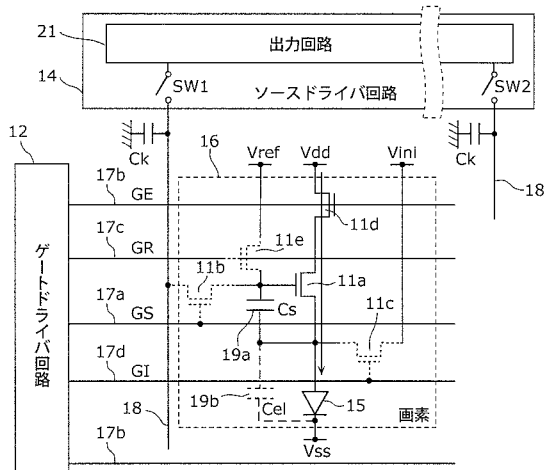
【図 5】



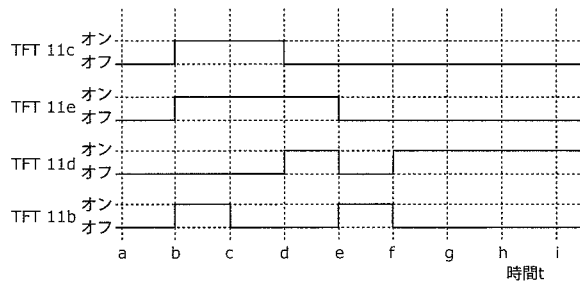
【図 6】



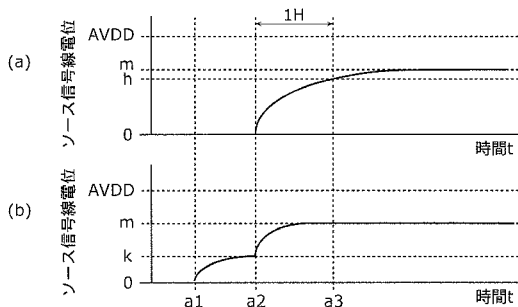
【図 7】



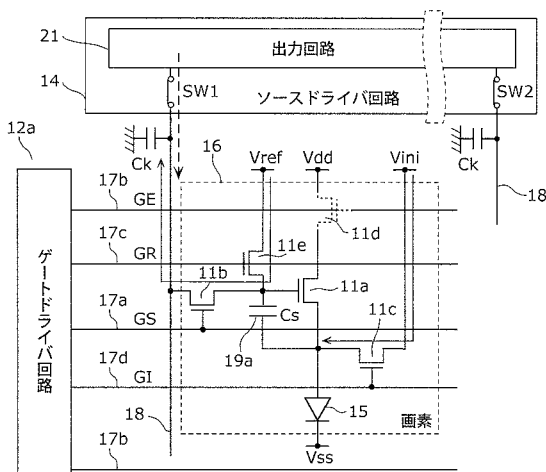
【図 8】



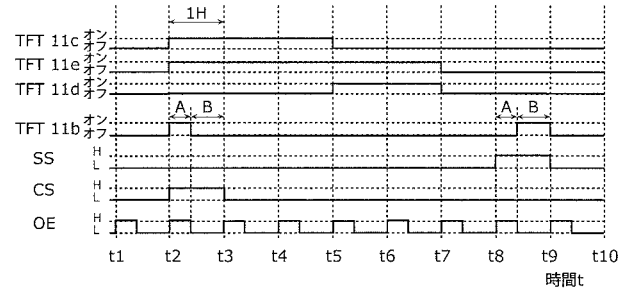
【図 11】



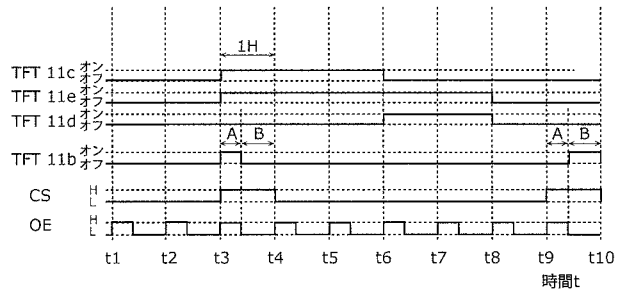
【図 12】



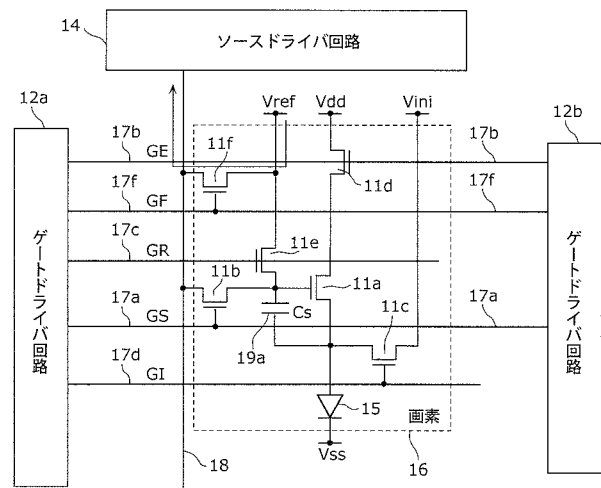
【図 9】



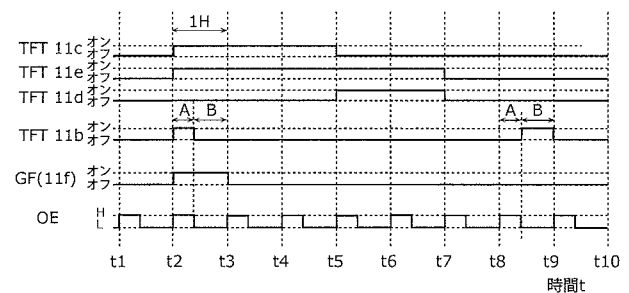
【図 10】



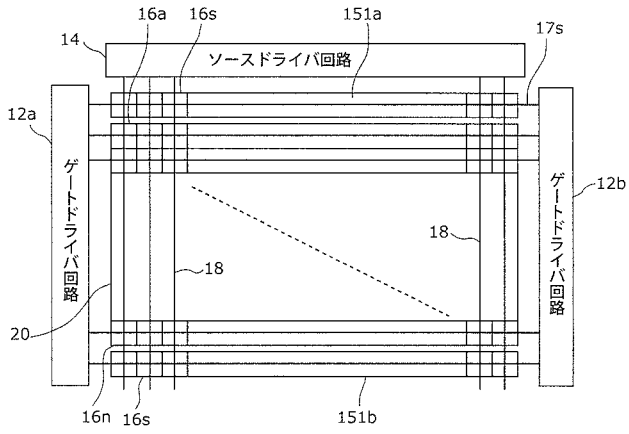
【図 13】



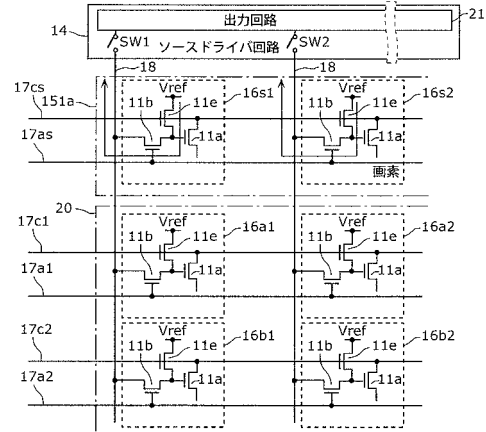
【図 14】



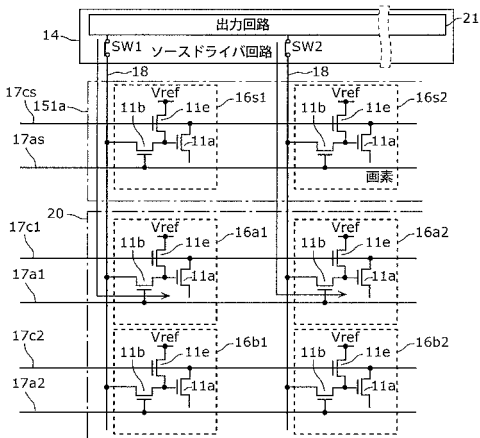
【図 15】



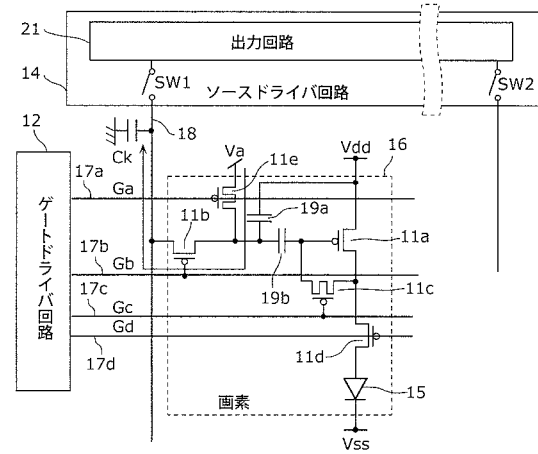
【図 16】



【図 17】



【図 18】



【 図 2 0 】

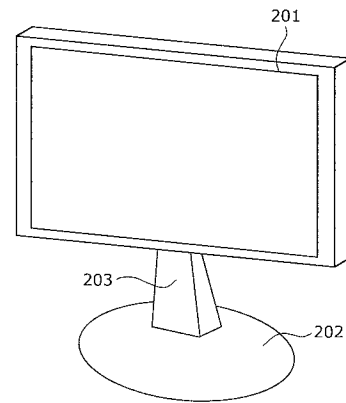


Figure 1 is a perspective view of a microwave oven 100. The microwave oven 100 includes a door 201, a control panel 211, a display 212, and a turntable 213.

Figure 1 is a perspective view of a laptop computer 100. The laptop includes a display 201, a keyboard 221, and a touchpad 222.

专利名称(译)	EL显示装置和EL显示装置的驱动方法		
公开(公告)号	JP2015018100A	公开(公告)日	2015-01-29
申请号	JP2013145162	申请日	2013-07-11
[标]申请(专利权)人(译)	松下电器产业株式会社		
申请(专利权)人(译)	松下电器产业株式会社		
[标]发明人	中川博文 高原博司		
发明人	中川 博文 高原 博司		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.612.E G09G3/20.670.L G09G3/20.621.H G09G3/20.621.F G09G3/20.611.A G09G3/20.670.K H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/BB08 3K107/CC24 3K107/CC35 3K107/CC42 3K107/EE03 3K107/HH02 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD01 5C080/DD08 5C080/DD09 5C080/DD20 5C080/DD25 5C080/DD26 5C080/DD29 5C080/EE29 5C080/EE30 5C080/FF11 5C080/HH10 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK02 5C080/KK07 5C080/KK23 5C080/KK43 5C080/KK47 5C080/KK50 5C380/AA02 5C380/AB06 5C380/AB07 5C380/AB18 5C380/AB21 5C380/AB22 5C380/AB23 5C380/AB24 5C380/AB28 5C380/AB34 5C380/AB36 5C380/AB37 5C380/AB41 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/AC13 5C380/BA01 5C380/BA05 5C380/BA10 5C380/BA19 5C380/BA38 5C380/BA39 5C380/BB06 5C380/BB12 5C380/BB23 5C380/BC02 5C380/BC03 5C380/BC13 5C380/BC15 5C380/BD09 5C380/BD10 5C380/BD12 5C380/CA12 5C380/CB17 5C380/CB18 5C380/CB26 5C380/CC04 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC39 5C380/CC65 5C380/CC66 5C380/CD015 5C380/CD016 5C380/CD025 5C380/CE04 5C380/CF07 5C380/CF51 5C380/DA02 5C380/DA06 5C380/DA07 5C380/DA19 5C380/DA33 5C380/HA02 5C380/HA03 5C380/HA05		
代理人(译)	新居 広守 荣作Teratani Dozaka真一		
外部链接	Espacenet		

摘要(译)

解决的问题：即使将面板做得大并且具有高清晰度，也可以通过在像素中令人满意地写入视频信号而不会引起源驱动器IC的发热的问题来实现良好的图像显示。像素包括源极信号线18，栅极信号线17a和栅极信号线17b，像素16包括驱动晶体管11a，开关晶体管11b和开关晶体管11d。晶体管11b的栅极端子连接至栅极信号线17a，并且在第一时段期间开关晶体管11b导通并且开关晶体管11d导通，从而将第一电压提供至源极信号线18a。并且在第二时段期间，开关晶体管11b截止并且开关晶体管11d导通至栅极信号线17b，从而视频信号被施加至驱动晶体管11a的栅极端子。[选择图]图3

