

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2013-512473

(P2013-512473A)

(43) 公表日 平成25年4月11日(2013.4.11)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 Z	3K107
G09G 3/20 (2006.01)	G09G 3/20 624A	5C080
H01L 51/50 (2006.01)	G09G 3/20 670J	5C380
H05B 33/08 (2006.01)	G09G 3/20 670B	
	G09G 3/20 621J	

審査請求 未請求 予備審査請求 未請求 (全 26 頁) 最終頁に続く

(21) 出願番号 特願2012-541612 (P2012-541612)
 (86) (22) 出願日 平成22年11月29日 (2010.11.29)
 (85) 翻訳文提出日 平成24年7月25日 (2012.7.25)
 (86) 国際出願番号 PCT/IB2010/055486
 (87) 国際公開番号 W02011/064761
 (87) 国際公開日 平成23年6月3日 (2011.6.3)
 (31) 優先権主張番号 2688870
 (32) 優先日 平成21年11月30日 (2009.11.30)
 (33) 優先権主張国 カナダ (CA)

(71) 出願人 507257080
 イグニス・イノベーション・インコーポレ
 ーテッド
 IGNIS INNOVATION IN
 CORPORATED
 カナダ オンタリオ ウォータールー バ
 サースト ドライブ 50 ユニット 1
 2
 (74) 代理人 110001210
 特許業務法人 Y K I 国際特許事務所
 (72) 発明者 チャジ ゴラムレザ
 カナダ オンタリオ ウォータールー ケ
 ルソ ドライブ 463

最終頁に続く

(54) 【発明の名称】 AMO LEDディスプレイにおける経時変化補正システムおよび方法

(57) 【要約】

ディスプレイ装置の経時変化補正のためのベースライン測定を提供する方法およびシステムが開示される。例となるディスプレイシステムは、複数のアクティブピクセルと、参照ピクセルとを有する。共通の入力信号が、参照信号と複数のアクティブピクセルとに提供される。参照ピクセルの出力を測定し、アクティブピクセルの出力と比較して、経時変化の影響を判断する。既知の第1基準電流を、可変の第2基準電流および複数のピクセルのうちの1つなどの被試験装置の出力をもつ電流比較器に印加して、ディスプレイシステムの検査を行うこともできる。該可変基準電流は、第2の電流と被試験装置の出力とが、第1の電流と等しくなるまで調整される。結果として生じる被試験装置の電流は、ディスプレイシステム動作中の経時変化測定のベースラインとしてルックアップテーブルに記憶される。また、ディスプレイシステムを検査して、OLEDや駆動トランジスタのようなピクセル構成要素における短絡回路などの異常を判断することによって製造上の欠陥を判断することもできる。

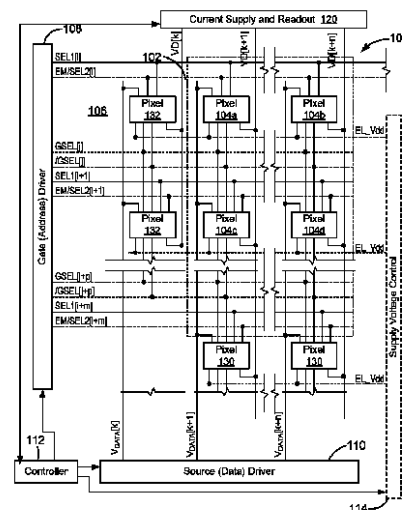


FIG. 1

【特許請求の範囲】**【請求項 1】**

電圧がプログラムされたディスプレイパネルであって、前記ディスプレイパネルのピクセルへの影響を測定することが可能であり、

前記ディスプレイパネルを形成し、動作条件の下で画像を表示する複数のアクティブピクセルであって、それぞれが、供給ラインとプログラミングラインとに接続されている複数のアクティブピクセルと、

前記供給ラインと前記プログラミングラインとに接続されている参照ピクセルであって、前記動作条件から独立した制御条件を有する参照ピクセルと、

前記複数のアクティブピクセルのそれぞれと前記参照ピクセルとに接続された制御器であって、前記複数のアクティブピクセルと前記参照ピクセルとにテスト電圧が印加されるようにして、さらに前記参照ピクセルの出力と前記複数のアクティブピクセルのうちの 1 つの前記出力とを比較する制御器と

を備えるディスプレイパネル。

【請求項 2】

前記ディスプレイは、AMOLED 型であり、

前記アクティブピクセルおよび前記参照ピクセルは、それぞれ、駆動トランジスタと、前記駆動トランジスタに接続された有機発光装置とを含む、請求項 1 に記載のシステム。

【請求項 3】

前記制御器は、前記参照ピクセルの出力と前記複数のアクティブピクセルのうちの 1 つの出力との比較に基づいて前記複数のピクセルのうちの 1 つに対するプログラミング電圧を補正する、請求項 1 に記載のシステム。

【請求項 4】

前記参照ピクセルは、複数の参照ピクセルのうちの 1 つであって、前記制御器は、前記参照ピクセルが機能しているかを判断し、前記参照ピクセルが機能していない場合、前記テスト電圧が、前記複数の参照ピクセルのうちの別の参照ピクセルに印加される、請求項 1 に記載のシステム。

【請求項 5】

前記パネルが、ピクセルからなる行と列を有し、前記参照ピクセルは、ピクセルからなる列に関連づけられている、請求項 1 に記載のシステム。

【請求項 6】

前記参照ピクセルと前記複数のアクティブピクセルのうちの 1 つとからの出力が出力電流である、請求項 5 に記載のシステム。

【請求項 7】

前記参照ピクセルが、ピクセルからなる行に関連付けられている、請求項 5 に記載のシステム。

【請求項 8】

前記複数のアクティブピクセルのうちの 1 つの輝度曲線データを記憶するメモリをさらに備え、

前記制御器が、前記記憶された輝度曲線データと前記参照ピクセルからの前記出力とを比較する、請求項 7 に記載のシステム。

【請求項 9】

前記参照ピクセルの制御条件は、経時変化しない条件であり、

前記複数のアクティブピクセルは、画像を表示するときに、経時変化による影響を受ける、請求項 1 に記載のシステム。

【請求項 10】

前記複数のアクティブピクセルは、印加電流レベルを有し、

前記参照ピクセルは、前記複数のアクティブピクセルの前記電流レベルより小さい印加電流レベルを有する、請求項 1 に記載のシステム。

【請求項 11】

10

20

30

40

50

複数の発光装置ピクセルを含むトランジスタベースのディスプレイの経時変化の影響のベースライン値を決定する方法であって、各ピクセルは、輝度を決定するプログラミング電圧入力を有し、前記方法は、

設定されたプログラミング電圧入力を前記ディスプレイの被試験装置に印加するステップと、

前記設定されたプログラミング電圧入力に基づき出力電流を生成するステップと、

電流比較器を介して、第1基準電流および可変の第2基準電流と、前記出力電流とを、前記第1基準電流と、前記第2基準電流と前記出力電流とを組み合わせた電流と同じになるまで、比較するステップと、

前記第2基準電流と前記出力電流とを組み合わせた電流が、前記第1電流と同じになったとき、前記第2基準電流の値に基づいて前記出力電流値を決定するステップと、を含む、方法。

10

【請求項12】

前記被試験装置に関連付けられたテーブルに前記決定された出力電流値を記憶するステップをさらに含む、請求項11に記載の方法。

【請求項13】

前記被試験装置は有機LEDである、請求項11に記載の方法。

【請求項14】

前記被試験装置は駆動トランジスタである、請求項11に記載の方法。

【請求項15】

20

複数のピクセルを有するディスプレイ装置の製造用のデータを決定する方法であって、

前記複数のピクセルのそれぞれに対してテスト信号を印加するステップと、

前記ピクセルのそれぞれの電圧および電流特性を測定するステップと、

前記ピクセルのそれぞれに異常がないかを判断するステップと、

異常を示す前記ピクセルからの異常データを記憶するステップと、

を含む方法。

【請求項16】

前記記憶された異常データを分析して、前記ディスプレイ装置の製造工程における不具合を判断する、請求項15に記載の方法。

【請求項17】

30

前記記憶された異常データを分析して、前記ディスプレイ装置における不具合を判断する、請求項15に記載の方法。

【請求項18】

前記ピクセルは、有機発光装置と、駆動トランジスタとを含み、

前記異常は、短絡した有機発光装置と、短絡した駆動トランジスタとを含む、請求項15に記載の方法。

【請求項19】

ディスプレイシステムであって、

画像を表示するピクセルアレイと、

特性データを含むメモリと、

40

前記メモリに接続され、前記特性データに基づいて複数の輝度プロファイルを生成するプロファイル生成器と、

前記プロファイル生成器と、前記ピクセルアレイとに接続され、前記ピクセルアレイの輝度を、前記複数の輝度プロファイルのうち選択された1つにしたがって変更する制御器と、

を備えるディスプレイシステム。

【請求項20】

前記特性には、前記ピクセルのOLED特性と、前記ディスプレイのバックプレーン特性および所定の仕様とが含まれる、請求項19に記載のディスプレイシステム。

【請求項21】

50

前記選択された輝度プロファイルは、前記ディスプレイシステムに影響を与える外部条件または前記ピクセルアレイに表示される前記画像の適用に基づいて選択される、請求項 19 に記載のディスプレイシステム。

【請求項 22】

前記制御器に接続され、前記ピクセルアレイに送出される画像データを調整して経時変化の補正をする経時変化決定機をさらに備える、請求項 19 に記載のディスプレイシステム。

【発明の詳細な説明】

【技術分野】

【0001】

[優先権主張]

本願は、2010年11月30日に出願されたカナダ特許出願番号2,688,870号に基づいて優先権を主張する。

【0002】

[著作権]

本特許文献の開示の一部には、著作権保護の対象となる資料が含まれる。著作権者は、それが特許商標庁の書類または記録に記載される限り、何人による本特許開示の複写複製に対しても異議は唱えられない。ただし、その他の場合にはいかなるときも全ての著作権を保有する。

【0003】

本発明は、概してアクティブマトリックス有機発光装置 (AMOLED) ディスプレイに関し、具体的には、このようなディスプレイのピクセルの補正が必要となる経時変化条件の判断に関する。

【背景技術】

【0004】

現在、アクティブマトリックス有機発光装置 (「AMOLED」) ディスプレイは、導入過程にある。このディスプレイの利点としては、低電力消費、生産柔軟性、従来の液晶ディスプレイを超えた高速度のリフレッシュレートがある。従来の液晶ディスプレイに比べて、AMOLEDディスプレイでは、各ピクセルが独立して発光する異なる色のOLEDからなるため、バックライトがない。OLEDは、駆動トランジスタを通して供給される電流に基づいて発光する。駆動トランジスタは、一般的には、薄膜トランジスタ (TFT) である。各ピクセルで消費される電力は、そのピクセルで生じる光の強度に直接的に関係している。

【0005】

駆動トランジスタの流入駆動電流が、ピクセルのOLED輝度を決定する。ピクセル回路は電圧プログラム可能であるから、駆動トランジスタの電圧 - 電流特性を変えるディスプレイ表面の空間的・時間的熱プロファイルが、ディスプレイの質に影響を及ぼす。また、薄膜トランジスタ装置の短時間の経時変化の速度は、温度にも依存している。さらに、ピクセルの出力は、駆動トランジスタの長期間の経時変化によっても影響を受ける。熱駆動による望まない視覚効果を補正するために、ビデオストリームに適切な修正を加えることができる。駆動トランジスタの長期間の経時変化は、ピクセルをそのピクセルの記憶されたデータと対照して較正することによって適切に判断され、経時変化の影響が判断される。したがって、ディスプレイ装置の耐用年限を通して正確な経時変化データが必要となる。

【0006】

現在、ピクセルを有するディスプレイは、納品前に、すべてのピクセルを明灯状態で電力供給することによって検査される。そして、ピクセルアレイは、すべてのピクセルが機能しているかどうかを判断するために光学検査される。しかし、光学検査では、ピクセルの出力に出現しないことがある電氣的不具合を検出することができない。ピクセルのベースラインデータは、工場から出荷される前に決定されるピクセルの設計パラメータおよび

10

20

30

40

50

特性に基づいているが、これは、ピクセル自体の実際の物理的特性を説明するものではない。

【 0 0 0 7 】

様々な補正システムにおいて、ビデオフレームが常にパネルに表示され、O L E D回路およびT F T回路が絶えず電氣的ストレスを受ける通常の駆動スキームが使用されている。さらに、アクティブサブピクセルのグレイスケール値を所望の値に変更することによって、各ビデオフレームの期間において各サブピクセルのピクセル較正（データ置換および測定）が生じる。これにより較正中に測定されたサブピクセルを見る際に視覚的歪みが生じる。フレーム全体が継続している間、修正されたグレイスケールレベルが、サブピクセルに維持されるため、測定されたサブピクセルの経時変化を劣化させることもあり得る。

10

【 0 0 0 8 】

したがって、ディスプレイの時間的空間的情報の正確な測定を提供する技術およびこの情報を適用してA M O L E Dディスプレイの表示の均一性を向上させる方法が必要とされている。また、経時変化を補正する目的で、ピクセル特性のベースライン測定値を正確に決定することも必要である。

【 発 明 の 概 要 】

【 0 0 0 9 】

本開示の一側面は、電圧がプログラムされたディスプレイパネルであって、該パネルのピクセルへの影響を測定することが可能であるパネルを備える。パネルは、ディスプレイパネルを形成し、動作条件の下で画像を表示する複数のアクティブピクセルを備える。各アクティブピクセルは、供給ラインとプログラミングラインとに接続されている。参照ピクセルは、供給ラインと、プログラミングラインとに接続されている。参照ピクセルは、動作条件から独立した制御条件を有する。制御器は、複数のアクティブピクセルのそれぞれと参照ピクセルとに接続されている。制御器は、複数のアクティブピクセルと参照ピクセルとにテスト電圧が印加されるようにする。制御器は、参照ピクセルの出力と複数のアクティブピクセルのうちの1つの出力とを比較する。

20

【 0 0 1 0 】

別の例は、複数の発光装置ピクセルを含むトランジスタベースのディスプレイの経時変化の影響のベースライン値を決定する方法である。各ピクセルは、輝度を決定するプログラミング電圧入力を有する。設定されたプログラミング電圧入力は、ディスプレイの被試験装置に入力される。設定されたプログラミング電圧入力に基づき出力電流が生成される。電流比較器を介して、第1基準電流および可変の第2基準電流と、前記出力電流とを、第1基準電流と、第2基準電流と出力電流とを組み合わせた電流が同じになるまで比較する。第2基準電流と出力電流とを組み合わせた電流が、第1電流と同じになったとき、第2基準電流の値に基づいて出力電流値を決定する。

30

【 0 0 1 1 】

別の例は、複数のピクセルを有するディスプレイ装置の製造用のデータを決定する方法である。複数のピクセルのそれぞれに対してテスト信号を印加する。各ピクセルの電圧および電流特性を測定する。各ピクセルに異常がないかを判断する。異常を示すピクセルからの異常データを記憶する。

40

【 0 0 1 2 】

別の例は、画像を表示するピクセルアレイを備えるディスプレイシステムである。メモリは、特性データを含む。プロファイル生成器は、メモリに接続され、特性データに基づいて複数の輝度プロファイルを生成する。制御器は、プロファイル生成器と、ピクセルアレイとに接続され、ピクセルアレイの輝度を、複数の輝度プロファイルのうち選択された1つにしたがって変更する。

【 0 0 1 3 】

本発明の前述およびさらなる側面および実施形態は、図面（以下に簡単に説明される）を参照しながらなされる種々の実施形態および/または側面の詳細な説明を考慮すれば当業者には明らかになるであろう。

50

【図面の簡単な説明】

【0014】

本発明の前述およびその他の利点は、以下の詳細な説明を読み、図面を参照すれば明らかになるであろう。

【図1】図1は、パラメータ補正制御のデータを修正するための参照ピクセルをもつAMOLEDディスプレイのブロック図である。

【図2A】図2Aは、経時変化パラメータについての検査を受けてもよいAMOLEDの複数のピクセルのうちの1つのピクセルの駆動回路のブロック図である。

【図2B】図2Bは、AMOLEDの複数のピクセルのうちの1つのピクセルの駆動回路の回路図である。

【図3】図3は、被試験装置のベースライン経時変化パラメータのうちの1つを決定するシステムのブロック図である。

【図4A】図4Aは、経時変化補正において使用するために、基準電流レベルを被試験装置と比較する電流比較器のブロック図である。

【図4B】図4Bは、図4Aの電流比較器の詳細な回路図である。

【図4C】図4Cは、図4Aの電流比較器に接続された、図3の被試験装置の詳細なブロック図である。

【図5A】図5Aは、被試験装置の電流出力を決定する工程にある図3、図4の電流比較器のための信号の信号タイミング図である。

【図5B】図5Bは、図3、図4の電流比較器のバイアス電流を調整する信号の信号タイミング図である。

【図6】図6は、図1のAMOLEDディスプレイの経時変化を補正する基準電流システムのブロック図である。

【図7】図7は、異なる環境にあるディスプレイを調整するために複数の輝度プロファイルを使用するシステムのブロック図である。

【図8】図8は、ディスプレイのピクセルを較正するためのビデオフレームのフレーム図である。

【図9】図9は、より正確な経時変化補正のために、参照ピクセルに小さな電流を印加して使用することを示すグラフである。

【発明を実施するための形態】

【0015】

本発明は、種々の改良及び代替形態が可能であるが、特定の実施形態を図において例として示し、本明細書において詳細に説明する。ただし、本発明は、開示された特定の形態に限定されることを意図したものではないことを理解されたい。むしろ、本発明は、添付の特許請求の範囲に規定した本発明の思想および範囲に包含される全ての変更物、均等物、及び代替物を網羅するものである。

【0016】

図1は、電子ディスプレイシステム100であって、アクティブマトリックス領域またはアクティブピクセル104a~104dからなるアレイが行列構成で配置されているピクセルアレイ102を有する。説明を簡単にするために、2つの行列のみを示す。ピクセルアレイ102であるアクティブマトリックス領域の外側には、ピクセルアレイ102の領域を駆動し制御する周辺回路が配置された周辺領域106がある。周辺回路は、ゲートまたはアドレス駆動回路108、ソースまたはデータ駆動回路110、制御器112、および任意の供給電圧（例えば、V_{dd}）ドライバ114を含む。制御器112は、ゲートドライバ108、ソースドライバ110、供給電圧ドライバ114を制御する。制御器112に制御されたゲートドライバ108は、ピクセルアレイ102における各ピクセル104の行の数だけ、SEL[i]、SEL[i+1]などのアドレスラインまたは選択ラインに対して作用する。以下に説明するピクセル共有構成では、ゲートまたはアドレス駆動回路108は、例えば、ピクセル104a~104dのうち2行ごとにというように、ピクセルアレイ102におけるピクセル104a~104dの複数の行に対して作用するグロ

10

20

30

40

50

ーバル選択ライン $GSEL[j]$ 、および任意で備えられる $GSEL[j]$ に対して任意で作用することもできる。制御器 112 に制御されたソースドライバ回路 110 は、ピクセルアレイ 102 におけるピクセル 104a ~ ピクセル 104 の各列の数だけ、 $Vdata[k]$ 、 $Vdata[k+1]$ などの電圧データラインに対して作用する。電圧データラインは、ピクセル 104 の各発光装置の輝度を示す電圧プログラミング情報を各ピクセル 104 に伝える。ピクセル 104 におけるキャパシタなどの記憶素子は、発光または駆動サイクルによって発光装置が作動されるまで電圧プログラミング情報を記憶する。制御器 112 に制御された任意の供給電圧ドライバ 114 は、ピクセルアレイ 102 におけるピクセル 104a ~ ピクセル 104 の各行の数だけ、供給電圧 (EL_Vdd) ラインを制御する。

10

【0017】

また、ディスプレイシステム 100 は、電流バイアスラインに固定電流を供給する電流源回路を含んでもよい。構成によっては、基準電流を電流源回路に供給してもよい。このような構成では、電流源制御によって電流バイアスラインにバイアス電流を印加するタイミングが制御される。基準電流が電流源回路に供給されない構成では、電流源のアドレスドライバが、電流バイアスラインにバイアス電流を印加するタイミングを制御する。

【0018】

周知のように、ディスプレイシステム 100 のピクセル 104a ~ 104d の各々には、ピクセル 104a ~ 104d の発光装置の輝度を示す情報がプログラムされる必要がある。フレームによってプログラミング周期またはフェーズを含む期間が定義され、このプログラミング周期またはフェーズの期間中にディスプレイシステム 100 のすべてのピクセルに対して、輝度と、駆動 / 発光サイクルまたはフェーズを示すプログラミング電圧がプログラムされ、この駆動 / 発光サイクルまたはフェーズの期間中に記憶素子に記憶されたプログラミング電圧と同等の輝度で発光するように各ピクセルの各発光装置が点灯される。したがって、フレームは、ディスプレイシステム 100 に表示される完成された状態の動画を構成する多数の静止画像の 1 つである。ピクセルをプログラミングして駆動するには、行単位またはフレーム単位の 2 つの方法がある。行単位プログラミングでは、行のピクセルが、次の行のピクセルがプログラムされ駆動される前に、プログラムされ駆動される。フレーム単位プログラミングでは、ディスプレイシステム 100 のすべての行のピクセルが、最初にプログラムされ、すべてのフレームが、行単位で駆動される。いずれの方法でも、各フレームの始まりまたは終わりに、ピクセルがプログラムも駆動もされていない短い垂直帰線期間を使用することができる。

20

30

【0019】

ピクセルアレイ 102 の外側に位置している構成要素は、ピクセルアレイ 102 が配置されているのと同じ物理的基盤にあるピクセルアレイ 102 の周りの周辺領域 106 に配置されてもよい。これらの構成要素には、ゲートドライバ 108、ソースドライバ 110、任意の供給電圧制御 114 が含まれる。あるいは、周辺領域にある構成要素のいくつかをピクセルアレイ 102 と同じ基板に配置し、残りの構成要素を異なる基板に配置してもよいし、または、周辺領域にある構成要素のすべてをピクセルアレイ 102 が配置された基板とは異なる基板に配置してもよい。ゲートドライバ 108 と、ソースドライバ 110 と、供給電圧制御 114 とが一緒になってディスプレイ駆動回路を構成している。いくつかの構成では、ディスプレイ駆動回路は、ゲートドライバ 108 とソースドライバ 110 とを含むが、供給電圧制御 114 は含まなくてよい。

40

【0020】

ディスプレイシステム 100 は、さらに、電流供給読み取り回路 120 を備え、この回路は、データを、データ出力ライン $VD[k]$ 、 $VD[k+1]$ などからピクセルアレイ 102 のピクセル 104a、104c の各列の数だけ読み取る。一連の列参照ピクセル 130 が、ピクセルアレイ 102 の縁においてピクセル 104a、104c の列など各列の端に形成される。また、列参照ピクセル 130 は、制御器 112 からの入力信号を受け取り、データ信号を電流供給読み取り回路 120 に出力してもよい。列参照ピクセル 130 は、

50

駆動トランジスタと、O L E Dとを備えるが、画像を表示するピクセルアレイ 1 0 2 の一部ではない。以下に説明されるように、列参照ピクセル 1 3 0 は、画像を表示するピクセルアレイ 1 0 2 の一部ではないため、プログラミングサイクルの大部分において駆動されないが、それゆえに、ピクセル 1 0 4 a、1 0 4 c と比べると、絶え間ないプログラミング電圧の印加による経時変化がない。図 1 には、列参照ピクセル 1 3 0 が 1 つしか図示されていないが、列参照ピクセルの数はいくつでもよい。ただし、この例では、各ピクセルの列に対してこうした参照ピクセルが 2 ~ 5 個使用される。アレイ 1 0 2 においてピクセルの各行は、ピクセル 1 0 4 a、1 0 4 b などのピクセル 1 0 4 a ~ 1 0 4 d の各行の端に行参照ピクセル 1 3 2 を備える。行参照ピクセル 1 3 2 は、駆動トランジスタと、O L E D とを備えるが、画像を表示するピクセルアレイ 1 0 2 の一部ではない。以下に説明されるように、行参照ピクセル 1 3 2 は、製造時に決定されたピクセルの輝度曲線の基準照合を行う機能を有する。

10

【 0 0 2 1 】

図 2 A は、図 1 のピクセル 1 0 4 の駆動回路 2 0 0 のブロック図である。図 2 B は、駆動回路 2 0 0 の一例についての詳細な回路図である。駆動回路 2 0 0 は、駆動装置 2 0 2 と、有機発光装置（「O L E D」）2 0 4 と、記憶素子 2 0 6 と、スイッチング装置 2 0 8 とを備える。電源 2 1 2 は、駆動トランジスタ 2 0 6 に接続されている。選択ライン 2 1 4 は、駆動回路 2 0 0 を作動させるスイッチング装置に接続されている。データライン 2 1 6 によって、プログラミング電圧を O L E D 2 0 4 に印加させることができる。モニタリングライン 2 1 8 によって、O L E D 2 0 4 および / または駆動装置 2 0 2 の出力を

20

【 0 0 2 2 】

図 2 B は、図 2 A の駆動回路 2 0 0 を実行する回路の一例を示している。図 2 B に示されるように、駆動装置 2 0 2 は駆動トランジスタであって、この例ではアモルファスシリコンで形成された薄膜トランジスタである。この例では、記憶素子 2 0 6 は、キャパシタである。スイッチング装置 2 0 8 は、駆動回路 2 0 0 への異なる信号を切り替える選択トランジスタ 2 2 6 と、モニタリングトランジスタ 2 3 0 とを備える。選択ライン 2 1 4 は、選択トランジスタ 2 2 6 とモニタリングトランジスタ 2 3 0 とに接続されている。読み取り時間の間、選択ライン 2 1 4 は、ハイに設定されている。プログラミング電圧は、プログラミング電圧入力ライン 2 1 6 を介して印加される。モニタリング電圧は、モニタリングトランジスタ 2 3 0 に接続されているモニタリングライン 2 1 8 から読み取ることができる。選択ライン 2 1 4 への信号は、ピクセルプログラミングサイクルと並列して送られてもよい。以下に説明されるように、駆動回路 2 0 0 は、駆動トランジスタのゲートに基準電圧を印加することによって、定期的に検査することができる。

30

【 0 0 2 3 】

ディスプレイシステム 1 0 0 などの被試験装置（D U T）から電気特性データを抽出するにはいくつかの方法がある。被試験装置（D U T）は、発光ダイオード（L E D）または O L E D を含む（ただしこれらに限定されない）あらゆる材料（または装置）でありうる。この測定は、図 1 のアレイ 1 0 2 のようなピクセルアレイからなるパネルの O L E D の経時変化（および / または均一性）を判断するのに効果的である。この抽出されたデータは、生データまたは加工データとして図 1 の制御器 1 1 2 のメモリのルックアップテーブルに記憶することができる。ルックアップテーブルは、バックプレーン（例えば、閾値電圧シフト）または O L E D（例えば、O L E D 作動電圧シフト）の電氣的パラメータにおけるあらゆるシフトを補正するために使用可能である。これらの例では、図 1 の O L E D ディスプレイを使用しているが、本明細書において説明される技術は、O L E D、液晶ディスプレイ（L C D）、発光ダイオードディスプレイ、またはプラズマディスプレイを含む（ただしこれらに限定されない）あらゆるディスプレイ技術に適用してよい。O L E D の場合、測定された電氣的情報は、発生した可能性のあるなんらかの経時変化を示す。

40

【 0 0 2 4 】

電流を被試験装置に印加して、出力電圧を測定する。この例では、電圧は、A D コンバ

50

ータ (ADC) を使用して測定される。同一出力の新品の OLED のプログラミング電圧と比較した場合、老化した OLED などの装置にはより高いプログラミング電圧が必要となる。この方法では、被試験装置のその電圧変化を直接測定する。電流はどの方向に流れてもよいが、説明のために、通常は、被試験装置 (DUT) に流入するものとする。

【0025】

図3は、被試験装置302のベースライン値を決定して被試験装置302に対する経時変化の影響を判断するために使用される比較システム300のブロック図である。比較システムは、2つの基準電流を使用して、被試験装置302のベースライン電流出力を決定する。被試験装置302は、図2Bの駆動トランジスタ202のような駆動トランジスタか、または図2BのOLED204のようなOLEDのいずれかである。当然ながら、その他のタイプのディスプレイ装置もまた、図3に示されたシステムを使用して検査することができる。被試験装置302は、電流を出力するために一定レベルに保たれたプログラミング電圧入力304を有する。電流比較器306は、第1基準電流入力308および第2基準電流入力310を有する。基準電流入力308は、スイッチ314を介して第1基準電流源312と接続されている。電流比較器306の第2基準電流入力310は、スイッチ318を介して第2基準電流源316と接続されている。また、被試験装置302の出力320は、第2基準電流入力310と接続している。電流比較器306は、比較出力322を含む。

【0026】

入力304への電圧を一定に保つことによって、被試験装置302の出力電流も一定になる。この電流は、被試験装置302の特性に依存している。第1基準電流源312からの第1基準電流において一定の電流が確立し、第1基準電流が、スイッチ314を介して電流比較器306の第1入力308に印加される。第2基準電流は、複数の異なるレベルに調整され、各レベルの電流が、スイッチ318を介して電流比較器306の第2入力310に接続される。第2基準電流は、被試験装置302の出力電流と結合される。第1基準電流および第2基準電流のレベルは既知であるため、電流比較器306の出力322と2つの基準電流との差が、被試験装置302の電流レベルである。出力電流の結果は、被試験装置302に対して記憶され、被試験装置302の動作寿命の間、同様のプログラミング電圧レベルに基づいて測定された電流と定期的に比較され、経時変化の影響が判断される。

【0027】

判断後の装置電流の結果は、ディスプレイにある装置ごとのルックアップテーブルに記憶される。被試験装置302が老化するほど、電流はその期待レベルから変化するため、プログラミング電圧は、図3における較正処理を通して決定されたベースライン電流に基づき経時変化の影響を補正するように変更される。

【0028】

図4Aは、図3のような基準電流と被試験装置302とを比較するのに使用される電流比較器回路400のブロック図である。電流比較器回路400は、2つの基準電流および図1のピクセル駆動回路200のような被試験装置の電流など様々な電流の入力を許容する接点制御402を有する。電流は、駆動トランジスタ202の電流が比較された場合には正電流となり、OLED204の電流が比較された場合には負電流となる。また、電流比較器回路400は、OPトランスレジスタンスアンプ回路404と、プリアンプ406と、電圧出力410を生成する電圧比較器回路408とを備える。結合された電流は、OPトランスレジスタンスアンプ回路404に入力され、電圧に変換される。該電圧は、プリアンプに供給され、電圧比較器回路408が電流間の差が正か負かを判断し、1の値かまたはゼロ値を出力する。

【0029】

図4Bは、装置302などの被試験装置に関して図3の処理で説明されたようにして電流を比較するのに使用される図4Aの電流比較器システム400の例の構成要素の回路図である。OPトランスレジスタンスアンプ回路404は、OPアンプ412と、第1電圧

10

20

30

40

50

入力 4 1 4 (C M P _ V B) と、第 2 電圧入力 4 1 6 (C M P _ V B) と、電流入力 4 1 8 と、バイアス電流源 4 2 0 とを備える。また、O P トランスレジスタンスアンプ回路 4 0 4 は、2 つの較正スイッチ 4 2 4、4 2 6 を備える。以下に説明するように、図 3 に示されたように、被試験装置 3 0 2 の電流、可変の第 1 基準電流、および固定の第 2 基準電流のような様々な電流が、この例の電流入力 4 1 8 に接続される。当然ながら、固定の第 2 基準電流は、必要に応じてゼロに設定されてもよい。

【 0 0 3 0 】

第 1 基準電流入力は、O P アンプ 4 1 2 の負入力に接続される。したがって、O P アンプ 4 1 2 の負入力は、1 つまたは 2 つの基準電流と同様に図 3 の被試験装置 3 0 2 の出力電流にも接続されている。O P アンプ 4 1 2 の正入力は、第 1 電圧入力 4 1 4 に接続されている。O P アンプ 4 1 2 の出力は、トランジスタ 4 3 2 のゲートに接続されている。抵抗器 4 3 4 は、O P アンプ 4 1 2 の負入力とトランジスタ 4 3 2 のソースとの間に接続されている。抵抗器 4 3 6 は、トランジスタ 4 3 2 のソースと第 2 電圧入力 4 1 6 との間に接続されている。

10

【 0 0 3 1 】

トランジスタ 4 3 2 のドレインは、トランジスタ 4 4 6 のドレインに直接接続され、また較正スイッチ 4 2 6 を介してゲートと接続されている。サンプリングキャパシタ 4 4 4 は、トランジスタ 4 4 6 のゲートと電圧供給レール 4 1 1 との間にスイッチ 4 2 4 を介して接続されている。トランジスタ 4 4 6 のソースも、供給レール 4 1 1 に接続されている。トランジスタ 4 4 6 のドレインおよびゲートは、トランジスタ 4 4 0、4 4 2 のゲート端子にそれぞれ接続されている。トランジスタ 4 4 0、4 4 2 のソースは、一緒に結ばれており、バイアス電流源 4 3 8 に接続されている。トランジスタ 4 4 2、4 4 0 のドレインは、供給電圧にダイオード接続構成で配線されているトランジスタ 4 4 8、4 5 0 とそれぞれ接続されている。図 4 B に示されるように、トランジスタ 4 4 0、4 4 2、4 4 8、4 5 0 およびバイアス電流源 4 3 8 は、プリアンプ 4 0 6 の一部である。

20

【 0 0 3 2 】

トランジスタ 4 4 2、4 4 0 のドレインは、トランジスタ 4 5 2、4 5 4 のゲートとそれぞれ接続されている。トランジスタ 4 5 2、4 5 4 のドレインは、トランジスタ 4 5 6、4 5 8 とそれぞれ接続されている。トランジスタ 4 5 6、4 5 8 のドレインは、トランジスタ 4 6 0、4 6 2 のソースとそれぞれ接続されている。トランジスタ 4 6 0、4 6 2 のドレイン端子およびゲート端子は、トランジスタ 4 6 4、4 6 6 のドレイン端子およびゲート端子とそれぞれ接続されている。トランジスタ 4 6 4、4 6 6 のソース端子は、供給電圧に接続されている。トランジスタ 4 6 4、4 6 6 のソースおよびドレインは、トランジスタ 4 6 8、4 7 0 のソースおよびドレインとそれぞれ結び付けられている。トランジスタ 4 5 6、4 5 8 のゲートは、イネーブル入力 4 7 2 と結び付けられている。イネーブル入力 4 7 2 は、デュアルトランジスタ 4 6 8、4 7 0 のゲートとも結び付けられている。

30

【 0 0 3 3 】

バッファ回路 4 7 4 は、トランジスタ 4 6 2 のドレインおよびトランジスタ 4 6 0 のゲートに接続されている。出力電圧 4 1 0 は、トランジスタ 4 6 0 のドレインおよびトランジスタ 4 6 2 のゲートに接続されているバッファ回路 4 7 6 に接続されている。バッファ回路 4 7 4 は、バッファ 4 7 6 のバランスを保つために使用される。トランジスタ 4 5 2、4 5 4、4 5 6、4 5 8、4 6 0、4 6 2、4 6 4、4 6 6、4 6 8、4 7 0 およびバッファ回路 4 7 4、4 7 6 は、電圧比較器回路 4 0 8 を構成する。

40

【 0 0 3 4 】

電流比較器システム 4 0 0 は、C M O S 半導体工程を含む(ただしこれに限定されない)いかなる集積回路技術に基づいてもよい。この例では、電流比較器システム 4 0 0 の構成要素は、C M O S 装置である。入力電圧 4 1 4、4 1 6 の値が、第 1 電流入力 4 1 8 (I r e f) からの所与の基準電流レベルに対して決定される。この例では、入力電圧 4 1 4、4 1 6 の両方の電圧レベルは同じである。O P アンプ 4 1 2 への電圧入力 4 1 4、4

50

16は、図4には図示されないD/Aコンバータ(DAC)を使用して制御される。DACの電圧範囲が不十分であれば、レベルシフトを追加することも可能である。バイアス電流は、OPトランスインピーダンスアンプ回路または薄膜トランジスタのようなトランジスタなどの電圧制御電流源から生じてよい。

【0035】

図4Cは、図3に示されたシステム300のような検査システムの一例の詳細なブロック図である。図4Cの検査システムは、図2に示されたピクセル駆動回路200のようなピクセル駆動回路である被試験装置302に接続されている。この例では、パネルディスプレイのすべての駆動回路が検査される。ゲート駆動回路480は、すべての駆動回路の選択ラインと接続されている。ゲート駆動回路480はイネーブル入力を含み、この例では、イネーブル入力は、入力の信号が低いときに被試験装置302を作動させる。

10

【0036】

被試験装置302は、ソースドライバ回路484からデータ信号を受け取る。ソース回路484は、図1のソースドライバ110のようなソースドライバである。データ信号は、所定の値のプログラミング電圧である。被試験装置302は、ゲート駆動回路480によって作動されると、電流をモニタリングラインへ出力する。被試験装置302からのモニタリングラインの出力は、複数の装置の検査を可能にするアナログマルチプレクサ回路482に接続されている。この例では、アナログマルチプレクサ回路482によって、210個の入力の多重化ができるが、当然のことながらどのような数を入力しても多重化される。

20

【0037】

被試験装置302からの信号出力は、OPトランスレジスタンスアンプ回路404の基準電流入力418に接続される。この例では、図3で説明されたように、可変の基準電流源が、電流入力418に接続されている。この例では、図3の第1基準電流源のように固定された基準電流はない。したがって、この例では、図3の第1基準電流源の値は、ゼロと考えられる。

【0038】

図5Aは、図4A～図4Cに示された電流比較器の信号のタイミング図である。図5Aのタイミング図は、図4Cのゲートドライバ480へのゲートイネーブル信号502と、アナログマルチプレクサ482に接続されたCSEイネーブル信号504と、検査プロセスの反復のたびに所定レベルに設定され、電流入力418に接続された可変の基準電流源によって生成された電流基準信号506と、校正スイッチ426を制御する校正信号508と、校正スイッチ424を制御する校正信号510と、イネーブル入力472と接続された比較器イネーブル信号512と、出力410を通じての出力電圧514と、を示している。CSEイネーブル信号504は、ハイに維持され、被試験装置302からのモニタリングラインへの漏れが、最終的な電流比較において確実に除去されるようにする。

30

【0039】

第1フェーズ520では、ゲートイネーブル信号502は、ハイに引き上げられ、したがって、図4Cの被試験装置302の出力はゼロになる。よって電流比較器400に入力される唯一の電流は、被試験装置302からのモニタリングラインからのリーク電流となる。図4B、図4Cのトランジスタ432、446の最適静止条件に対するラインリークageまたは読み取り回路のオフセットのみによる影響が最小となるように、基準電流506の出力も、ゼロに設定される。校正信号508をハイに設定して校正スイッチ426を入れる。校正信号510をハイに設定して校正スイッチ424を入れる。比較器イネーブル信号512は、ローに設定され、電圧比較器回路408からの出力は、論理1にリセットされる。したがって、リーク電流が、電流入力418へ入力され、パネルのモニタリングラインからのリーク電流を示す電圧は、キャパシタ444に記憶される。

40

【0040】

第2フェーズ522では、ゲートイネーブル信号502は、ローに引き下げられ、したがって、被試験装置302の出力は、ソース回路484からの設定プログラミング電圧入

50

力で、不明な電流を生成する。被試験装置 302 からの電流は、第 1 の所定値に設定された、被試験装置の電流とは反対方向の基準電流 506 とともに、電流入力 418 を通じて入力される。したがって、電流入力 418 は、基準電流 506 と被試験装置 302 からの電流との差となる。較正信号 510 は、一瞬だけローに設定され、スイッチ 242 が切れる。次に、較正信号 508 は、ローに設定され、したがって、スイッチ 426 が切れる。そして、スイッチ 424 への較正信号 510 をハイに設定して、スイッチ 424 を入れ、キャパシタ 444 の電荷を制御する。比較器イネーブル信号 512 は、ローに維持され、したがって、電圧比較器回路 408 からの出力はない。

【0041】

第 3 フェーズ 524 では、比較器イネーブル信号 512 が、ハイに引き上げられ、電圧比較器 408 が、電圧出力 410 への出力を生成する。この例では、出力電圧信号 514 の正の電圧出力論理 1 は正電流を示し、そのため、被試験装置 302 の電流は、所定の基準電流より大きくなる。電圧出力 410 のゼロ電圧は、被試験装置 302 の電流が所定のレベルの基準電流より小さいことを示す負電流を意味する。こうして、被試験装置の電流と基準電流との間のあらゆる差が増幅され、電流比較器回路 400 によって検知される。そして、基準電流の値は、結果に基づいて、第 2 の所定のレベルの基準電流へシフトされ、フェーズ 520、522、524 が繰り返される。基準電流を調整することによって、比較器回路 400 を検査システムで使用して被試験装置 302 による電流出力を判断することが可能になる。

【0042】

図 5 B は、図 4 B の O P トランスレジスタンスアンプ回路 404 のバイアス電流源 420 の最適バイアス電流値を決定するために、図 4 C に示された検査システムに印加される信号のタイミング図である。電流比較器回路 400 の最大信号雑音比 (S N R) を達成するためには、電流比較器の較正が必須である。較正は、バイアス電流源 420 の微調整によって達成される。バイアス電流源 420 の最適バイアス電流レベルによって、ラインリーケージの関数でもあるピクセル測定中の雑音電力が最小化する。したがって、電流比較器の較正中にラインリーケージを捉えることが必要となる。

【0043】

図 5 B のタイミング図は、図 4 C のゲートドライバ 480 へのゲートイネーブル信号 52 と、アナログマルチプレクサ 482 に接続された C S E イネーブル信号 554 と、較正プロセスを繰り返すたびに所定のレベルに設定され電流入力 418 に接続された可変の基準電流源によって生成された電流基準信号 556 と、較正スイッチ 426 を制御する較正信号 558 と、イネーブル入力 472 と接続された比較器イネーブル信号 560 と、出力 410 を通じての出力電圧 562 とを示す。

【0044】

C S E イネーブル信号 554 は、ハイに維持され、ラインへの漏れが、最終的な電流比較において確実に除去されるようにする。ゲートイネーブル信号 552 もまた、被試験装置 302 がどのようなデータ入力に対しても電流を出力しないように、ハイに保たれる。第 1 フェーズ 570 では、較正信号 556 は、ハイに引き上げられ、それによって較正スイッチ 426 が入る。もう 1 つの較正信号が、ハイに引き上げられて、較正スイッチ 424 が入る。比較器イネーブル信号 558 は、電圧比較器回路 408 からの電圧出力をリセットするために、ローに引き下げられる。被試験装置 302 のモニタリングラインからのリーク電流はすべて、電圧に変換されてキャパシタ 444 に記憶される。

【0045】

第 2 フェーズ 572 は、スイッチ 524 への較正信号がローに引き下げられ、そして較正信号 556 がローに引き下げられてスイッチ 526 が切れた時に発生する。そして、スイッチ 524 への信号がハイに引き上げられて、スイッチ 524 が入る。微小電流は、基準電流源から電流入力 418 への出力である。微小電流値は、電流比較器 400 の最小検出可能信号 (M D S) 範囲に相当する最小値である。

【0046】

10

20

30

40

50

第3フェーズ574は、比較器イネーブル信号560がハイに引き上げられ、それによって電圧比較器回路408による入力の読み取りが可能になった時に生じる。出力410での電圧比較器回路408の出力は、リーク電流を伴う正電流の比較(positive current comparison with the leakage current)を示す正の出力となるはずである。

【0047】

第4フェーズ576は、スイッチ524への較正信号が、ローに引き下げられ、そして較正信号556がローに引き下げられてスイッチ526が切れた時に生じる。次に、スイッチ524への信号がハイに引き上げられて、スイッチ524が入る。比較器イネーブル信号558は、電圧比較器回路408からの電圧出力を防ぐためにローに引き下げられる。被試験装置302からのリーク電流はすべて、電圧に変換されてキャパシタ444に記憶される。

【0048】

第5フェーズ578は、較正信号556が、ローに引き下げられ、それによってスイッチ524、526が切れた時に生じる。微小電流は、基準電流源から電流入力418への出力である。微小電流値は、電流比較器400の最小検出可能信号(MDS)範囲に相当する最小値であるが、第2フェーズ572における正電流とは対照的に負電流である。

【0049】

第6フェーズ580は、比較器イネーブル信号560がハイに引き上げられ、それによって電圧比較器回路408による入力の読み取りが可能になった時に生じる。電圧比較器回路408の出力410への出力は、リーク電流を伴う負電流の比較(negative current comparison with the leakage current)を示すゼロ出力となるはずである。

【0050】

フェーズ570、572、574、576、578、580は繰り返される。バイアス電流の値を調整することによって、最終的に、有効出力電圧の比率を1とゼロとの間で切り替えて最適バイアス電流の値を最大化する。

【0051】

図6は、図1のディスプレイシステム100の制御器112の補正用構成要素のブロック図である。補正用構成要素には、経時変化抽出部600と、バックプレーン経時変化/マッチングモジュール602と、カラー/シェアガンマ補正モジュール604と、OLED経時変化メモリ606と、補正モジュール608とが含まれる。ディスプレイシステム100を駆動する電子構成要素を備えたバックプレーンは、アモルファスシリコン、多結晶シリコン、結晶シリコン、有機半導体、酸化物半導体などを含む(ただしこれらに限定されない)いかなる技術でもよい。また、ディスプレイシステム100は、LEDまたはOLEDを含む(ただしこれらに限定されない)いかなるディスプレイ材料(または装置)でもよい。

【0052】

経時変化抽出部600は、アレイ102のピクセルへの入力に基づくアレイ102からの出力データと、アレイ102の経時変化の影響を検査するための対応出力とを受け取るように接続されている。経時変化抽出部600は、各列参照ピクセル130を含む各列のピクセル104a~104dそれぞれへの経時変化の影響を判断するために、アクティブピクセル104a~104dの出力と比較するためのベースラインとして列参照ピクセル130の出力を使用する。あるいは、列のピクセルの平均値を計算して、参照ピクセルの値と比較してもよい。カラー/シェアガンマ補正モジュール604もまた列参照ピクセル130からデータを採取して、適切なカラー補正を判断して、ピクセルに対する経時変化の影響を補正する。比較用測定結果を比較するベースラインは、メモリ606のルックアップテーブルに記憶されてもよい。バックプレーン経時変化/マッチングモジュール602は、バックプレーンの構成要素およびディスプレイの電子機器のための調整を計算する。補正モジュール608は、図1のピクセル104a~104dへのプログラミング電圧

10

20

30

40

50

を修正して経時変化の影響を補正するために、抽出部 600、バックプレーン経時変化 / マッチングモジュール 602、カラー / シェアガンマ補正モジュール 604 から提供される入力である。補正モジュール 608 は、較正データと併せて使用される、アレイ 102 のピクセル 104 a ~ 104 d の各々のベースデータを求めて、ルックアップテーブルにアクセスする。補正モジュール 608 は、ルックアップテーブルの値と、ディスプレイのアレイ 102 のピクセルから得られたデータとに基づき、ピクセル 104 a ~ 104 d へのプログラミング電圧を相応に修正する。

【0053】

図 2 の制御器 112 は、図 1 のディスプレイアレイ 102 のピクセル 104 a ~ 104 d からのデータを測定し、測定中に集められたデータを正確に正規化する。列参照ピクセル 130 は、各列のピクセルに対するこれらの機能を補助する。列参照ピクセル 130 は、図 1 のピクセル 104 a ~ 104 d によって表されるアクティブ表示エリアの外側に配置されてもよいが、アクティブ表示エリア内に組み込まれてもよい。列参照ピクセル 130 は、経時変化しないか、または所定の形式で経時変化するというような制御条件付きで保存され、ディスプレイアレイ 102 のピクセル 104 a ~ 104 d の測定データのオフセットおよびキャンセル情報を提供する。この情報は、制御器 112 が、常温などの外因による同相雑音、または他のピクセル 104 a ~ 104 d からのリーク電流などのシステム自身内の同相雑音を打ち消す際に役立つ。また、アレイ 102 の複数のピクセルの加重平均を使用してパネル幅特性についての情報を提供し、パネルを横切る抵抗による電圧降下、すなわち、電流 / 抵抗 (IR) 降下などの問題を解消する。既知の制御源によってストレスを加えられた列参照ピクセル 130 からの情報は、あらゆる逸脱から生じる補正誤差を低減するために、補正モジュール 608 によって実行される補正アルゴリズムにおいて使用されてもよい。パネルの初期ベースライン測定で集められたデータを使用して、様々な列参照ピクセル 130 を選択してもよい。不良な参照ピクセルが特定されると、代わりの参照ピクセル 130 が選択され、引き続き信頼性が保障される。当然のことながら、列参照ピクセル 130 の代わりに行参照ピクセル 132 を使用することができ、また較正および測定には列の代わりに行を使用することができる。

【0054】

図 1 の列参照ピクセル 130 を利用した様々な補正方法がある。例えば、薄膜トランジスタの測定において、列参照ピクセル 130 が電流を出力するのに必要なデータ値を、アクティブ領域の同じピクセルの列 (ピクセルアレイ 102) のピクセル 104 a ~ 104 d のデータ値から引いて、同じ電流を出力するようにする。列参照ピクセル 130 とピクセル 104 a ~ 104 d の両者の測定は、例えば、同一ビデオフレーム内など時間的に非常に接近して行われる。いかなる電流の差もピクセル 104 a ~ 104 d の経時変化の影響を示している。結果として得られる値は、ディスプレイの耐用年限の間、同一の輝度が維持されるように、制御器 112 によって、ピクセル 104 a ~ 104 d へのプログラミング電圧に対する適切な調整を計算するのに使用される。列参照ピクセル 130 の別の使用としては、他のピクセル 104 に対して基準電流を提供し、ベースラインとして機能してそれらのピクセルの電流出力に対する経時変化の影響を判断することが挙げられる。参照ピクセル 130 は、アクティブピクセル 104 としての共通のデータラインおよび供給ラインを有しているため、同相騒音打ち消しは部分的に測定に本来備えられており、参照ピクセル 130 はデータ操作を単純化できる。行参照ピクセル 132 は、ディスプレイ製造中に補正用の制御器を使用するために記憶されたピクセルの輝度曲線が正確かを検証する目的で、定期的に測定される。

【0055】

ディスプレイ出荷前に図 2 の駆動回路 200 などのディスプレイ上のすべての駆動回路の駆動トランジスタおよび OLED を測定するには、1080p ディスプレイで 60 ~ 120 秒かかり、あらゆる短絡および開放した駆動トランジスタおよび OLED が検出される (スタックピクセルまたは点灯しないピクセルとなる)。また、駆動トランジスタまたは OLED の性能における不均一性 (輝度の不均一性をもたらす) も検出される。本技

10

20

30

40

50

術は、デジタルカメラによる光学検査に取って代わるため、製造設備におけるこの高価な構成要素の必要性が排除される。カラーフィルタを使用するA M O L E Dは、カラーフィルタが純粋に光学的構成要素であるために、電気的には十分に検査を行うことができない。この場合、経時変化を補正する技術として、イグニス社のマックスライフ (M a x L i f e) (商 標) などを光学検査工程と組み合わせて使用して、追加の判断情報を提供して光学検査の複雑性を潜在的に低減させていくことが有益である。

【 0 0 5 6 】

これらの測定からは、光学検査で提供されるよりも多くのデータが提供される。点欠陥が駆動回路の短絡によるものか開放によるものか、またはO L E Dの短絡によるものか開放によるものかを知ることは、製造工程における根本的原因または不具合を特定するのに有用である。例えば、O L E Dの短絡回路の最もありふれた原因は、処理中にガラスに落下した粒子汚染であり、これがO L E Dの陽極および陰極を短絡させる。O L E Dの短絡回路の増加は、チャンバクリーニングのために製造ラインを停止させなければならないか、または粒子の新規発生源 (工程、設備、人員、材料における変更) の調査を開始する可能性があることを示している。

10

【 0 0 5 7 】

マックスライフ (商 標) などの経時変化の影響を補正する緩和システムは、製造工程の不均一性を補正して、ディスプレイの歩留まりを増加させる。ただし、診断には、測定されたT F TまたはO L E Dにおける電流と電圧との関係または特性も有用である。例えば、O L E Dの電流 - 電圧の特性の形状で抵抗の増加が明らかになる。推定される原因としては、トランジスタソース/ドレインの金属と (底部発光A M O L E Dにおける) I T Oとの間の接触抵抗におけるばらつきが考えられる。もし、ディスプレイの隅のO L E Dが、異なる電流 - 電圧特性を示した場合、推定される原因としては、製造工程におけるマスク心ずれが考えられる。

20

【 0 0 5 8 】

O L E Dの電流 - 電圧特性が異なるディスプレイの筋状または円状の領域は、製造工程で有機蒸気を発散させるのに使用されるマニホルドの欠陥による可能性がある。あり得るシナリオとしては、O L E D材料の小粒子が、オーバーヘッドシールドからはがれ、マニホルドに落下し、部分的に開口部を塞いでいる可能性がある。測定データは、具体的なパターンでO L E Dの異なる電流 - 電圧特性を示すため、問題の迅速な診断に役立つ。測定結果の正確さ (例えば、4 . 8 インチのディスプレイが1 0 0 n Aの分解能で電流を測定する) と、 (輝度ではなく) O L E Dの電流 - 電圧特性自体の測定結果とによって、光学検査では見ることはできないばらつきを検出する。

30

【 0 0 5 9 】

この高精度データは、プロセスがいつ管理限界外にずれ始めたかを特定するため統計的工程管理に使用してもよい。こうすることで、最終製品において欠陥が検出される前に、 (O L E Dまたは駆動トランジスタ (T F T) 製造工程のいずれかにおいて)、早期に修正処置を取ることができる。すべてのディスプレイのすべてのT F TおよびO L E Dがサンプル抽出されるため、測定サンプルは最大である。

40

【 0 0 6 0 】

駆動トランジスタおよびO L E Dの両方が適切に機能した場合、構成要素による所期範囲の読み取りに戻る。ピクセル駆動回路は、駆動トランジスタが測定されている間、O L E Dがオフになっていること (またその逆もしかり) を要求するので、駆動トランジスタまたはO L E Dの一方が短絡回路にある場合、他方の測定結果が不明になってしまう。O L E Dが短絡回路 (したがって電流の読み取りが最大) の場合、データは駆動トランジスタが開放回路である (電流の読み取りが最小) ことを示すが、実際は、駆動トランジスタは、作動しているかまたは開放回路になっている。駆動トランジスタに関する追加データが必要な場合、供給電圧 (E L _ _ V S S) の接続を一時的に切って、電圧を浮動させることで、T F Tが実際に作動しているか、または短絡回路になっているかを示す正確な駆動トランジスタ測定を行う。

50

【 0 0 6 1 】

同様に、駆動トランジスタが短絡回路の場合、データはO L E Dが開放回路であることを示す（しかし、O L E Dは作動しているかまたは開放回路である）。O L E Dに関する追加データが必要な場合、供給電圧（E L _ V D D）の接続を一時的に切って、電圧を浮動させることで、O L E Dが実際に作動しているか、または開放回路になっているかを示す正確なO L E D測定を行う。

【 0 0 6 2 】

1つのピクセルにおいてO L E DとT F Tの両方が短絡回路として動作する場合、そのピクセルの要素の1つ（T F TとO L E Dとの間の接触部分であることが多い）が、測定中にすぐに燃え尽きてしまい、開放回路を引き起こして別の状態に移行する。この結果は、下の表1にまとめられる。

【 0 0 6 3 】

【表1】

表1

		O L E D		
		短絡	良好	開放
駆動トランジスタ (T F T)	短絡	適用なし	T F T最大 O L E D最小	T F T最大 O L E D最小
	良好	T F T最小 O L E D最大	T F T良好 O L E D良好	T F T良好 O L E D最小
	開放	T F T最小 O L E D最大	T F T最小 O L E D良好	T F T最小 O L E D最小

【 0 0 6 4 】

図7は、別の側面に基づきディスプレイ702の輝度を経時的に制御する制御システム700のシステム図を示す。ディスプレイ702は、O L E Dのアレイまたはその他のピクセルベースのディスプレイ装置からなる。システム700は、プロファイル生成器704および判定機706を備える。プロファイル生成器704は、O L E D特性テーブル710と、バックプレーン特性テーブル712と、ディスプレイ仕様ファイル714とから特性データを受け取る。プロファイル生成器704は、異なる条件に対して、異なる輝度プロファイル720a、720b・・・720nを生成する。ここで、消費電力、ディスプレイ耐用年限、画像品質の向上のために、異なる輝度プロファイル720a、720b・・・720nは、O L E Dおよびバックプレーン情報に基づいて定義されてもよい。また、種々の用途にしたがい、輝度プロファイル720a、720b・・・720nから異なるプロファイルを選択することも可能である。例えば、均一輝度対時間プロファイルを使用して、より高い輝度を適用するために輝度が所定の速度で降下することが可能である動画などのビデオ出力を表示してもよい。判定機706は、ソフトウェアベースでもハードウェアベースでもよく、ディスプレイ702の適切な輝度を確保するためにプログラミング電圧を調整する係数である、アプリケーション入力730、環境パラメータ入力732、バックプレーン経時変化データ入力734、O L E D経時変化データ入力736を含む。

【 0 0 6 5 】

ディスプレイの経時変化を完全に補正するために、ディスプレイ特性において短期変化および長期変化を分離する。1つの方法は、測定と測定との間にディスプレイを横切る数点を短時間で測定することである。その結果、高速走査によって短期的影響が分かり、一方、通常の経時変化抽出では、長期的影響が明らかになる。

【 0 0 6 6 】

10

20

30

40

50

前述の補正システムの実施では、通常の駆動スキームを使用しているが、そこでは、ビデオフレームが常時パネルに表示され、O L E DおよびT F T回路が絶えず電氣的ストレス下にある。ビデオフレームの間にアクティブピクセルのグレイスケール値を所望の値に変化させることによって行われる各ピクセルの較正によって、較正中に測定されたサブピクセルを見た際の視覚的歪みが生じる。ビデオのフレームレートをXとすると、通常のビデオ駆動では、各ビデオフレームは図1のピクセルアレイ102に1/X秒間表示され、パネルは常時ビデオフレームを流している。対照的に、本実施例の緩和ビデオ駆動では、図8に示されるようにフレームを4つのサブフレームに分割する。図8は、ビデオサブフレーム802、ダミーサブフレーム804、緩和サブフレーム806、置換サブフレーム808を備えるフレーム800のタイミング図である。

10

【0067】

ビデオサブフレーム802は、実際のビデオフレームである最初のサブフレームである。ビデオフレームは、プログラミング入力から受け取ったビデオデータを使用して図1のピクセルアレイ102全体をプログラムする通常のビデオ駆動と同じ方法で生成される。ダミーサブフレーム804は、ピクセルアレイ102に送られる実際のデータがない空サブフレームである。ダミーサブフレーム804は、緩和サブフレーム806を適用する前のしばらくの間パネル102に同じビデオフレーム表示を維持するように機能する。これによりパネルの輝度が増加する。

【0068】

緩和サブフレーム806は、第3のサブフレームであって、ピクセルアレイ102の赤、緑、青、白のすべてのサブピクセル(R G B W)用にグレイスケール値がゼロの黒色フレームである。これによって、パネルが黒色になり、すべてのピクセル104が、較正および次のビデオサブフレームの挿入を受け入れる準備ができている所定の状態となる。置換サブフレーム808は、較正のためのみに生成された短いサブフレームである。緩和サブフレーム806が完了してパネルが黒色になると、次のビデオフレームのためのデータ置換フェーズが開始する。このフェーズでは、ビデオデータやブランクデータは、置換データをもつ行に対するものを除いてはピクセルアレイ102には全く送られない。置換対象外の行に関しては、ゲートドライバのクロックを切り替えるだけで、ゲートドライバ全体を通じてトークンを変更する。これは、パネル全体の走査の速度を上げ、各フレームに関してより多くの測定を可能にするために実施される。

20

30

【0069】

サブフレーム808の置換中、測定されたサブピクセルの視覚的歪みをさらに軽減するために別の方法が使用される。この方法は、較正が完了するとすぐに測定された行を黒色でプログラミングし直すことで実行される。これにより、サブピクセルは、緩和サブフレーム806のときと同じ状態に戻る。しかし、微小電流がまだピクセルのO L E Dを通っており、ピクセルを点灯させるため、外界に対して目立ってしまう。したがって、O L E Dを流れる電流の方向を変えるために、制御器112を非ゼロ値にプログラムして、当該ピクセルの駆動トランジスタからの電流をシンクさせて、O L E Dをオフに維持する。

【0070】

置換サブフレーム808を有するということは、測定の時間をフレーム全体の小部分に限定してしまうという欠点がある。これによってフレームごとのサブピクセルの測定数が限定される。この限定は、ピクセルアレイ102の稼働時間中に許容可能なものである。しかし、パネルの迅速なベースライン測定ためには、各ピクセルを測定しなければならないため、ディスプレイ全体を測定するのは時間のかかる作業である。この問題を克服するため、緩和駆動スキームには、ベースラインモードが追加されている。図8は、ディスプレイのベースライン測定モードの際の駆動スキームのベースラインフレーム820を示している。ベースライン測定フレーム820には、ビデオサブフレーム822および置換サブフレーム824が含まれる。システムがベースラインモードに切り替えられると、駆動スキームは、フレーム820のように、1つのベースラインフレームに2つのサブフレームだけになるように変化する。ビデオサブフレーム822は、画像用の通常のプログラミ

40

50

ングデータを含む。この例では、図 8 に示されるように、置換（測定サブフレーム）8 2 4 は、通常の置換フレームより長い継続時間を有する。より長いサブフレームは、フレームごとの合計測定数を劇的に増加させ、フレーム時間中により多くのピクセルが測定可能になるため、より精度の高いパネルの測定が可能になる。

【0071】

早期 O L E D ストレス時間での ΔV シフト（電氣的経時変化）の急な傾斜は、 ΔV シフトに対する効率曲線の降下をもたらし、効率曲線は、高 ΔV 範囲と比較して ΔV 低値では作用が異なる。こうして O L E D の初期電氣的経時変化または O L E D プレ経時変化工程に対して非常に敏感な強非線形 $\Delta \eta - \Delta V$ 曲線が生成される。さらに、早期 ΔV シフト降下の形状（持続時間と傾斜）は、工程のばらつきによりパネルごとに著しく異なる。

10

【0072】

参照ピクセルおよび対応する O L E D の使用については、上述した。熱効果は、アクティブピクセルおよび参照ピクセルの両方に対して等しく影響するため、このような参照ピクセルの使用により ΔV 測定に対する熱効果は打ち消される。ただし、図 1 の列参照ピクセル 1 3 0 のような参照ピクセルとして経時変化しない（ゼロストレスの）O L E D を使用する代わりに、低レベルのストレスを有する O L E D をもつ参照ピクセルを使用してもよい。電圧に対する熱効果は、非経時変化 O L E D と同様であり、したがって、熱効果による測定ノイズを除去するために低ストレス O L E D を使用してもよい。一方で、同一のパネルの残りの O L E D ベース装置と製造条件が同様であるため、わずかにストレスを受ける O L E D は、工程のばらつきが列のアクティブセルの $\Delta \eta - \Delta V$ 曲線へ与える影響を打ち消すためのよい基準となる。また、早期の急峻な ΔV シフトは、この O L E D を基準として使用すれば緩和される。

20

【0073】

ストレスを受ける O L E D を基準として使用するためには、基準 O L E D に一定の低電流（完全な電流の 1/5 から 1/3）を用いてストレスを加え、その（印加された特定の電流の）電圧を使用してピクセルの O L E D の熱の問題および処理の問題を以下のように打ち消さなければならない。

【0074】

【数 1】

$$W = \frac{V_{\text{pixelOLED}} - V_{\text{refOLED}}}{V_{\text{refOLED}}}$$

30

この式では、W は、アクティブピクセル O L E D と参照ピクセル O L E D との電圧の差を参照ピクセル O L E D の電圧で割った比較電気経時変化である。図 9 は、W の値に基づく $268 \mu A$ のストレス電流の点からなるプロット 9 0 2 を示すグラフ 9 0 0 である。グラフ 9 0 0 に示されるように、W の値は、強ストレス O L E D に対して示されたように、ピクセル O L E D の輝度降下に対して線形的関係である。

【0075】

アレイのピクセルのベースライン測定を抽出する上述の方法は、図 1 の制御器 1 1 2 などの処理装置か、または、1 つまたは複数の汎用コンピュータシステム、マイクロプロセッサ、デジタル信号プロセッサ、マイクロコントローラ、特定用途向け集積回路（A S I C）、プログラム可能論理装置（P L D）、フィールドプログラム可能論理装置（F P L D）、フィールドプログラム可能ゲートアレイ（F P G A）などを使用して便利に実現される別の装置によって実行されてよく、本明細書において説明され図示された教示にしたがって、コンピュータ、ソフトウェア、ネットワーク技術の当業者によって理解されるようにプログラムされる。

40

【0076】

また、本明細書に記載された制御器のいずれかを 2 つ以上の演算システムまたは装置で代用してもよい。したがって、冗長性、複製などの分散処理の原理および利点もまた必要に応じて実施され、本明細書に記載された制御器のロバスト性および性能を向上させる。

50

【 0 0 7 7 】

例となるベースラインデータ決定方法の操作は、機械可読指示によって実行される。このような例では、機械可読指示には、(a) プロセッサ、(b) 制御器、および/または(c) 1つまたは複数のその他の適切な処理装置によって実行されるアルゴリズムが含まれる。アルゴリズムは、例えば、フラッシュメモリ、CD-ROM、フロッピー（登録商標）ディスク、ハードドライブ、デジタルビデオ（汎用）ディスク（DVD）、またはその他のメモリ装置などの有形的表現媒体に格納されるソフトウェアとして具現化されることが可能であるが、当業者であれば、アルゴリズム全体および/またはその一部が、代わりにプロセッサ以外の装置によって実行され、かつ/またはファームウェアかまたは既知の方法（例えば、特定用途向け集積回路（ASIC）、プログラム可能論理装置（PLD）

10

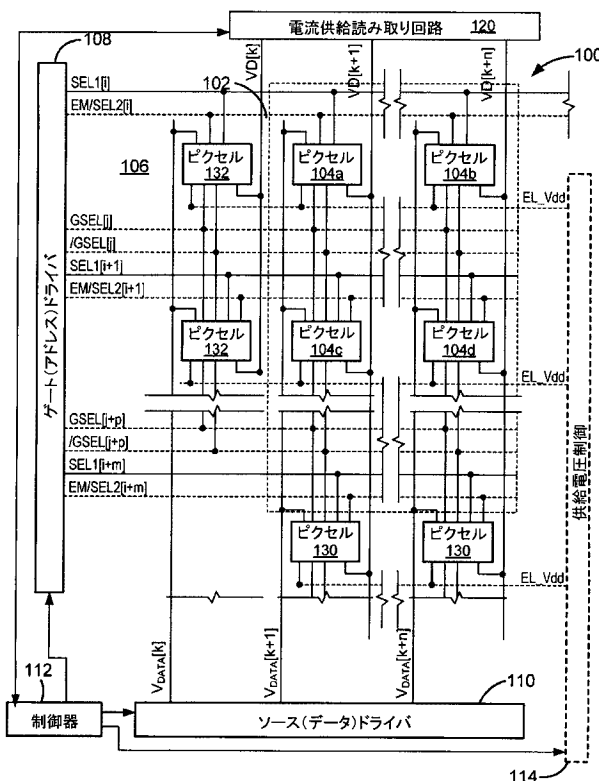
【産業上の利用可能性】

【 0 0 7 8 】

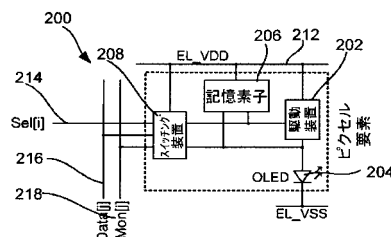
本発明の具体的な実施形態および適用が図示され説明されたが、本発明は、本明細書に開示されたそのままの構造および構成に限定されるものではないこと、また添付の請求項に規定された本発明の趣旨および範囲から逸脱することなく、種々の改良、変更、バリエーションが先述の説明から明らかであることを理解されたい。

20

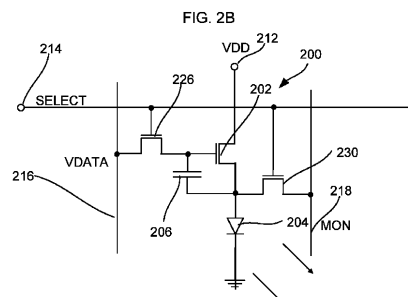
【 図 1 】



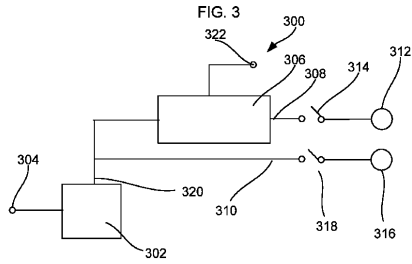
【 図 2 A 】



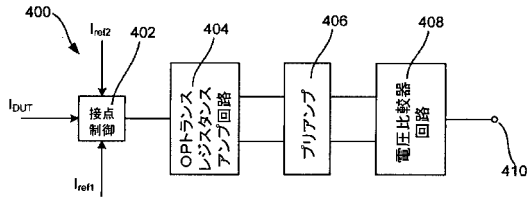
【 図 2 B 】



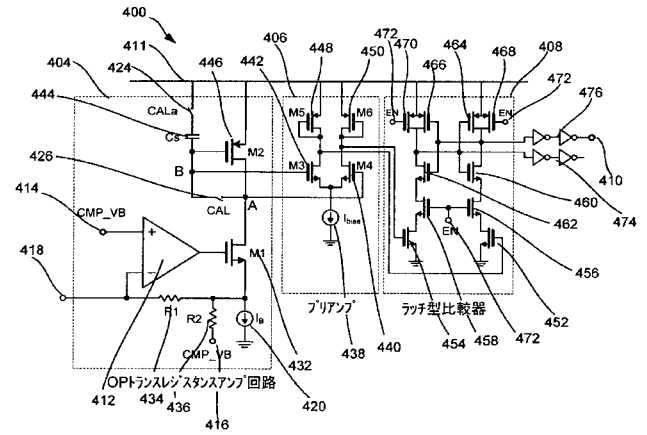
【図 3】



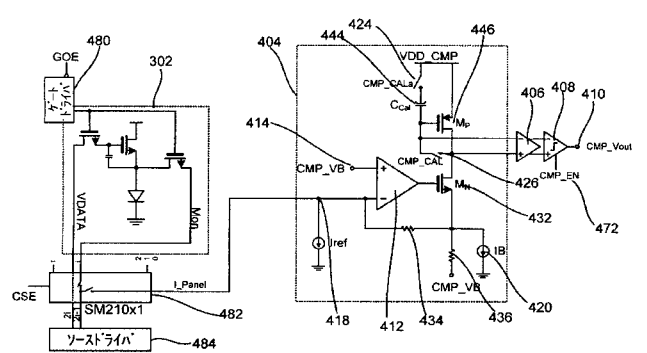
【図 4 A】



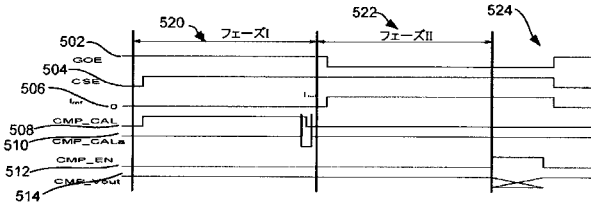
【図 4 B】



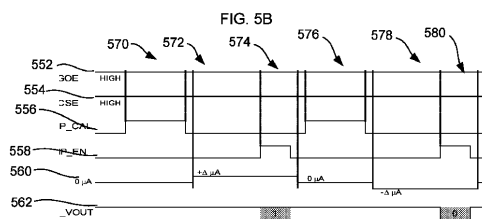
【図 4 C】



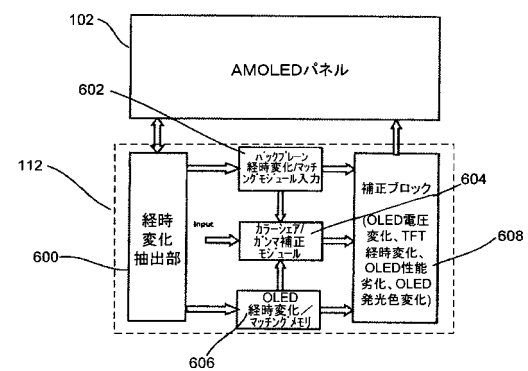
【図 5 A】



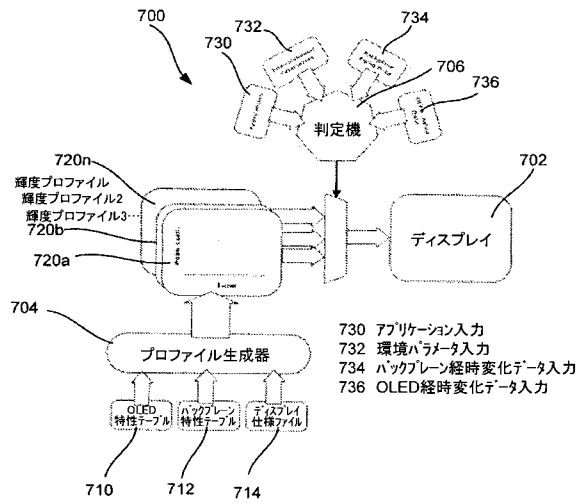
【図 5 B】



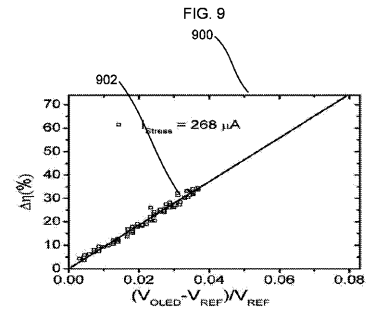
【図 6】



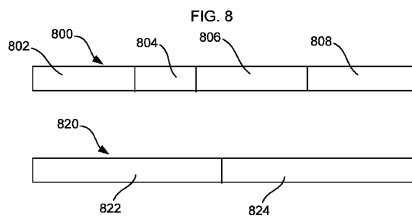
【図 7】



【図 9】



【図 8】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/IB2010/055486																					
A. CLASSIFICATION OF SUBJECT MATTER IPC: G09G 3/22 (2006.01) , G09G 3/32 (2006.01) According to International Patent Classification (IPC) or to both national classification and IPC																							
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC (2006.01): G09G 3/22, G09G 3/32 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched GOOGLE and GOOGLE Scholar Electronic database(s) consulted during the international search (name of database(s) and, where practicable, search terms used) Databases: Canadian Patents Database and TotalPatents Keywords: anomaly, anomalies, defect, effect, reference, age, aging, current, uniform, comparator, output, test, voltage, signal, application, characteristics, memory, table, production, manufacture, manufacturing, short, comparing, programmed, display, system, flaws, luminance.																							
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">Category*</th> <th style="width: 60%;">Citation of document, with indication, where appropriate, of the relevant passages</th> <th style="width: 30%;">Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">Y</td> <td>WO2007/079572 (NATHAN ET AL.) 19 July 2007 (19-07-2007) * Whole Document*</td> <td style="text-align: center;">1-14</td> </tr> <tr> <td style="text-align: center;">Y</td> <td>CHAJI et al (16 July 2008): A Current-Mode Comparator for Digital Calibration of Amorphous Silicon AMOLED Displays. Circuits and Systems II: Express Briefs, IEEE Transactions on. Vol.55 (7), p.614-618.</td> <td style="text-align: center;">1-14</td> </tr> <tr> <td style="text-align: center;">X</td> <td>US2004/0108518A1 (JO) 10 June 2004 (10-06-2004)</td> <td style="text-align: center;">15-17</td> </tr> <tr> <td style="text-align: center;">---</td> <td>* Whole Document*</td> <td style="text-align: center;">---</td> </tr> <tr> <td style="text-align: center;">Y</td> <td></td> <td style="text-align: center;">18</td> </tr> <tr> <td style="text-align: center;">Y</td> <td>US2002/0047565A1 (NARA ET AL.) 25 April 2002 (25-04-2002) * Whole Document*</td> <td style="text-align: center;">18</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	Y	WO2007/079572 (NATHAN ET AL.) 19 July 2007 (19-07-2007) * Whole Document*	1-14	Y	CHAJI et al (16 July 2008): A Current-Mode Comparator for Digital Calibration of Amorphous Silicon AMOLED Displays. Circuits and Systems II: Express Briefs, IEEE Transactions on. Vol.55 (7), p.614-618.	1-14	X	US2004/0108518A1 (JO) 10 June 2004 (10-06-2004)	15-17	---	* Whole Document*	---	Y		18	Y	US2002/0047565A1 (NARA ET AL.) 25 April 2002 (25-04-2002) * Whole Document*	18
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.																					
Y	WO2007/079572 (NATHAN ET AL.) 19 July 2007 (19-07-2007) * Whole Document*	1-14																					
Y	CHAJI et al (16 July 2008): A Current-Mode Comparator for Digital Calibration of Amorphous Silicon AMOLED Displays. Circuits and Systems II: Express Briefs, IEEE Transactions on. Vol.55 (7), p.614-618.	1-14																					
X	US2004/0108518A1 (JO) 10 June 2004 (10-06-2004)	15-17																					
---	* Whole Document*	---																					
Y		18																					
Y	US2002/0047565A1 (NARA ET AL.) 25 April 2002 (25-04-2002) * Whole Document*	18																					
[] Further documents are listed in the continuation of Box C. [X] See patent family annex. <table border="1" style="width: 100%; border-collapse: collapse;"> <tbody> <tr> <td style="width: 50%;"> * Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed </td> <td style="width: 50%;"> "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family </td> </tr> </tbody> </table>			* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family																			
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family																						
Date of the actual completion of the international search 5 April 2011 (05-04-2011)		Date of mailing of the international search report 19 April 2011 (19-04-2011)																					
Name and mailing address of the ISA/CA Canadian Intellectual Property Office Place du Portage I, C114 - 1st Floor, Box PCT 50 Victoria Street Gatineau, Quebec K1A 0C9 Facsimile No.: 001-819-953-2476		Authorized officer Tony Khoury (819) 934-7882																					

INTERNATIONAL SEARCH REPORT

International application No. PCT/IB2010/055486
--

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of the first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons :

1. ☐ Claim Nos. :
because they relate to subject matter not required to be searched by this Authority, namely :

2. ☐ Claim Nos. :
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically :

3. ☐ Claim Nos. :
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows :

1. Group A: claims 1-10.
2. Group B: claims 11-14.
3. Group C: claims 15-18.
4. Group D: claims 19-22.

Details on unity groups can be found on page 5.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claim Nos. :
4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claim Nos. : 1-18 (see extra sheet).

- Remark on Protest** ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No. PCT/IB2010/055486

Continuation from Box 3.Group A: claims 1-10:

A voltage programmed display panel allowing measurements of effects on pixels in the panel featuring a controller which compares an output of a reference pixel to the output of one of the plurality of active pixels.

Group B: claims 11-14:

A method of determining a baseline value for aging effects of a transistor based display where a first known reference current is applied to a current comparator with a second variable reference current and the output of the device under test, where the variable current is adjusted until the second current and the output of the device under test is equivalent to the known first reference current.

Group C: claims 15-18:

A method for determining data for production of a display device having a plurality of pixels, by applying a test signal to each of the plurality of pixels and measuring voltage and current characteristics, in order to determine if any anomalies exist for each of the pixels. The anomaly data for the pixels demonstrating anomalies is stored.

Group D: claims 19-22:

A display system which provides luminance profiles and includes an array of pixels to display images, a memory including characteristic data and a profile generator coupled to the memory in order to generate a plurality of luminance profiles based on the characteristic data. The controller is coupled to the profile generator and the array of pixels to change the luminance of the array of pixels according to a selected one of the plurality of profiles.

As the examiner has found that searching claims 1-10 of group A and 11-14 of group B did not require additional effort, both groups A and B were searched. Furthermore, as claims 15-18 are considered broad as claimed, the examiner has also searched those claims.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/IB2010/055486

Patent Document Cited in Search Report	Publication Date	Patent Family Member(s)	Publication Date
WO2007079572A1	19 July 2007 (19-07-2007)	CA2535233A1 CA2551237A1 CA2570898A1 CN101395653A CN101395653B EP1971975A1 EP1971975A4 JP2009522621T KR20090006057A US2008088549A1	09 July 2007 (09-07-2007) 27 December 2007 (27-12-2007) 15 March 2007 (15-03-2007) 25 March 2009 (25-03-2009) 12 January 2011 (12-01-2011) 24 September 2008 (24-09-2008) 16 September 2009 (16-09-2009) 11 June 2009 (11-06-2009) 14 January 2009 (14-01-2009) 17 April 2008 (17-04-2008)
US20040108518A1	10 June 2004 (10-06-2004)	CN1448908A CN1253842C JP2004004673A JP4266682B2 JP2004004675A US6806497B2	15 October 2003 (15-10-2003) 26 April 2006 (26-04-2006) 08 January 2004 (08-01-2004) 20 May 2009 (20-05-2009) 08 January 2004 (08-01-2004) 19 October 2004 (19-10-2004)
US20020047565A1	25 April 2002 (25-04-2002)	JP2002040074A JP3437152B2 TW513895B US6633135B2	06 February 2002 (06-02-2002) 18 August 2003 (18-08-2003) 11 December 2002 (11-12-2002) 14 October 2003 (14-10-2003)

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 1 1 H
H 0 5 B 33/14 A
H 0 5 B 33/08

(81)指定国 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PE,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

(72)発明者 ディオネ ジョセフ マーセル

カナダ オンタリオ ウォータールー ウィロウ ウッド ドライブ 5 4 1

(72)発明者 ホーマティ アバス

カナダ オンタリオ キッチン クイーン ストリート ノース 5 7 アpartment 7 0 8

(72)発明者 リウ トン

カナダ オンタリオ ウォータールー バターカップ コート 2 0 1

(72)発明者 アレクサンダー ステファン

カナダ オンタリオ エルミラ アーサー ストリート サウス 9 1

F ターム(参考) 3K107 AA01 BB01 CC21 EE03 EE61 GG56 HH04

5C080 AA06 BB05 CC03 DD05 DD14 EE29 EE30 FF11 FF12 JJ02
JJ03 JJ04 JJ05

5C380 AA01 AB06 AB36 AB43 BA10 BA29 BA36 BD04 CA12 CC01
CC08 CC26 CC27 CC33 CC62 CD013 CF12 CF13 CF22 CF27
CF49 CF61 DA01 DA09 EA02 FA02 FA03 FA20 FA21 FA22
FA28 GA02 GA08 GA12 GA18

专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2013512473A5	公开(公告)日	2014-01-16
申请号	JP2012541612	申请日	2010-11-29
[标]申请(专利权)人(译)	伊格尼斯创新公司		
申请(专利权)人(译)	伊格尼斯-Inobeishon公司		
[标]发明人	チャジゴラムレザ デイオネジョセフマーセル ホーマティアバス リウトン アレクサンダーステファン		
发明人	チャジ ゴラムレザ デイオネ ジョセフ マーセル ホーマティ アバス リウ トン アレクサンダー ステファン		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 H05B33/08		
CPC分类号	G09G3/006 G01R31/44 G09G3/3233 G09G3/3283 G09G2300/0842 G09G2320/0233 G09G2320/0285 G09G2320/029 G09G2320/0295 G09G2320/043 G09G2320/045		
FI分类号	G09G3/30.Z G09G3/20.624.A G09G3/20.670.J G09G3/20.670.B G09G3/20.621.J G09G3/20.611.H H05B33/14.A H05B33/08		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC21 3K107/EE03 3K107/EE61 3K107/GG56 3K107/HH04 5C080 /AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD14 5C080/EE29 5C080/EE30 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB36 5C380/AB43 5C380/BA10 5C380/BA29 5C380/BA36 5C380/BD04 5C380/CA12 5C380/CC01 5C380 /CC08 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC62 5C380/CD013 5C380/CF12 5C380/CF13 5C380/CF22 5C380/CF27 5C380/CF49 5C380/CF61 5C380/DA01 5C380/DA09 5C380/EA02 5C380 /FA02 5C380/FA03 5C380/FA20 5C380/FA21 5C380/FA22 5C380/FA28 5C380/GA02 5C380/GA08 5C380/GA12 5C380/GA18		
优先权	2688870 2009-11-30 CA		
其他公开文献	JP2013512473A		

摘要(译)

公开了提供用于显示装置的老化补偿的基线测量的方法和系统。示例显示系统具有多个有源像素和参考像素。公共输入信号被提供给参考像素和多个有源像素。测量参考像素的输出并将其与有源像素的输出进行比较以确定老化效应。还可以测试显示系统，将第一已知参考电流应用于具有第二可变参考电流的电流比较器和被测器件的输出，例如像素之一。调节可变参考电流，直到第二电流和被测器件的输出等于第一电流。测试设备的最终电流存储在查找表中，用于显示系统操作期间的老化测量的基线。还可以测试显示系统以通过确定诸如OLED和驱动晶体管之类的像素组件中的短路之类的异常来确定生产缺陷。

