

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-72132

(P2010-72132A)

(43) 公開日 平成22年4月2日(2010.4.2)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
H01L 51/50 (2006.01)	G09G 3/20 621M	
	G09G 3/20 611A	
	H05B 33/14 A	
審査請求 未請求 請求項の数 4 O L (全 21 頁)		

(21) 出願番号 特願2008-237345 (P2008-237345)
 (22) 出願日 平成20年9月17日 (2008.9.17)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100095957
 弁理士 亀谷 美明
 (74) 代理人 100096389
 弁理士 金本 哲男
 (74) 代理人 100101557
 弁理士 萩原 康司
 (72) 発明者 伴田 智壮
 東京都品川区西五反田3丁目8番17号
 ソニーエンジニアリング株式会社内
 (72) 発明者 山本 哲郎
 東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

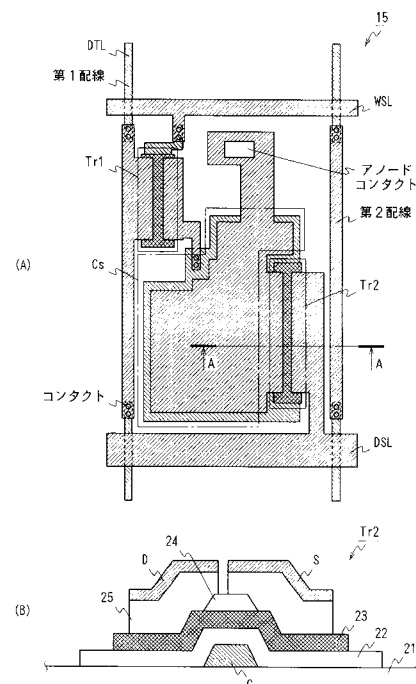
(54) 【発明の名称】 画像表示装置

(57) 【要約】

【課題】本発明は、例えば有機EL素子によるアクティブマトリックス型の画像表示装置に適用して、駆動トランジスタTr2に供給する電源用駆動信号の制御により駆動トランジスタTr2のしきい値電圧のばらつきを補正する構成において、この電源用駆動信号の振幅を従来に比して小さくすることができるようにする。

【解決手段】本発明は、駆動トランジスタTr2を、チャンネル保護層24と重なり合う部位の面積がドレイン電極Dに比してソース電極Sで大きな構造とする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

画素回路をマトリックス状に配置して表示部が形成され、
前記画素回路は、
発光素子と、
ゲートソース間電圧に応じた駆動電流によりソースに接続した前記発光素子を駆動する
駆動トランジスタと、
前記ゲートソース間電圧を保持する保持容量と、
信号線の電圧により前記保持容量の端子電圧を設定する書込トランジスタとを少なくとも
も有し、
前記発光素子を発光させる発光期間と、前記発光素子の発光を停止させる非発光期間と
を交互に繰り返し、
前記非発光期間において、
走査線を介して前記駆動トランジスタのドレイン電圧を立ち下げて前記駆動トランジスタ
のソース電圧を立ち下げることにより、前記保持容量の端子間電圧を前記駆動トランジスタ
のしきい値電圧以上の電圧に設定し、前記駆動トランジスタを介した前記保持容量の
端子間電圧の放電により、前記保持容量の端子間電圧を前記駆動トランジスタのしきい値
電圧に応じた電圧に設定し、
続いて前記保持容量の端子電圧を前記信号線の電圧に設定して、続く前記発光期間にお
ける前記発光素子の発光輝度を設定し、
前記駆動トランジスタは、
チャンネル保護層と重なり合う部位の面積がドレイン電極に比してソース電極で大きく
なるように作成された
画像表示装置。

10

20

【請求項 2】

前記電源用駆動信号は、
連続する複数のライン単位で共通に設定され、
前記画素回路は、
前記書込トランジスタを介して、前記保持容量の端子電圧を消灯用の電圧に設定するこ
とにより、前記駆動トランジスタによる前記発光素子の駆動を停止して前記非発光期間を
開始する
請求項 1 に記載の画像表示装置。

30

【請求項 3】

前記画素回路は、
前記書込トランジスタを介して、前記保持容量の端子電圧をばらつき補正用の電圧に設
定することにより、前記保持容量の端子間電圧を前記駆動トランジスタのしきい値電圧以
上の電圧に設定する
請求項 2 に記載の画像表示装置。

【請求項 4】

前記発光素子が、有機 EL 素子である
請求項 3 に記載の画像表示装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画像表示装置に関し、例えば有機 EL (Electro Luminescence) 素子による
アクティブマトリックス型の画像表示装置に適用することができる。本発明は、チャンネ
ル保護層と重なり合う部位の面積がドレイン電極に比してソース電極で大きな構造により
駆動トランジスタを作成することにより、駆動トランジスタに供給する電源用駆動信号の

50

制御により駆動トランジスタのしきい値電圧のばらつきを補正する構成において、この電源用駆動信号の振幅を従来に比して小さくすることができるようにする。

【背景技術】

【0002】

近年、有機EL素子を用いたアクティブマトリックス型の画像表示装置の開発が盛んになっている。ここで有機EL素子を用いた画像表示装置は、電界の印加により発光する有機薄膜の発光現象を利用した画像表示装置である。有機EL素子は、10〔V〕以下の印加電圧で駆動することができる。従ってこの種の画像表示装置は、消費電力を低減することができる。また有機EL素子は、自発光素子である。従ってこの種の画像表示装置は、バックライト装置を必要とせず、軽量化、薄型化することができる。さらに有機EL素子は、応答速度が数μ秒程度と速い特徴がある。従ってこの種の画像表示装置は、動画表示時に残像が殆ど発生しない特徴がある。

10

【0003】

具体的に、有機EL素子を用いたアクティブマトリックス型の画像表示装置は、有機EL素子と有機EL素子を駆動する駆動回路とによる画素回路をマトリックス状に配置して表示部が形成される。この種の画像表示装置は、表示部に設けられた信号線及び走査線をそれぞれ介して、表示部の周囲に配置した信号線駆動回路及び走査線駆動回路により各画素回路を駆動して所望の画像を表示する。

【0004】

この有機EL素子を用いた画像表示装置に関して、特開2007-310311号公報には、2つのトランジスタを用いて画素回路を構成する方法が開示されている。従ってこの特開2007-310311号公報に開示の方法によれば、構成を簡略化することができる。またこの特開2007-310311号公報には、有機EL素子を駆動する駆動トランジスタのしきい値電圧のばらつき、移動度のばらつきを補正する構成が開示されている。従ってこの特開2007-310311号公報に開示の構成によれば、駆動トランジスタのしきい値電圧のばらつき、移動度のばらつきによる画質劣化を防止することができる。

20

【0005】

ここで図12は、特開2007-310311号公報に開示の画像表示装置を示すブロック図である。この画像表示装置1は、ガラス等の絶縁基板に表示部2が作成される。画像表示装置1は、この表示部2の周囲に信号線駆動回路3及び走査線駆動回路4が作成される。

30

【0006】

ここで表示部2は、画素回路5をマトリックス状に配置して形成され、画素回路5に設けられた有機EL素子により画素(PIX)6が形成される。なおカラー画像の画像表示装置では、赤色、緑色及び青色による複数のサブ画素により1つの画素が構成されることから、カラー画像の画像表示装置の場合、表示部2は、赤色、緑色及び青色のサブ画素をそれぞれ構成する赤色用、緑色用及び青色用の画素回路5を順次配置して構成される。

【0007】

信号線駆動回路3は、表示部2に設けられた信号線DTLに信号線用の駆動信号Ssigを出力する。より具体的に、信号線駆動回路3は、データスキャン回路3Aにおいて、ラスタ走査順に入力される画像データD1を順次ラッチして画像データD1を信号線DTLに振り分けた後、それぞれディジタルアナログ変換処理する。信号線駆動回路3は、このディジタルアナログ変換結果を処理して駆動信号Ssigを生成する。これにより画像表示装置1は、例えばいわゆる線順次により各画素回路5の階調を設定する。

40

【0008】

走査線駆動回路4は、表示部2に設けられた書込信号用の走査線WSL及び電源用の走査線DSLにそれぞれ書込信号WS及び駆動信号DSを出力する。ここで書込信号WSは、各画素回路5に設けられた書込トランジスタをオンオフ制御する信号である。また駆動信号DSは、各画素回路5に設けられた駆動トランジスタのドレイン電圧を制御する信号

50

である。走査線駆動回路 4 は、それぞれライトスキャン回路 (W S C N) 4 A 及びドライ
ブスキャン回路 (D S C N) 4 B において、所定のサンプリングパルス S P をクロック C
K で処理して書込信号 W S 及び駆動信号 D S を生成する。

【0009】

図 1 3 は、画素回路 5 の構成を詳細に示す接続図である。画素回路 5 は、有機 E L 素子
8 のカソードが所定の負側電圧に設定され、この図 1 3 の例ではこの負側電圧がアースラ
インの電圧に設定される。画素回路 5 は、有機 E L 素子 8 のアノードが駆動トランジスタ
T r 2 のソースに接続される。なお駆動トランジスタ T r 2 は、例えば T F T による N チ
ャンネル型トランジスタである。画素回路 5 は、この駆動トランジスタ T r 2 のドレイン
が電源用の走査線 D S L に接続され、この走査線 D S L に走査線駆動回路 4 から電源用駆
動信号 D S が供給される。これらにより画素回路 5 は、ソースフォロワ回路構成の駆動ト
ランジスタ T r 2 を用いて有機 E L 素子 8 を電流駆動する。

10

【0010】

画素回路 5 は、この駆動トランジスタ T r 2 のゲート及びソース間に保持容量 C s が設
けられ、書込信号 W S によりこの保持容量 C s のゲート側端電圧が駆動信号 S s i g の電
圧に設定される。その結果、画素回路 5 は、駆動信号 S s i g に応じたゲートソース間電
圧 V g s により駆動トランジスタ T r 2 で有機 E L 素子 8 を電流駆動する。なおここでこ
の図 1 3 において、容量 C e l は、有機 E L 素子 8 の浮遊容量である。また以下において
、容量 C e l は、保持容量 C s に比して十分に容量が大きいものとし、駆動トランジスタ
T r 2 のゲートノードの寄生容量は、保持容量 C s に対して十分に小さいものとする。

20

【0011】

すなわち画素回路 5 は、書込信号 W S によりオンオフ動作する書込トランジスタ T r 1
を介して、駆動トランジスタ T r 2 のゲートが信号線 D T L に接続される。なおここで書
込トランジスタ T r 1 は、例えば T F T による N チャンネル型トランジスタである。ここ
で信号線駆動回路 3 は、階調設定用電圧 V s i g 及びしきい値電圧の補正用の固定電圧 V
o f s を所定のタイミングで切り換えて駆動信号 S s i g を出力する。ここでしきい値電
圧補正用の固定電圧 V o f s は、駆動トランジスタ T r 2 のしきい値電圧のばらつき補正
に使用する固定電圧である。また階調設定用電圧 V s i g は、有機 E L 素子 8 の発光輝度
を指示する電圧であり、階調電圧 V i n にしきい値電圧補正用の固定電圧 V o f s を加算
した電圧である。また階調電圧 V i n は、有機 E L 素子 8 の発光輝度に対応する電圧であ
る。階調電圧 V i n は、各信号線 D T L に振り分けた画像データ D 1 をそれぞれディジタ
ルアナログ変換処理して信号線 D T L 毎に生成される。

30

【0012】

画素回路 5 は、図 1 4 に示すように、有機 E L 素子 8 を発光させる発光期間の間、書込
信号 W S により書込トランジスタ T r 1 がオフ状態に設定される (図 1 4 (A))。また
画素回路 5 は、発光期間の間、電源用駆動信号 D S によって駆動トランジスタ T r 2 に電
源電圧 V c c が供給される (図 1 4 (B))。これにより画素回路 5 は、図 1 5 に示すよ
うに、発光期間の間、保持容量 C s の端子間電圧である駆動トランジスタ T r 2 のゲート
ソース間電圧 V g s (図 1 4 (D) 及び (E)) に応じた駆動電流 I d s で有機 E L 素子
8 を発光させる。

40

【0013】

画素回路 5 は、発光期間が終了する時点 t 0 で、電源用駆動信号 D S が所定の固定電圧
V s s に立ち下げられる (図 1 4 (B))。ここでこの固定電圧 V s s は、駆動トランジ
スタ T r 2 のドレインをソースとして機能させるのに十分に低い電圧であって、かつ有機
E L 素子 8 のカソード電圧より低い電圧である。

【0014】

これにより画素回路 5 は、図 1 6 に示すように、駆動トランジスタ T r 2 を介して、保
持容量 C s の有機 E L 素子 8 側端の蓄積電荷が走査線に流出する。その結果、画素回路 5
は、駆動トランジスタ T r 2 のソース電圧 V s がほぼ電圧 V s s に立ち下がり (図 1 4 (E))、有機 E L 素子 8 が発光を停止する。また画素回路 5 は、このソース電圧 V s の立

50

ち下がりに連動して、駆動トランジスタ T_{r2} のゲート電圧 V_g が低下する（図 14（D））。

【0015】

画素回路 5 は、続く所定の時点 t_1 で、書込信号 WS により書込トランジスタ T_{r1} がオン状態に切り換えられ（図 14（A））、駆動トランジスタ T_{r2} のゲート電圧 V_g が信号線 DTL に設定されたしきい値電圧補正用の固定電圧 V_{ofs} に設定される（図 14（C）及び（D））。これにより画素回路 5 は、図 17 に示すように、駆動トランジスタ T_{r2} のゲートソース間電圧 V_{gs} がほぼ電圧 $V_{ofs} - V_{ss}$ に設定される。ここで画素回路 5 は、電圧 V_{ofs} 、 V_{ss} の設定により、この電圧 $V_{ofs} - V_{ss}$ が駆動トランジスタ T_{r2} のしきい値電圧 V_{th} より大きな電圧に設定される。

10

【0016】

その後、画素回路 5 は、時点 t_2 で駆動信号 DS により駆動トランジスタ T_{r2} のドレイン電圧が電源電圧 V_{cc} に立ち上げられる（図 14（B））。これにより画素回路 5 は、図 18 に示すように、駆動トランジスタ T_{r2} を介して保持容量 C_s の有機 EL 素子 8 側端に電源 V_{cc} から充電電流 I_{ds} が流入する。その結果、画素回路 5 は、保持容量 C_s の有機 EL 素子 8 側端の電圧 V_s が徐々に上昇する。この場合、画素回路 5 において、駆動トランジスタ T_{r2} を介して有機 EL 素子 8 に流入する電流 I_{ds} は、有機 EL 素子 8 の容量 C_{el} と保持容量 C_s の充電にのみ使用され、その結果、有機 EL 素子 8 を発光させることなく、単に駆動トランジスタ T_{r2} のソース電圧 V_s のみが上昇することになる。

20

【0017】

ここで画素回路 5 は、保持容量 C_s の端子間電圧が駆動トランジスタ T_{r2} のしきい値電圧 V_{th} となると、駆動トランジスタ T_{r2} を介した充電電流 I_{ds} の流入が停止することになる。従ってこの場合、この駆動トランジスタ T_{r2} のソース電圧 V_s の上昇は、保持容量 C_s の両端電位差が駆動トランジスタ T_{r2} のしきい値電圧 V_{th} となると、停止することになる。これにより画素回路 5 は、駆動トランジスタ T_{r2} を介して保持容量 C_s の端子間電圧を放電させ、保持容量 C_s の端子間電圧を駆動トランジスタ T_{r2} のしきい値電圧 V_{th} に設定する。

【0018】

画素回路 5 は、保持容量 C_s の端子間電圧を駆動トランジスタ T_{r2} のしきい値電圧 V_{th} に設定するのに十分な時間が経過して時点 t_3 になると、図 19 に示すように、書込信号 WS により書込トランジスタ T_{r1} がオフ状態に切り換えられる（図 14（A））。続いて図 20 に示すように、信号線 DTL の電圧が階調設定用電圧 V_{sig} ($=V_{in} + V_{ofs}$) に設定される。

30

【0019】

画素回路 5 は、続く時点 t_4 で書込トランジスタ T_{r1} がオン状態に設定される（図 14（A））。これにより画素回路 5 は、図 21 に示すように、駆動トランジスタ T_{r2} のゲート電圧 V_g が階調設定用電圧 V_{sig} に設定され、駆動トランジスタ T_{r2} のゲートソース間電圧 V_{gs} は、階調電圧 V_{in} に駆動トランジスタ T_{r2} のしきい値電圧 V_{th} を加算した電圧に設定される。これにより画素回路 5 は、駆動トランジスタ T_{r2} のしきい値電圧 V_{th} のばらつきを有効に回避して有機 EL 素子 8 を駆動することができ、有機 EL 素子 8 の発光輝度のばらつきによる画質劣化を防止することができる。

40

【0020】

画素回路 5 は、この駆動トランジスタ T_{r2} のゲート電圧 V_g を階調設定用電圧 V_{sig} に設定する際に、駆動トランジスタ T_{r2} のドレイン電圧を電源電圧 V_{cc} に保持した状態で、一定期間の間、駆動トランジスタ T_{r2} のゲートが信号線 DTL に接続される。これにより画素回路 5 は、併せて駆動トランジスタ T_{r2} の移動度 μ のばらつきが補正される。

【0021】

すなわち保持容量 C_s の端子間電圧を駆動トランジスタ T_{r2} のしきい値電圧 V_{th} に

50

設定した状態で、書込トランジスタ T_{r1} をオン状態に設定して駆動トランジスタ T_{r2} のゲートを信号線 DTL に接続した場合、駆動トランジスタ T_{r2} のゲート電圧 V_g は、固定電圧 V_{ofs} から徐々に上昇して階調設定用電圧 V_{sig} に設定される。

【0022】

ここで画素回路 5 は、この駆動トランジスタ T_{r2} のゲート電圧 V_g の立ち上がりによする書込時定数が、駆動トランジスタ T_{r2} によるソース電圧 V_s の立ち上がりによする時定数に比して短くなるように設定される。

【0023】

この場合、書込トランジスタ T_{r1} がオン動作すると、駆動トランジスタ T_{r2} のゲート電圧 V_g は、速やかに階調設定用電圧 V_{sig} ($V_{ofs} + V_{in}$) に立ち上がることになる。このゲート電圧 V_g の立ち上がり時、有機 EL 素子 8 の容量 C_{el} が保持容量 C_s に比して十分に大きければ、駆動トランジスタ T_{r2} のソース電圧 V_s は変動しないことになる。

【0024】

しかしながら駆動トランジスタ T_{r2} のゲートソース間電圧 V_{gs} がしきい値電圧 V_{th} より増大すると、駆動トランジスタ T_{r2} を介して電源 V_{cc} から電流 I_{ds} が流入し、駆動トランジスタ T_{r2} のソース電圧 V_s が徐々に上昇することになる。その結果、画素回路 5 は、保持容量 C_s の端子間電圧が駆動トランジスタ T_{r2} により放電し、ゲートソース間電圧 V_{gs} の上昇速度が低下することになる。

【0025】

この端子間電圧の放電速度は、駆動トランジスタ T_{r2} の能力に応じて変化する。より具体的には、駆動トランジスタ T_{r2} の移動度 μ が大きい場合程、放電速度は、早くなる。

【0026】

その結果、画素回路 5 は、移動度 μ が大きい駆動トランジスタ T_{r2} 程、保持容量 C_s の端子間電圧が低下するように設定され、移動度のばらつきによる発光輝度のばらつきが補正される。なおこの移動度 μ の補正に係る端子間電圧の低下分を図 14、図 21 及び図 22 では ΔV で示す。

【0027】

画素回路 5 は、この移動度の補正期間が経過すると、時点 t_5 で書込信号 WS が立ち上げられる。その結果、画素回路 5 は、発光期間が開始し、図 22 に示すように、保持容量 C_s の端子間電圧に応じた駆動電流 I_{ds} により有機 EL 素子 8 を発光させる。なお画素回路 5 は、発光期間が開始すると、いわゆるブートストラップ回路により駆動トランジスタ T_{r2} のゲート電圧 V_g 及びソース電圧 V_s が上昇する。図 22 における V_{el} は、この上昇分の電圧である。

【0028】

これらにより画素回路 5 は、時点 t_0 から時点 t_2 までの駆動トランジスタ T_{r2} のゲート電圧を電圧 V_{ss} に立ち下げている期間で、駆動トランジスタ T_{r2} のしきい値電圧を補正する処理の準備を実行する。また続く時点 t_2 から時点 t_3 までの期間で、保持容量 C_s の端子間電圧を駆動トランジスタ T_{r2} のしきい値電圧 V_{th} に設定して、駆動トランジスタ T_{r2} のしきい値電圧を補正する。また時点 t_4 から時点 t_5 までの期間で、駆動トランジスタ T_{r2} の移動度を補正すると共に、階調設定用電圧 V_{sig} をサンプリングする。

【0029】

また特開 2007-133284 号公報には、駆動トランジスタ T_{r2} のしきい値電圧のばらつきを補正する処理を複数回に分けて実行する構成が提案されている。この特開 2007-133284 号公報に開示の構成によれば、高精度化して画素回路の階調設定に割り当てる時間が短くなった場合でも、しきい値電圧のばらつき補正に十分な時間を割り当てることができる。従って高精度化した場合でも、しきい値電圧のばらつきによる画質劣化を防止することができる。

10

20

30

40

50

【0030】

従って特開2007-310311号公報に開示の手法に、特開2007-133284号公報に開示の手法を適用すると、簡易な構成により、高精度化した場合にあって高い画質を維持することが可能な表示装置を得ることができると考えられる。

【0031】

図23は、図14との対比により、特開2007-310311号公報に開示の手法に、特開2007-133284号公報に開示の手法を適用した場合に考えられる画素回路のタイムチャートである。

【0032】

この場合、信号線DTLには、しきい値電圧補正用の固定電圧 V_{ofs} を間に挟んで、信号線DTLに接続された各画素回路5の階調設定用電圧 V_{sig} が出力される。画素回路5は、この信号線DTLの駆動に対応して書込信号WSが間欠的に立ち上げられ、複数の期間で、保持容量Csの端子間電圧を駆動トランジスタTr2を介して放電させる。具体的に、この図23の例では、駆動トランジスタTr2のしきい値電圧のばらつき補正を、期間T1、T2、T3、T4の4回の期間に分けて実行した後、期間T5で移動度補正処理及び階調設定処理を実行する。なおこの図23において、VDは、垂直同期信号である。

【特許文献1】特開2007-310311号公報

【特許文献2】特開2007-133284号公報

【発明の開示】

【発明が解決しようとする課題】

【0033】

ところで図13の画素回路5では、電源用の走査線DSLに出力する駆動信号DSを電圧Vssに立ち下げることにより、駆動トランジスタTr2のソース側電圧を立ち下げ、保持容量Csの端子間電圧を駆動トランジスタTr2のしきい値電圧 V_{th} 以上の電圧に設定する。これにより画素回路5は、駆動トランジスタTr2のしきい値電圧 V_{th} を補正する処理の準備処理を実行する。またこの準備処理が完了すると、画素回路5では、駆動信号DSが電圧Vccに立ち上がる。

【0034】

この駆動信号DSの振幅が大きく、この駆動信号DSのダイナミックレンジが大きい場合、画像表示装置は、消費電力が大きくなる。従って駆動信号DSは、極力、振幅を小さくし、ダイナミックレンジを小さくすることが望まれる。

【0035】

本発明は以上の点を考慮してなされたもので、駆動トランジスタに供給する電源用駆動信号の制御により駆動トランジスタのしきい値電圧のばらつきを補正する構成において、この電源用駆動信号の振幅を従来に比して小さくすることができる画像表示装置を提案しようとするものである。

【課題を解決するための手段】

【0036】

上記の課題を解決するため請求項1の発明は、画像表示装置に適用して、画素回路をマトリックス状に配置して表示部が形成される。ここで前記画素回路は、発光素子と、ゲートソース間電圧に応じた駆動電流によりソースに接続した前記発光素子を駆動する駆動トランジスタと、前記ゲートソース間電圧を保持する保持容量と、信号線の電圧により前記保持容量の端子電圧を設定する書込トランジスタとを少なくとも有し、前記発光素子を発光させる発光期間と、前記発光素子の発光を停止させる非発光期間とを交互に繰り返す。ここで前記非発光期間において、走査線を介して前記駆動トランジスタのドレイン電圧を立ち下げて前記駆動トランジスタのソース電圧を立ち下げることにより、前記保持容量の端子間電圧を前記駆動トランジスタのしきい値電圧以上の電圧に設定し、前記駆動トランジスタを介した前記保持容量の端子間電圧の放電により、前記保持容量の端子間電圧を前記駆動トランジスタのしきい値電圧に応じた電圧に設定する。また続いて前記保持容量の

端子電圧を前記信号線の電圧に設定して、続く前記発光期間における前記発光素子の発光輝度を設定する。前記駆動トランジスタは、チャンネル保護層と重なり合う部位の面積がドレイン電極に比してソース電極で大きくなるように作成される。

【0037】

請求項1の構成により、チャンネル保護層と重なり合う部位の面積がドレイン電極に比してソース電極で大きくなるように駆動トランジスタを作成すれば、駆動トランジスタのドレイン電圧を立ち下げて前記駆動トランジスタのソース電圧を立ち下げる際に、バックゲート効果により、チャンネル保護層にチャンネルが形成され、駆動トランジスタは、オン状態に設定される。その結果、駆動トランジスタでは、ソースからドレインに電荷が速やかに移動することになり、従来に比して低い電圧により速やかに保持容量のソース側端の電圧を所望の電圧に立ち下げることができる。これにより駆動トランジスタに供給する電源用駆動信号の制御により駆動トランジスタのしきい値電圧のばらつきを補正する構成において、駆動信号の振幅を従来に比して小さくすることができる。

【発明の効果】

【0038】

本発明によれば、駆動トランジスタに供給する電源用駆動信号の制御により駆動トランジスタのしきい値電圧のばらつきを補正する構成において、この電源用駆動信号の振幅を従来に比して小さくすることができる。

【発明を実施するための最良の形態】

【0039】

以下、適宜図面を参照しながら本発明の実施の形態を詳述する。

＜第1の実施の形態＞

〔実施の形態の構成〕

〔全体構成〕

図2は、図13との対比により、本発明の第1の実施の形態に係る画像表示装置を示す接続図である。この画像表示装置11は、画素回路15、信号線駆動回路13及び走査線駆動回路14の構成が異なる点を除いて、図13の画像表示装置1と同一に構成される。従って図13の画像表示装置1と同一の構成は、対応する符号を付して示し、重複した説明は省略する。

【0040】

この画像表示装置11は、ガラス等の絶縁基板上に画素回路15をマトリックス状に配置して表示部2が作成され、この絶縁基板上の表示部2の周囲に、信号線駆動回路13及び走査線駆動回路14が配置される。なお画素回路15は、駆動トランジスタTr2の構成が異なる点を除いて、画素回路5と同一に構成される。

【0041】

ここで信号線駆動回路13は、表示部2に設けられた信号線DTLに信号線用の駆動信号Ssigを出力する。すなわち信号線駆動回路13は、データスキャン回路13Aにより、ラスタ走査順に入力される画像データD1を順次ラッチして画像データD1を信号線DTLに振り分けた後、それぞれディジタルアナログ変換処理して階調電圧Vinを生成する。データスキャン回路13Aは、この階調電圧Vinに、ばらつき補正用の固定電圧Vofsを加算し、階調設定用電圧Vsig(=Vin+Vofs)を生成する。

【0042】

データスキャン回路13Aは、タイミングジェネレータ7から出力されるセクタ制御信号SELにより順次接点を切り換えるセクタ31により、階調設定用電圧Vsig、ばらつき補正用の固定電圧Vofs、消灯用の基準電圧Viniを順次循環的に信号線DTLに出力する(図3(D)参照)。なお消灯用の基準電圧Viniは、画素回路15の発光を停止させる基準電圧であり、ばらつき補正用の固定電圧Vofsより十分に低い電圧である。消灯用の基準電圧Viniは、有機EL素子8のカソード電圧Vcathに、有機EL素子8のしきい値電圧Vthel、及び駆動トランジスタTr2のしきい値電圧Vthを加算した電圧Vcath+Vthel+Vth以下の電圧である。この実施の形

態において、消灯用の基準電圧 V_{ini} は、電圧 $V_{cath} + V_{thel}$ より低い電圧に設定される。これにより画像表示装置 1 は、例えばいわゆる線順次により各画素回路 15 の階調を設定する。

【0043】

走査線駆動回路 14 は、ライトスキャン回路 (WSCN) 14A 及びドライブスキャン回路 (DSCN) 14B において、所定のサンプリングパルス SP をクロック CK で処理して書込信号 WS 及び駆動信号 DS を生成し、この書込信号 WS 及び駆動信号 DS を対応する走査線 WSL 及び DSL に出力する。

【0044】

図 3 は、図 23 との対比により、これら駆動信号 Ssig、WS、DS による画素回路 15 の動作の説明に供するタイムチャートである。画素回路 15 は、発光期間の間、書込信号 WS により書込トランジスタ Tr1 がオフ状態に設定され (図 3 (A) 及び (C))、電源用駆動信号 DS によって駆動トランジスタ Tr2 に電源電圧 Vcc が供給される (図 3 (B))。その結果、画素回路 15 は、発光期間の間、保持容量 Cs の端子間電圧である駆動トランジスタ Tr2 のゲートソース間電圧 Vgs (図 3 (E) 及び (F)) に応じた駆動電流で有機 EL 素子 8 を発光させる。

【0045】

画素回路 15 は、発光期間が終了する時点 t_0 で、書込信号 WS が立ち上げられて書込トランジスタ Tr1 がオン状態に設定され、保持容量 Cs の端子電圧が消灯用の基準電圧 V_{ini} に設定される。これにより画素回路 15 は、保持容量 Cs の端子間電圧を駆動トランジスタ Tr2 のしきい値電圧 V_{th} 以下に立ち下げ、駆動トランジスタ Tr2 による有機 EL 素子 8 の駆動を停止する。

【0046】

続いて画素回路 15 は、所定の時点 t_1 で、電源用の電源用駆動信号 DS が所定の固定電圧 Vss に立ち下げられる (図 3 (B))。これにより画素回路 15 は、駆動トランジスタ Tr2 を介して、保持容量 Cs の有機 EL 素子 8 側端の蓄積電荷が走査線に流出する。その結果、画素回路 15 は、駆動トランジスタ Tr2 のソース電圧 Vs がほぼ電圧 Vss に立ち下がり (図 3 (F))、このソース電圧 Vs の立ち下がり連動して、駆動トランジスタ Tr2 のゲート電圧 Vg が低下する (図 3 (E))。これにより画素回路 15 は、駆動トランジスタ Tr2 のしきい値電圧補正処理の準備処理に関して、保持容量 Cs のソース側端電圧が設定される。

【0047】

画素回路 15 は、続く所定の時点 t_2 で、電源用の電源用駆動信号 DS が電源電圧 Vcc に立ち上げられる (図 3 (B))。その後、画素回路 15 は、信号線 DTL の駆動信号 Ssig がしきい値電圧補正用の固定電圧 Vofs に設定されている期間の間、書込信号 WS により書込トランジスタ Tr1 がオン状態に切り換えられる (図 3 (C) 及び (D))。これにより画素回路 15 は、駆動トランジスタ Tr2 のしきい値電圧補正処理の準備処理に関して、保持容量 Cs のゲート側端電圧が設定され、保持容量 Cs の端子間電圧が駆動トランジスタ Tr2 のしきい値電圧 V_{th} 以上の電圧に設定される。またその後、画素回路 15 は、駆動トランジスタ Tr2 のしきい値電圧補正処理が実行される。なお以下においては、この駆動トランジスタ Tr2 のしきい値電圧補正処理を実行する期間を、符号 A により示す。従ってこの図 3 の例では、駆動トランジスタ Tr2 のしきい値電圧補正処理を実行する期間を、4 回の期間に分けて実行することになる。

【0048】

画素回路 15 は、その後、信号線 DTL の駆動信号 Ssig が対応する階調設定用電圧 Vsig に設定されている期間で、一定期間の間、書込トランジスタ Tr1 がオン状態に設定される (図 3 (C))。その結果、画素回路 15 は、駆動トランジスタ Tr2 の移動度 μ のばらつきを補正して保持容量 Cs の端子間電圧が階調設定用電圧 Vsig に対応する電圧に設定され、発光期間を開始する。これにより画素回路 15 は、駆動トランジスタ Tr2 のしきい値電圧 V_{th} のばらつきを有効に回避して有機 EL 素子 8 を駆動すること

ができ、有機EL素子8の発光輝度のばらつきによる画質劣化を防止することができる。
 なお以下において、この移動度をばらつき補正して階調を設定する期間を、符号Bにより示す。また消灯用の基準電圧 V_{ini} を設定する期間を符号Cにより示す。

【0049】

なおこの図3の例において、画像表示装置11は、しきい値電圧補正処理を開始した後、消灯用の基準電圧 V_{ini} を設定するまでの間、書込信号WSのLレベル電圧 $WS-L_1$ を、この期間以外の期間におけるLレベル電圧 $WS-L_2$ より高い電圧に保持する。これにより発光期間中の書込みトランジスタ Tr_1 のリークによって生じる発光輝度のばらつきを抑える。

【0050】

なお消灯用の基準電圧 V_{ini} に代えて、ばらつき補正用の固定電圧 V_{ofs} のタイミングで書込信号WSをオン動作させて非発光期間を開始するようにしてもよい。この場合には、消灯用の基準電圧 V_{ini} を省略し、階調設定用電圧 V_{sig} とばらつき補正用の固定電圧 V_{ofs} との繰り返しにより信号線DTLの駆動信号 S_{sig} を作成するようにしてもよい。

【0051】

[ユニットドライブ]

ここでこの実施の形態において、画素回路15は、保持容量Csの端子電圧の設定により発光期間、非発光期間がそれぞれ開始することになる。従って、電源用駆動信号DSを電圧 V_{ss} に立ち下げて保持容量Csのソース側端電圧を設定する処理は、非発光期間において、しきい値電圧補正処理に影響を与えない範囲で、所望する時点で実行することができる。

【0052】

そこで画像表示装置1は、駆動トランジスタ Tr_2 のドレイン電圧の制御を複数のラインで共通化し、いわゆるユニットドライブ方式により各画素回路を駆動する。なおユニットドライブ方式は、表示部2に設けられた画素回路15の駆動を連続する複数ラインで共通化する方式である。

【0053】

すなわち図3との対比により図4に示すように、画像表示装置1は、表示部2を構成する画素回路15を5ライン単位でグループ化し、各グループで電源用駆動信号DSを共通化する。この図3では、5ライン単位のグループ化に対応して、連続するラインを $5n$ 、 $5n+1$ 、 $5n+2$ 、 $5n+3$ 、 $5n+4$ (n は整数)により表し、電源用駆動信号DS及び書込信号WSの対応関係を示す。なお以下においては、このグループ化によるグループをユニットと呼ぶ。

【0054】

走査線駆動回路14は、書込信号WSについては、ユニットとは無関係に、連続するラインで順次、1水平走査期間ずつ遅延するように、書込信号WS [$5n$]、WS [$5n+1$]、WS [$5n+2$]、WS [$5n+3$]、WS [$5n+4$]を生成する(図4(B)、(C1)、(C2)、(C3)、(C4)及び(C5))。これにより画像表示装置11は、ライン順次で各画素回路15の階調を設定する。

【0055】

これに対して走査線駆動回路14は、ユニット毎に電源用駆動信号DSを生成する。すなわちユニット内においては、最先に書込信号WSを立ち上げるタイミングより一定時間前に電源電圧 V_{cc} に立ち上げた後(時点 t_2)、最後に消灯用の基準電圧 V_{ini} を設定した後、一定時間経過して電圧 V_{ss} に立ち下げる(時点 t_1)。また連続するユニットでは、順次、1つのユニットを構成するライン数に対応する5水平走査期間ずつ遅延させて駆動信号DSを生成する。

【0056】

[画素回路のレイアウト]

図1(A)は、画素回路15のレイアウトを示す平面図である。この図1(A)は、有

10

20

30

40

50

機EL素子8のアノード電極から上層の部材を除去して基板側を見て示す平面図である。この図1では、円形の印により層間のコンタクトを示す。またこの円形の印の内側にコンタクト先の配線パターンに割り当てたハッチングを設け、層間の接続関係を示す。また図1(B)は、A-A線により切り取って示す駆動トランジスタTr2の断面図である。この図1(B)では、符号G、D、Sによりゲート電極、ドレイン電極、ソース電極をそれぞれ示す。

【0057】

画素回路15は、例えばガラスによる絶縁基板21上に配線パターン材料層を堆積した後、この配線パターン材料層をエッチング処理して第1配線が作成される。画素回路15は、この第1配線により、保持容量Csのゲート側電極、信号線DTLの一部、書込トランジスタTr1及び駆動トランジスタTr2のゲート電極Gが作成される。画素回路15は、続いて書込トランジスタTr1及び駆動トランジスタTr2のゲート絶縁層22、非晶質シリコン層23、チャンネル保護層24、N型シリコン層25が順次作成される。画素回路15は、続いて第2配線が作成される。

【0058】

画素回路15は、この第2配線により、画素回路15の上下を水平方向に横切るように、電源用駆動信号DSの走査線DSL、書込信号WSの走査線WSLが作成される。また電源用の走査線DSLが書込信号用の走査線WSLに比して幅広に作成される。また画素回路15は、走査線DSL及びWSLと交差する部位に限って、第1配線により信号線DTLが作成され、残りの信号線DTLが第2配線により作成される。またその結果、信号線DTLは、走査線DSL及びWSLと交差する部位を間に挟んで、第1配線及び第2配線を接続するコンタクトがそれぞれ設けられる。

【0059】

またこの第2配線により、保持容量Csのソース側電極、書込トランジスタTr1のソース電極S及びドレイン電極D、駆動トランジスタTr2のソース電極S及びドレイン電極Dが作成される。

【0060】

画素回路15において、書込トランジスタTr1は、図1(B)との対比により図5に示すように、通常のTFETと同様に、ゲート電極Gを間に挟んで、ソース電極Sとドレイン電極Dとがほぼ対称形状により作成される。これにより書込トランジスタTr1は、チャンネル保護層24に対して、ソース電極Sとドレイン電極Dとがほぼ同一面積を覆うように作成される。

【0061】

これに対して駆動トランジスタTr2は、図1(B)に示すように、チャンネル保護層24をほぼソース電極Sが覆うように作成される。より具体的に、駆動トランジスタTr2は、ドレイン電極Dとソース電極Sとを隔てる領域がドレイン電極D側に変位した位置に設定され、チャンネル保護層24(ゲート電極G)と重なり合う部位の面積がドレイン電極Dに比してソース電極Sで大きくなるように作成される。これにより駆動トランジスタTr2は、ソース電極Sによりゲート電極Gをシールドしたいわゆるソースシールド構造により作成される。

【0062】

これにより駆動トランジスタTr2は、図6に示すように、駆動信号DSを電圧Vssに立ち下げると(図3、時点t1)、ドレイン電極D及びゲート電極Gとの間の電位差により、バックゲート効果によるチャンネルが非晶質シリコン層23に作成される。その結果、駆動トランジスタTr2は、オン状態となり、ソースからドレインに速やかに電荷が移動することになる。これにより駆動トランジスタTr2は、従来に比して低い電圧Vssにより速やかに保持容量Csのソース側端の電圧を所望の電圧に立ち下げることができ、画像表示装置11は、従来に比して駆動信号DSの電圧Vssを高い電圧に設定して駆動信号DSの振幅を低減することができる。

【0063】

10

20

30

40

50

すなわち図7は、図4との対比により、書込トランジスタ T_{r1} と同様に、駆動トランジスタ T_{r2} のソース電極 S とドレイン電極 D をほぼ対称形状により作成した場合のタイムチャートである。なおこの図7では、電圧の関係を明確にするために、ゲート電圧 V_g 及びソース電圧 V_s を重ね合わせて示す。

【0064】

この場合、符号Cにより示すように、消灯用の基準電圧 V_{ini} の設定により、画素回路15は、駆動トランジスタ T_{r2} のゲート電圧 V_g が消灯用の基準電圧 V_{ini} に立ち下がる。その結果、画素回路15は、駆動トランジスタ T_{r2} のゲートソース間電圧 V_{gs} が駆動トランジスタ T_{r2} のしきい値電圧 V_{th} 以下となり、有機EL素子8の電流駆動を停止する。その結果、駆動トランジスタ T_{r2} は、有機EL素子8の容量 C_{el} に蓄積された蓄積電荷の放電により徐々にソース電圧 V_s が低下する。また有機EL素子8のしきい値電圧 V_{thel} に有機EL素子8のカソード電圧 V_{cath} を加算した電圧 $V_{thel} + V_{cath}$ にソース電圧 V_s が低下すると、有機EL素子8における放電が停止することにより、ソース電圧 V_s の低下が停止する。

10

【0065】

これにより図8に示すように、この場合、画素回路15は、駆動信号 DS を電圧 V_{ss} に立ち下げる直前の時点では、駆動トランジスタ T_{r2} のゲート電圧 V_g 及びソース電圧 V_s がそれぞれ電圧 V_{ini} 及び $V_{thel} + V_{cath}$ に設定されていることになる。

【0066】

この状態で駆動信号 DS を電圧 V_{ss} に立ち下げると、駆動トランジスタ T_{r2} は、ドレインがソースとして機能して駆動信号 DS の走査線 DSL に電荷を流出させることにより、ゲート電圧 V_g が電圧 $V_{ss} + V_{thdg}$ に低下する。なおここで V_{thdg} は、駆動トランジスタ T_{r2} のドレインをソースとして機能させた場合の、ゲート及びドレイン間のしきい値電圧である。

20

【0067】

駆動トランジスタ T_{r2} では、このゲート電圧 V_g の低下に連動してソース電圧 V_s が低下することになる。ここでこのソース電圧 V_s は、駆動トランジスタ T_{r2} がブートストラップ回路として機能することによる利得を $Gain$ とおいて、次式により表される。なお図9に、駆動信号 DS を電圧 V_{ss} に立ち下げた状態における各部の電圧を示す。

【0068】

30

【数1】

$$V_s = V_{thel} + V_{cath}$$

$$- (V_{ini} - (V_{ss} + V_{thdg})) \div Gain - (V_{ss} + V_{thdg})$$

40

…… (1)

【0069】

これに対して図10は、図7との対比によりこの画像表示装置11における画素回路15の動作の説明に供するタイムチャートである。

【0070】

この場合、符号Cにより示すように、消灯用の基準電圧 V_{ini} の設定により、画素回

50

路15は、駆動トランジスタ T_{r2} のゲート電圧 V_g が消灯用の基準電圧 V_{ini} に立ち下がり、またソース電圧 V_s が電圧 $V_{thel} + V_{cath}$ に立ち下がる。

【0071】

その後、駆動信号 DS を電圧 V_{ss} に立ち下げると、駆動トランジスタ T_{r2} は、バックゲート効果によるチャンネルが非晶質シリコン層23に作成されてオン状態となることから、ソースからドレインに蓄積電荷が移動し、その結果、ソース電圧 V_s は、駆動信号 DS を電圧 V_{ss} に立ち下がることになる。これにより従来に比してソース電圧 V_s を低い電圧に設定することができ、その分、駆動信号 DS の振幅を小さくすることができる。

【0072】

〔実施の形態の動作〕

以上の構成において、この画像表示装置11では（図2及び図3）、信号線駆動回路13において、順次入力される画像データ $D1$ が信号線 DTL に振り分けられた後、デジタルアナログ変換処理される。これにより画像表示装置11では、信号線 DTL に接続された各画素の階調を指示する階調電圧 V_{in} が信号線 DTL 毎に作成される。画像表示装置1では、走査線駆動回路14による表示部2の駆動により、表示部2を構成する各画素回路15に例えば線順次によりこの階調電圧 V_{in} が設定される。また各画素回路15では、この階調電圧 V_{in} に応じた発光輝度によりそれぞれ有機EL素子8が発光する。これにより画像表示装置1では、画像データ $D1$ に応じた画像を表示部2で表示することができる。

【0073】

より具体的に、画素回路15においては、ソースフォロワ回路構成の駆動トランジスタ T_{r2} により有機EL素子8が電流駆動される（図4）。画素回路15においては、この駆動トランジスタ T_{r2} のゲート、ソース間に設けられた保持容量 C_s のゲート側端の電圧が階調電圧 V_{in} に応じた電圧 V_{sig} に設定される。これにより画像表示装置11では、画像データ $D1$ に応じた発光輝度により有機EL素子8を発光させて所望の画像を表示する。

【0074】

しかしながらこれら画素回路15に適用される駆動トランジスタ T_{r2} は、しきい値電圧 V_{th} のばらつきが大きい欠点がある。その結果、画像表示装置11では、単に保持容量 C_s のゲート側端電圧を階調電圧 V_{in} に応じた電圧 V_{sig} を各画素回路15に設定したのでは、駆動トランジスタ T_{r2} のしきい値電圧 V_{th} のばらつきにより有機EL素子8の発光輝度がばらつき、画質が劣化する。

【0075】

そこで画像表示装置11では、事前に、電源用駆動信号 DS の立ち下げにより保持容量 C_s の有機EL素子8側端電圧を立ち下げた後、書込トランジスタ T_{r1} を介して駆動トランジスタ T_{r2} のゲート電圧がしきい値電圧補正用の固定電圧 V_{ofs} に設定される（図4）。これにより画像表示装置11では、保持容量 C_s の端子間電圧が駆動トランジスタ T_{r2} のしきい値電圧 V_{th} 以上に設定される。その後、駆動トランジスタ T_{r2} を介して、この保持容量 C_s の端子間電圧が放電される。これらの一連の処理により、画像表示装置11では、保持容量 C_s の端子間電圧が、事前に、駆動トランジスタ T_{r2} のしきい値電圧 V_{th} に設定される。

【0076】

その後、画像表示装置11では、階調電圧 V_{in} に固定電圧 V_{ofs} を加算した階調設定用電圧 V_{sig} が駆動トランジスタ T_{r2} のゲート電圧に設定される。これにより画像表示装置11では、駆動トランジスタ T_{r2} のしきい値電圧 V_{th} のばらつきによる画質劣化を防止することができる。

【0077】

また一定時間の間、駆動トランジスタ T_{r2} に電源を供給した状態で、駆動トランジスタ T_{r2} のゲート電圧を階調設定用電圧 V_{sig} に保持することにより、駆動トランジスタ T_{r2} の移動度のばらつきによる画質劣化を防止することができる。

【0078】

しかしながら高解像度化等により、駆動トランジスタ T_r2 を介した保持容量 C_s の端子間電圧の放電に十分な時間を割り当てることが困難な場合も発生する。この場合、画像表示装置では、十分に精度良く保持容量 C_s の端子間電圧を駆動トランジスタ T_r2 のしきい値電圧 V_{th} に設定できなくなる。その結果、十分に駆動トランジスタ T_r2 のしきい値電圧 V_{th} のばらつきを補正できなくなる。

【0079】

そこでこの実施の形態では、駆動トランジスタ T_r2 を介した保持容量 C_s の端子間電圧の放電が複数回の期間で実行される。これにより駆動トランジスタ T_r2 を介した保持容量 C_s の端子間電圧の放電に十分な時間を割り当て、高解像度化した場合でも、十分に駆動トランジスタ T_r2 の移動度のばらつきを補正する。

10

【0080】

画像表示装置1では、この移動度のばらつき補正処理による保持容量 C_s の端子間電圧の設定により各画素回路15の発光期間が開始する。画像表示装置11では、消灯用の基準電圧 V_{ini} を用いて同様に保持容量 C_s の端子間電圧が設定される（図3及び図4）。これにより画像表示装置1は、各画素回路15の発光期間が書込信号 WS の制御により実行され、電源用駆動信号 DS については、複数ラインで共通化される。

【0081】

これにより画像表示装置11は、駆動信号 DS の生成に係る構成を簡略化することができる。より具体的には、ドライブスキャン回路14Bの構成を簡略化することができ、画像表示装置11は、全体構成を簡略化することができる。

20

【0082】

ところでこのようにして駆動信号 DS を複数ラインで共用化した場合、駆動信号 DS の電圧 V_{ss} への立ち下げは、駆動トランジスタ T_r2 のしきい値電圧の補正処理の準備処理において、保持容量 C_s のソース側端電圧を十分に立ち下げる目的のみで実行されることになる。この駆動信号 DS については、振幅を小さくしてダイナミックレンジを小さくすることにより、画像表示装置11の消費電力が減少することができ、またドライブスキャン回路14Bの耐圧も小さくすることができる。

【0083】

そこでこの実施の形態では、駆動トランジスタ T_r2 は（図1）、ドレイン電極 D とソース電極 S とを隔てる領域がドレイン電極 D 側に変位した位置に設定され、チャンネル保護層24と重なり合う部位の面積がドレイン電極 D に比してソース電極 S で大きくなるように作成される。その結果、駆動トランジスタ T_r2 は、駆動信号 DS を電圧 V_{ss} に立ち下げると（図3、時点 t_1 ）、バックゲート効果によるチャンネルが非晶質シリコン層23に作成される。その結果、駆動トランジスタ T_r2 は、オン状態となり、ソースからドレインに速やかに電荷が移動することになり、従来に比して速やかに保持容量 C_s のソース側端の電圧を電圧 V_{ss} に立ち下げることができる。その結果、画像表示装置11は、従来に比して駆動信号 DS の電圧 V_{ss} を高い電圧に設定して駆動信号 DS の振幅を小さくすることができる。

30

【0084】

これにより画像表示装置11は、消費電力を軽減することができる。またドライブスキャン回路14Bの耐圧も小さくすることができ、ドライブスキャン回路14Bの構成を簡略化することができる。また駆動トランジスタ T_r2 の特性が種々にばらつく場合でも、駆動信号 DS を電圧 V_{ss} に立ち下げることにより、全ての駆動トランジスタ T_r2 のソース電圧を電圧 V_{ss} に精度良く設定することができる。従って駆動トランジスタ T_r2 のしきい値電圧のばらつきを補正する処理を、従来に比して精度良く実行することができ、一段と画質を向上することができる。

40

【0085】

〔実施の形態の効果〕

以上の構成によれば、チャンネル保護層と重なり合う部位の面積がドレイン電極に比し

50

てソース電極で大きな構造により駆動トランジスタを作成することにより、駆動トランジスタに供給する電源用駆動信号の制御により駆動トランジスタのしきい値電圧のばらつきを補正する構成において、この電源用駆動信号の振幅を従来に比して小さくすることができる。

【0086】

また電源用駆動信号を連続する複数のライン単位で共通に設定し、消灯用の電圧の設定により非発光期間を開始することにより、ユニットドライブ方式に適用して電源用駆動信号の振幅を従来に比して小さくすることができる。

【0087】

また書込トランジスタを介して、保持容量の端子電圧をばらつき補正用の電圧に設定して、保持容量の端子間電圧を駆動トランジスタのしきい値電圧以上の電圧に設定することにより、信号線を介して保持容量の端子電圧をばらつき補正用の電圧に設定する構成に適用して、電源用駆動信号の振幅を従来に比して小さくすることができる。

〈変形例〉

なお上述の実施の形態においては、連続するラインで書込信号WSを順次1水平走査期間ずつ遅延させて作成する場合について述べたが、本発明はこれに限らず、図4との対比により図11に示すように、保持容量の端子間電圧を駆動トランジスタTr2のしきい値電圧以上に設定する期間（符号D）と、駆動トランジスタを介して放電により補助容量の端子間電圧を駆動トランジスタTr2のしきい値電圧に設定する期間（符号A）とを分離する場合等にも広く適用することができる。なおこの図11は、3ライン単位で駆動信号を共通化する構成である。

【0088】

また上述の実施の形態においては、保持容量の端子間電圧を駆動トランジスタTr2のしきい値電圧以上に設定する処理において、信号線の電圧がしきい値電圧補正用の固定電圧Vofsに設定されている期間の間、書込トランジスタTr1をオン動作させる場合について述べたが、本発明はこれに限らず、信号線の電圧が消灯用の基準電圧Viniに変化した後に書込トランジスタTr1をオフ動作させるようにしてもよい。

【0089】

また上述の実施の形態においては、本発明をユニットドライブ方式の画像表示装置に適用して、消灯用の基準電圧の設定により非発光期間を開始する場合について述べたが、本発明はこれに限らず、消灯用の基準電圧の設定を省略して、駆動信号DSの電圧Vssへの立ち下げにより非発光期間を開始する構成（図12～図22の構成）にも広く適用することができる。

【0090】

また上述の実施の形態においては、信号線を介して保持容量のゲート側端電圧を電圧Vofsに設定することにより、保持容量の端子間電圧を駆動トランジスタTr2のしきい値電圧以上の電圧に設定する場合について述べたが、本発明はこれに限らず、別途、トランジスタを設け、このトランジスタを介して保持容量のゲート側端電圧を電圧Vofsに設定する場合等にも広く適用することができる。

【0091】

また上述の実施の形態においては、駆動トランジスタを介した保持容量の端子間電圧の放電を複数回の期間で実行する場合について述べたが、本発明はこれに限らず、この放電の処理を1回の期間で実行する場合にも広く適用することができる。

【0092】

また上述の実施の形態においては、Nチャンネル型のトランジスタを駆動トランジスタに適用する場合について述べたが、本発明はこれに限らず、Pチャンネル型のトランジスタを駆動トランジスタに適用する画像表示装置等に広く適用することができる。

【0093】

また上述の実施の形態においては、本発明を有機EL素子の画像表示装置に適用する場合について述べたが、本発明はこれに限らず、電流駆動型の各種自発光素子による画像表

10

20

30

40

50

示装置に広く適用することができる。

【産業上の利用可能性】

【0094】

本発明は、例えば有機EL素子によるアクティブマトリックス型の画像表示装置に適用することができる。

【図面の簡単な説明】

【0095】

【図1】本発明の第1の実施の形態に係る画像表示装置に適用される画素回路を示す図である。

【図2】本発明の第1の実施の形態に係る画像表示装置を示す接続図である。

10

【図3】図2の画像表示装置における画素回路の動作の説明に供するタイムチャートである。

【図4】図2の画像表示装置の動作の説明に供するタイムチャートである。

【図5】図2の画像表示装置の書込トランジスタを示す断面図である。

【図6】図2の画像表示装置の駆動トランジスタの説明に供する断面図である。

【図7】従来構成により駆動トランジスタを作成した場合の動作の説明に供するタイムチャートである。

【図8】図7の説明に供する接続図である。

【図9】図8の続きの説明に供する接続図である。

【図10】図1の駆動トランジスタによる動作の説明に供するタイムチャートである。

20

【図11】本発明の他の実施の形態に係る画像表示装置の説明に供するタイムチャートである。

【図12】従来の画像表示装置を示すブロック図である。

【図13】図12の画像表示装置の詳細構成を示す接続図である。

【図14】図12の画像表示装置の動作の説明に供するタイムチャートである。

【図15】図12の画像表示装置の動作の説明に供する接続図である。

【図16】図15の続きの説明に供する接続図である。

【図17】図16の続きの説明に供する接続図である。

【図18】図17の続きの説明に供する接続図である。

【図19】図18の続きの説明に供する接続図である。

30

【図20】図19の続きの説明に供する接続図である。

【図21】図20の続きの説明に供する接続図である。

【図22】図21の続きの説明に供する接続図である。

【図23】しきい値電圧の補正処理を複数回の期間で実行する場合の説明に供するタイムチャートである。

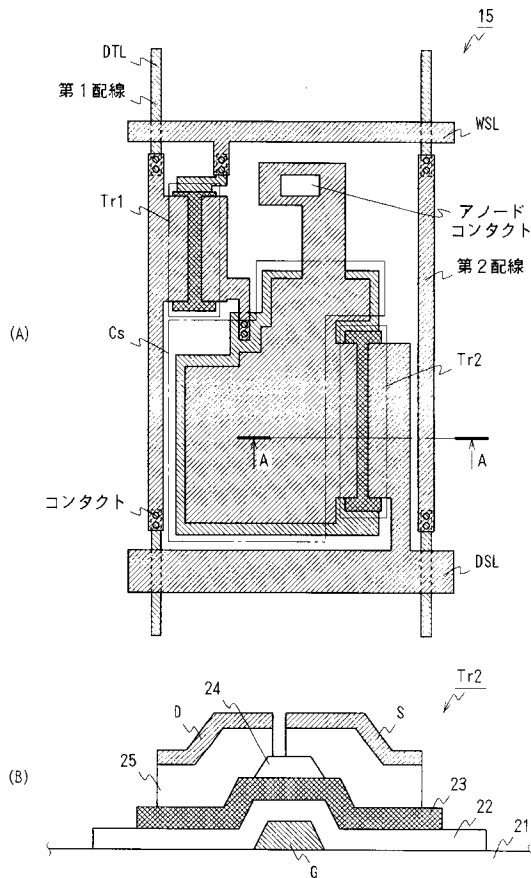
【符号の説明】

【0096】

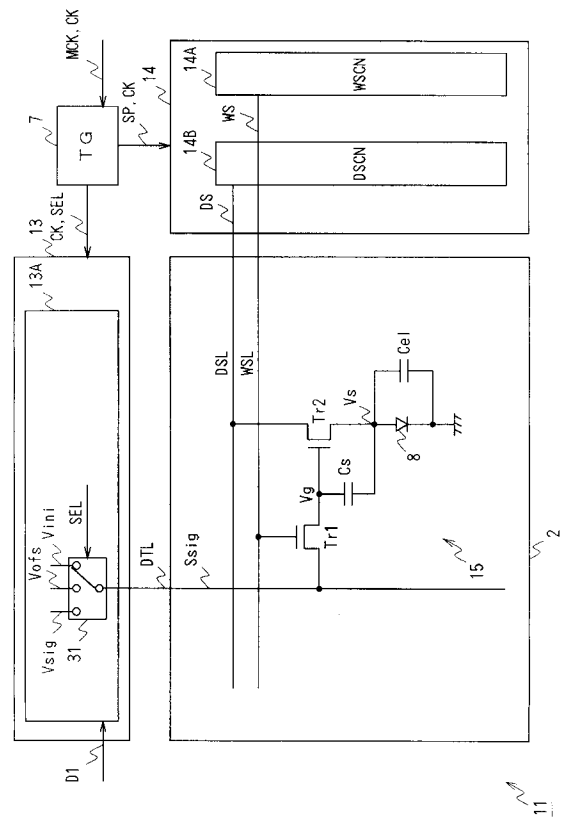
1、11……画像表示装置、2……表示部、3、13……信号線駆動回路、3A、13A……データスキャン回路、4、14……走査線駆動回路、4A、14A……ライトスキャン回路、4B、14B……ドライブスキャン回路、5、15……画素回路、8……有機EL素子、24……チャンネル保護層、Cs……保持容量、D……ドレイン電極、G……ゲート電極、S……ソース電極、Tr1……書込トランジスタ、Tr2……駆動トランジスタ

40

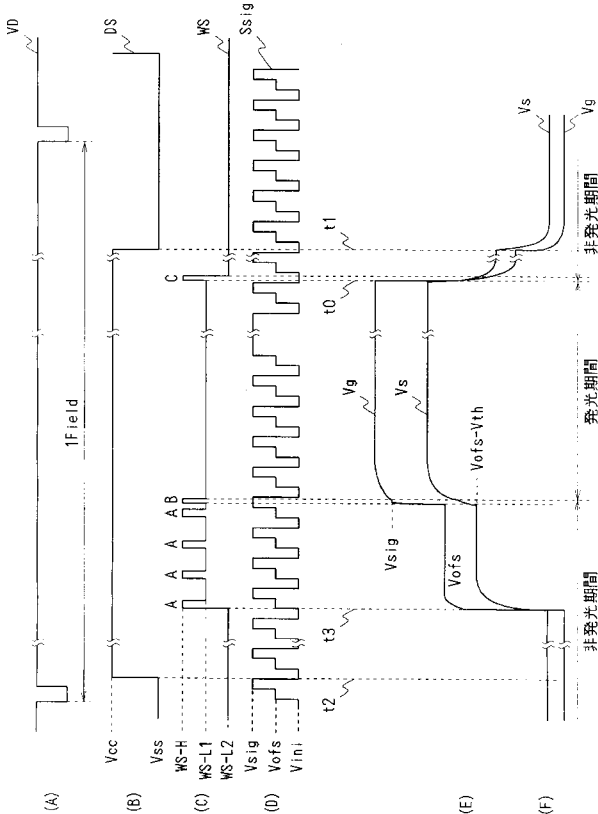
【図 1】



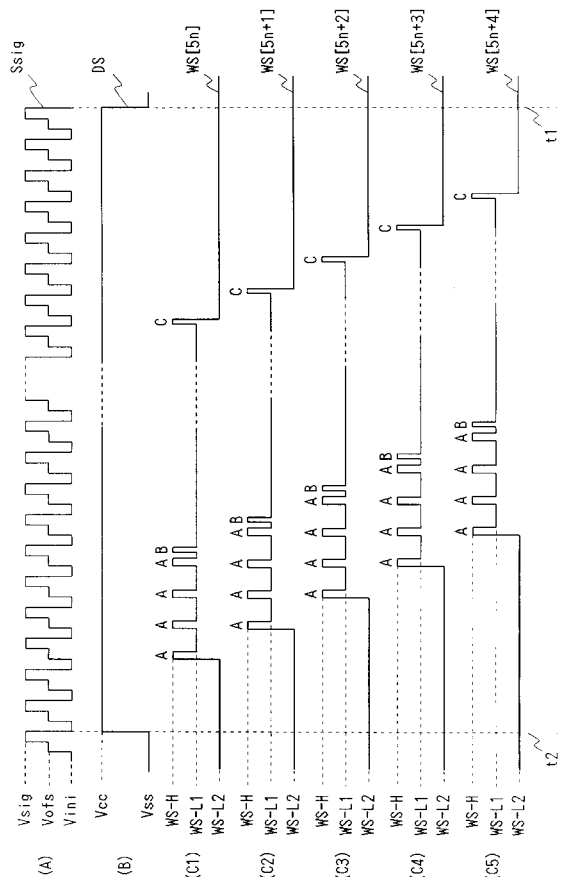
【図 2】



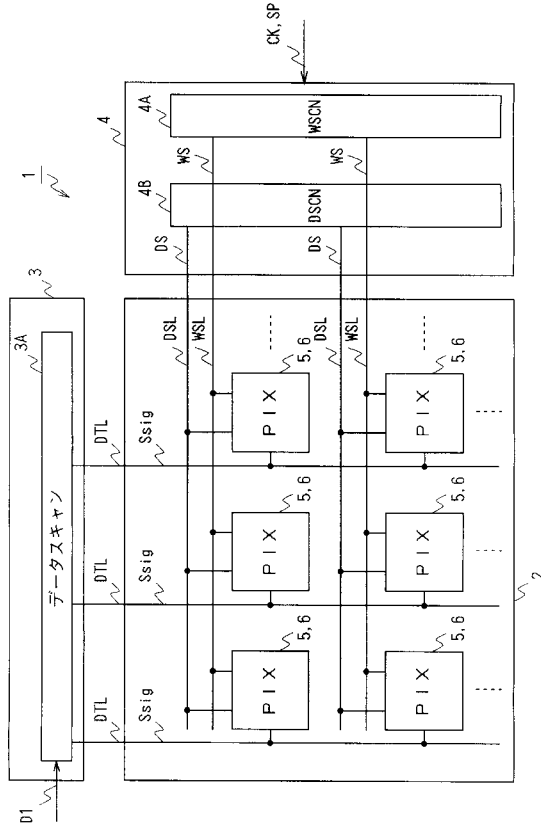
【図 3】



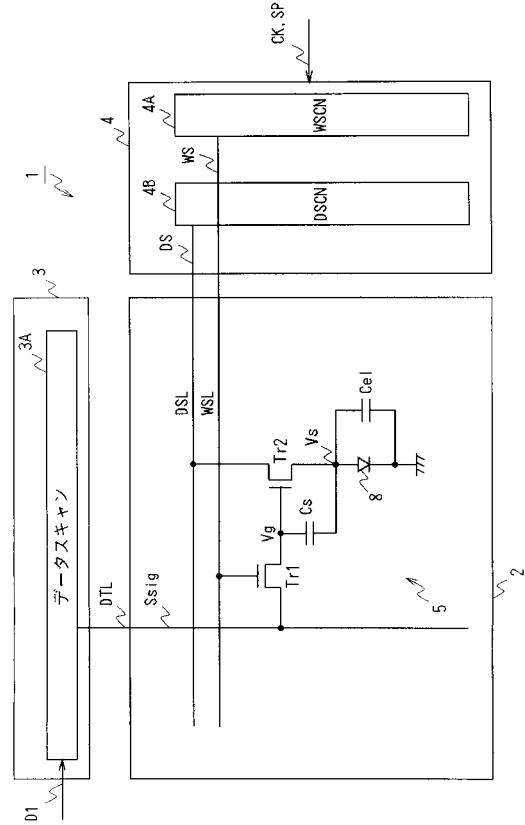
【図 4】



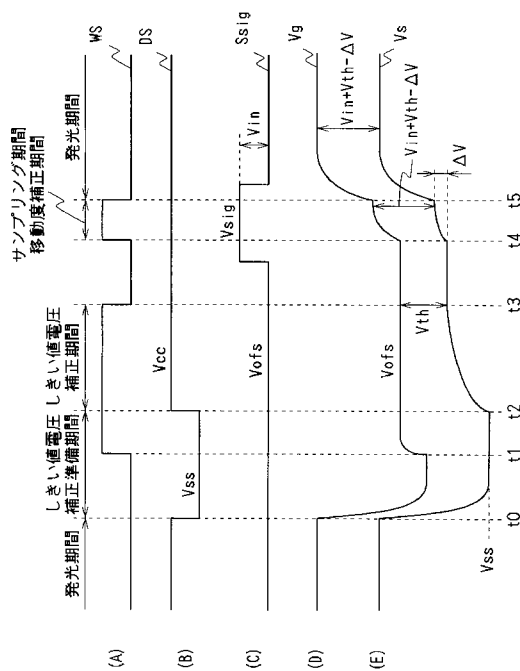
【図 12】



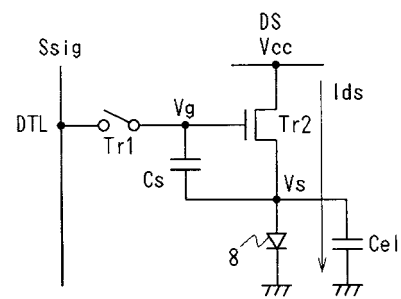
【図 13】



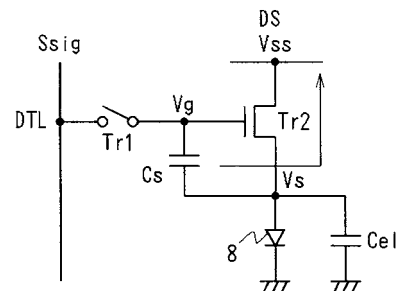
【図 14】



【図 15】



【図 16】



フロントページの続き

(72)発明者 内野 勝秀

東京都港区港南1丁目7番1号 ソニー株式会社内

Fターム(参考) 3K107 AA01 BB01 CC33 EE04 HH02 HH04 HH05

5C080 AA06 BB05 DD26 EE29 FF11 JJ02 JJ03 JJ04 JJ06

专利名称(译)	画像表示装置		
公开(公告)号	JP2010072132A	公开(公告)日	2010-04-02
申请号	JP2008237345	申请日	2008-09-17
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	伴田智壮 山本哲郎 内野勝秀		
发明人	伴田 智壮 山本 哲郎 内野 勝秀		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.621.M G09G3/20.611.A H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE04 3K107/HH02 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD26 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB22 5C380/AB46 5C380/BA01 5C380/BA05 5C380/BA10 5C380/BA34 5C380/BA38 5C380/BA39 5C380/BB02 5C380/CA04 5C380/CA08 5C380/CA12 5C380/CA32 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CB20 5C380/CB27 5C380/CB31 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC41 5C380/CC62 5C380/CC77 5C380/CD022 5C380/CF52 5C380/DA02 5C380/DA06 5C380/DA32 5C380/DA47		
外部链接	Espacenet		

摘要(译)

本发明应用于例如使用有机EL元件的有源矩阵型图像显示装置，并且通过控制提供给驱动晶体管Tr2的电源驱动信号来校正驱动晶体管Tr2的阈值电压的变化。在该结构中，可以使用于电源的驱动信号的幅度小于传统情况。根据本发明，驱动晶体管Tr2具有这样的结构，其中，源电极S的与沟道保护层24重叠的部分的面积大于漏电极D的面积。[选型图]图1

