

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-14747

(P2010-14747A)

(43) 公開日 平成22年1月21日(2010.1.21)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 K	3K107
H01L 51/50 (2006.01)	H05B 33/14 A	5C080
G09G 3/20 (2006.01)	G09G 3/20 624B	
	G09G 3/20 670J	
	G09G 3/20 642A	
審査請求 未請求 請求項の数 3 O L (全 19 頁) 最終頁に続く		

(21) 出願番号	特願2008-171823 (P2008-171823)	(71) 出願人	000002185
(22) 出願日	平成20年6月30日 (2008. 6. 30)		ソニー株式会社
			東京都港区港南1丁目7番1号
		(74) 代理人	100098785
			弁理士 藤島 洋一郎
		(74) 代理人	100109656
			弁理士 三反崎 泰司
		(74) 代理人	100130915
			弁理士 長谷部 政男
		(72) 発明者	豊村 直史
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		(72) 発明者	内野 勝秀
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
最終頁に続く			

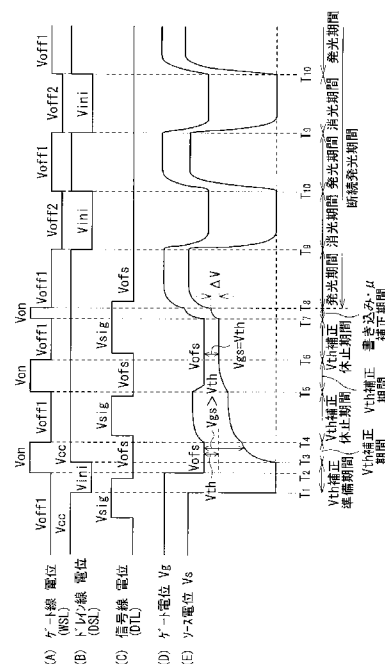
(54) 【発明の名称】 表示装置およびその駆動方法ならびに電子機器

(57) 【要約】

【課題】 消光期間中のリーク電流を低減することにより、ユニフォミティの劣化を低減することの可能な駆動方法、駆動装置および表示装置を提供する。

【解決手段】 有機EL素子12R等が発光、消光を繰り返している時に、ゲート線WSLの電圧をドレイン線DSLの電圧の下降と同時に下降させ、ドレイン線DSLの電圧の上昇と同時に上昇させる。これにより、発光時だけでなく、消光時においても、トランジスタ T_{WS} のゲートソース間の電圧 V_{gs} をトランジスタ T_{WS} のオン電圧よりも低くすることができる。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

発光素子および画素回路を画素ごとに有する表示部と、
映像信号に基づいて前記画素回路を駆動する駆動部と
を備え、
前記画素回路は、第 1 トランジスタと、第 2 トランジスタと、保持容量とを有し、
前記駆動部は、第 1 駆動部と、第 2 駆動部と、第 3 駆動部と、制御部と、第 1 配線と、
第 2 配線と、第 3 配線と、参照電圧に設定される第 4 配線とを有し、
前記第 1 トランジスタのゲートが前記第 1 配線を介して前記第 1 駆動部に接続され、
前記第 1 トランジスタのドレインまたはソースが前記第 3 配線を介して前記第 3 駆動部
に接続され、
前記第 1 トランジスタのドレインおよびソースのうち前記第 3 駆動部に未接続の方が前
記第 2 トランジスタのゲートおよび前記保持容量の一端に接続され、
前記第 2 トランジスタのドレインまたはソースが前記第 2 配線を介して前記第 2 駆動部
に接続され、
前記第 2 トランジスタのドレインおよびソースのうち前記第 2 駆動部に未接続の方が前
記保持容量の他端および前記発光素子のアノードに接続され、
前記発光素子のカソードが前記第 4 配線に接続され、
前記第 1 駆動部は、第 1 電圧、第 2 電圧および第 3 電圧（第 3 電圧 > 第 1 電圧 > 第 2 電
圧）を前記第 1 配線に出力可能であり、
前記第 2 駆動部は、前記発光素子の閾値電圧と前記参照電圧との和よりも低い第 4 電圧
、前記発光素子の閾値電圧と前記参照電圧との和以上の第 5 電圧とを前記第 2 配線に出力
可能であり、
前記第 3 駆動部は、前記発光素子の閾値電圧よりも低い第 6 電圧と、前記映像信号に応
じた大きさの第 7 電圧とを前記第 3 配線に出力可能であり、
前記制御部は、前記第 1 駆動部および前記第 2 駆動部に対して、前記発光素子が発光し
ており、かつ前記第 1 配線の電圧が前記第 1 電圧となっている時に、前記第 2 配線の電圧
を前記第 5 電圧から前記第 4 電圧に下げると同時に、前記第 1 配線の電圧を前記第 1 電圧
から前記第 2 電圧に下げたのち、前記第 2 配線の電圧を前記第 4 電圧から前記第 5 電圧に
上げると同時に、前記第 1 配線の電圧を前記第 2 電圧から前記第 1 電圧に上げる動作を繰
り返すことを指示する制御信号を出力する表示装置。

【請求項 2】

発光素子および画素回路を画素ごとに有する表示部と、
映像信号に基づいて前記画素回路を駆動する駆動部と
を備え、
前記画素回路は、第 1 トランジスタと、第 2 トランジスタと、保持容量とを有し、
前記駆動部は、第 1 駆動部と、第 2 駆動部と、第 3 駆動部と、第 1 配線と、第 2 配線と
、第 3 配線と、参照電圧に設定される第 4 配線とを有し、
前記第 1 トランジスタのゲートが前記第 1 配線を介して前記第 1 駆動部に接続され、
前記第 1 トランジスタのドレインまたはソースが前記第 3 配線を介して前記第 3 駆動部
に接続され、
前記第 1 トランジスタのドレインおよびソースのうち前記第 3 駆動部に未接続の方が前
記第 2 トランジスタのゲートおよび前記保持容量の一端に接続され、
前記第 2 トランジスタのドレインまたはソースが前記第 2 配線を介して前記第 2 駆動部
に接続され、
前記第 2 トランジスタのドレインおよびソースのうち前記第 2 駆動部に未接続の方が前
記保持容量の他端および前記発光素子のアノードに接続され、
前記発光素子のカソードが前記第 4 配線に接続され、
前記第 1 駆動部は、第 1 電圧、第 2 電圧および第 3 電圧（第 3 電圧 > 第 1 電圧 > 第 2 電
圧）を前記第 1 配線に出力可能であり、

前記第 2 駆動部は、前記発光素子の閾値電圧と前記参照電圧との和よりも低い第 4 電圧と、前記発光素子の閾値電圧と前記参照電圧との和以上の第 5 電圧とを前記第 2 配線に出力可能であり、

前記第 3 駆動部は、前記発光素子の閾値電圧よりも低い第 6 電圧と、前記映像信号に応じた大きさの第 7 電圧とを前記第 3 配線に出力可能である表示装置の前記第 1 駆動部および前記第 2 駆動部が、前記発光素子が発光しており、かつ前記第 1 配線の電圧が前記第 1 電圧となっている時に、前記第 2 配線の電圧を前記第 5 電圧から前記第 4 電圧に下げると同時に、前記第 1 配線の電圧を前記第 1 電圧から前記第 2 電圧に下げたのち、前記第 2 配線の電圧を前記第 4 電圧から前記第 5 電圧に上げると同時に、前記第 1 配線の電圧を前記第 2 電圧から前記第 1 電圧に上げる動作を繰り返すステップを実行する表示装置の駆動方法。

10

【請求項 3】

表示装置を備え、
前記表示装置は、
発光素子および画素回路を画素ごとに有する表示部と、
映像信号に基づいて前記画素回路を駆動する駆動部と
を備え、

前記画素回路は、第 1 トランジスタと、第 2 トランジスタと、保持容量とを有し、
前記駆動部は、第 1 駆動部と、第 2 駆動部と、第 3 駆動部と、制御部と、第 1 配線と、
第 2 配線と、第 3 配線と、参照電圧に設定される第 4 配線とを有し、

20

前記第 1 トランジスタのゲートが前記第 1 配線を介して前記第 1 駆動部に接続され、
前記第 1 トランジスタのドレインまたはソースが前記第 3 配線を介して前記第 3 駆動部に接続され、

前記第 1 トランジスタのドレインおよびソースのうち前記第 3 駆動部に未接続の方が前記第 2 トランジスタのゲートおよび前記保持容量の一端に接続され、

前記第 2 トランジスタのドレインまたはソースが前記第 2 配線を介して前記第 2 駆動部に接続され、

前記第 2 トランジスタのドレインおよびソースのうち前記第 2 駆動部に未接続の方が前記保持容量の他端および前記発光素子のアノードに接続され、

30

前記発光素子のカソードが前記第 4 配線に接続され、

前記第 1 駆動部は、第 1 電圧、第 2 電圧および第 3 電圧（第 3 電圧 > 第 1 電圧 > 第 2 電圧）を前記第 1 配線に出力可能であり、

前記第 2 駆動部は、前記発光素子の閾値電圧と前記参照電圧との和よりも低い第 4 電圧、前記発光素子の閾値電圧と前記参照電圧との和以上の第 5 電圧とを前記第 2 配線に出力可能であり、

前記第 3 駆動部は、前記発光素子の閾値電圧よりも低い第 6 電圧と、前記映像信号に応じた大きさの第 7 電圧とを前記第 3 配線に出力可能であり、

前記制御部は、前記第 1 駆動部および前記第 2 駆動部に対して、前記発光素子が発光しており、かつ前記第 1 配線の電圧が前記第 1 電圧となっている時に、前記第 2 配線の電圧を前記第 5 電圧から前記第 4 電圧に下げると同時に、前記第 1 配線の電圧を前記第 1 電圧から前記第 2 電圧に下げたのち、前記第 2 配線の電圧を前記第 4 電圧から前記第 5 電圧に上げると同時に、前記第 1 配線の電圧を前記第 2 電圧から前記第 1 電圧に上げる動作を繰り返すことを指示する制御信号を出力する電子機器。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、発光素子および画素回路を画素ごとに有する表示部と、画素回路を駆動する駆動部とを備えた表示装置およびその駆動方法に関する。また、本発明は、上記表示装置を備えた電子機器に関する。

【背景技術】

50

【0002】

近年、画像表示を行う表示装置の分野では、画素の発光素子として、流れる電流値に応じて発光輝度が変化する電流駆動型の光学素子、例えば有機EL(electro luminescence)素子を用いた表示装置が開発され、商品化が進められている。

【0003】

有機EL素子は、液晶素子などと異なり自発光素子である。そのため、有機EL素子を用いた表示装置（有機EL表示装置）では、光源（バックライト）が必要ないので、光源を必要とする液晶表示装置と比べて画像の視認性が高く、消費電力が低く、かつ素子の応答速度が速い。

【0004】

有機EL表示装置では、液晶表示装置と同様、その駆動方式として単純（パッシブ）マトリクス方式とアクティブマトリクス方式とがある。前者は、構造が単純であるものの、大型かつ高精細の表示装置の実現が難しいなどの問題がある。そのため、現在では、アクティブマトリクス方式の開発が盛んに行なわれている。この方式は、画素ごとに配した発光素子に流れる電流を、発光素子ごとに設けた駆動回路内に設けた能動素子（一般にはTFT(Thin Film Transistor; 薄膜トランジスタ))によって制御するものである。

【0005】

ところで、一般的に、有機EL素子の電流－電圧（ $I-V$ ）特性は、時間の経過に従って劣化（経時劣化）する。有機EL素子を電流駆動する画素回路では、有機EL素子の $I-V$ 特性が経時変化すると、有機EL素子と、有機EL素子に直列に接続された駆動トランジスタとの分圧比が変化するので、駆動トランジスタのゲートソース間電圧 V_{gs} も変化する。その結果、駆動トランジスタに流れる電流値が変化するので、有機EL素子に流れる電流値も変化し、その電流値に応じて発光輝度も変化する。

【0006】

また、駆動トランジスタの閾値電圧 V_{th} や移動度 μ が経時的に変化したり、製造プロセスのばらつきによって閾値電圧 V_{th} や移動度 μ が画素回路ごとに異なったりする場合がある。駆動トランジスタの閾値電圧 V_{th} や移動度 μ が画素回路ごとに異なる場合には、駆動トランジスタに流れる電流値が画素回路ごとにばらつくので、駆動トランジスタのゲートに同じ電圧を印加しても、有機EL素子の発光輝度がばらつき、画面の一様性（ユニフォームティ）が損なわれる。

【0007】

そこで、有機EL素子の $I-V$ 特性が経時変化したり、駆動トランジスタの閾値電圧 V_{th} や移動度 μ が経時変化したりしても、それらの影響を受けることなく、有機EL素子の発光輝度を一定に保つようにするために、有機EL素子の $I-V$ 特性の変動に対する補償機能および駆動トランジスタの閾値電圧 V_{th} や移動度 μ の変動に対する補正機能を組み込んだ表示装置が開発されている（例えば、特許文献1参照）。

【0008】

図11は、特許文献1に記載の表示装置の概略構成を表したものである。図11に記載の表示装置100は、複数の画素120がマトリクス状に配置された表示部110と、各画素120を駆動する駆動部（水平駆動回路130、書き込み走査回路140および電源走査回路150）とを備えている。

【0009】

各画素120は、赤色用の画素120R、緑色用の画素120Gおよび青色用の画素120Bからなる。各画素120R、120G、120Bは、図12に示したように、有機EL素子121（有機EL素子121R、121G、121B）およびそれに接続された画素回路122により構成されている。画素回路122は、サンプリング用のトランジスタ T_{ws} 、保持容量 C_s 、駆動用のトランジスタ T_{dr} によって構成されたものであり、 $2Tr1C$ の回路構成となっている。書き込み走査回路140から引き出されたゲート線 WSL が行方向に延在して形成されており、トランジスタ T_{ws} のゲートに接続されている。電源走査回路150から引き出されたドレイン線 DSL も行方向に延在して形成され

10

20

30

40

50

ており、トランジスタ T_{D_r} のドレインに接続されている。また、水平駆動回路 130 から引き出された信号線 DTL は列方向に延在して形成されており、トランジスタ T_{W_s} のドレインに接続されている。トランジスタ T_{W_s} のソースは駆動用のトランジスタ T_{D_r} のゲートと、保持容量 C_s の一端に接続されており、トランジスタ T_{W_s} のソースと保持容量 C_s の他端とが有機 EL 素子 121R, 121G, 121B (以下、有機 EL 素子 121R 等と略する。) のアノードに接続されている。有機 EL 素子 121R 等のカソードは、グラウンド線 GND に接続されている。

【0010】

図 13 は、図 11 に記載の表示装置 100 における各種波形の一例を表したものである。図 13 には、ゲート線 WSL に 2 種類の電圧 (V_{on} 、 $V_{off} (< V_{on})$) が、ドレイン線 DSL に 2 種類の電圧 (V_{cc} 、 $V_{ini} (< V_{cc})$) が、信号線 DTL に 2 種類の電圧 (V_{sig} 、 $V_{ofs} (< V_{sig})$) が印加されている様子が示されている。さらに、図 13 には、ゲート線 WSL、ドレイン線 DSL および信号線 DTL への電圧印加に応じて、トランジスタ T_{D_r} のゲート電圧 V_g およびソース電圧 V_s が時々刻々変化している様子が示されている。

【0011】

(Vth 補正準備期間)

まず、Vth 補正の準備を行う。具体的には、電源走査回路 150 がドレイン線 DSL の電圧を V_{cc} から V_{ini} に下げる (T_1)。すると、ソース電圧 V_s が V_{ini} となり、有機 EL 素子 121 等が消光する。次に、水平駆動回路 130 が信号線 DTL の電圧を V_{sig} から V_{ofs} に切り替えたのち、ドレイン線 DSL の電圧が V_{ini} となっている間に、書き込み走査回路 140 がゲート線 WSL の電圧を V_{off} から V_{on} に上げる (T_2)。すると、ゲート電圧 V_g が V_{ofs} に下がる。

【0012】

(最初の Vth 補正期間)

次に、Vth の補正を行う。具体的には、信号線 DTL の電圧が V_{ofs} となっている間に、電源走査回路 150 がドレイン線 DSL の電圧を V_{ini} から V_{cc} に上げる (T_3)。すると、トランジスタ T_{D_r} のドレインーソース間に電流 I_{ds} が流れ、ソース電圧 V_s が上昇する。その後、水平駆動回路 130 が信号線 DTL の電圧を V_{ofs} から V_{sig} に切り替える前に、書き込み走査回路 140 がゲート線 WSL の電圧を V_{on} から V_{off} に下げる (T_4)。すると、トランジスタ T_{D_r} のゲートがフローティングとなり、Vth の補正が一旦停止する。

【0013】

(最初の Vth 補正休止期間)

Vth 補正が休止している期間中は、先の Vth 補正を行った行 (画素) とは異なる他の行 (画素) において、信号線 DTL の電圧のサンプリングが行われる。なお、Vth 補正が不十分である場合、すなわち、トランジスタ T_{D_r} のゲートーソース間の電位差 V_{gs} がトランジスタ T_{D_r} の閾値電圧 V_{th} よりも大きい場合には、Vth 補正休止期間中にも、先の Vth 補正を行った行 (画素) において、トランジスタ T_{D_r} のドレインーソース間に電流 I_{ds} が流れ、ソース電圧 V_s が上昇し、保持容量 C_s を介したカップリングによりゲート電圧 V_g も上昇する。

【0014】

(2 回目の Vth 補正期間)

Vth 補正休止期間が終了した後、Vth の補正を再び行う。具体的には、信号線 DTL の電圧が V_{ofs} となっており、Vth 補正が可能となっている時に、書き込み走査回路 140 がゲート線 WSL の電圧を V_{off} から V_{on} に上げ (T_5)、トランジスタ T_{D_r} のゲートを信号線 DTL に接続する。このとき、ソース電圧 V_s が $V_{ofs} - V_{th}$ よりも低い場合 (Vth 補正がまだ完了していない場合) には、トランジスタ T_{D_r} がカットオフするまで (電位差 V_{gs} が V_{th} になるまで)、トランジスタ T_{D_r} のドレインーソース間に電流 I_{ds} が流れる。その結果、保持容量 C_s が V_{th} に充電され、電位差

V_{gs} が V_{th} となる。その後、水平駆動回路 130 が信号線 DTL の電圧を V_{ofs} から V_{sig} に切り替える前に、書き込み走査回路 140 がゲート線 WSL の電圧を V_{on} から V_{off} に下げる (T_6)。すると、トランジスタ T_{Dr} のゲートがフローティングとなるので、電位差 V_{gs} を信号線 DTL の電圧の大きさに拘わらず V_{th} のままで維持することができる。このように、電位差 V_{gs} を V_{th} に設定することにより、トランジスタ T_{Dr} の閾値電圧 V_{th} が画素回路 122 ごとにばらついた場合であっても、有機 EL 素子 121 等の発光輝度がばらつくのをなくすることができる。

【0015】

(2 回目の V_{th} 補正休止期間)

その後、 V_{th} 補正の休止期間中に、水平駆動回路 130 が信号線 DTL の電圧を V_{ofs} から V_{sig} に切り替える。

10

【0016】

(書き込み・ μ 補正期間)

V_{th} 補正休止期間が終了した後、書き込みと μ 補正を行う。具体的には、信号線 DTL の電圧が V_{sig} となっている間に、書き込み走査回路 140 がゲート線 WSL の電圧を V_{off} から V_{on} に上げ (T_7)、トランジスタ T_{Dr} のゲートを信号線 DTL に接続する。すると、トランジスタ T_{Dr} のゲートの電圧が V_{sig} となる。このとき、有機 EL 素子 121 R 等のアノードの電圧はこの段階ではまだ有機 EL 素子 121 R 等の閾値電圧 V_{e1} よりも小さく、有機 EL 素子 121 R 等はカットオフしている。そのため、電流 I_{ds} は有機 EL 素子 121 R 等の素子容量 (図示せず) に流れ、素子容量が充電されるので、ソース電圧 V_s が ΔV だけ上昇し、やがて電位差 V_{gs} が $V_{sig} + V_{th} - \Delta V$ となる。このようにして、書き込みと同時に μ 補正が行われる。ここで、トランジスタ T_{Dr} の移動度 μ が大きい程、 ΔV も大きくなるので、電位差 V_{gs} を発光前に ΔV だけ小さくすることにより、画素ごとの移動度 μ のばらつきを取り除くことができる。

20

【0017】

(発光)

最後に、書き込み走査回路 140 がゲート線 WSL の電圧を V_{on} から V_{off} に下げる (T_8)。すると、トランジスタ T_{Dr} のゲートがフローティングとなり、トランジスタ T_{Dr} のドレインソース間に電流 I_{ds} が流れ、ソース電圧 V_s が上昇する。その結果、有機 EL 素子 121 R 等が所望の輝度で発光する。

30

【0018】

【特許文献 1】特開 2008-083272 号公報

【発明の開示】

【発明が解決しようとする課題】

【0019】

ところで、1 フィールド期間内に有機 EL 素子 121 R 等の発光、消光を行うに際して、発光期間と消光期間のデューティ比 (発光期間 / 消光期間 $\times 100$) を小さくすると、フリッカが顕在化する。そこで、フリッカの発生を抑制するために、1 フィールド期間内において発光期間を複数回に分割することが考えられる。例えば、図 14 に示したように、有機 EL 素子 121 R 等を一旦発光させた (T_8) のち、電源走査回路がドレイン線 DSL の電圧を V_{cc} から V_{ini} に下げ (T_9)、続けて V_{ini} から V_{cc} に上げる (T_{10}) 動作を繰り返して、有機 EL 素子 121 R 等の発光を断続的に行うことが考えられる。

40

【0020】

図 15 (A) は、有機 EL 素子 121 R 等が発光と消光を繰り返し行っている断続発光期間における、発光時のトランジスタ T_{ws} の動作点の一例を表したものであり、図 15 (B) は消光時のトランジスタ T_{ws} の動作点の一例を表したものである。有機 EL 素子 121 R 等を発光させている時には、図 15 (A) に示したように、トランジスタ T_{ws} のゲートソース間の電圧 V_{gs} は $-3V$ となっているので、トランジスタ T_{ws} のソースドレイン間にリーク電流はほとんど流れない。ところが、有機 EL 素子 121 R 等を

50

消光させている時には、図 15 (B) に示したように、 V_{gs} は +3 V となっているので、トランジスタ T_{ws} がオンし、トランジスタ T_{ws} のソースドレイン間にリーク電流が流れる。このとき、リーク電流によってトランジスタ T_{dr} のゲート電圧が上昇し、ソース電圧 V_s も有機 EL 素子 121R 等の素子容量 C_{e1} と、保持容量 C_s との容量結合によって上昇する。ソース電圧 V_s の上昇量 ΔV_s は、以下の式によって求められる。なお、以下の式中の ΔV_g はゲート電圧の上昇量である。

$$\Delta V_s = \Delta V_g \times C_s / (C_s + C_{e1})$$

【0021】

ここで、 C_s は C_{e1} よりも十分に小さいことから、 ΔV_s は ΔV_g よりもかなり小さいことがわかる。よって、消光期間中のリーク電流によって、図 14 に示したように V_{gs} が増加し、その後の発光期間において所望の電流よりも大きな電流が流れる。その結果、リーク電流の大きさのばらつきによって V_{th} 補正がうまく働かなかったり、 V_{gs} の増加によって黒浮きが発生したりしてしまい、ユニフォミティが劣化してしまうという問題があった。

【0022】

本発明はかかる問題点を鑑みてなされたものであり、その目的は、消光期間中のリーク電流を低減することにより、ユニフォミティの劣化を低減することの可能な表示装置およびその駆動方法ならびに電子機器に関する。

【課題を解決するための手段】

【0023】

本発明の表示装置は、発光素子および画素回路を画素ごとに有する表示部と、画素回路を駆動する駆動部とを備えたものである。画素回路には、第 1 トランジスタと、第 2 トランジスタと、保持容量とが設けられている。駆動部には、第 1 駆動部と、第 2 駆動部と、第 3 駆動部と、制御部と、第 1 配線と、第 2 配線と、第 3 配線と、参照電圧に設定される第 4 配線とが設けられている。第 1 トランジスタのゲートが第 1 配線を介して第 1 駆動部に接続されている。第 1 トランジスタのドレインまたはソースが第 3 配線を介して第 3 駆動部に接続されている。第 1 トランジスタのドレインおよびソースのうち第 3 駆動部に未接続の方が第 2 トランジスタのゲートおよび保持容量の一端に接続されている。第 2 トランジスタのドレインまたはソースが第 2 配線を介して第 2 駆動部に接続されている。第 2 トランジスタのドレインおよびソースのうち第 2 駆動部に未接続の方が保持容量の他端および発光素子のアノードに接続されている。発光素子のカソードが第 4 配線に接続されている。ここで、第 1 駆動部は、第 1 電圧、第 2 電圧および第 3 電圧（第 3 電圧 > 第 1 電圧 > 第 2 電圧）を第 1 配線に出力可能となっている。第 2 駆動部は、発光素子の閾値電圧と参照電圧との和よりも低い第 4 電圧と、発光素子の閾値電圧と参照電圧との和以上の第 5 電圧とを第 2 配線に出力可能となっている。第 3 駆動部は、発光素子の閾値電圧よりも低い第 6 電圧と、映像信号に応じた大きさの第 7 電圧とを第 3 配線に出力可能となっている。そして、制御部は、第 1 駆動部および第 2 駆動部に対して、発光素子が発光しており、かつ第 1 配線の電圧が第 1 電圧となっている時に、第 2 配線の電圧を第 5 電圧から第 4 電圧に下げると同時に、第 1 配線の電圧を第 1 電圧から第 2 電圧に下げたのち、第 2 配線の電圧を第 4 電圧から第 5 電圧に上げると同時に、第 1 配線の電圧を第 2 電圧から第 1 電圧に上げる動作を繰り返すことを指示する制御信号を出力するようになっている。

【0024】

本発明の電子機器は、上記表示装置を備えたものである。

【0025】

本発明の表示装置の駆動方法は、以下の構成を備えた表示装置の第 1 駆動部および第 2 駆動部において、発光素子が発光しており、かつ第 1 配線の電圧が第 1 電圧となっている時に、第 2 配線の電圧を第 5 電圧から第 4 電圧に下げると同時に、第 1 配線の電圧を第 1 電圧から第 2 電圧に下げたのち、第 2 配線の電圧を第 4 電圧から第 5 電圧に上げると同時に、第 1 配線の電圧を第 2 電圧から第 1 電圧に上げる動作を繰り返すことを指示する制御信号を出力するステップを実行するものである。

【0026】

上記駆動方法が用いられる表示装置は、発光素子および画素回路を画素ごとに有する表示部と、画素回路を駆動する駆動部とを備えたものである。画素回路には、第1トランジスタと、第2トランジスタと、保持容量とが設けられている。駆動部には、第1駆動部と、第2駆動部と、第3駆動部と、第1配線と、第2配線と、第3配線と、参照電圧に設定される第4配線とが設けられている。第1トランジスタのゲートが第1配線を介して第1駆動部に接続されている。第1トランジスタのドレインまたはソースが第3配線を介して第3駆動部に接続されている。第1トランジスタのドレインおよびソースのうち第3駆動部に未接続の方が第2トランジスタのゲートおよび保持容量の一端に接続されている。第2トランジスタのドレインまたはソースが第2配線を介して第2駆動部に接続されている。第2トランジスタのドレインおよびソースのうち第2駆動部に未接続の方が保持容量の他端および発光素子のアノードに接続されている。発光素子のカソードが第4配線に接続されている。ここで、第1駆動部は、第1電圧、第2電圧および第3電圧（第3電圧>第1電圧>第2電圧）を第1配線に出力可能となっている。第2駆動部は、発光素子の閾値電圧と参照電圧との和よりも低い第4電圧と、発光素子の閾値電圧と参照電圧との和以上の第5電圧とを第2配線に出力可能となっている。第3駆動部は、発光素子の閾値電圧よりも低い第6電圧と、映像信号に応じた大きさの第7電圧とを第3配線に出力可能となっている。

10

【0027】

本発明の表示装置およびその駆動方法ならびに電子機器では、発光素子の発光時に、第2配線の電圧が上昇、下降を繰り返し、それに伴って発光素子が発光、消光を繰り返す。このとき、第1配線の電圧が第2配線の電圧の上昇と同時に上昇し、第2配線の電圧の下降と同時に下降する。これにより、発光時だけでなく、消光時においても、第1トランジスタのゲートーソース間の電圧を第1トランジスタのオン電圧よりも低くすることが可能となる。その結果、第2配線の電圧が上昇、下降を繰り返している間、第1配線の電圧を第1電圧に固定した場合と比べて、消光時のリーク電流を低減することができる。

20

【発明の効果】

【0028】

本発明の表示装置およびその駆動方法ならびに電子機器によれば、発光素子の発光時に、第1配線の電圧が第2配線の電圧の上昇と同時に上昇し、第2配線の電圧の下降と同時に下降するようにしたので、消光時のリーク電流を低減することができる。これにより、リーク電流の大きさのばらつきや、ゲートーソース間電圧の増加による黒浮きの発生を低減することができるので、ユニフォミティの劣化を低減することができる。

30

【発明を実施するための最良の形態】

【0029】

以下、本発明の実施の形態について、図面を参照して詳細に説明する。

【0030】

図1は、本発明の一実施の形態に係る表示装置1の全体構成の一例を表したものである。この表示装置1は、例えば、ガラス、シリコン（Si）ウェハあるいは樹脂などよりなる基板（図示せず）上に、表示部10と、表示部10の周辺に形成された周辺回路部20（駆動部）とを備えている。

40

【0031】

表示部10は、複数の画素11を表示部10の全面に渡ってマトリクス状に配置したものであり、外部から入力された映像信号20aに基づく画像をアクティブマトリクス駆動により表示するものである。各画素11は、赤色用の画素11Rと、緑色用の画素11Gと、青色用の画素11Bとを含んでいる。

【0032】

図2は、画素11R、11G、11Bの内部構成の一例を表したものである。画素11R、11G、11B内には、図2に示したように、有機EL素子12R、12G、12B（発光素子）と、画素回路13とが設けられている。

50

【0033】

有機EL素子12R, 12G, 12B(以下、有機EL素子12R等と称する。)は、例えば、図示しないが、陽極(アノード)、有機層および陰極(カソード)が基板11から順に積層された構成を有している。有機層は、例えば、陽極の側から順に、正孔注入効率を高める正孔注入層と、発光層への正孔輸送効率を高める正孔輸送層と、電子と正孔との再結合による発光を生じさせる発光層と、発光層への電子輸送効率を高める電子輸送層とを積層してなる積層構造を有している。

【0034】

画素回路13は、サンプリング用のトランジスタ T_{WS} (第1トランジスタ)、保持容量 C_s 、駆動用のトランジスタ T_{Dr} (第2トランジスタ)によって構成されたものであり、2Tr1Cの回路構成となっている。トランジスタ T_{WS} , T_{Dr} は、例えば、nチャネルMOS型の薄膜トランジスタ(TFT(Thin Film Transistor))により形成されている。

10

【0035】

周辺回路部20は、タイミング制御回路21(制御部)と、水平駆動回路22(第3駆動部)と、書き込み走査回路23(第1駆動部)と、電源走査回路24(第2駆動部)とを有している。タイミング制御回路21は、表示信号生成回路21Aと、表示信号保持制御回路21Bとを含んでいる。また、周辺回路部20には、ゲート線WSL(第1配線)と、ドレイン線DSL(第2配線)と、信号線DTL(第3配線)と、グラウンド線GND(第4配線)とが設けられている。なお、グラウンド線は、グラウンドに接続されており、グラウンド電圧(参照電圧)に設定される。

20

【0036】

表示信号生成回路21Aは、外部から入力された映像信号20aに基づいて、例えば1画面ごと(1フィールドの表示ごと)に表示部10に表示するための表示信号21aを生成するものである。

【0037】

表示信号保持制御回路21Bは、表示信号生成回路21Aから出力された表示信号21aを1画面ごと(1フィールドの表示ごと)に、例えばSRAM(Static Random Access Memory)などから構成されたフィールドメモリに格納して保持するものである。この表示信号保持制御回路21Bはまた、各画素11を駆動する水平駆動回路22、書き込み走査回路23および電源走査回路24が連動して動作するように制御する役割も果たしている。具体的には、表示信号保持制御回路21Bは、書き込み走査回路23に対しては制御信号21bを、電源走査回路24に対しては制御信号21cを、表示信号駆動回路21Cに対しては制御信号21dをそれぞれ出力するようになっている。

30

【0038】

水平駆動回路22は、表示信号保持制御回路21Bから出力された制御信号21dに応じて、2種類の電圧(V_{ofs} (第6電圧)、 V_{sig} (第7電圧))を出力可能となっている。具体的には、水平駆動回路22は、表示部10の各画素11に接続された信号線DTLを介して、書き込み走査回路23により選択された画素11へ2種類の電圧(V_{ofs} 、 V_{sig})を供給するようになっている。

40

【0039】

ここで、電圧 V_{ofs} は、有機EL素子12Rの閾値電圧 V_{el} よりも低い電圧値となっている。また、電圧 V_{sig} は、映像信号20aに対応する電圧値であって、かつ電圧 V_{ofs} よりも大きな電圧値となっている。

【0040】

書き込み走査回路23は、表示信号保持制御回路21Bから出力された制御信号21bに応じて、3種類の電圧(V_{on} (第3電圧)、 V_{off1} (第1電圧)、 V_{off2} (第2電圧))を出力可能となっている。具体的には、書き込み走査回路23は、表示部10の各画素11に接続されたゲート線WSLを介して、駆動対象の画素11へ3種類の電圧(V_{on} 、 V_{off1} 、 V_{off2})を供給し、サンプリング用のトランジスタ T_{WS}

50

を制御するようになっている。

【0041】

ここで、電圧 V_{on} は、 V_{off1} 、 V_{off2} よりも高い値となっている。 V_{on} は、後述の「 V_{th} 補正準備期間」や「最初の V_{th} 補正期間」などに書き込み走査回路23から出力される電圧値である。 V_{off1} は、 V_{off2} よりも高い値となっている。 V_{off1} 、 V_{off2} は、後述の「 V_{th} 補正休止期間」や「発光期間」などに書き込み走査回路23から出力される電圧値である。

【0042】

電源走査回路24は、表示信号保持制御回路21Bから出力された制御信号21cに応じて、2種類の電圧 (V_{ini} (第4電圧)、 V_{cc} (第5電圧)) を出力可能となっている。具体的には、電源走査回路24は、表示部10の各画素11に接続されたドレイン線DSLを介して、駆動対象の画素11へ2種類の電圧 (V_{ini} 、 V_{cc}) を供給し、有機EL素子12Rの発光および消光を制御するようになっている。

【0043】

ここで、 V_{ini} は、有機EL素子12Rの閾値電圧 V_{el} と、有機EL素子12Rのカソードの電圧 V_{ca} とを足し合わせた電圧 ($V_{el} + V_{ca}$) よりも低い電圧値である。また、 V_{cc} は、電圧 ($V_{el} + V_{ca}$) 以上の電圧値である。

【0044】

次に、図2を参照して、各構成要素の接続関係について説明する。書き込み走査回路23から引き出されたゲート線WSLは、行方向に延在して形成されており、トランジスタ T_{ws} のゲートに接続されている。電源走査回路24から引き出されたドレイン線DSLも行方向に延在して形成されており、トランジスタ T_{dr} のドレインに接続されている。また、水平駆動回路22から引き出された信号線DTLは列方向に延在して形成されており、トランジスタ T_{ws} のドレインに接続されている。トランジスタ T_{ws} のソースは駆動用のトランジスタ T_{dr} のゲートと、保持容量 C_s の一端に接続されており、トランジスタ T_{ws} のソースと保持容量 C_s の他端とが有機EL素子12Rのアノードに接続されている。有機EL素子12Rのカソードは、グラウンド線GNDに接続されている。

【0045】

次に、本実施の形態の表示装置1の動作（消光から発光までの動作）について説明する。本実施の形態では、有機EL素子12RのI-V特性が経時変化したり、トランジスタ T_{dr} の閾値電圧 V_{th} や移動度 μ が経時変化したりしても、それらの影響を受けることなく、有機EL素子12Rの発光輝度を一定に保つようにするために、有機EL素子12RのI-V特性の変動に対する補償動作およびトランジスタ T_{dr} の閾値電圧 V_{th} や移動度 μ の変動に対する補正動作を組み込んでいる。

【0046】

図3は、表示装置1における各種波形の一例を表したものである。図3には、ゲート線WSLに3種類の電圧 (V_{on} 、 V_{off1} 、 V_{off2}) が、ドレイン線DSLに2種類の電圧 (V_{cc} 、 V_{ini}) が、信号線DTLに2種類の電圧 (V_{sig} 、 V_{ofs}) が印加されている様子が示されている。さらに、図3には、ゲート線WSL、ドレイン線DSLおよび信号線DTLへの電圧印加に応じて、トランジスタ T_{dr} のゲート電圧 V_g およびソース電圧 V_s が時々刻々変化している様子が示されている。

【0047】

(V_{th} 補正準備期間)

まず、 V_{th} 補正の準備を行う。具体的には、ゲート線WSLの電圧が V_{off1} となっており、信号線DTLの電圧が V_{sig} となっており、ドレイン線DSLの電圧が V_{cc} となっている時（つまり有機EL素子12Rが発光している時）に、電源走査回路24が制御信号21cに応じてドレイン線DSLの電圧を V_{cc} から V_{ini} に下げる (T_1)。すると、ソース電圧 V_s が V_{ini} となり、有機EL素子12Rが消光する。次に、水平駆動回路22が制御信号21dに応じて信号線DTLの電圧を V_{sig} から V_{ofs} に切り替えたのち、ドレイン線DSLの電圧が V_{ini} となっている間に、書き込み走査

10

20

30

40

50

回路 2 3 が制御信号 2 1 b に応じてゲート線 W S L の電圧を V_{off1} から V_{on} に上げる (T_2)。すると、ゲート電圧 V_g が V_{ofs} に下がる。このとき、ゲート電圧 V_g とソース電圧 V_s との電位差 V_{gs} ($= V_{ofs} - V_{ini}$) がトランジスタ T_{Dr} の閾値電圧 V_{th} よりも大きくなるように、電源走査回路 2 4 および水平駆動回路 2 2 では、ドレイン線 D S L および信号線 D T L への印加電圧 (V_{ini} 、 V_{ofs}) が設定されている。

【0048】

(最初の V_{th} 補正期間)

次に、 V_{th} の補正を行う。具体的には、信号線 D T L の電圧が V_{ofs} となっている間に、電源走査回路 2 4 が制御信号 2 1 c に応じてドレイン線 D S L の電圧を V_{ini} から V_{cc} に上げる (T_3)。すると、トランジスタ T_{Dr} のドレインーソース間に電流 I_{ds} が流れ、ソース電圧 V_s が上昇する。その後、水平駆動回路 2 2 が制御信号 2 1 d に応じて信号線 D T L の電圧を V_{ofs} から V_{sig} に切り替える前に、書き込み走査回路 2 3 が制御信号 2 1 b に応じてゲート線 W S L の電圧を V_{on} から V_{off1} に下げる (T_4)。すると、トランジスタ T_{Dr} のゲートがフローティングとなり、 V_{th} の補正が一旦停止する。

【0049】

(最初の V_{th} 補正休止期間)

V_{th} 補正が休止している期間中 (すなわち、ゲート線 W S L の電圧が V_{off1} となっており、かつドレイン線 D S L の電圧が V_{cc} となっている間) は、先の V_{th} 補正を行った行 (画素) とは異なる他の行 (画素) において、信号線 D T L の電圧のサンプリングが行われる。具体的には、水平駆動回路 2 2 が、 V_{th} 補正が休止している期間中に、信号線 D T L の電圧を V_{ofs} から V_{sig} に切り替えたのち、 V_{sig} から V_{ofs} に切り替える動作を行い、書き込み走査回路 2 3 が、信号線 D T L の電圧が V_{sig} となっている間に、先の V_{th} 補正を行った行 (画素) とは異なる他の行 (画素) に接続されたゲート線 W S L の電圧を V_{off1} から V_{on} に上げたのち、 V_{on} から V_{off1} に切り替える。従って、水平駆動回路 2 2 は、ある行 (画素) において V_{th} 補正を実行するために 1 周期 (図中の 1 H で示された期間) の前半に信号線 D T L の電圧を V_{ofs} とし、他の行 (画素) においてサンプリングを行うために 1 周期の後半に信号線 D T L の電圧を V_{sig} とする動作を実行する。

【0050】

なお、 V_{th} 補正が不十分である場合、すなわち、トランジスタ T_{Dr} のゲートーソース間の電位差 V_{gs} がトランジスタ T_{Dr} の閾値電圧 V_{th} よりも大きい場合には、 V_{th} 補正休止期間中にも、先の V_{th} 補正を行った行 (画素) において、トランジスタ T_{Dr} のドレインーソース間に電流 I_{ds} が流れ、ソース電圧 V_s が上昇し、保持容量 C_s を介したカップリングによりゲート電圧 V_g も上昇する。

【0051】

(2 回目の V_{th} 補正期間)

V_{th} 補正休止期間が終了した後、 V_{th} の補正を再び行う。具体的には、ドレイン線 D S L の電圧が V_{cc} となっており、かつ信号線 D T L の電圧が V_{ofs} となっており、 V_{th} 補正が可能となっている時に、書き込み走査回路 2 3 が制御信号 2 1 b に応じてゲート線 W S L の電圧を V_{off1} から V_{on} に上げ (T_5)、トランジスタ T_{Dr} のゲートを信号線 D T L に接続する。このとき、ソース電圧 V_s が $V_{ofs} - V_{th}$ よりも低い場合 (V_{th} 補正がまだ完了していない場合) には、トランジスタ T_{Dr} がカットオフするまで (電位差 V_{gs} が V_{th} になるまで)、トランジスタ T_{Dr} のドレインーソース間に電流 I_{ds} が流れる。これにより、ゲート電圧 V_g が V_{ofs} となり、ソース電圧 V_s が上昇し、その結果、保持容量 C_s が V_{th} に充電され、電位差 V_{gs} が V_{th} となる。その後、水平駆動回路 2 2 が信号線 D T L の電圧を V_{ofs} から V_{sig} に切り替える前に、書き込み走査回路 2 3 がゲート線 W S L の電圧を V_{on} から V_{off1} に下げる (T_6)。すると、トランジスタ T_{Dr} のゲートがフローティングとなるので、電位差 V_{gs}

を信号線 D T L の電圧の大きさに拘わらず V_{th} のままで維持することができる。このように、電位差 V_{gs} を V_{th} に設定することにより、トランジスタ T_{Dr} の閾値電圧 V_{th} が画素回路 13 ごとにばらついた場合であっても、有機 EL 素子 12 R の発光輝度がばらつくのをなくすることができる。

【0052】

(2 回目の V_{th} 補正休止期間)

その後、 V_{th} 補正の休止期間中（すなわち、ゲート線 W S L の電圧が V_{off1} となっており、かつドレイン線 D S L の電圧が V_{cc} となっている間）に、水平駆動回路 22 が制御信号 21 d に応じて信号線 D T L の電圧を V_{ofs} から V_{sig} に切り替える。

【0053】

(書き込み・ μ 補正期間)

2 回目の V_{th} 補正休止期間が終了した後、書き込みと μ 補正を行う。具体的には、信号線 D T L の電圧が V_{sig} となっている間に、書き込み走査回路 23 が制御信号 21 b に応じてゲート線 W S L の電圧を V_{off1} から V_{on} に上げ (T_7)、トランジスタ T_{Dr} のゲートを信号線 D T L に接続する。すると、トランジスタ T_{Dr} のゲートの電圧が信号線 D T L の電圧 V_{sig} となる。このとき、有機 EL 素子 12 R のアノードの電圧はこの段階ではまだ有機 EL 素子 12 R の閾値電圧 V_{el} よりも小さく、有機 EL 素子 12 R はカットオフしている。そのため、電流 I_{ds} は有機 EL 素子 12 R の素子容量（図示せず）に流れ、素子容量が充電されるので、ソース電圧 V_s が ΔV だけ上昇し、やがて電位差 V_{gs} が $V_{sig} + V_{th} - \Delta V$ となる。このようにして、書き込みと同時に μ 補正が行われる。ここで、トランジスタ T_{Dr} の移動度 μ が大きい程、 ΔV も大きくなるので、電位差 V_{gs} を発光前に ΔV だけ小さくすることにより、画素ごとの移動度 μ のばらつきを取り除くことができる。

【0054】

(発光)

次に、書き込み走査回路 23 が制御信号 21 b に応じてゲート線 W S L の電圧を V_{on} から V_{off1} に下げる (T_8)。すると、トランジスタ T_{Dr} のゲートがフローティングとなり、トランジスタ T_{Dr} のドレインーソース間に電流 I_{ds} が流れ、ソース電圧 V_s が上昇する。その結果、有機 EL 素子 12 R に閾値電圧 V_{el} 以上の電圧が印加され、有機 EL 素子 12 R 等が所望の輝度で発光する。

【0055】

本実施の形態の表示装置 1 では、上記のようにして、各画素 11 において画素回路 13 がオンオフ制御され、各画素 11 の有機 EL 素子 12 R 等に駆動電流が注入されることにより、正孔と電子とが再結合して発光が起こる。この光は、陽極と陰極との間で多重反射し、陰極等を透過して外部に取り出される。その結果、表示部 10 において画像が表示される。

【0056】

ところで、一般に、1 フィールド期間内に有機 EL 素子 12 R 等の発光、消光を行うに際して、発光期間と消光期間のデューティ比（発光期間／消光期間×100）を小さくすると、フリッカが顕在化する。そこで、本実施の形態では、フリッカの発生を抑制するために、1 フィールド期間内において発光期間を複数回に分割している。具体的には、図 3 に示したように、有機 EL 素子 12 R 等が発光しており、かつゲート線 W S L の電圧が V_{off1} となっている時に、電源走査回路 24 が制御信号 21 c に応じてドレイン線 D S L の電圧を V_{cc} から V_{ini} に下げたのち、 V_{ini} から V_{cc} に上げる動作を繰り返して、有機 EL 素子 12 R 等の発光を断続的に行っている。

【0057】

さらに、本実施の形態では、上記のようにして有機 EL 素子 12 R 等が発光、消光を繰り返す断続発光期間の間に、ゲート線 W S L の電圧がドレイン線 D S L の電圧の下降と同時に下げ、ドレイン線 D S L の電圧の上昇と同時に上げる。より詳細には、図 3 に示したように、電源走査回路 24 がドレイン線 D S L の電圧を V_{cc} から V_{ini} に下げると同

10

20

30

40

50

時に、書き込み走査回路 23 がゲート線 WSL の電圧を V_{off1} から V_{off2} に下げたのち、電源走査回路 24 がドレイン線 DSL の電圧を V_{ini} から V_{cc} に上げると同時に、書き込み走査回路 23 がゲート線 WSL の電圧を V_{off2} から V_{off1} に上げる動作を繰り返す。これにより、断続発光期間において、発光時だけでなく、消光時においても、トランジスタ T_{ws} のゲートソース間の電圧 V_{gs} をトランジスタ T_{ws} のオン電圧よりも低くすることができる。その結果、ドレイン線 DSL の電圧が上昇、下降を繰り返している間、ゲート線 WSL の電圧を V_{off} （本実施の形態の V_{off1} に相当する。）に固定した場合（図 14 参照）と比べて、断続発光期間における消光時のリーク電流を低減することができる。その結果、リーク電流の大きさのばらつきや、 V_{gs} の増加による黒浮きの発生を低減することができるので、ユニフォミティの劣化を低減することができる。

10

【0058】

図 4（A）は、上記のようにして有機 EL 素子 12R 等が発光、消光を繰り返している時の、発光時のトランジスタ T_{ws} の動作点の一例を表したものであり、図 4（B）は消光時のトランジスタ T_{ws} の動作点の一例を表したものである。図 4（A）、（B）に示したように、有機 EL 素子 12R 等が発光させている時および消光させている時の双方において、トランジスタ T_{ws} のゲートソース間の電圧 V_{gs} がトランジスタ T_{ws} のオフ電圧（ $-3V$ ）となっている。これにより、この場合には、発光時だけでなく、消光時においても、トランジスタ T_{ws} のソースドレイン間に流れるリーク電流をほとんどなくすることができる。その結果、リーク電流の大きさのばらつきや、 V_{gs} の増加による黒浮きの発生をなくすることができるので、ユニフォミティの劣化をなくすることができる。

20

【0059】

（モジュールおよび適用例）

以下、上記実施の形態で説明した表示装置 1 の適用例について説明する。上記実施の形態の表示装置 1 は、テレビジョン装置、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置あるいはビデオカメラなど、外部から入力された映像信号あるいは内部で生成した映像信号を、画像あるいは映像として表示するあらゆる分野の電子機器の表示装置に適用することが可能である。

【0060】

（モジュール）

上記実施の形態の表示装置 1 は、例えば、図 5 に示したようなモジュールとして、後述する適用例 1～5 などの種々の電子機器に組み込まれる。このモジュールは、例えば、基板 2 の一辺に、表示部 10 を封止する部材（図示せず）から露出した領域 210 を設け、この露出した領域 210 に、タイミング制御回路 21、水平駆動回路 22、書き込み走査回路 23 および電源走査回路 24 の配線を延長して外部接続端子（図示せず）を形成したものである。外部接続端子には、信号の入出力のためのフレキシブルプリント配線基板（FPC；Flexible Printed Circuit）220 が設けられていてもよい。

【0061】

（適用例 1）

図 6 は、上記実施の形態の表示装置 1 が適用されるテレビジョン装置の外観を表したものである。このテレビジョン装置は、例えば、フロントパネル 310 およびフィルターガラス 320 を含む映像表示画面部 300 を有しており、この映像表示画面部 300 は、上記実施の形態に係る表示装置 1 により構成されている。

40

【0062】

（適用例 2）

図 7 は、上記実施の形態の表示装置 1 が適用されるデジタルカメラの外観を表したものである。このデジタルカメラは、例えば、フラッシュ用の発光部 410、表示部 420、メニュースイッチ 430 およびシャッターボタン 440 を有しており、その表示部 420 は、上記実施の形態に係る表示装置 1 により構成されている。

50

【0063】

(適用例3)

図8は、上記実施の形態の表示装置1が適用されるノート型パーソナルコンピュータの外観を表したものである。このノート型パーソナルコンピュータは、例えば、本体510、文字等の入力操作のためのキーボード520および画像を表示する表示部530を有しており、その表示部530は、上記実施の形態に係る表示装置1により構成されている。

【0064】

(適用例4)

図9は、上記実施の形態の表示装置1が適用されるビデオカメラの外観を表したものである。このビデオカメラは、例えば、本体部610、この本体部610の前方側面に設けられた被写体撮影用のレンズ620、撮影時のスタート/ストップスイッチ630および表示部640を有しており、その表示部640は、上記実施の形態に係る表示装置1により構成されている。

【0065】

(適用例5)

図10は、上記実施の形態の表示装置1が適用される携帯電話機の外観を表したものである。この携帯電話機は、例えば、上側筐体710と下側筐体720とを連結部（ヒンジ部）730で連結したものであり、ディスプレイ740、サブディスプレイ750、ピクチャーライト760およびカメラ770を有している。そのディスプレイ740またはサブディスプレイ750は、上記実施の形態に係る表示装置1により構成されている。

【0066】

以上、実施の形態および適用例を挙げて本発明を説明したが、本発明は上記実施の形態等に限定されるものではなく、種々変形が可能である。

【0067】

例えば、上記実施の形態等では、表示装置1がアクティブマトリクス型である場合について説明したが、アクティブマトリクス駆動のための画素回路13の構成は上記実施の形態等で説明したものに限られず、必要に応じて容量素子やトランジスタを画素回路13に追加してもよい。その場合、画素回路13の変更に応じて、上述した水平駆動回路22、書き込み走査回路23、電源走査回路24のほかに、必要な駆動回路を追加してもよい。

【0068】

また、上記実施の形態等では、表示信号駆動回路21C、書き込み走査回路23および電源走査回路24の駆動を表示信号保持制御回路21Bが制御していたが、他の回路がこれらの駆動を制御するようにしてもよい。また、表示信号駆動回路21C、書き込み走査回路23および電源走査回路24の制御は、ハードウェア（回路）で行われていてもよいし、ソフトウェア（プログラム）で行われていてもよい。

【図面の簡単な説明】

【0069】

【図1】 本発明の一実施の形態に係る表示装置の一例を表す構成図である。

【図2】 図1の画素の内部構成の一例を表す構成図である。

【図3】 図1の表示装置の動作の一例について説明するための波形図である。

【図4】 トランジスタ T_{ws} の動作点の一例について説明するための回路図である。

【図5】 上記各実施の形態の表示装置を含むモジュールの概略構成を表す平面図である。

【図6】 上記実施の形態の表示装置の適用例1の外観を表す斜視図である。

【図7】 (A)は適用例2の表側から見た外観を表す斜視図であり、(B)は裏側から見た外観を表す斜視図である。

【図8】 適用例3の外観を表す斜視図である。

【図9】 適用例4の外観を表す斜視図である。

【図10】 (A)は適用例5の開いた状態の正面図、(B)はその側面図、(C)は閉じた状態の正面図、(D)は左側面図、(E)は右側面図、(F)は上面図、(G)は下面図である。

10

20

30

40

50

【図 1 1】 従来の表示装置の一例を表す構成図である。

【図 1 2】 図 1 1 の画素の内部構成の一例を表す構成図である。

【図 1 3】 図 1 1 の表示装置の動作の一例について説明するための波形図である。

【図 1 4】 フリッカ発生の防止について説明するための波形図である。

【図 1 5】 トランジスタ T_{WS} の動作点の一例について説明するための回路図である。

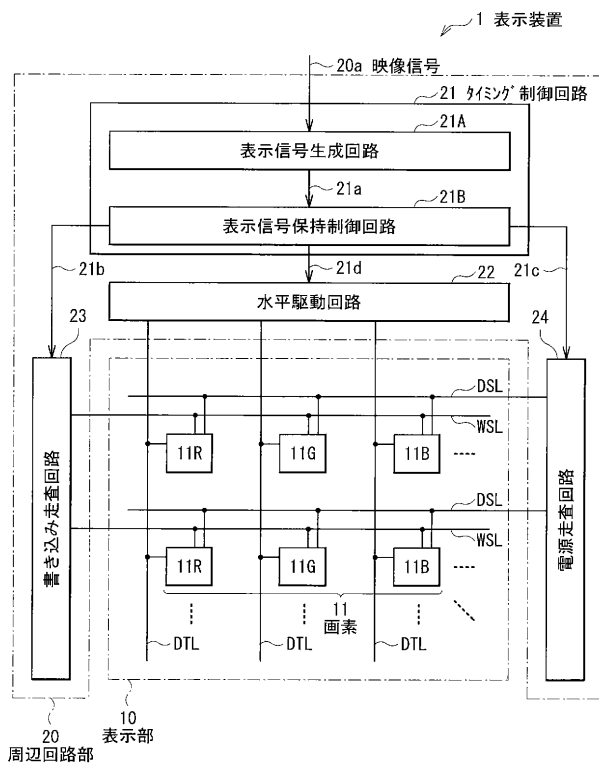
【符号の説明】

【0070】

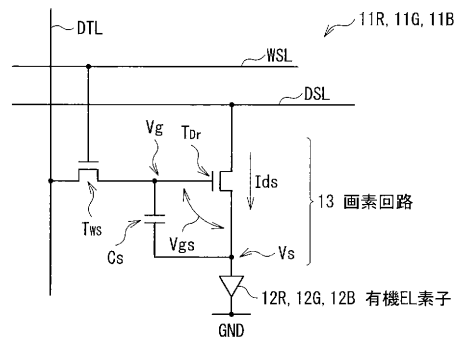
1 … 表示装置、10 … 表示部、11, 11R, 11G, 11B … 画素、12R, 12G, 12B … 有機EL素子、13 … 画素回路、20 … 周辺回路部、21 … タイミング制御回路、21A … 表示信号生成回路、21B … 表示信号保持制御回路、22 … 水平駆動回路、23 … 書き込み走査回路、24 … 電源走査回路、 C_s … 保持容量、DSL … ドレイン線、DTL … 信号線、 I_{ds} … 電流、 T_{Dr} , T_{WS} … トランジスタ、 V_g … ゲート電圧、 V_{gs} … 電位差、 V_s … ソース電圧、 V_{th} … 閾値電圧、WSL … ゲート線。

10

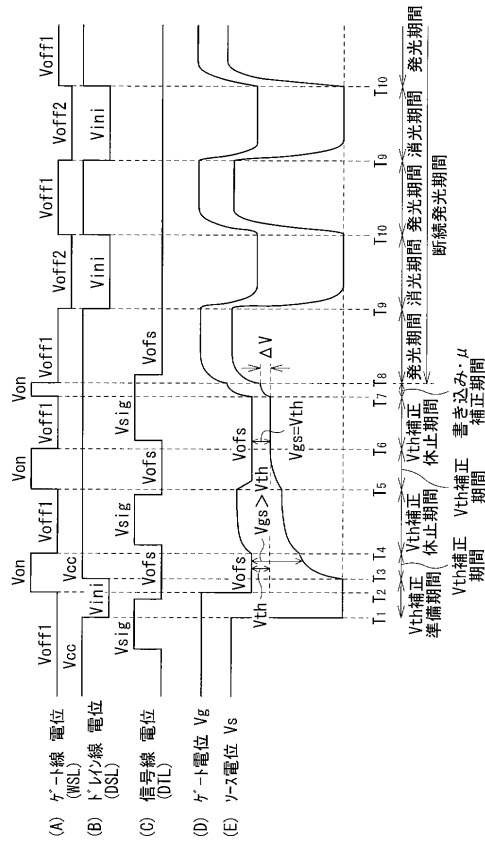
【図 1】



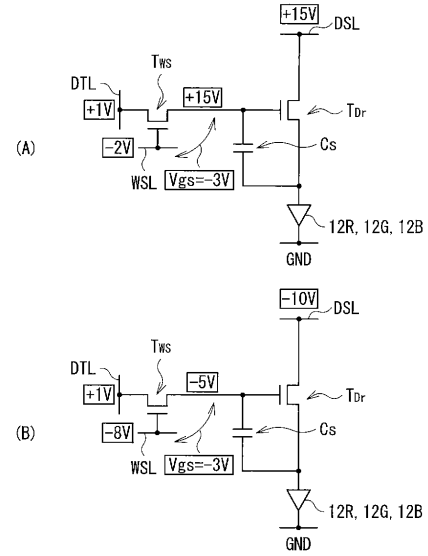
【図 2】



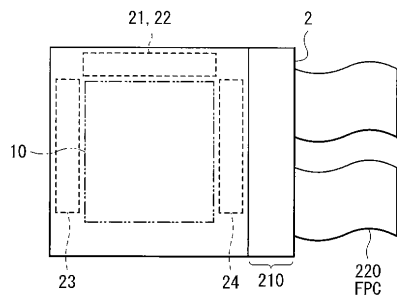
【図 3】



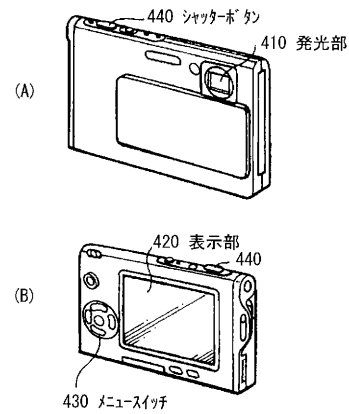
【図 4】



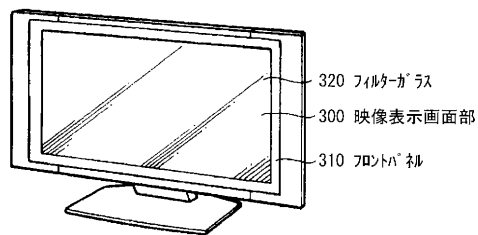
【図 5】



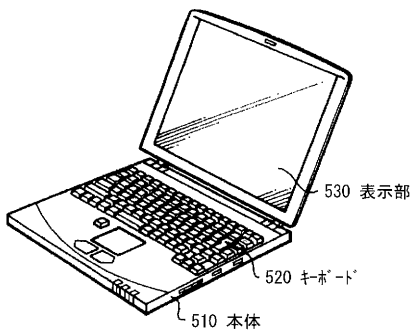
【図 7】



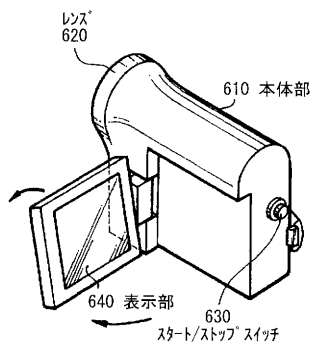
【図 6】



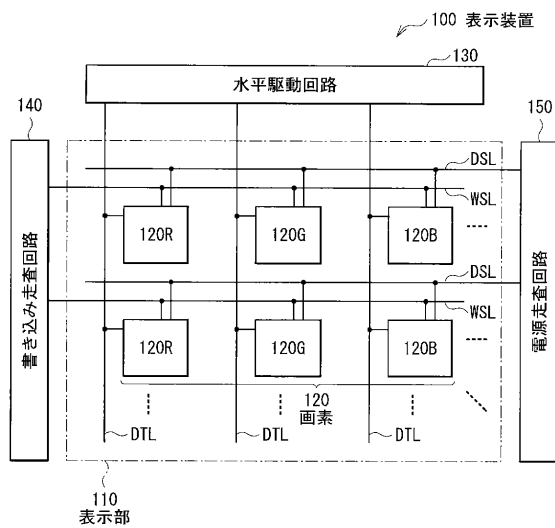
【図 8】



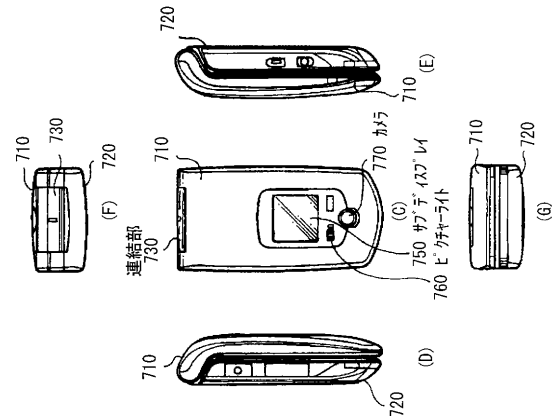
【図 9】



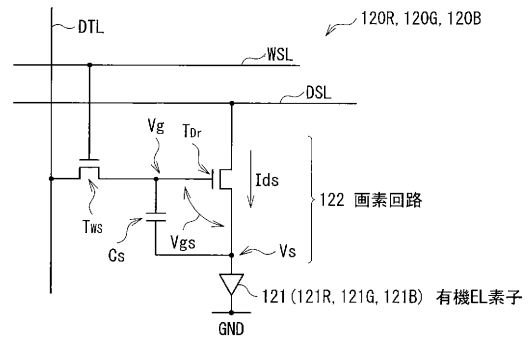
【図 11】



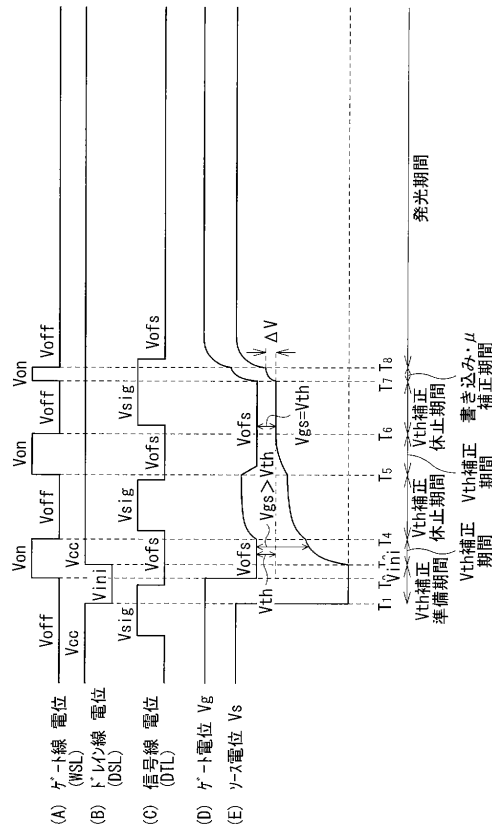
【図 10】



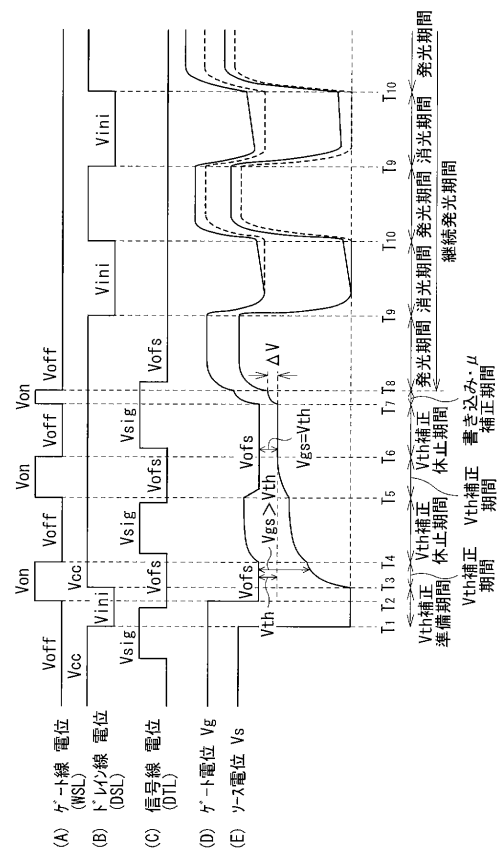
【図 12】



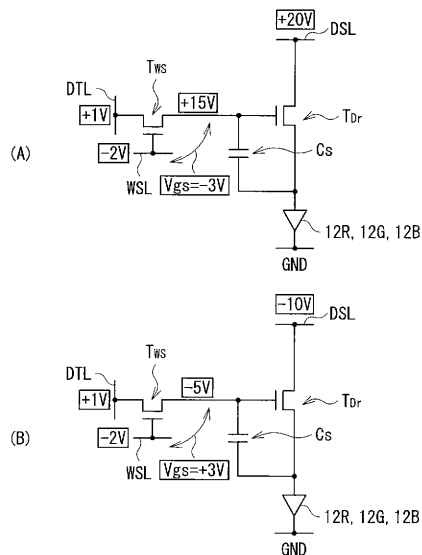
【図 13】



【図 14】



【図 15】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

G 0 9 G 3/20 6 1 1 H

G 0 9 G 3/20 6 4 1 D

F ターム(参考) 3K107 AA01 BB01 CC02 CC31 CC33 EE03 HH00 HH05

5C080 AA06 BB05 CC03 DD05 DD29 EE29 EE30 FF11 HH10 JJ02

JJ03 JJ04 JJ06

专利名称(译)	显示装置，其驱动方法和电子设备		
公开(公告)号	JP2010014747A	公开(公告)日	2010-01-21
申请号	JP2008171823	申请日	2008-06-30
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	豊村直史 内野勝秀		
发明人	豊村 直史 内野 勝秀		
IPC分类号	G09G3/30 H01L51/50 G09G3/20		
FI分类号	G09G3/30.K H05B33/14.A G09G3/20.624.B G09G3/20.670.J G09G3/20.642.A G09G3/20.611.H G09G3/20.641.D G09G3/3225 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC02 3K107/CC31 3K107/CC33 3K107/EE03 3K107/HH00 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD29 5C080/EE29 5C080/EE30 5C080/FF11 5C080/HH10 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB34 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/BA10 5C380/BA32 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB09 5C380/BB23 5C380/BD03 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CB20 5C380/CC02 5C380/CC03 5C380/CC05 5C380/CC07 5C380/CC27 5C380/CC33 5C380/CC41 5C380/CC62 5C380/CD012 5C380/CF02 5C380/DA06 5C380/DA35 5C380/DA47		
外部链接	Espacenet		

摘要(译)

本发明提供一种驱动方法，驱动装置和显示装置，其能够通过减少消光期间的漏电流来降低均匀性的劣化。当有机EL元件12R等重复发光和熄灭时，栅极线WSL的电压随着漏极线DSL的电压的下降而降低，并且随着漏极线DSL的电压的增加而升高。结果，晶体管T_{WS}的栅极和源极之间的电压V_{gs}可以转换为晶体管T_{WS}的导通电压较低。点域

