

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-2736

(P2010-2736A)

(43) 公開日 平成22年1月7日(2010.1.7)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09F 9/30 (2006.01)	G09F 9/30 338	5C080
H01L 27/32 (2006.01)	G09F 9/30 365Z	5C094
G09G 3/20 (2006.01)	G09G 3/20 624B	
H01L 51/50 (2006.01)	G09G 3/20 611H	
審査請求 未請求 請求項の数 3 O L (全 65 頁) 最終頁に続く		

(21) 出願番号 特願2008-162075 (P2008-162075)
 (22) 出願日 平成20年6月20日 (2008.6.20)

(71) 出願人 302020207
 東芝モバイルディスプレイ株式会社
 東京都港区港南4-1-8
 (74) 代理人 100059225
 弁理士 蔦田 瑋子
 (74) 代理人 100076314
 弁理士 蔦田 正人
 (74) 代理人 100112612
 弁理士 中村 哲士
 (74) 代理人 100112623
 弁理士 富田 克幸
 (74) 代理人 100124707
 弁理士 夫 世進

最終頁に続く

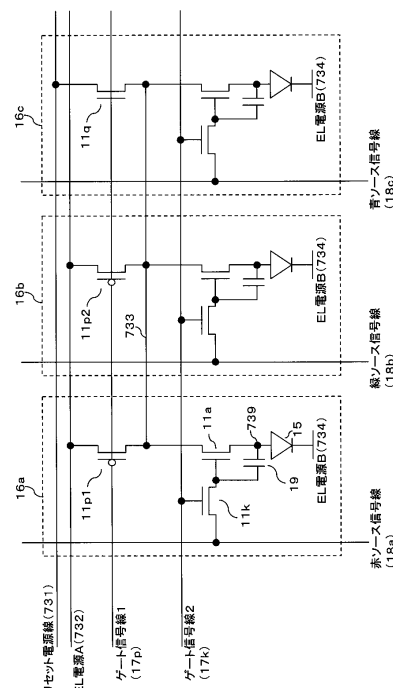
(54) 【発明の名称】 E L表示装置

(57) 【要約】

【課題】少ない回路素子数で駆動用トランジスタの閾値補正機能を有する有機E L表示装置を実現する。

【解決手段】閾値補正機能を有する画素回路16において、E L電源A又はリセット電源を供給するトランジスタ11p及び11qを複数の画素で共有し、複数の画素に対して1つとすることで、閾値補正機能を損ねることなく、1画素当たりのトランジスタ数を削減し、表示領域の全画素の平均で、1画素当たりのトランジスタ数を減らすことができた。

【選択図】 図73



【特許請求の範囲】**【請求項 1】**

各画素に有機 E L 素子を有する E L 表示装置であって、
前記有機 E L 素子の供給する電流を制御する駆動用トランジスタと、
前記駆動用トランジスタが流す電流を決めるために、前記駆動用トランジスタの第 1 の電極と、前記第 1 とは異なる第 2 の電極間に設けられた蓄積容量と、
前記駆動用トランジスタの前記第 1 の電極と、前記有機 E L 素子が接続され、
前記有機 E L 素子が発光するために必要な電圧を供給する第 1 の電圧源が、前記駆動用トランジスタの前記第 1 及び前記第 2 とは異なる第 3 の電極と第 1 の切り替え部を介して接続され、

10

前記有機 E L 素子が発光する閾値電圧以下の電圧を前記有機 E L 素子に印加するための第 2 の電圧源が、前記駆動用トランジスタの第 3 の電極と第 2 の切り替え部を介して接続され、

前記第 1 又は前記第 2 の切り替え部のうち少なくとも一方の切り替え部は、
少なくとも 2 つの前記画素で共通化され、

前記駆動用トランジスタの前記第 3 の電極が、前記共通化された切り替え部を介して異なる画素間で接続された、

E L 表示装置。

【請求項 2】

前記共有化された切り替え部は、隣り合う 2 つの前記画素である、
請求項 1 記載の E L 表示装置。

20

【請求項 3】

連続して配置される複数の前記画素間において、前記切り替え部が共有化された、
請求項 1 記載の E L 表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、有機または無機エレクトロルミネッセンス (E L) 素子などを用いる E L 表示パネル (表示装置) などの自発光表示パネルを用いた、 E L 表示装置に関するものである。

30

【背景技術】**【0002】**

電気光学変換物質として有機 E L 材料または無機 E L 材料を用いたアクティブマトリクス型の画像表示装置は、画素に書き込まれる電流に応じて発光輝度が変化する。 E L 表示装置は、各画素に発光素子を有する自発光型である。 E L 表示装置は、液晶表示パネルに比べて画像の視認性が高い、発光効率が高い、バックライトが不要、応答速度が速い等の利点を有する。

【0003】

有機 E L (P L E D 、 O L E D 、 O E L) パネルは、アクティブマトリクス方式の開発が行なわれている。この方式は、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子 (一般には薄膜トランジスタ、 T F T) によって制御するものであり、例えば特許文献 1 、 2 が提案されている。

40

【特許文献 1】特開 2 0 0 3 - 2 5 5 8 5 6

【特許文献 2】特開 2 0 0 3 - 2 7 1 0 9 5

【発明の開示】**【発明が解決しようとする課題】****【0004】**

E L 表示パネルは、低温または高温ポリシリコンからなるトランジスタアレイを用いてパネルを構成する。しかし、有機 E L 素子は、ポリシリコントランジスタアレイのトランジスタ特性にバラツキがあると、表示ムラが発生する。

50

【 0 0 0 5 】

すなわち、E L 素子に駆動電流を供給する駆動用トランジスタに特性バラツキがあると、変換される電流信号にもバラツキが発生する。通常、トランジスタは50%以上の特性バラツキがある。そのために、駆動用トランジスタの特性バラツキが表示ムラとして表示され、画像表示品位を低下させるという問題点があった。

【 0 0 0 6 】

そこで本発明は、特性表示ムラのない画像表示を実現できるE L 表示装置を提供する。

【課題を解決するための手段】

【 0 0 0 7 】

本発明は、各画素に有機E L 素子を有するE L 表示装置であって、前記有機E L 素子の供給する電流を制御する駆動用トランジスタと、前記駆動用トランジスタが流す電流を決めるために、前記駆動用トランジスタの第1の電極と、前記第1とは異なる第2の電極間に設けられた蓄積容量と、前記駆動用トランジスタの前記第1の電極と、前記有機E L 素子が接続され、前記有機E L 素子が発光するために必要な電圧を供給する第1の電圧源が、前記駆動用トランジスタの前記第1及び前記第2とは異なる第3の電極と第1の切り替え部を介して接続され、前記有機E L 素子が発光する閾値電圧以下の電圧を前記有機E L 素子に印加するための第2の電圧源が、前記駆動用トランジスタの第3の電極と第2の切り替え部を介して接続され、前記第1又は前記第2の切り替え部のうち少なくとも一方の切り替え部は、少なくとも2つの前記画素で共通化され、前記駆動用トランジスタの前記第3の電極が、前記共通化された切り替え部を介して異なる画素間で接続された、E L 表示装置である。

【発明の効果】

【 0 0 0 8 】

本発明によれば、特性表示ムラのない画像表示を実現できる。

【発明を実施するための最良の形態】

【 0 0 0 9 】

以下、本発明の一実施形態のE L 表示装置について図面に基づいて説明する。

【 0 0 1 0 】

(1) 画素の構成

図1は、E L 表示装置の画素構成である。また、図3は、画素16がマトリックス状に配置された表示領域31に、ゲートドライバ回路12及びソースドライバ回路14が接続された構成図である。

【 0 0 1 1 】

図1において、画素16は、2つのコンデンサ19a、19bと5つのスイッチ用トランジスタ11b、11c、11d、11e、11fと1つの駆動用トランジスタ11aで構成される。

【 0 0 1 2 】

スイッチ用トランジスタ11bは、トランジスタ11aをダイオード接続(Diode-connected)させて、閾値電圧を補償するための閾値電圧補償トランジスタである。

【 0 0 1 3 】

スイッチ用トランジスタ11fは、コンデンサ19aを初期化させるためリセット電圧Vrstを印加するための初期化トランジスタである。

【 0 0 1 4 】

スイッチ用トランジスタ11dは、E L 素子15の発光を制御するためのトランジスタである。

【 0 0 1 5 】

スイッチ用トランジスタ11b、11fはオフリークと小さくするため、ディアルゲート以上の複数ゲート構成にする。

【 0 0 1 6 】

コンデンサ19aは、駆動用トランジスタ11aのゲート端子の電位を保持する保持用

のコンデンサである。

【0017】

コンデンサ19bは、ソース信号線18に印加され、画素16に印加された映像信号を画素16内で保持するものである。

【0018】

スイッチ用トランジスタ11cは、ゲート信号線17aにゲート電極が接続され、ソース信号線18にソース電極が接続され、ゲートドライバ回路12aからの選択信号によりオン/オフ制御される。

【0019】

駆動用トランジスタ11aは、トランジスタ11cのドレイン電極にソース電極が接続される。閾値電圧補償トランジスタ11bのソースまたはドレイン電極と、コンデンサ19aの第1の端子が共通接続され、駆動用トランジスタ11aのゲート電圧が決定される。したがって、駆動用トランジスタ11aは、ゲート電極に印加された電圧に相当する駆動電流を生成する。

10

【0020】

閾値電圧補償トランジスタ11bは、駆動用トランジスタ11aのゲート電極とソース電極との間に接続され、ゲート信号線17cに印加されるスキャン信号に応答して駆動用トランジスタ11aをダイオード接続させる。したがって、スキャン信号によって駆動用トランジスタ11aは、ダイオードのような状態になり、駆動用トランジスタ11aのゲート端子に電圧 $V_{data} - V_{th}$ [V]が印加され、これは、駆動用トランジスタ11aのゲート電圧となる。なお、電圧 V_{data} は、ソースドライバ回路14がソース信号線18に出力された映像信号である。また、 V_{th} では、駆動用トランジスタ11aに閾値電圧である。

20

【0021】

初期化トランジスタであるスイッチ用初期化トランジスタ11fは、リセット電圧ライン V_{rst} とコンデンサ19aの第1の端子との間に接続され、ゲート信号線17dのスキャン信号に応答して、コンデンサ19aに充填された電荷はリセット電圧ライン V_{rst} を介して放電させることによって、コンデンサ19aを初期化させる。

【0022】

スイッチ用トランジスタ11eは、第1の電源電圧ライン V_{dd} と駆動用トランジスタ11aのソース電極との間に接続され、ゲート電極に接続したゲート信号線17bを介して伝達される発光制御信号によりオンとなり、第1の電源電圧 V_{dd} を駆動用トランジスタ11aのソース電極に印加する。

30

【0023】

スイッチ用トランジスタ11dは、駆動用トランジスタ11aとEL素子15との間に接続され、ゲート電極に接続したゲート信号線17bを介して伝達される発光制御信号に応答して駆動用トランジスタ11aで生成される駆動電流をEL素子15に伝達する。

【0024】

コンデンサ19aは、第1の電源電圧ライン V_{dd} と駆動用トランジスタ11aのゲート電極との間に接続され、第1の電源電圧 V_{dd} と駆動用トランジスタ11aのゲート電極に印加される電圧 $V_{data} - V_{th}$ [V]の電圧差に該当する電荷を1フレームの間に維持する。

40

【0025】

(2) ゲート信号線

ゲート信号線17に印加される電圧は、オフ電圧(V_{GH})とオン電圧(V_{GL})であり、 V_{GH} 電圧の印加により、スイッチ用トランジスタ11b、11c、11d、11e、11fがオフし、 V_{GL} 電圧の印加により、スイッチ用トランジスタ11b、11c、11d、11e、11fがオンする。但し、図3に示すように、 V_{GH} 電圧は、ゲートドライバ回路12aとゲートドライバ回路12bで共通であれば、 V_{GL} 電圧は、ゲートドライバ回路12aでは、 V_{GL1} とし、ゲートドライバ回路12bでは、 V_{GL2} として

50

いる。すなわち、ゲートドライバ回路 12 a と 12 b では、オン電圧を異ならせている。

【0026】

したがって、ゲート信号線 17 a、ゲート信号線 17 c に印加されるオン電圧は V_{GL} 1 であり、ゲート信号線 17 b、ゲート信号線 17 d に印加されるオン電圧は V_{GL} 2 である。また、 $V_{GL} 1 > V_{GL} 2$ なる関係となるように設定されている。なお、ゲート信号線 17 a に印加される V_{GH} とゲート信号線 17 d に印加される V_{GH} とを異ならせてもよい。

【0027】

(3) PチャンネルとNチャンネルのトランジスタ

本実施形態において、駆動用トランジスタ 11 a は Pチャンネルトランジスタであるがこれに限定するものでなく、Nチャンネルトランジスタであってもよい。

10

【0028】

この場合は、オン電圧が V_{GH} となり、オフ電圧が V_{GL} となる。また、また、駆動用トランジスタ 11 a のソース端子はアノード電圧 V_{dd} と接続されているとして説明するが、これに限定するものではない。例えば、カソード電圧 V_{ss} またはグランド電圧 GND に接続されていてもよい。また、コンデンサ 18 は、トランジスタ 11 のゲート絶縁膜容量によるコンデンサで代用してもよい。

【0029】

(4) ゲートドライバ回路

ゲートドライバ回路 12 a には、ゲート信号線 17 a を選択するスタートパルス ST 1、ゲート信号線 17 c を選択するスタートパルス ST 2、スタートパルスを順次シフトするクロック信号 (CLK) が印加される。UD は、ゲートドライバ回路 12 a 内のスタートパルスの上下シフトレジスタ方向を切り替える信号である。

20

【0030】

ゲートドライバ回路 12 b には、ゲート信号線 17 b を選択するスタートパルス ST 3、ゲート信号線 17 d を選択するスタートパルス ST 4、スタートパルスを順次シフトするクロック信号 (CLK) が印加される。

【0031】

なお、必要に応じて、ゲートドライバ回路 12 には、イネーブル制御端子を付加することが好ましい。ゲートドライバ回路 12 内には、シフトレジスタ回路が形成されており、スタートパルスをクロック信号 (CLK) に同期して順次シフトさせ、選択するゲート信号線 17 の位置を変化させる。

30

【0032】

(5) ゲート信号線に印加される信号

図 2 は、ゲート信号線 17 a、17 b、17 c、17 d に印加される駆動電圧、ソース信号線 18 の映像信号電圧、EL 素子 15 の発光状態を示す。

【0033】

なお、図 2 では、説明を容易にするため、オフ電圧を V_{GH} とし、オン電圧を V_{GL} とする。また、ソース信号線 18 に印加される電圧 V_{data} は、グランド電圧 (GND) = 0 V とし、アノード電圧 V_{dd} 以下としている。

40

【0034】

また、1 H とは 1 水平走査期間である。図 2 は模式的なものであり、1 H が数 H としてもよく、1 H は 1 H より短い期間としてもよい。 V_{GH} 電圧は、 V_{dd} 電圧よりも 0.5 V 以上 3.0 V 以下の電圧に設定される。

【0035】

画素 16 には、1 t から a t の期間に、ゲート信号線 17 d にオン電圧が印加される。オン電圧 (V_{GL}) の印加により、トランジスタ 11 f がオンし、リセット電圧 V_{rst} が駆動用トランジスタ 11 a のゲート端子にリセット電圧 V_{rst} が印加される (a 点)。

【0036】

50

リセット電圧 V_{rst} の印加により、駆動用トランジスタ 11a は、リセット状態になる。なお、リセット電圧 V_{rst} は、GND 電圧以下 - 5 (V) 以上の電圧に設定すべきである。また、リセット電圧 V_{rst} は、映像信号電圧 V_{data} に対応して変化させてもよい。例えば、映像信号の階調番号に対応させてリセット電圧 V_{rst} を変化させる。また、リセット電圧 V_{rst} は、赤 (R)、緑 (G)、青 (B) の映像信号電圧で変化させてもよい。RGB で映像信号の振幅が異なるからである。この場合は、階調番号に対応せず、各 RGB で固定のリセット電圧 V_{rst} を設定してもよい。また、リセット電圧 V_{rst} は、表示画面で消費される電流に対応させて変化させてもよい。

【0037】

ゲート信号線 17c は、リセット電圧 V_{rst} の印加後 (at)、オン電圧が印加される。オン電圧 (V_{GL}) を印加する期間は、1H 以上としているが、これに限定するものではなく、1H 以下の期間であってもよい。少なくともゲート信号線 17c にオン電圧 (V_{GL}) を印加する期間は、ゲート信号線 17a にオン電圧 (V_{GL}) を印加する期間よりも長くする。また、オーバーラップさせる。なお、リセット電圧 V_{rst} の印加時間は、2 μ sec 以上に時間を確保することが好ましい。

【0038】

ゲート信号線 17a オン電圧 (V_{GL}) を印加することにより、スイッチ用トランジスタ 11c がオンし、ソース信号線 18 に印加した V_{data} がコンデンサ 19b に印加される。a 点に印加されて映像信号 V_{data} は、スイッチ用トランジスタ 11b がオンしている期間保持される。

【0039】

なお、図 2 に図示するゲート信号線 17a の斜線部は、オン電圧 (V_{GL}) を印加してもオフ電圧 (V_{GH}) を印加してもよい。

【0040】

スイッチ用トランジスタ 11c、スイッチ用トランジスタ 11 がオンすることにより、ソース信号線 18 から、駆動用トランジスタの及びトランジスタ 11b のチャンネル間のパスが発生し、コンデンサ 11a に電荷が充電される。 V_{data} の印加により、駆動用トランジスタ 11a は、 V_{data} に対応する電流を流すように、ゲート端子 b 点の電位を変化させ、変化後の電圧が、コンデンサ 19a に保持される。この動作により、駆動用トランジスタ 11a のオフセットがキャンセルされる。コンデンサ 19b の電位は 1 フレームの期間保持される。

【0041】

以上のオフセットキャンセルの動作後、ゲート信号線 17b にオン電圧が印加され、スイッチ用トランジスタ 11e がオンし、 V_{dd} 電圧が駆動用トランジスタ 11a のソース端子に供給される。また、スイッチ用トランジスタ 11d がオンし、駆動用トランジスタ 11a から EL 素子 15 の駆動用電流が EL 素子 15 に供給される。EL 素子 15 は、印加された電流により発光する。

【0042】

ゲート信号線 17b には、オン電圧またはオフ電圧が印加され、オン / オフ電圧に同期して EL 素子 15 に電流が供給される。このオン / オフ電圧の印加状態に同期して EL 素子は発光または消灯する。

【0043】

EL 素子 15 が発光または消灯している動作時 (電圧プログラム時以外の期間、3t ~ の期間) では、トランジスタ 11b はオープン状態である。この時、トランジスタ 11a のソース端子は、EL 素子 15 が発光しているときは、アノード電圧 V_{dd} (トランジスタ 11e のチャンネル電圧降下は無視する) が印加されている。EL 素子 15 が消灯時は、トランジスタ 11e 及びトランジスタ 11d をオープン状態にされる。この EL 素子 15 が消灯時は、駆動用トランジスタ 11a のソース端子は、コンデンサ 19b によりほぼ、アノード電位 V_{dd} に保持されている。したがって、トランジスタ 11a の電位安定度がよい。

10

20

30

40

50

【 0 0 4 4 】

E L 素子 1 5 の点灯及び消灯は、トランジスタ 1 1 d を d u t y 制御（トランジスタ 1 1 d など を オン / オフ させて、表示画面 3 1 に帯状の非表示領域を発生し、前記非表示領域を画面 3 1 の上下方向に、フレーム周期に同期して画像表示させる）してもよい。

【 0 0 4 5 】

(6) 画素の変更例 1

図 1 0 は、図 1 の画素の変更例 1 である。

【 0 0 4 6 】

コンデンサ 1 9 b の一端子は、ゲート信号線 1 7 a に接続されている。ゲート信号線 1 7 a には、オン電圧 (V G L) またはオフ電圧 (V G H) が印加されるが、映像信号電圧を画素 1 6 に書き込んだ後（電圧プログラム時以降）以外の期間は、オフ電圧 (V G H) が印加されている。したがって、コンデンサ 1 9 b は一定の電荷を保持して安定である。

【 0 0 4 7 】

(7) 画素の変更例 2

図 1 1 は、図 1 の画素の変更例 2 である。

【 0 0 4 8 】

コンデンサ 1 9 b の一端子は、ゲート信号線 1 7 b に接続されている。ゲート信号線 1 7 b には、オン電圧 (V G L) またはオフ電圧 (V G H) が印加される。しかし、映像信号電圧を画素 1 6 に書き込み時（電圧プログラム時）の期間は、オフ電圧 (V G H) が印加される。したがって、コンデンサ 1 9 b は一定の電荷を保持して安定状態を維持されている。

【 0 0 4 9 】

なお、図 1 1 において、コンデンサ 1 9 b の一端子は、ゲート信号線 1 7 b と接続するとしたが、これに限定するものではなく、ゲート信号線 1 7 d と接続してもよい。ゲート信号線 1 7 d には、リセット電圧 V_{rst} を印加するときだけ、オン電圧 (V G L) が印加される。しかし、他の期間には、オフ電圧 (V G H) が印加される。オフ電圧 (V G H) が印加される。したがって、コンデンサ 1 9 b は一定の電荷を保持して安定状態を維持されている。

【 0 0 5 0 】

(8) 画素の変更例 3

図 4 は、図 1 の画素の変更例である。

【 0 0 5 1 】

図 1 と図 4 の差異は、コンデンサ 1 1 c が追加形成された点である。コンデンサ 1 1 c は、ゲート信号線 1 7 a に印加された電圧の変化 (V G L → V G L) により、突き抜け電圧が発生しより良好な黒表示（高コントラスト表示）を実現することを 1 つの目的とする。V G L → V G H の動作とは、画素 1 6 に映像信号を書き込み保持させる動作である。すなわち、スイッチ用トランジスタ 1 1 c の制御動作である。

【 0 0 5 2 】

前記コンデンサ 1 9 c は、第 1 の電極が現在ゲート信号線 1 7 a 及びトランジスタ 1 1 c のゲート端子に共通接続され、第 2 の電極が前記コンデンサ 1 9 a 及び駆動用トランジスタ 1 1 a のゲート端子に共通接続されている。

【 0 0 5 3 】

なお、駆動用トランジスタ 1 1 a が N チャンネルトランジスタの場合は、ゲート信号線 1 7 a に印加する電圧（映像信号を画素に書き込み、保持させる動作時に使用する電圧）を V G L → V G H となるように画素 1 6 を構成する。

【 0 0 5 4 】

すなわち、補助コンデンサ 1 9 b は、スキャン期間から発光期間に変化しながら、駆動用トランジスタ 1 1 a のゲート電圧（b 点）をブースト（boost）させる役目をする。

【 0 0 5 5 】

ゲート信号線に印加するオフ電圧を V G H 、オン電圧を V G L とすると、ゲート信号線

10

20

30

40

50

17aに印加する電圧を、VGLからVGHに変化させると、駆動用トランジスタ11aのゲート電圧は、前記コンデンサ19aと補助コンデンサ19bのカップリングによる補正電圧だけ上昇するようになる。したがって、駆動用トランジスタ11aのゲート端子の電圧が、Vdd電圧側にシフトし、良好な黒表示を実現できる。

【0056】

(9)画素の変更例4

次に、画素の変更例4について図5と図6に基づいて説明する。

【0057】

(9-1)画素の構成

図5において、画素16は、2つのコンデンサ19a、19bと5つのスイッチ用トランジスタ11b、11c、11d、11e、11fと1つの駆動用トランジスタ11aで構成される。

【0058】

スイッチ用トランジスタ11bは、駆動用トランジスタ11aをダイオード接続(Diode-connected)させて、閾値電圧を補償するための閾値電圧補償トランジスタである。

【0059】

スイッチ用トランジスタ11fは、コンデンサ19aを初期化させるためリセット電圧Vrstを印加するための初期化トランジスタである。

【0060】

スイッチ用トランジスタ11dは、EL素子15の発光を制御するためのトランジスタである。

【0061】

スイッチ用トランジスタ11b、11fはオフリークと小さくする必要があるため、ディアルゲート以上の複数ゲート構成にする。

【0062】

スイッチ用トランジスタ11cは、ゲート信号線17aにゲート電極が接続され、ソース信号線18にソース電極が接続され、ゲートドライバ回路12aからの選択信号によりオン/オフ制御される。

【0063】

駆動用トランジスタ11aは、トランジスタ11cのドレイン電極にソース電極が接続される。閾値電圧補償トランジスタ11bのソースまたはドレイン電極とコンデンサ19aの第1の端子が共通接続され、駆動用トランジスタ11aのゲート電圧が決定される。したがって、駆動用トランジスタ11aは、ゲート電極に印加された電圧に相当する駆動電流を生成する。

【0064】

閾値電圧補償トランジスタであるスイッチ用トランジスタ11bは、駆動用トランジスタ11aのゲート電極とソース電極との間に接続され、ゲート信号線に印加されるスキャン信号に応答して駆動用トランジスタ11aをダイオード接続させる。したがって、スキャン信号によって駆動用トランジスタ11aは、ダイオードのような状態になり、駆動用トランジスタ11aのゲート端子に電圧Vdata-Vth[V]が印加され、これは、前記駆動用トランジスタ11aのゲート電圧となる。

【0065】

初期化トランジスタであるスイッチ用トランジスタ11fは、リセット電圧ラインVrstとコンデンサ19aの第1の端子との間に接続され、ゲート電極に接続したn-1番目ゲート信号線17aのスキャン信号に応答して、先行フレームのとき前記コンデンサ19aに充填された電荷は前記リセット電圧ラインVrstを介して放電させることによって、コンデンサ19aを初期化させる。

【0066】

スイッチ用トランジスタ11eは、第1の電源電圧ラインVddと駆動用トランジスタ11aのソース電極との間に接続され、ゲート電極に接続したゲート信号線17bを介し

10

20

30

40

50

て伝達される発光制御信号によりオンとなり、第 1 の電源電圧 V_{dd} を前記駆動用トランジスタ 11 a のソース電極に印加する。

【0067】

スイッチ用トランジスタ 11 d は、駆動用トランジスタ 11 a と E L 素子 15 との間に接続され、ゲート電極に接続した前記ゲート信号線 17 b を介して伝達される発光制御信号に応答して駆動用トランジスタ 11 a で生成される前記駆動電流を前記 E L 素子 15 に伝達する。

【0068】

コンデンサ 19 a は、第 1 の電源電圧ライン V_{dd} と駆動用トランジスタ 11 a のゲート電極との間に接続され、第 1 の電源電圧 V_{dd} と前記駆動用トランジスタ 11 a のゲート電極に印加される電圧 $V_{data} - V_{th} [V]$ の電圧差に該当する電荷を 1 フレームの間に維持する。

10

【0069】

補助コンデンサ 19 b は、第 1 の電極が現在ゲート信号線 17 a 及びトランジスタ 11 b のゲート端子に共通接続され、第 2 の電極が前記コンデンサ 19 a 及び駆動用トランジスタ 11 a のゲート端子に共通接続されている。

【0070】

(9-2) ゲート信号線

ゲート信号線 17 a からゲート信号線 17 a 1 とゲート信号線 17 a 2 が分岐されており、ゲート信号線 17 a 1 には、インバータ回路 51 が配置されている。したがって、ゲート信号線 17 a 1 とゲート信号線 17 a 2 には、 V_{GH} と V_{GL} が反転して電圧が印加される。

20

【0071】

(9-3) ソース信号線

ソース信号線 18 a とソース信号線 18 b を有しており、上下方向に隣接した画素 16 (16 a、16 b) は異なるソース信号線 18 に接続されている。本実施形態では、画素 16 b はソース信号線 18 b に接続されており、画素 16 a はソース信号線 18 a と接続されている。

【0072】

図 6 は、図 5 の画素構成において、ゲート信号線 17 及びソース信号線 18 との接続状態を示している。図 5、図 6 のように構成することにより、リセット電圧 V_{rst} を印加するためのスイッチ用トランジスタ 11 f を制御するゲート信号線と、映像信号を印加するためのスイッチ用トランジスタ 11 c を制御するゲート信号線とを共通にすることができる。そのため、ゲート信号線 17 の数を削減でき、画素 16 の開口率を向上できる。

30

【0073】

また、複数画素行を同時にオフセットキャンセル状態にすることができ、良好なオフセットキャンセルを実現できる。

【0074】

(10) duty 駆動

本実施形態において、スイッチ用トランジスタ 11 e、11 d の少なくとも一方をオン / オフ制御することにより、図 12 (b) に図示するような duty 駆動を実現できる。

40

【0075】

図 12 において、121 はプログラム画素行 (映像信号を書き込んでいる画素行) であり、123 は非表示領域 (トランジスタ 11 e とトランジスタ 11 d のうち、少なくとも一方をオフさせることにより、非表示 (E L 素子 15 に電流が流れていない、または流れても小さい状態) とした画素行または画素行の群) である。122 は表示領域 (トランジスタ 11 e とトランジスタ 11 d の両方をオンさせ、E L 素子 15 に電流が供給されている画素行または画素行の群) である。非表示領域 123 及び表示領域 122 はフレーム周期または水平同期信号に同期して、表示画面 31 の上下方向に走査される。

【0076】

50

(1 0 - 1) 問題点

図 1 3 (a) の表示では、1 つの表示領域 1 2 2 が画面の上から下方向に移動する。フレームレートが低いと、表示領域 1 2 2 が移動するのが視覚的に認識される。特に、まぶたを閉じた時、または顔を上下に移動させた時などに認識されやすくなる。

【 0 0 7 7 】

(1 0 - 2) 解決手段

この問題点に対しては、図 1 2 (b) (c) に示すように、表示領域 1 2 2 を複数に分割するとよい。分割された表示領域 1 2 2 は等しく (等分に) する必要はない。例えば、表示領域を 4 つの領域に分割し、分割された表示領域 1 2 2 a が面積 1 で、分割された表示領域 1 2 2 b が面積 2 で、分割された表示領域 1 2 2 c が面積 1 で、分割された表示領域 1 2 2 d が面積 4 でもよい。

10

【 0 0 7 8 】

数フレーム (フィールド) での表示領域 1 2 2 の面積が平均して目標の大きさになるように制御してもよいことは言うまでもない。例えば、表示画面 3 1 に占める表示領域 1 2 2 の面積を $1 / 10$ にするとした時、1 フレーム (フィールド) 目は表示領域 1 2 2 の面積を $1 / 10$ とし、2 フレーム (フィールド) 目は表示領域 1 2 2 の面積を $1 / 20$ とし、3 フレーム (フィールド) 目は表示領域 1 2 2 の面積を $1 / 20$ とし、4 フレーム (フィールド) 目は表示領域 1 2 2 の面積を $1 / 5$ とし、以上の 4 フレーム (フィールド) で所定の表示面積 (表示輝度) の $1 / 10$ を得る駆動方法が例示される。

【 0 0 7 9 】

20

また、R、G、Bのそれぞれが、数フレーム (フィールド) で L の期間の平均が等しくなるように駆動してもよい。しかし、前記数フレーム (フィールド) は 4 フレーム (フィールド) 以下にすることが好ましい。表示画像によってはフリッカが発生する場合があるからである。

【 0 0 8 0 】

なお、本実施形態での 1 フレームまたは 1 フィールドとは、画素 16 の画像書き換え周期または表示画面 3 1 が上から下まで (下から上まで) 走査される周期と同じである。

【 0 0 8 1 】

30

また、R、G、Bで、数フレーム (フィールド) で L の期間の平均を異ならせ、適度なホワイトバランスがとれるように駆動してもよい。この駆動方法は、R G B の発光効率が異なるときに特に有効である。また、R G B で分割数 K (表示領域 1 2 2 を複数に分割する数) を異ならせても良い。特に G では視覚的にめだつため、G では分割数を R B に対して多くすることが有効である。

【 0 0 8 2 】

なお、以上の実施形態では理解を容易にするために表示領域 1 2 2 の面積を分割するとして説明している。しかし、面積を分割するとは、期間 (時間) を分割することである。したがって、図 1 ではトランジスタ 1 1 d のオン期間を分割することになるから、面積を分割することは、期間 (時間) を分割することと同じである。

【 0 0 8 3 】

40

(1 0 - 3) 効果

以上のように、表示領域 1 2 2 を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。しかし、分割するほど動画表示性能は低下する。また、画像表示のフレームレートを低減することができ、低消費電力化を実現できる。例えば、非点灯領域 1 2 3 を一括にした場合は、フレームレート 45 Hz 以下になるとフリッカが発生する。しかし、非点灯領域 1 2 3 を 6 分割以上とした場合は、20 Hz 以下までフリッカが発生しない。

【 0 0 8 4 】

(1 1) 明るさ調整方式

50

図 1 3 (a) は図 1 3 のように表示領域 1 2 2 が連続している場合の明るさ調整方式である。図 1 3 (a 1) の表示画面 3 1 の表示輝度が最も明るい。図 1 3 (a 2) の表示画面 3 1 の表示輝度が次に明るく、図 1 3 (a 3) の表示画面 3 1 の表示輝度が最も暗い。図 1 3 (a 1) から図 1 3 (a 3) への変化（またはその逆）は、先にも記載したようにゲートドライバ回路 1 2 のシフトレジスタ回路 6 1 などの制御により、容易に実現できる。この際、図 1 の V_{dd} 電圧（アノード電圧など）は変化させる必要がない。また、ソースドライバ回路 1 4 が出力するプログラム電流またはプログラム電圧の大きさも変化させる必要がない。すなわち、電源電圧を変化させず、また、映像信号を変化させずに表示画面 3 1 の輝度変化を実施できる。

【 0 0 8 5 】

10

また、図 1 3 (a 1) から図 1 3 (a 3) への変化の際、画面のガンマ特性は全く変化しない。したがって、表示画面 3 1 の輝度によらず、表示画像のコントラスト、階調特性が維持される。これは本実施形態の効果である。

【 0 0 8 6 】

従来の画面の輝度調整では、表示画面 3 1 の輝度が低い時は、階調性能が低下する。すなわち、高輝度表示の時は 6 4 階調表示を実現できても、低輝度表示の時は、半分以上の階調数しか表示できない。これに比較して、本実施形態の駆動方法では、画面の表示輝度に依存せず、最高の 6 4 階調表示を実現できる。

【 0 0 8 7 】

図 1 3 (b) は、図 1 2 で説明したように表示領域 1 2 2 が分散している場合の明るさ調整方式である。図 1 3 (b 1) の表示画面 3 1 の表示輝度が最も明るい。図 1 3 (b 2) の表示画面 3 1 の表示輝度が次に明るく、図 1 3 (b 3) の表示画面 3 1 の表示輝度が最も暗い。図 1 3 (b 1) から図 1 3 (b 3) への変化（またはその逆）は、先にも記載したようにゲートドライバ回路 1 2 のシフトレジスタ回路 6 1 などの制御により、容易に実現できる。図 1 3 (b) のように表示領域 1 2 2 を分散させれば、低フレームレートでもフリッカが発生しない。

20

【 0 0 8 8 】

さらに、低フレームレートでも、フリッカが発生しないようにするには、図 1 3 (c) のように表示領域 1 2 2 を細かく分散させればよい。しかし、動画の表示性能は低下する。したがって、動画を表示するには、図 1 3 (a) の駆動方法が適している。静止画を表示し、低消費電力化を要望する時は、図 1 3 (c) の駆動方法が適している。図 1 3 (a) から図 1 3 (c) の駆動方法の切り替えも、シフトレジスタ 6 1 の制御により容易に実現できる。

30

【 0 0 8 9 】

図 1 3 は非表示領域 1 2 3 が等間隔で構成されているが、これに限定するものではない。表示画面 3 1 の 1 / 2 の面積が連続して表示領域 1 2 2 をし、残りの面積 5 0 が図 1 3 (c 1) のように等間隔に表示領域 1 2 2 と非表示領域 1 2 3 が繰り返すように駆動してもよいことは言うまでもない。

【 0 0 9 0 】

(1 2) 表示機器

40

次に、本実施形態の駆動方式を実施する E L 表示装置を表示ディスプレイとして用いた本実施形態の表示機器について説明をする。

【 0 0 9 1 】

(1 2 - 1) 第 1 の適用例

図 7 は E L 表示装置の一例である情報端末装置の携帯電話の平面図である。筐体 7 3 にアンテナ 7 1 などが取り付けられている。7 2 a は、表示画面の明るさを変化させる切換キー、7 2 b は電源オン / オフキー、7 2 c がゲートドライバ回路 1 2 b の動作フレームレートを切り替えるキーである。7 5 はホトセンサである。ホトセンサ 7 5 は、外光の強弱にしたがって、 $duty$ 比などを変化させて、表示画面 2 2 の輝度を自動調整する。

【 0 0 9 2 】

50

(1 2 - 2) 第 2 の適用例

図 8 はビデオカメラの斜視図である。ビデオカメラは撮影（撮像）レンズ部 8 3 とビデオカメラ本体 7 3 と具備している。本実施形態の E L 表示パネルは表示モニター 7 4 としても使用されている。表示画面 2 2 は支点 8 1 で角度を自由に調整できる。表示画面 2 2 を使用しない時は、格納部 8 3 に格納される。

【 0 0 9 3 】

(1 2 - 3) 第 3 の適用例

本実施形態の E L 表示パネルまたは E L 表示装置などはビデオカメラだけでなく、図 9 に示すような電子カメラにも適用することができる。本実施形態の E L 表示装置はカメラ本体 9 1 に付属されたモニター 2 2 として用いる。カメラ本体 9 1 にはシャッター 9 3 の他、

10

【 0 0 9 4 】

(1 3) 回路の構成

図 1 4 は、本実施形態における E L 表示パネルの 1 列分の回路を示したものである。ここでソース信号線 1 8 は切り替え手段 1 4 1 を介して、1 列に対して 2 本のソース信号線 1 8 a と 1 8 b が存在し、偶数行と奇数行の画素で接続されるソース信号線が異なる構成となっていることが特徴である。各画素 1 6 の構成は例えば図 1、図 4、図 1 0、図 2 5 といった回路で構成されている。ゲートドライバ回路 1 2 a は、シフトレジスタ構成となっており、クロック毎にパルスが 1 段ずつシフトされる。ゲート信号線 1 7 に対する接続を、図 1 4 のように行うことで、図 1 5 に示すような信号波形を実現することができる。

20

【 0 0 9 5 】

シフトクロックの周期を 1 水平走査期間に設定し、1 水平走査期間のみパルスが出力されるようなスタートパルスが入力される。これで各行 1 水平走査期間ずつずれたタイミングで 1 水平走査期間の間パルスが発生する回路が実現できる。シフトレジスタの各段出力を図 1 4 のようにゲート信号線 1 7 に取り込み、切り替え手段 1 4 1 を図 1 5 に示すように動作させることで、始めの 1 水平走査期間では、1 行目の画素 1 6 a の駆動用トランジスタ 1 1 a のゲート電圧を V_{rst} 電源により、初期化する。同時にソース信号線から所定の階調に対応する 1 行目の画素に対応する信号電圧が切り替え手段 1 4 1 を介してソース信号線 1 8 b に充電される。ソース信号線 1 8 a には充電されない。切り替え手段 1 4 1 でソースドライバ回路出力から切り離されている。次の 1 水平走査期間においては切り

30

【 0 0 9 6 】

ソース信号線 1 8 a とソース信号線 1 8 b を水平走査期間毎に切り替えて利用することで、ソース信号線に印加させる階調信号が 2 水平走査期間保持されるため、画素回路 1 6 に信号を書き込む時間を長くすることができるようになる。

40

【 0 0 9 7 】

図 1 などの画素回路の構成では、駆動用トランジスタ 1 1 a に階調信号を書き込みながら、特性バラツキをキャンセルする動作を行う。特性バラツキをキャンセルする動作は、トランジスタ 1 1 f、1 1 d、1 1 e がオフでトランジスタ 1 1 b がオン状態のときに行われ、駆動用トランジスタ 1 1 a のドレイン電流が 0 になるように、駆動用トランジスタ 1 1 a のゲート電位が変化することで、特性バラツキのキャンセルを行っている。駆動用トランジスタ 1 1 a のゲート電位を変化させているのは、ドレイン電流による電荷であり、最終状態が 0 又は限りなく小さい電流（ピコアンペアオーダー）であることから、ゲ

50

ト電位を支えている蓄積容量 19 a の電荷の充放電に時間がかかる。そのため、キャンセル動作には時間がかかることがわかる。1 水平走査期間が長い場合には、1 水平走査期間内にキャンセル動作を完了させることができるが、垂直ライン数が多く、1 水平走査期間が 40 μ 秒よりも短い場合には、キャンセル動作が最後まで行われず、特性補償が不完全となり、その結果、特性ばらつきに応じたムラが発生する問題があった。

【0098】

そこで、キャンセル時間を 1 水平走査期間以上に拡大する方法として、図 16 に示すようにゲートドライバ回路 12 a を更に 2 本のゲートドライバ回路 12 a 1、12 a 2 で構成させ、駆動用トランジスタ 11 a の初期化を、対応する映像信号が入力される 1 水平走査期間前に予め実施しておき、ソース信号線 18 a 又は 18 b に映像信号が入力される水平走査期間から駆動用トランジスタ 11 a に階調電圧の書き込み及び特性キャンセル動作を行うようにする。切り替え部 141 の動作により、2 水平走査期間の間映像信号が保持されるため、階調電圧の書き込み及び特性キャンセル動作を 2 水平走査期間中実施することが可能となる。これを実現するために、図 17 に示すように、シフトレジスタ 12 a 2 のスタートパルス 172 b を入力する。各行のトランジスタ 17 a 及び 17 c が 2 水平走査期間オンされる。オンされるタイミングはソース信号線 18 及び 18 a、18 b の映像信号に同期して実施される。映像信号が偶数行と奇数行で 2 つのソース信号線 18 a 及び 18 c に振り分けられることで周波数が半分となり、書き込み時間を 2 倍にすることができた。なおイネーブル信号 173 については、パルス伝播の際の波形なまりによる複数の行の画素で同時選択されることを防止するための信号であり、同時選択が起きない場合や、同時選択でも問題なく動作する場合には、不要であり、イネーブル信号 173 がなくても本実施形態を実施することができる。例えば図 21 のように、特性キャンセルを行うための信号を生成するゲートドライバ回路 12 a 2 のイネーブル信号を削除した場合の入力波形及び動作を示す。

【0099】

図 17 の波形によれば、2 水平走査期間の間駆動用トランジスタ 11 a の特性補正動作が可能であるが、予め映像信号が入力される 1 水平走査期間前に駆動用トランジスタ 11 a を初期化するための動作が必要であり、1 水平走査期間前に予め動作させることが必要であり、先頭行が検知できない場合には、予め初期化ができなくなる恐れがある。

【0100】

そこで図 18 に示すように、初期化動作を、1 行目の映像信号入力時と同時に実施する信号パターンを考案した。初期化動作時には、特性補正動作ができないため、2 水平走査期間の間で、初期化後特性補正動作を行うようにした。図 18 の構成では、2 水平走査期間のうちの始めの水平走査期間の前半に初期化動作を行い、残りの半分と次の水平走査期間で画素への信号書き込みと特性補償動作を実施するようにした。ゲートドライバ回路がシフトレジスタ構成である場合には、水平走査期間とシフトクロックが一致する場合には、イネーブル信号でパルス幅をカットする方法により、水平走査期間の前半と後半で異なるスイッチの動作を実現した。ゲート信号線 17 d がローレベルの 때가、駆動用トランジスタ 11 a の初期化期間となり、ゲート信号線 17 a 及び 17 c がローレベルのときに、駆動用トランジスタ 11 a の特性キャンセルと、画素に階調を書き込む期間となる。17 a 及び 17 c のローレベル期間が 1 水平走査期間より長く設定できるため、水平走査期間が 30 μ 秒であっても、従来比 1.5 倍の期間が取れることから 45 μ 秒のキャンセル期間がとれ、駆動用トランジスタの特性ばらつきを補正することが可能となった。初期化動作自体は、2 ~ 10 μ 秒程度で完了するため、最大 2 水平走査期間から 2 ~ 10 μ 秒を引いた時間までキャンセル期間を拡大することができる。

【0101】

ゲートドライバ回路 12 a のシフトレジスタが 1 系統でかつキャンセル期間を 1 水平走査期間以上に拡大する方法を図 19 及び図 20 に示す。

【0102】

例えば 2 水平走査期間の間キャンセルする場合には、2 水平走査期間ゲート信号線 17

10

20

30

40

50

a 及び 17c が導通状態にある必要がある。そこでゲートドライバ回路 12a のスタートパルスで 2 水平走査期間の長さだけ入力する。これでキャンセル及び階調書き込み時間を 2 水平走査期間に設定できた。同様に初期化を実施するためのゲート信号線 17d 用のパルスを生成する必要がある。また図 1、図 25 に示すような画素回路構成であることから、ゲート信号線 17d と 11a、11c を同時に導通状態としてはならないため（異なる電圧がショートする）初期化用のパルスは、同一行の画素に対するキャンセル及び階調書き込み用のパルスと重ならないようにする必要がある。具体的には、2 水平走査期間前のパルスを初期化用のパルスとして利用すればよい。図 19 に示すように、シフトレジスタに対して、ゲート信号線 17d と共通の出力をキャンセル及び階調信号書き込み用ゲート信号線を用いる場合には、2 行分後段（すなわち 2 水平走査期間後）の信号を利用すると、同一画素 16a に対して、図 20 に示すように、201、202 の 2 水平走査期間で初期化を実施し、203、204 の 2 水平走査期間で駆動用トランジスタ 11a の特性キャンセル及び階調信号書き込みを実施している。16b、16c の画素においても同様に 1 水平走査期間ずつ遅れたタイミングで実施している。

10

20

30

40

50

【0103】

この方法は、2 水平走査期間のキャンセルばかりでなく、3 水平走査期間以上必要な場合でも実施が可能である。1 列分の画素に対応するソース信号線の数と必要とする水平走査期間の数（整数）分用意し、ゲートドライバ回路 12a のスタートパルスのパルス幅に必要な水平走査期間数を入力し、初期化に対応するゲート信号を取り出すシフトレジスタの段から必要な水平走査期間数分後段のシフトレジスタから特性キャンセル及び階調信号書き込み用のゲート信号を取り出して、同一行の画素に入力すれば実現が可能である。映像信号が、対応する行の画素に書き込まれるようにするため、スタートパルスは、映像信号に対して予め入力する必要がある。少なくともキャンセルを行う水平走査期間の長さ分だけ早く入力が必要。図 20 においても 2 水平走査期間早く、入力している。

【0104】

ソースドライバ回路のコスト削減のために、1 出力から時系列に複数の画素に対応する電圧を出力する選択駆動方式を採用することがある。選択駆動方式がない場合に比べて、当該画素に対応する映像信号が入力されるタイミングが表示色によって異なるようになる。例えば、赤緑青の 3 画素分を 1 出力で行う 3 選択駆動の場合においては、図 22 に示すように、赤色に対して、緑及び青は水平走査期間の始めではなく、途中で信号が変化していることがわかる。ゲート信号線 17a 及び 17c を 221 の波形により入力すると緑及び青色の画素については、1 行前の映像信号が画素に書き込まれ、ソース信号線の変化により当該行の映像信号が書き込まれるようになる。液晶などでは、書き込み時の最終電圧（ゲート信号線がオフになる瞬間の電圧）が 1 フレーム間画素に保持され、所定輝度で表示されるため問題がないが、本実施形態における画素構成を持つ有機 EL パネルにおいては、映像信号を駆動用トランジスタ 11a に書き込む際に駆動用トランジスタ 11a の特性バラツキを補正する動作を行っている。補正に要する時間を短縮するため、書き込みを行う前に、初期化動作を行い、駆動用トランジスタ 11a のゲート電極に低い電圧（白表示時よりもさらに駆動用トランジスタ 11a が電流を流す電圧）に予め初期化を行っている。初期化の電圧は低いほど特性補正が高速化される。選択駆動時に 1 行前の電圧が少しでも印加されると、駆動用トランジスタ 11a のゲート電圧が 1 行前の電圧に変化してしまい、1 行前の電圧が印加された状態で、当該行の映像信号による階調信号の書き込みとトランジスタばらつき特性補正を行うこととなり、初期化を行う効果がなくなってしまう。これは 3 選択駆動でなくとも、2 選択以上の信号線選択駆動を実施する際に共通の課題である。

【0105】

そこで本実施形態では、選択駆動を行う際に、同一水平走査期間で書き込みを行う信号線の電圧がすべて確定した後に特性キャンセル動作を行うようにした。

【0106】

図 23、図 24 及び図 26 に実施形態の 1 つを示す。ここで選択駆動は赤緑青の 3 つの

信号線を順に選択する3選択駆動方式としている。2選択や、4選択以上でも同様に実現できる。キャンセル時間を確保するために、各列に対して2本の信号線を用意し、偶数行と奇数行で異なるソース信号線を利用している。図23ではゲートドライバ回路12aをシフトレジスタ回路1系統で実施する構成を示しています。図23のゲートドライバ回路12aを用いた場合の信号入力と、信号線選択回路232の動作を図26に示す。1水平走査期間内で赤(R)、緑(G)、青(B)に信号線を切り替えている。また1水平走査期間毎に奇数行用のソース線18b、偶数行用のソース線18aを切り替えて選択を行っている。

【0107】

この方式では、初期化のタイミングと当該行の映像信号線の書き込みが同一で、画素内部への映像信号の書き込みは、次の水平走査期間にて実施されているため、駆動用トランジスタ11aへの信号線書き込み及び特性ばらつき補正中に映像信号が変わることはなく、選択駆動時でもこれまで同様の駆動が実施可能である。1画素分に注目したタイミングチャートを図24に示す。ここではこれまで記載していなかった、ゲート信号線17bについても記載を行っている。17bについては、初期化期間及び特性キャンセル、階調信号を駆動用トランジスタに書き込みを行っている期間では必ず、接続されるスイッチが非導通状態である必要があるが、その他の期間では、導通、非導通状態いずれであってもかまわない。これは本実施形態のほかの実施の形態でも同様である。図24では、導通非導通を繰り返し実施している例を示している。

10

【0108】

ソース信号線18は3選択駆動対応用に1水平走査期間の間に3画素分の信号を送っている。信号線選択回路により奇数行目の青画素に対応するソース信号線18bBの電圧変化は241に示す波形のようになる。

20

【0109】

1行目に対応する階調信号の変化は242のタイミングで変化する。このときゲート信号線17bがオフ状態となっており、駆動用トランジスタ11aのゲート電極に1行前の映像信号が書き込まれることが無いようになっている。ゲート信号線17aについては、図23のゲートドライバ回路の構成によればオフとなっているが、オン状態であってもかまわない。ゲートドライバ回路の構成を変更してオンとしてもよい。駆動用トランジスタ11aのソース電極に1行前の電圧が印加されるが、初期化されているゲート電極には印加されることが無いためである。

30

【0110】

時間2t以降でゲート信号線17c、17aが導通状態となり、駆動用トランジスタ11aに階調電圧及び特性キャンセル動作が行われる。このときソース信号線18bBは図26でもあったように、信号線選択回路232により各ソース信号線から切り離された状態となり、ソース信号線の浮遊容量233により、ソースドライバ回路から書き込まれた電圧が2水平走査期間の間保持される。保持された電圧値が画素に書き込まれ、所定電圧が書き込まれている。時間2t~3tの間で、駆動用トランジスタ11aのゲート電圧は書き込まれるソース電圧(V_s)から閾値電圧(V_{th})分低下した電位に徐々に変化し、($V_s - V_{th}$)となる。時間3tで所定電圧に書き込まれた後、ゲート信号17bを導通状態にすることで所定電流がEL素子15に流れ、発光する。

40

【0111】

図27はゲートドライバ回路12aをシフトレジスタ2系統で構成した場合の図である。これによればスタートパルスの個別設定にて、ゲート信号線17dに対してゲート信号線17a及び17cのパルス幅を異ならせて設定することが可能である。

【0112】

図28にゲートドライバ回路12a1及び12a2の入力波形と、各ゲート信号線波形を示す。初期化用の信号を生成するゲートドライバ回路12a1について、初期化を行うためのパルスを生成する。初期化に要する時間は V_{rst} を発生する電源能力によるが10 μ 秒程度で初期化が完了する。ゲート信号線17dがオン状態となるのは短い時間で実

50

施している。時間がかかる特性キャンセル期間と初期化期間は同時に実施することができないため、2水平走査期間内で初期化～特性キャンセル、階調信号書き込みを実施するためには、初期化を短くすることが重要であるためである。図28では赤色にソース出力が選択された期間のみで実施しているが、赤と緑色の選択期間又は赤色の選択期間の一部などであってもよい。最も当該行の映像信号が書き込まれるのが遅い青色のソース信号線18aB又は18bBにおいては青色の選択期間になるまで当該画素に対応する電圧がソース信号線18aB又は18bBに印加されていないため、特性キャンセル期間に移行することができない。特性キャンセルができないことから、赤緑選択期間は初期化期間としても問題が無い。特性キャンセル及び階調信号書き込みであるが、ゲートドライバ回路12a2のシフトレジスタ回路により2水平走査期間選択できるパルスを生成し、初期化期間又は映像信号が書き込まれていない期間を除くように、奇数行偶数行別にイネーブル期間を設けるイネーブル信号を有する。1行目の特性キャンセル及び階調信号書き込み期間は281で示される期間となる。281の期間の始めは、青画素書き込み終了後となっているが、青画素が信号線選択回路で選択され所定電圧にソース信号線18aB又は18bBが変化した後であれば、ゲート信号線17a及び17cをローレベルにしてもよい。281の期間の終わりは、次に同一のソース信号線に異なる行の画素に対応する電圧が印加される前に設定すればよい。信号線選択速度が速い場合には、書き込み終了後～次の水平走査期間の最後まで特性キャンセル期間を設定することができ、駆動用トランジスタ11aの閾値電圧補正能力が高い表示が実現可能である。

10

20

【0113】

なおゲート信号線17aについては、2水平走査期間すべてにおいてローレベルとしてもよい。トランジスタ11cが導通状態となっても、駆動用トランジスタ11aのゲート電圧には影響がないためである。この場合、ゲート信号線17c用にはイネーブル信号を介してシフトレジスタ出力が入力され、ゲート信号線17a用にはイネーブル信号を介さず又は、別途のイネーブル信号を介してシフトレジスタ出力が入力される構成となる。

【0114】

これまでは画素回路16に用いられるトランジスタはp型トランジスタで説明を行ってきたが、図29に示すn型トランジスタで構成してもよい。また有機EL素子15については、アノードとカソードの向きが逆でかつ、 V_{ss} 電位 $>$ V_{dd} 電位という構成であってもよい。図29では容量19bが形成されているが、なくても本実施形態を同様に実施することが可能である。

30

【0115】

容量19bが形成されていると、次に画素に映像信号が書き込まれるまでの1フレーム間電圧が保持されるため、a点の電位が保持される。保持された電位を元にトランジスタ11bを導通状態とすれば階調信号に応じた信号で、駆動用トランジスタ11aの特性バラツキをキャンセルすることが可能である。これが図30に示すキャンセル期間302となる。このキャンセル期間は水平走査期間の長さによらずゲートドライバ回路の構成によって任意に設定することが可能である。映像信号の書き込みと駆動用トランジスタ11aの初期化は、キャンセル期間302の前に実施される(期間301)。トランジスタ11fと11cのみ導通状態である。これで V_{rst} 電源により駆動用トランジスタ11aのゲート電位を初期化し、同時にソース信号線18から容量19bに所定電圧の書き込みを行っている。容量19bに所定階調電圧を保持することから、ソース信号線18は1本で、1水平走査期間のみトランジスタ11cをオンさせるだけでよい。ソース信号線18を2本用意する方法でソース信号線18の浮遊容量と容量19bの両方で階調電圧を保持する方法をとってもよい。この場合、容量19bは小さくすることができる。

40

【0116】

キャンセルまで完了したら、EL素子15に電流を印加して所定輝度による発光を得る。この期間が発光期間304である。このときトランジスタ11dと11eが導通状態となりEL素子15に電流を供給する。前後にある非発光期間303は、黒挿入を行い動画視認性向上等の効果を得る際に挿入される期間である。このときは少なくともトランジス

50

タ 1 1 d 又は 1 1 e のいずれか一方が非導通状態になっている。また、常時点灯状態にして黒挿入を行わない場合には、期間 3 0 3 はなくても差し支えない。

【 0 1 1 7 】

また本実施形態における切り替え部 1 4 1 及び信号線選択回路 2 3 2 は必ずしもアレー基板上にある必要が無く、ソースドライバ回路 IC に内蔵される構成であってもよい。

【 0 1 1 8 】

本実施形態において、同一列に形成された画素に接続されるソース信号線は 2 本である例で説明をおこなったが、3 本以上の複数のソース信号線であっても同様に実施が可能である。一般に N 本のソース信号線を用意し、N 画素おきにソース信号線を接続すれば、N 水平走査期間の間ソース信号線は階調電圧を保持することが可能となり、特性キャンセル期間を長く取ることができるようになり（最大 N 水平走査期間）、より駆動用トランジスタ 1 1 a の特性に近づいたゲート電圧を画素回路で保持することができることにより、表示ムラが改善する。

10

【 0 1 1 9 】

また N 本のソース信号線について、少なくとも隣接画素間で異なるソース信号線に画素回路を接続しておけば、2 水平走査期間の間ソース信号線に階調信号が保持されることから、同様に特性キャンセル期間を拡大することができ、表示ムラが少ない EL 表示装置を得ることができる。

【 0 1 2 0 】

(1 5) 初期化のための電源

20

図 3 1 は、駆動用トランジスタ 1 1 a のゲート電圧を初期化するための電源を、電圧源から電流源に変更した回路である。図 3 2 に図 3 1 の回路構成におけるゲート信号線の波形を示す。図 3 1 の回路構成において、1 画素での動作は、1 フレームの間に、書き込み期間 3 2 1、発光期間 3 2 4、非発光期間 3 2 3 に分けられる。非発光期間 3 2 3 は、黒挿入を行って動作視認性を向上させる場合などに用いられる。本実施形態においては、非発光期間 3 2 3 は、あってもよく、また、なくてもよい。特性バラツキの補償能力向上を同様に実現できる。

【 0 1 2 1 】

書き込み期間 3 2 1 において、トランジスタ 1 1 b、1 1 c、1 1 f が導通状態となる。これによりソース信号線 1 8 の電圧が駆動用トランジスタ 1 1 a のソース電極に印加される。駆動用トランジスタ 1 1 a のゲートとドレイン電極はトランジスタ 1 1 b により同電位となり、電流源 3 1 2 により供給される電流が駆動用トランジスタ 1 1 a のドレイン電流となるようなゲート、ドレイン電圧となる。従って、書き込み期間 3 2 1 において、トランジスタ 1 1 a のゲート電圧は、ソース信号線 1 8 の電圧が V_s であったとすると、 $(V_s - V_{t1})$ となる。ここで V_{t1} は、駆動用トランジスタ 1 1 a に電流源 3 1 2 の電流 (I_{rst}) を流したときのソースドレイン間電圧であり、駆動用トランジスタ 1 1 a の特性により異なる電圧値となる。 I_{rst} が駆動用トランジスタ 1 1 a すなわち EL 素子 1 5 に流れるときには、特性バラツキを補正した電圧が駆動用トランジスタ 1 1 a のゲート電極に印加され、表示ムラのない EL 表示装置が実現できる。従来の構成においては、 $I_{rst} = 0$ すなわち黒表示時に完全に特性ばらつきを補正し、電流が増加するにつれ、補正ができない移動度ばらつきに起因する電流ばらつきが発生し、高階調ほど表示ムラが発生しやすい状況であった。表示ムラは輝度が低いほど視認しにくく、中間調～高階調では視認しやすい性質があり、階調 0 に相当する電流で特性補正を行うよりも、視認しやすい中間～高階調での補正が望ましい。初期化用の電流源 I_{rst} の電流値を中間～高階調に設定すれば、視認されやすい階調での表示ムラを優先してなくし、視認しにくい階調では、移動度ばらつきがおこる構成であっても見えにくいことを利用し、全階調領域における表示ムラレベルの向上を図った。駆動用トランジスタの特性バラツキのキャンセル動作中に電流 I_{rst} を流し、特性キャンセルがもっともよく行われる電流領域を変更させることができるようにしたことが特徴である。

30

40

【 0 1 2 2 】

50

図 3 3 の回路は、図 3 1 の構成に対して、さらに初期化用の電圧源 3 3 1 及び電圧源 3 3 1 と電流源 3 1 2 の切り替えを行う切り替え部 3 3 3 を有することが特徴である。これは、電流源 3 1 2 によりトランジスタ 1 1 a の電圧を変化させる場合に、1 フレーム前に黒表示をした画素であると、駆動用トランジスタ 1 1 a に流れる電流が I_{rst} に変化するまでに時間がかかり書き込み期間 3 2 1 内に駆動用トランジスタ 1 1 a のゲート電圧が $V_s - V_{t1}$ になりにくい問題を解消するためである。駆動用トランジスタ 1 1 a のドレイン電流が多いほど、書き込み期間 3 2 1 における駆動用トランジスタ 1 1 a のゲート電圧を変化させやすい。電流が多く流れるほど蓄積容量 1 9 a の電荷の充放電速度が速くなるため、ゲート電圧が変化しやすくなる。そこで、ゲート電圧の変化速度向上を目的として、電圧源 3 3 1 を用意し、書き込み期間 3 2 1 の初期に、電流源 3 1 2 に変わり、低電圧（白表示ほど低電圧の図 3 3 の回路構成の場合）の電圧を駆動用トランジスタ 1 1 a に供給することで、書き込み期間 3 2 1 の初期に駆動用トランジスタ 1 1 a のドレイン電流が多くなるようにして、残りの期間での、リセット電流源 3 1 2 によるキャンセル動作を高速化するようにした。

10

【0123】

図 3 4 に図 3 3 の回路構成におけるゲート信号及び切り替え手段の動作を示した。書き込み期間 3 2 1 のうち電圧源が供給される期間 3 4 1 において、駆動用トランジスタ 1 1 a のゲート電圧は V_{rst} となる。 V_{rst} は低い電圧であるほど、切り替え手段 3 3 3 により電流源 3 1 2 に切り替えた際のゲート電圧の変化を高速化させるが、低下させすぎると、所定階調とのゲート電位の差が大きくなりすぎ、所定値まで電圧が変化しきれない可能性がある。よって V_{rst} は、（白表示時の電圧）～（白表示時の電圧 - 5 [V]）程度が好ましい。続く 3 4 2 の期間において、電流源 3 1 2 と書き込まれるソース信号線電圧 V_s に基づいてゲート電圧が $V_s - V_{t1}$ に変化する。このとき図 3 2 の構成に比べて、トランジスタ 1 1 a のドレイン電流が多く、蓄積容量 1 9 の電荷の充放電速度が高速化されることから、 $V_s - V_{t1}$ までに変化する速度は、電圧印加期間 3 4 1 を含めても高速化され、より短時間での特性補正が可能となる。

20

【0124】

図 3 5 はゲート信号線をトランジスタ 1 1 e と 1 1 d で個別制御にした回路構成を示している。1 画素において、1 フレームは、リセット期間 3 6 1、映像信号書き込みと特性キャンセル期間 3 6 2、非発光期間 3 6 3、発光期間 3 6 4 からなる。駆動用トランジスタ 1 1 a の初期化（リセット）を行う電源が、電圧源 3 3 1、電流源 3 1 2 の 2 つがあり、電圧源 3 3 1 が印加されるリセット期間を 3 6 5、電流源 3 1 2 が印加されるリセット期間を 3 6 6 とする。なおリセット期間 3 6 1 は電流源 3 1 2 から出力される電流を元に駆動用トランジスタ 1 1 a を初期化し、かつ同一列で同一のリセット線 3 1 1 を利用して画素にリセット電圧及び電流を書き込むことから、1 水平走査期間以内で実施する必要がある。映像信号書き込みと特性キャンセル期間 3 6 2 は、同一列で同一のソース信号線 1 8 から映像信号に対応する電圧が供給されることから、1 水平走査期間以内で実施する必要がある。リセット及び特性キャンセルに時間がかからない場合においては、リセット期間 3 6 1 と映像信号書き込みと特性キャンセル期間 3 6 2 を 1 水平走査期間内に実施してもよい。

30

40

【0125】

本実施形態の方式においては、駆動用トランジスタ 1 1 a のゲート電圧の初期化を、電圧源 3 3 1 ばかりでなく、電流源 3 1 2 を用いて実施することが特徴である。図 3 6 に示すようにリセット期間 3 6 1 のうちの期間 3 6 5 において、従来と同様に電圧源 3 3 1 により駆動用トランジスタ 1 1 a のゲート電圧を V_{rst} に初期化する。このときゲート信号線 1 7 e 及び 1 7 c によりトランジスタ 1 1 e 及び 1 1 b については、オンでもオフでも構わないが、 V_{dd} 電源から V_{rst} 電源に駆動用トランジスタ 1 1 a の特性により貫通電流が流れることを防止する観点から少なくとも一方のトランジスタについてはオフにすることが好ましい。本実施形態ではリセット期間 3 6 1 の間にさらに期間 3 6 6 を設け、切り替え手段 3 3 3 の接続を切り替え、電流源 3 1 2 により駆動用トランジスタ 1 1 a

50

の初期化を行う。電流源 3 1 2 の電流が駆動用トランジスタ 1 1 a のドレイン電流となるように、トランジスタ 1 1 f、1 1 b、1 1 e をオン状態とする。電流源 3 1 2 の電流値は、期間 3 6 6 において、駆動用トランジスタ 1 1 a のゲート電圧が電圧源 3 3 1 の V_{rst} 付近になるような電圧に設定することが好ましい。駆動用トランジスタ 1 1 a の特性バラツキがあるため、EL 表示装置に形成された画素の平均電圧が V_{rst} であってもよい。期間 3 6 6 により駆動用トランジスタ 1 1 a のゲート電圧は $V_{rst} + \Delta V_1$ に変化する。ここで ΔV_1 は電流源 3 1 2 の電流 (I_{rst}) を流したときのゲート電圧ばらつきに相当する。

【0126】

映像信号書き込みと特性キャンセル期間 3 6 2 においてソース信号線 1 8 から映像信号が入力され、トランジスタ 1 1 b がオン状態であり、トランジスタ 1 1 f がオフ状態であることで、駆動用トランジスタ 1 1 a のゲート電圧は映像信号電圧を V_s とすると $V_s - V_{th}$ (V_{th} は閾値電圧) となるまで変化する。 $V_s - V_{th}$ となるのは、特性キャンセル期間が十分長い時間である場合であって、1 水平走査期間で 3 6 2 の期間を終わらせる必要があることから、特性キャンセル期間は 40μ 秒程度しか取れない。

【0127】

そのためゲート電圧は期間 3 6 6 が存在しない従来の構成 (図 4 1) であれば、($V_s - V_{th} - \Delta V_2$) までしか変化できない。 ΔV_2 分の電位変化が不足となる。そのため ΔV_2 に相当する分だけたくさん駆動用トランジスタ 1 1 a のドレイン電流 ΔI_2 が流れる。 ΔI_2 は、駆動用トランジスタ 1 1 a の特性バラツキによってばらつく。この影響で EL 素子 1 5 に流れる電流にバラツキが発生し、表示ムラが発生する。

【0128】

ここで期間 3 6 6 が存在すると、期間 3 6 1 の終わりの電位が ΔV_1 だけずれるため、期間 3 6 2 の終了時のゲート電圧は ($V_s - V_{th} - \Delta V_2 + \Delta V_1$) となる。電流源により一定電流を印加した結果トランジスタ 1 1 a のゲート電圧が ΔV_1 だけずれていることから、 ΔV_2 に対する ΔI_2 が大きい駆動用トランジスタ 1 1 a の場合 (よく電流を流すトランジスタ) には、 ΔV_1 は大きくなり、 ΔV_2 に対する ΔI_2 が小さい駆動用トランジスタ 1 1 a の場合には、 ΔV_1 は小さくなる (負の値を含む)。表示ムラにおいてたくさん電流が流れる画素 (ΔV_2 に対する ΔI_2 が大きい) では、 ΔV_1 が大きくなり、ゲート電圧が上昇する。少ない電流の画素では ΔV_1 が小さくなることからゲート電圧が下降する。電流が流れやすい画素では 1 1 a のゲート電圧が上昇し電流が流れに食うなり、電流が流れにくい画素ではゲート電圧が低下することで電流が流れるようになることから、画素毎の電流量の差が小さくなる方向となり、表示ムラを改善することが可能となる。

【0129】

図 4 0 に異なる電流 - 電圧特性を持つ駆動用トランジスタ 1 1 a に対する、リセット期間 3 6 1 を電圧源のみで実現した場合 (a) と、電流源を用いて実現した場合 (b) の映像信号書き込みと特性キャンセル期間 3 6 2 終了後の電流値の違いを示す。

【0130】

図 4 0 (a) では電圧源のみで駆動用トランジスタ 1 1 a の初期化を行っているため、4 0 1 と 4 0 2 の特性を示す 2 つの画素の駆動用トランジスタ 1 1 a において、ゲート電圧が V_{rst} となるが、そのときの電流値は I_{rst1} 、 I_{rst2} と異なる値となる。4 0 1 の特性では点 4 0 3 a、4 0 2 の特性では点 4 0 3 b である。次に映像信号書き込みと特性キャンセル期間 3 6 2 において、駆動用トランジスタ 1 1 a のソース電位に映像信号が書き込まれゲート電位は、閾値キャンセル動作によりソース電位から閾値電圧分下がった点まで変化しようとする。変化に要する時間は 100μ 秒程度かかるので、1 水平走査期間では、十分にキャンセル電圧 4 0 6 にまで変化せず、4 0 5 に示す点までの変化となる。電圧変化量は流れる電流と浮遊容量により決められ、電圧変化量 $\Delta V = i \times T / C$ (ここで i : 流れる電流、 T : キャンセル期間 3 6 2 の長さ、 C : 浮遊容量) であらわれ、4 0 3 a 点の方が、4 0 3 b 点に比べて電流が多いことから、曲線 4 0 1 で示され

10

20

30

40

50

るトランジスタの方が電位変化量が大きく、 V_2 まで電圧が変化する。曲線402では、点403bでの電流が少ないため変化量が少なくなり、 V_1 までしか電圧が変化しない。点405a及び405bでのドレイン電流が I_2 と I_1 で異なり、この差が表示ムラとして視認される可能性がある。一方で電流源を用いてリセットを実施した場合には、図40(b)に示すように、リセット期間361の終了時には、ドレイン電流が I_{rst} 、ゲート電圧が曲線401と402で異なり、 V_{rst1} 、 V_{rst2} となる。(点404a、404b)次に映像信号書き込みと特性キャンセル期間362においてキャンセルを行うと、流れる電流は I_{rst} と同じで、浮遊容量にばらつきがなく、キャンセル時間は同一パネルであることから同一に設定できるため、 ΔV は曲線401、402とも同一となり、それぞれ同一電位だけシフトした V_1 及び V_2 の電圧となる。(点405c、405d)このときのドレイン電流はいずれも I_1 となり、駆動用トランジスタ11aの特性に違いがあったとしても特性キャンセル期間362終了後の書き込まれた電流値が同一となり、表示ムラがなくなる構成を実現できた。

10

20

30

40

50

【0131】

リセット期間で、一定電流により駆動用トランジスタ11aのゲート電圧を個別に設定することで、キャンセル期間が短いことにより駆動用トランジスタ11aのゲート電圧が完全に特性キャンセルされた電圧とずれたとしても、電流ばらつきが小さい構成を実現することができた。期間365はなく、期間366の電流源のみでのリセットをおこなってもよいが、電流源312により V_{rst} 電圧付近までゲート電圧を変化させるのに時間がかかることから、予め電圧源331により V_{rst} 付近まで電圧を変化させてから電流源312によるリセットを行うことが好ましい。リセット期間361が長く、電流源312のみで $V_{rst} + \Delta V_1$ まで電圧が変化できるのであれば、電圧源331、切り替え手段333、期間365はなくてもよい。

【0132】

図35の画素回路構成のEL表示装置は、同一列の画素に対して複数のソース信号線を用意し、ソース信号線方向に隣接する画素で、異なるソース信号線から映像信号を書き込むようにすることで、書き込み時間を長くする構成と組み合わせることも可能である。例えば、2本のソース信号線を用意した場合の回路を図37に示す。ソース信号線18を2本用意すれば、図14、図16、図19などで説明したように、ソース信号線18に印加される階調信号は2水平走査期間毎に変化することから、映像信号書き込みと特性キャンセル期間362を最大2水平走査期間まで拡大させることが可能となる。例えば図38に示すような駆動波形を実現することができる。期間362が拡大することで駆動用トランジスタ11aのゲート電圧を変化させる時間を長く取ることができ、誤差 ΔV_2 の絶対値を小さくすることができ、より正確にキャンセルを行うことが可能となる。

【0133】

図37の構成でリセット線311は1列分の画素に1本であるが、ソース信号線18と同様に複数本(例えば2本)もてば、リセット期間361についても最大2水平走査期間に拡大することができ、リセット電圧もより駆動用トランジスタ11aの特性に応じた電圧にすることが可能となる。

【0134】

図37の構成や、図35の構成において、リセット線311に切り替え手段333を介して電流源312、電圧源331が接続されているが、電圧源311がなくても、1水平走査期間以内に、電流源312によって、所定の初期化電位になるまで、駆動用トランジスタ11aのゲート電圧を変化させることができれば、電流源のみでリセット期間361を構成することができる。このとき図39に示すような1フレーム期間の動作となる。電流源312のみでのリセット(初期化)動作のため変化に時間がかかるが、駆動用トランジスタ11aのゲート電圧は $V_{rst} + \Delta V_1$ に収束する。電圧源331を併用した場合でも図36、図38に示すように $V_{rst} + \Delta V_1$ と同一値であり、初期化の効果はかわらず同等であるため、電流源のみの構成でもよい。

【0135】

また、電流源 3 1 2 は、映像信号によって変化させてもよい。例えば高階調の際に電流値を多く、低階調の際には電流値を小さくすれば、表示階調付近での特性キャンセルが可能となり、さらなるムラの低減が可能となる。

【0136】

有機 E L は、各表示色で発光体が異なるため、発光効率が色毎に異なることがある。例えば図 4 2 に示すように、赤や緑に対して青色の効率が低く、4 2 1 に示される電流と輝度の関係となり、赤や緑色の 4 2 2 の関係に対して電流値を多くする必要がある。

【0137】

図 1 や図 1 1 に示すような、駆動用トランジスタ 1 1 a の特性をキャンセルする動作を有する画素構成においては、閾値ばらつきを補正するが、移動度ばらつきについては補正範囲が限られる。そのため、電流値によって補正が可能であったり、補正が不十分であったりすることがある。初期化によりリセット電圧を入力してから、限られた特性キャンセル期間で駆動用トランジスタ 1 1 a のゲート電圧を画素毎に補正するが、特性キャンセル期間が短く、十分に最終状態まで変化しない場合、変化途中での補正電圧が画素毎に記憶される。この途中の電圧値付近の階調であれば補正が十分できているが、離れた電圧（離れた E L に流れる電流値）であれば、移動度ばらつきによる駆動電流ばらつきが発生し、補正が不十分となる。一般に、リセット電圧が低ければ、電流が大きい状態から特性キャンセルを行うので、高階調側での補正がしやすく、リセット電圧が高ければ、低階調側の補正がしやすい。そのため、補正可能な範囲は図 4 4 の 4 4 1 で示されるような範囲となる。

【0138】

このとき図 4 2 の特性を持つ表示素子の場合、リセット電圧を調整してもすべての電流範囲が補正可能な状態に持っていくことが難しい。

【0139】

そこで、表示色毎にリセット電圧を変更し、色毎に最適なりセット電圧を設定することで表示ムラを防止する。例えば赤及び緑色をリセット電圧 - 1 V に設定すれば、0 ~ 0 . 5 μ A の赤・緑素子の電流可変範囲では 4 4 3 に示す線のように補正可能範囲 4 4 1 におさまることがわかる。青色では - 1 V の場合、補正範囲が不足しているため、リセット電圧を下げ、- 2 V に設定すれば 4 4 4 で示す電流範囲に対して、補正可能範囲 4 4 1 に高階調側は当てはまる。低階調側については 4 4 8 で示される電流値以下では補正不足領域 4 4 2 b となるが、青色の視感度が低く、人間の目には、補正が不足していたとしてもムラとして視認できないため、問題が無い。緑色では低階調でも視認性がよく、リセット電圧を - 2 V とすると低階調での表示ムラが見えるため、4 4 3 に示すように低階調でも補正可能範囲 4 4 1 に入るリセット電圧に設定する必要がある。

【0140】

そこで図 4 3 に示すように、リセット用の電圧源 3 7 1 を表示色毎に異ならせて配置し、それぞれ最適な電圧を入力する構成とすることで、電流値が異なる表示素子を用いて表示装置を構成したとしても、補正範囲が広い表示装置を実現することが可能となった。

【0141】

なお電圧源 3 7 1 は図 4 3 で 3 つ用意しているが、図 4 2 の特性では赤と緑を共通にして 2 つにすることや、4 色以上の表示素子が形成されている場合には 4 つ以上の電圧源を用意してもよい。

【0142】

また図 4 3 の構成でソース信号線電圧出力部 4 3 1 はソースドライバ IC として形成してもよいし、低温ポリシリコンでアレー基板上に形成してもよい。信号線選択駆動を実施する際には、信号線選択回路のみをアレー基板上に形成する方法でも同様に実施が可能である。

【0143】

また、信号線選択回路と同様に、図 4 3 の電圧源 3 7 1 は、1 つのみ用意し、表示タイミングにより異なる電圧値を出力する構成としてもよい。例えば、ゲート信号線に沿って

表示色が同一で、ゲート信号線毎に異なる表示色である場合などは、水平走査期間毎に表示色が変わるので、水平走査期間毎に電圧値をそれぞれ変えることで、3つの電圧源の代用としてもよい。

【0144】

p型の駆動用トランジスタ11aで説明を行ったが、n型の駆動用トランジスタ11aでも実施が可能である。n型の場合には低電流ほどゲート電圧が低くなり、高電流になると高くなることから、リセット電圧の高低を逆にすれば同様に適用が可能である。

【0145】

補正可能範囲は、リセット電圧とソース信号線電圧(=ELに流れる電流)の関係から決められ、リセット電圧とソース信号線電圧の差が色毎に同じであれば、同じリセット電圧で表示が可能となる。EL素子の特性をそろえることは困難であるため、本発明では、EL電源線452の電圧を、表示色毎に個別に設定(VddR、VddG、VddB)し、EL電源線452の電圧を基準としたゲート電圧を元にEL素子15に流れる電流を決定する駆動用トランジスタ11aのゲート電圧の白～黒の電圧変動範囲の差を小さくする。例えば、従来の構成で図47(a)に示すような、階調に対する電圧範囲を持つ場合には、緑と赤の階調範囲(472、473)を1V低下させて図47(b)のような範囲に変更する。ゲート電圧1～2Vの際に補正が最適となるように、初期化電圧を設定すると1つの初期化電圧に対して、異なる電流での表示を行う表示素子に対しても同一電源451で初期化が可能となる。(図45)

階調範囲を変更するためには、図45に示すようにEL電源線452を少なくとも2つ用意し(図45では表示毎の3種類)異なる電圧値を入力する。

【0146】

表示色毎にソース信号線へ出力する電圧が異なることから、ガンマ発生部453は表示色毎に異なる範囲を出力できるような構成をもつ。ソース信号線電圧出力部431を図45の構成にすれば表示色毎に同一の階調データ455入力であっても、ガンマ発生部453とデジタルアナログ変換部454により異なる電圧出力が実現され、図47(b)に示す、階調電圧範囲(474～476)を実現することが可能となった。

【0147】

なお図45のソース信号線電圧出力部431は、各ソース信号線18毎に出力部を持つ構成となっているが、信号線選択回路を持つ構成であっても同様に実現が可能である。ガンマ発生部453が1つでも、同一ガンマ特性を持つ画素に対する書き込みを1水平走査期間の間に行うのであれば、出力タイミング毎にガンマ発生部453の出力電圧値を変更すればよい。

【0148】

補正可能な範囲はソース信号線電圧とリセット電圧の差によって決定されていた。これは特性キャンセル期間が十分な長さでなく、リセット電位からの電圧変化量に制限があるためである。特性キャンセル期間が短いほど、リセット電位に対して、ソース信号線電圧が近いほうが補正能力が高くなっている。

【0149】

そこで本発明では図46に示すように、特性キャンセルを行うためのトランジスタ11bのオンオフ制御を表示色毎に個別に制御できるようにゲート信号線17cを表示色数分だけ用意する構成を考えた。

【0150】

図47(a)に示すゲート信号線範囲となる表示素子の場合には、ソース信号線は閾値電圧分だけゲート信号線よりも高いと考え、一様に電圧が上昇するとすると、各色の最大電位については共通だが、最小電位が、青色のみ1.5V程度異なることがわかる。青色は低電圧範囲まで補正が必要だが、緑と赤色は低電圧範囲は補正が不要である。これを利用して、特性キャンセル期間を青に対して赤緑は長めに取ることで補正可能範囲の電圧を高くし、全階調にわたって補正できるようにする。青色は短めとして、471の4V付近に相当する低階調領域では補正できなくても、ムラが目立つ2V以下の領域での補正がで

きるようにしている。

【0151】

なお、青階調範囲471すべてで特性補正が可能であっても、図46の構成を使うことも可能である。特性補正が可能な範囲を472、473の中心にそろえることで、最低最高電圧がずれたときでも十分にマージンを持って補正が可能となるし、補正可能範囲が少なくなったとしてもまだ、十分補正範囲に入っている。

【0152】

EL電源452については各色共通であってもよいし、別に設定してもよい。図47(b)の構成であっても特性キャンセルの時間を赤と緑のみ電圧シフト分だけ減らせれば実現できるためである。また、ソース信号線選択駆動であっても同様に実現が可能である。

10

【0153】

(16)駆動用トランジスタ11aのゲート電圧の容量結合による突きぬけによる変化量を変化させることができる回路

図48は、表示色毎にゲート信号線17cによる、駆動用トランジスタ11aのゲート電圧の容量結合による突きぬけによる変化量を変化させることができる回路を示したものである。

【0154】

表示色毎に突きぬけ量を変化させる方法としては、容量481の容量値を表示色毎に異なる値にする。481aと481b、481cで容量が違うと、ゲート信号線17cの電位がオン状態からオフ状態へと上昇した場合に、駆動用トランジスタ11aのゲート電極に接続される信号の全容量に対する容量481の割合によりゲート電極の電圧が変化することから、映像信号書き込みと特性キャンセル期間362終了後の駆動用トランジスタ11aのゲート電圧は、同一信号電圧を書き込んだ場合でも、異なる電圧となる。容量481の容量値が大きいほど、電圧は上昇する。表示は、電圧変動後のゲート電圧を基準に行われるため、電圧上昇量が大きい色ほど、あらかじめ映像信号書き込み時362に書き込む電圧を低くしておく必要がある。このことを利用すると、突きぬけが各色共通である場合の各色の映像信号振幅が図49(a)である場合に、青色に相当する画素の容量481cの容量を小さくすると、図49(b)に示すように、書き込み時に必要な電圧範囲が変化する。494に示す青色の階調範囲の電圧が上昇し、平均の電圧レベルは赤や緑の495、496に示す電圧範囲にそろえることができる。

20

30

【0155】

ソース信号線電圧とリセット電圧の差を色によらず近づけることで補正可能となる階調範囲についても、広げることが可能となる。特に色毎に電圧範囲がまったく異なる範囲で共通電圧が無い場合には、全色の最大電圧から最小電圧までの範囲が必要であるが、各色の電圧範囲がそろってくると、必然的に最大～最小電圧の差が小さくなり補正範囲を小さくすることができ、よりばらつきの大きいプロセスでも生産が可能となる利点がある。

【0156】

なお、トランジスタ11bの制御を行うゲート信号線17cは表示色毎に用意した例であるが、共通であってもよい。容量値が異なるだけで、突きぬけ量を色毎に変更できるためである。

40

【0157】

ゲート信号線17cが表示色毎に異なる場合には、ゲート信号線17cのハイレベルとローレベルの差を色毎に変えても、突きぬけ電圧を色毎に変えることが可能である。突きぬけ電圧は、容量比と電位変化量で決まるため、信号電圧を変えることは有効である。特性キャンセル期間を色毎に変える方法と併用も可能である。

【0158】

映像信号範囲の変更は駆動用トランジスタ11aのチャネル長に対するチャネル幅の割合を色毎に変化させても、共通化することができる。例えば図50(a)に示すように青色画素のみ501に示すような電圧範囲であったときに、青色の画素の駆動用トランジスタ11aのみ電流を流すようにチャネル幅の割合を大きくする(例えば0.7)と図50

50

(b) に示すように階調電圧範囲をそろえることができ、1～4Vの電圧範囲で補正可能であるように、キャンセル期間や、リセット電圧を設定することで表示ムラのないEL表示装置が実現できる。

【0159】

信号線選択駆動を実施する場合には、ソース信号線18に電圧値を書き込み、ソース信号線の浮遊容量に蓄えられた電荷に基づいて、画素内に映像電圧を取り込み、画素に信号を書き込んでいる。このとき画素に書き込まれる電圧は、トランジスタ11c及び11b、11aを介して接続されている配線上に存在する容量(容量481や蓄積容量19など)に蓄えられた電荷とソース信号線の浮遊容量に蓄えられた電荷が再配分されて書き込まれる。つまりソースドライバまたはソース信号線電圧出力部431から出力される電圧と、実際に画素16に書き込まれる電圧は異なり、初期化電圧451の電圧がソース信号線18に印加される電圧よりも低い場合には、選択駆動なく直接画素16に電圧が印加される場合よりも低い電圧が書き込まれ、輝度が上昇する。

10

【0160】

輝度上昇の防止としては、突きぬけにより黒電圧方向に駆動用トランジスタ11aの電圧をシフトさせる方法が知られている。

【0161】

画素に書き込まれる電圧の変化量を小さくするには、他にソース信号線16の容量を増加させるなどの方法がある。また図1に示すような付加容量19bを挿入し、特性キャンセル時間を長くする方法がある。

20

【0162】

図51では、付加容量19bを付与し、色毎に容量値を変更した映像信号保持用コンデンサ511を形成した。色毎に容量を変更して、形成することで、映像信号が、ソース信号線18と画素16に書き込まれた際に、ソース信号線の浮遊容量と映像信号保持用コンデンサ511に映像信号に応じた電荷が充電される。書き込み時にトランジスタ11は11cが導通状態で、11bが非導通であるような構成となっている。

【0163】

特性キャンセル期間に入ると、トランジスタ11bが導通状態で、ソース信号線電圧出力部431とソース信号線18が切り替え部512により切り離された状態であると、蓄積容量19に蓄えられた電荷と、容量511及びソース信号線浮遊容量に充電された電荷の再配分され電荷が蓄えられる。この際に、蓄積容量19の電荷により、駆動用トランジスタ11aのゲート電圧は蓄積容量19が無い場合に比べて低下する。低下量は、(蓄積容量)/(蓄積容量19+ソース信号線浮遊容量+容量511)により決められる。そこで映像信号保持用コンデンサ511の容量を表示色毎に変更すると、書き込み時に比べた電圧低下量は表示色毎に異なり、青色に相当する画素のみ小さな容量にすると、青色のみ電圧低下量が大きくなるため、ソース信号線に入力する電圧を高くしておく必要がある。青色は図42に示すようにたくさんの電流を流す必要があり、ソース信号線電圧もそれに応じて赤緑に比べて低い電圧を必要とした。容量511の変更でソース信号線電圧を高めることができるため、低い電圧値が不要となり、ソースドライバのダイナミックレンジを小さくすることが可能となる。

30

40

【0164】

また、電圧範囲のうち、白側または黒側の電圧が全画素で共通にできれば、ソース信号線電圧出力部431のガンマ発生部453のガンマ発生回路のうち白側または黒側の少なくとも一方の電圧発生部を全色共通にでき、回路規模を小さくすることが可能となる。

【0165】

さらに、3信号選択駆動において、赤色～緑色～青色の順番に信号電圧をソース信号線及び映像信号保持用コンデンサ511に書き込むのであれば、赤色に対して青色は跡に書き込まれるため、保持しておく時間は短くてもよく、容量を小さくすることは問題ない。

【0166】

画素16に形成される画素回路において、1画素当たりの面積が決まっていると、形成

50

できるトランジスタ 11 の数や、配線量、容量に制約がある。容量 511 が小さければより小さく構成精細な画素にも対応できるし、青色の容量 511 を小さくしてできるスペースを利用して、赤緑色の画素の回路を形成し、より大きな容量 511 を赤や緑色に形成することができるし、またはより小さな画素でも容量 511 が所望の値形成できるという面積的な利点も発生する。

【0167】

駆動用トランジスタ 11a のチャネル幅 / チャネル長を色毎に変えることもまた駆動用トランジスタ 11a のスペースを色毎に変更でき、互いの色で空きスペースを有効に利用できるし、容量 481 についても同様である。

【0168】

図 51 では EL 電源 (Vdd) 452 について、色毎に個別に設定しているが、同一電圧でもよい。トランジスタ 11b を制御するゲート信号線 17c についても同様である。

【0169】

同一ソース信号線電圧入力に対する特性キャンセル後の駆動用トランジスタ 11a のゲート電圧を変更する効果は同一であるので、容量 481 の容量は色毎に個別でなくてもよいし、色毎に変更し、容量 511 でのゲート電圧上昇効果と組み合わせて実施してもよい。容量 481 のゲート電圧上昇効果と同一の効果が得られれば、容量 481 は無くても構わない。

【0170】

容量 481 については一方の電極が駆動用トランジスタ 11a のゲート電圧で、他方の電極は、特性キャンセルや信号線書き込みが終わる後または終わると同時のタイミングで、発光期間となる前までに、電圧上昇が発生するような信号線に接続すればゲート信号線 17c でなくてもよい。例えばゲート信号線 17a に接続してもよいし、専用の信号線を配線し、変化する電圧波形を印加するようにしてもよい。

【0171】

本発明に記載された画素構成以外でも、電流駆動を用いる画素構成や、電流駆動と電圧駆動を併用して書き込みを行う画素構成でも、同様に実施が可能である。

【0172】

(17) 初期化電圧の補正

(17-1) 課題

図 52 の (a) 及び図 52 (c) は、それぞれ黒表示時と白表示時における、映像信号書き込みと特性キャンセル期間 362 における駆動用トランジスタ 11a のゲート電圧の変化を示している。リセット期間 361 において、初期化電圧 451 の電圧値を -2V、黒表示時のソース信号線 18 に印加される電圧を 4V、白表示時のソース信号線 18 に印加される電圧を 1V とする。

【0173】

黒書き込み時には、図 52 (a) に示すように、ソース電極は 522a で示す電位である。ゲート電圧は 521a に示す曲線となる。このとき駆動用トランジスタ 11a のゲートソース間電圧は 6V あり、特性キャンセル開始時に十分な初期ドレイン電流が流れ (図 52 (b))、ゲート電極の電圧は時間 t1 までに所定電圧まで変化する (この場合 3V)。時間 t1 経過後の 521a と 522a の電位差が閾値電圧に相当する。

【0174】

一方で白書き込み時は、ソース電極の電位が 522b でゲート電極の電位は 521b で示される。特性キャンセル開始時には、3V しか電位差がなく、特性キャンセル開始時の駆動用トランジスタ 11a のドレイン電流は図 52 (b) に比べて少なくなり (図 52 (d))、特性キャンセル後のゲート電圧 (この場合 0V) まで変化するのに、時間がかかるようになる。

【0175】

(17-2) 解決手段

そこで本実施形態では、図 53 に示すように、ソース信号線電圧に応じて、リセット期

10

20

30

40

50

間 3 6 1 に印加する初期化電圧 4 5 1 を変化させるような構成とした。

【 0 1 7 6 】

図 5 3 (a) ではソース信号線が 4 V のときのリセット期間時のゲート電圧 5 3 1 が - 2 V である場合、図 5 3 (b) ではソース信号線が 1 V のときのリセット期間時のゲート電圧 5 3 1 を - 5 V にした場合のゲート電圧の変化を示している。図 5 3 によれば、特性キャンセル開始時の駆動用トランジスタ 1 1 a のゲートソース間電圧が同一であり、所定の特性キャンセル後の電圧にまで変化する時間はいずれも t_1 で実現が可能となり、白階調では t_2 から t_1 まで時間を短縮することが可能となった。 t_1 が 20μ 秒以下になるように、初期化電圧 4 5 1 の値を設定すれば、1 水平走査期間内で信号線書き込みと特性キャンセルができるようになる。

10

【 0 1 7 7 】

階調によらず、特性キャンセル期間を一定にするために、図 5 3 に示すように、ソース信号線電圧から一定値だけ低い電圧を初期化電圧 4 5 1 として印加すればよい。つまり (初期化電圧) = (ソース信号線電圧) - (一定電圧) とすればよい。図 5 8 に一定電圧値が 4 V のときの関係を示す。

【 0 1 7 8 】

一定電圧分だけを引いた電圧を供給するための回路構成として図 5 4 、図 5 5 を示す。

【 0 1 7 9 】

(1 7 - 3) 画素の第 1 の構成

図 5 4 は、リセット線 3 1 1 とソース信号線 1 8 とを容量 5 4 3 により結合させ、ソース信号線 1 8 から一定電圧を引いた電圧を印加できる構成である。

20

【 0 1 8 0 】

リセット期間 3 6 1 の初期又はリセット期間 3 6 1 の前に、切り替え部 5 4 4 、5 4 5 を操作し、電源 5 4 1 と電源 5 4 2 により容量 5 4 3 を充電する。このときの電圧差が、減算される一定電圧となる。図 5 3 のような電圧を印加する場合には、電源 5 4 2 に対して、電源 5 4 1 の電源を 6 V 低い値にしておけばよい。なおリセット線 3 1 1 の浮遊容量により、ソース信号線電圧からの減算量が目減りする場合には、あらかじめ電源 5 4 1 と 5 4 2 の電位差を大きくしておけばよい。

【 0 1 8 1 】

リセット期間 3 6 1 の開始時又はリセット期間 3 6 1 の終了前までに、切り替え部 5 4 4 、5 4 5 を操作し、ソース信号線 1 8 から容量 5 4 3 に電圧が供給され、容量 5 4 3 とリセット線 3 1 1 を接続し、リセット期間 3 6 1 の少なくとも最終状態には、ソース信号線電圧から一定電圧引いた電圧がリセット線 3 1 1 に供給され、トランジスタ 1 1 f を介して駆動用トランジスタ 1 1 a のゲート電極に印加される必要がある。

30

【 0 1 8 2 】

なお切り替え手段 5 4 5 がソース信号線 1 8 を選択したときに、ソース信号線電圧出力部 4 3 1 の電圧出力はあっても、なくてもよい。無い場合には、ソース信号線 1 8 の浮遊容量に映像信号電圧を蓄えておけばよい。容量が不十分で、リセット線 3 1 1 に電圧を供給できない場合には、容量 5 4 6 を形成して、蓄積される電荷量を多くしておく方法もある。

40

【 0 1 8 3 】

(1 7 - 4) 画素の第 2 の構成

また、図 5 5 に示すように、初期化電源を新たに形成し、ソース信号線 1 8 電圧に応じた電圧を供給するための、初期化電源供給手段 5 5 1 を設ける方法もある。

【 0 1 8 4 】

ソース信号線電圧出力部 4 3 1 の出力電圧を検出して、電圧値を減算し、出力してもよいし、映像信号を検出して、映像信号から所望のリセット電圧を決定し、出力する方法もある。

【 0 1 8 5 】

(1 7 - 5) 画素の第 3 の構成

50

図 5 6 は、画素回路を変化させて、リセット電圧を映像信号電圧に応じて変化できる構成としたものである。

【 0 1 8 6 】

図 5 7 にゲート信号線 1 7 の入力波形を記す。

【 0 1 8 7 】

まず、リセット期間 3 6 1 では、トランジスタ 1 1 f が導通状態となり、リセット電源 4 5 1 の電圧が駆動用トランジスタ 1 1 a のゲート電極に印加される。

【 0 1 8 8 】

次に、リセット期間 3 6 1 の後半 (5 7 1) でスイッチ 1 1 e と 1 1 c が導通状態となる。このときに容量 1 9 a の駆動用トランジスタ 1 1 a と接していない電極の電圧が、電源 V d d からソース信号線 1 8 に印加された電圧になるため、電圧変化分と容量 1 9 と駆動用トランジスタ 1 1 a のゲート電極に接続された配線の浮遊容量の容量比に応じて、駆動用トランジスタ 1 1 a のゲート電圧が変化する。

【 0 1 8 9 】

これまでの構成に比べると、リセット期間の後半 (5 7 1) で、映像信号をソース信号線 1 8 から画素 1 6 の中に取り込むことが、変更点である。ソース信号線と V d d 電源の電圧差によりリセット期間後半の 5 7 1 の期間における駆動用トランジスタ 1 1 a のゲート電圧が異なる構成となる。

【 0 1 9 0 】

これにより初期化電圧は、ソース信号線 1 8 電圧が低いほど、低い電圧が印加されるようになり、初期化電圧を、映像信号に合わせて変化させる効果がある。

【 0 1 9 1 】

また、駆動用トランジスタ 1 1 a のソース電極が低電圧で印加させる高階調表示時において、ゲート電極がソース電極よりも低い電圧が印加され、特性キャンセル期間 3 6 2 において、ドレイン電流が流れるようになり、駆動用トランジスタの特性ばらつきをより補償しやすい回路となる。

【 0 1 9 2 】

(1 7 - 6) 変更例

更に図 5 9 に示すように、ソース信号線電圧に対して 5 8 1 の点線のように一定電圧を引いた値を初期化電圧として入れるのではなく、さらに 5 9 1 実線に示すように、低電圧 (高階調) ほど、初期化電圧をより低電圧で印加し、高電圧 (低階調) ではソース信号線電圧とあまり差がないような電圧を印加する。

【 0 1 9 3 】

このようにすると、映像信号書き込みと特性キャンセル期間 3 6 2 の開始時の駆動用トランジスタ 1 1 a のソースゲート間電圧は、高階調映像信号が入力されるほど、大きな電圧となり、同一特性キャンセル時間において、閾値キャンセルを行うためにゲート電圧が高くなる動作を行う際に、特性キャンセル前のゲート電圧が低い分高階調側では、特性キャンセル期間 3 6 2 が終了する時間でも黒表示状態までゲート電圧が上昇せず、電流が流れる状態で閾値キャンセルが行われる。一方で、低階調側では、高階調側に比べて、特性キャンセル期間 3 6 2 の初期における駆動用トランジスタ 1 1 a のゲート電圧が高くなっており、特性キャンセル期間 3 6 2 終了時には、より電流が流れない状態で閾値キャンセルが行われる。そのため、高階調では、電流が流れた状態、低階調では電流が流れない状態で、特性キャンセルが行われ、より表示階調に近い階調で閾値キャンセルが行われるため、広い電流範囲での駆動用トランジスタ 1 1 a のバラツキをキャンセルすることが可能となる。

【 0 1 9 4 】

(1 7 - 7) 画素の第 4 の構成

図 6 0 で示されるような画素構成においても同様に実施が可能である。電源 4 5 1 の電圧値を映像信号にあわせて変化させれば同様の効果を得ることができる。

【 0 1 9 5 】

n 型トランジスタを駆動用トランジスタ 1 1 a に用いた場合でも同様である。一定電圧値を引くのではなく、一定電圧値分上昇した電圧を印加することで図 5 8 と同様の効果が得られるし、図 5 9 についても、低階調、高階調での重み付けを n 型トランジスタの電流増減にあわせて変更すればよい。駆動用トランジスタ 1 1 a 以外のトランジスタについても n 型でも同様に実施が可能。ゲート信号線 1 7 の信号波形を逆に入れればよいためである。

【0 1 9 6】

(1 8) ゲート信号線 1 7 の個別制御

ゲート信号線 1 7 の個別制御する実施形態について説明する。

【0 1 9 7】

10

(1 8 - 1) 第 1 の画素構成

図 6 1 は、トランジスタ 1 1 d とトランジスタ 1 1 e の制御用のゲート信号線 1 7 を個別に制御できるような第 1 の画素構成である。

【0 1 9 8】

ゲート信号線 1 7 を個別に制御できるようにすることで、駆動用トランジスタ 1 1 a の移動度ばらつきによる電流ばらつきを補正することが可能となる。

【0 1 9 9】

移動度ばらつきによる電流ばらつきの補正のための駆動方法を図 6 2 に示す。

【0 2 0 0】

リセット期間 3 6 1、映像信号書き込みと特性キャンセル期間 3 6 2 により、映像信号の書き込みと駆動用トランジスタ 1 1 a の特性ばらつき動作を行っている。

20

【0 2 0 1】

映像信号書き込みと特性キャンセル期間 3 6 2 において、後半の期間 6 2 2 で、ゲート信号線 1 7 e を操作し、トランジスタ 1 1 e を導通状態とし、駆動用トランジスタ 1 1 a に電源 V d d から電流を供給する。なお、トランジスタ 1 1 b が導通状態、トランジスタ 1 1 d は非導通状態である。

【0 2 0 2】

そして、駆動用トランジスタ 1 1 a に流れる電流はトランジスタ 1 1 b を介して、自分自身の駆動用トランジスタ 1 1 a のゲート線に流れ、駆動用トランジスタ 1 1 a のゲート電極 (点 b) の電位を上昇させる。

30

【0 2 0 3】

駆動用トランジスタ 1 1 a の移動度にばらつきがある場合には、期間 6 2 2 において、駆動用トランジスタ 1 1 a に流れる電流に違いが生じる。電流が多く流れるほど、点 b の電位上昇が大きくなり、一方、電流が少ない場合には、点 b の電位上昇は少なくなる。

【0 2 0 4】

これにより、点 b の電位が上昇するほど、駆動用トランジスタ 1 1 a に流れるドレイン電流は少なくなることから、期間 6 2 1 において、駆動用トランジスタ 1 1 a に流れる電流に違いが生じたとしても、期間 6 2 2 において、電流のばらつきが小さくなる方向に、点 b の電位変動が生じて、駆動用トランジスタの特性にばらつきがあったとしても、各画素に流れる電流の均一性が向上する。

40

【0 2 0 5】

期間 6 2 1 においては、オフセットキャンセル動作を行うことから主に駆動用トランジスタ 1 1 a の閾値電圧ばらつきによる電流ばらつきを補正し、期間 6 2 2 において、期間 6 2 1 においても電流ばらつきを補正できない駆動用トランジスタ 1 1 a の特性ばらつき (例えば移動度ばらつき) を補正し、より画素毎の電流ばらつきが小さい表示装置を実現することができる。

【0 2 0 6】

なお、ゲート信号線 1 7 a については、期間 6 2 2 において、ソース信号線 1 8 が、ソースドライバ出力と接続されていない場合には、H と L どちらのレベルでもよい。ソースドライバ出力と接続される場合には、V d d 電源とのショートを防止するためにトランジ

50

スタ 1 1 c を非導通状態にしておく必要がある。

【 0 2 0 7 】

書き込み後の、非発光、発光状態については、ゲート信号線 1 7 b と 1 7 e を同一動作で非導通、導通状態とすることで実現が可能である。なお、非発光期間については、ゲート信号線 1 7 b 及び 1 7 e のいずれか一方がハイレベルで、トランジスタ 1 1 d 又は 1 1 e の少なくとも一方が非導通状態であれば、非発光期間を実現することが可能である。

【 0 2 0 8 】

(1 8 - 2) 第 2 の画素構成

図 6 3 の画素構成は、移動度ばらつきを補正するためのトランジスタ 1 1 i を追加した第 2 の画素構成である。

10

【 0 2 0 9 】

期間 6 2 2 において、電源 V_{dd} から駆動用トランジスタ 1 1 a に電流を流すためのトランジスタ 1 1 i である。トランジスタ 1 1 i を導通状態にすればよいことから、トランジスタ 1 1 e は期間 6 2 2 においても非導通状態でよい。これによりトランジスタ 1 1 e と 1 1 d は同一動作としてよく、ゲート信号線 1 7 b によりトランジスタ 1 1 e と 1 1 d を制御すればよい。タイミングチャートを図 6 4 に示す。ゲート信号線 1 7 i が期間 6 2 2 において、導通状態となることで、図 6 2 と同様に移動度ばらつきを補正することが可能となる。

【 0 2 1 0 】

発光期間 3 6 4 においては、ゲート信号線 1 7 i はどちらの状態であってもよい。トランジスタ 1 1 i を導通状態にすれば、電源 V_{dd} から駆動用トランジスタ 1 1 a までの抵抗値を下げる事が可能となり、トランジスタ 1 1 e のオン抵抗の影響を受けにくくなる。配線抵抗及びオン抵抗による電圧降下の影響を小さくすることができるため、電源 V_{dd} の電圧を低くできるか、トランジスタ 1 1 e のサイズを小さくできる効果がある。

20

【 0 2 1 1 】

非発光期間 3 6 3 においても、ゲート信号線 1 7 b によりトランジスタ 1 1 d、1 1 e が非導通状態であれば、トランジスタ 1 1 a にドレイン電流が流れる経路を形成できないことから、ゲート信号線 1 7 i はいずれの状態であってもよい。

【 0 2 1 2 】

(1 9) 特性バラツキを補償する回路

30

表示パネルが高精細化すると、1画素当たりの面積が小さくなる。そのため1画素内の回路素子数を少なくしつつ、駆動用トランジスタ 1 1 a の特性ばらつきを補償する回路が必要である。

【 0 2 1 3 】

図 6 5 に本発明における、駆動用トランジスタ 1 1 a の特性バラツキを補償する回路を有する画素回路を示す。

【 0 2 1 4 】

本構成では、蓄積容量 1 9 に、映像信号に応じた電荷及び、駆動用トランジスタ 1 1 a の特性ばらつきに応じた電荷が蓄積され、階調表示を行う。

【 0 2 1 5 】

40

図 6 6 に動作を示す。書き込み期間 6 6 1 は初期化期間 6 6 3、閾値補償期間 6 6 4、信号書き込み期間 6 6 5 からなる。初期化期間においては、ソース信号線から第 1 の初期化電圧 V_{rst} (6 5 7) が印加され、トランジスタ 1 1 k を介して、駆動用トランジスタ 1 1 a のゲート電極に印加される。同時に、トランジスタ 1 1 m により第 2 の初期化電圧 V_{ini} (6 5 2) が印加される。この動作は、いずれの電源からもスイッチを介して直接電圧が印加されることから、高速に実施される。

【 0 2 1 6 】

この期間 6 6 3 において、 $V_{ini} = V_{tholed} + V_{SS}$ となるように第 2 の初期化電圧 V_{ini} (6 5 2) を印加することで、EL素子 1 5 は非発光状態で保持できる。(ここで V_{tholed} は、EL素子 1 5 の閾値電圧である)

50

更に第 1 の初期化電圧と第 2 の初期化電圧の差は駆動用トランジスタ 11a の閾値電圧よりも大きくしておく必要がある。期間 664 において、駆動用トランジスタ 11a の閾値ばらつきの補正を行うために初期のドレイン電流を十分流す必要があるためである。

【0217】

期間 663 において、駆動用トランジスタ 11a のゲートソース間電圧を閾値電圧に比べて十分大きな電圧にした後、期間 664 において、トランジスタ 11m を非導通状態とする。EL 素子 15 に印加される電圧の初期値は EL 素子 15 の閾値電圧以下であることから、EL 素子 15 には電流が流れない。そのため、駆動用トランジスタ 11a はドレイン電流が流れないようにソース電極（節点 655）の電圧を上昇させ、第 1 の初期化電圧 $V_{rst}(657)$ から駆動用トランジスタ 11a の閾値電圧分低下した電圧となる。節点 655 の電位が上昇しても EL 素子 15 及び駆動用トランジスタ 11a のドレイン電流が流れないように V_{rst} の電圧を設定することでオフセットキャンセル動作が実施可能である。期間 664 により、蓄積容量 19 の両端には、駆動用トランジスタ 11a の閾値電圧（ V_{th} ）分の電荷が蓄えられ、特性ばらつきに応じた電圧になっている。

【0218】

次に信号書込み期間 665 において、ソース信号線 18 には、画素に表示する階調に応じた電圧が印加され、トランジスタ 11k を介して駆動用トランジスタ 11a のゲート電極に入力される。ゲート電極の電位は、映像信号データの電位と同一となる。（例えば V_{data} ）EL 素子 15 の容量を C_{oled} とし、蓄積容量 19 の容量を C_{st} とすると、 $C_{oled} / (C_{st} + C_{oled}) \times (V_{data} - V_{rst}) + V_{th}$ の電圧が蓄積容量 19 に蓄えられ、閾値電圧と映像信号に応じた電圧の和が駆動用トランジスタ 11a のゲートソース間電圧となる。これで、画素に映像信号が書き込まれた。

【0219】

次に表示期間 662 に移行し、階調に応じた表示を行う。表示時には、トランジスタ 11k は常に非導通状態で、蓄積容量 19 の電荷に応じた駆動用トランジスタ 11a のゲートソース間電圧に基づきドレイン電流が流れる。トランジスタ 11k が非導通状態にあるので、駆動用トランジスタ 11a のゲート電圧は変動することができ、EL 素子 15 に必要な電圧（ V_{oled} ）を確保するために節点 655 の電位が上昇し、EL 素子 15 にも駆動用トランジスタ 11a のドレイン電流が流れ、発光する。これを点灯期間 666 とする。

【0220】

本画素構成では、点灯期間 666 の動作に対して、トランジスタ 11m を導通状態に変更すると、駆動用トランジスタ 11a のドレイン電流にかかわらず、節点 655 の電位が第 2 の初期化電圧 $V_{ini}(652)$ に変化する。 $V_{ini} - V_{SS} < V_{tholed}$ であるように、 V_{ini} 、 V_{SS} の電圧を設定すると、EL 素子 19 には電流が流れず、また発光もしない。駆動用トランジスタ 11a のドレイン電流は、電源 $V_{DD}(653)$ から、駆動用トランジスタ 11a、トランジスタ 11m を介して第 2 の初期化電圧 $V_{ini}(652)$ に流れ込む。EL 素子 15 が発光しないことからこの期間では非点灯期間 667 となる。蓄積容量 19 に保持される電荷は、点灯期間 666 a、非点灯期間 667 で変化しないことから、非点灯期間 667 の後にさらに、点灯期間 666 b を設けることができる。

【0221】

本画素構成では、点灯期間 666 と非点灯期間 667 を交互に挿入することができるため、黒挿入を行う際に、分割して黒を挿入することができ、一括でまとめて、非点灯期間 667 を挿入する方式に比べて、フリッカが視認されにくい。

【0222】

また、トランジスタ 11m と第 2 の初期化電源により、非点灯期間 667 を設ける方法は、電源 $V_{DD} 653$ と $V_{SS} 654$ の配線の途中にトランジスタを設けて、トランジスタのオンオフにより強制的にドレイン電流を 0 とし、EL 素子 15 を発光させない方法に比べて、非点灯期間 667 においてもドレイン電流が駆動用トランジスタ 11a に電流が

10

20

30

40

50

流れるために、蓄積容量 19 の電荷量の変化が少ないという利点がある。つまりより蓄積容量 19 の電荷量が保持されることとなり、非点灯期間 667 が長くなったとしても、再び点灯期間 666 を設けても、同一の電流が EL 素子 15 に流れるという利点がある。

【0223】

図 69 にトランジスタ 11n により、EL 素子 15 に電流を流すかどうかを決定する画素回路構成を示す。

【0224】

非点灯期間ではトランジスタ 11n は非導通状態となり、駆動用トランジスタ 11a 及び EL 素子 15 には電流を流すことができなくなる。これにより非点灯時間を設けることが可能となる。本発明においては、トランジスタ 11n の役割をトランジスタ 11m に兼ね備えたため、より少ないトランジスタ数で画素内部の回路を形成できる点が利点である。

【0225】

非点灯期間を設ける方法としては他に、非点灯期間 667 中は、電源 VDD (653) の電圧を (電源 VSS (654) 電圧) + (EL 素子 15 の閾値電圧) 以下の値として、EL 素子 15 が電流を流さないような電圧を EL 素子 15 に印加する方法もある。この場合、図 72 に示すように、走査線毎に電源 VDD (653) の電圧を切り替える機能 (電圧切り替え部 721) を有する必要がある。1 行毎に点灯、非点灯を選択する必要がなく、複数行毎に点灯行、非点灯行を選択してもよい。この場合は複数行分の電源 VDD 653 の配線を束ねたものに対して、電圧切り替え部 721 を設ければよい。

【0226】

さらに、第 2 の初期化電圧 $V_{ini} < V_{SS} (654)$ と設定すれば、EL 素子 15 が非点灯期間 667 において、逆バイアスが印加されることとなり、有機層内部に蓄積された不要な電荷を逆バイアス印加により吐き出し、有機層にチャージされた電荷による劣化を減少させることができる利点がある。

【0227】

表示期間 662 における点灯期間 666 と非点灯期間 667 は、ソース信号線 18 において信号書込み期間 665 の後に変化させているが、任意のタイミングで切り替えを行ってもよい。ソース信号線 18 の動作とは無関係であるためである。

【0228】

閾値補償期間 664 は、5 ~ 40 μ 秒程度の範囲のいずれかで使用される。このため書き込み期間 661 を 1 水平走査期間以内で終わらせようとする、走査線本数の多いパネルでは、十分に閾値を補償するための時間を確保できないことがある。

【0229】

そこで、複数の水平走査期間にわたって閾値補償期間を設けることを考えた。図 67 に 4 水平走査期間にわたって、書込み期間を設けた例を示す。

【0230】

図 67 において、始めの 1 水平走査期間では、初期化・閾値補償期間 671 とし、図 66 の信号書込み期間 661 のうち、信号書込みのみを行わない動作をする。信号書込みはゲート信号線 17k によりソース信号線からの電圧を駆動用トランジスタ 11a のゲート電極に映像信号を書き込まないようにすれば、トランジスタ 11m が非導通状態であった場合閾値補償期間の最後の状態で駆動用トランジスタ 11a のゲート及びソース電位が保持される。トランジスタ 11m が導通状態であった場合、ソース電位は V_{ini} 電圧となるが駆動用トランジスタ 11a のソースゲート間電圧は閾値補償期間の最後の状態で保持される。そのためトランジスタ 11m はどちらの状態であってもよい。

【0231】

この状態で、ソース信号線 18 の電圧が V_{rst} (第 1 の初期化電源) となるまで保持し、ソース信号線 18 の電圧が V_{rst} になったところで、再びトランジスタ 11k を導通状態とし、トランジスタ 11m を非導通状態とすることで閾値補償動作を再開する。ソース信号線 18 の電圧が映像信号となると再び、トランジスタ 11k を非導通状態とし、

駆動用トランジスタ 11a のソースゲート間電圧を保持する。この動作を閾値補償によりムラが視認できないレベルまで繰り返し閾値補償動作を繰り返す。これが期間 672 である。なお閾値補償動作は連続する水平走査期間で実施せずに、間欠的に実施してもよい。例えば 2 水平走査期間に 1 回実施するという方法もある。また間欠的に実施するのは、閾値補償期間 672 の間ばかりでなく、初期化・閾値補償期間 671 と閾値補償期間 672、閾値補償期間 672 と映像信号書込み 673 の間に挿入されてもよい。間欠的に実施すると、閾値補正動作に時間がかかり、1 フレームに占める表示期間の割合が小さくなってしまう問題があるため、連続して実施することが好ましい。

【0232】

閾値補正が完了した後に映像信号書込み 673 に移り、対応する画素の映像信号の入力に対応してゲート信号線 17k を動作させ、駆動用トランジスタ 11a のゲート電極に映像信号電圧をとりこみ、階調に応じた電圧を蓄積容量 19 に書き込む。同一水平走査期間で、ソース信号線 18 に V_{rst} 電源が印加される期間が存在する場合には、 V_{rst} 電源が印加される期間を利用して、この間でも閾値補償動作をさせてもよい。図 67 では閾値補償動作をさせている例を示す。同一水平走査期間で、閾値補償動作も実施すると、1 水平走査期間分書込み期間を短縮することができる。

10

【0233】

以上の発明において駆動用トランジスタを n 型トランジスタで実施したが、p 型トランジスタで実施する場合の構成を図 68 に示す。電流の流れる方向や、トランジスタのソースドレイン電極が反転することから、電源電圧が高低反転するが同様に実現が可能である。トランジスタ 11k、11m についても同様で、オンオフする動作は同様で、ゲート電極に入れる信号極性が反転するのみである。駆動用トランジスタ 11a が p、n 型いずれでも、トランジスタ 11k、11m は p、n 型いずれでも適用が可能である。

20

【0234】

本発明に用いる EL 素子 15 は光共振器としての機能を与え、表示装置として必要な波長の光を有効に取り出す構成としている。

【0235】

EL 素子 15 に光共振器としての機能を与える場合、光共振器の反射面間の光路長は、例えば、0 次干渉モード：ファーストピークモード（光路長をゼロから大きくしたときに、法線方向に進行する光の強度が最初に極大値を示す光路長）の整数倍に設定する。例えば、青、緑、赤色の画素で構成された表示装置である場合、青色の画素では先の光路長を 66 nm 乃至 87 nm の整数倍の範囲内とし、緑色の画素では先の光路長を 87 nm より大きく且つ 113 nm 未満の整数倍のとし、赤色の画素では先の光路長を 113 nm 乃至 160 nm の範囲内の整数倍とする。

30

【0236】

また、光路長を可能な限り短くする、すなわち、より次数の低い干渉モードに設定する、理想的には 0 次干渉モードに設定することで、有機物層 702 を薄くすることができるため、それに使用する材料の量を低減することができる。加えて、この場合、各々発光色の画素において、共振条件の最適化が容易になる。加えて、EL 素子 15 を駆動する電圧を低くすることができ、より低消費電力化が図れる。

40

【0237】

なお、先の光路長は、光共振器の反射面間に介在している層の屈折率や厚さを変更することにより変化する。但し、多くの場合、これら層の屈折率を自由に変更することはできない。例えば、通常、有機物層 702 及び電極に使用する材料の屈折率は 1.5 乃至 3.0 である。したがって、通常、先の光路長は、光共振器の反射面間に介在している層の厚さで調節する。尚、材料の屈折率は、波長分散性も考慮する。

【0238】

このようにして設計された EL 素子 15 は、有機物層 702 の膜厚が薄く、これにより EL 素子 15 の持つ容量が大きくなるという特徴を持つ。

【0239】

50

EL素子15の容量 C_{oled} が大きくなると、映像信号データの電圧 V_{data} 振幅を小さくすることができる。駆動用トランジスタ11aの蓄積容量19の両端に印加される電圧は、 $C_{oled} / (C_{st} + C_{oled}) \times (V_{data} - V_{rst}) + V_{th}$ で示され、電流を多くとるために蓄積容量19により多くの電荷を蓄えようとする V_{data} の値を大きくするか C_{oled} を大きくするか、 C_{st} を小さくすることがある。0次干渉モードで設計されたEL素子15を用いれば、高次干渉モードで設計されるEL素子15に比べて C_{oled} が大きくなり、 C_{oled} が小さいことにより、新たにEL素子15に並列に補助容量を形成する必要がなくなり、より高精細の画素にでも図65の回路構成を適用することが可能となる。

【0240】

V_{data} の振幅は、ソース信号線から映像信号を供給するソースドライバICの耐圧によって最大値が定められ、タイミングコントローラ部をソースドライバICに組み込んだソースドライバICでは5.5Vが最大である。ソースドライバICに印加する電源電圧の揺れや、電源電圧付近の電圧を出力するアンプを形成することが難しく一般的には電源電圧付近0.2V程度が電圧出力性能が悪いことを考慮すると、 V_{data} として使える電圧範囲は約5Vが最大である。 V_{rst} 電源については、ソース信号線を介して入力する場合、ソースドライバICの耐圧範囲外で電圧入力することはソースドライバICに耐圧を超える電圧が入力される恐れがあることから使えず、最小でも0Vである。それゆえに、映像信号振幅をなるべく小さくするためには、 $C_{oled} / (C_{st} + C_{oled})$ を大きくとる必要がある。図71(a)に映像信号振幅との関係を示す。これによると、 $C_{oled} / (C_{st} + C_{oled})$ の値は0.4以上とる必要がある。 C_{oled} を大きく、 C_{st} を小さくすればよいが、 C_{oled} の大きさは、画素の面積(解像度)により最大値が決められ、図71(b)の関係となる。また C_{st} については、1フレーム間書き込み期間661で書き込まれた電圧を保持するために小さくすることに限界があり、1フレーム間電圧を保持できない場合には、1フレームの始めと最後でEL素子15に流れる電流が変化することによるフリッカが発生する。保持率は90%以上が好ましく、そのためには C_{st} は0.05以上必要である。

【0241】

EL素子15を用いた表示装置においては、EL素子15の初期劣化による焼きつきを防止するため、あらかじめ出荷段階でEL素子15に通電を行い、初期劣化をさせた後に出荷を行い、焼きつきを防止することがある。このとき、通電時間を短くするために通常よりも大きな電流をEL素子15に流して、初期劣化をすばやく終わらせるようにする必要がある。図72の構成で表示装置を形成した場合には、電圧切り替え部721に用いるスイッチのオン抵抗が大きいと、通常表示状態では電圧切り替え部721の電位降下量が小さくても、電流を大きくするにつれ、電圧切り替え部721での電圧降下が大きくなり、EL素子15の点灯に必要な電圧を得ることができなくなる。これに対処するためには、電圧切り替え部721に用いるスイッチのオン抵抗を下げるようにすればよいが、スイッチをトランジスタで形成している場合には、トランジスタのチャネル幅を大きくする必要があり、電圧切り替え部721の回路が大きくなる。電圧切り替え部721は、アレー上に形成された場合、表示エリア外の額縁に相当する部分に形成されることが多いため、額縁の面積が増大するという問題がある。表示エリアに対して大きなガラス面積が必要であり、携帯電話等の小型機器で要求される額縁をなるべくするなくすることが困難となる。

【0242】

そこで本発明では、初期劣化を行う通電時間には、電源 V_{ini} (652)の電源線に、EL素子15を発光させるのに必要な電圧(V_1)と、電流を供給するための電源を外部から印加し、VDD電源653には電圧を印加せず、スイッチ11kは非導通状態、スイッチ11mを導通状態として、電源 V_{SS} (654)と V_1 をEL素子15に印加することでEL素子15を発光させ初期劣化を行う動作を実現する。このときには、図66のような書き込み動作を行わないことから、電源 V_{ini} (652)線には第2の初期化電圧

を印加する必要がなく、V 1のみを印加するのみであるため、切り替え動作は不要で、初期劣化を行うための駆動回路を専用に作成し、電源V i n i (6 5 2)に印加するのであれば、切り替え機能を有することなく、電源V 1から直接電圧を印加でき、アナログスイッチ等による電圧降下のない回路が形成でき、大電流でのE L素子15の点灯が可能である。切り替え部721は、このとき使用しないことから、通常状態の電流で電圧降下が問題とならない程度のトランジスタサイズで形成でき、額縁を小さくできる。電源V i n i (6 5 2)に印加する電圧は通常駆動時には、第2の初期化電圧であるので、通常駆動時に接続される駆動回路では電源V i n i (6 5 2)には第2の初期化電圧を外部から印加するようにすれば図66に示すような通常動作も実現可能である。

【0243】

(20) 閾値補正機能

図81は、駆動用トランジスタ11aの閾値補正機能を有する画素構成の例である。

【0244】

図65に対して、駆動用トランジスタ11aのソース電極の電圧を初期化するための初期化手段が異なる。図65ではトランジスタ11mを用いて駆動用トランジスタ11aのソース電極に初期化のための電圧を印加したが、図81では、トランジスタ11pと11qの動作により、初期化の際に、E L電源B(734)よりも低い電圧であるリセット電源をリセット電源線731からトランジスタ11q1を介して駆動用トランジスタ11aに入力し、駆動用トランジスタ11aのソース電極(節点811)の電圧を低い電圧とし、同時にソース信号線18から印加される第1の初期化電圧よりも低い電圧となり、駆動用トランジスタ11aに電流が流れるような、ゲートソース間電圧が駆動用トランジスタ11aに印加される。これにより、初期化が行われる。(初期化期間663に対応)

次に、トランジスタ11pと11qの動作を反転させ、E L電源A(732)を駆動用トランジスタ11aのドレイン電極に入力する。E L電源Aの電圧はE L電源Bよりも高い電圧で、E L素子15が発光するのに必要な電位差をもって印加される。図65のV D D(653)と同一の電圧をE L電源A(732)に印加すれば、動作は図65と同様になり、閾値補償期間664が実行され、ソース信号線18に映像信号が印加されれば、信号書込み期間665となる。

【0245】

図81の画素回路16では、1画素あたりにトランジスタ11が4つ必要となり、1画素を形成するのに必要な面積が多くなる問題がある。

【0246】

より1画素あたりの面積を小さく、高精細画素にでも対応できる回路を図73に示す。図73において、駆動用トランジスタ11aのドレイン電極を赤緑青の画素で共通の配線733で接続し、トランジスタ11pとトランジスタ11qを3つの画素で共用することを考えた。動作は図81と同様である。

【0247】

図73の画素構成における、特性キャンセル、映像信号に応じた階調電圧の書込みと、発光期間、非発光期間のタイミングを図74に示す。

【0248】

画素16aに書き込まれるべき映像信号が、ソース信号線18aに入力される期間において、書込みを行う。駆動用トランジスタ11aの特性を補正するために、リセット期間741と特性キャンセル期間742があり、この期間では、ソース信号線18aには第1の初期化電圧(V r s t)が印加される。V r s tの電圧条件は、図65と同様である。映像信号書込み期間743においては、画素16aに対応する電圧がソース信号線16aに印加される。

【0249】

特性キャンセルを行うために、駆動用トランジスタ11aのリセットを第1に行う。(リセット期間741)このときゲート信号線1(17p)によりトランジスタ11pが非導通、トランジスタ11qが導通状態となり、各画素の駆動用トランジスタ11aにリセ

10

20

30

40

50

ット電源線 731 に印加された第 3 のリセット電圧が印加される。同時にゲート信号線 2 (17k) によりトランジスタ 11k が導通状態となり第 1 のリセット電圧が、駆動用トランジスタ 11a のゲート電極に印加される。第 3 のリセット電圧が、EL 電源 B (774) よりも低電圧で印加されれば、節点 739 の電位は十分低い電圧となる。このとき EL 素子 15 には逆バイアス電圧又は、順方向電圧であっても、閾値電圧以下の電流が流れない状態の電圧が印加されている。このとき駆動用トランジスタ 11a のゲートソース間電圧は、駆動用トランジスタ 11a の閾値電圧よりも十分大きな電圧が印加されている。次に特性キャンセル期間 742 においてゲート信号線 1 (17p) によりトランジスタ 11p が導通状態で 11q が非導通状態となり、駆動用トランジスタ 11a にドレイン電流が流れる。これにより節点 739 の電位が上昇するが、電位上昇につれて、駆動用トランジスタ 11a のソースドレイン間電圧が小さくなり、閾値電圧付近にまで上昇するとドレイン電流が流れなくなり、節点 739 の電圧上昇がとまる。ここで第 1 のリセット電圧と、EL 電源 B (734) の電位差を駆動用トランジスタ 11a 及び EL 素子 15 の閾値電圧の総和よりも小さくしておくことで、特性キャンセル期間 742 において、蓄積容量 19 に駆動用トランジスタ 11a の閾値電圧に相当する電圧が蓄えられる。

10

20

30

40

50

【0250】

次にソース信号線 18a に画素 16a に対応する階調の電圧が印加される。(映像信号書込み期間 743) 駆動用トランジスタ 11a のゲート電極の電圧が、第 1 のリセット電圧から階調に応じた電圧まで変化する。一方で節点 739 の電圧は、EL 素子 15 の浮遊容量により支えられ、駆動用トランジスタ 11a のゲート電圧の変化量に対し、(蓄積容量 19 の容量) / (蓄積容量 19 の容量 + EL 素子 15 の浮遊容量) の割合で変化する。EL 素子 15 の容量が、蓄積容量 19 に比べて十分大きければ、ソース信号線 18a の電圧変化量が、そのまま蓄積容量 19 に印加され、映像信号書込み期間 743 の終了時には、蓄積容量 19 に、駆動用トランジスタ 11a の閾値電圧と階調に応じた信号電圧の和が印加され、駆動用トランジスタ 11a の特性補正を行いつつ、階調表示を実現することができる。

【0251】

書込みが終了すると次に、発光期間となる。発光期間 744 では、ゲート信号線 1、2 の動作により、トランジスタ 11p が導通状態、トランジスタ 11q、11k が非導通状態となる。駆動用トランジスタ 11a のゲートソース間電圧(つまり蓄積容量 19 に蓄えられた電荷)により、EL 電源 A と EL 電源 B 間に流れる電流が制御され、階調に応じた電流が EL 素子 15 に流れる。動画応答性をよくするために黒挿入を行う場合には、ゲート信号線 1 (17p) を制御し、EL 電源 A (732) からリセット電源 731 に変更することで、EL 素子 15 に逆バイアスが印加され、非発光状態となる。(期間 745) 黒を実現する方法が、蓄積容量 19 の電圧変化によるものではないため、本発明の方式では、黒挿入を実施した後にさらに、発光期間 744b を設けることも可能である。

【0252】

なお、ここでトランジスタ 11p は 2 つ記載されているが、図 75 に示すように少なくとも 1 つあればよい。図 75 において、トランジスタ 11p のチャネルサイズを大きくして、より大きな電流でもトランジスタ 11p のオン抵抗を低くすることができる。図 73 のようにトランジスタ 11p を形成すると、各色の画素のトランジスタ数を同一にすることができ、色毎に異なるレイアウトにするよりも、レイアウト起因による信号線カップリングの差などでのムラを低減できる効果がある。

【0253】

また、トランジスタ 11p と 11n は、p 型、n 型トランジスタのいずれでもよく、図 76 に示すようにゲート信号線 1 (17p) を EL 電源 A (732) 接続用スイッチ 761a と、リセット電源線 (731) 接続用スイッチ 761b 用に個別に用意して、制御する方法であってもよい。このときゲート信号線 1A (17pA) とゲート信号線 1B (17pB) の入力図 77 に示すようになる。ここでハイレベルがスイッチ 761 が導通状態、ローレベルが非導通状態である。ゲート信号線 1 (17p) を 2 本に分けて、個別に

制御する方式では、非発光期間 7 4 5 においてスイッチ 7 6 1 a、7 6 1 b の両方ともを非導通状態として、E L 素子 1 5 に電流を流す経路をなくす方法もある。ゲート信号 1 B (1 7 p B) は、非発光期間 7 4 5 においてはいずれの状態であってもよい。

【 0 2 5 4 】

スイッチ 7 6 1 a と 7 6 1 b は、赤青緑の画素で 1 組として記載しているが、複数の赤青緑で共用してもよい。例えば 2 × (赤緑青) の画素で 1 組とした例を図 7 8 に示す。一般的に $n \times$ (赤緑青) の画素で 1 組にまとめてもよい。

【 0 2 5 5 】

また、図 8 2 に示すように、異なる行の 1 赤緑青の画素を 1 つにまとめてもよい。この場合、リセット電源線 7 3 1、E L 電源 A (7 3 2)、ゲート信号線 1 A (1 7 p A)、ゲート信号線 1 B (1 7 p B)、スイッチ 7 6 1 a、7 6 1 b を 2 行分で共用できることから、更に 1 画素あたりに必要な回路面積を削減することが可能となる。図 8 3 に動作波形を示す。ゲート信号線 1 A 及び 1 B (1 7 p) は、2 行分のリセット期間を作成するため、少なくとも 1 フレームで 2 回、リセット電源線 7 3 1 の電圧を駆動用トランジスタ 1 1 a に供給するようにしている。始めに n 行目、次に $n + 1$ 行目の画素について初期化を行う。(便宜上 n 行目を先に走査するものとしている) ソース信号線からの映像信号の書込みは、各行の画素とも個別に実施する必要があるため、ゲート信号線 2 (1 7 k) については、 n 行用と $n + 1$ 行用で個別に制御される。この走査で、 n 行目、 $n + 1$ 行目とも駆動用トランジスタの特性補正を行いつつ階調に応じた電圧が蓄積容量に記憶され、発光期間 7 4 4 に所定の輝度にて発光するようになる。1 フレームにおける発光期間の割合についても、 n 行目と $n + 1$ 行目で同一であり、行による輝度差は発生しないようになっている。なお 2 行ばかりでなく、一般的に m 行分まとめてスイッチ 7 6 1 を形成しても同様に実施が可能である。

【 0 2 5 6 】

画素回路 1 6 で、駆動用トランジスタ 1 1 a は n 型のトランジスタで構成している例で説明を行ったが、 p 型のトランジスタであっても図 7 9 に示すように同様に実現が可能である。なおトランジスタ 1 1 k については p 型、 n 型どちらであってもよい。ソース信号線の電圧を画素回路内部に取り込むか取り込まないかを選択できる機能を有すればよい。

【 0 2 5 7 】

さらに、E L 素子 1 5 の容量が大きい場合には、補助容量として図 8 0 に示すように容量 8 0 1 を追加しても同様に実施が可能である。

【 0 2 5 8 】

ドライバ IC の出力パッド数を減らし、IC のコストを下げる方法として、複数のソース線用の階調電圧を複数のソース信号線に分配する信号線選択駆動がある。

【 0 2 5 9 】

図 8 4 は本発明の画素構成における信号線選択駆動を適用した例である。本発明での選択駆動方式では、液晶表示装置に比べて、ソース信号線 1 8 に、第 1 のリセット電圧 (V_{rst}) を印加する機能を有することで、異なる回路構成となっている。2 選択駆動 (ドライバ出力 1 つに対して、2 つのソース信号線を駆動する) における例を図 8 4 に示す。信号線選択回路 8 4 1 は、ソースドライバ出力 8 4 2 又は、 V_{rst} (6 5 7) のいずれか一方をソース信号線 1 8 に出力する切り替え回路 8 4 4 を 2 組有している。2 組の切り替え回路 8 4 4 はお互い異なる選択をする動作となる。つまりソースドライバ出力 8 4 2 は信号線選択を行ういずれか一方のソース信号線 1 8 と接続され、 V_{rst} 6 5 7 についてもいずれか一方のソース信号線 1 8 と接続される。

【 0 2 6 0 】

各信号のタイミングチャートを図 8 5 に示す。2 倍速で 1 水平走査期間に 2 画素分の映像信号に対応するデータがソースドライバ出力 8 4 2 が転送される。信号線選択回路 8 4 1 により各ソース信号線 1 8 には、1 水平走査期間の間に V_{rst} (6 5 7) と、映像信号に対応した電圧が交互に入力されるようになる。

【 0 2 6 1 】

10

20

30

40

50

水平走査期間の前半に映像信号となるか、後半に映像信号となるかで、映像信号を画素 16 に取り込むタイミングが異なるため、ゲート信号線 2 (17k) のタイミングをずらす必要がある。そこで、水平走査期間の前半に映像信号が入力される画素には、ゲート信号線 2 [n] (17k2) を、後半に映像信号が入力される画素にはゲート信号線 2 [n + 0.5] (17k1) を入力するようにする。2 つの信号は 0.5 水平走査期間分ずれて入力される。

【0262】

ゲート信号線 1 (17p) とゲート信号線 2 (17k) がハイレベルにあるときにリセット期間となる。このときソース信号線 18 の電圧は V_{rst} (657) である。

【0263】

特性キャンセル期間 742 は、図 85 で「OC」と記載されたタイミングで実施され、ゲート信号線 1 がローレベル、ゲート信号線 2 (17k) がハイレベル、ソース信号線 18 電圧が V_{rst} であるときに、画素回路 16 がオフセットキャンセル動作を行い、駆動用トランジスタ 11a の特性バラツキを補正する。その後映像信号の入力にあわせて映像信号書込みを実施し、画素 16 に階調に応じた電圧を記憶させる。書込み後点灯動作に入り、EL 素子 15 が発光し、所定の輝度を得る。

【0264】

なお、図 84 に示すような信号線選択駆動をした場合においても、図 86 のように、2 赤緑青画素毎にスイッチ 11p、11q をまとめてもよいし、図 73 の回路に対して、図 75、図 76、図 78 ~ 図 82 の画素構成のような変形例を適用することが可能である。

【0265】

(変更例)

本発明のトランジスタは、TFТばかりでなく、バイポーラトランジスタでも同様に実現が可能である。また、TFТについても、ポリシリコン、結晶シリコン、アモルファスシリコンなど構成材料によらず同様に実施が可能である。

【0266】

また、本発明の実施形態を組み合わせることも可能である。

【0267】

また、本実施形態における EL 表示装置の画素は、単色の画素構成、赤緑青の 3 色、赤緑青白の 4 色、シアンイエローマゼンダの 3 色、ペンタイル画素構成等、表示色を問わず適用が可能である。

【0268】

また、本実施形態の赤色、緑色、青色の並びの画素構成については、一例を示しているのみである。

【0269】

また、図 14、図 16 等で、1 列分の画素構成が記載されているが、これは、ストライプ状に形成されていても、デルタ配列に形成されていても、ソース信号線が共通の複数の画素があれば同様に適用が可能である。

【産業上の利用可能性】

【0270】

本発明に係る EL 表示装置は、オフセットキャンセル期間を十分に確保できるため、良好なオフセットキャンセルを実現できる。そのため、駆動用トランジスタ 11a の特性バラツキが発生しても、特性バラツキをキャンセルすることができ、良好な画像表示を実現できる。

【図面の簡単な説明】

【0271】

【図 1】EL 表示装置の画素の構成図である。

【図 2】EL 表示装置の駆動方法の説明図である。

【図 3】EL 表示装置の説明図である。

【図 4】EL 表示装置の画素の構成図である。

10

20

30

40

50

- 【図 5】E L 表示装置の画素の構成図である。
- 【図 6】E L 表示装置の説明図である。
- 【図 7】E L 表示装置を用いた機器の説明図である。
- 【図 8】E L 表示装置を用いた機器の説明図である。
- 【図 9】E L 表示装置を用いた機器の説明図である。
- 【図 10】E L 表示装置の画素の構成図である。
- 【図 11】E L 表示装置の画素の構成図である。
- 【図 12】E L 表示装置の駆動方法の説明図である。
- 【図 13】E L 表示装置の駆動方法の説明図である。
- 【図 14】複数のソース信号線から画素に映像信号を取り込む構成を示した図である。 10
- 【図 15】図 14 の構成におけるゲートドライバ回路 1 2 a の動作を示した図である。
- 【図 16】複数の水平走査期間にまたがって特性キャンセル動作を行う場合のゲートドライバ回路と画素構成の例を示した図である。
- 【図 17】図 16 のゲートドライバ回路の動作を示した図である。
- 【図 18】図 16 のゲートドライバ回路の動作を示した図である。
- 【図 19】シフトレジスタ 1 相で複数の水平走査期間にまたがって特性キャンセル動作を行う場合の回路を示した図である。
- 【図 20】図 19 の回路構成を用いた場合のゲートドライバ回路の動作を示した図である。
- 【図 21】ゲートドライバ回路 1 2 a 2 のイネーブル信号を削除した場合の入力波形及び動作を示した図である。 20
- 【図 22】3 信号線選択駆動を実施した場合の各色信号線の映像信号変化タイミングを示した図である。
- 【図 23】3 信号線選択駆動と各列 2 本の信号線を有する E L 表示装置の回路構成を示した図である。
- 【図 24】図 23 における画素 1 6 c の動作を示した図である。
- 【図 25】本発明における画素 1 6 の回路を示した図である。
- 【図 26】図 23 の回路におけるゲートドライバ回路及び信号線選択回路の動作を示した図
- 【図 27】3 信号線選択駆動と各列 2 本の信号線を有し、ゲートドライバ回路が初期化用と特性キャンセル及び階調信号書き込み用に分離された E L 表示装置の回路構成を示した図である。 30
- 【図 28】図 27 の回路構成におけるゲートドライバ回路の動作を示した図である。
- 【図 29】n 型 T F T を用いた画素回路を示した図である。
- 【図 30】容量 1 9 b が形成された画素回路において、ゲート信号線の動作を 1 フレーム間示した図である。
- 【図 31】駆動用トランジスタのオフセットキャンセル動作時に電流源により一定ドレイン電流を流す場合の画素回路構成を示した図である。
- 【図 32】図 31 の画素回路構成におけるゲート信号線、ソース信号線の入力波形と、駆動用トランジスタのゲート電圧と E L 素子の動作を示した図である。 40
- 【図 33】駆動用トランジスタのオフセットキャンセル動作時に電流源により一定ドレイン電流を流し、キャンセル動作前に初期化用電源を用いてゲート電圧を低く設定する場合の画素回路構成を示した図である。
- 【図 34】図 33 の回路構成におけるゲート信号線、ソース信号線と切り替え手段の入力波形とトランジスタ 1 1 a のゲート電圧、E L 素子の動作を示した図である。
- 【図 35】駆動用トランジスタ 1 1 a の初期化電圧を特性ばらつきに応じて異ならせるための画素回路を示した図である。
- 【図 36】図 35 の画素構成におけるゲート信号線 1 7、切り替え手段 3 3 3、ソース信号線 1 8 の入力パターンと、トランジスタ 1 1 a のゲート電圧、E L 素子 1 5 の動作を示した図である。 50

【図 3 7】図 3 5 の画素回路を有する E L 表示装置において同一列において複数のソース信号線から階調電圧が供給される場合の回路構成を示した図である。

【図 3 8】図 3 7 の回路構成における、画素 1 6 a の入力信号波形と、駆動用トランジスタ 1 1 a、E L 素子 1 5 の動作を示した図である。

【図 3 9】図 3 7 の回路のうち、初期化電源 3 3 1 を用いない場合の画素 1 6 a の入力信号波形、駆動用トランジスタ 1 1 a、E L 素子 1 5 の動作を示した図である。

【図 4 0】駆動用トランジスタ 1 1 a のゲート電圧を (a) 初期化電源で初期化した場合、(b) 電流源で初期化した場合の変化の様子を示した図である。

【図 4 1】電流源による特性キャンセル期間が存在しない場合の駆動用トランジスタ 1 1 a のゲート電圧の変化を示した図である。

【図 4 2】表示色毎の、電流に対する輝度特性である。

【図 4 3】表示色毎に、異なる初期化電源を供給できる有機 E L 表示装置を示した図である。

【図 4 4】初期化電圧に対する表示ムラが補正可能な E L に流れる電流範囲の関係を示した図である。

【図 4 5】E L 電源を表示色毎に異ならせた有機 E L 素子を用いた表示装置の画素回路構成を示した図である。

【図 4 6】表示色毎に駆動用トランジスタの特性キャンセル時間を異ならせる画素回路構成を示した図である。

【図 4 7】(a) 従来の回路構成における (b) 図 4 5 の回路構成における、駆動用トランジスタのゲート電圧の振幅を表示色毎に示した図である。

【図 4 8】電圧シフト容量 4 8 1 を形成し、表示色毎に容量を異ならせた有機 E L 素子を用いた表示装置の回路構成を示した図である。

【図 4 9】(a) 従来の駆動方法による書き込み後の駆動用トランジスタ 1 1 a のゲート電圧と、(b) 図 4 8 の回路構成を用いた場合の駆動用トランジスタ 1 1 a の書き込み後のゲート電圧の色毎の範囲を示した図である。

【図 5 0】駆動用トランジスタ 1 1 a のチャンネル長に対するチャンネル幅の割合を青色の画素のみ変化させた場合 (b) とすべての表示色で同一の場合 (a) における各色の駆動用トランジスタ 1 1 a のゲート電圧範囲を示した図である。

【図 5 1】表示色毎に、画素内に設けた映像信号保持用コンデンサの容量を可変した回路を有する E L 表示装置を示した図である。

【図 5 2】(a) ソース信号線 1 8 からの書き込み電圧が 4 V の時における駆動用トランジスタ 1 1 a のゲート電圧の変化の様子を示した図、(b) (a) の変化の際のドレイン電流の変化を示した図、(c) ソース信号線 1 8 からの書き込み電圧が 1 V の時における駆動用トランジスタ 1 1 a のゲート電圧の変化の様子を示した図、(d) (c) の変化の際のドレイン電流の変化を示した図である。

【図 5 3】(a) ソース信号線 1 8 電圧が 4 V で、リセット電圧が - 2 V のときの駆動用トランジスタ 1 1 a のゲート電圧の変化の様子を示した図、(b) ソース信号線 1 8 電圧が 1 V で、リセット電圧が - 5 V のときの駆動用トランジスタ 1 1 a のゲート電圧の変化の様子を示した図である。

【図 5 4】ソース信号線 1 8 から書き込まれる電圧に対して一定の電圧分降下したりリセット電圧を印加することができる E L 表示装置の回路構成を示した図である。

【図 5 5】リセット電圧発生部を有し、ソース信号線 1 8 電圧に応じたりセット電位を供給する E L 表示装置の回路構成を示した図である。

【図 5 6】ソース信号線 1 8 の電圧値に対応して変化するリセット電位をリセット期間 3 6 1 に供給することが可能な E L 表示装置である。

【図 5 7】図 5 6 の回路構成におけるゲート信号線 1 7 の動作を示した図

【図 5 8】ソース信号線電圧とリセット電圧の関係を示した図である。

【図 5 9】本発明の形態におけるソース信号線とリセット電圧の関係を示した図である。

【図 6 0】閾値補正を行う画素構成で適用する場合の回路を示した図である

10

20

30

40

50

【図 6 1】駆動用トランジスタ 1 1 a の特性バラツキを補正するための画素回路構成を示した図である。

【図 6 2】図 6 1 の回路におけるゲート信号線 1 7 の動作を 1 フレーム間示した図である。

【図 6 3】駆動用トランジスタ 1 1 a の特性バラツキを補正するための画素回路構成を示した図である。

【図 6 4】図 6 3 の画素構成におけるゲート信号線波形を示した図である。

【図 6 5】本発明における駆動用トランジスタ 1 1 a の特性ばらつき補正機能を有する画素回路を示した図である。

【図 6 6】図 6 5 に示した画素回路を動作するための信号線波形を示した図である。

10

【図 6 7】図 6 5 に示した画素回路において、書込み期間を複数の水平走査期間にわたって実施した場合の信号線波形を示した図である。

【図 6 8】p 型トランジスタにより画素回路を形成した図である。

【図 6 9】E L 素子 1 5 に電流を流すかどうかを決定するためのトランジスタ 1 1 n を挿入した画素回路を示した図である。

【図 7 0】本発明の E L 素子 1 5 の構成を示した図である。

【図 7 1】(a) 図 6 5 の画素回路における容量と信号線振幅の関係、(b) E L 素子の容量と最大解像度の関係、(c) 蓄積容量と電圧保持率の関係を示した図である。

【図 7 2】V D D 電源 (6 5 3) の電圧切り替え機能を有する回路を示した図である。

【図 7 3】本発明における 1 画素当たりのトランジスタ数を削減した、駆動用トランジスタ特性補正機能付の画素回路を示した図である。

20

【図 7 4】図 7 3 の画素回路構成における、ゲート信号線 1 7 とソース信号線の波形を示した図である。

【図 7 5】図 7 3 において、トランジスタ 1 1 p の数を減らした場合の画素回路を示した図である。

【図 7 6】トランジスタ 1 1 p、1 1 q をスイッチに置き換えたときの画素回路を示した図である。

【図 7 7】図 7 6 の画素構成における、ゲート信号線、ソース信号線の波形を示した図である。

【図 7 8】6 画素分の E L 素子 1 5 に電流を供給するためのスイッチを共通にした場合の画素回路を示した図である。

30

【図 7 9】駆動用トランジスタを p 型トランジスタで形成した場合の画素回路を示した図である。

【図 8 0】E L 素子 1 5 に補助容量を形成した場合の画素回路を示した図である。

【図 8 1】色毎にトランジスタ 1 1 p 及び 1 1 q を構成した場合の各色の画素回路を示した図である。

【図 8 2】2 行分の赤緑青画素毎に、スイッチ 7 6 1 を設けた場合の画素回路を示した図である。

【図 8 3】図 8 2 におけるソース信号線及びゲート信号線波形を示した図である。

【図 8 4】信号線選択駆動を実施した場合における、赤緑青画素共通の E L 素子電流供給用スイッチを有する画素回路を示した図である。

40

【図 8 5】ソースドライバ出力と、ソース信号線、ゲート信号線の波形と、画素の動作状態を示した図である。

【図 8 6】2 行の赤緑青画素分の E L 素子電流供給用スイッチを共用にし、信号線選択駆動を実施するための回路構成を示した図である。

【符号の説明】

【 0 2 7 2 】

1 1 トランジスタ

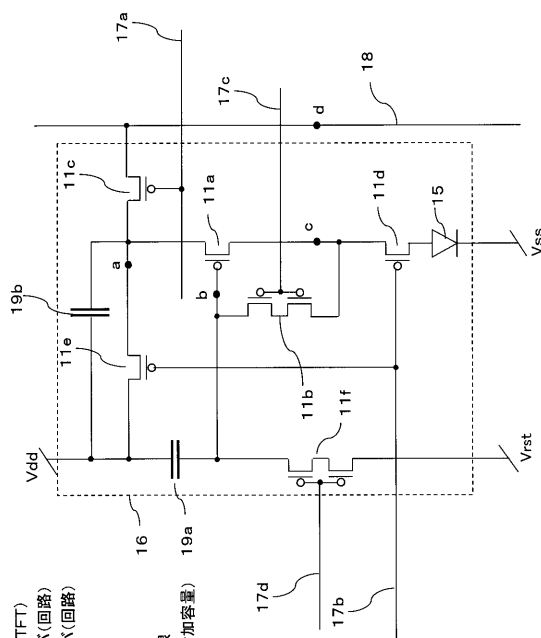
1 2 ゲートドライバ回路

1 4 ソースドライバ回路

50

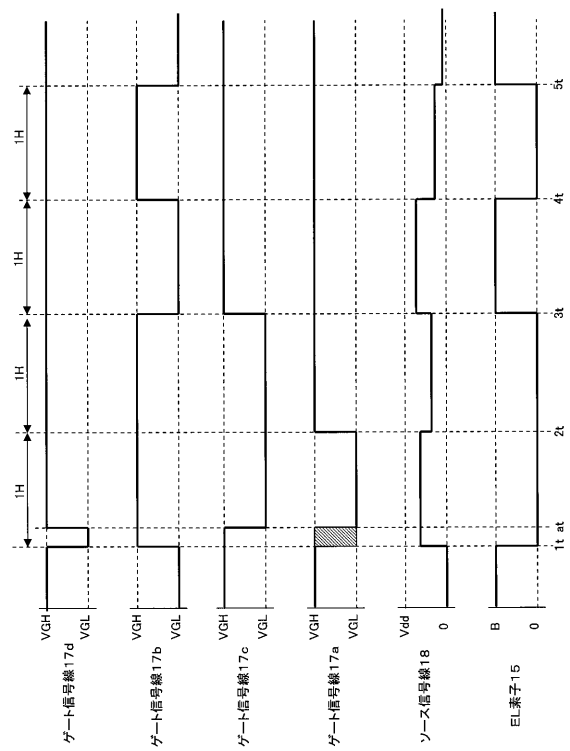
- 15 EL素子
- 16 画素
- 17 ゲート信号線
- 18 ソース信号線
- 19 蓄積容量 (付加コンデンサ、付加容量)

【図1】

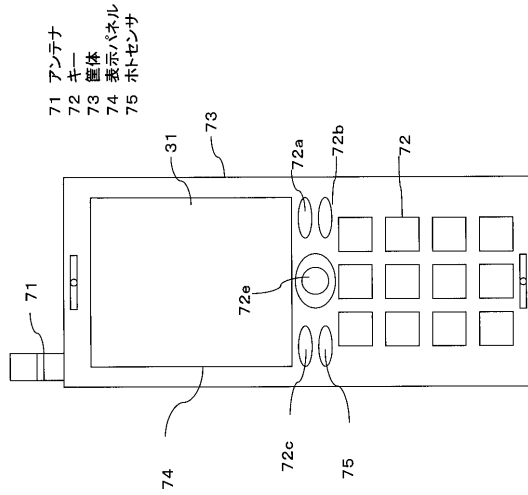


- 11 トランジスタ(TFT)
- 12 ゲートドライバ(回路)
- 14 ソースドライバ(回路)
- 15 EL(素子)
- 16 画素
- 17 ゲート信号線
- 18 ソース信号線
- 19 蓄積容量(付加容量)

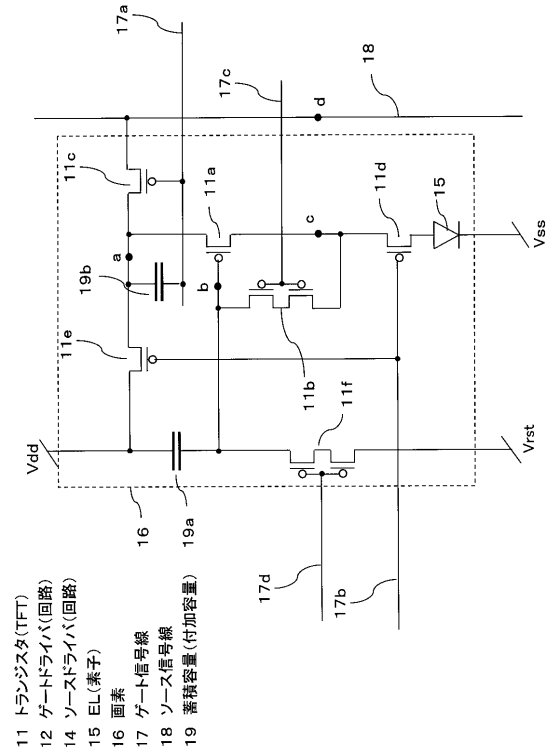
【図2】



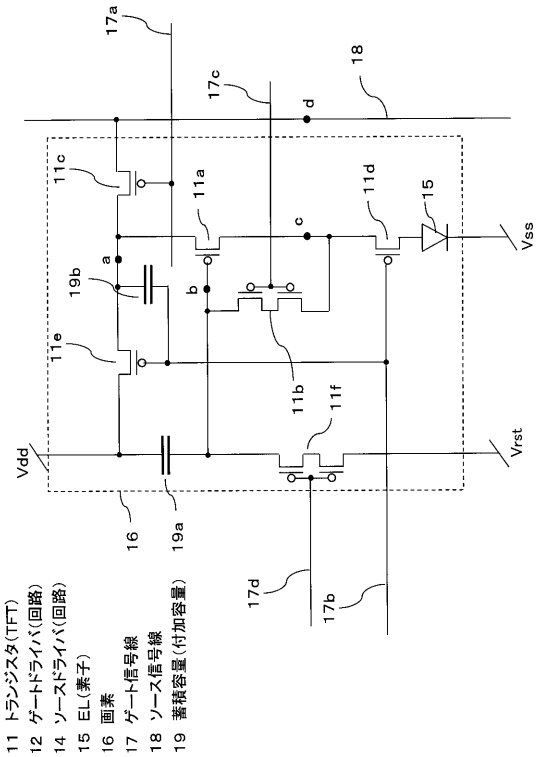
【図 7】



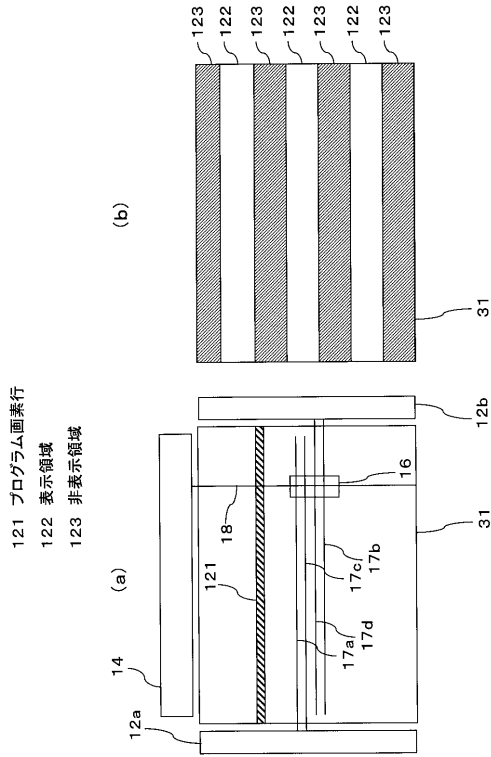
【図 10】



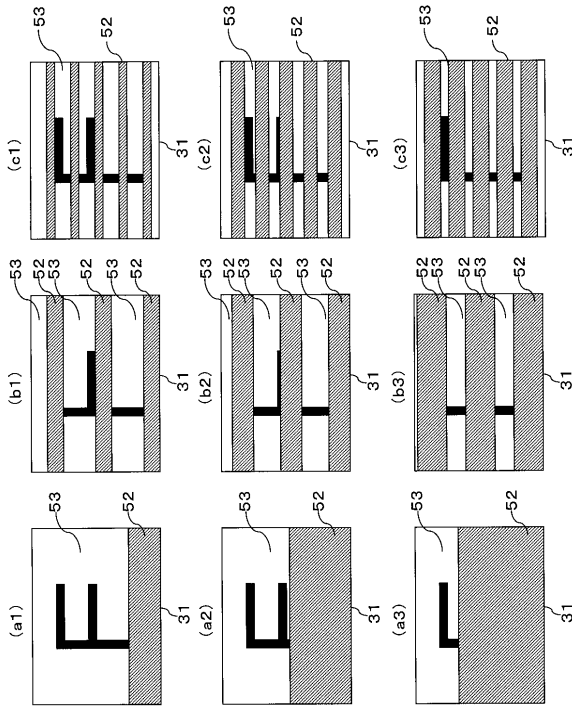
【図 11】



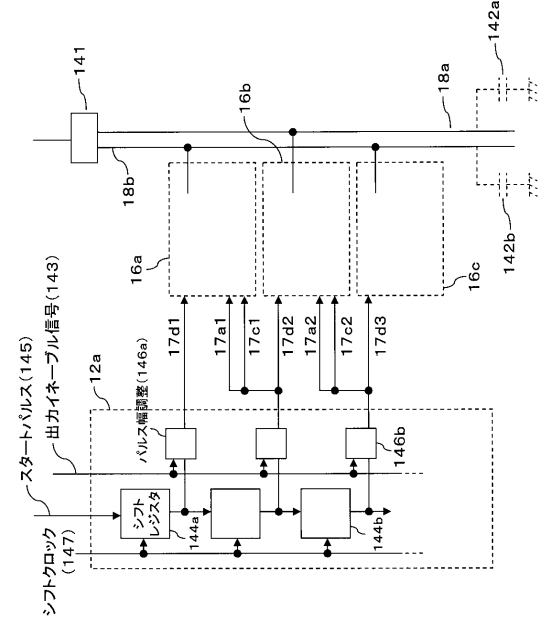
【図 12】



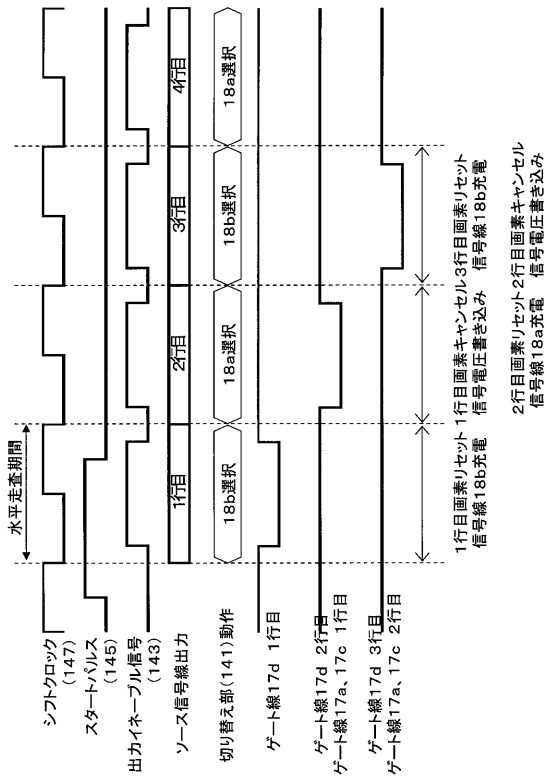
【図 1 3】



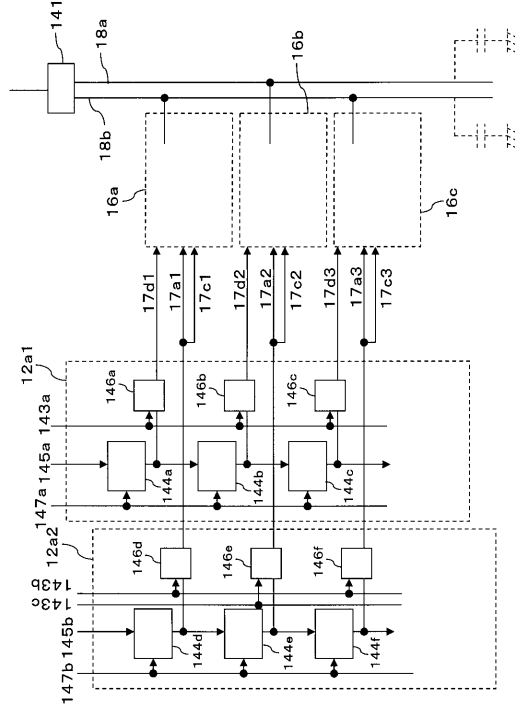
【図 1 4】



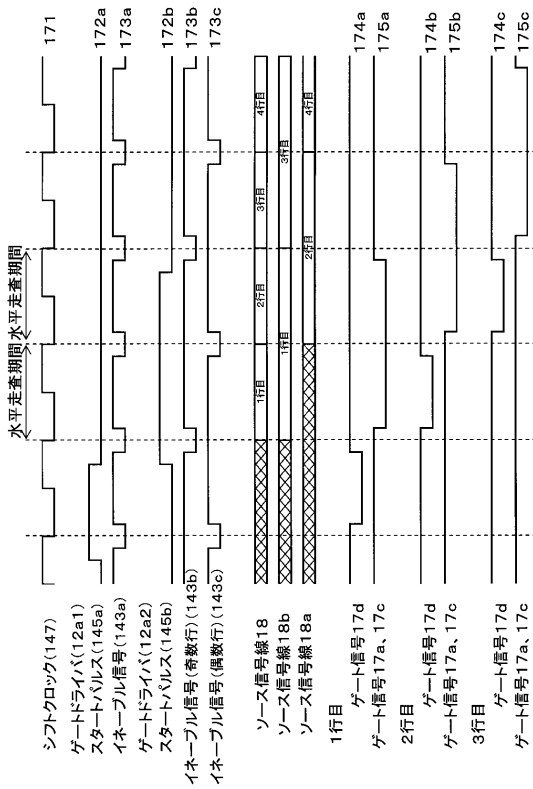
【図 1 5】



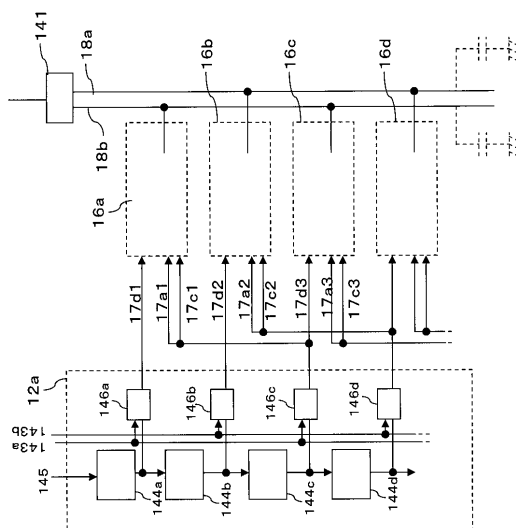
【図 1 6】



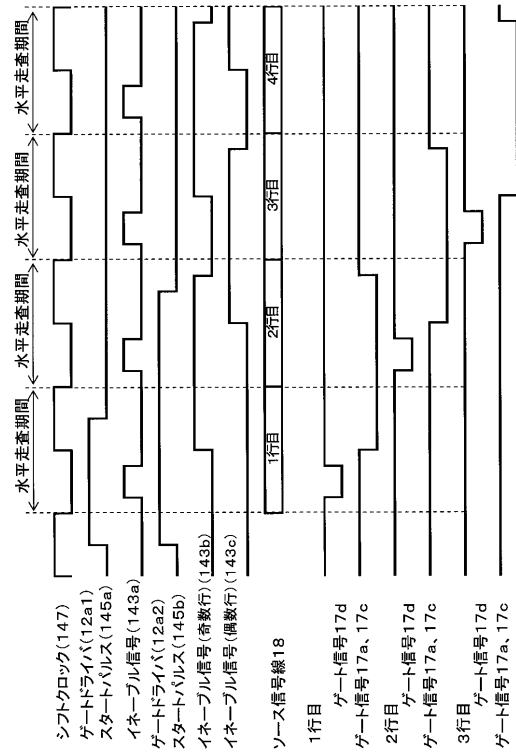
【図 17】



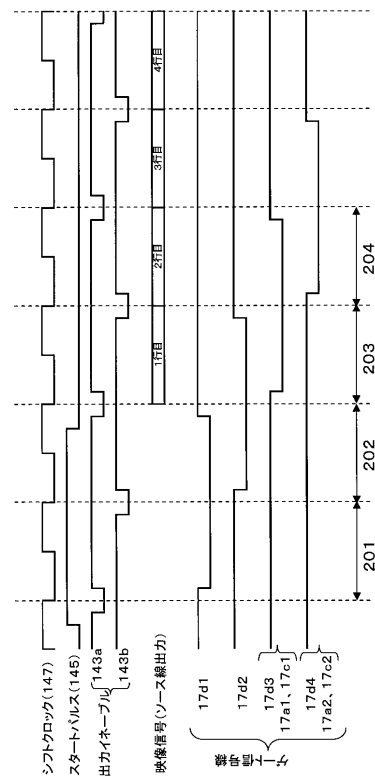
【図 19】



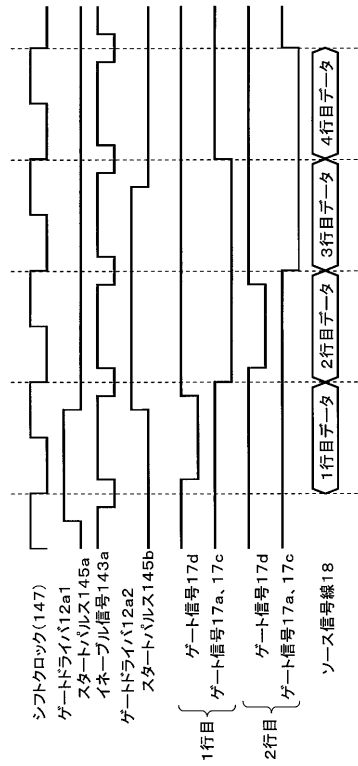
【図 18】



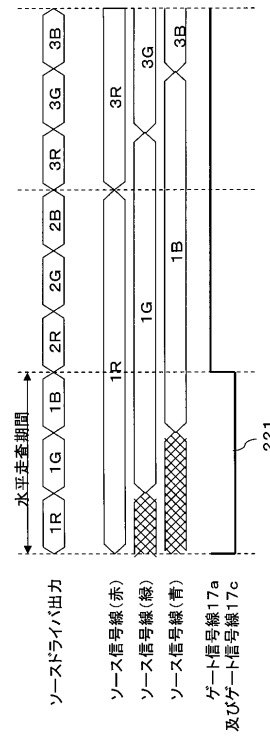
【図 20】



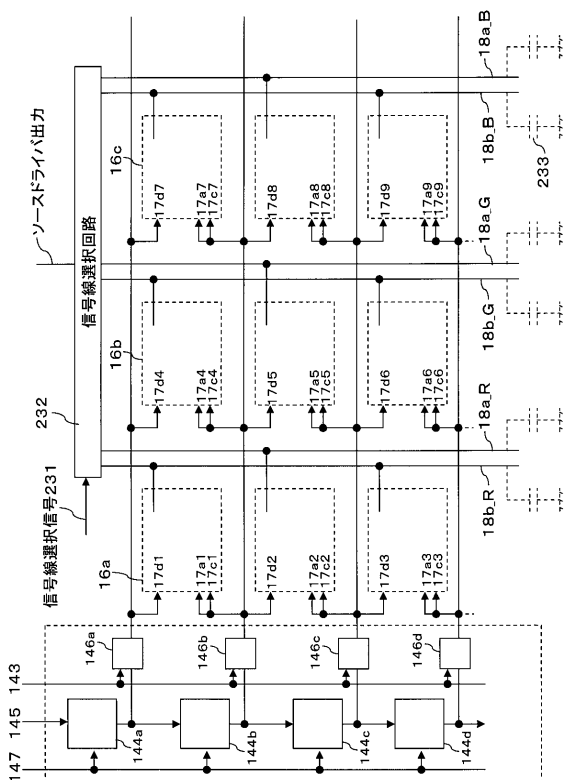
【図 2 1】



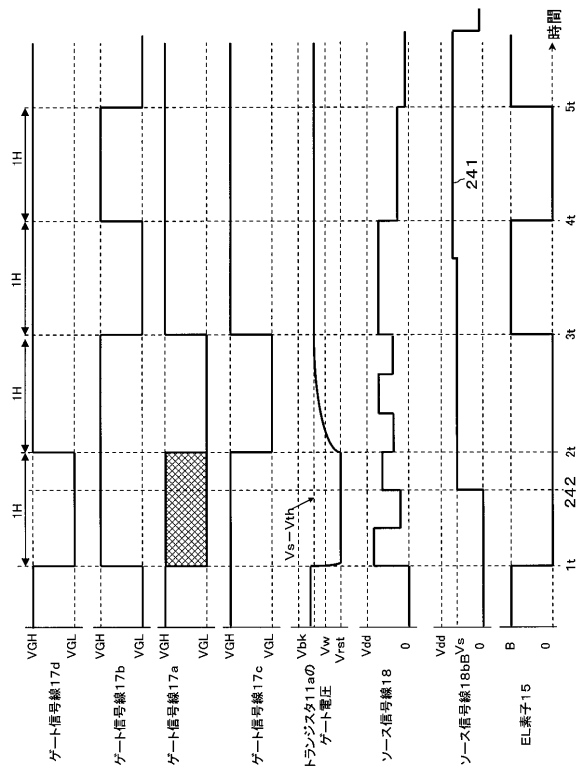
【図 2 2】



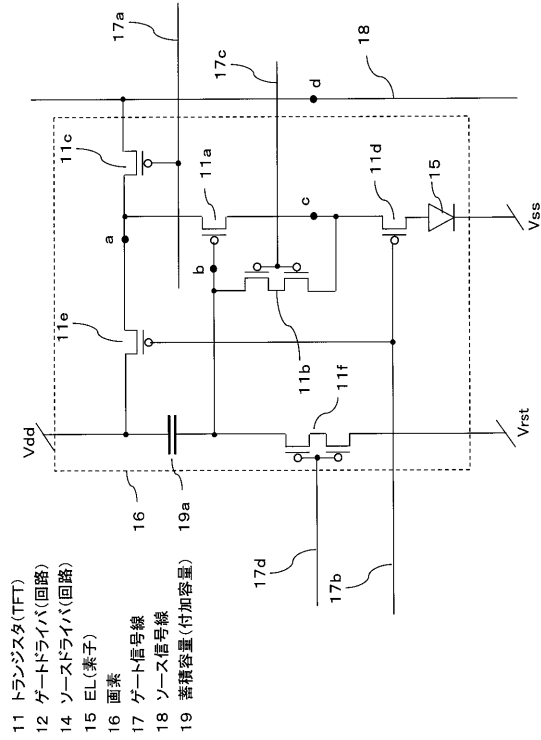
【図 2 3】



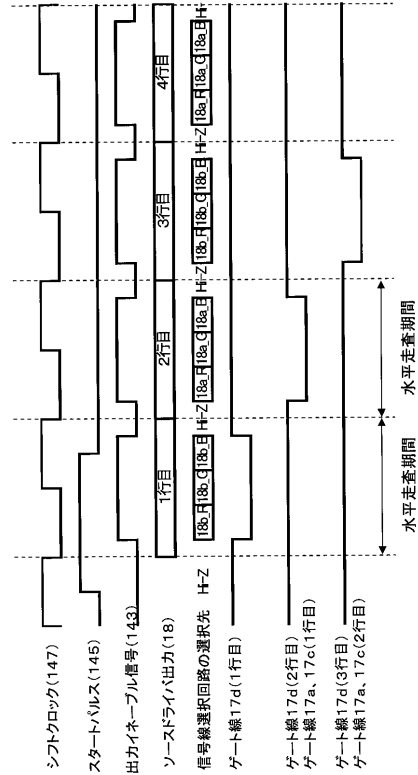
【図 2 4】



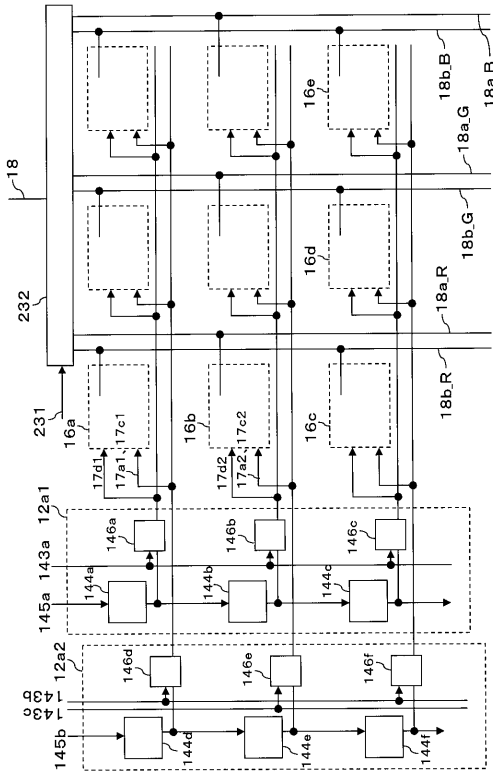
【図 25】



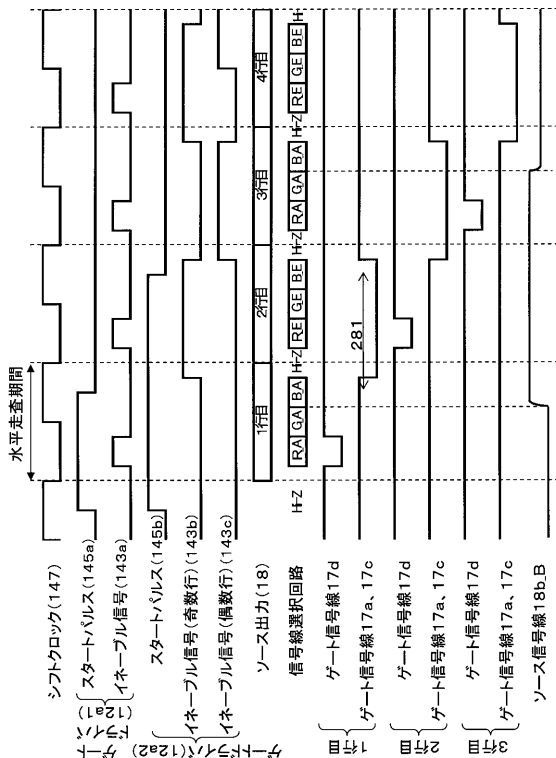
【図 26】



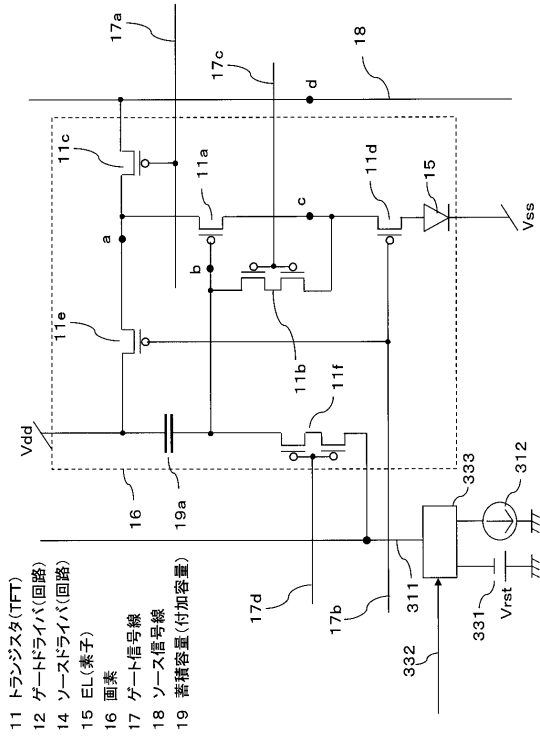
【図 27】



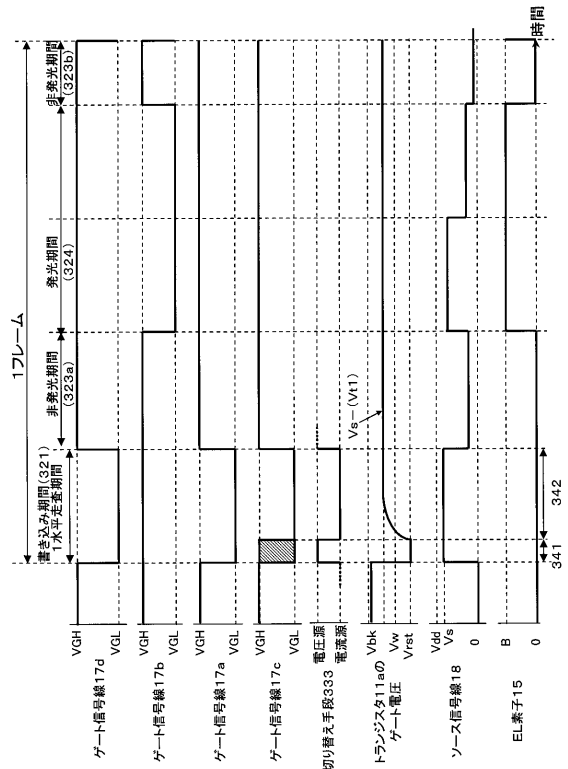
【図 28】



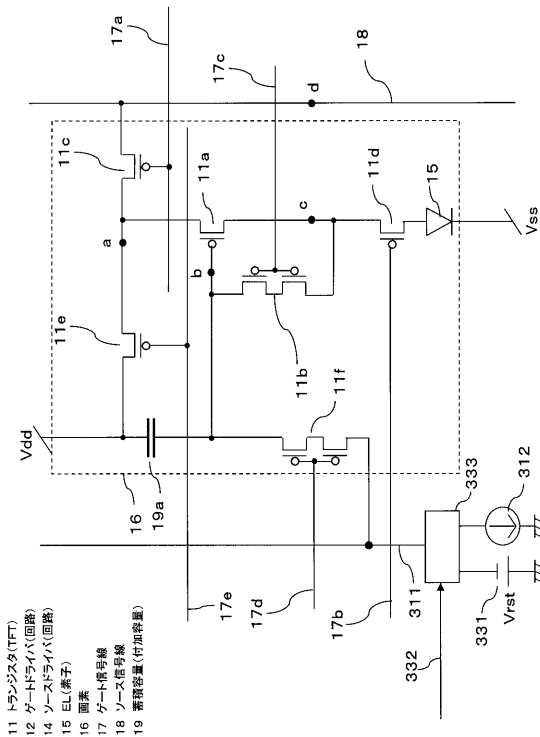
【図 3 3】



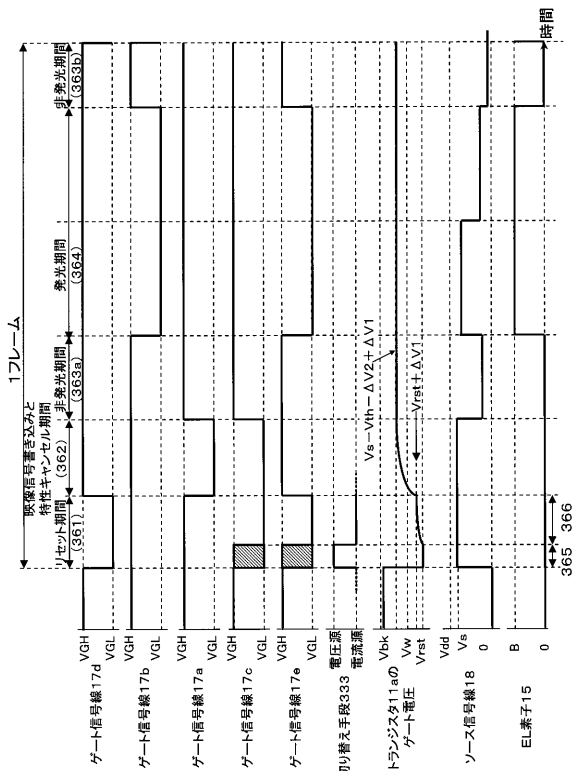
【図 3 4】



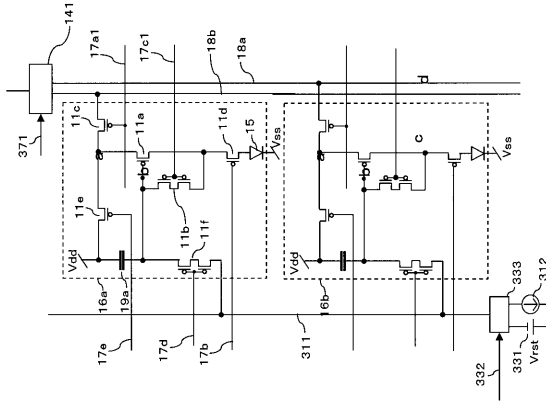
【図 3 5】



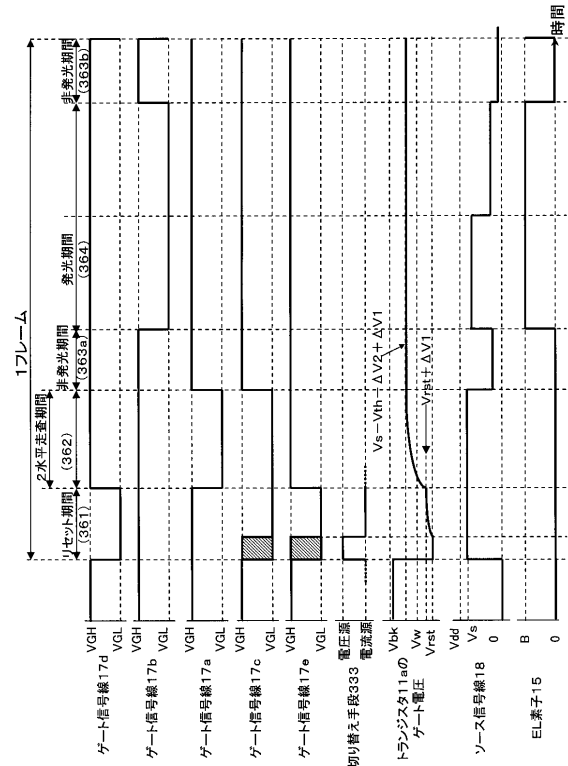
【図 3 6】



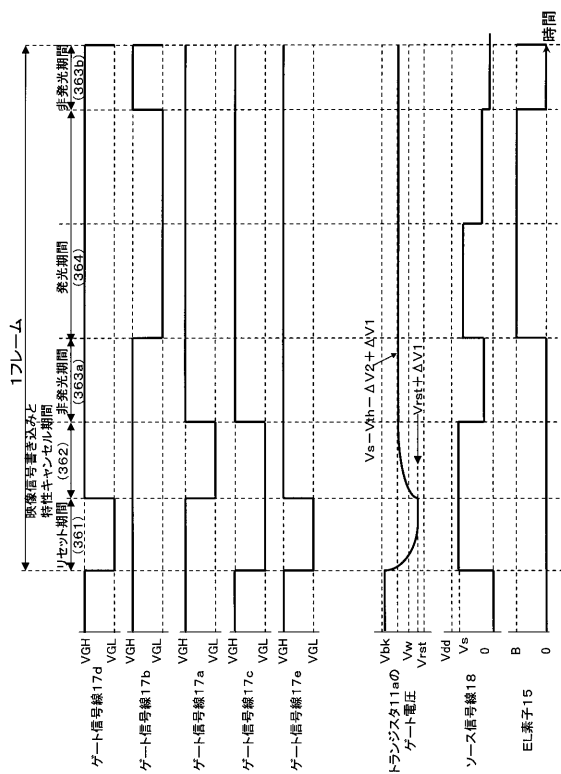
【図 37】



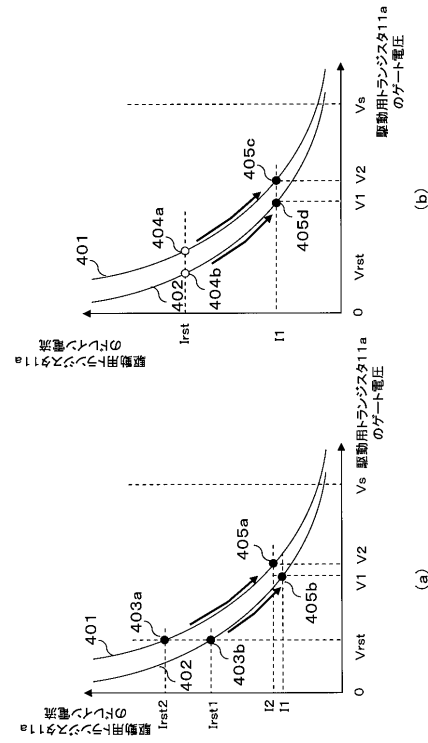
【図 38】



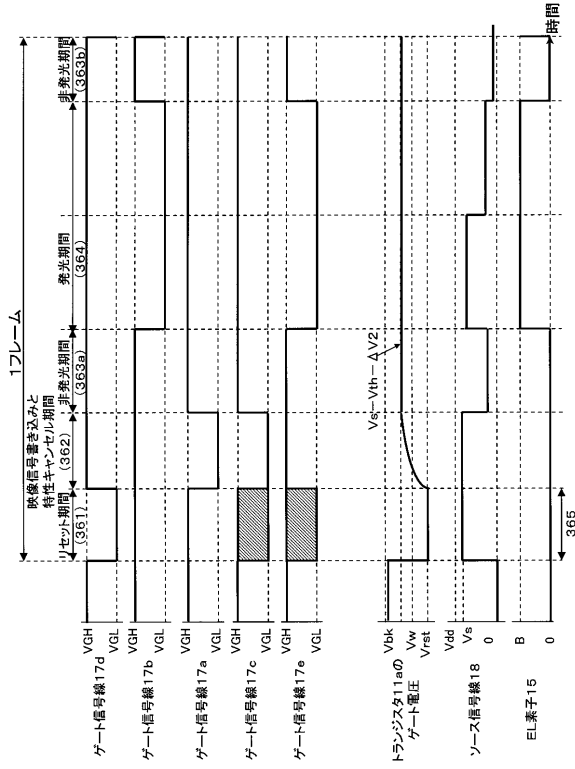
【図 39】



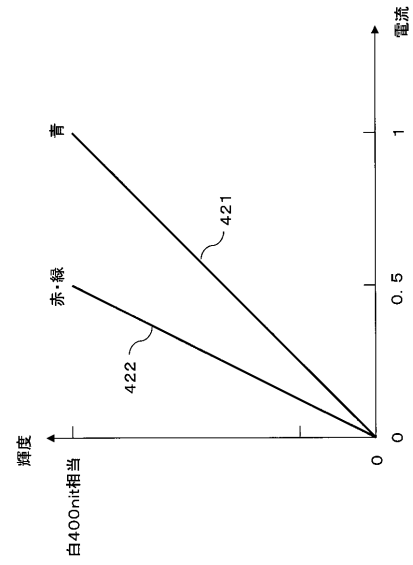
【図 40】



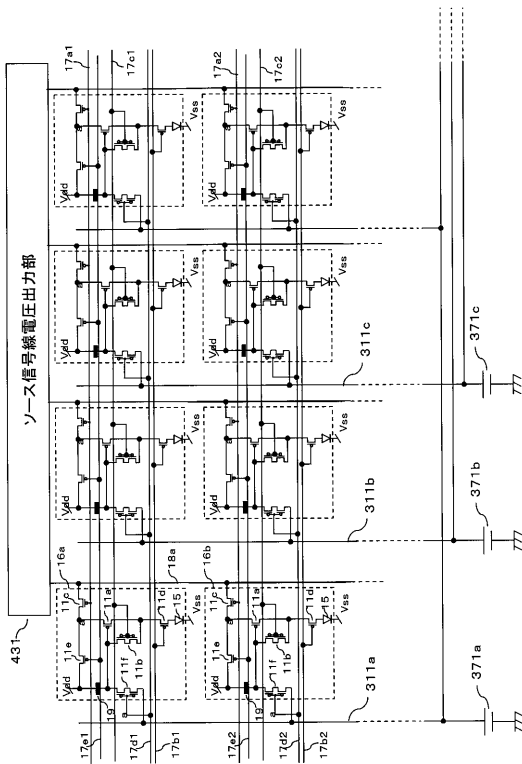
【図 4 1】



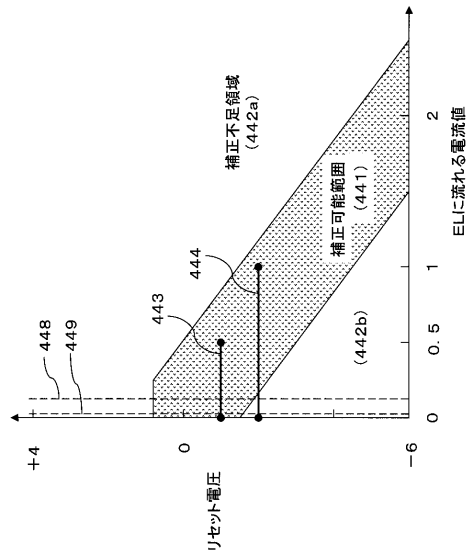
【図 4 2】



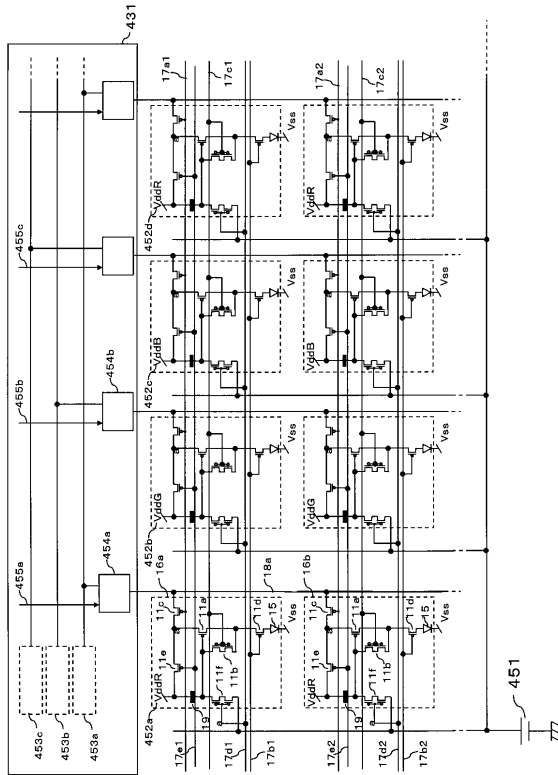
【図 4 3】



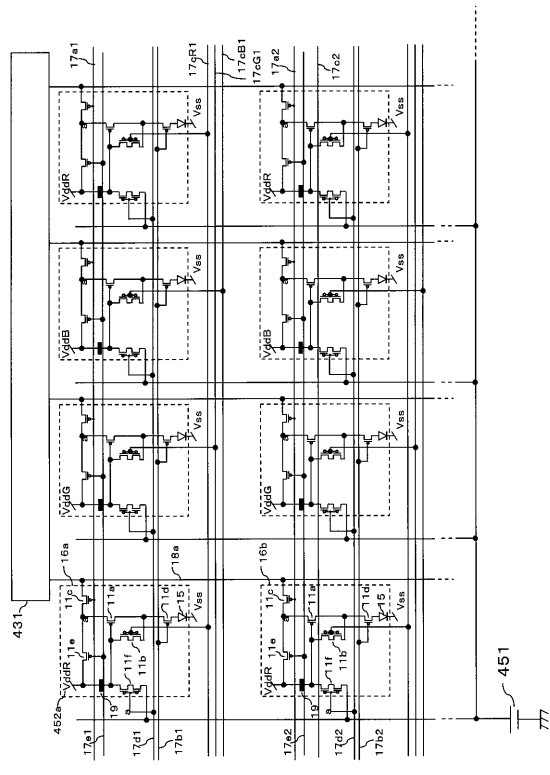
【図 4 4】



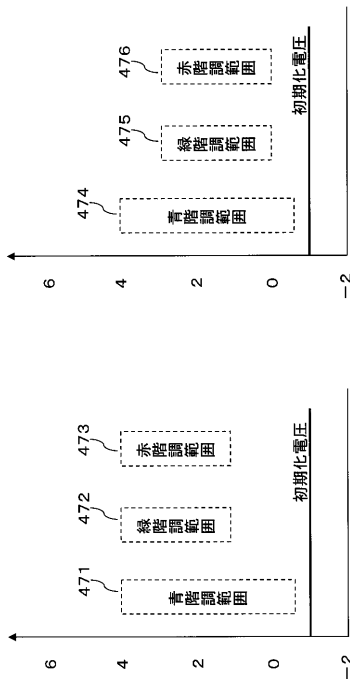
【図 4 5】



【図 4 6】

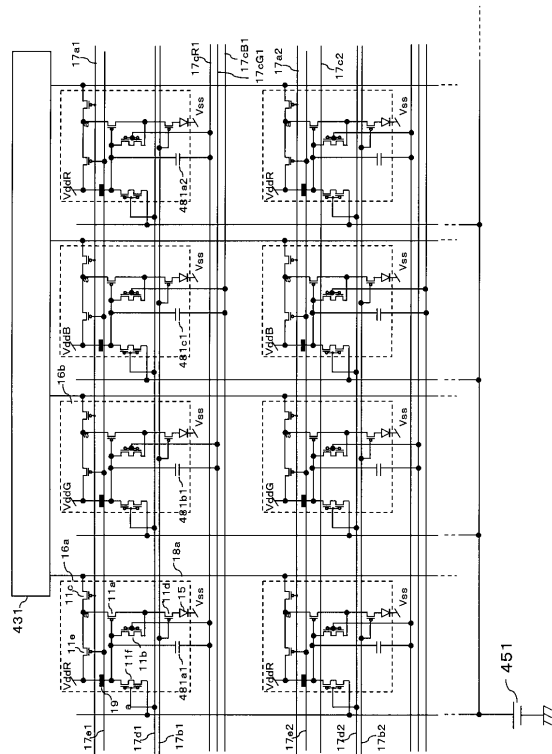


【図 4 7】

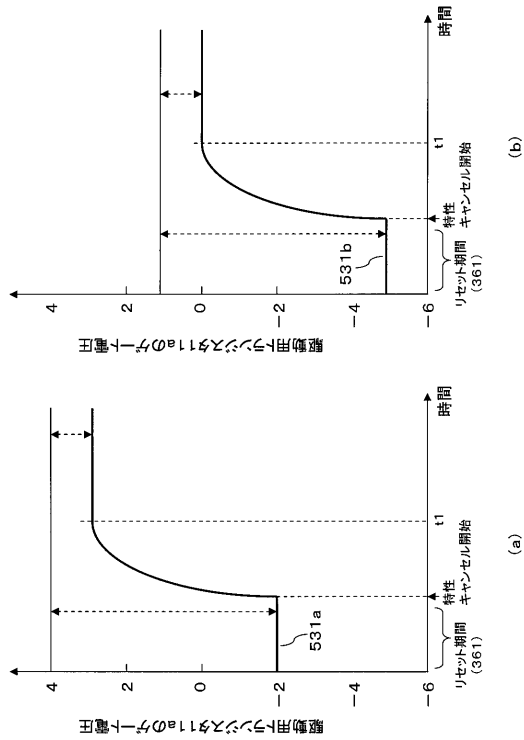


(b)

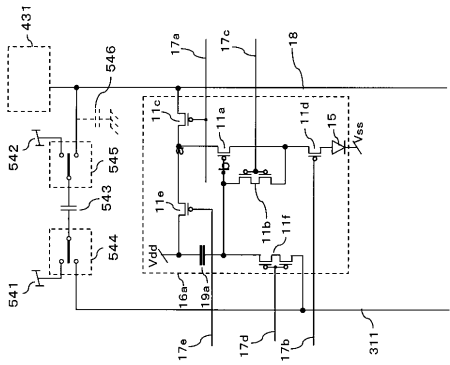
【図 4 8】



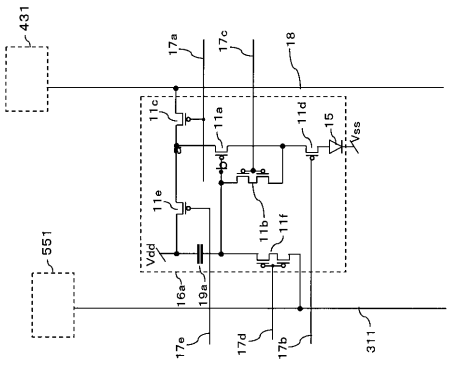
【図 5 3】



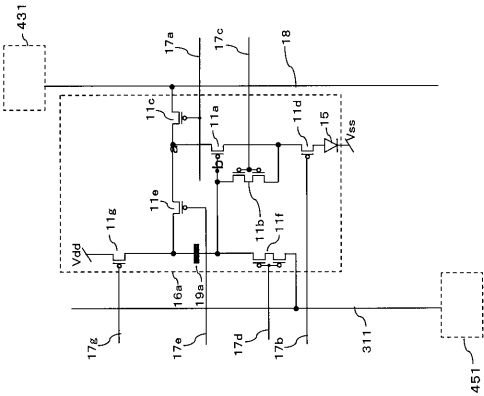
【図 5 4】



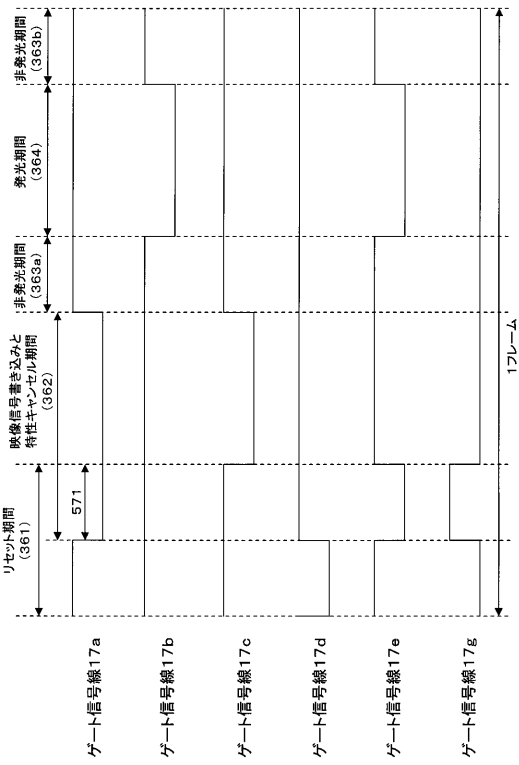
【図 5 5】



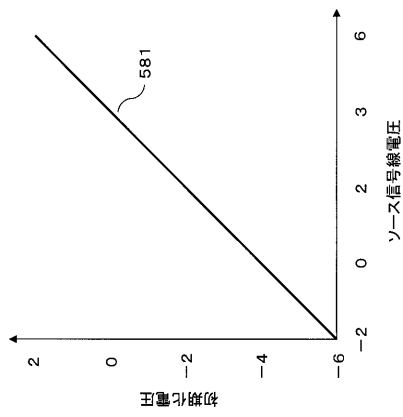
【図 5 6】



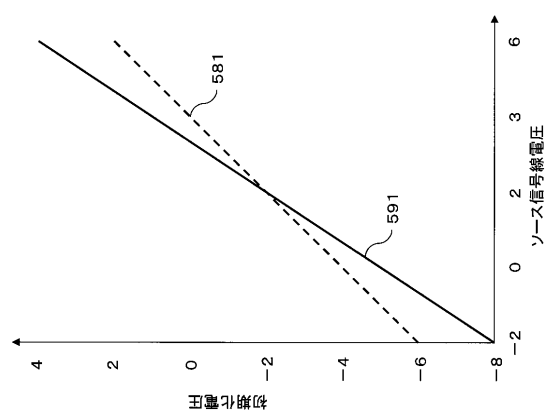
【図 5 7】



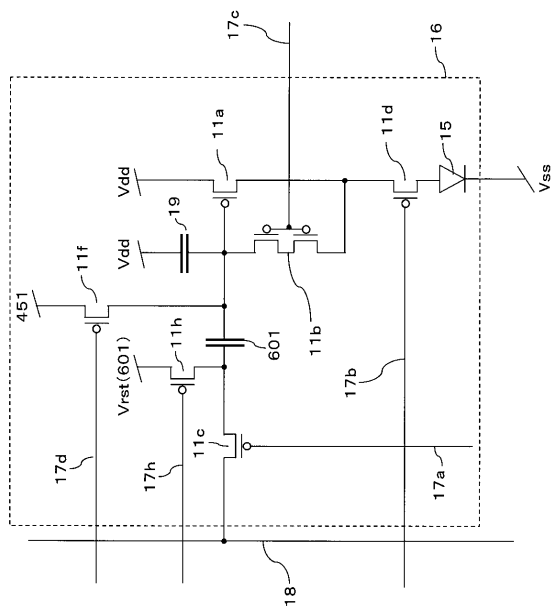
【図 58】



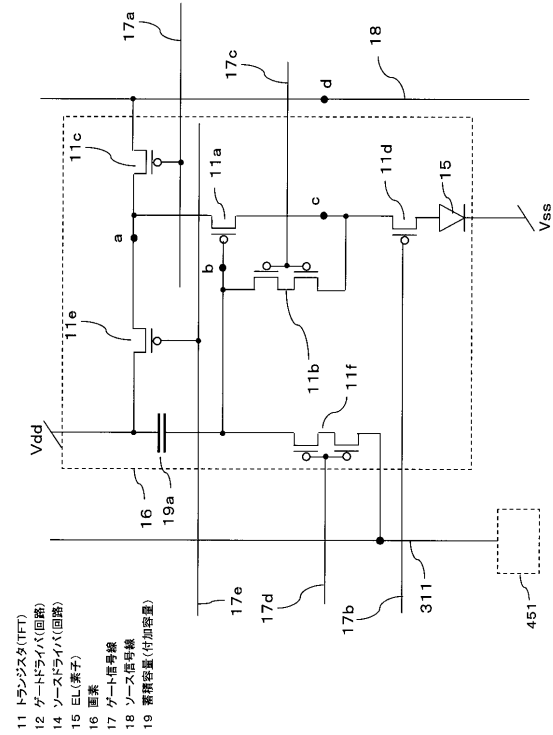
【図 59】



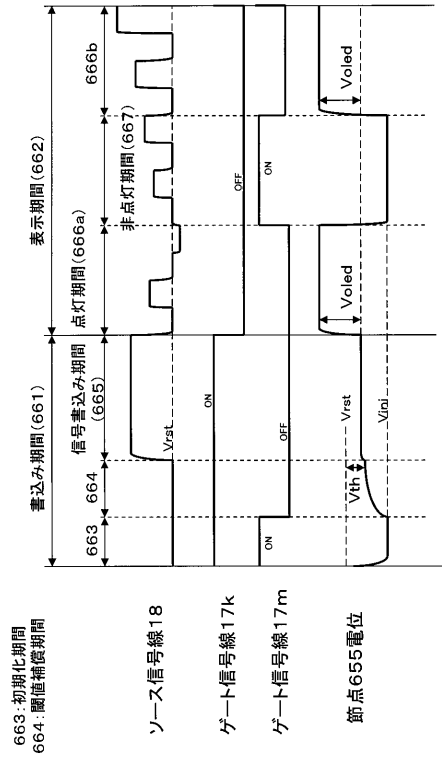
【図 60】



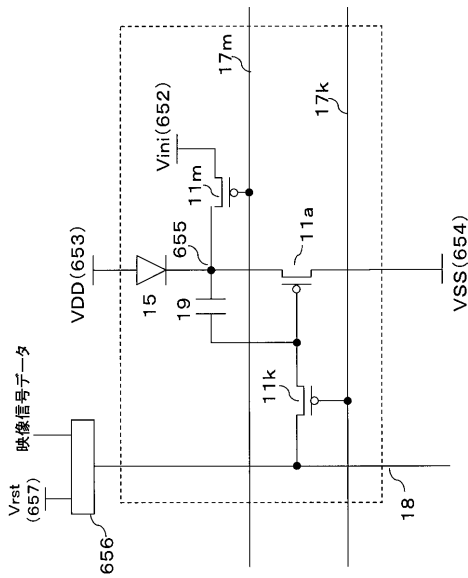
【図 61】



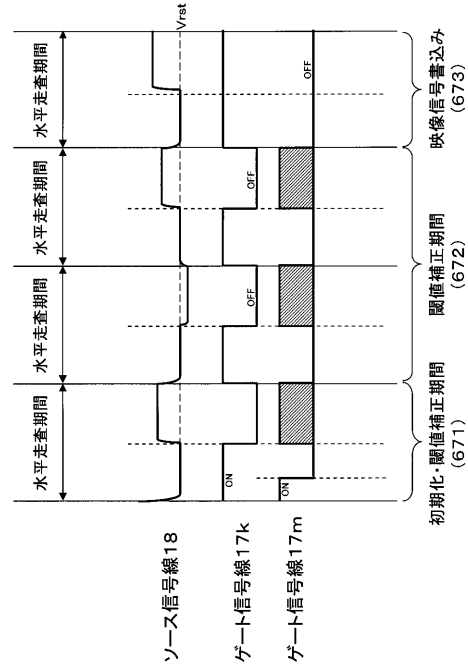
【図 6 6】



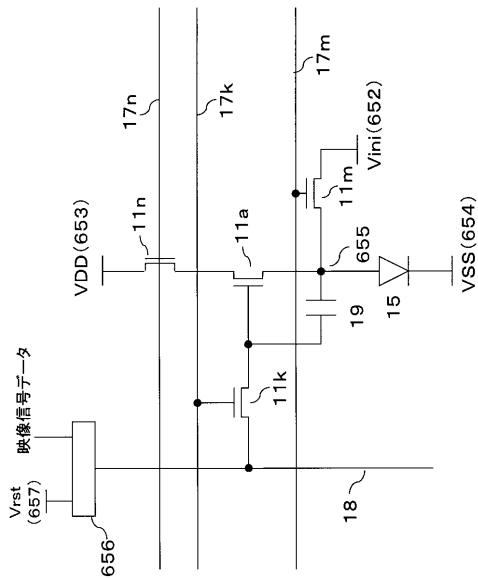
【図 6 8】



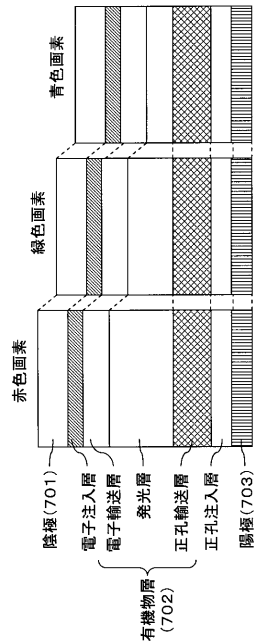
【図 6 7】



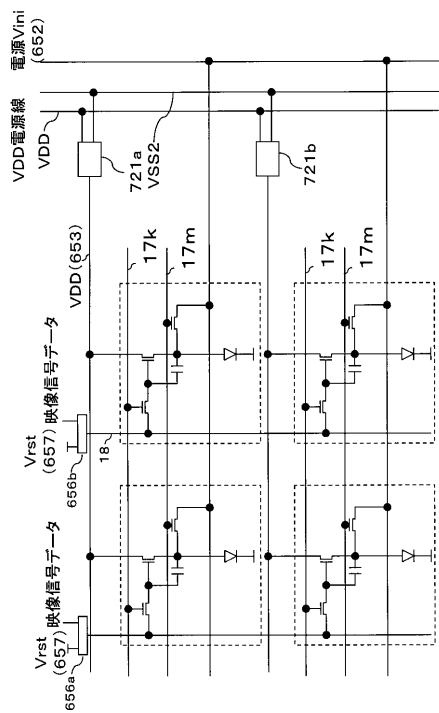
【図 6 9】



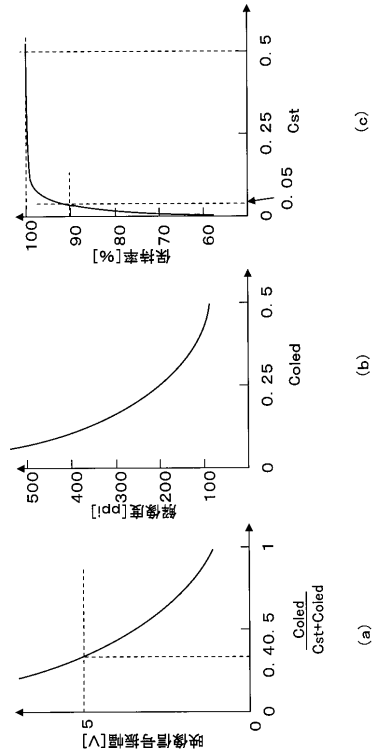
【図 70】



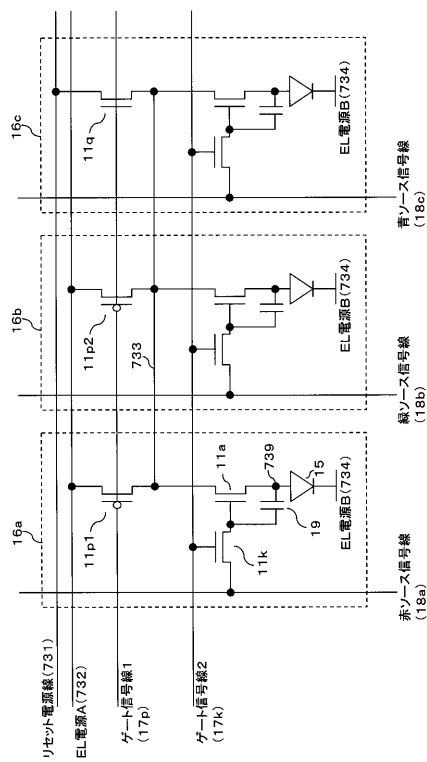
【図 72】



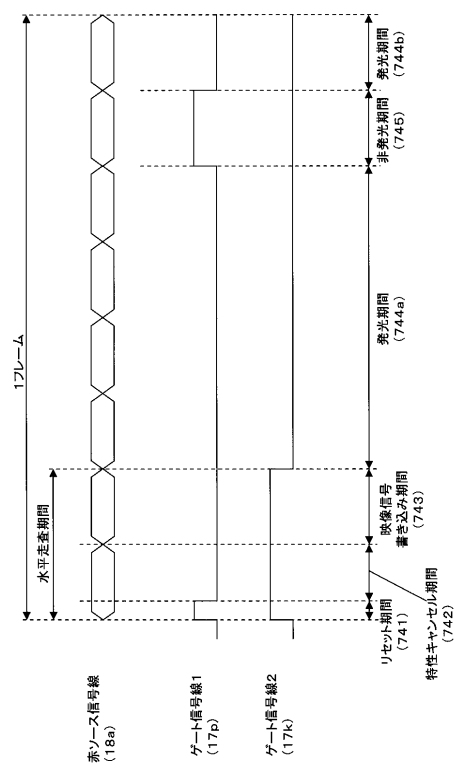
【図 71】



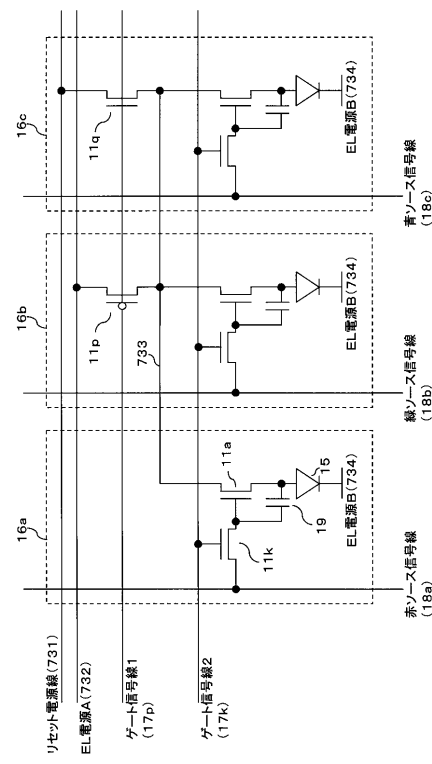
【図 73】



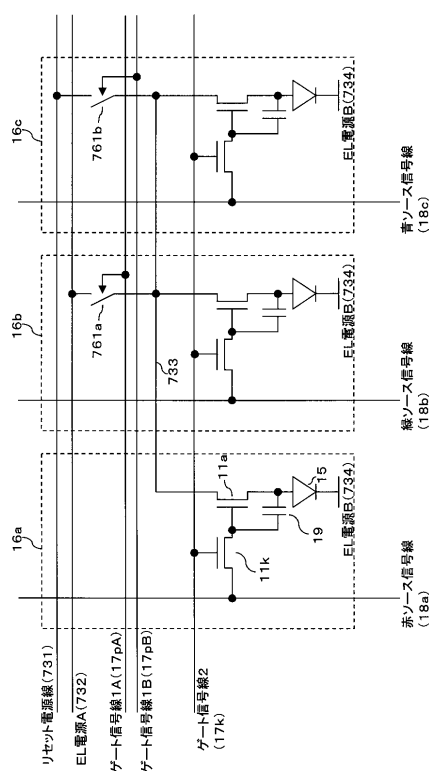
【 図 7 4 】



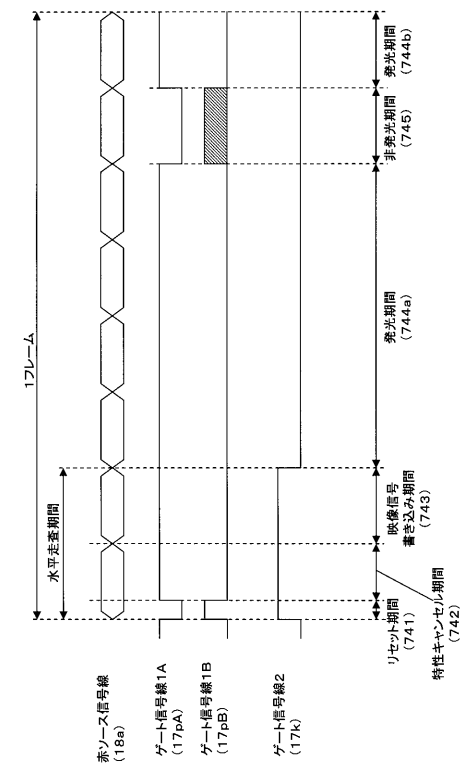
【 図 7 5 】



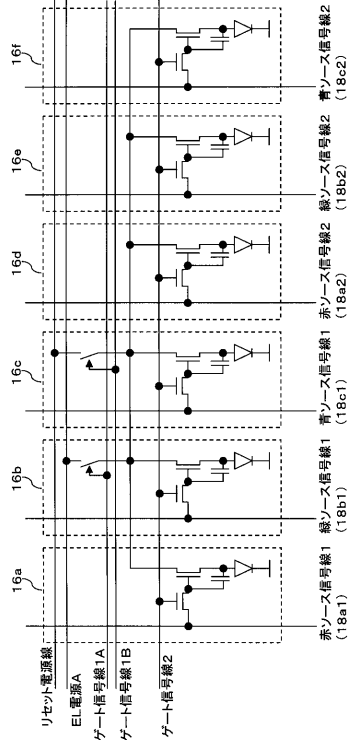
【 図 7 6 】



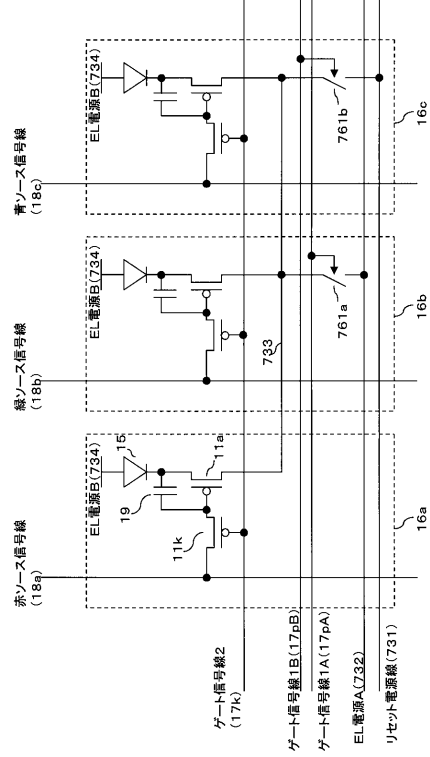
【 図 7 7 】



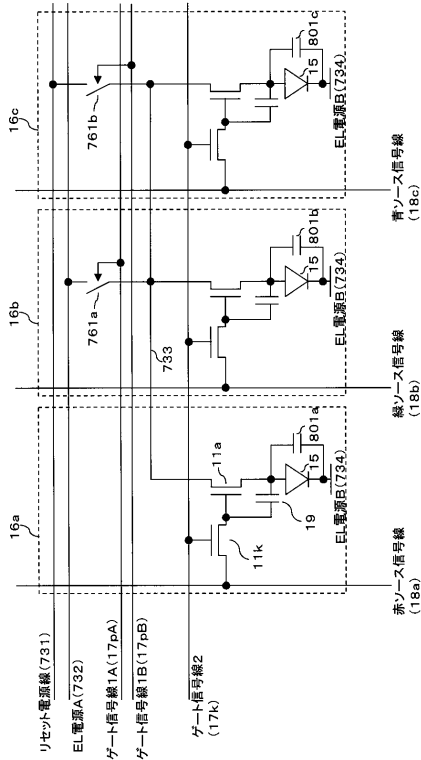
【図 78】



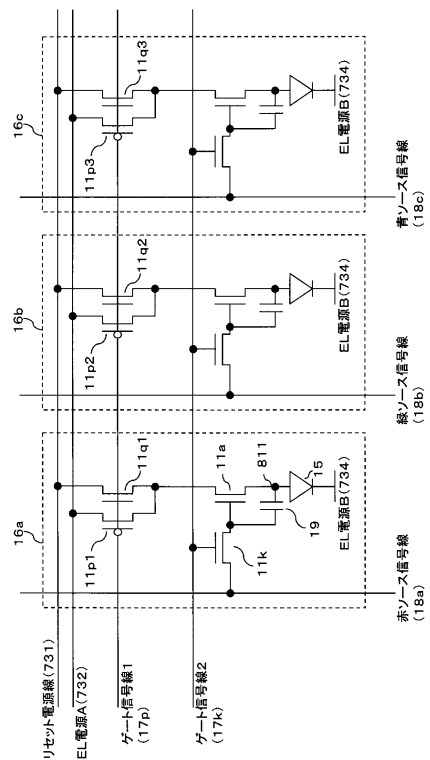
【図 79】



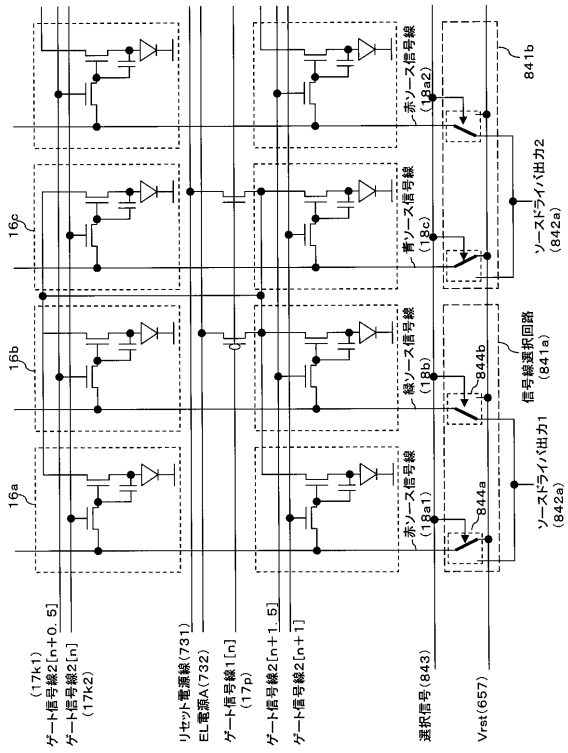
【図 80】



【図 81】

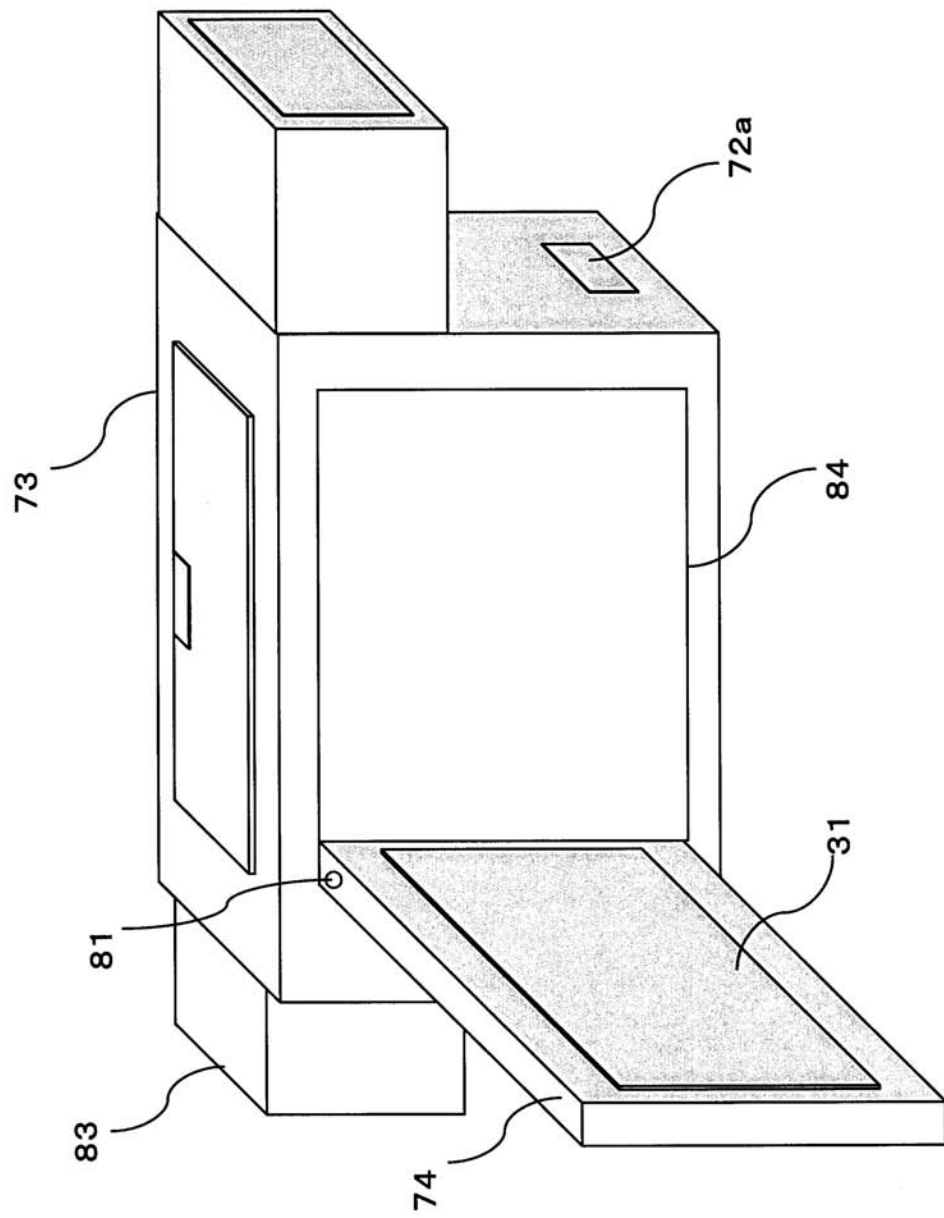


【図 86】



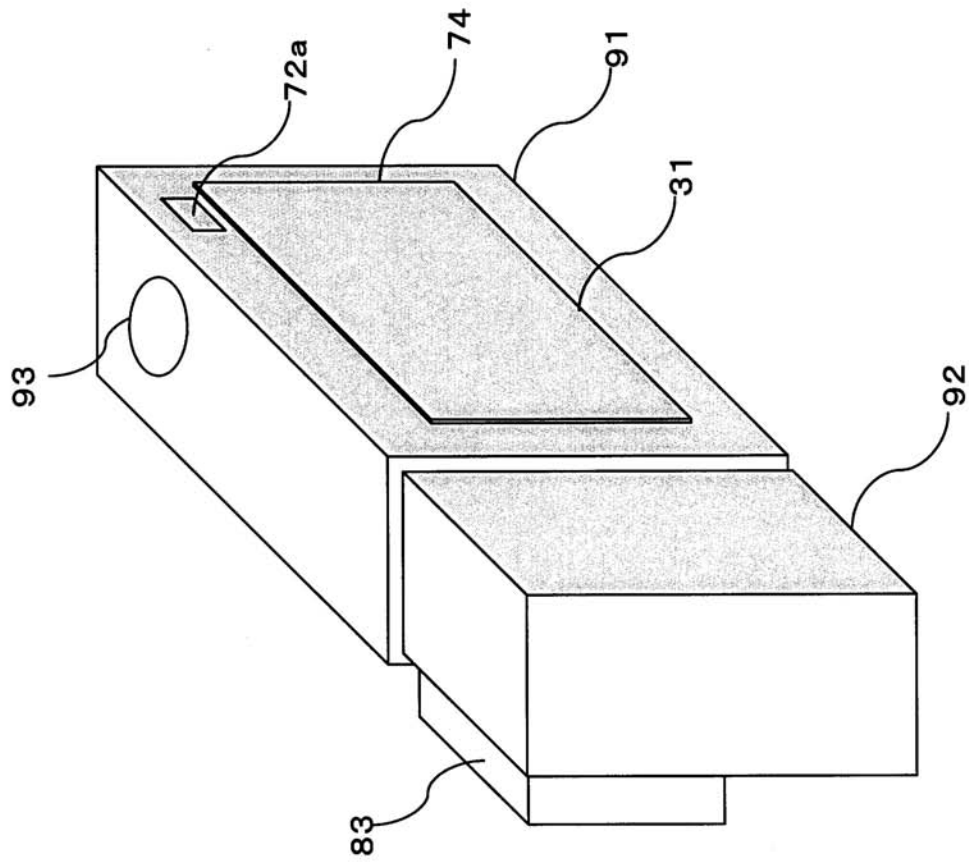
【図 8】

81 支点
83 撮影レンズ
84 格納部



【図 9】

91 本体
92 撮影部
93 シャッタースイッチ



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 2 2 C
	G 0 9 G 3/20	6 2 2 D
	G 0 9 G 3/20	6 2 1 F
	H 0 5 B 33/14	A

(72)発明者 柘植 仁志

東京都港区港南四丁目 1 番 8 号 東芝松下ディスプレイテクノロジー株式会社内

F ターム(参考) 3K107 AA01 BB01 CC33 HH04

5C080 AA06 BB05 CC03 DD02 DD05 DD08 DD22 DD26 DD29 EE19

EE29 FF07 FF11 HH09 JJ01 JJ02 JJ03 JJ04 JJ05 JJ06

5C094 AA03 AA21 AA42 BA03 BA27 CA19 DA20 DB04 DB10 EA04

专利名称(译)	EL表示装置		
公开(公告)号	JP2010002736A	公开(公告)日	2010-01-07
申请号	JP2008162075	申请日	2008-06-20
[标]申请(专利权)人(译)	东芝移动显示器有限公司		
申请(专利权)人(译)	东芝移动显示器有限公司		
[标]发明人	柘植仁志		
发明人	柘植 仁志		
IPC分类号	G09G3/30 G09F9/30 H01L27/32 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09F9/30.338 G09F9/30.365.Z G09G3/20.624.B G09G3/20.611.H G09G3/20.622.C G09G3/20.622.D G09G3/20.621.F H05B33/14.A G09F9/30.365 G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291 H01L27/32		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/HH04 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD02 5C080/DD05 5C080/DD08 5C080/DD22 5C080/DD26 5C080/DD29 5C080/EE19 5C080/EE29 5C080/FF07 5C080/FF11 5C080/HH09 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C094/AA03 5C094/AA21 5C094/AA42 5C094/BA03 5C094/BA27 5C094/CA19 5C094/DA20 5C094/DB04 5C094/DB10 5C094/EA04 5C380/AA01 5C380/AB06 5C380/AB08 5C380/AB22 5C380/AB23 5C380/AB24 5C380/AB34 5C380/AB35 5C380/AB36 5C380/AB37 5C380/AC09 5C380/AC11 5C380/BA01 5C380/BA06 5C380/BA17 5C380/BA25 5C380/BA28 5C380/BA38 5C380/BA39 5C380/BA40 5C380/BA43 5C380/BA45 5C380/BB02 5C380/BB09 5C380/BB14 5C380/BB15 5C380/BD02 5C380/BD08 5C380/BD09 5C380/BD11 5C380/BE05 5C380/CA08 5C380/CA12 5C380/CA53 5C380/CB01 5C380/CB16 5C380/CB18 5C380/CB26 5C380/CB31 5C380/CC03 5C380/CC04 5C380/CC05 5C380/CC06 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC41 5C380/CC52 5C380/CC53 5C380/CC55 5C380/CC63 5C380/CC64 5C380/CC65 5C380/CC66 5C380/CD013 5C380/CD014 5C380/CD018 5C380/CD019 5C380/CD022 5C380/CD027 5C380/CD028 5C380/CE08 5C380/CF07 5C380/CF51 5C380/DA02 5C380/DA06 5C380/DA47 5C380/FA02 5C380/FA06 5C380/FA09 5C380/HA05 5C380/HA06		
代理人(译)	中村聪 富田克幸 夫 世进		
外部链接	Espacenet		

摘要(译)

要解决的问题：实现具有具有少量电路元件的驱动晶体管阈值校正功能的有机EL显示装置。在具有阈值校正功能的像素电路16中，用于提供EL电源A或复位电源的晶体管11p和11q被多个像素共享，并且为多个像素中的每个像素提供一个晶体管。可以减少每个像素的晶体管数量而不会降低显示区域中的平均像素数量。[选择图]图73

