

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2009-258227
(P2009-258227A)

(43) 公開日 平成21年11月5日(2009.11.5)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 K	3K107
G09F 9/30 (2006.01)	G09F 9/30 338	5C080
H01L 27/32 (2006.01)	G09F 9/30 365Z	5C094
G09G 3/20 (2006.01)	G09G 3/20 624B	
H01L 51/50 (2006.01)	G09G 3/20 611H	
審査請求 未請求 請求項の数 7 O L (全 52 頁) 最終頁に続く		

(21) 出願番号	特願2008-104683 (P2008-104683)	(71) 出願人	302020207 東芝モバイルディスプレイ株式会社 東京都港区港南4-1-8
(22) 出願日	平成20年4月14日 (2008. 4. 14)	(74) 代理人	100059225 弁理士 蔦田 璋子
		(74) 代理人	100076314 弁理士 蔦田 正人
		(74) 代理人	100112612 弁理士 中村 哲士
		(74) 代理人	100112623 弁理士 富田 克幸
		(74) 代理人	100124707 弁理士 夫 世進
		最終頁に続く	

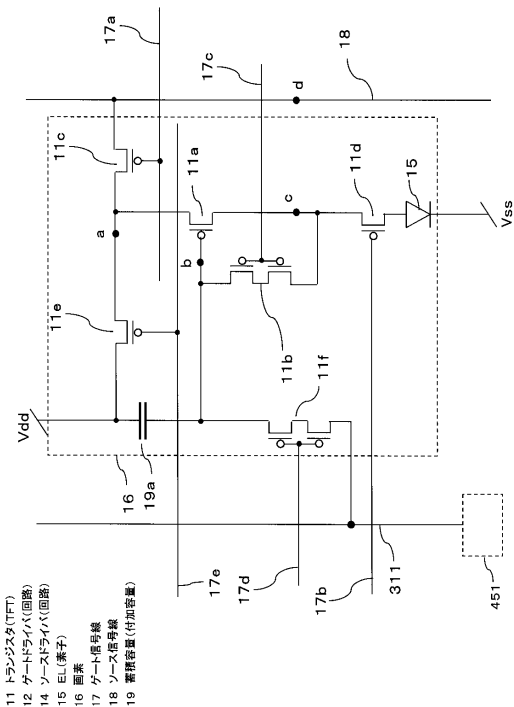
(54) 【発明の名称】 E L表示装置

(57) 【要約】

【課題】駆動用トランジスタの閾値補正を行った有機発光素子を用いた表示装置において、移動度ばらつきによる表示ムラが発生する。

【解決手段】駆動用トランジスタの閾値補正を行った後、ドレイン電流を駆動用トランジスタ11aにを入力し、ドレイン電流により、駆動用トランジスタのゲート電圧を変化させる。ドレイン電流が多いほど、ゲート電圧の上昇が多くなり、ドレイン電流の減少幅が大きくなることで、同一信号電圧入力に対するドレイン電流のばらつきを小さくすることができ、移動度ばらつきがあっても表示ムラが小さくなる。

【選択図】 図61



【特許請求の範囲】**【請求項 1】**

ＥＬ素子を有する複数の画素が、縦横にマトリックス状に配置された表示画面を有する
ＥＬ表示装置において、

前記画素は、駆動電流を前記ＥＬ素子に供給する駆動用トランジスタを有し、

前記駆動用トランジスタにより、前記ＥＬ素子に流れる電流が制御され、

第１の期間において、前記駆動用トランジスタのゲート電極と、前記駆動用トランジスタの前記ゲート電極以外の第１の電極を接続し、

前記第１の期間に続く第２の期間において、前記ゲート電極と前記第１の電極を接続した状態で、前記駆動用トランジスタにおける前記ゲート電極及び前記第１の電極以外の第
２の電極からばらつき補正用電流を供給する、

ＥＬ表示装置。

【請求項 2】

前記各画素は、

前記第２の期間において、前記ばらつき補正用電流を供給するトランジスタを有する、
請求項 1 記載のＥＬ表示装置。

【請求項 3】

前記各画素のそれぞれは、

ゲート端子が第１のゲート信号線に接続され、ソース端子が駆動電源の駆動端子と接続され、前記駆動電源からの駆動電流を前記ＥＬ素子に供給する前記駆動用トランジスタと

、
ソース端子が映像信号を供給するゲート信号線と接続され、ゲート端子が第２のゲート信号線に接続され、ドレイン端子が前記駆動用トランジスタの前記ソース端子に接続されて、前記ＥＬ素子に前記映像信号を供給する第１のスイッチ用トランジスタと、

前記ＥＬ素子と前記駆動用トランジスタのドレイン端子との間に接続された第２のスイッチ用トランジスタと、

前記第１のスイッチ用トランジスタの前記ドレイン端子と前記電源端子との間に接続された第１のコンデンサと、

前記駆動用トランジスタの前記ゲート端子と前記電源端子との間に接続された第２のコンデンサと、

請求項 1 記載のＥＬ表示装置。

【請求項 4】

前記各画素のそれぞれは、

ゲート端子が第１のゲート信号線に接続され、ソース端子が駆動電源の駆動端子と接続され、前記駆動電源からの駆動電流を前記ＥＬ素子に供給する前記駆動用トランジスタと

、
ソース端子が映像信号を供給するゲート信号線と接続され、ゲート端子が第２のゲート信号線に接続され、ドレイン端子が前記駆動用トランジスタの前記ソース端子に接続されて、前記ＥＬ素子に前記映像信号を供給する第１のスイッチ用トランジスタと、

前記ＥＬ素子と前記駆動用トランジスタのドレイン端子との間に接続された第２のスイッチ用トランジスタと、

前記第１のスイッチ用トランジスタの前記ドレイン端子と前記ゲート端子との間に接続された第１のコンデンサと、

前記駆動用トランジスタの前記ゲート端子と前記電源端子との間に接続された第２のコンデンサと、

請求項 1 記載のＥＬ表示装置。

【請求項 5】

前記各画素のそれぞれは、

ゲート端子が第１のゲート信号線に接続され、ソース端子が駆動電源の駆動端子と接続され、前記駆動電源からの駆動電流を前記ＥＬ素子に供給する前記駆動用トランジスタと

10

20

30

40

50

、

ソース端子が映像信号を供給するゲート信号線と接続され、ゲート端子が第2のゲート信号線に接続され、ドレイン端子が前記駆動用トランジスタの前記ソース端子に接続されて、前記EL素子に前記映像信号を供給する第1のスイッチ用トランジスタと、

前記EL素子と前記駆動用トランジスタのドレイン端子との間に接続され、ゲート端子が第3のゲート信号線に接続された第2のスイッチ用トランジスタと、

ソース端子が前記電源端子に接続され、ドレイン端子が前記第1のスイッチ用トランジスタの前記ドレイン端子に接続され、ゲート端子が前記第3のゲート信号線に接続された第3のスイッチ用トランジスタと、

前記第1のスイッチ用トランジスタの前記ドレイン端子と前記第3のスイッチ用トランジスタの前記ゲート端子との間に接続された第1のコンデンサと、

前記駆動用トランジスタの前記ゲート端子と前記電源端子との間に接続された第2のコンデンサと、

請求項1記載のEL表示装置。

【請求項6】

前記各画素のそれぞれは、

前記EL素子に電流を供給する前記駆動用トランジスタと、

前記画素に印加する第1のスイッチ用トランジスタと、

前記EL素子と前記駆動用トランジスタ間に配置された第2のスイッチ用トランジスタと、

前記第1のスイッチ用トランジスタのドレイン端子と前記駆動電源の電源端子に接続された第1のコンデンサと、

前記駆動用トランジスタのゲート端子と前記電源端子に接続された第2のコンデンサと

、

が形成され、

前記第1のスイッチ用トランジスタのドレイン端子と前記駆動用トランジスタのソース端子とが接続されている、

請求項1記載のEL表示装置。

【請求項7】

前記第1のスイッチ用トランジスタの前記ゲート端子と前記駆動用トランジスタの前記ゲート端子との間に接続された第3のコンデンサを更に有する、

請求項3または6記載のEL表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機または無機エレクトロルミネッセンス(EL)素子などを用いるEL表示パネル(表示装置)などの自発光表示パネルを用いた、EL表示装置に関するものである。

【背景技術】

【0002】

電気光学変換物質として有機EL材料または無機EL材料を用いたアクティブマトリクス型の画像表示装置は、画素に書き込まれる電流に応じて発光輝度が変化する。EL表示装置は、各画素に発光素子を有する自発光型である。EL表示装置は、液晶表示パネルに比べて画像の視認性が高い、発光効率が高い、バックライトが不要、応答速度が速い等の利点を有する。

【0003】

有機EL(PLED、OLED、OEL)パネルは、アクティブマトリクス方式の開発が行なわれている。この方式は、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子(一般には薄膜トランジスタ、TFT)によって制御するものであり、例えば特許文献1、2が提案されている。

10

20

30

40

50

【特許文献１】特開２００３－２５５８５６

【特許文献２】特開２００３－２７１０９５

【発明の開示】

【発明が解決しようとする課題】

【０００４】

ＥＬ表示パネルは、低温または高温ポリシリコンからなるトランジスタアレイを用いてパネルを構成する。しかし、有機ＥＬ素子は、ポリシリコントランジスタアレイのトランジスタ特性にバラツキがあると、表示ムラが発生する。

【０００５】

すなわち、ＥＬ素子に駆動電流を供給する駆動用トランジスタに特性バラツキがあると、変換される電流信号にもバラツキが発生する。通常、トランジスタは５０％以上の特性バラツキがある。そのために、駆動用トランジスタの特性バラツキが表示ムラとして表示され、画像表示品位を低下させるという問題点があった。

【０００６】

そこで本発明は、特性表示ムラのない画像表示を実現できるＥＬ表示装置を提供する。

【課題を解決するための手段】

【０００７】

本発明は、ＥＬ素子を有する複数の画素が、縦横にマトリックス状に配置された表示画面を有するＥＬ表示装置において、前記画素は、駆動電流を前記ＥＬ素子に供給する駆動用トランジスタを有し、前記駆動用トランジスタにより、前記ＥＬ素子に流れる電流が制御され、第１の期間において、前記駆動用トランジスタのゲート電極と、前記駆動用トランジスタの前記ゲート電極以外の第１の電極を接続し、前記第１の期間に続く第２の期間において、前記ゲート電極と前記第１の電極を接続した状態で、前記駆動用トランジスタにおける前記ゲート電極及び前記第１の電極以外の第２の電極からばらつき補正用電流を供給する、ＥＬ表示装置である。

【発明の効果】

【０００８】

本発明によれば、特性表示ムラのない画像表示を実現できる。

【発明を実施するための最良の形態】

【０００９】

以下、本発明の一実施形態のＥＬ表示装置について図面に基づいて説明する。

【００１０】

(１)画素の構成

図１は、ＥＬ表示装置の画素構成である。また、図３は、画素１６がマトリックス状に配置された表示領域３１に、ゲートドライバ回路１２及びソースドライバ回路１４が接続された構成図である。

【００１１】

図１において、画素１６は、２つのコンデンサ１９ａ、１９ｂと５つのスイッチ用トランジスタ１１ｂ、１１ｃ、１１ｄ、１１ｅ、１１ｆと１つの駆動用トランジスタ１１ａで構成される。

【００１２】

スイッチ用トランジスタ１１ｂは、トランジスタ１１ａをダイオード接続(Diode-connected)させて、閾値電圧を補償するための閾値電圧補償トランジスタである。

【００１３】

スイッチ用トランジスタ１１ｆは、コンデンサ１９ａを初期化させるためリセット電圧 V_{rst} を印加するための初期化トランジスタである。

【００１４】

スイッチ用トランジスタ１１ｄは、ＥＬ素子１５の発光を制御するためのトランジスタである。

【００１５】

10

20

30

40

50

スイッチ用トランジスタ 11b、11f はオフリークと小さくするため、ディアルゲート以上の複数ゲート構成にする。

【0016】

コンデンサ 19a は、駆動用トランジスタ 11a のゲート端子の電位を保持する保持用のコンデンサである。

【0017】

コンデンサ 19b は、ソース信号線 18 に印加され、画素 16 に印加された映像信号を画素 16 内で保持するものである。

【0018】

スイッチ用トランジスタ 11c は、ゲート信号線 17a にゲート電極が接続され、ソース信号線 18 にソース電極が接続され、ゲートドライバ回路 12a からの選択信号によりオン/オフ制御される。

【0019】

駆動用トランジスタ 11a は、トランジスタ 11c のドレイン電極にソース電極が接続される。閾値電圧補償トランジスタ 11b のソースまたはドレイン電極と、コンデンサ 19a の第 1 の端子が共通接続され、駆動用トランジスタ 11a のゲート電圧が決定される。したがって、駆動用トランジスタ 11a は、ゲート電極に印加された電圧に相当する駆動電流を生成する。

【0020】

閾値電圧補償トランジスタ 11b は、駆動用トランジスタ 11a のゲート電極とソース電極との間に接続され、ゲート信号線 17c に印加されるスキャン信号に応答して駆動用トランジスタ 11a をダイオード接続させる。したがって、スキャン信号によって駆動用トランジスタ 11a は、ダイオードのような状態になり、駆動用トランジスタ 11a のゲート端子に電圧 $V_{data} - V_{th}$ [V] が印加され、これは、駆動用トランジスタ 11a のゲート電圧となる。なお、電圧 V_{data} は、ソースドライバ回路 14 がソース信号線 18 に出力された映像信号である。また、 V_{th} では、駆動用トランジスタ 11a に閾値電圧である。

【0021】

初期化トランジスタであるスイッチ用初期化トランジスタ 11f は、リセット電圧ライン V_{rst} とコンデンサ 19a の第 1 の端子との間に接続され、ゲート信号線 17d のスキャン信号に応答して、コンデンサ 19a に充填された電荷はリセット電圧ライン V_{rst} を介して放電させることによって、コンデンサ 19a を初期化させる。

【0022】

スイッチ用トランジスタ 11e は、第 1 の電源電圧ライン V_{dd} と駆動用トランジスタ 11a のソース電極との間に接続され、ゲート電極に接続したゲート信号線 17b を介して伝達される発光制御信号によりオンとなり、第 1 の電源電圧 V_{dd} を駆動用トランジスタ 11a のソース電極に印加する。

【0023】

スイッチ用トランジスタ 11d は、駆動用トランジスタ 11a と EL 素子 15 との間に接続され、ゲート電極に接続したゲート信号線 17b を介して伝達される発光制御信号に
40 応答して駆動用トランジスタ 11a で生成される駆動電流を EL 素子 15 に伝達する。

【0024】

コンデンサ 19a は、第 1 の電源電圧ライン V_{dd} と駆動用トランジスタ 11a のゲート電極との間に接続され、第 1 の電源電圧 V_{dd} と駆動用トランジスタ 11a のゲート電極に印加される電圧 $V_{data} - V_{th}$ [V] の電圧差に該当する電荷を 1 フレームの間に維持する。

【0025】

(2) ゲート信号線

ゲート信号線 17 に印加される電圧は、オフ電圧 (V_{GH}) とオン電圧 (V_{GL}) であり、 V_{GH} 電圧の印加により、スイッチ用トランジスタ 11b、11c、11d、11e
50

10

20

30

40

50

、11fがオフし、VGL電圧の印加により、スイッチ用トランジスタ11b、11c、11d、11e、11fがオンする。但し、図3に示すように、VGH電圧は、ゲートドライバ回路12aとゲートドライバ回路12bで共通であれば、VGL電圧は、ゲートドライバ回路12aでは、VGL1とし、ゲートドライバ回路12bでは、VGL2としている。すなわち、ゲートドライバ回路12aと12bでは、オン電圧を異ならせている。

【0026】

したがって、ゲート信号線17a、ゲート信号線17cに印加されるオン電圧はVGL1であり、ゲート信号線17b、ゲート信号線17dに印加されるオン電圧はVGL2である。また、VGL1 > VGL2なる関係となるように設定されている。なお、ゲート信号線17aに印加されるVGHとゲート信号線17dに印加されるVGHとを異ならせてもよい。

10

【0027】

(3) PチャンネルとNチャンネルのトランジスタ

本実施形態において、駆動用トランジスタ11aはPチャンネルトランジスタであるがこれに限定するものでなく、Nチャンネルトランジスタであってもよい。

【0028】

この場合は、オン電圧がVGHとなり、オフ電圧がVGLとなる。また、また、駆動用トランジスタ11aのソース端子はアノード電圧Vddと接続されているとして説明するが、これに限定するものではない。例えば、カソード電圧Vssまたはグランド電圧GNDに接続されていてもよい。また、コンデンサ18は、トランジスタ11のゲート絶縁膜容量によるコンデンサで代用してもよい。

20

【0029】

(4) ゲートドライバ回路

ゲートドライバ回路12aには、ゲート信号線17aを選択するスタートパルスST1、ゲート信号線17cを選択するスタートパルスST2、スタートパルスを順次シフトするクロック信号(CLK)が印加される。UDは、ゲートドライバ回路12a内のスタートパルスの上下シフトレジスタ方向を切り替える信号である。

【0030】

ゲートドライバ回路12bには、ゲート信号線17bを選択するスタートパルスST3、ゲート信号線17dを選択するスタートパルスST4、スタートパルスを順次シフトするクロック信号(CLK)が印加される。

30

【0031】

なお、必要に応じて、ゲートドライバ回路12には、イネーブル制御端子を付加することが好ましい。ゲートドライバ回路12内には、シフトレジスタ回路が形成されており、スタートパルスをクロック信号(CLK)に同期して順次シフトさせ、選択するゲート信号線17の位置を変化させる。

【0032】

(5) ゲート信号線に印加される信号

図2は、ゲート信号線17a、17b、17c、17dに印加される駆動電圧、ソース信号線18の映像信号電圧、EL素子15の発光状態を示す。

40

【0033】

なお、図2では、説明を容易にするため、オフ電圧をVGHとし、オン電圧をVGLとする。また、ソース信号線18に印加される電圧Vdataは、グランド電圧(GND) = 0Vとし、アノード電圧Vdd以下としている。

【0034】

また、1Hとは1水平走査期間である。図2は模式的なものであり、1Hが数Hとしてもよく、1Hは1Hより短い期間としてもよい。VGH電圧は、Vdd電圧よりも0.5V以上3.0V以下の電圧に設定される。

【0035】

画素16には、1tからatの期間に、ゲート信号線17dにオン電圧が印加される。

50

オン電圧 (VGL) の印加により、トランジスタ 11f がオンし、リセット電圧 Vrst が駆動用トランジスタ 11a のゲート端子にリセット電圧 Vrst が印加される (a 点)。

【0036】

リセット電圧 Vrst の印加により、駆動用トランジスタ 11a は、リセット状態になる。なお、リセット電圧 Vrst は、GND 電圧以下 - 5 (V) 以上の電圧に設定すべきである。また、リセット電圧 Vrst は、映像信号電圧 Vdata に対応して変化させてもよい。例えば、映像信号の階調番号に対応させてリセット電圧 Vrst を変化させる。また、リセット電圧 Vrst は、赤 (R)、緑 (G)、青 (B) の映像信号電圧で変化させてもよい。RGB で映像信号の振幅が異なるからである。この場合は、階調番号に対応せず、各 RGB で固定のリセット電圧 Vrst を設定してもよい。また、リセット電圧 Vrst は、表示画面で消費される電流に対応させて変化させてもよい。

10

【0037】

ゲート信号線 17c は、リセット電圧 Vrst の印加後 (at)、オン電圧が印加される。オン電圧 (VGL) を印加する期間は、1H 以上としているが、これに限定するものではなく、1H 以下の期間であってもよい。少なくともゲート信号線 17c にオン電圧 (VGL) を印加する期間は、ゲート信号線 17a にオン電圧 (VGL) を印加する期間よりも長くする。また、オーバーラップさせる。なお、リセット電圧 Vrst の印加時間は、2 μ sec 以上に時間を確保することが好ましい。

【0038】

20

ゲート信号線 17a オン電圧 (VGL) を印加することにより、スイッチ用トランジスタ 11c がオンし、ソース信号線 18 に印加した Vdata がコンデンサ 19b 印加される。a 点に印加されて映像信号 Vdata は、スイッチ用トランジスタ 11b がオンしている期間保持される。

【0039】

なお、図 2 に図示するゲート信号線 17a の斜線部は、オン電圧 (VGL) を印加してもオフ電圧 (VGH) を印加してもよい。

【0040】

スイッチ用トランジスタ 11c、スイッチ用トランジスタ 11d がオンすることにより、ソース信号線 18 から、駆動用トランジスタの及びトランジスタ 11b のチャンネル間のパスが発生し、コンデンサ 11a に電荷が充電される。Vdata の印加により、駆動用トランジスタ 11a は、Vdata に対応する電流を流すように、ゲート端子 b 点の電位を変化させ、変化後の電圧が、コンデンサ 19a に保持される。この動作により、駆動用トランジスタ 11a のオフセットがキャンセルされる。コンデンサ 19b の電位は 1 フレームの期間保持される。

30

【0041】

以上のオフセットキャンセルの動作後、ゲート信号線 17b にオン電圧が印加され、スイッチ用トランジスタ 11e がオンし、Vdd 電圧が駆動用トランジスタ 11a のソース端子に供給される。また、スイッチ用トランジスタ 11d がオンし、駆動用トランジスタ 11a から EL 素子 15 の駆動用電流が EL 素子 15 に供給される。EL 素子 15 は、印加された電流により発光する。

40

【0042】

ゲート信号線 17b には、オン電圧またはオフ電圧が印加され、オン / オフ電圧に同期して EL 素子 15 に電流が供給される。このオン / オフ電圧の印加状態に同期して EL 素子は発光または消灯する。

【0043】

EL 素子 15 が発光または消灯している動作時 (電圧プログラム時以外の期間、3t ~ の期間) では、トランジスタ 11b はオープン状態である。この時、トランジスタ 11a のソース端子は、EL 素子 15 が発光しているときは、アノード電圧 Vdd (トランジスタ 11e のチャンネル電圧降下は無視する) が印加されている。EL 素子 15 が消灯時は

50

、トランジスタ 11e 及びトランジスタ 11d をオープン状態にされる。この EL 素子 15 が消灯時は、駆動用トランジスタ 11a のソース端子は、コンデンサ 19b によりほぼ、アノード電位 V_{dd} に保持されている。したがって、トランジスタ 11a の電位安定度がよい。

【0044】

EL 素子 15 の点灯及び消灯は、トランジスタ 11d を *duty* 制御 (トランジスタ 11d など を オン / オフ させて、表示画面 31 に帯状の非表示領域を発生し、前記非表示領域を画面 31 の上下方向に、フレーム周期に同期して画像表示させる) してもよい。

【0045】

(6) 画素の変更例 1

10

図 10 は、図 1 の画素の変更例 1 である。

【0046】

コンデンサ 19b の一端子は、ゲート信号線 17a に接続されている。ゲート信号線 17a には、オン電圧 (V_{GL}) またはオフ電圧 (V_{GH}) が印加されるが、映像信号電圧を画素 16 に書き込んだ後 (電圧プログラム時以降) 以外の期間は、オフ電圧 (V_{GH}) が印加されている。したがって、コンデンサ 19b は一定の電荷を保持して安定である。

【0047】

(7) 画素の変更例 2

図 11 は、図 1 の画素の変更例 2 である。

20

【0048】

コンデンサ 19b の一端子は、ゲート信号線 17b に接続されている。ゲート信号線 17b には、オン電圧 (V_{GL}) またはオフ電圧 (V_{GH}) が印加される。しかし、映像信号電圧を画素 16 に書き込み時 (電圧プログラム時) の期間は、オフ電圧 (V_{GH}) が印加される。したがって、コンデンサ 19b は一定の電荷を保持して安定状態を維持されている。

【0049】

なお、図 11 において、コンデンサ 19b の一端子は、ゲート信号線 17b と接続するとしたが、これに限定するものではなく、ゲート信号線 17d と接続してもよい。ゲート信号線 17d には、リセット電圧 V_{rst} を印加するときだけ、オン電圧 (V_{GL}) が印加される。しかし、他の期間には、オフ電圧 (V_{GH}) が印加される。オフ電圧 (V_{GH}) が印加される。したがって、コンデンサ 19b は一定の電荷を保持して安定状態を維持されている。

30

【0050】

(8) 画素の変更例 3

図 4 は、図 1 の画素の変更例である。

【0051】

図 1 と図 4 の差異は、コンデンサ 11c が追加形成された点である。コンデンサ 11c は、ゲート信号線 17a に印加された電圧の変化 ($V_{GL} \rightarrow V_{GL}$) により、突き抜け電圧が発生しより良好な黒表示 (高コントラスト表示) を実現することを 1 つの目的とする。 $V_{GL} \rightarrow V_{GH}$ の動作とは、画素 16 に映像信号を書き込み保持させる動作である。すなわち、スイッチ用トランジスタ 11c の制御動作である。

40

【0052】

前記コンデンサ 19c は、第 1 の電極が現在ゲート信号線 17a 及びトランジスタ 11c のゲート端子に共通接続され、第 2 の電極が前記コンデンサ 19a 及び駆動用トランジスタ 11a のゲート端子に共通接続されている。

【0053】

なお、駆動用トランジスタ 11a が N チャンネルトランジスタの場合は、ゲート信号線 17a に印加する電圧 (映像信号を画素に書き込み、保持させる動作時に使用する電圧) を $V_{GL} \rightarrow V_{GH}$ となるように画素 16 を構成する。

【0054】

50

すなわち、補助コンデンサ 19 b は、スキャン期間から発光期間に変化しながら、駆動用トランジスタ 11 a のゲート電圧 (b 点) をブースト (boost) させる役目をする。

【0055】

ゲート信号線に印加するオフ電圧を V_{GH} 、オン電圧を V_{GL} とすると、ゲート信号線 17 a に印加する電圧を、 V_{GL} から V_{GH} に変化させると、駆動用トランジスタ 11 a のゲート電圧は、前記コンデンサ 19 a と補助コンデンサ 19 b のカップリングによる補正電圧だけ上昇するようになる。したがって、駆動用トランジスタ 11 a のゲート端子の電圧が、 V_{dd} 電圧側にシフトし、良好な黒表示を実現できる。

【0056】

(9) 画素の変更例 4

10

次に、画素の変更例 4 について図 5 と図 6 に基づいて説明する。

【0057】

(9-1) 画素の構成

図 5 において、画素 16 は、2 つのコンデンサ 19 a、19 b と 5 つのスイッチ用トランジスタ 11 b、11 c、11 d、11 e、11 f と 1 つの駆動用トランジスタ 11 a で構成される。

【0058】

スイッチ用トランジスタ 11 b は、駆動用トランジスタ 11 a をダイオード接続 (Diode-connected) させて、閾値電圧を補償するための閾値電圧補償トランジスタである。

【0059】

20

スイッチ用トランジスタ 11 f は、コンデンサ 19 a を初期化させるためリセット電圧 V_{rst} を印加するための初期化トランジスタである。

【0060】

スイッチ用トランジスタ 11 d は、EL 素子 15 の発光を制御するためのトランジスタである。

【0061】

スイッチ用トランジスタ 11 b、11 f はオフリークと小さくする必要があるため、ディアルゲート以上の複数ゲート構成にする。

【0062】

スイッチ用トランジスタ 11 c は、ゲート信号線 17 a にゲート電極が接続され、ソース信号線 18 にソース電極が接続され、ゲートドライバ回路 12 a からの選択信号によりオン/オフ制御される。

30

【0063】

駆動用トランジスタ 11 a は、トランジスタ 11 c のドレイン電極にソース電極が接続される。閾値電圧補償トランジスタ 11 b のソースまたはドレイン電極とコンデンサ 19 a の第 1 の端子が共通接続され、駆動用トランジスタ 11 a のゲート電圧が決定される。したがって、駆動用トランジスタ 11 a は、ゲート電極に印加された電圧に相当する駆動電流を生成する。

【0064】

40

閾値電圧補償トランジスタであるスイッチ用トランジスタ 11 b は、駆動用トランジスタ 11 a のゲート電極とソース電極との間に接続され、ゲート信号線に印加されるスキャン信号に応答して駆動用トランジスタ 11 a をダイオード接続させる。したがって、スキャン信号によって駆動用トランジスタ 11 a は、ダイオードのような状態になり、駆動用トランジスタ 11 a のゲート端子に電圧 $V_{data} - V_{th} [V]$ が印加され、これは、前記駆動用トランジスタ 11 a のゲート電圧となる。

【0065】

初期化トランジスタであるスイッチ用トランジスタ 11 f は、リセット電圧ライン V_{rst} とコンデンサ 19 a の第 1 の端子との間に接続され、ゲート電極に接続した $n-1$ 番目ゲート信号線 17 a のスキャン信号に응答して、先行フレームのとき前記コンデンサ 19 a に充填された電荷は前記リセット電圧ライン V_{rst} を介して放電させることによ

50

て、コンデンサ 19 a を初期化させる。

【0066】

スイッチ用トランジスタ 11 e は、第 1 の電源電圧ライン V d d と駆動用トランジスタ 11 a のソース電極との間に接続され、ゲート電極に接続したゲート信号線 17 b を介して伝達される発光制御信号によりオンとなり、第 1 の電源電圧 V d d を前記駆動用トランジスタ 11 a のソース電極に印加する。

【0067】

スイッチ用トランジスタ 11 d は、駆動用トランジスタ 11 a と E L 素子 15 との間に接続され、ゲート電極に接続した前記ゲート信号線 17 b を介して伝達される発光制御信号に 응답して駆動用トランジスタ 11 a で生成される前記駆動電流を前記 E L 素子 15 に伝達する。

10

【0068】

コンデンサ 19 a は、第 1 の電源電圧ライン V d d と駆動用トランジスタ 11 a のゲート電極との間に接続され、第 1 の電源電圧 V d d と前記駆動用トランジスタ 11 a のゲート電極に印加される電圧 V d a t a - V t h [V] の電圧差に該当する電荷を 1 フレームの間に維持する。

【0069】

補助コンデンサ 19 b は、第 1 の電極が現在ゲート信号線 17 a 及びトランジスタ 11 b のゲート端子に共通接続され、第 2 の電極が前記コンデンサ 19 a 及び駆動用トランジスタ 11 a のゲート端子に共通接続されている。

20

【0070】

(9 - 2) ゲート信号線

ゲート信号線 17 a からゲート信号線 17 a 1 とゲート信号線 17 a 2 が分岐されており、ゲート信号線 17 a 1 には、インバータ回路 51 が配置されている。したがって、ゲート信号線 17 a 1 とゲート信号線 17 a 2 には、V G H と V G L が反転して電圧が印加される。

【0071】

(9 - 3) ソース信号線

ソース信号線 18 a とソース信号線 18 b を有しており、上下方向に隣接した画素 16 (16 a 、 16 b) は異なるソース信号線 18 に接続されている。本実施形態では、画素 16 b はソース信号線 18 b に接続されており、画素 16 a はソース信号線 18 a と接続されている。

30

【0072】

図 6 は、図 5 の画素構成において、ゲート信号線 17 及びソース信号線 18 との接続状態を示している。図 5、図 6 のように構成することにより、リセット電圧 V r s t を印加するためのスイッチ用トランジスタ 11 f を制御するゲート信号線と、映像信号を印加するためのスイッチ用トランジスタ 11 c を制御するゲート信号線とを共通にすることができる。そのため、ゲート信号線 17 の数を削減でき、画素 16 の開口率を向上できる。

【0073】

また、複数画素行を同時にオフセットキャンセル状態にすることができ、良好なオフセットキャンセルを実現できる。

40

【0074】

(10) d u t y 駆動

本実施形態において、スイッチ用トランジスタ 11 e 、 11 d の少なくとも一方をオン / オフ制御することにより、図 12 (b) に図示するような d u t y 駆動を実現できる。

【0075】

図 12 において、121 はプログラム画素行 (映像信号を書き込んでいる画素行) であり、123 は非表示領域 (トランジスタ 11 e とトランジスタ 11 d のうち、少なくとも一方をオフさせることにより、非表示 (E L 素子 15 に電流が流れていない、または流れても小さい状態) とした画素行または画素行の群) である。122 は表示領域 (トランジ

50

スタ 1 1 e とトランジスタ 1 1 d の両方をオンさせ、E L 素子 1 5 に電流が供給されている画素行または画素行の群である。非表示領域 1 2 3 及び表示領域 1 2 2 はフレーム周期または水平同期信号に同期して、表示画面 3 1 の上下方向に走査される。

【 0 0 7 6 】

(1 0 - 1) 問題点

図 1 3 (a) の表示では、1 つの表示領域 1 2 2 が画面の上から下方向に移動する。フレームレートが低いと、表示領域 1 2 2 が移動するのが視覚的に認識される。特に、まぶたを閉じた時、または顔を上下に移動させた時などに認識されやすくなる。

【 0 0 7 7 】

(1 0 - 2) 解決手段

この問題点に対しては、図 1 2 (b) (c) に示すように、表示領域 1 2 2 を複数に分割するとよい。分割された表示領域 1 2 2 は等しく (等分に) する必要はない。例えば、表示領域を 4 つの領域に分割し、分割された表示領域 1 2 2 a が面積 1 で、分割された表示領域 1 2 2 b が面積 2 で、分割された表示領域 1 2 2 c が面積 1 で、分割された表示領域 1 2 2 d が面積 4 でもよい。

【 0 0 7 8 】

数フレーム (フィールド) での表示領域 1 2 2 の面積が平均して目標の大きさになるように制御してもよいことは言うまでもない。例えば、表示画面 3 1 に占める表示領域 1 2 2 の面積を $1 / 10$ にするとした時、1 フレーム (フィールド) 目は表示領域 1 2 2 の面積を $1 / 10$ とし、2 フレーム (フィールド) 目は表示領域 1 2 2 の面積を $1 / 20$ とし、3 フレーム (フィールド) 目は表示領域 1 2 2 の面積を $1 / 20$ とし、4 フレーム (フィールド) 目は表示領域 1 2 2 の面積を $1 / 5$ とし、以上の 4 フレーム (フィールド) で所定の表示面積 (表示輝度) の $1 / 10$ を得る駆動方法が例示される。

【 0 0 7 9 】

また、R、G、B のそれぞれが、数フレーム (フィールド) で L の期間の平均が等しくなるように駆動してもよい。しかし、前記数フレーム (フィールド) は 4 フレーム (フィールド) 以下にすることが好ましい。表示画像によってはフリッカが発生する場合があるからである。

【 0 0 8 0 】

なお、本実施形態での 1 フレームまたは 1 フィールドとは、画素 1 6 の画像書き換え周期または表示画面 3 1 が上から下まで (下から上まで) 走査される周期と同じである。

【 0 0 8 1 】

また、R、G、B で、数フレーム (フィールド) で L の期間の平均を異ならせ、適度なホワイトバランスがとれるように駆動してもよい。この駆動方法は、R G B の発光効率が異なるときに特に有効である。また、R G B で分割数 K (表示領域 1 2 2 を複数に分割する数) を異ならせても良い。特に G では視覚的にめだつため、G では分割数を R B に対して多くすることが有効である。

【 0 0 8 2 】

なお、以上の実施形態では理解を容易にするために表示領域 1 2 2 の面積を分割して説明している。しかし、面積を分割するとは、期間 (時間) を分割することである。したがって、図 1 ではトランジスタ 1 1 d のオン期間を分割することになるから、面積を分割することは、期間 (時間) を分割することと同じである。

【 0 0 8 3 】

(1 0 - 3) 効果

以上のように、表示領域 1 2 2 を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。しかし、分割するほど動画表示性能は低下する。また、画像表示のフレームレートを低減することができ、低消費電力化を実現できる。例えば、非点灯領域 1 2 3 を一括にした場合は、フレームレート 4 5 Hz 以下になるとフリッカが発生する。

10

20

30

40

50

しかし、非点灯領域 1 2 3 を 6 分割以上とした場合は、20 Hz 以下までフリッカが発生しない。

【0084】

(11) 明るさ調整方式

図 1 3 (a) は図 1 3 のように表示領域 1 2 2 が連続している場合の明るさ調整方式である。図 1 3 (a 1) の表示画面 3 1 の表示輝度が最も明るい。図 1 3 (a 2) の表示画面 3 1 の表示輝度が次に明るく、図 1 3 (a 3) の表示画面 3 1 の表示輝度が最も暗い。図 1 3 (a 1) から図 1 3 (a 3) への変化（またはその逆）は、先にも記載したようにゲートドライバ回路 1 2 のシフトレジスタ回路 6 1 などの制御により、容易に実現できる。この際、図 1 の V d d 電圧（アノード電圧など）は変化させる必要がない。また、ソースドライバ回路 1 4 が出力するプログラム電流またはプログラム電圧の大きさも変化させる必要がない。すなわち、電源電圧を変化させず、また、映像信号を変化させずに表示画面 3 1 の輝度変化を実施できる。

10

【0085】

また、図 1 3 (a 1) から図 1 3 (a 3) への変化の際、画面のガンマ特性は全く変化しない。したがって、表示画面 3 1 の輝度によらず、表示画像のコントラスト、階調特性が維持される。これは本実施形態の効果である。

【0086】

従来の画面の輝度調整では、表示画面 3 1 の輝度が低い時は、階調性能が低下する。すなわち、高輝度表示の時は 6 4 階調表示を実現できても、低輝度表示の時は、半分以下の階調数しか表示できない。これに比較して、本実施形態の駆動方法では、画面の表示輝度に依存せず、最高の 6 4 階調表示を実現できる。

20

【0087】

図 1 3 (b) は、図 1 2 で説明したように表示領域 1 2 2 が分散している場合の明るさ調整方式である。図 1 3 (b 1) の表示画面 3 1 の表示輝度が最も明るい。図 1 3 (b 2) の表示画面 3 1 の表示輝度が次に明るく、図 1 3 (b 3) の表示画面 3 1 の表示輝度が最も暗い。図 1 3 (b 1) から図 1 3 (b 3) への変化（またはその逆）は、先にも記載したようにゲートドライバ回路 1 2 のシフトレジスタ回路 6 1 などの制御により、容易に実現できる。図 1 3 (b) のように表示領域 1 2 2 を分散させれば、低フレームレートでもフリッカが発生しない。

30

【0088】

さらに、低フレームレートでも、フリッカが発生しないようにするには、図 1 3 (c) のように表示領域 1 2 2 を細かく分散させればよい。しかし、動画の表示性能は低下する。したがって、動画を表示するには、図 1 3 (a) の駆動方法が適している。静止画を表示し、低消費電力化を要望する時は、図 1 3 (c) の駆動方法が適している。図 1 3 (a) から図 1 3 (c) の駆動方法の切り替えも、シフトレジスタ 6 1 の制御により容易に実現できる。

【0089】

図 1 3 は非表示領域 1 2 3 が等間隔で構成されているが、これに限定するものではない。表示画面 3 1 の 1 / 2 の面積が連続して表示領域 1 2 2 をし、残りの面積 5 0 が図 1 3 (c 1) のように等間隔に表示領域 1 2 2 と非表示領域 1 2 3 が繰り返すように駆動してもよいことは言うまでもない。

40

【0090】

(12) 表示機器

次に、本実施形態の駆動方式を実施する E L 表示装置を表示ディスプレイとして用いた本実施形態の表示機器について説明をする。

【0091】

(12 - 1) 第 1 の適用例

図 7 は E L 表示装置の一例である情報端末装置の携帯電話の平面図である。筐体 7 3 にアンテナ 7 1 などが取り付けられている。7 2 a は、表示画面の明るさを変化させる切換

50

キー、72bは電源オン/オフキー、72cがゲートドライバ回路12bの動作フレームレートを切り替えるキーである。75はホトセンサである。ホトセンサ75は、外光の強弱にしたがって、duty比などを変化させて、表示画面22の輝度を自動調整する。

【0092】

(12-2) 第2の適用例

図8はビデオカメラの斜視図である。ビデオカメラは撮影(撮像)レンズ部83とビデオカメラ本体73と具備している。本実施形態のEL表示パネルは表示モニター74としても使用されている。表示画面22は支点81で角度を自由に調整できる。表示画面22を使用しない時は、格納部83に格納される。

【0093】

(12-3) 第3の適用例

本実施形態のEL表示パネルまたはEL表示装置などはビデオカメラだけでなく、図9に示すような電子カメラにも適用することができる。本実施形態のEL表示装置はカメラ本体91に付属されたモニター22として用いる。カメラ本体91にはシャッタ93の他、スイッチ72a、72cが取り付けられている。

【0094】

(13) 回路の構成

図14は、本実施形態におけるEL表示パネルの1列分の回路を示したものである。ここでソース信号線18は切り替え手段141を介して、1列に対して2本のソース信号線18aと18bが存在し、偶数行と奇数行の画素で接続されるソース信号線が異なる構成となっていることが特徴である。各画素16の構成は例えば図1、図4、図10、図25といった回路で構成されている。ゲートドライバ回路12aは、シフトレジスタ構成となっており、クロック毎にパルスが1段ずつシフトされる。ゲート信号線17に対する接続を、図14のように行うことで、図15に示すような信号波形を実現することができる。

【0095】

シフトクロックの周期を1水平走査期間に設定し、1水平走査期間のみパルスが出力されるようなスタートパルスが入力される。これで各行1水平走査期間ずつずれたタイミングで1水平走査期間の間パルスが発生する回路が実現できる。シフトレジスタの各段出力を図14のようにゲート信号線17に取り込み、切り替え手段141を図15に示すように動作させることで、始めの1水平走査期間では、1行目の画素16aの駆動用トランジスタ11aのゲート電圧をVrst電源により、初期化する。同時にソース信号線から所定の階調に対応する1行目の画素に対応する信号電圧が切り替え手段141を介してソース信号線18bに充電される。ソース信号線18aには充電されない。切り替え手段141でソースドライバ回路出力から切り離されている。次の1水平走査期間においては切り替え手段141を動作させ、ソース信号線18aを充電するようにする。このときソース信号線18bは、ソースドライバ回路出力から切り離されているために、ソース信号線の浮遊容量142bにより1行目の画素に対応する信号電圧が充電されたままである。そこで、ゲート信号線17a及びゲート信号線17cを走査し、画素16aのトランジスタ11c、11bを導通状態とし、画素の駆動用トランジスタ11aに階調信号の書き込みと、特性バラツキのキャンセル動作を実施する。同時に2行目の画素に対応して、画素16bに対応する階調信号電圧がソース信号線18aに充電され、駆動用トランジスタ11aのゲート電極がVrst電源により初期化される。

【0096】

ソース信号線18aとソース信号線18bを水平走査期間毎に切り替えて利用することで、ソース信号線に印加させる階調信号が2水平走査期間保持されるため、画素回路16に信号を書き込む時間を長くすることができるようになる。

【0097】

図1などの画素回路の構成では、駆動用トランジスタ11aに階調信号を書き込みながら、特性バラツキをキャンセルする動作を行う。特性バラツキをキャンセルする動作は、トランジスタ11f、11d、11eがオフでトランジスタ11bがオン状態のときに行

10

20

30

40

50

われ、駆動用トランジスタ 11a のドレイン電流が 0 になるように、駆動用トランジスタ 11a のゲート電位が変化することで、特性バラツキのキャンセルを行っている。駆動用トランジスタ 11a のゲート電位を変化させているのは、ドレイン電流による電荷であり、最終状態が 0 もしくは限りなく小さい電流（ピコアンペアオーダー）であることから、ゲート電位を支えている蓄積容量 19a の電荷の充放電に時間がかかる。そのため、キャンセル動作には時間がかかることがわかる。1 水平走査期間が長い場合には、1 水平走査期間内にキャンセル動作を完了させることができるが、垂直ライン数が多く、1 水平走査期間が 40 μ 秒よりも短い場合には、キャンセル動作が最後まで行われず、特性補償が不完全となり、その結果、特性ばらつきに応じたムラが発生する問題があった。

【0098】

そこで、キャンセル時間を 1 水平走査期間以上に拡大する方法として、図 16 に示すようにゲートドライバ回路 12a を更に 2 本のゲートドライバ回路 12a1、12a2 で構成させ、駆動用トランジスタ 11a の初期化を、対応する映像信号が入力される 1 水平走査期間前に予め実施しておき、ソース信号線 18a もしくは 18b に映像信号が入力される水平走査期間から駆動用トランジスタ 11a に階調電圧の書き込み及び特性キャンセル動作を行うようにする。切り替え部 141 の動作により、2 水平走査期間の間映像信号が保持されるため、階調電圧の書き込み及び特性キャンセル動作を 2 水平走査期間中実施することが可能となる。これを実現するために、図 17 に示すように、シフトレジスタ 12a2 のスタートパルス 172b を入力する。各行のトランジスタ 17a 及び 17c が 2 水平走査期間オンされる。オンされるタイミングはソース信号線 18 及び 18a、18b の映像信号に同期して実施される。映像信号が偶数行と奇数行で 2 つのソース信号線 18a 及び 18c に振り分けられることで周波数が半分となり、書き込み時間を 2 倍にすることができた。なおイネーブル信号 173 については、パルス伝播の際の波形なまりによる複数の行の画素で同時選択されることを防止するための信号であり、同時選択が起きない場合や、同時選択でも問題なく動作する場合には、不要であり、イネーブル信号 173 がなくても本実施形態を実施することができる。例えば図 21 のように、特性キャンセルを行うための信号を生成するゲートドライバ回路 12a2 のイネーブル信号を削除した場合の入力波形及び動作を示す。

【0099】

図 17 の波形によれば、2 水平走査期間の間駆動用トランジスタ 11a の特性補正動作が可能であるが、予め映像信号が入力される 1 水平走査期間前に駆動用トランジスタ 11a を初期化するための動作が必要であり、1 水平走査期間前に予め動作させることが必要であり、先頭行が検知できない場合には、予め初期化ができなくなる恐れがある。

【0100】

そこで図 18 に示すように、初期化動作を、1 行目の映像信号入力時と同時に実施する信号パターンを考案した。初期化動作時には、特性補正動作ができないため、2 水平走査期間の間に、初期化後特性補正動作を行うようにした。図 18 の構成では、2 水平走査期間のうちの始めの水平走査期間の前半に初期化動作を行い、残りの半分と次の水平走査期間で画素への信号書き込みと特性補償動作を実施するようにした。ゲートドライバ回路がシフトレジスタ構成である場合には、水平走査期間とシフトクロックが一致する場合には、イネーブル信号でパルス幅をカットする方法により、水平走査期間の前半と後半で異なるスイッチの動作を実現した。ゲート信号線 17d がローレベルの 때가、駆動用トランジスタ 11a の初期化期間となり、ゲート信号線 17a 及び 17c がローレベルのときに、駆動用トランジスタ 11a の特性キャンセルと、画素に階調を書き込む期間となる。17a 及び 17c のローレベル期間が 1 水平走査期間より長く設定できるため、水平走査期間が 30 μ 秒であっても、従来比 1.5 倍の期間が取れることから 45 μ 秒のキャンセル期間がとれ、駆動用トランジスタの特性ばらつきを補正することが可能となった。初期化動作自体は、2 ~ 10 μ 秒程度で完了するため、最大 2 水平走査期間から 2 ~ 10 μ 秒を引いた時間までキャンセル期間を拡大することができる。

【0101】

ゲートドライバ回路 12 a のシフトレジスタが 1 系統でかつキャンセル期間を 1 水平走査期間以上に拡大する方法を図 19 及び図 20 に示す。

【0102】

例えば 2 水平走査期間の間キャンセルする場合には、2 水平走査期間ゲート信号線 17 a 及び 17 c が導通状態にある必要がある。そこでゲートドライバ回路 12 a のスタートパルスで 2 水平走査期間の長さだけ入力する。これでキャンセル及び階調書き込み時間を 2 水平走査期間に設定できた。同様に初期化を実施するためのゲート信号線 17 d 用のパルス生成する必要がある。また図 1、図 25 に示すような画素回路構成であることから、ゲート信号線 17 d と 11 a、11 c を同時に導通状態としてはならないため（異なる電圧がショートする）初期化用のパルスは、同一行の画素に対するキャンセル及び階調書き込み用のパルスと重ならないようにする必要がある。具体的には、2 水平走査期間前のパルスを初期化用のパルスとして利用すればよい。図 19 に示すように、シフトレジスタに対して、ゲート信号線 17 d と共通の出力をキャンセル及び階調信号書き込み用ゲート信号線を用いる場合には、2 行分後段（すなわち 2 水平走査期間後）の信号を利用すると、同一画素 16 a に対して、図 20 に示すように、201、202 の 2 水平走査期間で初期化を実施し、203、204 の 2 水平走査期間で駆動用トランジスタ 11 a の特性キャンセル及び階調信号書き込みを実施している。16 b、16 c の画素においても同様に 1 水平走査期間ずつ遅れたタイミングで実施している。

【0103】

この方法は、2 水平走査期間のキャンセルばかりでなく、3 水平走査期間以上必要な場合でも実施が可能である。1 列分の画素に対応するソース信号線の数が必要な水平走査期間の数（整数）分用意し、ゲートドライバ回路 12 a のスタートパルスのパルス幅に必要な水平走査期間数を入力し、初期化に対応するゲート信号を取り出すシフトレジスタの段から必要な水平走査期間数分後段のシフトレジスタから特性キャンセル及び階調信号書き込み用のゲート信号をとりだして、同一行の画素に入力すれば実現が可能である。映像信号が、対応する行の画素に書き込まれるようにするため、スタートパルスは、映像信号に対して予め入力する必要がある。少なくともキャンセルを行う水平走査期間の長さ分だけ早く入力が必要。図 20 においても 2 水平走査期間早く、入力している。

【0104】

ソースドライバ回路のコスト削減のために、1 出力から時系列に複数の画素に対応する電圧を出力する選択駆動方式を採用することがある。選択駆動方式がない場合に比べて、当該画素に対応する映像信号が入力されるタイミングが表示色によって異なるようになる。例えば、赤緑青の 3 画素分を 1 出力で行う 3 選択駆動の場合においては、図 22 に示すように、赤色に対して、緑及び青は水平走査期間の始めではなく、途中で信号が変化していることがわかる。ゲート信号線 17 a 及び 17 c を 221 の波形により入力すると緑及び青色の画素については、1 行前の映像信号が画素に書き込まれ、ソース信号線の変化により当該行の映像信号が書き込まれるようになる。液晶などでは、書き込み時の最終電圧（ゲート信号線がオフになる瞬間の電圧）が 1 フレーム間画素に保持され、所定輝度で表示されるため問題がないが、本実施形態における画素構成を持つ有機 EL パネルにおいては、映像信号を駆動用トランジスタ 11 a に書き込む際に駆動用トランジスタ 11 a の特性バラツキを補正する動作を行っている。補正に要する時間を短縮するため、書き込みを行う前に、初期化動作を行い、駆動用トランジスタ 11 a のゲート電極に低い電圧（白表示時よりもさらに駆動用トランジスタ 11 a が電流を流す電圧）に予め初期化を行っている。初期化の電圧は低いほど特性補正が高速化される。選択駆動時に 1 行前の電圧が少しでも印加されると、駆動用トランジスタ 11 a のゲート電圧が 1 行前の電圧に変化してしまい、1 行前の電圧が印加された状態で、当該行の映像信号による階調信号の書き込みとトランジスタばらつき特性補正を行うこととなり、初期化を行う効果がなくなってしまう。これは 3 選択駆動でなくとも、2 選択以上の信号線選択駆動を実施する際に共通の課題である。

【0105】

10

20

30

40

50

そこで本実施形態では、選択駆動を行う際に、同一水平走査期間で書き込みを行う信号線の電圧がすべて確定した後に特性キャンセル動作を行うようにした。

【0106】

図23、図24及び図26に実施形態の1つを示す。ここで選択駆動は赤緑青の3つの信号線を順に選択する3選択駆動方式としている。2選択や、4選択以上でも同様に実現できる。キャンセル時間を確保するために、各列に対して2本の信号線を用意し、偶数行と奇数行で異なるソース信号線を利用している。図23ではゲートドライバ回路12aをシフトレジスタ回路1系統で実施する構成を示しています。図23のゲートドライバ回路12aを用いた場合の信号入力と、信号線選択回路232の動作を図26に示す。1水平走査期間内で赤(R)、緑(G)、青(B)に信号線を切り替えている。また1水平走査期間毎に奇数行用のソース線18b、偶数行用のソース線18aを切り替えて選択を行っている。

10

【0107】

この方式では、初期化のタイミングと当該行の映像信号線の書き込みが同一で、画素内部への映像信号の書き込みは、次の水平走査期間にて実施されているため、駆動用トランジスタ11aへの信号線書き込み及び特性ばらつき補正中に映像信号が変わることはなく、選択駆動時でもこれまで同様の駆動が実施可能である。1画素分に注目したタイミングチャートを図24に示す。ここではこれまで記載していなかった、ゲート信号線17bについても記載を行っている。17bについては、初期化期間及び特性キャンセル、階調信号を駆動用トランジスタに書き込みを行っている期間では必ず、接続されるスイッチが非導通状態である必要があるが、その他の期間では、導通、非導通状態いずれであってもかまわない。これは本実施形態のほかの実施の形態でも同様である。図24では、導通非導通を繰り返し実施している例を示している。

20

【0108】

ソース信号線18は3選択駆動対応用に1水平走査期間の間に3画素分の信号を送っている。信号線選択回路により奇数行目の青画素に対応するソース信号線18bBの電圧変化は241に示す波形のようになる。

【0109】

1行目に対応する階調信号の変化は242のタイミングで変化する。このときゲート信号線17bがオフ状態となっており、駆動用トランジスタ11aのゲート電極に1行前の映像信号が書き込まれることが無いようになっている。ゲート信号線17aについては、図23のゲートドライバ回路の構成によればオフとなっているが、オン状態であってもかまわない。ゲートドライバ回路の構成を変更してオンとしてもよい。駆動用トランジスタ11aのソース電極に1行前の電圧が印加されるが、初期化されているゲート電極には印加されることが無いためである。

30

【0110】

時間2t以降でゲート信号線17c、17aが導通状態となり、駆動用トランジスタ11aに階調電圧及び特性キャンセル動作が行われる。このときソース信号線18bBは図26でもあったように、信号線選択回路232により各ソース信号線から切り離された状態となり、ソース信号線の浮遊容量233により、ソースドライバ回路から書き込まれた電圧が2水平走査期間の間保持される。保持された電圧値が画素に書き込まれ、所定電圧が書き込まれている。時間2t~3tの間で、駆動用トランジスタ11aのゲート電圧は書き込まれるソース電圧(V_s)から閾値電圧(V_{th})分低下した電位に徐々に変化し、($V_s - V_{th}$)となる。時間3tで所定電圧に書き込まれた後、ゲート信号17bを導通状態にすることで所定電流がEL素子15に流れ、発光する。

40

【0111】

図27はゲートドライバ回路12aをシフトレジスタ2系統で構成した場合の図である。これによればスタートパルスの個別設定にて、ゲート信号線17dに対してゲート信号線17a及び17cのパルス幅を異ならせて設定することが可能である。

【0112】

50

図 28 にゲートドライバ回路 12 a 1 及び 12 a 2 の入力波形と、各ゲート信号線波形を示す。初期化用の信号を生成するゲートドライバ回路 12 a 1 について、初期化を行うためのパルスを生成する。初期化に要する時間は V_{rst} を発生する電源能力によるが 10μ 秒程度で初期化が完了する。ゲート信号線 17 d がオン状態となるのは短い時間で実施している。時間がかかる特性キャンセル期間と初期化期間は同時に実施することができないため、2 水平走査期間内で初期化～特性キャンセル、階調信号書き込みを実施するためには、初期化を短くすることが重要であるためである。図 28 では赤色にソース出力が選択された期間のみで実施しているが、赤と緑色の選択期間もしくは赤色の選択期間の一部などであってもよい。最も当該行の映像信号が書き込まれるのが遅い青色のソース信号線 18 a B もしくは 18 b B においては青色の選択期間になるまで当該画素に対応する電圧がソース信号線 18 a B もしくは 18 b B に印加されていないため、特性キャンセル期間に移行することができない。特性キャンセルができないことから、赤緑選択期間は初期化期間としても問題が無い。特性キャンセル及び階調信号書き込みであるが、ゲートドライバ回路 12 a 2 のシフトレジスタ回路により 2 水平走査期間選択できるパルスを生成し、初期化期間もしくは映像信号が書き込まれていない期間を除くように、奇数行偶数行別にイネーブル期間を設けるイネーブル信号を有する。1 行目の特性キャンセル及び階調信号書き込み期間は 281 で示される期間となる。281 の期間の始めは、青画素書き込み終了後となっているが、青画素が信号線選択回路で選択され所定電圧にソース信号線 18 a B もしくは 18 b B が変化した後であれば、ゲート信号線 17 a 及び 17 c をローレベルにしてもよい。281 の期間の終わりは、次に同一のソース信号線に異なる行の画素に対応する電圧が印加される前に設定すればよい。信号線選択速度が速い場合には、書き込み終了後～次の水平走査期間の最後まで特性キャンセル期間を設定することができ、駆動用トランジスタ 11 a の閾値電圧補正能力が高い表示が実現可能である。

10

20

30

40

50

【0113】

なおゲート信号線 17 a については、2 水平走査期間すべてにおいてローレベルとしてもよい。トランジスタ 11 c が導通状態となっても、駆動用トランジスタ 11 a のゲート電圧には影響がないためである。この場合、ゲート信号線 17 c 用にはイネーブル信号を介してシフトレジスタ出力が入力され、ゲート信号線 17 a 用にはイネーブル信号を介さずもしくは、別途のイネーブル信号を介してシフトレジスタ出力が入力される構成となる。

【0114】

これまでは画素回路 16 に用いられるトランジスタは p 型トランジスタで説明を行ってきたが、図 29 に示す n 型トランジスタで構成してもよい。また有機 EL 素子 15 については、アノードとカソードの向きが逆でかつ、 V_{ss} 電位 $>$ V_{dd} 電位という構成であってもよい。図 29 では容量 19 b が形成されているが、なくても本実施形態を同様に実施することが可能である。

【0115】

容量 19 b が形成されていると、次に画素に映像信号が書き込まれるまでの 1 フレーム間電圧が保持されるため、a 点の電位が保持される。保持された電位を元にトランジスタ 11 b を導通状態とすれば階調信号に応じた信号で、駆動用トランジスタ 11 a の特性バラツキをキャンセルすることが可能である。これが図 30 に示すキャンセル期間 302 となる。このキャンセル期間は水平走査期間の長さによらずゲートドライバ回路の構成によって任意に設定することが可能である。映像信号の書き込みと駆動用トランジスタ 11 a の初期化は、キャンセル期間 302 の前に実施される（期間 301）。トランジスタ 11 f と 11 c のみ導通状態である。これで V_{rst} 電源により駆動用トランジスタ 11 a のゲート電位を初期化し、同時にソース信号線 18 から容量 19 b に所定電圧の書き込みを行っている。容量 19 b に所定階調電圧を保持することから、ソース信号線 18 は 1 本で、1 水平走査期間のみトランジスタ 11 c をオンさせるだけでよい。ソース信号線 18 を 2 本用意する方法でソース信号線 18 の浮遊容量と容量 19 b の両方で階調電圧を保持する方法をとってもよい。この場合、容量 19 b は小さくすることができる。

【 0 1 1 6 】

キャンセルまで完了したら、E L 素子 1 5 に電流を印加して所定輝度による発光を得る。この期間が発光期間 3 0 4 である。このときトランジスタ 1 1 d と 1 1 e が導通状態となり E L 素子 1 5 に電流を供給する。前後にある非発光期間 3 0 3 は、黒挿入を行い動画視認性向上等の効果を得る際に挿入される期間である。このときは少なくともトランジスタ 1 1 d もしくは 1 1 e のいずれか一方が非導通状態になっている。また、常時点灯状態にして黒挿入を行わない場合には、期間 3 0 3 はなくても差し支えない。

【 0 1 1 7 】

また本実施形態における切り替え部 1 4 1 及び信号線選択回路 2 3 2 は必ずしもアレー基板上にある必要が無く、ソースドライバ回路 I C に内蔵される構成であってもよい。

10

【 0 1 1 8 】

本実施形態において、同一列に形成された画素に接続されるソース信号線は 2 本である例で説明をおこなったが、3 本以上の複数のソース信号線であっても同様に実施が可能である。一般に N 本のソース信号線を用意し、N 画素おきにソース信号線を接続すれば、N 水平走査期間の間ソース信号線は階調電圧を保持することが可能となり、特性キャンセル期間を長く取ることができるようになり（最大 N 水平走査期間）、より駆動用トランジスタ 1 1 a の特性に近づいたゲート電圧を画素回路で保持することができることにより、表示ムラが改善する。

【 0 1 1 9 】

また N 本のソース信号線について、少なくとも隣接画素間で異なるソース信号線に画素回路を接続しておけば、2 水平走査期間の間ソース信号線に階調信号が保持されることから、同様に特性キャンセル期間を拡大することができ、表示ムラが少ない E L 表示装置を得ることができる。

20

【 0 1 2 0 】

(1 5) 初期化のための電源

図 3 1 は、駆動用トランジスタ 1 1 a のゲート電圧を初期化するための電源を、電圧源から電流源に変更した回路である。図 3 2 に図 3 1 の回路構成におけるゲート信号線の波形を示す。図 3 1 の回路構成において、1 画素での動作は、1 フレームの間に、書き込み期間 3 2 1、発光期間 3 2 4、非発光期間 3 2 3 に分けられる。非発光期間 3 2 3 は、黒挿入を行って動作視認性を向上させる場合などに用いられる。本実施形態においては、非発光期間 3 2 3 は、あってもよく、また、なくてもよい。特性バラツキの補償能力向上を同様に実現できる。

30

【 0 1 2 1 】

書き込み期間 3 2 1 において、トランジスタ 1 1 b、1 1 c、1 1 f が導通状態となる。これによりソース信号線 1 8 の電圧が駆動用トランジスタ 1 1 a のソース電極に印加される。駆動用トランジスタ 1 1 a のゲートとドレイン電極はトランジスタ 1 1 b により同電位となり、電流源 3 1 2 により供給される電流が駆動用トランジスタ 1 1 a のドレイン電流となるようなゲート、ドレイン電圧となる。従って、書き込み期間 3 2 1 において、トランジスタ 1 1 a のゲート電圧は、ソース信号線 1 8 の電圧が V_s であったとすると、 $(V_s - V_{t1})$ となる。ここで V_{t1} は、駆動用トランジスタ 1 1 a に電流源 3 1 2 の電流 (I_{rst}) を流したときのソースドレイン間電圧であり、駆動用トランジスタ 1 1 a の特性により異なる電圧値となる。 I_{rst} が駆動用トランジスタ 1 1 a すなわち E L 素子 1 5 に流れるときには、特性バラツキを補正した電圧が駆動用トランジスタ 1 1 a のゲート電極に印加され、表示ムラのない E L 表示装置が実現できる。従来の構成においては、 $I_{rst} = 0$ すなわち黒表示時に完全に特性ばらつきを補正し、電流が増加するにつれ、補正ができない移動度ばらつきに起因する電流ばらつきが発生し、高階調ほど表示ムラが発生しやすい状況であった。表示ムラは輝度が低いほど視認しにくく、中間調～高階調では視認しやすい性質があり、階調 0 に相当する電流で特性補正を行うよりも、視認しやすい中間～高階調での補正が望ましい。初期化用の電流源 I_{rst} の電流値を中間～高階調に設定すれば、視認されやすい階調での表示ムラを優先してなくし、視認しにくい階

40

50

調では、移動度ばらつきがおこる構成であっても見えにくいことを利用し、全階調領域における表示ムラレベルの向上を図った。駆動用トランジスタの特性バラツキのキャンセル動作中に電流 I_{rst} を流し、特性キャンセルがもっともよく行われる電流領域を変更させることができるようにしたことが特徴である。

【0122】

図33の回路は、図31の構成に対して、さらに初期化用の電圧源331及び電圧源331と電流源312の切り替えを行う切り替え部333を有することが特徴である。これは、電流源312によりトランジスタ11aの電圧を変化させる場合に、1フレーム前に黒表示をした画素であると、駆動用トランジスタ11aに流れる電流が I_{rst} に変化するまでに時間がかかり書き込み期間321内に駆動用トランジスタ11aのゲート電圧が $V_s - V_{t1}$ になりにくい問題を解消するためである。駆動用トランジスタ11aのドレイン電流が多いほど、書き込み期間321における駆動用トランジスタ11aのゲート電圧を変化させやすい。電流が多く流れるほど蓄積容量19aの電荷の充放電速度が速くなるため、ゲート電圧が変化しやすくなる。そこで、ゲート電圧の変化速度向上を目的として、電圧源331を用意し、書き込み期間321の初期に、電流源312に変わり、低電圧（白表示ほど低電圧の図33の回路構成の場合）の電圧を駆動用トランジスタ11aに供給することで、書き込み期間321の初期に駆動用トランジスタ11aのドレイン電流が多くなるようにして、残りの期間での、リセット電流源312によるキャンセル動作を高速化するようにした。

【0123】

図34に図33の回路構成におけるゲート信号及び切り替え手段の動作を示した。書き込み期間321のうち電圧源が供給される期間341において、駆動用トランジスタ11aのゲート電圧は V_{rst} となる。 V_{rst} は低い電圧であるほど、切り替え手段333により電流源312に切り替えた際のゲート電圧の変化を高速化させるが、低下させすぎると、所定階調とのゲート電位の差が大きくなりすぎ、所定値まで電圧が変化しきれない可能性がある。よって V_{rst} は、（白表示時の電圧）～（白表示時の電圧 - 5 [V]）程度が好ましい。続く342の期間において、電流源312と書き込まれるソース信号線電圧 V_s に基づいてゲート電圧が $V_s - V_{t1}$ に変化する。このとき図32の構成に比べて、トランジスタ11aのドレイン電流が多く、蓄積容量19の電荷の充放電速度が高速化されることから、 $V_s - V_{t1}$ までに変化する速度は、電圧印加期間341を含めても高速化され、より短時間での特性補正が可能となる。

【0124】

図35はゲート信号線をトランジスタ11eと11dで個別制御にした回路構成を示している。1画素において、1フレームは、リセット期間361、映像信号書き込みと特性キャンセル期間362、非発光期間363、発光期間364からなる。駆動用トランジスタ11aの初期化（リセット）を行う電源が、電圧源331、電流源312の2つがあり、電圧源331が印加されるリセット期間を365、電流源312が印加されるリセット期間を366とする。なおリセット期間361は電流源312から出力される電流を元に駆動用トランジスタ11aを初期化し、かつ同一列で同一のリセット線311を利用して画素にリセット電圧及び電流を書き込むことから、1水平走査期間以内で実施する必要がある。映像信号書き込みと特性キャンセル期間362は、同一列で同一のソース信号線18から映像信号に対応する電圧が供給されることから、1水平走査期間以内で実施する必要がある。リセット及び特性キャンセルに時間がかからない場合においては、リセット期間361と映像信号書き込みと特性キャンセル期間362を1水平走査期間内に実施してもよい。

【0125】

本実施形態の方式においては、駆動用トランジスタ11aのゲート電圧の初期化を、電圧源331ばかりでなく、電流源312を用いて実施することが特徴である。図36に示すようにリセット期間361のうちの期間365において、従来と同様に電圧源331により駆動用トランジスタ11aのゲート電圧を V_{rst} に初期化する。このときゲート信

号線 17e 及び 17c によりトランジスタ 11e 及び 11b については、オンでもオフでも構わないが、Vdd 電源から Vrst 電源に駆動用トランジスタ 11a の特性により貫通電流が流れることを防止する観点から少なくとも一方のトランジスタについてはオフにすることが好ましい。本実施形態ではリセット期間 361 の間にさらに期間 366 を設け、切り替え手段 333 の接続を切り替え、電流源 312 により駆動用トランジスタ 11a の初期化を行う。電流源 312 の電流が駆動用トランジスタ 11a のドレイン電流となるように、トランジスタ 11f、11b、11e をオン状態とする。電流源 312 の電流値は、期間 366 において、駆動用トランジスタ 11a のゲート電圧が電圧源 331 の Vrst 付近になるような電圧に設定することが好ましい。駆動用トランジスタ 11a の特性バラツキがあるため、EL 表示装置に形成された画素の平均電圧が Vrst であってもよい。期間 366 により駆動用トランジスタ 11a のゲート電圧は $V_{rst} + \Delta V_1$ に変化する。ここで ΔV_1 は電流源 312 の電流 (I_{rst}) を流したときのゲート電圧ばらつきに相当する。

10

【0126】

映像信号書き込みと特性キャンセル期間 362 においてソース信号線 18 から映像信号が入力され、トランジスタ 11b がオン状態であり、トランジスタ 11f がオフ状態であることで、駆動用トランジスタ 11a のゲート電圧は映像信号電圧を V_s とすると $V_s - V_{th}$ (V_{th} は閾値電圧) となるまで変化する。 $V_s - V_{th}$ となるのは、特性キャンセル期間が十分長い時間である場合であって、1 水平走査期間で 362 の期間を終わらせる必要があることから、特性キャンセル期間は 40 μ 秒程度しか取れない。

20

【0127】

そのためゲート電圧は期間 366 が存在しない従来の構成 (図 41) であれば、($V_s - V_{th} - \Delta V_2$) までしか変化できない。 ΔV_2 分の電位変化が不足となる。そのため ΔV_2 に相当する分だけたくさん駆動用トランジスタ 11a のドレイン電流 ΔI_2 が流れる。 ΔI_2 は、駆動用トランジスタ 11a の特性バラツキによってばらつく。この影響で EL 素子 15 に流れる電流にバラツキが発生し、表示ムラが発生する。

【0128】

ここで期間 366 が存在すると、期間 361 の終わりの電位が ΔV_1 だけずれるため、期間 362 の終了時のゲート電圧は ($V_s - V_{th} - \Delta V_2 + \Delta V_1$) となる。電流源により一定電流を印加した結果トランジスタ 11a のゲート電圧が ΔV_1 だけずれていることから、 ΔV_2 に対する ΔI_2 が大きい駆動用トランジスタ 11a の場合 (よく電流を流すトランジスタ) には、 ΔV_1 は大きくなり、 ΔV_2 に対する ΔI_2 が小さい駆動用トランジスタ 11a の場合には、 ΔV_1 は小さくなる (負の値を含む)。表示ムラにおいてたくさん電流が流れる画素 (ΔV_2 に対する ΔI_2 が大きい) では、 ΔV_1 が大きくなり、ゲート電圧が上昇する。少ない電流の画素では ΔV_1 が小さくなることからゲート電圧が下降する。電流が流れやすい画素では 11a のゲート電圧が上昇し電流が流れに食うなり、電流が流れにくい画素ではゲート電圧が低下することで電流が流れるようになることから、画素毎の電流量の差が小さくなる方向となり、表示ムラを改善することが可能となる。

30

【0129】

図 40 に異なる電流 - 電圧特性を持つ駆動用トランジスタ 11a に対する、リセット期間 361 を電圧源のみで実現した場合 (a) と、電流源を用いて実現した場合 (b) の映像信号書き込みと特性キャンセル期間 362 終了後の電流値の違いを示す。

40

【0130】

図 40 (a) では電圧源のみで駆動用トランジスタ 11a の初期化を行っているため、401 と 402 の特性を示す 2 つの画素の駆動用トランジスタ 11a において、ゲート電圧が V_{rst} となるが、そのときの電流値は I_{rst1} 、 I_{rst2} と異なる値となる。401 の特性では点 403a、402 の特性では点 403b である。次に映像信号書き込みと特性キャンセル期間 362 において、駆動用トランジスタ 11a のソース電位に映像信号が書き込まれゲート電位は、閾値キャンセル動作によりソース電位から閾値電圧分下

50

がった点まで変化しようとする。変化に要する時間は $100\ \mu$ 秒程度かかるので、1 水平走査期間では、十分にキャンセル電圧 406 にまで変化せず、 405 に示す点までの変化となる。電圧変化量は流れる電流と浮遊容量により決められ、電圧変化量 $\Delta V = i \times T / C$ (ここで i : 流れる電流、 T : キャンセル期間 362 の長さ、 C : 浮遊容量) であらわれ、 $403a$ 点の方が、 $403b$ 点に比べて電流が多いことから、曲線 401 で示されるトランジスタの方が電位変化量が大きく、 $V2$ まで電圧が変化する。曲線 402 では、点 $403b$ での電流が少ないため変化量が少なくなり、 $V1$ までしか電圧が変化しない。点 $405a$ 及び $405b$ でのドレイン電流が $I2$ と $I1$ で異なり、この差が表示ムラとして視認される可能性がある。一方で電流源を用いてリセットを実施した場合には、図 $40(b)$ に示すように、リセット期間 361 の終了時には、ドレイン電流が I_{rst} 、ゲート電圧が曲線 401 と 402 で異なり、 V_{rst1} 、 V_{rst2} となる。(点 $404a$ 、 $404b$) 次に映像信号書き込みと特性キャンセル期間 362 においてキャンセルを行うと、流れる電流は I_{rst} と同じで、浮遊容量にばらつきがなく、キャンセル時間は同一パネルであることから同一に設定できるため、 ΔV は曲線 401 、 402 とともに同一となり、それぞれ同一電位だけシフトした $V1$ 及び $V2$ の電圧となる。(点 $405c$ 、 $405d$) このときのドレイン電流はいずれも $I1$ となり、駆動用トランジスタ $11a$ の特性に違いがあったとしても特性キャンセル期間 362 終了後の書き込まれた電流値が同一となり、表示ムラがなくなる構成を実現できた。

10

【0131】

リセット期間で、一定電流により駆動用トランジスタ $11a$ のゲート電圧を個別に設定することで、キャンセル期間が短いことにより駆動用トランジスタ $11a$ のゲート電圧が完全に特性キャンセルされた電圧とずれたとしても、電流ばらつきが小さい構成を実現することができた。期間 365 はなく、期間 366 の電流源のみでのリセットをおこなってもよいが、電流源 312 により V_{rst} 電圧付近までゲート電圧を変化させるのに時間がかかることから、予め電圧源 331 により V_{rst} 付近まで電圧を変化させてから電流源 312 によるリセットを行うことが好ましい。リセット期間 361 が長く、電流源 312 のみで $V_{rst} + \Delta V1$ まで電圧が変化できるのであれば、電圧源 331 、切り替え手段 333 、期間 365 はなくてもよい。

20

【0132】

図 35 の画素回路構成の EL 表示装置は、同一列の画素に対して複数のソース信号線を用意し、ソース信号線方向に隣接する画素で、異なるソース信号線から映像信号を書き込むようにすることで、書き込み時間を長くする構成と組み合わせることも可能である。例えば、2 本のソース信号線を用意した場合の回路を図 37 に示す。ソース信号線 18 を 2 本用意すれば、図 14 、図 16 、図 19 などで説明したように、ソース信号線 18 に印加される階調信号は 2 水平走査期間毎に変化することから、映像信号書き込みと特性キャンセル期間 362 を最大 2 水平走査期間まで拡大させることが可能となる。例えば図 38 に示すような駆動波形を実現することができる。期間 362 が拡大することで駆動用トランジスタ $11a$ のゲート電圧を変化させる時間を長く取ることができ、誤差 $\Delta V2$ の絶対値を小さくすることができ、より正確にキャンセルを行うことが可能となる。

30

【0133】

図 37 の構成でリセット線 311 は 1 列分の画素に 1 本であるが、ソース信号線 18 と同様に複数本 (例えば 2 本) もてば、リセット期間 361 についても最大 2 水平走査期間に拡大することができ、リセット電圧もより駆動用トランジスタ $11a$ の特性に応じた電圧にすることが可能となる。

40

【0134】

図 37 の構成や、図 35 の構成において、リセット線 311 に切り替え手段 333 を介して電流源 312 、電圧源 331 が接続されているが、電圧源 311 がなくても、1 水平走査期間以内に、電流源 312 によって、所定の初期化電位になるまで、駆動用トランジスタ $11a$ のゲート電圧を変化させることができれば、電流源のみでリセット期間 361 を構成することができる。このとき図 39 に示すような 1 フレーム期間の動作となる。電

50

流源 3 1 2 のみでのリセット（初期化）動作のため変化に時間がかかるが、駆動用トランジスタ 1 1 a のゲート電圧は $V_{rst} + \Delta V_1$ に収束する。電圧源 3 3 1 を併用した場合でも図 3 6、図 3 8 に示すように $V_{rst} + \Delta V_1$ と同一値であり、初期化の効果はかわらず同等であるため、電流源のみの構成でもよい。

【0135】

また、電流源 3 1 2 は、映像信号によって変化させてもよい。例えば高階調の際に電流値を多く、低階調の際には電流値を小さくすれば、表示階調付近での特性キャンセルが可能となり、さらなるムラの低減が可能となる。

【0136】

有機 EL は、各表示色で発光体が異なるため、発光効率が色毎に異なることがある。例えば図 4 2 に示すように、赤や緑に対して青色の効率が低く、4 2 1 に示される電流と輝度の関係となり、赤や緑色の 4 2 2 の関係に対して電流値を多くする必要がある。

【0137】

図 1 や図 1 1 に示すような、駆動用トランジスタ 1 1 a の特性をキャンセルする動作を有する画素構成においては、閾値ばらつきを補正するが、移動度ばらつきについては補正範囲に限られる。そのため、電流値によって補正が可能であったり、補正が不十分であったりすることがある。初期化によりリセット電圧を入力してから、限られた特性キャンセル期間で駆動用トランジスタ 1 1 a のゲート電圧を画素毎に補正するが、特性キャンセル期間が短く、十分に最終状態まで変化しない場合、変化途中での補正電圧が画素毎に記憶される。この途中の電圧値付近の階調であれば補正が十分できているが、離れた電圧（離れた EL に流れる電流値）であれば、移動度ばらつきによる駆動電流ばらつきが発生し、補正が不十分となる。一般に、リセット電圧が低ければ、電流が大きい状態から特性キャンセルを行うので、高階調側での補正がしやすく、リセット電圧が高ければ、低階調側の補正がしやすい。そのため、補正可能な範囲は図 4 4 の 4 4 1 で示されるような範囲となる。

【0138】

このとき図 4 2 の特性を持つ表示素子の場合、リセット電圧を調整してもすべての電流範囲が補正可能な状態に持っていくことが難しい。

【0139】

そこで、表示色毎にリセット電圧を変更し、色毎に最適なりセット電圧を設定することで表示ムラを防止する。例えば赤及び緑色をリセット電圧 - 1 V に設定すれば、0 ~ 0.5 μ A の赤・緑素子の電流可変範囲では 4 4 3 に示す線のように補正可能範囲 4 4 1 におさまることがわかる。青色では - 1 V の場合、補正範囲が不足しているため、リセット電圧を下げ、- 2 V に設定すれば 4 4 4 で示す電流範囲に対して、補正可能範囲 4 4 1 に高階調側は当てはまる。低階調側については 4 4 8 で示される電流値以下では補正不足領域 4 4 2 b となるが、青色の視感度が低く、人間の目には、補正が不足していたとしてもムラとして視認できないため、問題が無い。緑色では低階調でも視認性がよく、リセット電圧を - 2 V とすると低階調での表示ムラが見えるため、4 4 3 に示すように低階調でも補正可能範囲 4 4 1 に入るリセット電圧に設定する必要がある。

【0140】

そこで図 4 3 に示すように、リセット用の電圧源 3 7 1 を表示色毎に異ならせて配置し、それぞれ最適な電圧を入力する構成とすることで、電流値が異なる表示素子を用いて表示装置を構成したとしても、補正範囲が広い表示装置を実現することが可能となった。

【0141】

なお電圧源 3 7 1 は図 4 3 で 3 つ用意しているが、図 4 2 の特性では赤と緑を共通にして 2 つにすることや、4 色以上の表示素子が形成されている場合には 4 つ以上の電圧源を用意してもよい。

【0142】

また図 4 3 の構成でソース信号線電圧出力部 4 3 1 はソースドライバ IC として形成してもよいし、低温ポリシリコンでアレー基板上に形成してもよい。信号線選択駆動を実施

10

20

30

40

50

する際には、信号線選択回路のみをアレー基板上に形成する方法でも同様に実施が可能である。

【0143】

また、信号線選択回路と同様に、図43の電圧源371は、1つのみ用意し、表示タイミングにより異なる電圧値を出力する構成としてもよい。例えば、ゲート信号線に沿って表示色が同一で、ゲート信号線毎に異なる表示色である場合などは、水平走査期間毎に表示色が変わるので、水平走査期間毎に電圧値をそれぞれ変えることで、3つの電圧源の代用としてもよい。

【0144】

p型の駆動用トランジスタ11aで説明を行ったが、n型の駆動用トランジスタ11aでも実施が可能である。n型の場合には低電流ほどゲート電圧が低くなり、高電流になると高くなることから、リセット電圧の高低を逆にすれば同様に適用が可能である。

【0145】

補正可能範囲は、リセット電圧とソース信号線電圧(=ELに流れる電流)の関係から決められ、リセット電圧とソース信号線電圧の差が色毎に同じであれば、同じリセット電圧で表示が可能となる。EL素子の特性をそろえることは困難であるため、本発明では、EL電源線452の電圧を、表示色毎に個別に設定(VddR、VddG、VddB)し、EL電源線452の電圧を基準としたゲート電圧を元にEL素子15に流れる電流を決定する駆動用トランジスタ11aのゲート電圧の白~黒の電圧変動範囲の差を小さくする。例えば、従来の構成で図47(a)に示すような、階調に対する電圧範囲を持つ場合には、緑と赤の階調範囲(472、473)を1V低下させて図47(b)のような範囲に変更する。ゲート電圧1~2Vの際に補正が最適となるように、初期化電圧を設定すると1つの初期化電圧に対して、異なる電流での表示を行う表示素子に対しても同一電源451で初期化が可能となる。(図45)

階調範囲を変更するためには、図45に示すようにEL電源線452を少なくとも2つ用意し(図45では表示毎の3種類)異なる電圧値を入力する。

【0146】

表示色毎にソース信号線へ出力する電圧が異なることから、ガンマ発生部453は表示色毎に異なる範囲を出力できるような構成をもつ。ソース信号線電圧出力部431を図45の構成にすれば表示色毎に同一の階調データ455入力であっても、ガンマ発生部453とデジタルアナログ変換部454により異なる電圧出力が実現され、図47(b)に示す、階調電圧範囲(474~476)を実現することが可能となった。

【0147】

なお図45のソース信号線電圧出力部431は、各ソース信号線18毎に出力部を持つ構成となっているが、信号線選択回路を持つ構成であっても同様に実現が可能である。ガンマ発生部453が1つでも、同一ガンマ特性を持つ画素に対する書き込みを1水平走査期間の間に行うのであれば、出力タイミング毎にガンマ発生部453の出力電圧値を変更すればよい。

【0148】

補正可能な範囲はソース信号線電圧とリセット電圧の差によって決定されていた。これは特性キャンセル期間が十分な長さでなく、リセット電位からの電圧変化量に制限があるためである。特性キャンセル期間が短いほど、リセット電位に対して、ソース信号線電圧が近いほうが補正能力が高くなっている。

【0149】

そこで本発明では図46に示すように、特性キャンセルを行うためのトランジスタ11bのオンオフ制御を表示色毎に個別に制御できるようにゲート信号線17cを表示色数分だけ用意する構成を考えた。

【0150】

図47(a)に示すゲート信号線範囲となる表示素子の場合には、ソース信号線は閾値電圧分だけゲート信号線よりも高いと考え、一様に電圧が上昇するとすると、各色の最大

10

20

30

40

50

電位については共通だが、最小電位が、青色のみ 1.5 V 程度異なることがわかる。青色は低電圧範囲まで補正が必要だが、緑と赤色は低電圧範囲は補正が不要である。これを利用して、特性キャンセル期間を青に対して赤緑は長めにとることで補正可能範囲の電圧を高くし、全階調にわたって補正できるようにする。青色は短めとして、471 の 4 V 付近に相当する低階調領域では補正できなくても、ムラが目立つ 2 V 以下の領域での補正ができるようにしている。

【0151】

なお、青階調範囲 471 すべてで特性補正が可能であっても、図 46 の構成を使うことも可能である。特性補正が可能な範囲を 472、473 の中心にそろえることで、最低最高電圧がずれたときでも十分にマージンを持って補正が可能となるし、補正可能範囲が少

10

【0152】

EL 電源 452 については各色共通であってもよいし、別に設定してもよい。図 47 (b) の構成であっても特性キャンセルの時間を赤と緑のみ電圧シフト分だけ減らせれば実現できるためである。また、ソース信号線選択駆動であっても同様に実現が可能である。

【0153】

(16) 駆動用トランジスタ 11a のゲート電圧の容量結合による突きぬけによる変化量を変化させることができる回路

図 48 は、表示色毎にゲート信号線 17c による、駆動用トランジスタ 11a のゲート電圧の容量結合による突きぬけによる変化量を変化させることができる回路を示したものである。

20

【0154】

表示色毎に突きぬけ量を変化させる方法としては、容量 481 の容量値を表示色毎に異なる値にする。481a と 481b、481c で容量が違っていると、ゲート信号線 17c の電位がオン状態からオフ状態へと上昇した場合に、駆動用トランジスタ 11a のゲート電極に接続される信号の全容量に対する容量 481 の割合によりゲート電極の電圧が変化することから、映像信号書き込みと特性キャンセル期間 362 終了後の駆動用トランジスタ 11a のゲート電圧は、同一信号電圧を書き込んだ場合でも、異なる電圧となる。容量 481 の容量値が大きいほど、電圧は上昇する。表示は、電圧変動後のゲート電圧を基準に行われるため、電圧上昇量が大きい色ほど、あらかじめ映像信号書き込み時 362 に書き込む電圧を低くしておく必要がある。このことを利用すると、突きぬけが各色共通である場合の各色の映像信号振幅が図 49 (a) である場合に、青色に相当する画素の容量 481c の容量を小さくすると、図 49 (b) に示すように、書き込み時に必要な電圧範囲が変化する。494 に示す青色の階調範囲の電圧が上昇し、平均の電圧レベルは赤や緑の 495、496 に示す電圧範囲にそろえることができる。

30

【0155】

ソース信号線電圧とリセット電圧の差を色によらず近づけることで補正可能となる階調範囲についても、広げることが可能となる。特に色毎に電圧範囲がまったく異なる範囲で共通電圧が無い場合には、全色の最大電圧から最小電圧までの範囲が必要であるが、各色の電圧範囲がそろってくると、必然的に最大～最小電圧の差が小さくなり補正範囲を小さくすることができ、よりばらつきの大きいプロセスでも生産が可能となる利点がある。

40

【0156】

なお、トランジスタ 11b の制御を行うゲート信号線 17c は表示色毎に用意した例であるが、共通であってもよい。容量値が異なるだけで、突きぬけ量を色毎に変更できるためである。

【0157】

ゲート信号線 17c が表示色毎に異なる場合には、ゲート信号線 17c のハイレベルとローレベルの差を色毎に変えても、突きぬけ電圧を色毎に変えることが可能である。突きぬけ電圧は、容量比と電位変化量で決まるため、信号電圧を変えることは有効である。特性キャンセル期間を色毎に変える方法と併用も可能である。

50

【 0 1 5 8 】

映像信号範囲の変更は駆動用トランジスタ 1 1 a のチャンネル長に対するチャンネル幅の割合を色毎に変化させても、共通化することができる。例えば図 5 0 (a) に示すように青色画素のみ 5 0 1 に示すような電圧範囲であったときに、青色の画素の駆動用トランジスタ 1 1 a のみ電流を流すようにチャンネル幅の割合を大きくする (例えば 0 . 7) と図 5 0 (b) に示すように階調電圧範囲をそろえることができ、 1 ~ 4 V の電圧範囲で補正可能であるように、キャンセル期間や、リセット電圧を設定することで表示ムラのない E L 表示装置が実現できる。

【 0 1 5 9 】

信号線選択駆動を実施する場合には、ソース信号線 1 8 に電圧値を書き込み、ソース信号線の浮遊容量に蓄えられた電荷に基づいて、画素内に映像電圧を取り込み、画素に信号を書き込んでいる。このとき画素に書き込まれる電圧は、トランジスタ 1 1 c 及び 1 1 b 、 1 1 a を介して接続されている配線上に存在する容量 (容量 4 8 1 や蓄積容量 1 9 など) に蓄えられた電荷とソース信号線の浮遊容量に蓄えられた電荷が再配分されて書き込まれる。つまりソースドライバまたはソース信号線電圧出力部 4 3 1 から出力される電圧と、実際に画素 1 6 に書き込まれる電圧は異なり、初期化電圧 4 5 1 の電圧がソース信号線 1 8 に印加される電圧よりも低い場合には、選択駆動なく直接画素 1 6 に電圧が印加される場合よりも低い電圧が書き込まれ、輝度が上昇する。

【 0 1 6 0 】

輝度上昇の防止としては、突きぬけにより黒電圧方向に駆動用トランジスタ 1 1 a の電圧をシフトさせる方法が知られている。

【 0 1 6 1 】

画素に書き込まれる電圧の変化量を小さくするには、他にソース信号線 1 6 の容量を増加させるなどの方法がある。また図 1 に示すような付加容量 1 9 b を挿入し、特性キャンセル時間を長くする方法がある。

【 0 1 6 2 】

図 5 1 では、付加容量 1 9 b を付与し、色毎に容量値を変更した映像信号保持用コンデンサ 5 1 1 を形成した。色毎に容量を変更して、形成することで、映像信号が、ソース信号線 1 8 と画素 1 6 に書き込まれた際に、ソース信号線の浮遊容量と映像信号保持用コンデンサ 5 1 1 に映像信号に応じた電荷が充電される。書き込み時にトランジスタ 1 1 は 1 1 c が導通状態で、 1 1 b が非導通であるような構成となっている。

【 0 1 6 3 】

特性キャンセル期間に入ると、トランジスタ 1 1 b が導通状態で、ソース信号線電圧出力部 4 3 1 とソース信号線 1 8 が切り替え部 5 1 2 により切り離された状態であると、蓄積容量 1 9 に蓄えられた電荷と、容量 5 1 1 及びソース信号線浮遊容量に充電された電荷の再配分され電荷が蓄えられる。この際に、蓄積容量 1 9 の電荷により、駆動用トランジスタ 1 1 a のゲート電圧は蓄積容量 1 9 が無い場合に比べて低下する。低下量は、 (蓄積容量) / (蓄積容量 1 9 + ソース信号線浮遊容量 + 容量 5 1 1) により決められる。そこで映像信号保持用コンデンサ 5 1 1 の容量を表示色毎に変更すると、書き込み時に比べた電圧低下量は表示色毎に異なり、青色に相当する画素のみ小さな容量にすると、青色のみ電圧低下量が大きくなるため、ソース信号線に入力する電圧を高くしておく必要がある。青色は図 4 2 に示すようにたくさんの電流を流す必要があり、ソース信号線電圧もそれに応じて赤緑に比べて低い電圧を必要とした。容量 5 1 1 の変更でソース信号線電圧を高めることができるため、低い電圧値が不要となり、ソースドライバのダイナミックレンジを小さくすることが可能となる。

【 0 1 6 4 】

また、電圧範囲のうち、白側または黒側の電圧が全画素で共通にできれば、ソース信号線電圧出力部 4 3 1 のガンマ発生部 4 5 3 のガンマ発生回路のうち白側または黒側の少なくとも一方の電圧発生部を全色共通にでき、回路規模を小さくすることが可能となる。

【 0 1 6 5 】

さらに、3 信号選択駆動において、赤色～緑色～青色の順番に信号電圧をソース信号線及び映像信号保持用コンデンサ 5 1 1 に書き込むのであれば、赤色に対して青色は跡に書き込まれるため、保持しておく時間は短くてもよく、容量を小さくすることは問題ない。

【0166】

画素 1 6 に形成される画素回路において、1 画素当たりの面積が決まっていると、形成できるトランジスタ 1 1 の数や、配線量、容量に制約がある。容量 5 1 1 が小さければより小さく構成精細な画素にも対応できるし、青色の容量 5 1 1 を小さくしてできるスペースを利用して、赤緑色の画素の回路を形成し、より大きな容量 5 1 1 を赤や緑色に形成することができるし、またはより小さな画素でも容量 5 1 1 が所望の値形成できるという面積的な利点も発生する。

10

【0167】

駆動用トランジスタ 1 1 a のチャネル幅 / チャネル長を色毎に変えることもまた駆動用トランジスタ 1 1 a のスペースを色毎に変更でき、互いの色で空きスペースを有効に利用できるし、容量 4 8 1 についても同様である。

【0168】

図 5 1 では E L 電源 (V d d) 4 5 2 について、色毎に個別に設定しているが、同一電圧でもよい。トランジスタ 1 1 b を制御するゲート信号線 1 7 c についても同様である。

【0169】

同一ソース信号線電圧入力に対する特性キャンセル後の駆動用トランジスタ 1 1 a のゲート電圧を変更する効果は同一であるので、容量 4 8 1 の容量は色毎に個別でなくてもよいし、色毎に変更し、容量 5 1 1 でのゲート電圧上昇効果と組み合わせて実施してもよい。容量 4 8 1 のゲート電圧上昇効果と同一の効果が得られれば、容量 4 8 1 は無くても構わない。

20

【0170】

容量 4 8 1 については一方の電極が駆動用トランジスタ 1 1 a のゲート電圧で、他方の電極は、特性キャンセルや信号線書き込みが終わる後または終わると同時のタイミングで、発光期間となる前までに、電圧上昇が発生するような信号線に接続すればゲート信号線 1 7 c でなくてもよい。例えばゲート信号線 1 7 a に接続してもよいし、専用の信号線を配線し、変化する電圧波形を印加するようにしてもよい。

【0171】

30

本発明に記載された画素構成以外でも、電流駆動を用いる画素構成や、電流駆動と電圧駆動を併用して書き込みを行う画素構成でも、同様に実施が可能である。

【0172】

(1 7) 初期化電圧の補正

(1 7 - 1) 課題

図 5 2 の (a) 及び図 5 2 (c) は、それぞれ黒表示時と白表示時における、映像信号書き込みと特性キャンセル期間 3 6 2 における駆動用トランジスタ 1 1 a のゲート電圧の変化を示している。リセット期間 3 6 1 において、初期化電圧 4 5 1 の電圧値を - 2 V 、黒表示時のソース信号線 1 8 に印加される電圧を 4 V 、白表示時のソース信号線 1 8 に印加される電圧を 1 V とする。

40

【0173】

黒書き込み時には、図 5 2 (a) に示すように、ソース電極は 5 2 2 a で示す電位である。ゲート電圧は 5 2 1 a に示す曲線となる。このとき駆動用トランジスタ 1 1 a のゲートソース間電圧は 6 V あり、特性キャンセル開始時に十分な初期ドレイン電流が流れ (図 5 2 (b)) 、ゲート電極の電圧は時間 t 1 までに所定電圧まで変化する (この場合 3 V) 。時間 t 1 経過後の 5 2 1 a と 5 2 2 a の電位差が閾値電圧に相当する。

【0174】

一方で白書き込み時は、ソース電極の電位が 5 2 2 b でゲート電極の電位は 5 2 1 b で示される。特性キャンセル開始時には、3 V しか電位差がなく、特性キャンセル開始時の駆動用トランジスタ 1 1 a のドレイン電流は図 5 2 (b) に比べて少なくなり (図 5 2 (

50

d))、特性キャンセル後のゲート電圧（この場合 0 V）まで変化するのに、時間がかかるようになる。

【0175】

(17-2) 解決手段

そこで本実施形態では、図 5 3 に示すように、ソース信号線電圧に応じて、リセット期間 3 6 1 に印加する初期化電圧 4 5 1 を変化させるような構成とした。

【0176】

図 5 3 (a) ではソース信号線が 4 V のときのリセット期間時のゲート電圧 5 3 1 が -2 V である場合、図 5 3 (b) ではソース信号線が 1 V のときのリセット期間時のゲート電圧 5 3 1 を -5 V にした場合のゲート電圧の変化を示している。図 5 3 によれば、特性キャンセル開始時の駆動用トランジスタ 1 1 a のゲートソース間電圧が同一であり、所定の特性キャンセル後の電圧にまで変化する時間はいずれも t_1 で実現が可能となり、白階調では t_2 から t_1 まで時間を短縮することが可能となった。 t_1 が 20 μ 秒以下になるように、初期化電圧 4 5 1 の値を設定すれば、1 水平走査期間内で信号線書き込みと特性キャンセルができるようになる。

【0177】

階調によらず、特性キャンセル期間を一定にするために、図 5 3 に示すように、ソース信号線電圧から一定値だけ低い電圧を初期化電圧 4 5 1 として印加すればよい。つまり（初期化電圧）＝（ソース信号線電圧）－（一定電圧）とすればよい。図 5 8 に一定電圧値が 4 V のときの関係を示す。

【0178】

一定電圧分だけを引いた電圧を供給するための回路構成として図 5 4、図 5 5 を示す。

【0179】

(17-3) 画素の第 1 の構成

図 5 4 は、リセット線 3 1 1 とソース信号線 1 8 とを容量 5 4 3 により結合させ、ソース信号線 1 8 から一定電圧を引いた電圧を印加できる構成である。

【0180】

リセット期間 3 6 1 の初期もしくはリセット期間 3 6 1 の前に、切り替え部 5 4 4、5 4 5 を操作し、電源 5 4 1 と電源 5 4 2 により容量 5 4 3 を充電する。このときの電圧差が、減算される一定電圧となる。図 5 3 のような電圧を印加する場合には、電源 5 4 2 に対して、電源 5 4 1 の電源を 6 V 低い値にしておけばよい。なおリセット線 3 1 1 の浮遊容量により、ソース信号線電圧からの減算量が目減りする場合には、あらかじめ電源 5 4 1 と 5 4 2 の電位差を大きくしておけばよい。

【0181】

リセット期間 3 6 1 の開始時もしくはリセット期間 3 6 1 の終了前までに、切り替え部 5 4 4、5 4 5 を操作し、ソース信号線 1 8 から容量 5 4 3 に電圧が供給され、容量 5 4 3 とリセット線 3 1 1 を接続し、リセット期間 3 6 1 の少なくとも最終状態には、ソース信号線電圧から一定電圧引いた電圧がリセット線 3 1 1 に供給され、トランジスタ 1 1 f を介して駆動用トランジスタ 1 1 a のゲート電極に印加される必要がある。

【0182】

なお切り替え手段 5 4 5 がソース信号線 1 8 を選択したときに、ソース信号線電圧出力部 4 3 1 の電圧出力はあっても、なくてもよい。無い場合には、ソース信号線 1 8 の浮遊容量に映像信号電圧を蓄えておけばよい。容量が不十分で、リセット線 3 1 1 に電圧を供給できない場合には、容量 5 4 6 を形成して、蓄積される電荷量を多くしておく方法もある。

【0183】

(17-4) 画素の第 2 の構成

また、図 5 5 に示すように、初期化電源を新たに形成し、ソース信号線 1 8 電圧に応じた電圧を供給するための、初期化電源供給手段 5 5 1 を設ける方法もある。

【0184】

ソース信号線電圧出力部 4 3 1 の出力電圧を検出して、電圧値を減算し、出力してもよいし、映像信号を検出して、映像信号から所望のリセット電圧を決定し、出力する方法もある。

【 0 1 8 5 】

(1 7 - 5) 画素の第 3 の構成

図 5 6 は、画素回路を変化させて、リセット電圧を映像信号電圧に応じて変化できる構成としたものである。

【 0 1 8 6 】

図 5 7 にゲート信号線 1 7 の入力波形を記す。

【 0 1 8 7 】

まず、リセット期間 3 6 1 では、トランジスタ 1 1 f が導通状態となり、リセット電源 4 5 1 の電圧が駆動用トランジスタ 1 1 a のゲート電極に印加される。

【 0 1 8 8 】

次に、リセット期間 3 6 1 の後半 (5 7 1) でスイッチ 1 1 e と 1 1 c が導通状態となる。このときに容量 1 9 a の駆動用トランジスタ 1 1 a と接していない電極の電圧が、電源 V d d からソース信号線 1 8 に印加された電圧になるため、電圧変化分と容量 1 9 と駆動用トランジスタ 1 1 a のゲート電極に接続された配線の浮遊容量の容量比に応じて、駆動用トランジスタ 1 1 a のゲート電圧が変化する。

【 0 1 8 9 】

これまでの構成に比べると、リセット期間の後半 (5 7 1) で、映像信号をソース信号線 1 8 から画素 1 6 の中に取り込むことが、変更点である。ソース信号線と V d d 電源の電圧差によりリセット期間後半の 5 7 1 の期間における駆動用トランジスタ 1 1 a のゲート電圧が異なる構成となる。

【 0 1 9 0 】

これにより初期化電圧は、ソース信号線 1 8 電圧が低いほど、低い電圧が印加されるようになり、初期化電圧を、映像信号に合わせて変化させる効果がある。

【 0 1 9 1 】

また、駆動用トランジスタ 1 1 a のソース電極が低電圧で印加させる高階調表示時において、ゲート電極がソース電極よりも低い電圧が印加され、特性キャンセル期間 3 6 2 において、ドレイン電流が流れるようになり、駆動用トランジスタの特性ばらつきをより補償しやすい回路となる。

【 0 1 9 2 】

(1 7 - 6) 変更例

更に図 5 9 に示すように、ソース信号線電圧に対して 5 8 1 の点線のように一定電圧を引いた値を初期化電圧として入れるのではなく、さらに 5 9 1 実線に示すように、低電圧 (高階調) ほど、初期化電圧をより低電圧で印加し、高電圧 (低階調) ではソース信号線電圧とあまり差がないような電圧を印加する。

【 0 1 9 3 】

このようにすると、映像信号書き込みと特性キャンセル期間 3 6 2 の開始時の駆動用トランジスタ 1 1 a のソースゲート間電圧は、高階調映像信号が入力されるほど、大きな電圧となり、同一特性キャンセル時間において、閾値キャンセルを行うためにゲート電圧が高くなる動作を行う際に、特性キャンセル前のゲート電圧が低い分高階調側では、特性キャンセル期間 3 6 2 が終了する時間でも黒表示状態までゲート電圧が上昇せず、電流が流れる状態で閾値キャンセルが行われる。一方で、低階調側では、高階調側に比べて、特性キャンセル期間 3 6 2 の初期における駆動用トランジスタ 1 1 a のゲート電圧が高くなっており、特性キャンセル期間 3 6 2 終了時には、より電流が流れない状態で閾値キャンセルが行われる。そのため、高階調では、電流が流れた状態、低階調では電流が流れない状態で、特性キャンセルが行われ、より表示階調に近い階調で閾値キャンセルが行われるため、広い電流範囲での駆動用トランジスタ 1 1 a のバラツキをキャンセルすることが可能となる。

10

20

30

40

50

【 0 1 9 4 】

(1 7 - 7) 画素の第 4 の構成

図 6 0 で示されるような画素構成においても同様に実施が可能である。電源 4 5 1 の電圧値を映像信号にあわせて変化させれば同様の効果を得ることができる。

【 0 1 9 5 】

n 型トランジスタを駆動用トランジスタ 1 1 a に用いた場合でも同様である。一定電圧値を引くのではなく、一定電圧値分上昇した電圧を印加することで図 5 8 と同様の効果が得られるし、図 5 9 についても、低階調、高階調での重み付けを n 型トランジスタの電流増減にあわせて変更すればよい。駆動用トランジスタ 1 1 a 以外のトランジスタについても n 型でも同様に実施が可能。ゲート信号線 1 7 の信号波形を逆に入れればよいためである。

10

【 0 1 9 6 】

(1 8) ゲート信号線 1 7 の個別制御

ゲート信号線 1 7 の個別制御する実施形態について説明する。

【 0 1 9 7 】

(1 8 - 1) 第 1 の画素構成

図 6 1 は、トランジスタ 1 1 d とトランジスタ 1 1 e の制御用のゲート信号線 1 7 を個別に制御できるような第 1 の画素構成である。

【 0 1 9 8 】

ゲート信号線 1 7 を個別に制御できるようにすることで、駆動用トランジスタ 1 1 a の移動度ばらつきによる電流ばらつきを補正することが可能となる。

20

【 0 1 9 9 】

移動度ばらつきによる電流ばらつきの補正のための駆動方法を図 6 2 に示す。

【 0 2 0 0 】

リセット期間 3 6 1、映像信号書き込みと特性キャンセル期間 3 6 2 により、映像信号の書き込みと駆動用トランジスタ 1 1 a の特性ばらつき動作を行っている。

【 0 2 0 1 】

映像信号書き込みと特性キャンセル期間 3 6 2 において、後半の期間 6 2 2 で、ゲート信号線 1 7 e を操作し、トランジスタ 1 1 e を導通状態とし、駆動用トランジスタ 1 1 a に電源 V d d から電流を供給する。なお、トランジスタ 1 1 b が導通状態、トランジスタ 1 1 d は非導通状態である。

30

【 0 2 0 2 】

そして、駆動用トランジスタ 1 1 a に流れる電流はトランジスタ 1 1 b を介して、自分自身の駆動用トランジスタ 1 1 a のゲート線に流れ、駆動用トランジスタ 1 1 a のゲート電極 (点 b) の電位を上昇させる。

【 0 2 0 3 】

駆動用トランジスタ 1 1 a の移動度にばらつきがある場合には、期間 6 2 2 において、駆動用トランジスタ 1 1 a に流れる電流に違いが生じる。電流が多く流れるほど、点 b の電位上昇が大きくなり、一方、電流が少ない場合には、点 b の電位上昇は少なくなる。

【 0 2 0 4 】

40

これにより、点 b の電位が上昇するほど、駆動用トランジスタ 1 1 a に流れるドレイン電流は少なくなることから、期間 6 2 1 において、駆動用トランジスタ 1 1 a に流れる電流に違いが生じたとしても、期間 6 2 2 において、電流のばらつきが小さくなる方向に、点 b の電位変動が生じて、駆動用トランジスタの特性にばらつきがあったとしても、各画素に流れる電流の均一性が向上する。

【 0 2 0 5 】

期間 6 2 1 においては、オフセットキャンセル動作を行うことから主に駆動用トランジスタ 1 1 a の閾値電圧ばらつきによる電流ばらつきを補正し、期間 6 2 2 において、期間 6 2 1 においても電流ばらつきを補正できない駆動用トランジスタ 1 1 a の特性ばらつき (例えば移動度ばらつき) を補正し、より画素毎の電流ばらつきが小さい表示装置を実現

50

することができる。

【0206】

なお、ゲート信号線17aについては、期間622において、ソース信号線18が、ソースドライバ出力と接続されていない場合には、HとLどちらのレベルでもよい。ソースドライバ出力と接続される場合には、V_{dd}電源とのショートを防止するためにトランジスタ11cを非導通状態にしておく必要がある。

【0207】

書き込み後の、非発光、発光状態については、ゲート信号線17bと17eを同一動作で非導通、導通状態とすることで実現が可能である。なお、非発光期間については、ゲート信号線17b及び17eのいずれか一方がハイレベルで、トランジスタ11dもしくは11eの少なくとも一方が非導通状態であれば、非発光期間を実現することが可能である。

10

【0208】

(18-2) 第2の画素構成

図63の画素構成は、移動度ばらつきを補正するためのトランジスタ11iを追加した第2の画素構成である。

【0209】

期間622において、電源V_{dd}から駆動用トランジスタ11aに電流を流すためのトランジスタ11iである。トランジスタ11iを導通状態にすればよいことから、トランジスタ11eは期間622においても非導通状態でよい。これによりトランジスタ11eと11dは同一動作としてよく、ゲート信号線17bによりトランジスタ11eと11dを制御すればよい。タイミングチャートを図64に示す。ゲート信号線17iが期間622において、導通状態となることで、図62と同様に移動度ばらつきを補正することが可能となる。

20

【0210】

発光期間364においては、ゲート信号線17iはどちらの状態であってもよい。トランジスタ11iを導通状態にすれば、電源V_{dd}から駆動用トランジスタ11aまでの抵抗値を下げる事が可能となり、トランジスタ11eのオン抵抗の影響を受けにくくなる。配線抵抗及びオン抵抗による電圧降下の影響を小さくすることができるため、電源V_{dd}の電圧を低くできるか、トランジスタ11eのサイズを小さくできる効果がある。

30

【0211】

非発光期間363においても、ゲート信号線17bによりトランジスタ11d、11eが非導通状態であれば、トランジスタ11aにドレイン電流が流れる経路を形成できないことから、ゲート信号線17iはいずれの状態であってもよい。

【0212】

(変更例)

本発明のトランジスタは、TF_Tばかりでなく、バイポーラトランジスタでも同様に実現が可能である。またTF_Tについても、ポリシリコン、結晶シリコン、アモルファスシリコンなど構成材料によらず同様に実施が可能である。

【0213】

また、本発明の実施形態を組み合わせることも可能である。

40

【0214】

また、本実施形態におけるEL表示装置の画素は、単色の画素構成、赤緑青の3色、赤緑青白の4色、シアンイエローマゼンダの3色、ペンタイル画素構成等、表示色を問わず適用が可能である。

【0215】

また、本実施形態の赤色、緑色、青色の並びの画素構成については、一例を示しているのみである。

【0216】

また、図14、図16等で、1列分の画素構成が記載されているが、これは、ストライ

50

ブ状に形成されていても、デルタ配列に形成されていても、ソース信号線が共通の複数の画素があれば同様に適用が可能である。

【産業上の利用可能性】

【0217】

本発明に係るEL表示装置は、オフセットキャンセル期間を十分に確保できるため、良好なオフセットキャンセルを実現できる。そのため、駆動用トランジスタ11aの特性バラツキが発生しても、特性バラツキをキャンセルすることができ、良好な画像表示を実現できる。

【図面の簡単な説明】

【0218】

10

【図1】EL表示装置の画素の構成図である。

【図2】EL表示装置の駆動方法の説明図である。

【図3】EL表示装置の説明図である。

【図4】EL表示装置の画素の構成図である。

【図5】EL表示装置の画素の構成図である。

【図6】EL表示装置の説明図である。

【図7】EL表示装置を用いた機器の説明図である。

【図8】EL表示装置を用いた機器の説明図である。

【図9】EL表示装置を用いた機器の説明図である。

【図10】EL表示装置の画素の構成図である。

20

【図11】EL表示装置の画素の構成図である。

【図12】EL表示装置の駆動方法の説明図である。

【図13】EL表示装置の駆動方法の説明図である。

【図14】複数のソース信号線から画素に映像信号を取り込む構成を示した図である。

【図15】図14の構成におけるゲートドライバ回路12aの動作を示した図である。

【図16】複数の水平走査期間にまたがって特性キャンセル動作を行う場合のゲートドライバ回路と画素構成の例を示した図である。

【図17】図16のゲートドライバ回路の動作を示した図である。

【図18】図16のゲートドライバ回路の動作を示した図である。

【図19】シフトレジスタ1相で複数の水平走査期間にまたがって特性キャンセル動作を行う場合の回路を示した図である。

30

【図20】図19の回路構成を用いた場合のゲートドライバ回路の動作を示した図である。

【図21】ゲートドライバ回路12a2のイネーブル信号を削除した場合の入力波形及び動作を示した図である。

【図22】3信号線選択駆動を実施した場合の各色信号線の映像信号変化タイミングを示した図である。

【図23】3信号線選択駆動と各列2本の信号線を有するEL表示装置の回路構成を示した図である。

【図24】図23における画素16cの動作を示した図である。

40

【図25】本発明における画素16の回路を示した図である。

【図26】図23の回路におけるゲートドライバ回路及び信号線選択回路の動作を示した図

【図27】3信号線選択駆動と各列2本の信号線を有し、ゲートドライバ回路が初期化用と特性キャンセル及び階調信号書き込み用に分離されたEL表示装置の回路構成を示した図である。

【図28】図27の回路構成におけるゲートドライバ回路の動作を示した図である。

【図29】n型TFTを用いた画素回路を示した図である。

【図30】容量19bが形成された画素回路において、ゲート信号線の動作を1フレーム間示した図である。

50

【図 3 1】駆動用トランジスタのオフセットキャンセル動作時に電流源により一定ドレイン電流を流す場合の画素回路構成を示した図である。

【図 3 2】図 3 1 の画素回路構成におけるゲート信号線、ソース信号線の入力波形と、駆動用トランジスタのゲート電圧と E L 素子の動作を示した図である。

【図 3 3】駆動用トランジスタのオフセットキャンセル動作時に電流源により一定ドレイン電流を流し、キャンセル動作前に初期化用電源を用いてゲート電圧を低く設定する場合の画素回路構成を示した図である。

【図 3 4】図 3 3 の回路構成におけるゲート信号線、ソース信号線と切り替え手段の入力波形とトランジスタ 1 1 a のゲート電圧、E L 素子の動作を示した図である。

【図 3 5】駆動用トランジスタ 1 1 a の初期化電圧を特性ばらつきに応じて異ならせるための画素回路を示した図である。

【図 3 6】図 3 5 の画素構成におけるゲート信号線 1 7、切り替え手段 3 3 3、ソース信号線 1 8 の入力パターンと、トランジスタ 1 1 a のゲート電圧、E L 素子 1 5 の動作を示した図である。

【図 3 7】図 3 5 の画素回路を有する E L 表示装置において同一列において複数のソース信号線から階調電圧が供給される場合の回路構成を示した図である。

【図 3 8】図 3 7 の回路構成における、画素 1 6 a の入力信号波形と、駆動用トランジスタ 1 1 a、E L 素子 1 5 の動作を示した図である。

【図 3 9】図 3 7 の回路のうち、初期化電源 3 3 1 を用いない場合の画素 1 6 a の入力信号波形、駆動用トランジスタ 1 1 a、E L 素子 1 5 の動作を示した図である。

【図 4 0】駆動用トランジスタ 1 1 a のゲート電圧を (a) 初期化電源で初期化した場合、(b) 電流源で初期化した場合の変化の様子を示した図である。

【図 4 1】電流源による特性キャンセル期間が存在しない場合の駆動用トランジスタ 1 1 a のゲート電圧の変化を示した図である。

【図 4 2】表示色毎の、電流に対する輝度特性である。

【図 4 3】表示色毎に、異なる初期化電源を供給できる有機 E L 表示装置を示した図である。

【図 4 4】初期化電圧に対する表示ムラが補正可能な E L に流れる電流範囲の関係を示した図である。

【図 4 5】E L 電源を表示色毎に異ならせた有機 E L 素子を用いた表示装置の画素回路構成を示した図である。

【図 4 6】表示色毎に駆動用トランジスタの特性キャンセル時間を異ならせる画素回路構成を示した図である。

【図 4 7】(a) 従来の回路構成における (b) 図 4 5 の回路構成における、駆動用トランジスタのゲート電圧の振幅を表示色毎に示した図である。

【図 4 8】電圧シフト容量 4 8 1 を形成し、表示色毎に容量を異ならせた有機 E L 素子を用いた表示装置の回路構成を示した図である。

【図 4 9】(a) 従来の駆動方法による書き込み後の駆動用トランジスタ 1 1 a のゲート電圧と、(b) 図 4 8 の回路構成を用いた場合の駆動用トランジスタ 1 1 a の書き込み後のゲート電圧の色毎の範囲を示した図である。

【図 5 0】駆動用トランジスタ 1 1 a のチャンネル長に対するチャンネル幅の割合を青色の画素のみ変化させた場合 (b) とすべての表示色で同一の場合 (a) における各色の駆動用トランジスタ 1 1 a のゲート電圧範囲を示した図である。

【図 5 1】表示色毎に、画素内に設けた映像信号保持用コンデンサの容量を可変した回路を有する E L 表示装置を示した図である。

【図 5 2】(a) ソース信号線 1 8 からの書き込み電圧が 4 V の時における駆動用トランジスタ 1 1 a のゲート電圧の変化の様子を示した図、(b) (a) の変化の際のドレイン電流の変化を示した図、(c) ソース信号線 1 8 からの書き込み電圧が 1 V の時における駆動用トランジスタ 1 1 a のゲート電圧の変化の様子を示した図、(d) (c) の変化の際のドレイン電流の変化を示した図である。

10

20

30

40

50

【図 5 3】(a) ソース信号線 1 8 電圧が 4 V で、リセット電圧が - 2 V のときの駆動用トランジスタ 1 1 a のゲート電圧の変化の様子を示した図、(b) ソース信号線 1 8 電圧が 1 V で、リセット電圧が - 5 V のときの駆動用トランジスタ 1 1 a のゲート電圧の変化の様子を示した図である。

【図 5 4】ソース信号線 1 8 から書き込まれる電圧に対して一定の電圧分降下したリセット電圧を印加することができる E L 表示装置の回路構成を示した図である。

【図 5 5】リセット電圧発生部を有し、ソース信号線 1 8 電圧に応じたりセット電位を供給する E L 表示装置の回路構成を示した図である。

【図 5 6】ソース信号線 1 8 の電圧値に対応して変化するリセット電位をリセット期間 3 6 1 に供給することが可能な E L 表示装置である。

【図 5 7】図 5 6 の回路構成におけるゲート信号線 1 7 の動作を示した図

【図 5 8】ソース信号線電圧とリセット電圧の関係を示した図である。

【図 5 9】本発明の形態におけるソース信号線とリセット電圧の関係を示した図である。

【図 6 0】閾値補正を行う画素構成で適用する場合の回路を示した図である

【図 6 1】駆動用トランジスタ 1 1 a の特性バラツキを補正するための画素回路構成を示した図である。

【図 6 2】図 6 1 の回路におけるゲート信号線 1 7 の動作を 1 フレーム間示した図である。

【図 6 3】駆動用トランジスタ 1 1 a の特性バラツキを補正するための画素回路構成を示した図である。

【図 6 4】図 6 3 の画素構成におけるゲート信号線波形を示した図である。

【符号の説明】

【0 2 1 9】

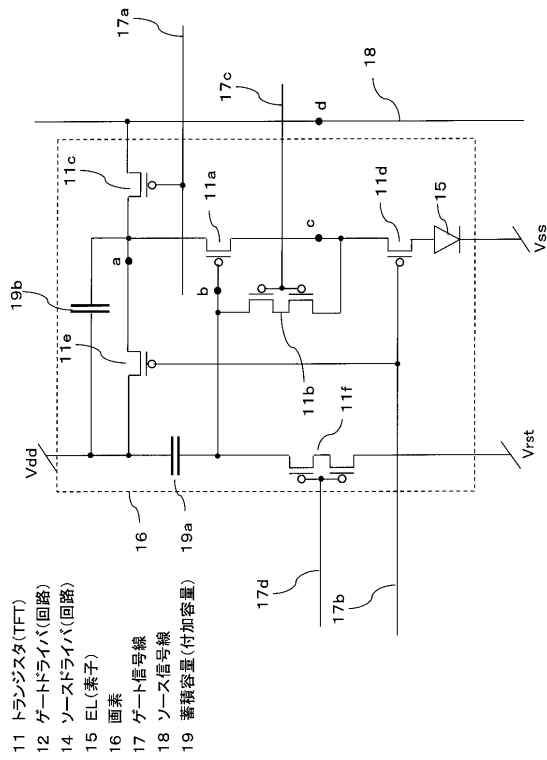
- 1 1 トランジスタ
- 1 2 ゲートドライバ回路
- 1 4 ソースドライバ回路
- 1 5 E L 素子
- 1 6 画素
- 1 7 ゲート信号線
- 1 8 ソース信号線
- 1 9 蓄積容量 (付加コンデンサ、付加容量)

10

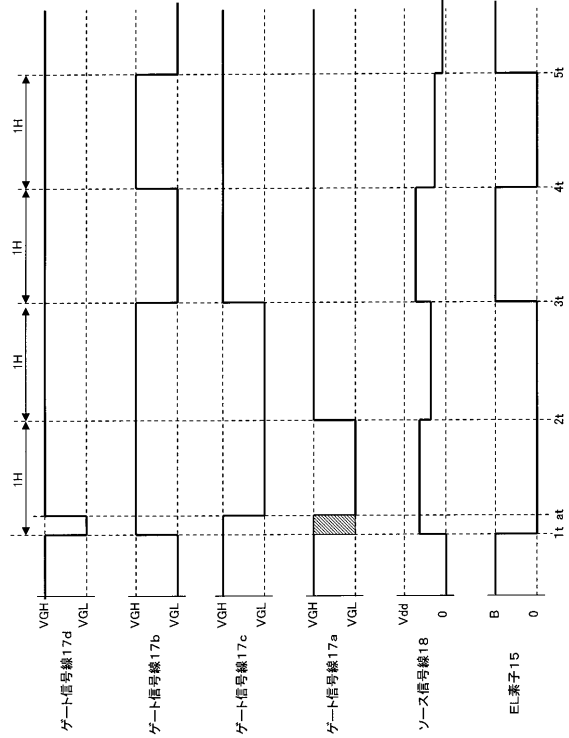
20

30

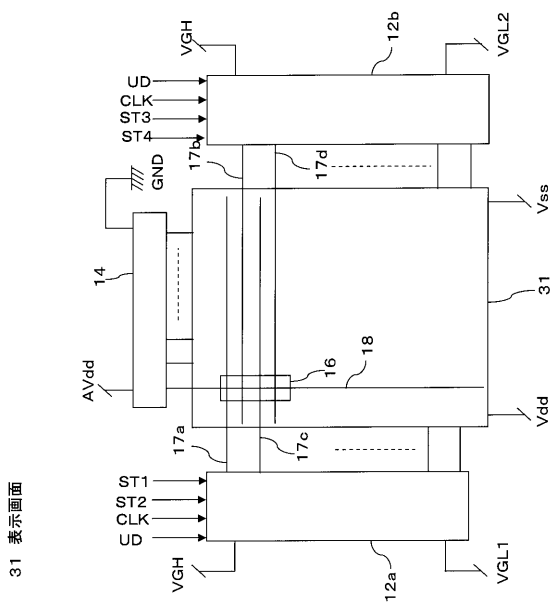
【図 1】



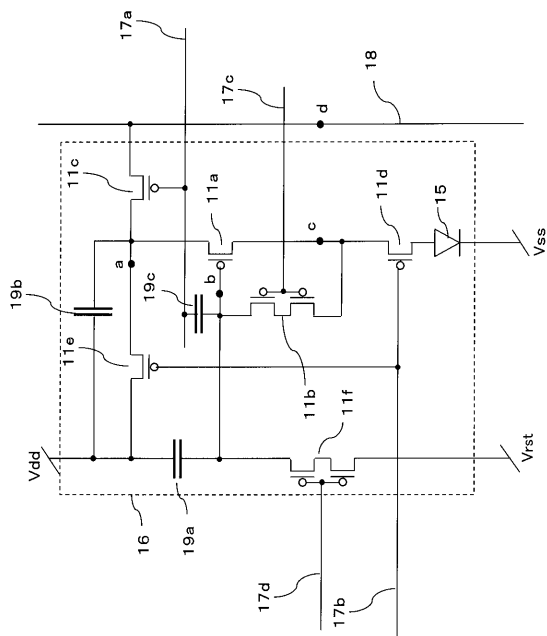
【図 2】



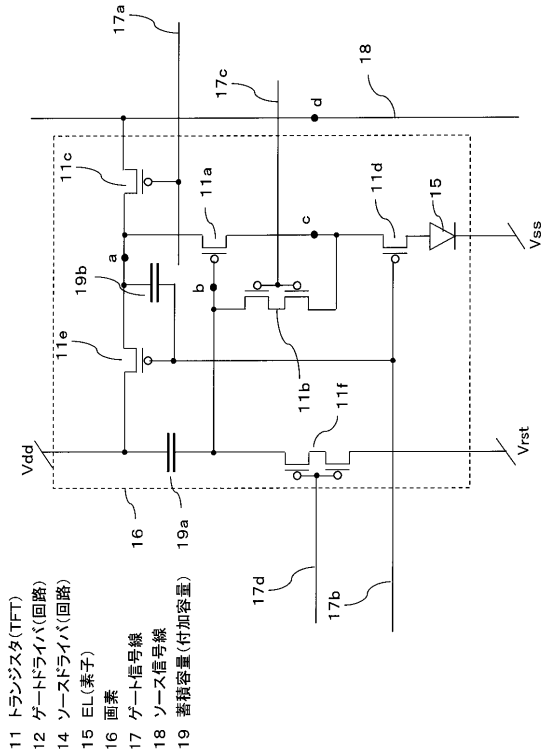
【図 3】



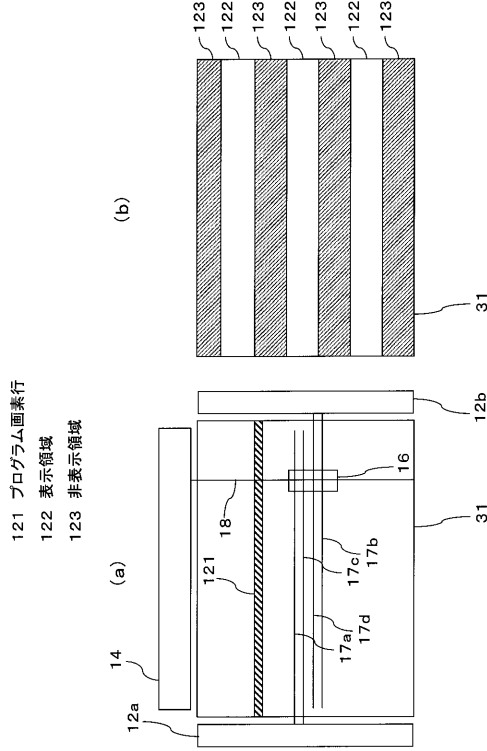
【図 4】



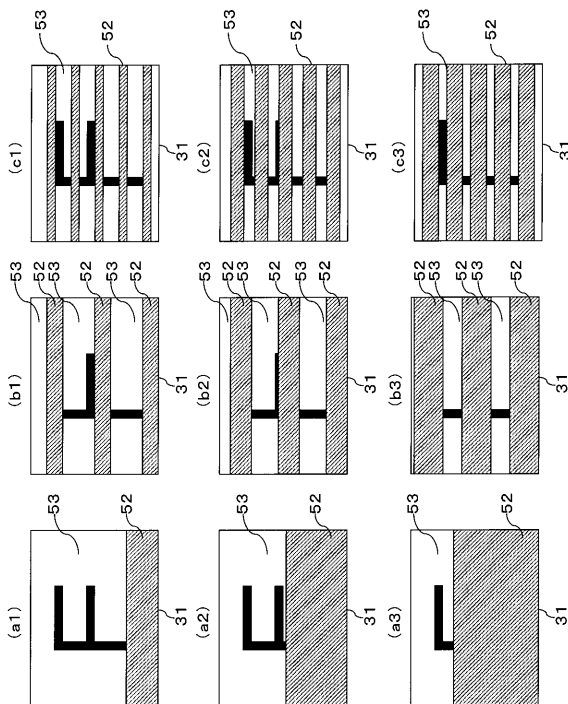
【 図 1 1 】



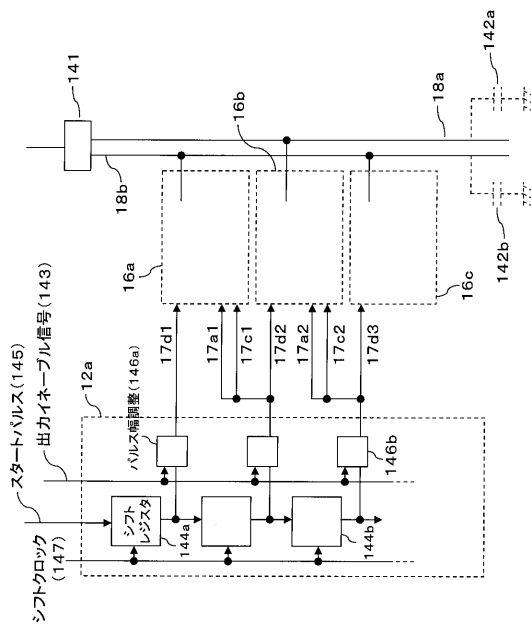
【 図 1 2 】



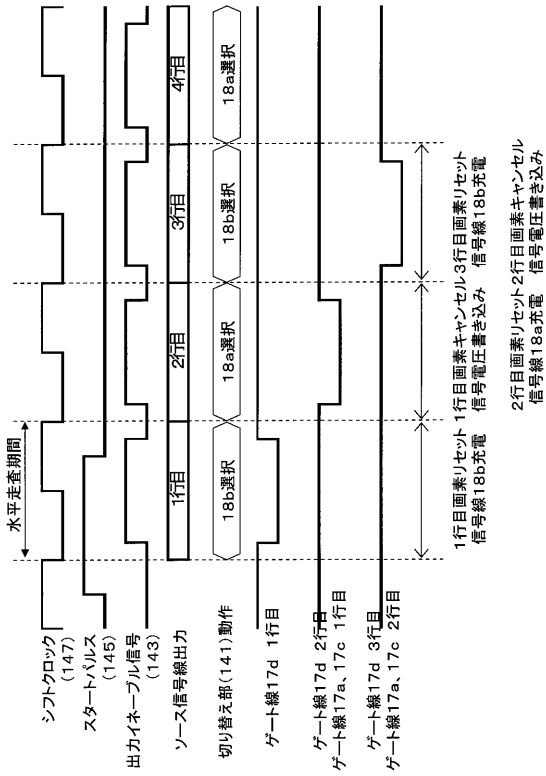
【 図 1 3 】



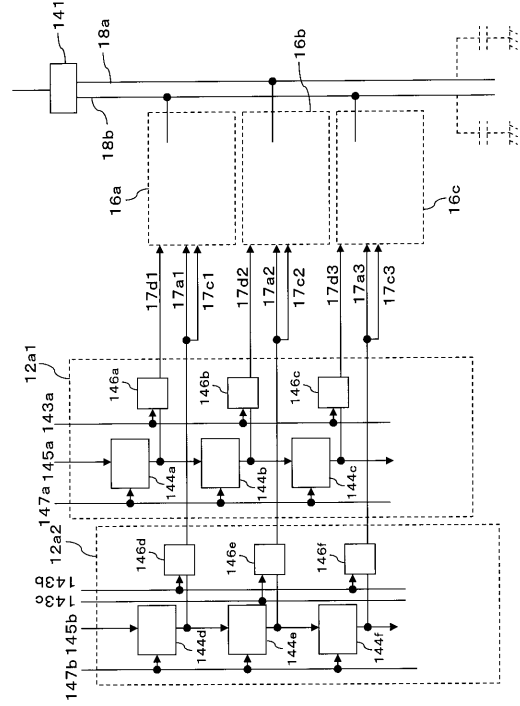
【 図 1 4 】



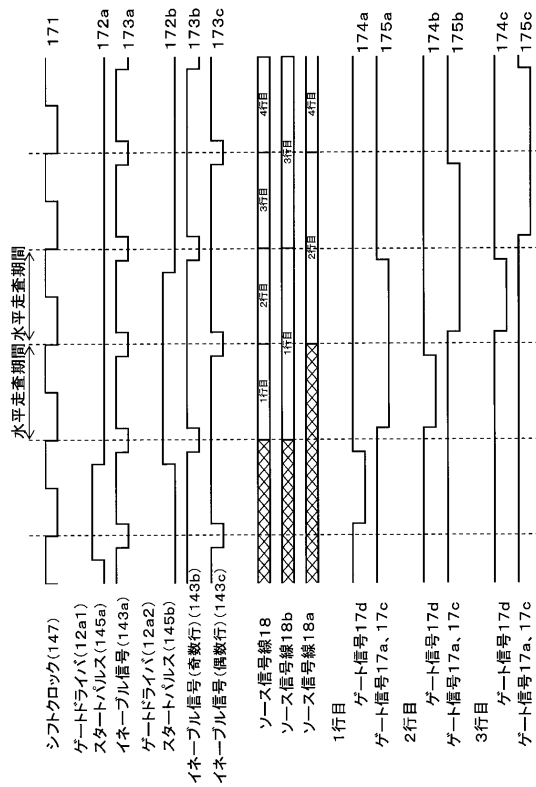
【図 15】



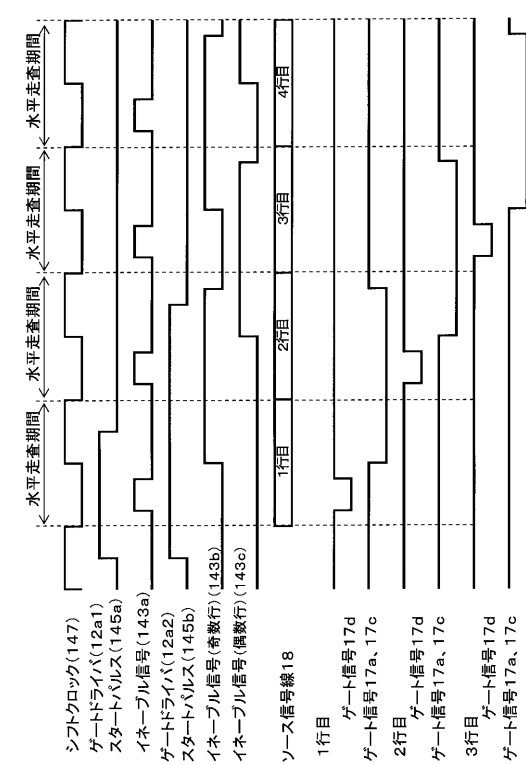
【図 16】



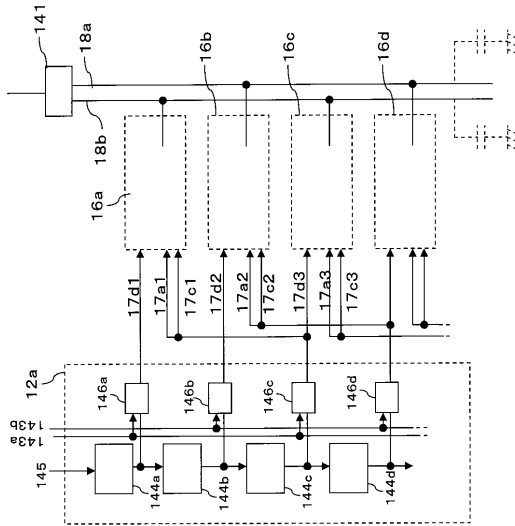
【図 17】



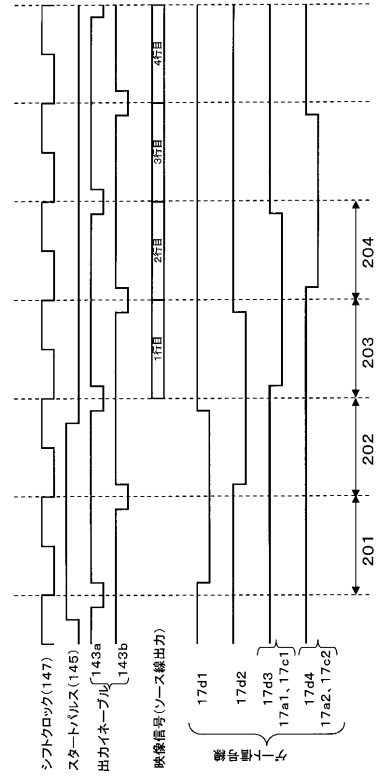
【図 18】



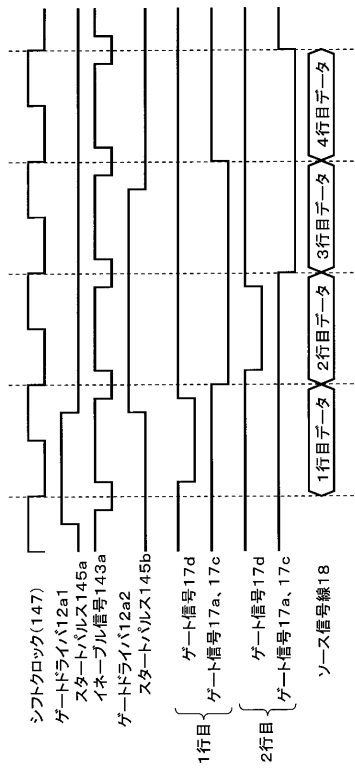
【図 19】



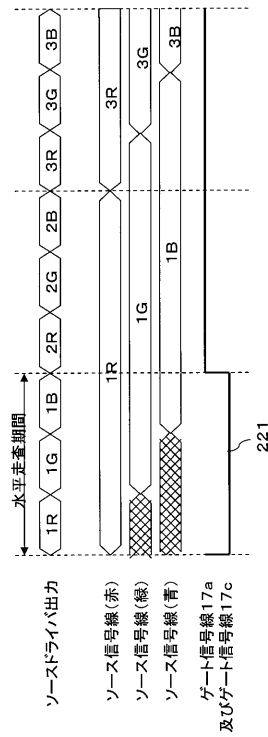
【図 20】



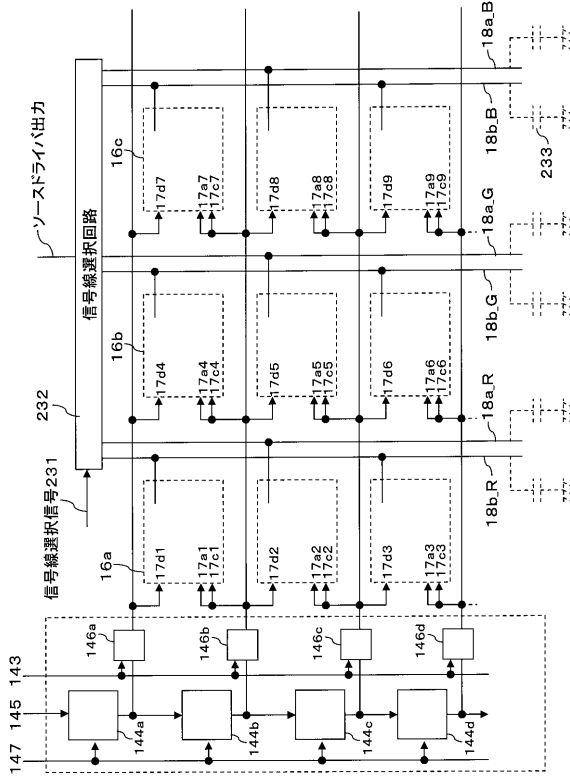
【図 21】



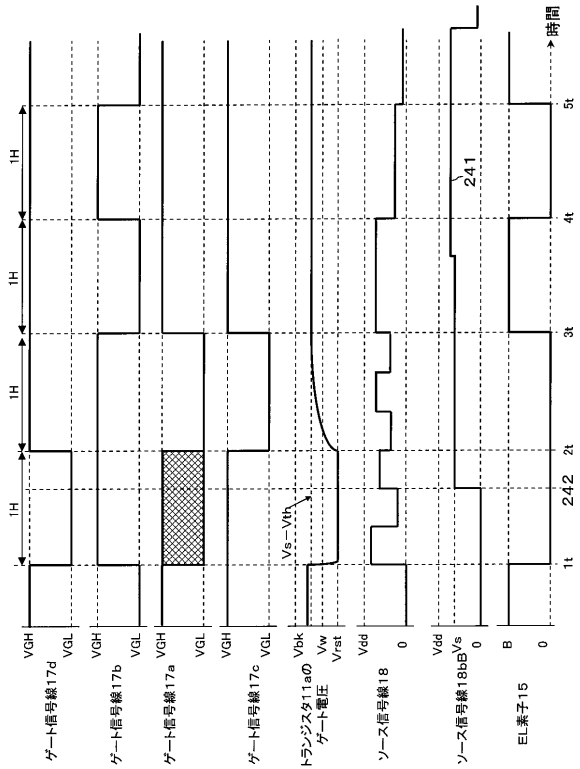
【図 22】



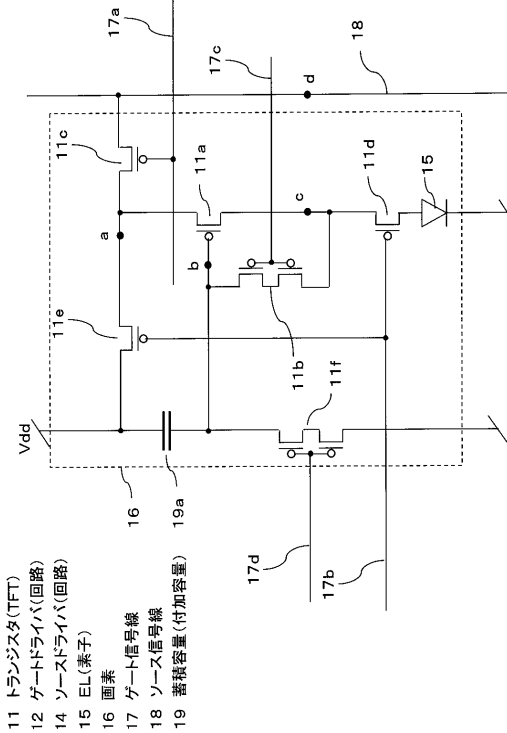
【図 2 3】



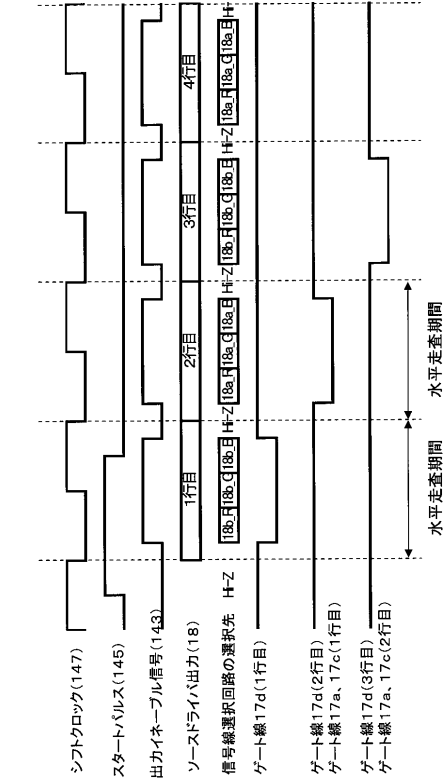
【図 2 4】



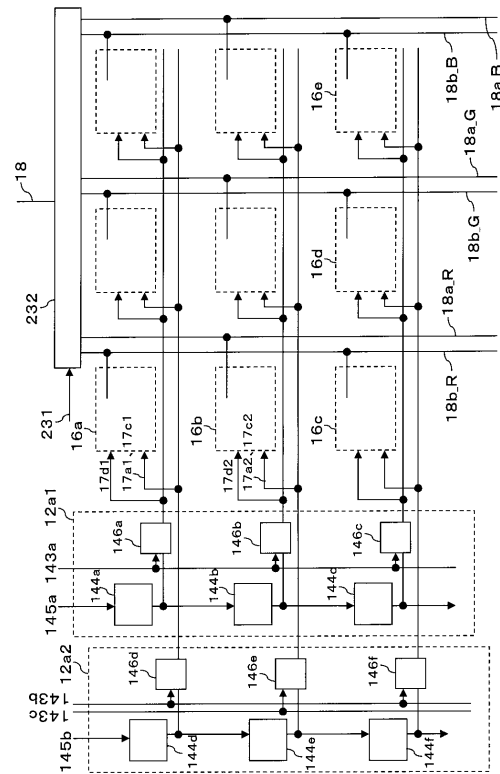
【図 2 5】



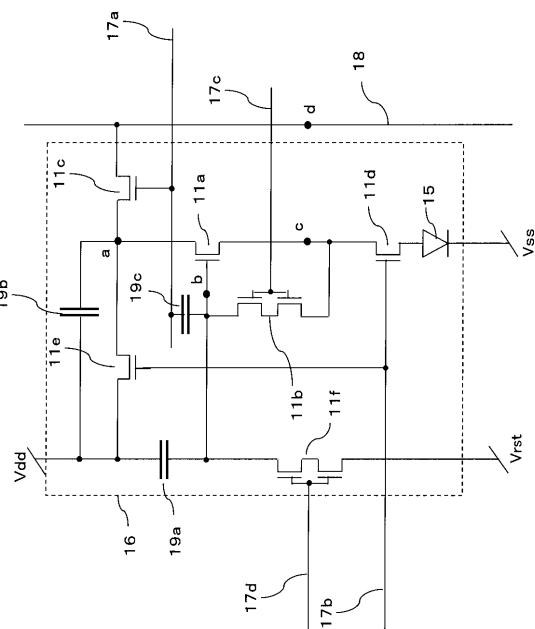
【図 2 6】



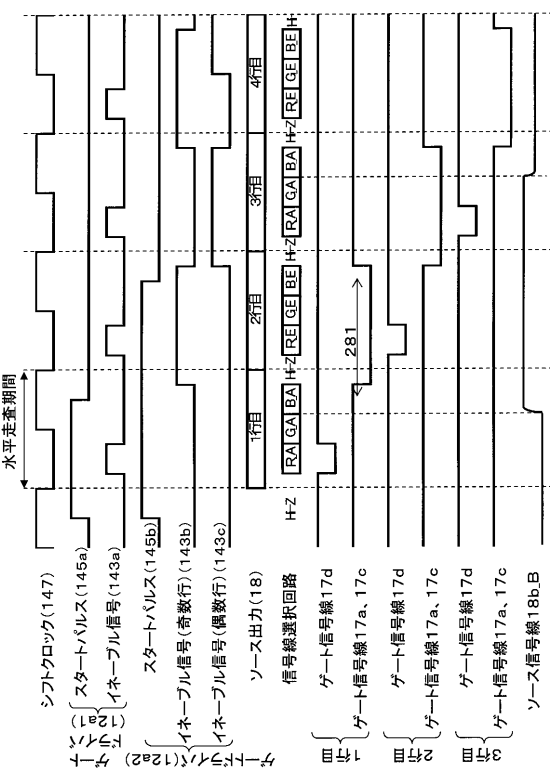
【図 27】



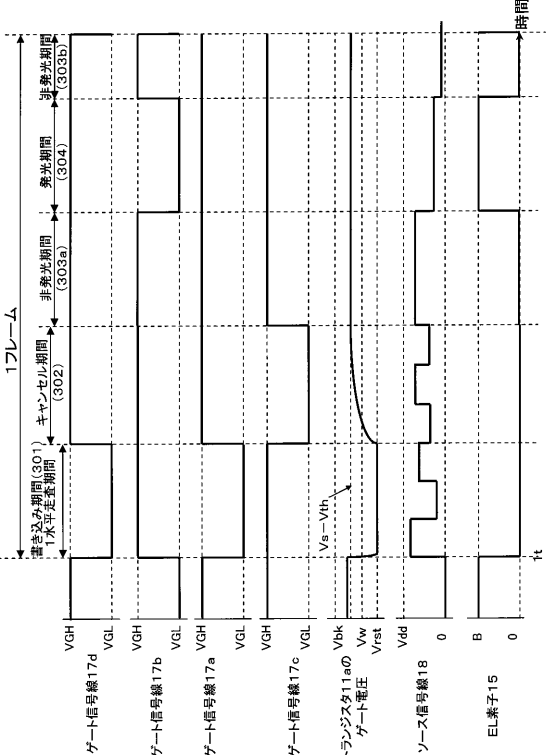
【図 29】



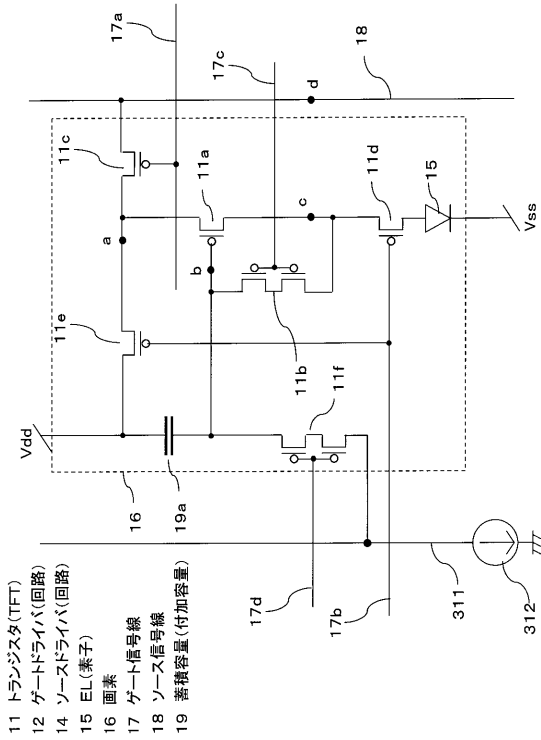
【図 28】



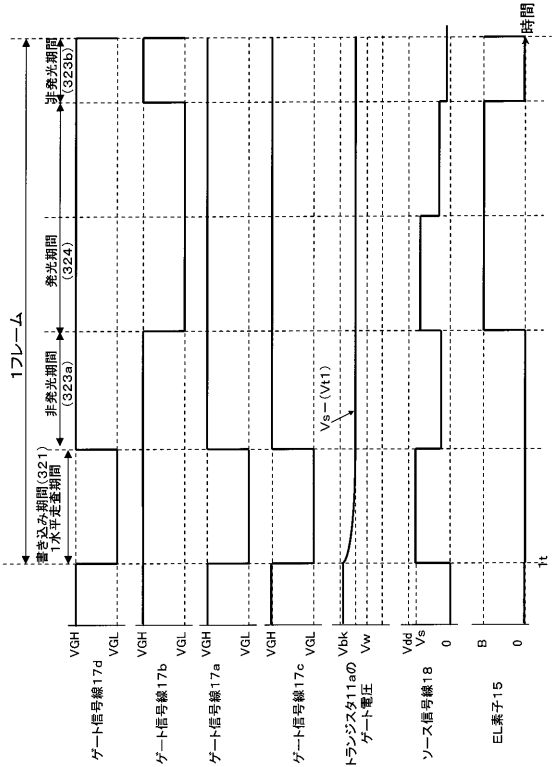
【図 30】



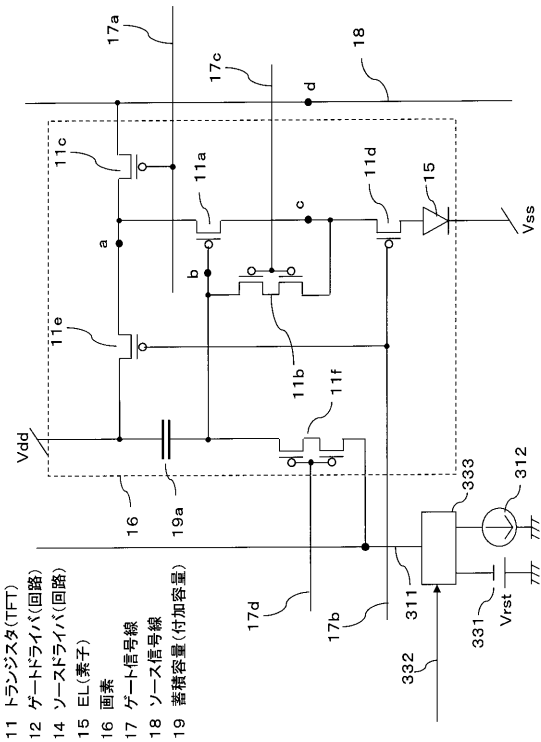
【図 3 1】



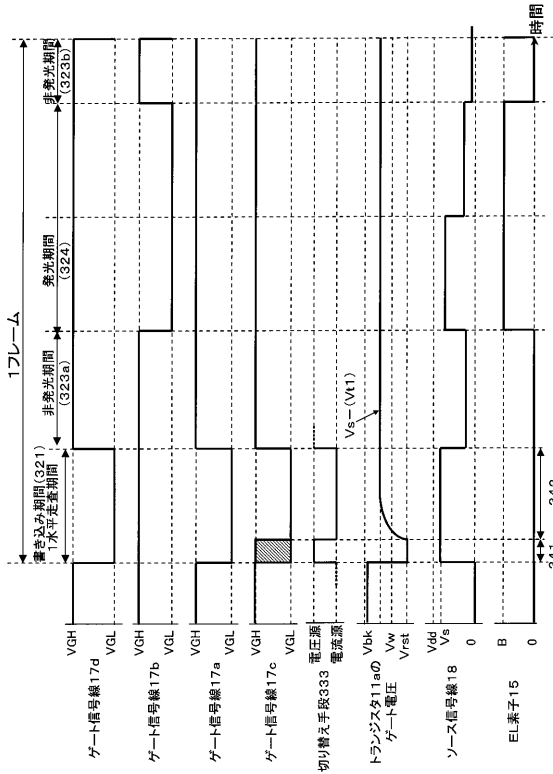
【図 3 2】



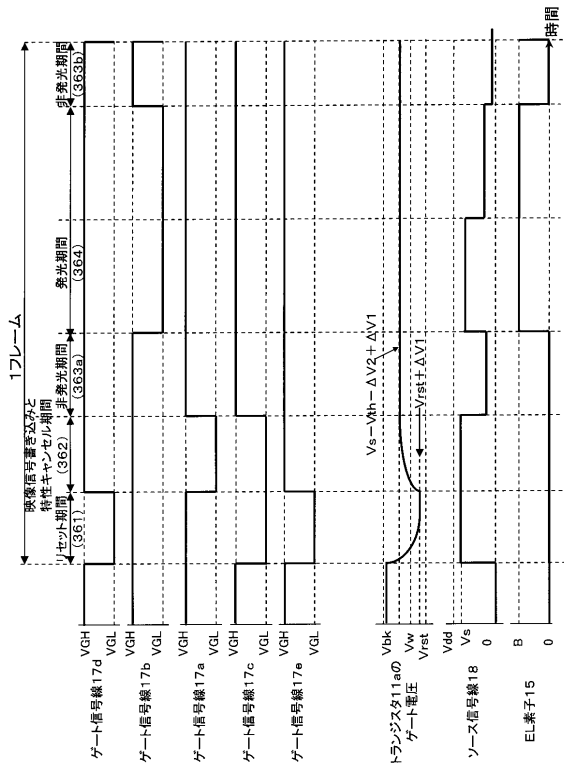
【図 3 3】



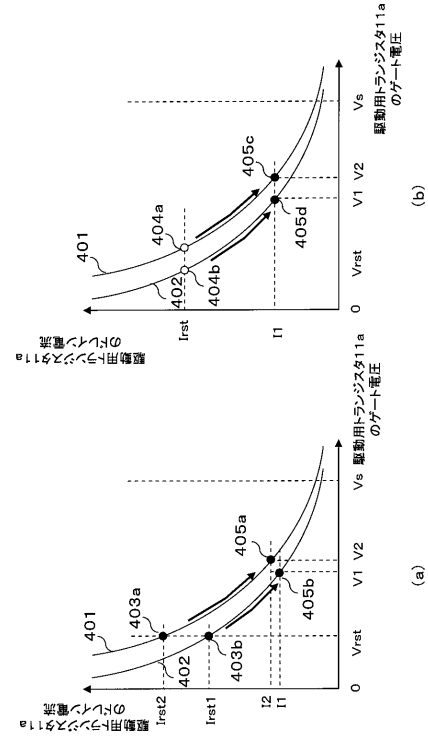
【図 3 4】



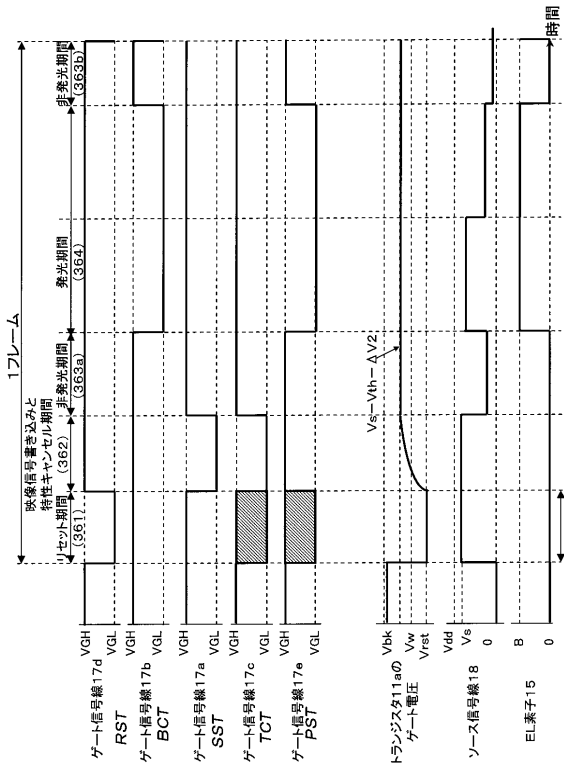
【図 39】



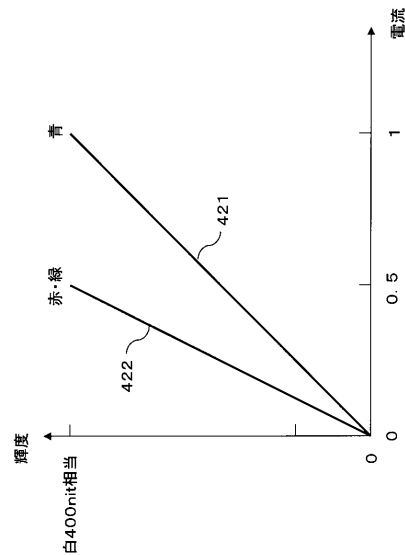
【図 40】



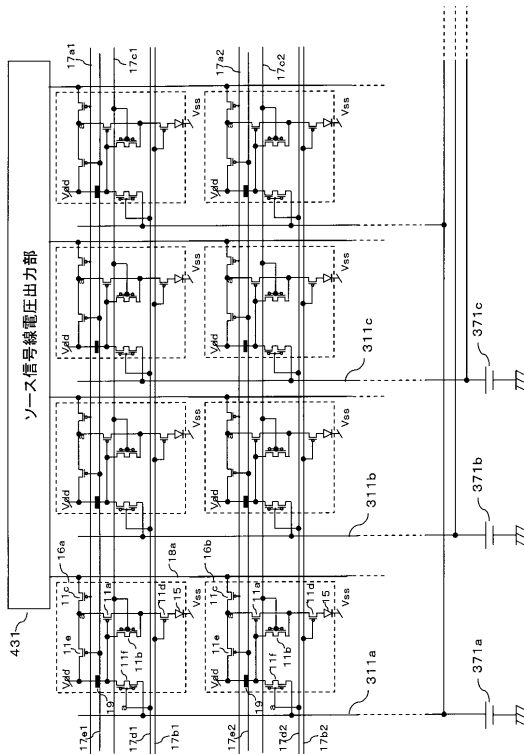
【図 41】



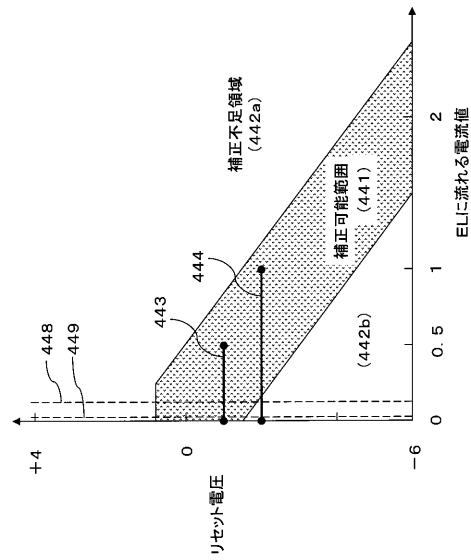
【図 42】



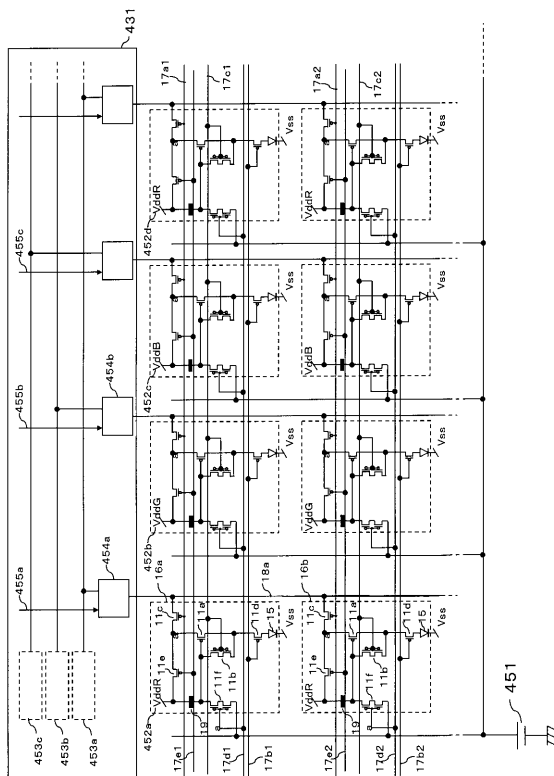
【図 4 3】



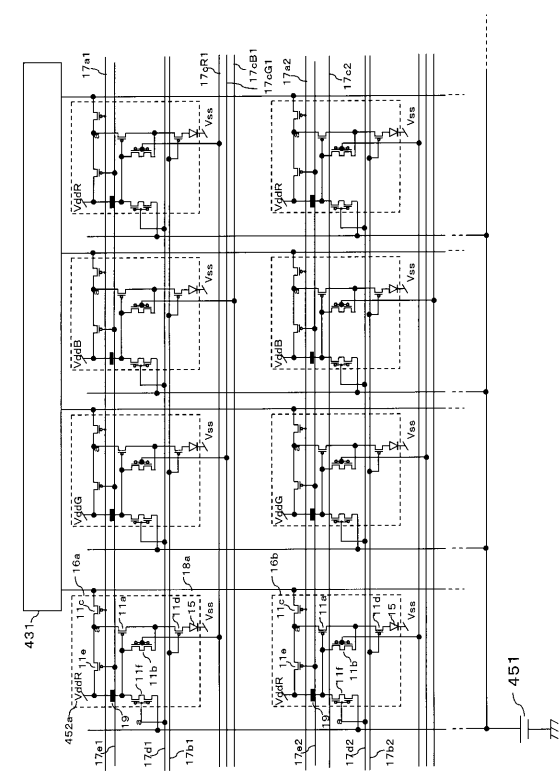
【図 4 4】



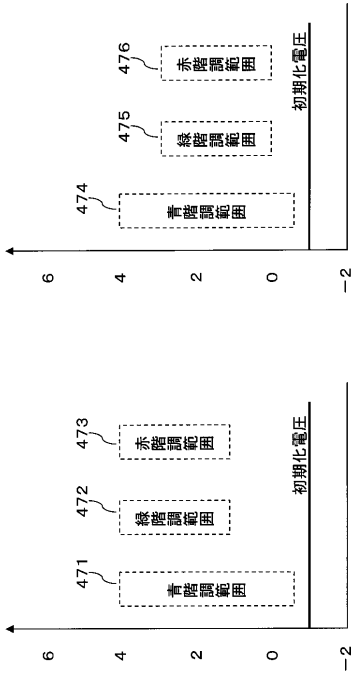
【図 4 5】



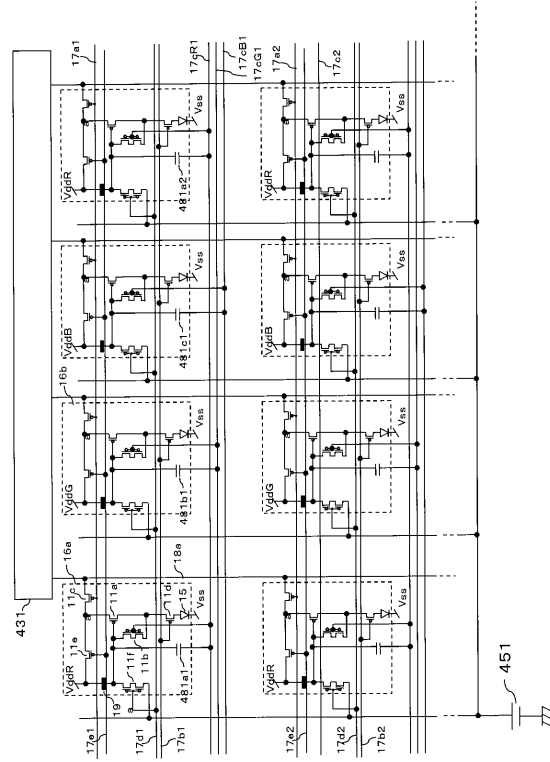
【図 4 6】



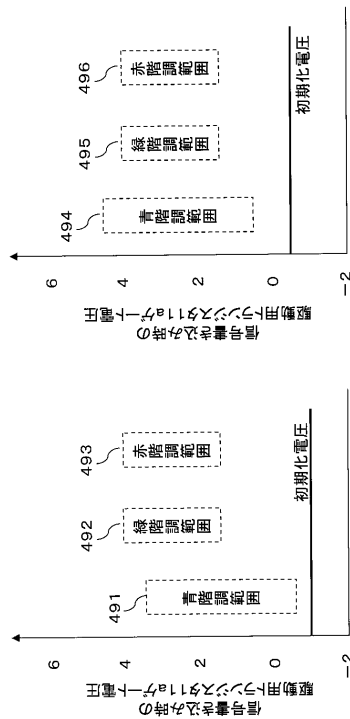
【図 47】



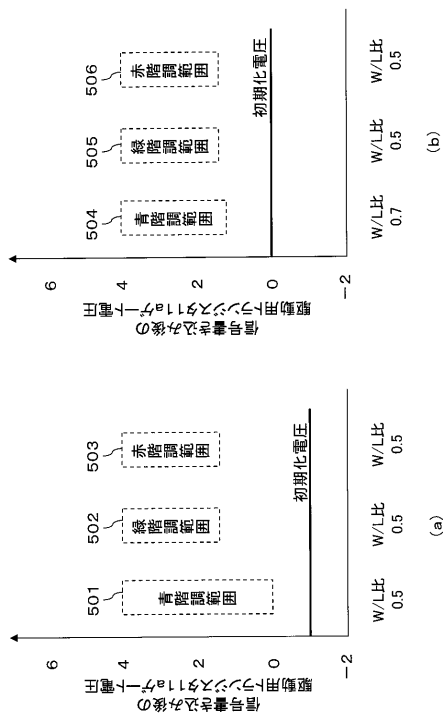
【図 48】



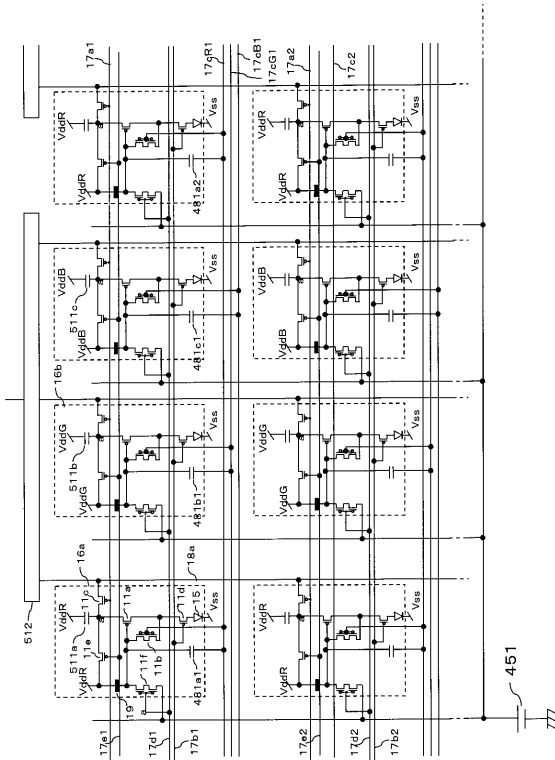
【図 49】



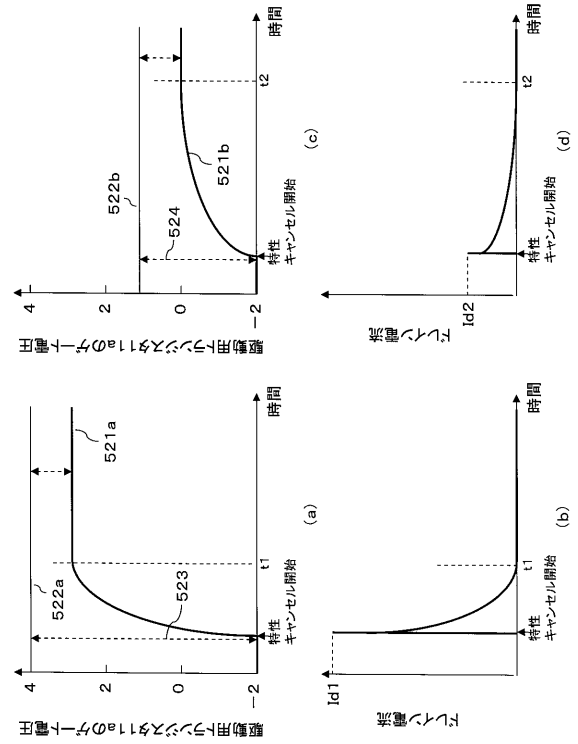
【図 50】



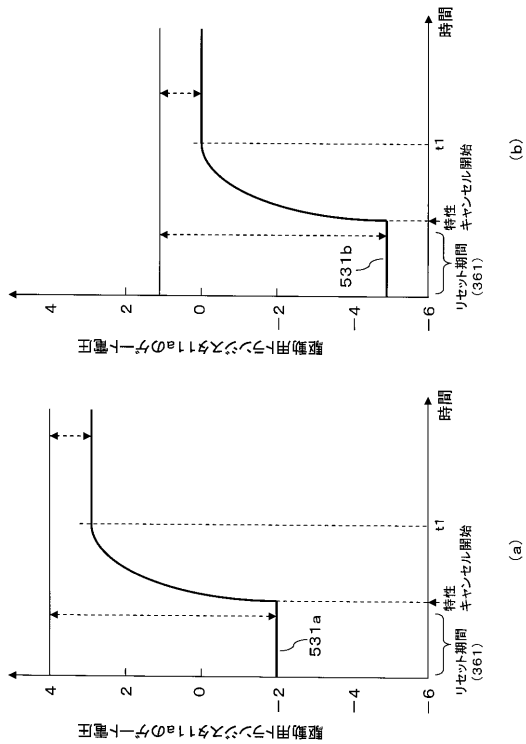
【図 5 1】



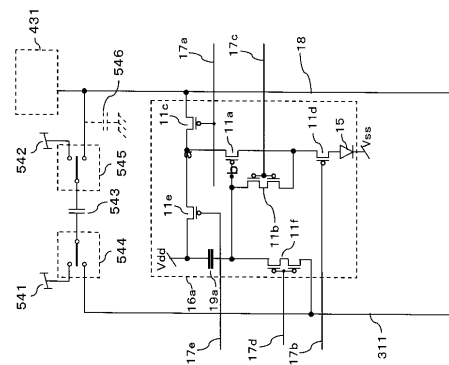
【図 5 2】



【図 5 3】

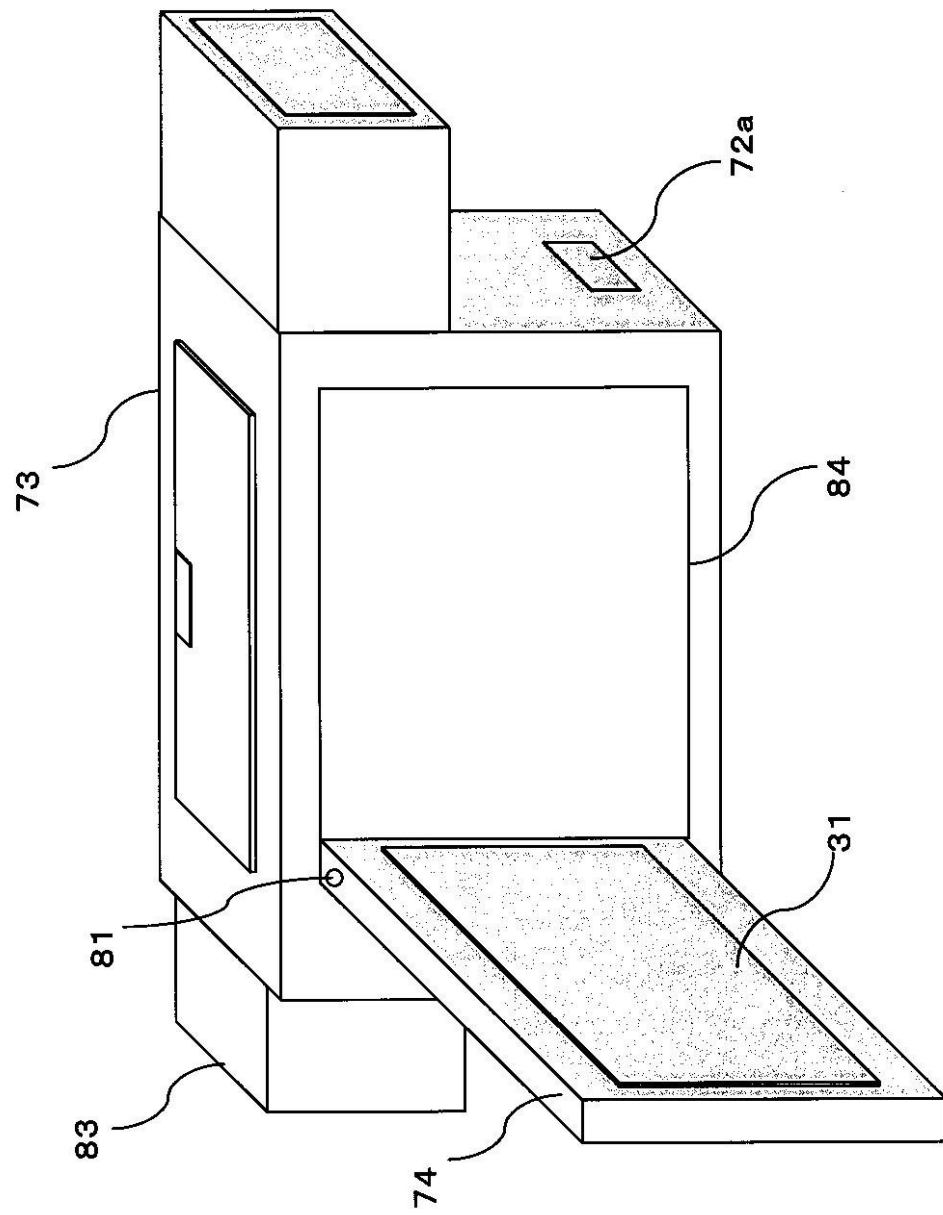


【図 5 4】



【図 8】

81 支点
83 撮影レンズ
84 格納部

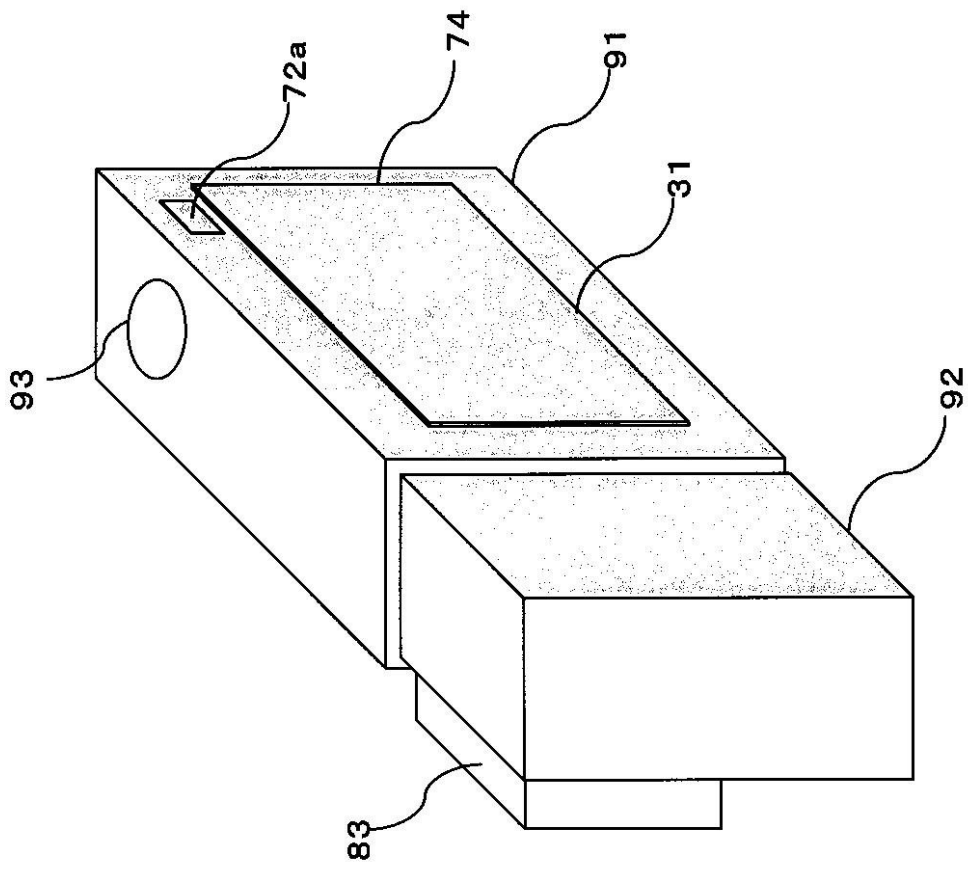


【図 9】

93 シャッタスイッチ

92 撮影部

91 本体



 フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 4 2 A
	G 0 9 G 3/20	6 1 1 E
	G 0 9 G 3/20	6 1 1 A
	G 0 9 G 3/20	6 2 1 E
	G 0 9 G 3/20	6 2 3 D
	G 0 9 G 3/20	6 2 2 D
	H 0 5 B 33/14	A
	G 0 9 G 3/30	J

(72)発明者 柘植 仁志

東京都港区港南四丁目 1 番 8 号 東芝松下ディスプレイテクノロジー株式会社内

F ターム(参考) 3K107 AA01 BB01 CC33 EE03 HH00 HH04 HH05
 5C080 AA06 BB05 CC03 DD05 DD06 DD26 EE29 EE30 FF11 JJ01
 JJ02 JJ03 JJ04 JJ05 JJ06 KK42 KK43 KK47
 5C094 AA03 AA06 AA21 AA42 AA60 BA03 BA27 CA19 DA20 DB04
 EA10

解决的问题：在使用有机发光元件的显示装置中，由于迁移率变化而导致显示不均匀，其中有机发光元件中的驱动晶体管的阈值被校正。在执行驱动晶体管的阈值校正之后，将漏极电流输入到驱动晶体管11a，并且通过漏极电流改变驱动晶体管的栅极电压。随着漏极电流的增加，栅极电压的增加会增加，而漏极电流的减少会增加，这使得有可能减少相同信号电压输入时漏极电流的变化。变小。[选择图]图61

