

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-316188

(P2005-316188A)

(43) 公開日 平成17年11月10日(2005.11.10)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
G09G 3/30	G09G 3/30 J	3K007
G09G 3/20	G09G 3/30 K	5C080
H05B 33/14	G09G 3/20 611H	
	G09G 3/20 612F	
	G09G 3/20 612R	
審査請求 未請求 請求項の数 8 O L (全 24 頁) 最終頁に続く		

(21) 出願番号 特願2004-134597 (P2004-134597)

(22) 出願日 平成16年4月28日 (2004.4.28)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(74) 代理人 100102185

弁理士 多田 繁範

(72) 発明者 山田 康雄

東京都品川区北品川6丁目7番35号 ソ

ニー株式会社内

Fターム(参考) 3K007 AB17 BA06 DB03 GA00

5C080 AA06 BB05 CC03 DD05 EE30

JJ02 JJ03 JJ04 JJ05

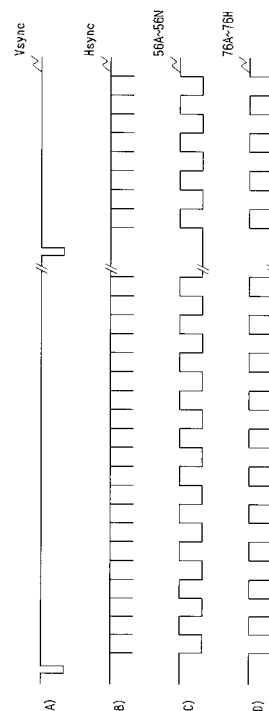
(54) 【発明の名称】 フラットディスプレイ装置の駆動回路及びフラットディスプレイ装置

(57) 【要約】

【課題】 本発明は、フラットディスプレイ装置の駆動回路及びフラットディスプレイ装置に関し、例えば有機EL素子による表示装置に適用して、発光特性を種々に補正できるようにして、簡易な調整作業により所望する特性を確実に確保することができるようにする。

【解決手段】 本発明は、信号線の駆動系に係る増幅回路56A～56N、76A～76Hをチョッパ回路方式による演算増幅回路に構成して、ライン、フレームを単位にして設定を切り換えて空間的、時間的な積分効果によりオフセット電圧による影響を除去する。【選択図】

図1



【特許請求の範囲】

【請求項 1】

画像データをデジタルアナログ変換処理して駆動信号を生成し、前記駆動信号によりマトリックス状に画素を配置してなる表示部の信号線を駆動するフラットディスプレイ装置の駆動回路において、

原基準電圧の設定を指示する原基準電圧設定データを入力する入力回路と、

前記原基準電圧設定データに応じて、原基準電圧をそれぞれ生成する複数のデジタルアナログ変換回路と、

前記複数のデジタルアナログ変換回路による複数の原基準電圧を増幅して出力する原基準電圧用の増幅回路と、

抵抗を複数個直列接続した分圧回路をさらに複数個直列接続して、両端及び前記分圧回路間に前記増幅回路から出力される前記原基準電圧をそれぞれ入力し、前記複数の分圧回路による分圧電圧により複数の基準電圧を出力する基準電圧生成回路と、

前記複数の基準電圧を入力して対応する信号線に係る前記画像データに応じて選択出力することにより、前記駆動信号を出力する複数の選択回路と、

前記選択回路から出力される駆動信号を増幅して前記信号線に出力する駆動信号用の増幅回路とを備え、

前記原基準電圧用及び又は駆動信号用の増幅回路は、

チョッパ方式の演算増幅回路により形成され、

ラインを単位にして、前記チョッパ方式による設定を切り換え、

かつ各ラインにおいては、フレーム単位で、前記チョッパ方式による設定を切り換えることを特徴とするフラットディスプレイ装置の駆動回路。

【請求項 2】

前記原基準電圧用及び駆動信号用の増幅回路における前記ラインを単位にした切り換えが、1ライン毎の切り換えである

ことを特徴とする請求項 1 に記載のフラットディスプレイ装置の駆動回路。

【請求項 3】

前記駆動信号用の増幅回路における前記ラインを単位にした切り換えが、1ライン毎の切り換えであり、

前記原基準電圧用の増幅回路における前記ラインを単位にした切り換えが、2ライン毎の切り換えである

ことを特徴とする請求項 1 に記載のフラットディスプレイ装置の駆動回路。

【請求項 4】

前記駆動信号用の増幅回路における前記ラインを単位にした切り換えが、1ライン毎の切り換えであり、

前記原基準電圧用の増幅回路における前記ラインを単位にした切り換えが、4ライン毎の切り換えである

ことを特徴とする請求項 1 に記載のフラットディスプレイ装置の駆動回路。

【請求項 5】

前記デジタルアナログ変換回路は、

前記原基準電圧の候補電圧を複数生成する分圧回路と、

前記複数の候補電圧を入力して前記原基準電圧設定データに応じて選択出力することにより、前記原基準電圧を出力する選択回路とを有する

ことを特徴とする請求項 1 に記載のフラットディスプレイ装置の駆動回路。

【請求項 6】

前記原基準電圧生成回路、前記基準電圧生成回路、前記選択回路、前記入力回路を一体に集積回路化してなる

ことを特徴とする請求項 1 に記載のフラットディスプレイ装置の駆動回路。

【請求項 7】

画像データによる画像を表示するフラットディスプレイ装置において、

10

20

30

40

50

マトリックス状に画素を配置してなる表示部と、
前記表示部の信号線を駆動信号により駆動する水平駆動回路とを有し、
前記水平駆動回路は、
原基準電圧の設定を指示する原基準電圧設定データを入力する入力回路と、
前記原基準電圧設定データに応じて、原基準電圧をそれぞれ生成する複数のデジタル
アナログ変換回路と、
前記複数のデジタルアナログ変換回路による複数の原基準電圧を増幅して出力する原
基準電圧用の増幅回路と、
抵抗を複数個直列接続した分圧回路をさらに複数個直列接続して、両端及び前記分圧回
路間に前記増幅回路から出力される前記原基準電圧をそれぞれ入力し、前記複数個の分圧 10
回路による分圧電圧により複数の基準電圧を出力する基準電圧生成回路と、
前記複数の基準電圧を入力して対応する信号線に係る前記画像データに応じて選択出力
することにより、前記駆動信号を出力する複数の選択回路と、
前記選択回路から出力される駆動信号を増幅して前記信号線に出力する駆動信号用の増
幅回路とを備え、
前記原基準電圧用及び又は駆動信号用の増幅回路は、
チョッパ方式の演算増幅回路により形成され、
ラインを単位にして、前記チョッパ方式による設定を切り換え、
かつ各ラインにおいては、フレーム単位で、前記チョッパ方式による設定を切り換える 20
ことを特徴とするフラットディスプレイ装置。

【請求項 8】

前記デジタルアナログ変換回路は、
前記原基準電圧の候補電圧を複数生成する分圧回路と、
前記複数の候補電圧を入力して前記原基準電圧設定データに応じて選択出力することによ
り、前記原基準電圧を出力する選択回路とを有する
ことを特徴とする請求項 7 に記載のフラットディスプレイ装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、フラットディスプレイ装置の駆動回路及びフラットディスプレイ装置に関し
、例えば有機 EL (Electro Luminescence) 素子による表示装置に適用することができる
。本発明は、信号線の駆動系に係る増幅回路をチョッパ回路方式による演算増幅回路に構
成して、ライン、フレームを単位にして設定を切り換えて空間的、時間的な積分効果によ
りオフセット電圧による影響を除去することにより、種々の発光特性に対応できるように
して、簡易な調整作業により所望する特性を確実に確保することができるようにする。

【背景技術】

【0002】

従来、フラットディスプレイ装置の 1 つである液晶表示装置においては、例えば特開平
10 - 333648 号公報に開示されているように、デジタルアナログ変換処理に供す 40
る基準電圧の設定によりガンマの特性を切り換えるようになされている。

【0003】

すなわち図 14 に示すように、液晶表示装置 1 は、液晶セル、液晶セルのスイッチング
素子、保持容量により各画素 (P) 3R、3G、3B が形成され、これら各画素 3R、3
G、3B をマトリックス状に配置して表示部 2 が形成される。液晶表示装置 1 は、この表
示部 2 の各画素 3R、3G、3B がそれぞれ信号線 (列線) SIG 及びゲート線 (行線)
G を介して水平駆動回路 4 及び垂直駆動回路 5 に接続され、垂直駆動回路 5 により順次画
素 3R、3G、3B を選択して水平駆動回路 4 からの駆動信号により各画素 3R、3G、
3B の階調を設定し、これにより所望の画像を表示するようになされている。またそれぞ
れ赤色、緑色及び青色のカラーフィルタを設けてなる画素 3R、3G、3B を順次循環的 50

に配置することにより、カラー画像を表示できるようになされている。

【0004】

このため液晶表示装置1は、装置本体6から表示に供する赤色、緑色、青色の画像データDR、DG、DBを同時並列的にコントローラ7に入力し、この画像データDR、DG、DBに同期したタイミング信号により垂直駆動回路5で表示部2のゲート線Gを駆動する。また水平駆動回路4における信号線SIGの駆動に対応するように、これら画像データDR、DG、DBを時分割多重化して1系統の画像データD1を生成し、この画像データD1により水平駆動回路4で信号線SIGを駆動する。

【0005】

図15は、この水平駆動回路4及びコントローラ7を関連する構成と共に詳細に示すブロック図である。コントローラ7は、メモリ制御回路9の制御により装置本体6から出力される画像データDR、DG、DBをメモリ10に順次格納して出力することにより、水平駆動回路4による信号線SIGの駆動に対応するように、水平走査期間を単位にして、ライン単位で同一色に係る画像データが連続するように、これら画像データDR、DG、DBを時分割多重化して1系統により出力する。具体的に、この例では、赤色、緑色、青色の画素3R、3G、3Bについて、水平駆動回路4は、赤色の画素3R、緑色の画素3G、青色の画素3Bを順次ライン単位で駆動するようになされており、これによりコントローラ7は、図16(B)に示すように、赤色の画像データDR、緑色の画像データDG、青色の画像データDBをライン単位で順次循環的に繰り返すようにしてこの画像データD1を出力する。

【0006】

またコントローラ7は、タイミングジェネレータ(TG)11によりこの画像データD1に同期した各種タイミング信号を生成して水平駆動回路4、垂直駆動回路5に出力する。なおここでこのタイミング信号にあっては、例えば画像データD1のクロックCK(図16(A))、この画像データD1における各色の画像データDR、DG、DBの開始及び終了のタイミングを示すスタートパルスST(図16(C))及びストロークパルスSP(図16(D))等である。

【0007】

またコントローラ7は、ディジタルアナログ変換処理に供する基準電圧の生成基準である原基準電圧VRT、VB~VG、VRBを原基準電圧生成回路12で生成して水平駆動回路4に出力する。

【0008】

水平駆動回路4は、コントローラ7から出力される画像データD1をシフトレジスタ13に入力し、この画像データD1を表示部2の信号線の系統に順次振り分けて出力する。基準電圧生成回路14は、画像データD1の各階調に対応する電圧である基準電圧V1~V64を、コントローラ7から入力される原基準電圧VRT、VB~VG、VRBから生成して出力する。

【0009】

ディジタルアナログ変換回路(D/A)15A~15Nは、それぞれシフトレジスタ13の出力データをディジタルアナログ変換処理し、これによりこの例では、隣接する3つの信号線SIGの駆動信号を時分割多重化してなる駆動信号を出力する。ディジタルアナログ変換回路15A~15Nは、シフトレジスタ13の出力データに応じて基準電圧生成回路14で生成される基準電圧V1~V64を選択して出力することにより、シフトレジスタ13から出力される画像データをディジタルアナログ変換処理する。

【0010】

増幅回路16A~16Nは、このディジタルアナログ変換回路15A~15Nの出力信号をそれぞれ増幅して表示部2に出力し、表示部2においては、セクタ17A~17Nにおいて、この増幅回路16A~16Nの出力信号をそれぞれ赤色、緑色、青色の画素3R、3G、3Bに係る信号線SIGに順次循環的に出力する。

【0011】

10

20

30

40

50

このようにして原基準電圧 V_{RT} 、 $V_B \sim V_G$ 、 V_{RB} から生成した基準電圧 $V_1 \sim V_{64}$ を選択して各信号線 SIG の駆動信号を生成するようにして、図17は、これら原基準電圧 V_{RT} 、 $V_B \sim V_G$ 、 V_{RB} の生成に供する原基準電圧生成回路12、基準電圧 $V_1 \sim V_{64}$ の生成に供する基準電圧生成回路14の構成を示すブロック図である。

【0012】

原基準電圧生成回路12は、所定個数の抵抗を直列接続した分圧回路21が設けられ、この分圧回路21により基準電圧生成用電圧 V_{COM} を分圧して原基準電圧 V_{RT} 、 $V_B \sim V_G$ 、 V_{RB} を生成する。これにより原基準電圧生成回路12は、抵抗分圧により原基準電圧 V_{RT} 、 $V_B \sim V_G$ 、 V_{RB} を生成し、それぞれ増幅回路24A～24Hを介して出力するようになされている。なお原基準電圧生成回路12は、選択回路22、反転増幅回路23によりこの分圧回路21に印加する電圧を切り換えることができるように構成され、これによりライン反転又はフレーム反転に対応できるようになされている。これにより図16(F)は、ライン反転による場合の信号線 SIG の電位を示すものである。

【0013】

これに対して基準電圧生成回路14は、抵抗値の等しい抵抗をそれぞれ所定個数だけ直列接続してなる分圧回路 $R_1 \sim R_7$ を、さらに直列接続して抵抗直列回路26が形成され、この抵抗直列回路26の一端、この抵抗直列回路26を構成する分圧回路 $R_1 \sim R_7$ の接続点、抵抗直列回路26の他端に、それぞれ増幅回路27A～27Hを介して原基準電圧 V_{RT} 、 $V_B \sim V_G$ 、 V_{RB} が入力される。これにより基準電圧生成回路14は、原基準電圧生成回路12で生成した原基準電圧 V_{RT} 、 $V_B \sim V_G$ 、 V_{RB} による各電位差を、これらの分圧回路 $R_1 \sim R_7$ でそれぞれさらに分圧して原基準電圧 V_{RT} 、 V_{RB} の範囲で基準電圧 $V_1 \sim V_{64}$ を生成するようになされている。

【0014】

このようにして原基準電圧 V_{RT} 、 $V_B \sim V_G$ 、 V_{RB} から基準電圧 $V_1 \sim V_{64}$ を生成するようにして、基準電圧生成回路14は、分圧回路 $R_1 \sim R_7$ を構成する抵抗の数がそれぞれ所定個数に設定され、これにより原基準電圧 V_{RT} 、 $V_B \sim V_G$ 、 V_{RB} を分圧して画像データD1の階調に対応する複数の基準電圧 $V_1 \sim V_{64}$ を出力できるようになされている。

【0015】

原基準電圧生成回路12においては、このようにして画像データD1の階調に対応する基準電圧 $V_1 \sim V_{64}$ により、所望のガンマ特性による画像を表示するように、分圧回路21を構成する抵抗の値が設定される。これにより電圧 V_{COM} を5[V]に設定した例により図18において符号L1により示すように、原基準電圧 V_{RT} 、 $V_B \sim V_G$ 、 V_{RB} の設定による折れ線近似により所望のガンマ特性を確保できるようになされている。また原基準電圧生成回路12においては、配線パターンの変更により、この分圧回路21から出力する原基準電圧 V_{RT} 、 $V_B \sim V_G$ 、 V_{RB} を切り換えることができるようになされ、これにより符号L1により示す特性との対比により符号L2により示すように、例えば両端の電位である原基準電圧 V_{RT} 、 V_{RB} を固定した状態で、残りの原基準電圧 $V_B \sim V_G$ を矢印により示す範囲で可変して種々にガンマ特性を可変できるようになされている。

【0016】

このようにして原基準電圧 V_{RT} 、 $V_B \sim V_G$ 、 V_{RB} を生成する原基準電圧生成回路12の設定によりガンマ特性を切り換えることができるようにして、液晶表示装置1では、原基準電圧生成回路12に係るコントローラ7がコントロールICにより形成されるのに対し、水平駆動回路4がドライバICにより形成される。これにより従来、液晶表示装置1では、コントロールICだけを付け替えることにより、ガンマ特性の異なる製品を製造することができるようになされ、またこれによりガンマ特性の修正にあっては、修正に要する期間を短くすることができるようになされている。なお符号CA～CHは、これらIC間の浮遊容量である。

【0017】

10

20

30

40

50

ところでこのようなフラットディスプレイ装置においては、有機EL素子による表示装置があり、このような有機EL素子による表示装置の表示部においても、液晶表示装置の表示部と同様に、信号線SIGの駆動により、各有機EL素子の階調を設定する方法が提案されている。これによりこのような方法に係る有機EL素子の表示部については、液晶表示装置に係るコントロールIC等を使用して、表示装置を構成できると考えられる。

【0018】

ところが有機EL素子においては、各色毎に、製品毎に発光特性が異なることにより、さらには発光特性が経時変化することにより、これらに対応して基準電圧 $V_1 \sim V_{64}$ の設定を異ならせることが必要になる。これにより図14について上述した液晶表示装置に係る駆動回路によっては、實際上、表示装置を構成できない問題がある。具体的に、有機EL素子は、各色毎に、製品毎に、黒レベル、ダイナミックレンジを調整することが必要になる。なお有機EL素子において、ガンマ特性自体については、調整を要しないことが判っている。これにより図17に示す原基準電圧生成回路12を適用する場合、色毎に、製品毎に、分圧回路21の両端電圧を調整することが必要になる。

10

【0019】

この問題を解決する1つの方法として、原基準電圧 V_{RT} 、 $V_B \sim V_G$ 、 V_{RB} を外部からのデータの設定により設定可能にする方法が考えられる。すなわち例えば図19に示すように原基準電圧 V_{RT} 、 $V_B \sim V_G$ 、 V_{RB} をそれぞれ生成する複数のデジタルアナログ変換回路31A～31Hにより原基準電圧生成回路30を構成し、原基準電圧 V_{RT} 、 $V_B \sim V_G$ 、 V_{RB} を指示する原基準電圧設定データDVをそれぞれこれら複数のデ

20

【0020】

しかしながらこの種の表示装置においては、増幅回路16A～16N(図15)、24A～24H、27A～27H(図17、図19)に演算増幅回路が適用され、演算増幅回路においては、オフセット電圧の発生を避け得ないことにより、このように各原基準電圧 V_{RT} 、 $V_B \sim V_G$ 、 V_{RB} を調整できるようにすると、所望する特性を確保するための調整作業が煩雑になる問題がある。

30

【0021】

すなわちこれらの演算増幅回路16A～16N、24A～24H、27A～27Hは、差動増幅回路により構成される。ここで差動増幅回路は、図20に入力段を示すように、差動対に係るトランジスタTR1、TR2を定電流回路36、トランジスタTR3、TR4に接続して構成される。この差動増幅回路において、差動対を形成するトランジスタTR1、TR2においては、製造過程でゲート寸法が異なってしまう。これによりこれらトランジスタTR1、TR2においては、ゲート-ソース間電圧が相違するようになり、この相違が出力電圧 V_{out} にオフセット電圧として現れるようになる。

【0022】

このようなオフセット電圧は、原基準電圧 V_{RT} 、 $V_B \sim V_G$ 、 V_{RB} 毎にそれぞれ独立して発生してこれら原基準電圧 V_{RT} 、 $V_B \sim V_G$ 、 V_{RB} をばらつかせ、さらに製品間でも、これら原基準電圧 V_{RT} 、 $V_B \sim V_G$ 、 V_{RB} をばらつかせることになる。これにより単に原基準電圧設定データにより原基準電圧 V_{RT} 、 $V_B \sim V_G$ 、 V_{RB} を設定しただけでは、所望する特性を確保できない場合が発生し、これにより所望する特性の確保に調整時間を要するようになる。

40

【0023】

またこのようなばらつきにより図21に示すように、表示装置においては、ガンマ特性が符号L1により示す設計中心の特性から、符号L2及びL3により示す範囲でばらつくようになる。なおここで図21において符号L1により示す特性は、原基準電圧 $V_B \sim V$

50

Gの設計で予定した調整範囲を示す例であり、このような設計で予定した調整可能範囲に対して、実際の製品ではばらつきにより調整可能な範囲が減少することになる。この場合に、この調整可能範囲を全ての製品で確保可能に設計中心の特性による調整可能範囲を拡大させると、調整に係る分解能が低下することになる。また何らこのように設計中心の特性による調整可能範囲を拡大させない場合には、設計中心の特性からのばらつきが大きいいわゆるワーストケースの製品で調整できなくなる。これらにより結局、調整作業が繁雑になり、調整に時間を要するようになり、場合によっては調整できない場合も発生することになる。

【0024】

これに対して例えば特開2001-343948号公報には、いわゆるチョッパ回路方式により演算増幅回路のオフセット電圧の影響をキャンセルする方法が提案されるようになされている。ここでこの方式においては、図20との対比により図22に示すように、スイッチ回路37により入力端の設定を反転入力、非反転入力で切り換えると共に、この切り換えに連動してスイッチ回路38、39で入力信号の入力端を切り換え、またこれらの切り換えに対応するように出力信号の出力を切り換えるものである。なおここでこの出力信号の切り換えにおいては、この図22に示すように、スイッチ回路40により入力段の出力端を切り換えることが考えられる。この特開2001-343948号公報には、フレーム周期を単位にしてこれらチョッパ方式による設定を切り換えることにより、表示画面上における時間軸方向の積分の効果により、オフセット電圧の影響をキャンセルするようになされている。なお図23(A)及び(B)は、図20との対比によりこれらスイッチ回路37~40により、入力端の設定を反転入力、非反転入力で切り換えると共に、入力信号の入力端、入力段における出力信号の出力端を切り換えた状態をそれぞれ示す接続図である。

【0025】

しかしながらこのようなフレーム周期を単位にしたオフセット電圧の影響のキャンセルにあつては、有機EL素子による表示パネルに適用した場合、表示がちらつく問題がある。

【特許文献1】特開平10-333648号公報

【特許文献2】特開2001-343948号公報

【発明の開示】

【発明が解決しようとする課題】

【0026】

本発明は以上の点を考慮してなされたもので、種々の発光特性に対応できるようにして、簡易な調整作業により所望する特性を確実に確保することができるフラットディスプレイ装置の駆動回路、この駆動回路を用いたフラットディスプレイ装置を提案しようとするものである。

【課題を解決するための手段】

【0027】

かかる課題を解決するため請求項1の発明においては、フラットディスプレイ装置の駆動回路に適用して、原基準電圧の設定を指示する原基準電圧設定データを入力する入力回路と、原基準電圧設定データに応じて、原基準電圧をそれぞれ生成する複数のディジタルアナログ変換回路と、複数のディジタルアナログ変換回路による複数の原基準電圧を増幅して出力する原基準信号用の増幅回路と、抵抗を複数個直列接続した分圧回路をさらに複数個直列接続して、両端及び分圧回路間に増幅回路から出力される原基準電圧をそれぞれ入力し、複数個の分圧回路による分圧電圧により複数の基準電圧を出力する基準電圧生成回路と、複数の基準電圧を入力して対応する信号線に係る画像データに応じて選択出力することにより、駆動信号を出力する複数の選択回路と、選択回路から出力される駆動信号を増幅して信号線に出力する駆動信号用の増幅回路とを備え、原基準信号用及び又は駆動信号用の増幅回路は、チョッパ方式の演算増幅回路により形成され、ラインを単位にして、チョッパ方式による設定を切り換え、かつ各ラインにおいては、フレーム単位で、チョ

ツッパ方式による設定を切り換えるようにする。

【0028】

また請求項7の発明においては、フラットディスプレイ装置に適用して、水平駆動回路は、原基準電圧の設定を指示する原基準電圧設定データを入力する入力回路と、原基準電圧設定データに応じて、原基準電圧をそれぞれ生成する複数のディジタルアナログ変換回路と、複数のディジタルアナログ変換回路による複数の原基準電圧を増幅して出力する原基準信号用の増幅回路と、抵抗を複数個直列接続した分圧回路をさらに複数個直列接続して、両端及び分圧回路間に増幅回路から出力される原基準電圧をそれぞれ入力し、複数の分圧回路による分圧電圧により複数の基準電圧を出力する基準電圧生成回路と、複数の基準電圧を入力して対応する信号線に係る画像データに応じて選択出力することにより、駆動信号を出力する複数の選択回路と、選択回路から出力される駆動信号を増幅して信号線に出力する駆動信号用の増幅回路とを備え、原基準信号用及び又は駆動信号用の増幅回路は、チョッパ方式の演算増幅回路により形成され、ラインを単位にして、チョッパ方式による設定を切り換え、かつ各ラインにおいては、フレーム単位で、チョッパ方式による設定を切り換えるようにする。

10

【0029】

請求項1の構成により、フラットディスプレイ装置の駆動回路に適用して、原基準電圧の設定を指示する原基準電圧設定データを入力する入力回路と、原基準電圧設定データに応じて、原基準電圧をそれぞれ生成する複数のディジタルアナログ変換回路と、複数のディジタルアナログ変換回路による複数の原基準電圧を増幅して出力する原基準信号用の増幅回路と、抵抗を複数個直列接続した分圧回路をさらに複数個直列接続して、両端及び分圧回路間に増幅回路から出力される原基準電圧をそれぞれ入力し、複数の分圧回路による分圧電圧により複数の基準電圧を出力する基準電圧生成回路と、複数の基準電圧を入力して対応する信号線に係る画像データに応じて選択出力することにより、駆動信号を出力する複数の選択回路と、選択回路から出力される駆動信号を増幅して信号線に出力する駆動信号用の増幅回路とを備えるようにすれば、種々の発光特性に対応することができる。このとき原基準信号用及び又は駆動信号用の増幅回路は、チョッパ方式の演算増幅回路により形成され、ラインを単位にして、チョッパ方式による設定を切り換え、かつ各ラインにおいては、フレーム単位で、チョッパ方式による設定を切り換えるようにすれば、いわゆるチョッパ回路方式を適用して、表示画面上における空間的な積分の効果と、時間軸方向の積分の効果とにより、オフセット電圧による影響をキャンセルすることができ、これにより簡易な調整作業により所望するガンマ特性を確実に確保することができる。

20

30

【0030】

これにより請求項7の構成によれば、種々の発光特性に対応できるようにして、簡易な調整作業により所望するガンマ特性を確実に確保することができるフラットディスプレイ装置を提供することができる。

【発明の効果】

【0031】

本発明によれば、種々の発光特性に対応できるようにして、簡易な調整作業により所望するガンマ特性を確実に確保することができる。

40

【発明を実施するための最良の形態】

【0032】

以下、適宜図面を参照しながら本発明の実施例を詳述する。

【実施例1】

【0033】

(1) 実施例の構成

図2は、本発明の実施例に係るPDA(Personal Digital Assistants)を示すブロック図である。このPDA41は、装置本体42において、操作子の操作に応動して演算処理手段であるコントローラ43で所定の処理手順を実行することにより、表示部44に各種の画像を表示する。なおこの図2において、図14について上述した構成と同一の構成

50

は、対応する符号を付して重複した説明は省略する。

【0034】

ここでこの実施例において、表示部44は、有機EL素子による各画素がマトリックス状に配置されてなるカラー画像の表示パネルであり、各画素に接続されたゲート線を用いて図示しない垂直駆動回路によりライン単位で画素を選択し、信号線SIGの駆動により各画素の階調が設定されるようになされている。

【0035】

このPDA41は、工場出荷時、この有機EL素子による表示部44に関して、各色の発光特性が測定され、この測定結果に基づいて、メモリ50に、原基準電圧VRT、VB～VG、VRBの設定を指示する原基準電圧設定データDVが記録され、これによりこの
10 原基準電圧設定データDVを用いて各色の発光特性のばらつき、製品間の発光特性のばらつきを補正できるようになされ、これにより正しいホワイトバランス、色再現性により表示画像を表示できるようになされている。

【0036】

なおこの実施例においては、これら原基準電圧VRT、VB～VG、VRBのうち、最も電圧の高い原基準電圧VRTと、最も電圧の低い原基準電圧VRBとが、それぞれ黒レベル及び白レベルの階調に対応する原基準電圧であり、これにより以下においては、適宜、これら2つの原基準電圧VRT、VRBをそれぞれ黒レベル用原基準電圧VRT、白レベル用原基準電圧VRBと呼ぶ。またこれに対応してこれら黒レベル用原基準電圧VRT、
20 白レベル用原基準電圧VRBに対応する原基準電圧設定データDVを、適宜、黒レベル用原基準電圧設定データ、白レベル用原基準電圧設定データと呼び、それぞれ符号DVVRT、DVVRBにより示し、またこれに対応してこれら以外の原基準電圧VB～VGに係る原基準電圧設定データDVをそれぞれ符号DVVB～DVVGにより示す。これによりメモリ50は、黒レベル用原基準電圧設定データDVVRT、白レベル用原基準電圧設定データDVVRB、これら以外の原基準電圧設定データDVVB～DVVGを保持するようになされている。

【0037】

またPDA41は、ユーザーの好みにより、さらには発光特性の経時変化に対応可能に、所定の処理手順をコントローラ43により実行して表示部44におけるホワイトバランス、黒レベル、白レベルを調整できるようになされ、この調整結果をメモリ45に記録して保持すると共に、この調整結果により表示部44の表示を設定するようになされている。
30 このPDA41は、メモリ50に記録された工場出荷時に係る原基準電圧設定データDVVRT、DVVB～DVVG、DVVRBのうち、黒レベル用原基準電圧設定データDVVRT、白レベル用原基準電圧設定データDVVRBの補正データD2を、これら原基準電圧設定データDVVRT、DVVRBに対応する差分データΔDVVRT、ΔDVVRBの形式により各色毎にメモリ45に記録して保持し、このメモリ45に記録された補正データD2をコントローラ47の処理に応じたタイミングによりコントローラ47に出力する。これによりPDA41は、このようなホワイトバランス調整等の調整結果を記録して保持し、さらにはこの調整結果により表示部44の表示を設定するようになされている。
40

【0038】

コントローラ47は、集積回路により構成され、装置本体42から出力される各色の画像データDR、DG、DBをライン単位で時分割多重化し、1系統による画像データD1を出力する。また装置本体42のコントローラ43から出力される補正データD2により原基準電圧設定データDVを補正して水平駆動回路55に出力する。

【0039】

すなわちコントローラ47において、タイミングジェネレータ(TG)58は、画像データD1、DR～DBに同期した各種タイミング信号を生成して出力する。メモリ制御回路59は、このタイミング信号を基準にしてメモリ60の動作を制御し、メモリ60は、装置本体42から出力される画像データDR～DBを順次格納して出力することにより、
50

画像データ D R、D G、D B をライン単位で時分割多重化して画像データ D 1 を出力する。

【 0 0 4 0 】

メモリ制御回路 6 1 は、メモリ 5 0 の動作を制御することにより、水平走査周期で、メモリ 5 0 から原基準電圧設定データ D V を読み出して原基準電圧設定回路 6 3 に出力する。

【 0 0 4 1 】

原基準電圧設定回路 6 3 は、装置本体 4 2 のコントローラ 4 3 から出力される補正データ D 2 により、メモリ制御回路 6 1 から出力される原基準電圧設定データ D V を補正して出力する。すなわち図 3 に示すように、原基準電圧設定回路 6 3 は、メモリ制御回路 6 1 を介して入力される原基準電圧設定データ D V (D V V R T、D V V B ~ D V V G、D V V R B) のうち、黒レベル用原基準電圧設定データ D V V R T、白レベル用原基準電圧設定データ D V V R B を加算回路 6 3 A に入力し、ここで装置本体 4 2 から出力される対応する補正データ D 2 (Δ D V V R T、 Δ D V V R B) を加算し、これによりこれら黒レベル用原基準電圧設定データ D V V R T、白レベル用原基準電圧設定データ D V V R B を補正する。またこのようにして補正した黒レベル用原基準電圧設定データ D V V R T、白レベル用原基準電圧設定データ D V V R B をエンコーダ 6 3 B に入力し、また残りの原基準電圧設定データ D V V B ~ D V V G をセレクタ (S E L) 6 3 C を介してエンコーダ 6 3 B に入力し、ここでこれら原基準電圧設定データ D V V R T、D V V B ~ D V V G、D V V R B をシリアルデータに変換して出力する。なお原基準電圧設定回路 6 3 では、セレクタ 6 3 C の設定により、このようにメモリ制御回路 6 1 から出力される原基準電圧設定データ D V V B ~ D V V G に代えて、装置本体 4 2 から別途出力される原基準電圧設定データを出力できるようになされている。

【 0 0 4 2 】

この一連の処理において、原基準電圧設定回路 6 3 は、水平駆動回路 5 5 における信号線 S I G の駆動に対応して、原基準電圧設定データ D V を生成して出力する。しかしてこの実施例では、表示部 4 4 において、水平方向に連続する赤色、緑色、青色の画素を 1 組にして、この 1 組の画素を 1 つの駆動信号により時分割により駆動することにより、原基準電圧設定回路 6 3 は、1 水平走査期間の間で、それぞれ赤色、緑色、青色の画像データ D R、D G、D B 用の原基準電圧設定データ D V を切り換えて出力するようになされている。

【 0 0 4 3 】

水平駆動回路 5 5 は、コントローラ 4 7 とは別体の集積回路により構成され、コントローラ 4 7 から出力される画像データ D 1 をシフトレジスタ 1 3 により上述した水平方向に連続する赤色、緑色、青色の画素による各組に振り分けた後、セレクタによるデジタルアナログ変換回路 1 5 A ~ 1 5 N によりそれぞれデジタルアナログ変換処理する。またこのデジタルアナログ変換処理結果による駆動信号を増幅回路 5 6 A ~ 5 6 N によりそれぞれ増幅して表示部 4 4 に出力し、表示部 4 4 においては、それぞれセレクタ 1 7 A ~ 1 7 N により増幅回路 5 6 A ~ 5 6 N の出力信号を各信号線 S I G に振り分ける。

【 0 0 4 4 】

水平駆動回路 5 5 は、このような一連の処理に係るデジタルアナログ変換回路 1 5 A ~ 1 5 N の基準電圧 V 1 ~ V 6 4 を原基準電圧生成回路 7 0、基準電圧生成回路 6 9 により原基準電圧設定データ D V に応じて生成する。

【 0 0 4 5 】

図 4 は、この原基準電圧生成回路 7 0、基準電圧生成回路 6 9 を示すブロック図である。ここで基準電圧生成回路 6 9 は、増幅回路 2 7 A ~ 2 7 H が省略されている点を除いて図 1 7 について上述した基準電圧生成回路 1 4 と同一に形成され、原基準電圧生成回路 7 0 から出力される原基準電圧 V R T、V B ~ V G、V R B から抵抗分圧により基準電圧 V 1 ~ V 6 4 を生成して出力する。

【 0 0 4 6 】

10

20

30

40

50

原基準電圧生成回路 70 においては、ディジタルアナログ変換回路 (D/A) 71A ~ 71H によりそれぞれ原基準電圧設定データ DV に応じて原基準電圧 VRT、VB ~ VG、VRB を生成する。

【0047】

ここでディジタルアナログ変換回路 71A ~ 71H のうち、黒レベル用原基準電圧 VRT 及び白レベル用原基準電圧 VRB の生成に係るディジタルアナログ変換回路 71A、71H は、分圧回路 72A、72H によりそれぞれ基準電圧生成用電圧 VCOM を分圧して複数の原基準電圧の候補電圧を生成する。ここで分圧回路 72A、72H は、抵抗値の等しい複数の抵抗の直列回路により構成され、基準電圧生成用電圧 VCOM を原基準電圧設定データ DV のビット数に対応する分解能により分圧して出力する。この実施例においては、この原基準電圧設定データ DV が 6 ビットにより形成され、また基準電圧生成用電圧 VCOM が 5 [V] に設定され、これにより分圧回路 72A、72H は、約 80 [mV] (5 [V] / 64) 単位で、順次電圧が異なっている 64 種類の候補電圧を出力する。

10

【0048】

セクタ 73A、73H は、それぞれこの分圧回路 72A、72H から出力される 64 種類の候補電圧をそれぞれ黒レベル用原基準電圧設定データ DV VRT、白レベル用原基準電圧設定データ DV VRB に応じて選択して出力する。セクタ 73A、73H は、このようにして生成した黒レベル用原基準電圧 VRT、白レベル用原基準電圧 VRB をそれぞれ増幅回路 76A、76H を介して出力する。

【0049】

20

これに対してこれらディジタルアナログ変換回路 71A、71H を除く他のディジタルアナログ変換回路 71B ~ 71G は、ディジタルアナログ変換回路 71A、71H と同様に、分圧回路 72B ~ 72G による抵抗分圧によりそれぞれ原基準電圧 VB ~ VG の候補電圧を複数種類生成し、この複数種類の候補電圧をそれぞれセクタ 73B ~ 73G により原基準電圧設定データ DV に応じて選択して原基準電圧 VB ~ VG を出力する。ディジタルアナログ変換回路 71B ~ 71G は、これら原基準電圧 VB ~ VG の候補電圧の生成に供する分圧回路 72B ~ 72G がこれらディジタルアナログ変換回路 71B ~ 71G 間で直列に接続されて、ディジタルアナログ変換回路 71A、71H による黒レベル用原基準電圧 VRT、白レベル用原基準電圧 VRB に接続される。

【0050】

30

これにより図 5 に示すように、これら原基準電圧 VRT、VB ~ VG、VRB のうち、黒レベル用原基準電圧 VRT、白レベル用原基準電圧 VRB を除く原基準電圧 VB ~ VG においては、それぞれ直列接続されてなる分圧回路 72B ~ 72G から出力される候補電圧の範囲でしか電圧を可変することが困難に設定され、これにより図 5 との対比により図 6 に示すように、PDA41 は、ノイズの混入により原基準電圧設定データ DV が誤って設定された場合にあっては、極端なガンマ特性による駆動信号の出力を防止でき、ノイズによる著しい画質劣化を防止できるようになされている。

【0051】

またこのようにそれぞれ直列接続されてなる分圧回路 72B ~ 72G の両端が、第 1 及び第 2 の原基準電圧である原基準電圧 VRT、VRB に接続されることにより、ダイナミックレンジ調整、黒レベル調整により、色間の発光特性のばらつき、製品間の発光特性のばらつきを補正するために、これら原基準電圧 VRT、VRB を可変した場合には、図 5 との対比により図 7 に示すように、直列接続されてなる分圧回路 72B ~ 72G による抵抗分圧比により、これら原基準電圧 VRT、VRB の変化に追従して原基準電圧 VB ~ VG も変化することになり、これによりこれらの原基準電圧 VB ~ VG については、改めて設定し直す処理を省略することができ、これによりこれら残りのディジタルアナログ変換回路に係る計算処理を省略して調整作業を簡略化することができるようになされている。

40

【0052】

原基準電圧生成回路 70 は、これらディジタルアナログ変換回路 71B ~ 71G から出力される原基準電圧 VB ~ VG を増幅回路 76B ~ 76G を介して、黒レベル用原基準電

50

圧 V R T、白レベル用原基準電圧 V R B と共に基準電圧生成回路 6 9 に出力する。

【 0 0 5 3 】

デコーダ 7 5 は、コントローラ 4 7 から出力されるシリアルデータによる原基準電圧設定データ D V を順次取り込み、セクタ 1 7 A ~ 1 7 N における接点の切り換えに対応するタイミングによりデジタルアナログ変換回路 7 1 A ~ 7 1 H に振り分けて出力する。

【 0 0 5 4 】

図 8 は、このようにして実現されるガンマ特性の例を示す特性曲線図である。この実施例においては、これらにより例えば符号 L 1 A により示す特性曲線に対して符号 L 2 A により示すように、原基準電圧設定データ D V の設定によりガンマ特性を可変できるようになされ、これにより所望するガンマ特性により所望する画像を表示できるようになされている。また黒レベル用原基準電圧設定データ D V V R T、白レベル用原基準電圧設定データ D V V R B の設定により黒レベル、白レベルを各色毎に、製品毎に設定し、色毎、製品毎による発光特性のばらつき、発光特性の経時変化に対応できるようになされている。またさらにはライン反転に対応するようにメモリ 5 0 に 2 種類のデータを格納して、又はライン反転に対応する補正データ D 2 の切り換えにより、符号 L 3、符号 L 4 に示す液晶表示パネルに係るガンマ特性についても、実現できるようになされている。

10

【 0 0 5 5 】

このような構成において、水平駆動回路 5 5 は、原基準電圧生成回路 7 0 が基準電圧生成回路 6 9、デジタルアナログ変換回路 1 5 A ~ 1 5 N と一体に集積回路化され、これにより原基準電圧 V R T、V B ~ V G、V R B を原基準電圧生成回路 7 0 から基準電圧生成回路 6 9 に出力する経路に係る増幅回路の個数が従来に比して低減され、その分、信号線 S I G の駆動系における演算増幅回路のオフセット電圧による表示への影響が軽減されるようになされている。

20

【 0 0 5 6 】

またこの信号線 S I G の駆動系に設けられた増幅回路 7 6 A ~ 7 6 H、5 6 A ~ 5 6 N は、入力段が、図 2 2 について上述したいわゆるチョッパ回路方式により形成され、コントローラ 4 7 に設けられたタイミングジェネレータ 5 8 によるタイミング信号により図 1 に示すタイミングによりこのチョッパ方式による設定を切り換える。

【 0 0 5 7 】

すなわち駆動信号を信号線 S I G に出力する増幅回路 5 6 A ~ 5 6 N は、垂直同期信号 V s y n c (図 1 (A)) 及び水平同期信号 H s y n c (図 1 (B)) を基準にしたタイミングジェネレータ 5 8 の制御により、ラインを単位にして設定を切り換える。具体的にこの実施例では、ライン毎に設定を切り換え、これにより表示画面における空間的な積分効果により連続するライン間でオフセット電圧による影響を打ち消すようになされている (図 1 (C)) 。またこれら増幅回路 5 6 A ~ 5 6 N は、各ラインについても、フレームを単位にして設定を切り換える。具体的にこの実施例ではフレーム毎に設定を切り換え、これにより表示画面上における時間軸方向についても、積分効果を確保してオフセット電圧による影響を打ち消すようになされている。

30

【 0 0 5 8 】

また原基準電圧 V R T、V B ~ V G、V R B をそれぞれ出力する増幅回路 7 6 A ~ 7 6 H においては、同様に、ラインを単位にしてライン毎に設定を切り換え、これにより表示画面における空間的な積分効果により連続するライン間でオフセット電圧による影響を打ち消すようになされている (図 1 (D)) 。またこれら増幅回路 7 6 A ~ 7 6 H は、各ラインについても、フレームを単位にしてフレーム毎に設定を切り換え、これにより表示画面上における時間軸方向についても、積分効果を確保してオフセット電圧による影響を打ち消すようになされている。

40

【 0 0 5 9 】

すなわち図 9 に示すように、符号 L 4 により示す原基準電圧設定データ D V によるガンマ特性に対して、符号 L 5、L 6 に示すように、増幅回路 7 6 A ~ 7 6 H のオフセット電圧により原基準電圧 V R T、V B ~ V G、V R B がオフセットしてガンマ特性が変化して

50

いる場合であっても、増幅回路 76A ~ 76H におけるこのような設定の切り換えにより、図 9 との対比により図 10 に示すように、原基準電圧 V_{RT} 、 $V_B \sim V_G$ 、 V_{RB} のオフセットにあつては、符号 L4 により示すガンマ特性に対して、オフセットの方向を逆転させることができ、これによりオフセット電圧による影響を打ち消すことができる。

【0060】

これにより図 21 との対比により図 11 に示すように、この実施例では、ガンマ特性の調整可能範囲を十分に確保して簡易かつ確実に調整できるようになされている。

【0061】

(2) 実施例の動作

以上の構成において、この PDA41 では (図 2)、表示に供する画像データ $D_R \sim D_B$ が装置本体 42 からコントローラ 47 に入力され、ここでメモリ 60 を介して、ライン単位で同一色に係る画像データが連続してなるように時分割多重化処理され、その処理結果である画像データ D_1 が水平駆動回路 55 に入力される。この水平駆動回路 55 において、画像データ D_1 は、シフトレジスタ 13 に取り込まれ、ライン単位で、同一色に係る画像データが同時並列的にデジタルアナログ変換回路 15A ~ 15N に入力される。またこのデジタルアナログ変換回路 15A ~ 15N におけるデジタルアナログ変換処理により、駆動信号に変換され、この駆動信号がそれぞれ増幅回路 56A ~ 56N を介してセクタ 17A ~ 17N に入力される。これにより画像データ D_1 は、表示部 44 において赤色、緑色、青色の順序により水平方向に順次循環的に繰り返されてなる有機 EL 素子による画素に対して、これら赤色、緑色、青色の画素による組み合わせに振り分けられた後、駆動信号に変換され、この駆動信号がセクタ 17A ~ 17N により赤色、緑色、青色の画素に係る信号線 SIG に振り分けられ、これにより PDA41 では、画像データ $D_R \sim D_B$ により各画素の階調が設定されて所望の画像が表示される。

【0062】

また原基準電圧生成回路 70 において (図 4)、複数の原基準電圧 V_{RT} 、 $V_B \sim V_G$ 、 V_{RB} が生成され、所定個数の抵抗を直列接続して形成された複数の分圧回路 $R_1 \sim R_7$ を、さらに直列接続してなる抵抗直列回路による基準電圧生成回路 69 において、これら原基準電圧 V_{RT} 、 $V_B \sim V_G$ 、 V_{RB} を分圧して基準電圧 $V_1 \sim V_{64}$ が形成され、デジタルアナログ変換回路 15A ~ 15N において、この基準電圧 $V_1 \sim V_{64}$ の選択により画像データ D_1 がデジタルアナログ変換処理されて駆動信号が生成され、これにより原基準電圧 V_{RT} 、 $V_B \sim V_G$ 、 V_{RB} により設定される折れ線近似によるガンマ特性により駆動信号が生成されて画像が表示される。

【0063】

しかして有機 EL 素子においては、ガンマ特性自体はばらつかないものの、色毎、製品毎に発光特性が異なり、さらには経時変化により発光特性が変化する。これに対して PDA41 では、黒レベル用原基準電圧 V_{RT} 、白レベル用原基準電圧 V_{RB} を分圧回路 32B ~ 32G により分圧して原基準電圧 $V_B \sim V_G$ が生成され、これらの原基準電圧 V_{RT} 、 $V_B \sim V_G$ 、 V_{RB} を分圧回路 $R_1 \sim R_7$ により分圧して基準電圧 $V_1 \sim V_{64}$ が生成される。これによりこのように画像データ $D_R \sim D_B$ をデジタルアナログ変換処理して駆動信号を生成するようにして、黒レベル用原基準電圧 V_{RT} 、白レベル用原基準電圧 V_{RB} を各色毎、製品毎に設定し、経時変化に対応するように補正することが必要になる。

【0064】

このため PDA41 では、各色毎に、製品毎に、発光特性が測定され、この測定結果より所望の発光特性を確保可能に、原基準電圧 V_{RT} 、 $V_B \sim V_G$ 、 V_{RB} の設定を指示する原基準電圧設定データ DV がメモリ 50 に記録されて保持される。また発光特性の経時変化を補正する補正データ D2 がメモリ 45 に記録される。PDA41 では、原基準電圧設定回路 63 において、この原基準電圧設定データ DV が補正データ D2 により補正された後、画像データ D_1 の時分割多重化に対応して、順次、水平駆動回路 55 に入力される。

【0065】

水平駆動回路 55 においては、この原基準電圧設定データ D V がデコーダ 75 により原基準電圧 V R T、V B ~ V G、V R B の各系統に分割され、これらの原基準電圧設定データ D V がディジタルアナログ変換回路 71 A ~ 71 H によりディジタルアナログ変換処理されて原基準電圧 V R T、V B ~ V G、V R B が生成される。

【0066】

これによりこの実施例においては、この原基準電圧設定データ D V の設定により、種々の発光特性に対応することができ、これにより種々の表示パネルに簡易かつ迅速に対応することができる。すなわち単にデータの変更でダイナミックレンジ調整、黒レベル調整し、さらにはガンマ特性を変更できることにより、従来に比して大幅に開発期間を短縮し、さらには開発に要する手間も低減することができる。

10

【0067】

またこれにより色毎、製品毎の発光特性のばらつき、経時変化による発光特性の変化についても、柔軟に対応することができ、このような特性のばらつき、経時変化によるホワイトバランスのずれ、色再現性の劣化を有効に回避して高品質の表示画像を提供することができる。

【0068】

このようにして原基準電圧設定データ D V により原基準電圧 V R T、V B ~ V G、V R B を設定して種々の発光特性に対応できるようにして、この P D A 41 では、演算増幅回路による増幅回路 76 A ~ 76 H を介して、これら原基準電圧 V R T、V B ~ V G、V R B が基準電圧生成回路 69 の抵抗直列回路 26 に入力される。また同様の増幅回路 56 A ~ 56 N を介して各駆動信号がセクタ 17 A ~ 17 N に入力され、各信号線 S I G に出力される。これによりこのようにして信号線 S I G に出力される駆動信号においては、増幅回路 76 A ~ 76 H、56 A ~ 56 N によるオフセット電圧の分、原基準電圧設定データ D V による特性より変化して各画素に入力される。

20

【0069】

この実施例では、これら増幅回路 76 A ~ 76 H、56 A ~ 56 N がチョッパ回路方式による演算増幅回路が適用されて、ラインを単位にして、ライン毎に入力端の設定を反転入力、非反転入力で切り換えると共に、入力信号の入力端、入力段における出力信号の出力が切り換えられ、これにより表示画面における空間的な積分効果によりオフセット電圧の影響がキャンセルされる。また各ラインにおいては、フレームを単位にして、フレーム毎に、増幅回路 76 A ~ 76 H、56 A ~ 56 N の設定が切り換えられ、これにより表示画面における時間軸方向の積分効果を利用して、オフセット電圧の影響がキャンセルされる。

30

【0070】

これらによりこの実施例では、原基準電圧設定データ D V により、所望する特性を精度良く確保することができ、これにより簡易な調整作業により所望する特性を確実に確保することができる。また調整可能な範囲の減少をも低減することができ、これによっても簡易な調整作業により所望する特性を確実に確保することができる。

【0071】

このようにして原基準電圧設定データ D V により原基準電圧 V R T、V B ~ V G、V R B を設定して発光特性を種々に補正できるようにして、この P D A 41 では、両端に係るディジタルアナログ変換回路 71 A、71 H では、基準電圧生成用電圧 V C O M を分圧回路 72 A、72 H により分圧してそれぞれ原基準電圧 V R T、V R B の候補電圧が複数生成され、この複数の候補電圧が原基準電圧設定データ D V により選択されて、原基準電圧 V R T、V R B が生成される。これによりこれら原基準電圧 V R T、V R B にあつては、基準電圧生成用電圧 V C O M とアース電位との間で、種々に電圧を設定することができる。

40

【0072】

これに対して残る原基準電圧 V B ~ V G に係るディジタルアナログ変換回路 71 B ~ 71 G においては、分圧回路 72 B ~ 72 G が直列に接続されて両端が原基準電圧 V R T、

50

V R Bに接続された状態で、それぞれ分圧回路7 2 B ~ 7 2 Gにより分圧して原基準電圧V B ~ V Gの候補電圧が複数生成され、この複数の候補電圧が原基準電圧設定データD Vにより選択されて、原基準電圧V B ~ V Gが生成される。

【0 0 7 3】

これにより原基準電圧V B ~ V Gにおいては、それぞれ直列接続されてなる分圧回路7 2 B ~ 7 2 Gから出力される候補電圧の範囲でしか電圧が変化しないように保持され、これによりP D A 4 1においては、ノイズの混入により原基準電圧設定データD Vが誤って設定された場合にあっては、極端なガンマ特性による駆動信号の出力を防止でき、ノイズによる著しい画質劣化を防止することができるようになされている。

【0 0 7 4】

またこのようにそれぞれ直列接続されてなる分圧回路7 2 B ~ 7 2 Gの両端が、原基準電圧V R T、V R Bに接続されることにより、ダイナミックレンジ調整、黒レベル調整により、これら原基準電圧V R T、V R Bを可変した場合には、直列接続されてなる分圧回路7 2 B ~ 7 2 Gによる抵抗分圧比により、これら原基準電圧V R T、V R Bの変化に追従して原基準電圧V B ~ V Gも変化することになる。これによりこれらの原基準電圧V B ~ V Gについては、ダイナミックレンジ調整、黒レベル調整において、改めて残りの原基準電圧V B ~ V Gを設定し直す処理を省略することができ、これによりP D A 4 1では、これら残りの原基準電圧V B ~ V Gに係る計算処理を省略して調整作業を簡略化することができるようになされている。

【0 0 7 5】

またこのように原基準電圧設定データD Vにより原基準電圧V R T、V B ~ V G、V R Bを設定するようにして、画像データD 1の伝送に係る時分割多重化の処理に対応して、原基準電圧設定データD Vを切り換えることにより、1系統の原基準電圧生成回路を各色の画像データの処理に共用化することができ、これにより全体構成を簡略化することができるようになされている。

【0 0 7 6】

またこれによりP D A 4 1では、結局、1ラインで3回、原基準電圧設定データD Vを切り換えることになる。これにより例えばノイズの混入により誤ってガンマ特性を設定した場合でも、このノイズの影響によるガンマの誤設定を1ラインに止めることができ、これによってもノイズによる画質劣化を低減するようになされている。

【0 0 7 7】

しかしてP D A 4 1では、このように原基準電圧設定データD Vにより原基準電圧V R T、V B ~ V G、V R Bを設定するようにして、この原基準電圧V R T、V B ~ V G、V R Bを生成する原基準電圧生成回路を基準電圧生成回路側に設け、一体に集積回路化することにより、原基準電圧生成回路7 0においては、原基準電圧V R T、V B ~ V G、V R Bの出力に供する増幅回路を省略することができる。これによりその分、構成を簡略化して消費電力を低減することができる。またこの増幅回路が不要となったことで、その分、演算増幅回路によるオフセット電圧の影響を軽減することができ、その分基準電圧生成回路に入力する原基準電圧V R T、V B ~ V G、V R Bの精度を向上することができ、これによりガンマ設定の精度を向上し、生産性を向上することができる。

【0 0 7 8】

(3) 実施例の効果

以上の構成によれば、信号線の駆動系に係る増幅回路をチョッパ回路方式による演算増幅回路に構成して、ライン、フレームを単位にして設定を切り換えて空間的、時間的な積分効果によりオフセット電圧による影響を除去することにより、種々の発光特性に対応できるようにして、簡易な調整作業により所望するガンマ特性を確実に確保することができる。

【実施例2】

【0 0 7 9】

図1 2は、図1との対比により、実施例2に係る増幅回路5 6 A ~ 5 6 N、7 6 A ~ 7

10

20

30

40

50

6 H の設定の切り換えを示すタイムチャートである。この実機例に係る P D A においては、これら増幅回路 5 6 A ~ 5 6 N、7 6 A ~ 7 6 H に係る構成が異なる点を除いて、上述した実施例 1 に係る P D A 4 1 と同一に構成される。

【 0 0 8 0 】

この実施例において、増幅回路 5 6 A ~ 5 6 N は、垂直同期信号 V s y n c (図 1 2 (A)) 及び水平同期信号 H s y n c (図 1 2 (B)) を基準にしたタイミングジェネレータ 5 8 の制御により、ライン毎に設定を切り換え、これにより表示画面における空間的な積分効果により連続するライン間でオフセット電圧による影響を打ち消すようになされている (図 1 2 (C)) 。またこれら増幅回路 5 6 A ~ 5 6 N は、各ラインについても、フレーム毎に設定を切り換え、これにより表示画面上における時間軸方向についても、積分効果を確保してオフセット電圧による影響を打ち消すようになされている。

10

【 0 0 8 1 】

これに対して増幅回路 7 6 A ~ 7 6 H においては、2 ライン毎に設定を切り換え、これにより表示画面における空間的な積分効果によりオフセット電圧による影響を打ち消すようになされている (図 1 2 (D)) 。またこれら増幅回路 7 6 A ~ 7 6 H は、各ラインについても、フレーム毎に設定を切り換え、これにより表示画面上における時間軸方向についても、積分効果を確保してオフセット電圧による影響を打ち消すようになされている。

【 0 0 8 2 】

この実施例のように、原基準電圧の出力に係る増幅回路における設定の切り換えを 2 ライン毎に実行するようにしても、実施例 1 と同様の効果を得ることができる。

20

【 実施例 3 】

【 0 0 8 3 】

図 1 3 は、図 1 との対比により、実施例 3 に係る増幅回路 5 6 A ~ 5 6 N、7 6 A ~ 7 6 H の設定の切り換えを示すタイムチャートである。この実機例に係る P D A においては、これら増幅回路 5 6 A ~ 5 6 N、7 6 A ~ 7 6 H に係る構成が異なる点を除いて、上述した実施例 1 に係る P D A 4 1 と同一に構成される。

【 0 0 8 4 】

この実施例において、増幅回路 5 6 A ~ 5 6 N は、垂直同期信号 V s y n c (図 1 3 (A)) 及び水平同期信号 H s y n c (図 1 3 (B)) を基準にしたタイミングジェネレータ 5 8 の制御により、ライン毎に設定を切り換え、これにより表示画面における空間的な積分効果によりオフセット電圧による影響を打ち消すようになされている (図 1 3 (C)) 。またこれら増幅回路 5 6 A ~ 5 6 N は、各ラインについても、フレーム毎に設定を切り換えるようにし、これにより表示画面上における時間軸方向についても、積分効果を確保してオフセット電圧による影響を打ち消すようになされている。

30

【 0 0 8 5 】

これに対して増幅回路 7 6 A ~ 7 6 H においては、4 ライン毎に設定を切り換え、これにより表示画面における空間的な積分効果によりオフセット電圧による影響を打ち消すようになされている (図 1 3 (D)) 。またこれら増幅回路 7 6 A ~ 7 6 H は、各ラインについても、フレーム毎に設定を切り換え、これにより表示画面上における時間軸方向についても、積分効果を確保してオフセット電圧による影響を打ち消すようになされている。

40

【 0 0 8 6 】

この実施例のように、原基準電圧の出力に係る増幅回路における設定の切り換えを 4 ライン毎に実行するようにしても、実施例 1 と同様の効果を得ることができる。

【 実施例 4 】

【 0 0 8 7 】

なお上述の実施例においては、駆動信号及び原基準電圧の双方の増幅回路にチョッパ回路方式を適用して、ライン単位及びフレーム単位で駆動する場合について述べたが、本発明はこれに限らず、一方はライン単位又はフレーム単位だけで設定を切り換えるようにしてもよく、さらには一方はチョッパ回路方式の適用を省略するようにしてもよい。

【 0 0 8 8 】

50

また上述の実施例においては、入力段で出力信号の出力を切り換えてチョッパ方式による増幅回路を構成する場合について述べたが、本発明はこれに限らず、たとえば出力段で出力信号の出力を切り換えてチョッパ方式による増幅回路を構成する場合等にも広く適用することができる。

【0089】

また上述の実施例においては、ディジタルアナログ変換回路による原基準電圧を生成する場合について述べたが、本発明はこれに限らず、例えば図17について上述したような配線パターンの設定により原基準電圧を生成する場合等にも広く適用することができる。

【0090】

また上述の実施例においては、本発明をPDAに適用する場合について述べたが、本発明はこれに限らず、種々の映像機器に広く適用することができる。

【産業上の利用可能性】

【0091】

本発明は、フラットディスプレイ装置の駆動回路及びフラットディスプレイ装置に関し、例えば有機EL素子による表示装置に適用することができる。

【図面の簡単な説明】

【0092】

【図1】本発明の実施例に係るPDAの増幅回路の設定の切り換えを示すタイムチャートである。

【図2】本発明の実施例に係るPDAを示すブロック図である。

【図3】図2のPDAにおける原基準電圧設定回路を示すブロック図である。

【図4】図2のPDAにおける原基準電圧生成回路及び基準電圧生成回路を示すブロック図である。

【図5】図2のPDAにおけるガンマ特性の説明に供する特性曲線図である。

【図6】図2のPDAにおけるノイズの影響の説明に供する特性曲線図である。

【図7】図2のPDAにおけるダイナミックレンジ調整の説明に供する特性曲線図である。

【図8】図2のPDAにおけるガンマ特性の設定例を示す特性曲線図である。

【図9】増幅回路のオフセット電圧によるガンマ特性の変化の説明に供する特性曲線図である。

【図10】増幅回路のオフセット電圧による影響のキャンセルの説明に供する特性曲線図である。

【図11】増幅回路のオフセット電圧による影響のキャンセルによるガンマ補正を示す特性曲線図である。

【図12】本発明の実施例2に係るPDAの増幅回路の設定の切り換えを示すタイムチャートである。

【図13】本発明の実施例3に係るPDAの増幅回路の設定の切り換えを示すタイムチャートである。

【図14】従来の液晶表示装置を示すブロック図である。

【図15】図13の液晶表示装置における水平駆動回路を周辺構成と共に示すブロック図である。

【図16】図14の説明に供するタイムチャートである。

【図17】図14の水平駆動回路及びコントローラにおける原基準電圧生成回路及び基準電圧生成回路を示すブロック図である。

【図18】図13の液晶表示装置におけるガンマ特性の説明に供する特性曲線図である。

【図19】ディジタルアナログ変換回路による原基準電圧生成回路の例を示すブロック図である。

【図20】差動増幅回路の入力段の構成を示す接続図である。

【図21】オフセット電圧による調整可能範囲の変化の説明に供する特性曲線図である。

【図22】チョッパ回路方式による説明に供する接続図である。

【図 2 3】図 2 2 の接続による設定の切り換えを示す接続図である。

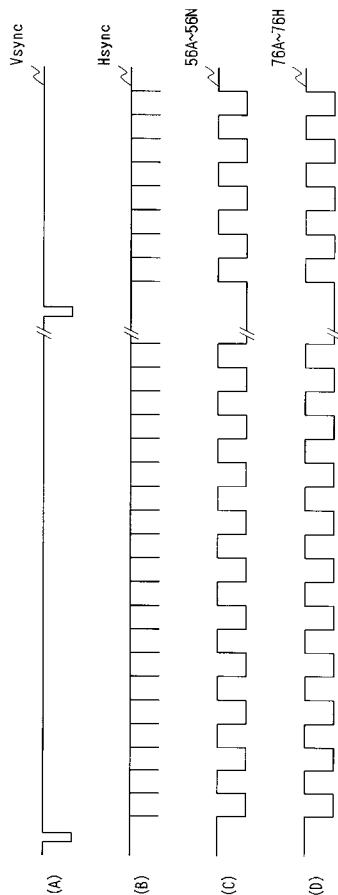
【符号の説明】

【 0 0 9 3 】

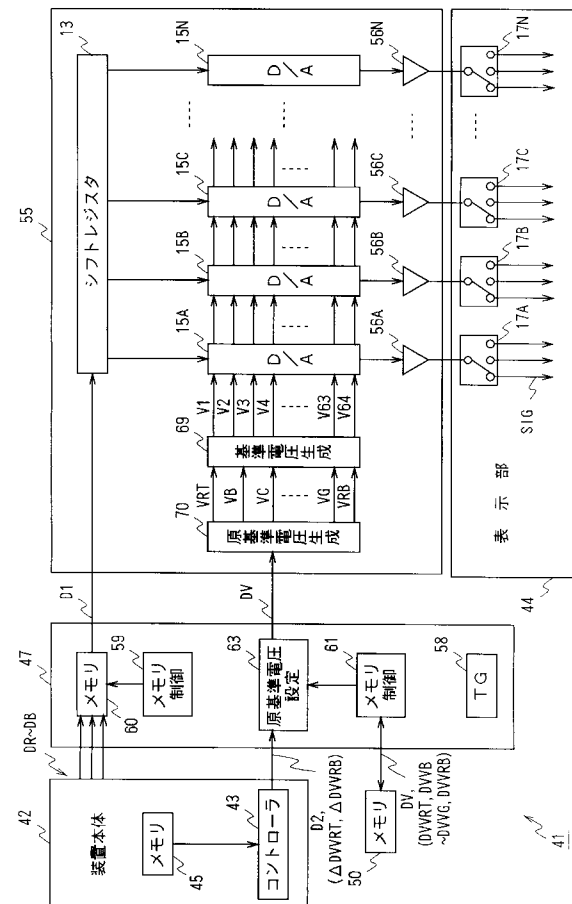
1 ... 液晶表示装置、2、44 ... 表示部、3R、3G、3B ... 画素、4、55 ... 水平駆動回路、6、42 ... 装置本体、7、43、47 ... コントローラ、9、59、61 ... メモリ制御回路、10、45、50、60 ... メモリ、12、30、70 ... 原基準電圧生成回路、13 ... シフトレジスタ、14、69 ... 基準電圧生成回路、15A ~ 15N、31A ~ 31H、71A ~ 71H ... デジタルアナログ変換回路、16A ~ 16N、24A ~ 24H、27A ~ 27H、56A ~ 56N、76A ~ 76H ... 増幅回路、17A ~ 17N、73A ~ 73H ... セレクタ、21、72A ~ 72H、R1 ~ R7 ... 分圧回路、26 ... 抵抗直列回路、63 ... 原基準電圧設定回路、75 ... デコーダ

10

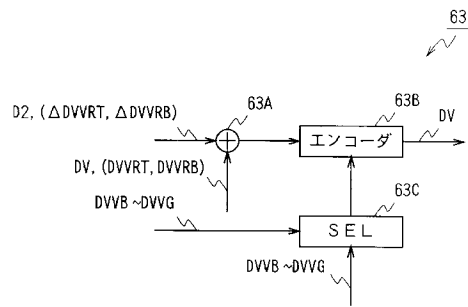
【図 1】



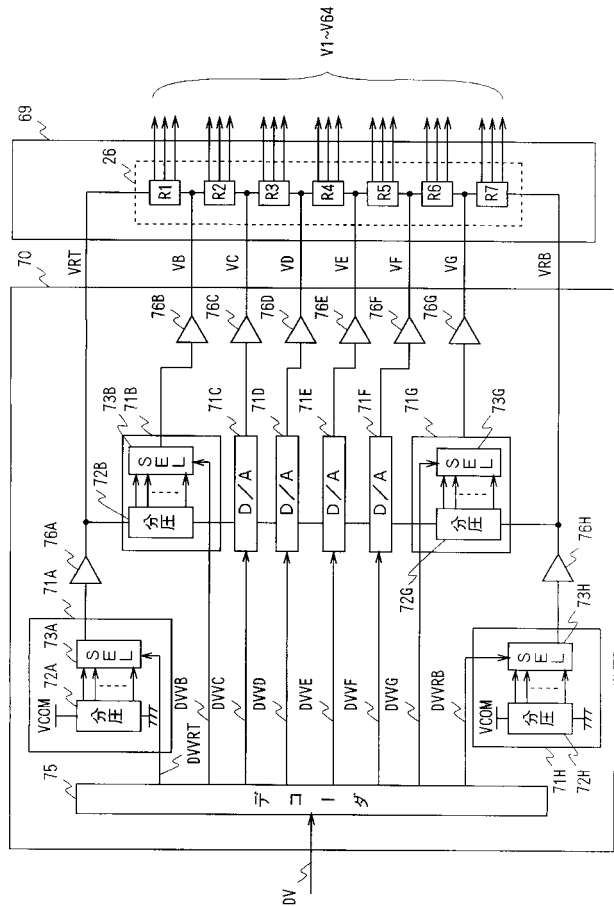
【図 2】



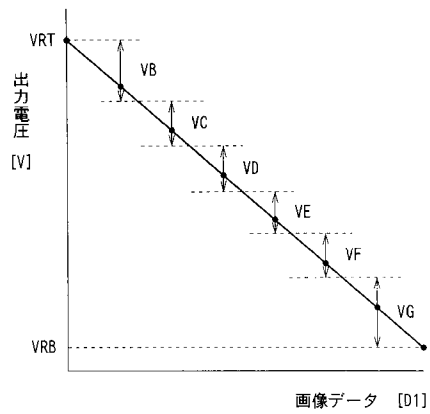
【図 3】



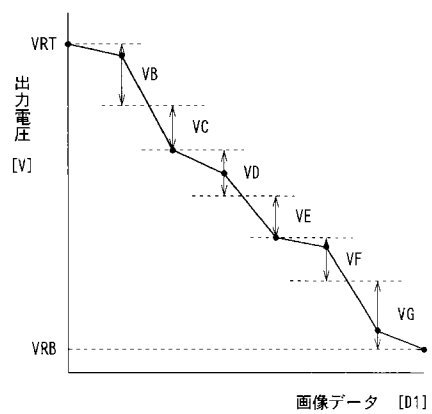
【図 4】



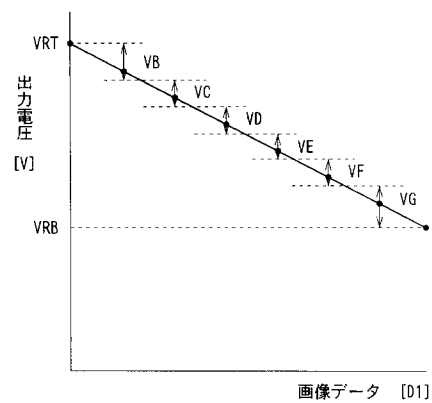
【図 5】



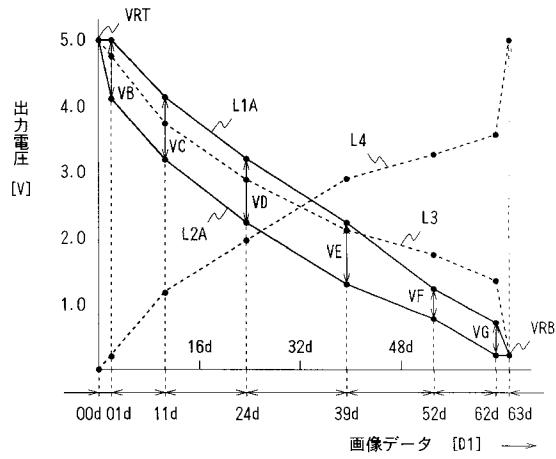
【図 6】



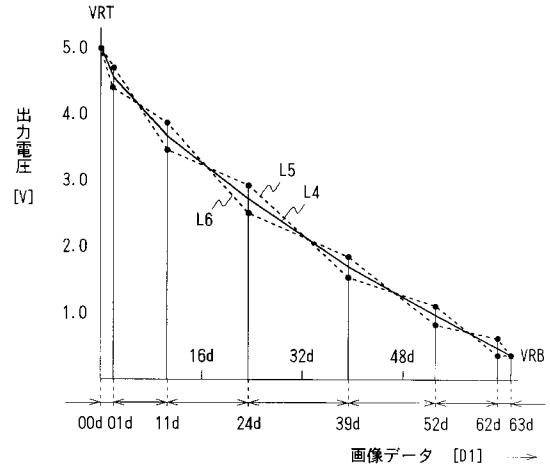
【図 7】



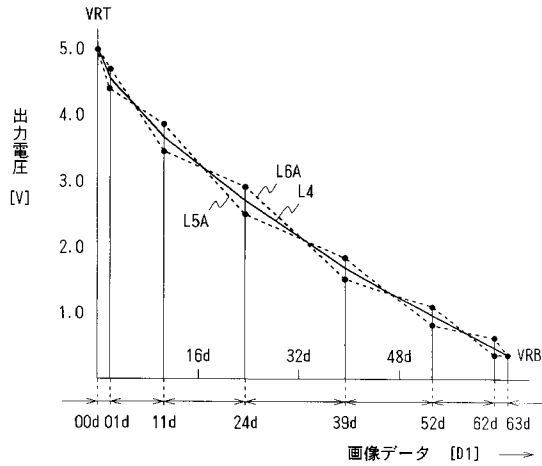
【図 8】



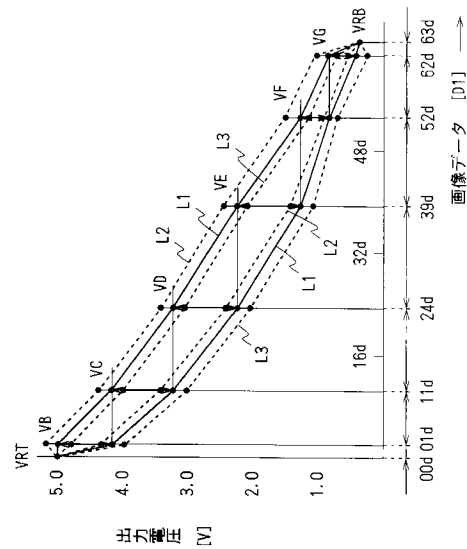
【図 9】



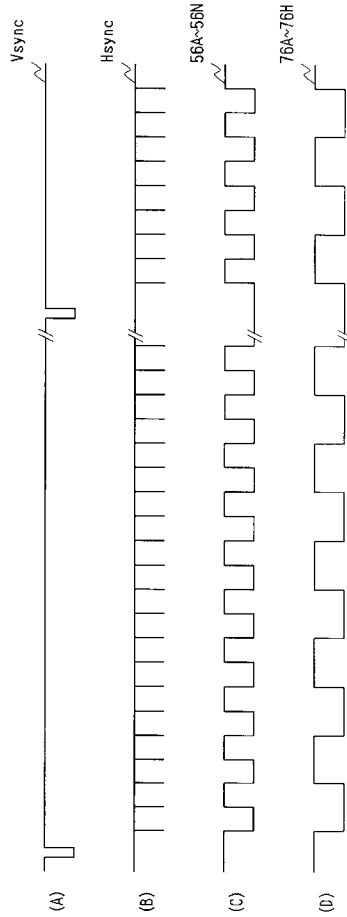
【図 10】



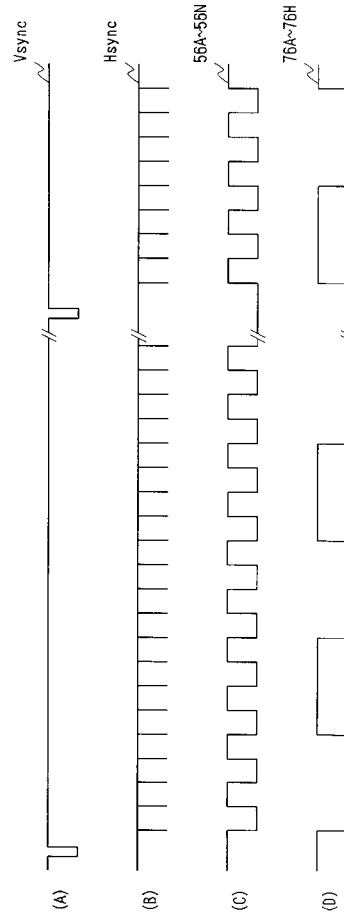
【図 11】



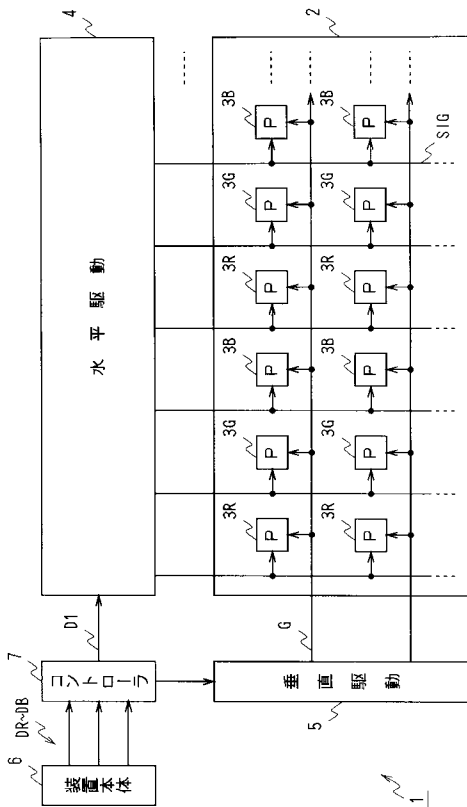
【図 1 2】



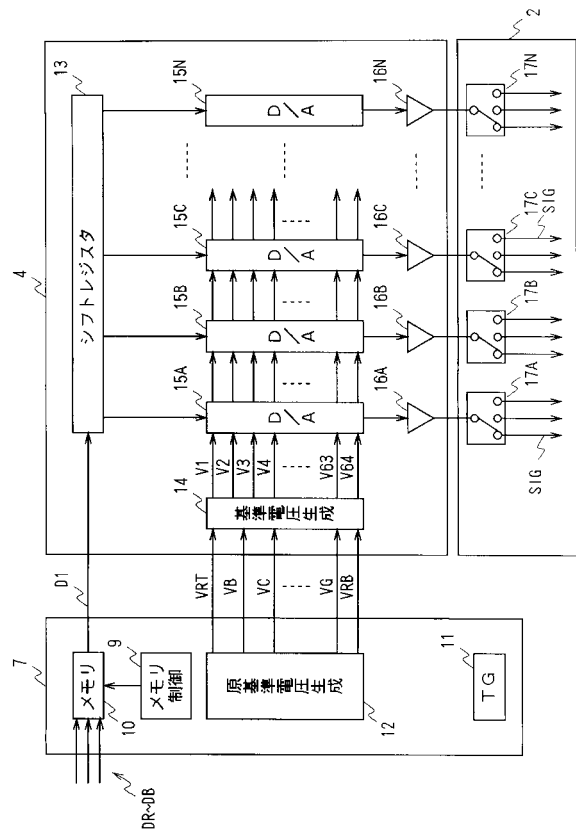
【図 1 3】



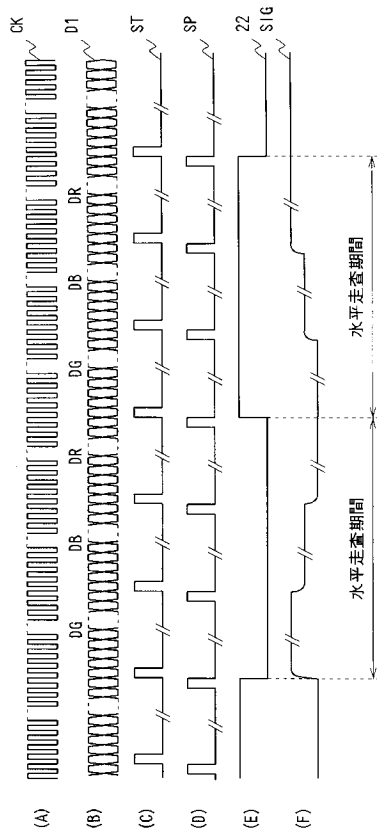
【図 1 4】



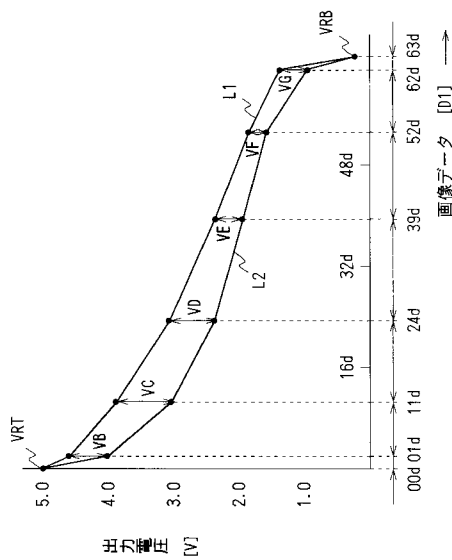
【図 1 5】



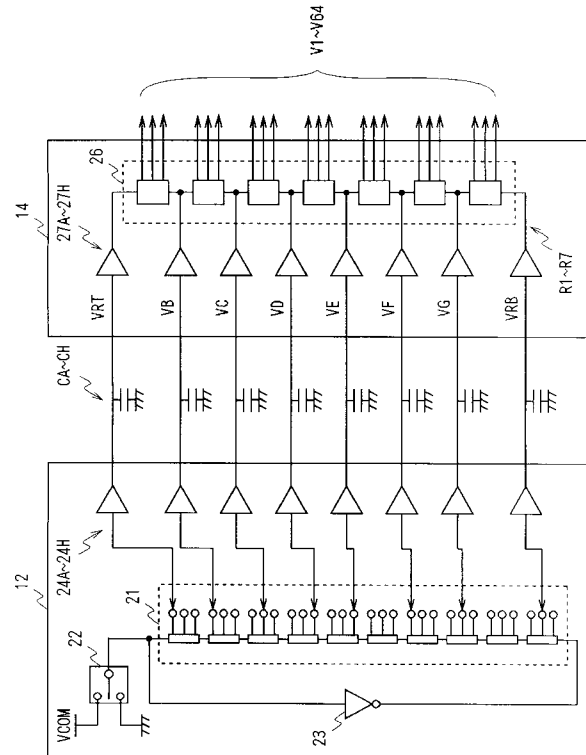
【図 16】



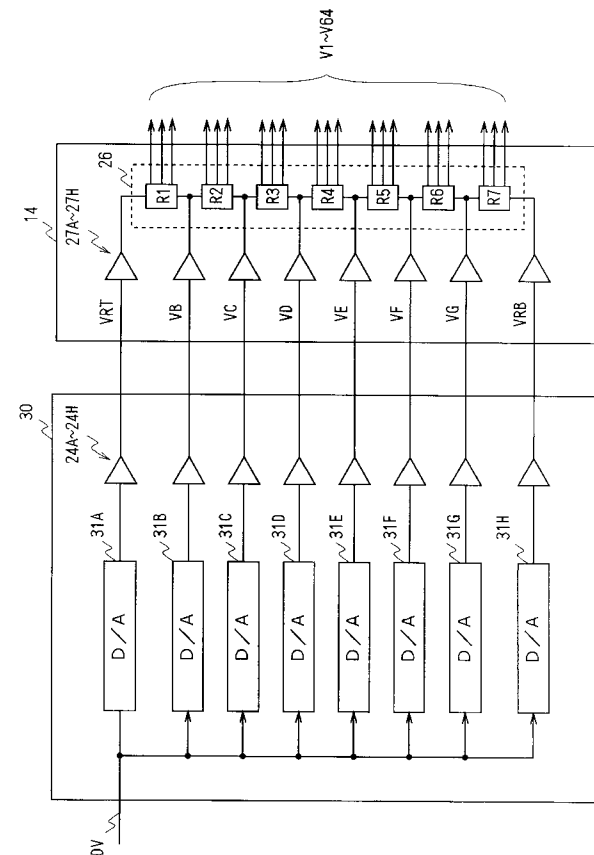
【図 18】



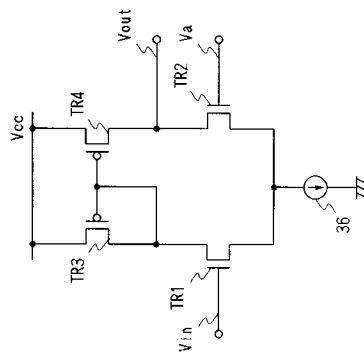
【図 17】



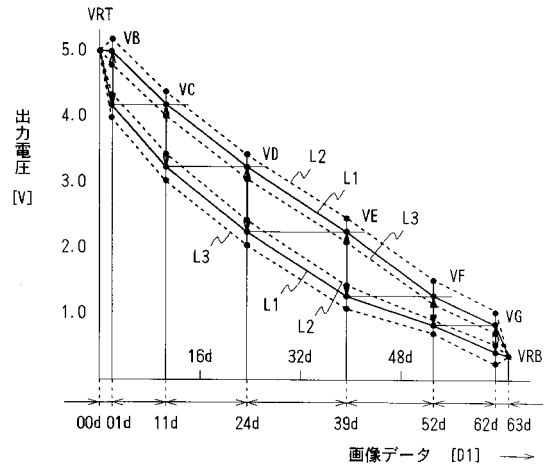
【図 19】



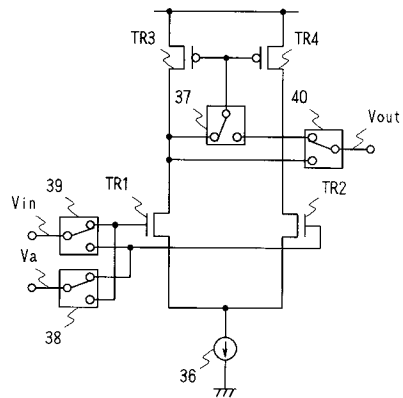
【図 20】



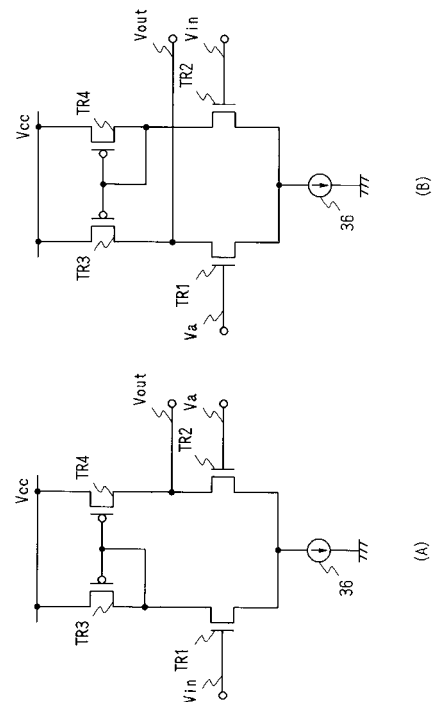
【図 21】



【図 22】



【図 23】



フロントページの続き(51) Int.Cl.⁷

F I

テーマコード (参考)

G 0 9 G	3/20	6 2 1 L
G 0 9 G	3/20	6 2 3 B
G 0 9 G	3/20	6 2 3 F
G 0 9 G	3/20	6 2 3 R
G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/20	6 4 2 J
G 0 9 G	3/20	6 7 0 J
H 0 5 B	33/14	A

专利名称(译)	用于平板显示装置的驱动电路和平板显示装置		
公开(公告)号	JP2005316188A	公开(公告)日	2005-11-10
申请号	JP2004134597	申请日	2004-04-28
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	山田康雄		
发明人	山田 康雄		
IPC分类号	H01L51/50 G09G3/20 G09G3/30 H05B33/14		
FI分类号	G09G3/30.J G09G3/30.K G09G3/20.611.H G09G3/20.612.F G09G3/20.612.R G09G3/20.621.L G09G3/20.623.B G09G3/20.623.F G09G3/20.623.R G09G3/20.642.A G09G3/20.642.J G09G3/20.670.J H05B33/14.A G09G3/3225 G09G3/3275 G09G3/3291		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/EE30 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC45 3K107/EE03 3K107/HH04 5C380/AA01 5C380/AB06 5C380/AB34 5C380/AB36 5C380/AC12 5C380/BA08 5C380/BA21 5C380/BA22 5C380/BA28 5C380/BA36 5C380/BB09 5C380/BB12 5C380/BB14 5C380/BD01 5C380/BD08 5C380/CA04 5C380/CA12 5C380/CA31 5C380/CA32 5C380/CC09 5C380/CE04 5C380/CE07 5C380/CE19 5C380/CF01 5C380/CF07 5C380/CF21 5C380/CF27 5C380/CF31 5C380/CF48 5C380/CF52 5C380/CF62 5C380/CF64 5C380/CF68 5C380/DA60 5C380/FA05		
外部链接	Espacenet		

摘要(译)

本发明涉及平板显示装置的驱动电路和平板显示装置，并且例如被应用于使用有机EL元件的显示装置，从而可以对发光特性进行各种校正，并且可以通过简单的调节操作来获得期望的特性。为了确保。根据本发明，与信号线的驱动系统有关的放大器电路56A至56N和76A至76H通过斩波电路系统被配置为运算放大器电路，并且以线和帧为单位切换该设置以在空间上操作。，由偏移电压引起的影响被时间积分效应所消除。

[选型图]图1

