

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-284038

(P2005-284038A)

(43) 公開日 平成17年10月13日(2005.10.13)

(51) Int. Cl.⁷

G09G 3/20
G09G 3/30
G09G 3/36
H03M 1/70

F I

G09G 3/20 612F
G09G 3/20 623F
G09G 3/20 641C
G09G 3/20 641Q
G09G 3/20 642J

テーマコード(参考)

5C006
5C080
5J022

審査請求 有 請求項の数 6 O L (全 21 頁) 最終頁に続く

(21) 出願番号 特願2004-99123 (P2004-99123)

(22) 出願日 平成16年3月30日(2004.3.30)

(71) 出願人 000002185

ソニー株式会社
東京都品川区北品川6丁目7番35号

(74) 代理人 100102185

弁理士 多田 繁範

(72) 発明者 山口 正則

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 山田 康雄

東京都品川区北品川6丁目7番35号 ソニー株式会社内

Fターム(参考) 5C006 AA16 AA22 AF42 AF45 AF46
AF51 AF52 AF53 AF61 AF71
AF83 BC03 BC12 BC20 BF03
BF14 BF24 BF43 FA33 FA56

最終頁に続く

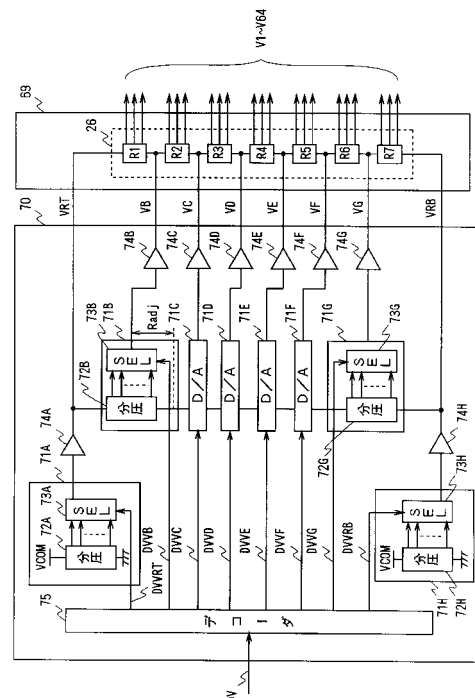
(54) 【発明の名称】 フラットディスプレイ装置の駆動回路及びフラットディスプレイ装置

(57) 【要約】

【課題】 本発明は、フラットディスプレイ装置の駆動回路及びフラットディスプレイ装置に関し、例えば有機EL素子による表示装置に適用して、発光特性を種々に補正できるようにして、ノイズによる著しい画質劣化を有効に回避し、さらには調整作業を簡略化することができるようにする。

【解決手段】 本発明は、分圧回路72A~72Hによる複数の候補電圧を原基準電圧設定データDVに応じて選択して原基準電圧VRT、VB~VG、VRBを生成し、この原基準電圧VRT、VB~VG、VRBからデジタルアナログ変換用の基準電圧V1~V64を生成するようにして、両端の原基準電圧VRT、VRBについては基準電圧生成用電圧VCOMを分圧回路72A、72Hで分圧して原基準電圧VRT、VRBを生成し、残りの原基準電圧VB~VGについては、分圧回路72B~72Gを直列接続して両端の原基準電圧VRT、VRBを基準にして生成する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

画像データをデジタルアナログ変換処理して駆動信号を生成し、前記駆動信号によりマトリックス状に画素を配置してなる表示部の信号線を駆動するフラットディスプレイ装置の駆動回路において、

複数の原基準電圧を生成する原基準電圧生成回路と、

抵抗を複数個直列接続した分圧回路をさらに複数個直列接続して、両端及び前記分圧回路間に前記原基準電圧をそれぞれ入力し、前記複数個の分圧回路による分圧電圧により複数の基準電圧を出力する基準電圧生成回路と、

前記複数の基準電圧を入力して対応する信号線に係る前記画像データに応じて選択出力することにより、前記駆動信号を出力する複数の選択回路と、 10

前記原基準電圧の設定を指示する原基準電圧設定データを入力する入力回路とを備え、前記原基準電圧生成回路は、

原基準電圧生成用の分圧回路により前記原基準電圧の候補電圧を複数生成し、前記原基準電圧設定データに応じて選択出力することにより、前記原基準電圧を生成する複数のデジタルアナログ変換回路を有し、

前記複数のデジタルアナログ変換回路のうちの第 1 のデジタルアナログ変換回路は、

基準電圧生成用電圧を前記原基準電圧生成用の分圧回路により分圧して、前記複数の原基準電圧のうちの第 1 の原基準電圧を出力し、 20

前記複数のデジタルアナログ変換回路のうちの第 2 のデジタルアナログ変換回路は、

前記基準電圧生成用電圧を前記原基準電圧生成用の分圧回路により分圧して、前記複数の原基準電圧のうちの第 2 の原基準電圧を出力し、

前記複数のデジタルアナログ変換回路のうちの残りのデジタルアナログ変換回路は、

前記原基準電圧生成用の分圧回路を直列に接続して、両端に、それぞれ前記第 1 の原基準電圧及び第 2 の原基準電圧を入力する

ことを特徴とするフラットディスプレイ装置の駆動回路。

【請求項 2】

前記原基準電圧生成回路、前記基準電圧生成回路、前記選択回路、前記入力回路を一体に集積回路化してなる

ことを特徴とする請求項 1 に記載のフラットディスプレイ装置の駆動回路。 30

【請求項 3】

ライン単位で、同一色の前記画素に係る画像データが連続するように、前記各色の画素に係る画像データが時分割多重化されて入力され、

前記原基準電圧生成回路は、

前記時分割多重化されて入力される前記画像データに係る色の切り換えに対応して、前記原基準電圧を切り換える

ことを特徴とする請求項 1 に記載のフラットディスプレイ装置の駆動回路。 40

【請求項 4】

画像データによる画像を表示するフラットディスプレイ装置において、

マトリックス状に画素を配置してなる表示部と、

前記表示部の信号線を駆動信号により駆動する水平駆動回路とを有し、

前記水平駆動回路は、

複数の原基準電圧を生成する原基準電圧生成回路と、

抵抗を複数個直列接続した分圧回路をさらに複数個直列接続して、両端及び前記分圧回路間に前記原基準電圧をそれぞれ入力し、前記複数個の分圧回路による分圧電圧により複数の基準電圧を出力する基準電圧生成回路と、

前記複数の基準電圧を入力して対応する信号線に係る前記画像データに応じて選択出力 50

することにより、前記駆動信号を出力する複数の選択回路とを備え、

前記原基準電圧生成回路は、

原基準電圧生成用の分圧回路により前記原基準電圧の候補電圧を複数生成し、原基準電圧設定データに応じて選択出力することにより、前記原基準電圧を生成する複数のデジタルアナログ変換回路を有し、

前記複数のデジタルアナログ変換回路のうちの第1のデジタルアナログ変換回路は

、
基準電圧生成用電圧を前記原基準電圧生成用の分圧回路により分圧して第1の原基準電圧を出力し、

前記複数のデジタルアナログ変換回路のうちの第2のデジタルアナログ変換回路は

、
前記基準電圧生成用電圧を前記原基準電圧生成用の分圧回路により分圧して第2の原基準電圧を出力し、

前記複数のデジタルアナログ変換回路のうちの残りのデジタルアナログ変換回路は

、
前記原基準電圧生成用の分圧回路を直列に接続して、両端に、それぞれ前記第1の原基準電圧及び第2の原基準電圧を入力する

ことを特徴とするフラットディスプレイ装置。

【請求項5】

ライン単位で、同一色の前記画素に係る画像データが連続するように、前記各色の画素に係る画像データを時分割多重化して前記水平駆動回路に入力する時分割多重化回路と、

前記時分割多重化した画像データに係る色の切り換えに対応して、前記原基準電圧設定データを切り換えるデータ切り換え回路とを有し、

前記水平駆動回路は、

前記画像データに係る色の切り換えに対応して、前記駆動信号の出力を切り換える選択回路を有する

ことを特徴とする請求項4に記載のフラットディスプレイ装置。

【請求項6】

前記データ切り換え回路は、

前記表示部の経時変化を補正する補正データにより補正して前記原基準電圧設定データを生成する

ことを特徴とする請求項6に記載のフラットディスプレイ装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、フラットディスプレイ装置の駆動回路及びフラットディスプレイ装置に関し、例えば有機EL(Electro Luminescence)素子による表示装置に適用することができる。本発明は、分圧回路による複数の候補電圧を原基準電圧設定データに応じて選択して原基準電圧を生成し、この原基準電圧からデジタルアナログ変換用の基準電圧を生成するようにして、両端の原基準電圧については、基準電圧生成用電圧を分圧回路で分圧して生成し、残りの原基準電圧については、分圧回路を直列接続して両端の原基準電圧を基準にして生成することにより、発光特性を種々に補正できるようにして、ノイズによる著しい画質劣化を有効に回避し、さらには調整作業を簡略化することができるようにする。

【背景技術】

【0002】

従来、フラットディスプレイ装置の1つである液晶表示装置においては、例えば特開平10-333648号公報に開示されているように、デジタルアナログ変換処理に供する基準電圧の設定によりガンマの特性を切り換えるようになされている。

【0003】

10

20

30

40

50

すなわち図 8 に示すように、液晶表示装置 1 は、液晶セル、液晶セルのスイッチング素子、保持容量により各画素 (P) 3 R、3 G、3 B が形成され、これら各画素 3 R、3 G、3 B をマトリックス状に配置して表示部 2 が形成される。液晶表示装置 1 は、この表示部 2 の各画素 3 R、3 G、3 B がそれぞれ信号線 (列線) S I G 及びゲート線 (行線) G を介して水平駆動回路 4 及び垂直駆動回路 5 に接続され、垂直駆動回路 5 により順次画素 3 R、3 G、3 B を選択して水平駆動回路 4 からの駆動信号により各画素 3 R、3 G、3 B の階調を設定し、これにより所望の画像を表示するようになされている。またそれぞれ赤色、緑色及び青色のカラーフィルタを設けてなる画素 3 R、3 G、3 B を順次循環的に配置することにより、カラー画像を表示できるようになされている。

【 0 0 0 4 】

このため液晶表示装置 1 は、装置本体 6 から表示に供する赤色、緑色、青色の画像データ D R、D G、D B を同時並列的にコントローラ 7 に入力し、この画像データ D R、D G、D B に同期したタイミング信号により垂直駆動回路 5 で表示部 2 のゲート線 G を駆動する。また水平駆動回路 4 における信号線 S I G の駆動に対応するように、これら画像データ D R、D G、D B を時分割多重化して 1 系統の画像データ D 1 を生成し、この画像データ D 1 により水平駆動回路 4 で信号線 S I G を駆動する。

【 0 0 0 5 】

図 9 は、この水平駆動回路 4 及びコントローラ 7 を関連する構成と共に詳細に示すブロック図である。コントローラ 7 は、メモリ制御回路 9 の制御により装置本体 6 から出力される画像データ D R、D G、D B をメモリ 1 0 に順次格納して出力することにより、水平駆動回路 4 による信号線 S I G の駆動に対応するように、水平走査期間を単位にして、ライン単位で同一色に係る画像データが連続するように、これら画像データ D R、D G、D B を時分割多重化して 1 系統により出力する。具体的に、この例では、赤色、緑色、青色の画素 3 R、3 G、3 B について、水平駆動回路 4 は、赤色の画素 3 R、緑色の画素 3 G、青色の画素 3 B を順次ライン単位で駆動するようになされており、これによりコントローラ 7 は、図 1 0 (B) に示すように、赤色の画像データ D R、緑色の画像データ D G、青色の画像データ D B をライン単位で順次循環的に繰り返すようにしてこの画像データ D 1 を出力する。

【 0 0 0 6 】

またコントローラ 7 は、タイミングジェネレータ (T G) 1 1 によりこの画像データ D 1 に同期した各種タイミング信号を生成して水平駆動回路 4、垂直駆動回路 5 に出力する。なおここでこのタイミング信号にあっては、例えば画像データ D 1 のクロック C K (図 1 0 (A))、この画像データ D 1 における各色の画像データ D R、D G、D B の開始及び終了のタイミングを示すスタートパルス S T (図 1 0 (C)) 及びストロークパルス (図 1 0 (D)) 等である。

【 0 0 0 7 】

またコントローラ 7 は、デジタルアナログ変換処理に供する基準電圧の生成基準である原基準電圧 V R T、V B ~ V G、V R B を原基準電圧生成回路 1 2 で生成して水平駆動回路 4 に出力する。

【 0 0 0 8 】

水平駆動回路 4 は、コントローラ 7 から出力される画像データ D 1 をシフトレジスタ 1 3 に入力し、この画像データ D 1 を表示部 2 の信号線の系統に順次振り分けて出力する。基準電圧生成回路 1 4 は、画像データ D 1 の各階調に対応する電圧である基準電圧 V 1 ~ V 6 4 を、コントローラ 7 から入力される原基準電圧 V R T、V B ~ V G、V R B から生成して出力する。

【 0 0 0 9 】

デジタルアナログ変換回路 (D / A) 1 5 A ~ 1 5 N は、それぞれシフトレジスタ 1 3 の出力データをデジタルアナログ変換処理し、これによりこの例では、隣接する 3 つの信号線 S I G の駆動信号を時分割多重化してなる駆動信号を出力する。デジタルアナログ変換回路 1 5 A ~ 1 5 N は、シフトレジスタ 1 3 の出力データに応じて基準電圧生成

10

20

30

40

50

回路 14 で生成される基準電圧 $V_1 \sim V_{64}$ を選択して出力することにより、シフトレジスタ 13 から出力される画像データをデジタルアナログ変換処理する。

【0010】

増幅回路 16A ~ 16N は、このデジタルアナログ変換回路 15A ~ 15N の出力信号をそれぞれ増幅して表示部 2 に出力し、表示部 2 においては、セクタ 17A ~ 17N において、この増幅回路 16A ~ 16N の出力信号をそれぞれ赤色、緑色、青色の画素 3R、3G、3B に係る信号線 SIG に順次循環的に出力する。

【0011】

このようにして原基準電圧 VRT、VB ~ VG、VRB から生成した基準電圧 $V_1 \sim V_{64}$ を選択して各信号線 SIG の駆動信号を生成するようにして、図 11 は、これら原基準電圧 VRT、VB ~ VG、VRB の生成に供する原基準電圧生成回路 12、基準電圧 $V_1 \sim V_{64}$ の生成に供する基準電圧生成回路 14 の構成を示すブロック図である。

10

【0012】

原基準電圧生成回路 12 は、所定個数の抵抗を直列接続した分圧回路 21 が設けられ、この分圧回路 21 により基準電圧生成用電圧 VCOM を分圧して原基準電圧 VRT、VB ~ VG、VRB を生成する。これにより原基準電圧生成回路 12 は、抵抗分圧により原基準電圧 VRT、VB ~ VG、VRB を生成し、それぞれ増幅回路 24A ~ 24H を介して出力するようになされている。なお原基準電圧生成回路 12 は、選択回路 22、反転増幅回路 23 によりこの分圧回路 21 に印加する電圧を切り換えることができるように構成され、これによりライン反転又はフレーム反転に対応できるようになされている。これにより図 10 (F) は、ライン反転による場合の信号線 SIG の電位を示すものである。

20

【0013】

これに対して基準電圧生成回路 14 は、抵抗値の等しい抵抗をそれぞれ所定個数だけ直列接続してなる分圧回路 R1 ~ R7 を、さらに直列接続して抵抗直列回路 26 が形成され、この抵抗直列回路 26 の一端、この抵抗直列回路 26 を構成する分圧回路 R1 ~ R7 の接続点、抵抗直列回路 26 の他端に、それぞれ増幅回路 27A ~ 27H を介して原基準電圧 VRT、VB ~ VG、VRB が入力される。これにより基準電圧生成回路 14 は、原基準電圧生成回路 12 で生成した原基準電圧 VRT、VB ~ VG、VRB による各電位差を、これらの分圧回路 R1 ~ R7 でそれぞれさらに分圧して原基準電圧 VRT、VRB の範囲で基準電圧 $V_1 \sim V_{64}$ を生成するようになされている。

30

【0014】

このようにして原基準電圧 VRT、VB ~ VG、VRB から基準電圧 $V_1 \sim V_{64}$ を生成するようにして、基準電圧生成回路 14 は、分圧回路 R1 ~ R7 を構成する抵抗の数がそれぞれ所定個数に設定され、これにより原基準電圧 VRT、VB ~ VG、VRB を分圧して画像データ D1 の階調に対応する複数の基準電圧 $V_1 \sim V_{64}$ を出力できるようになされている。

【0015】

原基準電圧生成回路 12 においては、このようにして画像データ D1 の階調に対応する基準電圧 $V_1 \sim V_{64}$ により、所望のガンマ特性による画像を表示するように、分圧回路 21 を構成する抵抗の値が設定される。これにより電圧 VCOM を 5 [V] に設定した例により図 12 において符号 L1 により示すように、原基準電圧 VRT、VB ~ VG、VRB の設定による折れ線近似により所望のガンマ特性を確保できるようになされている。また原基準電圧生成回路 12 においては、配線パターンの変更により、この分圧回路 21 から出力する原基準電圧 VRT、VB ~ VG、VRB を切り換えることができるようになされ、これにより符号 L1 により示す特性との対比により符号 L2 により示すように、例えば両端の電位である原基準電圧 VRT、VRB を固定した状態で、残りの原基準電圧 VB ~ VG を矢印により示す範囲で可変して種々にガンマ特性を可変できるようになされている。

40

【0016】

このようにして原基準電圧 VRT、VB ~ VG、VRB を生成する原基準電圧生成回路

50

12の設定によりガンマ特性を切り換えることができるようにして、液晶表示装置1では、原基準電圧生成回路12に係るコントローラ7がコントロールICにより形成されるのに対し、水平駆動回路4がドライバICにより形成される。これにより従来、液晶表示装置1では、コントロールICだけを付け替えることにより、ガンマ特性の異なる製品を製造することができるようになされ、またこれによりガンマ特性の修正にあっては、修正に要する期間を短くすることができるようになされている。なお符号CA~CHは、これらIC間の浮遊容量である。

【0017】

ところでこのようなフラットディスプレイ装置においては、有機EL素子による表示装置があり、このような有機EL素子による表示装置の表示部においても、液晶表示装置の表示部と同様に、信号線SIGの駆動により、各有機EL素子の階調を設定する方法が提案されている。これによりこのような方法に係る有機EL素子の表示部については、液晶表示装置に係るコントロールIC等を使用して、表示装置を構成できると考えられる。

10

【0018】

ところが有機EL素子においては、各色毎に、製品毎に発光特性が異なることにより、さらには発光特性が経時変化することにより、これらに対応して基準電圧V1~V64の設定を異ならせることが必要になる。これにより図8について上述した液晶表示装置に係る駆動回路によっては、實際上、表示装置を構成できない問題がある。具体的に、有機EL素子は、各色毎に、製品毎に、黒レベル、ダイナミックレンジを調整することが必要になる。なお有機EL素子において、ガンマ特性自体については、調整を要しないことが判

20

【0019】

この問題を解決する1つの方法として、例えば図13に示すように原基準電圧生成回路を構成することが考えられる。すなわちこの原基準電圧生成回路30においては、デジタルアナログ変換回路(D/A)31A~31Hによりそれぞれ原基準電圧設定データDVに応じて原基準電圧VRT、VB~VG、VRBを生成する。ここでデジタルアナログ変換回路31A~31Hは、同一に構成され、分圧回路32により基準電圧生成用電圧VCOMを分圧して複数の原基準電圧の候補電圧を生成し、セレクタ33は、この分圧回路32から出力される複数種類の候補電圧を原基準電圧設定データDVに応じて選択して

30

【0020】

このようにすれば原基準電圧設定データDVを各色毎に設定して、各色毎に異なる発光特性に対応することができる。また原基準電圧設定データDVを製品毎に設定して、製品による発光特性のばらつきを補正することができる。また発光特性の経時変化にも対応することができる。

【0021】

しかしながらこの図13に示す構成においては、図14に示すように、各原基準電圧VRT、VB~VG、VRBの変動可能範囲が0~VCOM[V]までの範囲であり、これにより原基準電圧設定データDVがノイズにより誤って設定された場合、例えば図15に示すように、原基準電圧VRT、VB~VG、VRBが極端に変化し、これにより著しく画質が劣化する問題がある。

40

【0022】

またこのような有機EL素子における発光特性の補正において、発光効率の高い有機EL素子については、図14との対比により図16に示すように、原基準電圧VRTに対して駆動信号のダイナミックレンジを抑圧するように、原基準電圧VB~VG、VRBを設定することが必要になる。このような場合に、図13に示す構成においては、最も低い電圧による白レベルに対応する原基準電圧VRBの変動に対応して、改めてデジタルアナログ変換回路31B~31Gに係る原基準電圧VB~VGを計算し直して原基準電圧設定データDVを設定し直すことが必要になる。またこれとは逆に発光効率の劣る有機EL素

50

子ではダイナミックレンジを拡大させるように設定することが必要になり、この場合も原基準電圧 V_{RB} の可変に対応して、改めて原基準電圧 $V_B \sim V_G$ を計算し直して原基準電圧設定データ DV を設定し直すことが必要になる。これにより例えば工場出荷時等における調整作業において、これら原基準電圧 $V_B \sim V_G$ の計算が煩雑になる問題がある。なお黒レベル調整においても、最も電圧の高い原基準電圧 V_{RT} の可変に対応するように、デジタルアナログ変換回路 $31B \sim 31G$ に係る原基準電圧 $V_B \sim V_G$ を計算し直すことが必要になり、これによりこれらの計算作業が著しく煩雑になる。

【特許文献1】特開平10-333648号公報

【発明の開示】

【発明が解決しようとする課題】

10

【0023】

本発明は以上の点を考慮してなされたもので、種々に発光特性を補正できるようにして、ノイズによる著しい画質劣化を有効に回避し、さらには調整作業を簡略化することができるフラットディスプレイ装置の駆動回路、この駆動回路を用いたフラットディスプレイ装置を提案しようとするものである。

【課題を解決するための手段】

【0024】

かかる課題を解決するため請求項1の発明においては、フラットディスプレイ装置の駆動回路に適用して、複数の原基準電圧を生成する原基準電圧生成回路と、抵抗を複数個直列接続した分圧回路をさらに複数個直列接続して、両端及び分圧回路間に原基準電圧をそれぞれ入力し、複数の分圧回路による分圧電圧により複数の基準電圧を出力する基準電圧生成回路と、複数の基準電圧を入力して対応する信号線に係る画像データに応じて選択出力することにより、駆動信号を出力する複数の選択回路と、原基準電圧の設定を指示する原基準電圧設定データを入力する入力回路とを備え、原基準電圧生成回路は、原基準電圧生成用の分圧回路により原基準電圧の候補電圧を複数生成し、原基準電圧設定データに応じて選択出力することにより、原基準電圧を生成する複数のデジタルアナログ変換回路を有し、複数のデジタルアナログ変換回路のうちの第1のデジタルアナログ変換回路は、基準電圧生成用電圧を原基準電圧生成用の分圧回路により分圧して、複数の原基準電圧のうちの第1の原基準電圧を出力し、複数のデジタルアナログ変換回路のうちの第2のデジタルアナログ変換回路は、基準電圧生成用電圧を原基準電圧生成用の分圧回路により分圧して、複数の原基準電圧のうちの第2の原基準電圧を出力し、複数のデジタルアナログ変換回路のうちの残りのデジタルアナログ変換回路は、原基準電圧生成用の分圧回路を直列に接続して、両端に、それぞれ第1の原基準電圧及び第2の原基準電圧を入力する。

20

30

【0025】

また請求項4の発明においては、フラットディスプレイ装置に適用して、水平駆動回路は、複数の原基準電圧を生成する原基準電圧生成回路と、抵抗を複数個直列接続した分圧回路をさらに複数個直列接続して、両端及び分圧回路間に原基準電圧をそれぞれ入力し、複数の分圧回路による分圧電圧により複数の基準電圧を出力する基準電圧生成回路と、複数の基準電圧を入力して対応する信号線に係る画像データに応じて選択出力することにより、駆動信号を出力する複数の選択回路とを備え、原基準電圧生成回路は、原基準電圧生成用の分圧回路により原基準電圧の候補電圧を複数生成し、原基準電圧設定データに応じて選択出力することにより、原基準電圧を生成する複数のデジタルアナログ変換回路を有し、複数のデジタルアナログ変換回路のうちの第1のデジタルアナログ変換回路は、基準電圧生成用電圧を原基準電圧生成用の分圧回路により分圧して第1の原基準電圧を出力し、複数のデジタルアナログ変換回路のうちの第2のデジタルアナログ変換回路は、基準電圧生成用電圧を原基準電圧生成用の分圧回路により分圧して第2の原基準電圧を出力し、複数のデジタルアナログ変換回路のうちの残りのデジタルアナログ変換回路は、原基準電圧生成用の分圧回路を直列に接続して、両端に、それぞれ第1の原基準電圧及び第2の原基準電圧を入力する。

40

50

【0026】

請求項1の構成により、フラットディスプレイ装置の駆動回路に適用して、複数の原基準電圧を生成する原基準電圧生成回路と、抵抗を複数個直列接続した分圧回路をさらに複数個直列接続して、両端及び分圧回路間に原基準電圧をそれぞれ入力し、複数の分圧回路による分圧電圧により複数の基準電圧を出力する基準電圧生成回路と、複数の基準電圧を入力して対応する信号線に係る画像データに応じて選択出力することにより、駆動信号を出力する複数の選択回路と、原基準電圧の設定を指示する原基準電圧設定データを入力する入力回路とを備え、原基準電圧生成回路は、原基準電圧生成用の分圧回路により原基準電圧の候補電圧を複数生成し、原基準電圧設定データに応じて選択出力することにより、原基準電圧を生成する複数のデジタルアナログ変換回路を有するようになれば、原基準電圧設定データにより種々に発光特性を補正することができる。すなわち色毎に原基準電圧設定データを設定して、色により異なる発光特性を補正することができ、また製品毎に原基準電圧設定データを設定して、製品間でばらつく発光特性を補正することができ、さらには発光特性の変化に対応して原基準電圧設定データを設定して、発光特性の経時変化を補正することができる。またこのようにして複数のデジタルアナログ変換回路のうちの第1のデジタルアナログ変換回路は、基準電圧生成用電圧を原基準電圧生成用の分圧回路により分圧して、複数の原基準電圧のうちの第1の原基準電圧を出力し、複数のデジタルアナログ変換回路のうちの第2のデジタルアナログ変換回路は、基準電圧生成用電圧を原基準電圧生成用の分圧回路により分圧して、複数の原基準電圧のうちの第2の原基準電圧を出力し、複数のデジタルアナログ変換回路のうちの残りのデジタルアナログ変換回路は、原基準電圧生成用の分圧回路を直列に接続して、両端に、それぞれ第1の原基準電圧及び第2の原基準電圧を入力すれば、残りのデジタルアナログ変換回路による原基準電圧においては、原基準電圧生成用の分圧回路の直列接続による各候補電圧の範囲でしか可変し得ず、これによりノイズにより原基準電圧設定データが誤って設定された場合でも、著しいガンマ特性の変化を有効に回避することができ、ノイズによる著しい画質劣化を防止することができる。またこれらの原基準電圧においては、第1及び第2の原基準電圧の変化に追従して変化することにより、第1及び又は第2の原基準電圧の変更により、改めて設定し直す処理を省略することができ、これによりこれら残りのデジタルアナログ変換回路に係る計算処理を省略して調整作業を簡略化することができる。

10

20

【0027】

これにより請求項4の構成によれば、種々に発光特性を設定できるようにして、ノイズによる著しい画質劣化を有効に回避し、さらには調整作業を簡略化することができるフラットディスプレイ装置を提供することができる。

30

【発明の効果】

【0028】

本発明によれば、種々に発光特性を補正できるようにして、ノイズによる著しい画質劣化を有効に回避し、さらには調整作業を簡略化することができる駆動回路、この駆動回路によるフラットディスプレイ装置を提供することができる。

【発明を実施するための最良の形態】

【0029】

以下、適宜図面を参照しながら本発明の実施例を詳述する。

40

【実施例1】

【0030】

(1) 実施例の構成

図2は、本発明の実施例に係るPDA(Personal Digital Assistants)を示すブロック図である。このPDA41は、装置本体42において、操作子の操作に応動して演算処理手段であるコントローラ43で所定の処理手順を実行することにより、表示部44に各種の画像を表示する。なおこの図2において、図8及び図9と同一の構成は、対応する符号を付して重複した説明は省略する。

【0031】

50

ここでこの実施例において、表示部 4 4 は、有機 E L 素子による各画素がマトリックス状に配置されてなるカラー画像の表示パネルであり、各画素に接続されたゲート線を用いて図示しない垂直駆動回路によりライン単位で画素を選択し、信号線 S I G の駆動により各画素の階調が設定されるようになされている。

【 0 0 3 2 】

この P D A 4 1 は、工場出荷時、この有機 E L 素子による表示部 4 4 に関して、各色の発光特性が測定され、この測定結果に基づいて、メモリ 5 0 に、図 1 1 について上述した原基準電圧 V R T、V B ~ V G、V R B の設定を指示する原基準電圧設定データ D V が記録され、これによりこの原基準電圧設定データ D V を用いて各色の発光特性のばらつき、製品間の発光特性のばらつきを補正できるようになされ、これにより正しいホワイトバランス、色再現性により表示画像を表示できるようになされている。

10

【 0 0 3 3 】

なおこの実施例においては、これら原基準電圧 V R T、V B ~ V G、V R B のうち、最も電圧の高い原基準電圧 V R T と、最も電圧の低い原基準電圧 V R B とが、それぞれ黒レベル及び白レベルの階調に対応する原基準電圧であり、これにより以下においては、適宜、これら 2 つの原基準電圧 V R T、V R B をそれぞれ黒レベル用原基準電圧 V R T、白レベル用原基準電圧 V R B と呼ぶ。またこれに対応してこれら黒レベル用原基準電圧 V R T、白レベル用原基準電圧 V R B に対応する原基準電圧設定データ D V を、適宜、黒レベル用原基準電圧設定データ、白レベル用原基準電圧設定データと呼び、それぞれ符号 D V V R T、D V V R B により示し、またこれに対応してこれら以外の原基準電圧 V B ~ V G に係る原基準電圧設定データ D V をそれぞれ符号 D V V B ~ D V V G により示す。これによりメモリ 5 0 は、黒レベル用原基準電圧設定データ D V V R T、白レベル用原基準電圧設定データ D V V R B、これら以外の原基準電圧設定データ D V V B ~ D V V G を保持するようになされている。

20

【 0 0 3 4 】

また P D A 4 1 は、ユーザーの好みにより、さらには発光特性の経時変化に対応可能に、所定の処理手順をコントローラ 4 3 により実行して表示部 4 4 におけるホワイトバランス、黒レベル、白レベルを調整できるようになされ、この調整結果をメモリ 4 5 に記録して保持すると共に、この調整結果により表示部 4 4 の表示を設定するようになされている。この P D A 4 1 は、メモリ 5 0 に記録された工場出荷時に係る原基準電圧設定データ D V V R T、D V V B ~ D V V G、D V V R B のうち、黒レベル用原基準電圧設定データ D V V R T、白レベル用原基準電圧設定データ D V V R B の補正データ D 2 を、これら原基準電圧設定データ D V V R T、D V V R B に対応する差分データ D V V R T、D V V R B の形式により各色毎にメモリ 4 5 に記録して保持し、このメモリ 4 5 に記録された補正データ D 2 をコントローラ 4 7 の処理に応じたタイミングによりコントローラ 4 7 に出力する。これにより P D A 4 1 は、このようなホワイトバランス調整等の調整結果を記録して保持し、さらにはこの調整結果により表示部 4 4 の表示を設定するようになされている。

30

【 0 0 3 5 】

コントローラ 4 7 は、集積回路により構成され、装置本体 4 2 から出力される各色の画像データ D R、D G、D B をライン単位で時分割多重化し、1 系統による画像データ D 1 を出力する。また装置本体 4 2 のコントローラ 4 3 から出力される補正データ D 2 により原基準電圧設定データ D V を補正して水平駆動回路 5 5 に出力する。

40

【 0 0 3 6 】

すなわちコントローラ 4 7 において、タイミングジェネレータ (T G) 5 8 は、画像データ D 1、D R ~ D B に同期した各種タイミング信号を生成して出力する。メモリ制御回路 5 9 は、このタイミング信号を基準にしてメモリ 6 0 の動作を制御し、メモリ 6 0 は、装置本体 4 2 から出力される画像データ D R ~ D B を順次格納して出力することにより、画像データ D R、D G、D B をライン単位で時分割多重化して画像データ D 1 を出力する。

50

【 0 0 3 7 】

メモリ制御回路 6 1 は、メモリ 5 0 の動作を制御することにより、水平走査周期で、メモリ 5 0 から原基準電圧設定データ D V を読み出して原基準電圧設定回路 6 3 に出力する。

【 0 0 3 8 】

原基準電圧設定回路 6 3 は、装置本体 4 2 のコントローラ 4 3 から出力される補正データ D 2 により、メモリ制御回路 6 1 から出力される原基準電圧設定データ D V を補正して出力する。すなわち図 3 に示すように、原基準電圧設定回路 6 3 は、メモリ制御回路 6 1 を介して入力される原基準電圧設定データ D V (D V V R T、D V V B ~ D V V G、D V V R B) のうち、黒レベル用原基準電圧設定データ D V V R T、白レベル用原基準電圧設定データ D V V R B を加算回路 6 3 A に入力し、ここで装置本体 4 2 から出力される対応する補正データ D 2 (D V V R T、D V V R B) を加算し、これによりこれら黒レベル用原基準電圧設定データ D V V R T、白レベル用原基準電圧設定データ D V V R B を補正する。またこのようにして補正した黒レベル用原基準電圧設定データ D V V R T、白レベル用原基準電圧設定データ D V V R B をエンコーダ 6 3 B に入力し、また残りの原基準電圧設定データ D V V B ~ D V V G をセクタ (S E L) 6 3 C を介してエンコーダ 6 3 B に入力し、ここでこれら原基準電圧設定データ D V V R T、D V V B ~ D V V G、D V V R B をここでシリアルデータに変換して出力する。なお原基準電圧設定回路 6 3 では、セクタ 6 3 C の設定により、このようにメモリ制御回路 6 1 から出力される原基準電圧設定データ D V V B ~ D V V G に代えて、装置本体 4 2 から別途出力される原基準電圧設定データを出力できるようになされている。

【 0 0 3 9 】

この一連の処理において、原基準電圧設定回路 6 3 は、水平駆動回路 5 5 における信号線 S I G の駆動に対応して、原基準電圧設定データ D V を生成して出力する。しかしてこの実施例では、表示部 4 4 において、水平方向に連続する赤色、緑色、青色の画素を 1 組にして、この 1 組の画素を 1 つの駆動信号により時分割により駆動することにより、原基準電圧設定回路 6 3 は、1 水平走査期間の間で、それぞれ赤色、緑色、青色の画像データ D R、D G、D B 用の原基準電圧設定データ D V を切り換えて出力するようになされている。

【 0 0 4 0 】

水平駆動回路 5 5 は、コントローラ 4 7 とは別体の集積回路により構成され、コントローラ 4 7 から出力される画像データ D 1 をシフトレジスタ 1 3 により上述した水平方向に連続する赤色、緑色、青色の画素による各組に振り分けた後、セクタによるデジタルアナログ変換回路 1 5 A ~ 1 5 N によりそれぞれデジタルアナログ変換処理する。またこのデジタルアナログ変換処理結果による駆動信号を増幅回路 1 6 A ~ 1 6 N によりそれぞれ増幅して表示部 4 4 に出力し、表示部 4 4 においては、それぞれセクタ 1 7 A ~ 1 7 N により増幅回路 1 6 A ~ 1 6 N の出力信号を各信号線 S I G に振り分ける。

【 0 0 4 1 】

水平駆動回路 5 5 は、このような一連の処理に係るデジタルアナログ変換回路 1 5 A ~ 1 5 N の基準電圧 V 1 ~ V 6 4 を原基準電圧生成回路 7 0、基準電圧生成回路 6 9 により原基準電圧設定データ D V に応じて生成する。

【 0 0 4 2 】

図 1 は、この原基準電圧生成回路 7 0、基準電圧生成回路 6 9 を示すブロック図である。ここで基準電圧生成回路 6 9 は、増幅回路 2 7 A ~ 2 7 H が省略されている点を除いて図 1 1 について上述した基準電圧生成回路 1 4 と同一に形成され、原基準電圧生成回路 7 0 から出力される原基準電圧 V R T、V B ~ V G、V R B から抵抗分圧により基準電圧 V 1 ~ V 6 4 を生成して出力する。

【 0 0 4 3 】

原基準電圧生成回路 7 0 においては、デジタルアナログ変換回路 (D / A) 7 1 A ~ 7 1 H によりそれぞれ原基準電圧設定データ D V に応じて原基準電圧 V R T、V B ~ V G

、V R Bを生成する。

【0044】

ここでデジタルアナログ変換回路71A～71Hのうち、黒レベル用原基準電圧V R T及び白レベル用原基準電圧V R Bの生成に係るデジタルアナログ変換回路71A、71Hは、分圧回路72A、72Hによりそれぞれ基準電圧生成用電圧V C O Mを分圧して複数の原基準電圧の候補電圧を生成する。ここで分圧回路72A、72Hは、抵抗値の等しい複数の抵抗の直列回路により構成され、この基準電圧生成用電圧V C O Mを原基準電圧設定データD Vのビット数に対応する分解能により分圧して出力する。この実施例においては、この原基準電圧設定データD Vが6ビットにより形成され、また基準電圧生成用電圧V C O Mが5〔V〕に設定され、これにより分圧回路72A、72Hは、約80〔m V〕(5〔V〕/64)単位で、順次電圧が異なってなる64種類の候補電圧を出力する。

10

【0045】

セクタ73A、73Hは、それぞれこの分圧回路72A、72Hから出力される64種類の候補電圧をそれぞれ黒レベル用原基準電圧設定データD V V R T、白レベル用原基準電圧設定データD V V R Bに応じて選択して出力する。セクタ73A、73Hは、このようにして生成した黒レベル用原基準電圧V R T、白レベル用原基準電圧V R Bをそれぞれ増幅回路74A、74Hを介して出力する。

【0046】

これに対してこれらデジタルアナログ変換回路71A、71Hを除く他のデジタルアナログ変換回路71B～71Gは、デジタルアナログ変換回路71A、71Hと同様に、分圧回路72B～72Gによる抵抗分圧によりそれぞれ原基準電圧V B～V Gの候補電圧を複数種類生成し、この複数種類の候補電圧をそれぞれセクタ73B～73Gにより原基準電圧設定データD Vに応じて選択して原基準電圧V B～V Gを出力する。デジタルアナログ変換回路71B～71Gは、これら原基準電圧V B～V Gの候補電圧の生成に供する分圧回路72B～72Gがこれらデジタルアナログ変換回路71B～71G間で直列に接続されて、デジタルアナログ変換回路71A、71Hによる黒レベル用原基準電圧V R T、白レベル用原基準電圧V R Bに接続される。

20

【0047】

これにより図4に示すように、これら原基準電圧V R T、V B～V G、V R Bのうち、黒レベル用原基準電圧V R T、白レベル用原基準電圧V R Bを除く原基準電圧V B～V Gにおいては、それぞれ直列接続されてなる分圧回路72B～72Gから出力される候補電圧の範囲でしか電圧を可変することが困難に設定され、これにより図4との対比により図5に示すように、P D A 4 1は、ノイズの混入により原基準電圧設定データD Vが誤って設定された場合にあっても、極端なガンマ特性による駆動信号の出力を防止でき、ノイズによる著しい画質劣化を防止できるようになされている。

30

【0048】

またこのようにそれぞれ直列接続されてなる分圧回路72B～72Gの両端が、第1及び第2の原基準電圧である原基準電圧V R T、V R Bに接続されることにより、ダイナミックレンジ調整、黒レベル調整により、色間の発光特性のばらつき、製品間の発光特性のばらつきを補正するために、これら原基準電圧V R T、V R Bを可変した場合には、図4との対比により図6に示すように、直列接続されてなる分圧回路72B～72Gによる抵抗分圧比により、これら原基準電圧V R T、V R Bの変化に追従して原基準電圧V B～V Gも変化することになり、これによりこれらの原基準電圧V B～V Gについては、改めて設定し直す処理を省略することができ、これによりこれら残りのデジタルアナログ変換回路に係る計算処理を省略して調整作業を簡略化することができるようになされている。

40

【0049】

すなわち分圧回路72B～72Gの抵抗値をそれぞれR B～R Gとおくと、デジタルアナログ変換回路71Bから出力される原基準電圧V Bに関して、原基準電圧V R T、V R Bを用いて、次式の関係式を得ることができる。なおここでR a d jは、図1に示すよ

50

うに、分圧回路 7 2 B における原基準電圧 V_{RB} 側端からセレクタ 7 1 B により選択される分圧回路 7 2 B の分圧出力端までの間の抵抗値であり、 A は、所望するガンマ特性による係数である。

【 0 0 5 0 】

【 数 1 】

$$V_B = (V_{RT} - V_{RB}) \times A + V_{RB} \quad \dots\dots (1)$$

【 0 0 5 1 】

10

【 数 2 】

$$\frac{R_{adj} + R_C + R_D + R_E + R_F + R_G}{R_B + R_C + R_D + R_E + R_F + R_G} = \frac{V_B - V_{RB}}{V_{RT} - V_{RB}} \quad \dots\dots (2)$$

【 0 0 5 2 】

これらの関係式から R_{adj} を求めると、次式を得ることができ、これによりセレクタ 7 1 B により選択される分圧回路 7 2 B の出力にあつては、原基準電圧 V_{RT} 、 V_{RB} を変化させた場合でも、ガンマ特性による係数 A に応じた位置に保持して何ら変更を要しないことが判る。

20

【 0 0 5 3 】

【 数 3 】

$$R_{adj} = (R_B + R_C + R_D + R_E + R_F + R_G) \times \left[\frac{V_B - V_{RB}}{V_{RT} - V_{RB}} \right.$$

$$\left. - \frac{R_C + R_D + R_E + R_F + R_G}{R_B + R_C + R_D + R_E + R_F + R_G} \right]$$

30

$$= (R_B + R_C + R_D + R_E + R_F + R_G) \times A$$

$$- (R_C + R_D + R_E + R_F + R_G) \quad \dots\dots (3)$$

40

【 0 0 5 4 】

原基準電圧生成回路 7 0 は、これらデジタルアナログ変換回路 7 1 B ~ 7 1 G から出力される原基準電圧 $V_B \sim V_G$ を増幅回路 7 4 B ~ 7 4 G を介して、黒レベル用原基準電圧 V_{RT} 、白レベル用原基準電圧 V_{RB} と共に基準電圧生成回路 6 9 に出力する。

【 0 0 5 5 】

デコーダ 7 5 は、コントローラ 4 7 から出力されるシリアルデータによる原基準電圧設定データ DV を順次取り込み、セレクタ 1 7 A ~ 1 7 N における接点の切り換えに対応するタイミングによりデジタルアナログ変換回路 7 1 A ~ 7 1 H に振り分けて出力する。

【 0 0 5 6 】

50

図7は、このようにして実現されるガンマ特性の例を示す特性曲線図である。この実施例においては、これらにより例えば符号L1Aにより示す特性曲線に対して符号L2Aにより示すように、原基準電圧設定データDVの設定によりガンマ特性を可変できるようになされ、これにより所望するガンマ特性により所望する画像を表示できるようになされている。また黒レベル用原基準電圧設定データDVVRT、白レベル用原基準電圧設定データDVVRBの設定により黒レベル、白レベルを各色毎に、製品毎に設定し、色毎、製品毎による発光特性のばらつき、発光特性の経時変化に対応できるようになされている。またさらにはライン反転に対応するようにメモリ50に2種類のデータを格納して、又はライン反転に対応する補正データD2の切り換えにより、符号L3、符号L4に示す液晶表示パネルに係るガンマ特性についても、実現できるようになされている。

10

【0057】

これらによりこの実施例において、原基準電圧生成回路70は、複数の原基準電圧VRT、VB~VG、VRBを生成する原基準電圧生成回路を構成し、基準電圧生成回路69は、抵抗を複数個直列接続した分圧回路R1~R7をさらに複数個直列接続して、両端及び分圧回路R1~R7間に原基準電圧VRT、VB~VG、VRBをそれぞれ入力し、複数の分圧回路R1~R7による分圧電圧により複数の基準電圧V1~V64を出力する基準電圧生成回路を構成する。またデジタルアナログ変換回路15A~15Nは、複数の基準電圧V1~V64を入力して対応する信号線SIGに係る画像データD1に応じて選択出力することにより、駆動信号を出力する複数の選択回路を構成し、デコーダ75は、原基準電圧の設定を指示する原基準電圧設定データDVを入力する入力回路を構成するようになされている。また原基準電圧生成回路70において、デジタルアナログ変換回路71A~71Hは、原基準電圧生成用の分圧回路72A~72Hにより原基準電圧VRT、VB~VG、VRBの候補電圧を複数生成し、原基準電圧設定データDVに応じて選択出力することにより、原基準電圧VRT、VB~VG、VRBを生成する複数のデジタルアナログ変換回路を構成し、これらのうちのデジタルアナログ変換回路71Aが、基準電圧生成用電圧VCOMを原基準電圧生成用の分圧回路72Aにより分圧して、複数の原基準電圧VRT、VB~VG、VRBのうちの第1の原基準電圧VRTを出力し、またデジタルアナログ変換回路71Hが、基準電圧生成用電圧VCOMを原基準電圧生成用の分圧回路72Hにより分圧して、複数の原基準電圧VRT、VB~VG、VRBのうちの第2の原基準電圧VRBを出力し、残りのデジタルアナログ変換回路71B~71Gが、原基準電圧生成用の分圧回路72B~72Gを直列に接続して、両端に、それぞれ第1の原基準電圧及び第2の原基準電圧VRT、VRBを入力するようになされている。

20

30

【0058】

またメモリ制御回路59及びメモリ60は、ライン単位で、同一色の画素に係る画像データが連続するように、各色の画素に係る画像データを時分割多重化して水平駆動回路に入力する時分割多重化回路を構成し、原基準電圧設定回路63は、この時分割多重化した画像データに係る色の切り換えに対応して、原基準電圧設定データDVを切り換えるデータ切り換え回路を構成するようになされている。またセクタ17A~17Nは、画像データに係る色の切り換えに対応して、駆動信号の出力を切り換える選択回路を構成するようになされている。

40

【0059】

(2) 実施例の動作

以上の構成において、このPDA41では(図2)、表示に供する画像データDR~DBが装置本体42からコントローラ47に入力され、ここでメモリ60を介して、ライン単位で同一色に係る画像データが連続してなるように時分割多重化処理され、その処理結果である画像データD1が水平駆動回路55に入力される。この水平駆動回路55において、画像データD1は、シフトレジスタ13に取り込まれ、ライン単位で、同一色に係る画像データが同時並列的にデジタルアナログ変換回路15A~15Nに入力される。またこのデジタルアナログ変換回路15A~15Nにおけるデジタルアナログ変換処理により、駆動信号に変換され、この駆動信号がそれぞれ増幅回路16A~16Nを介して

50

セクタ17A～17Nに入力される。これにより画像データD1は、表示部44において赤色、緑色、青色の順序により水平方向に順次循環的に繰り返されてなる有機EL素子による画素に対して、これら赤色、緑色、青色の画素による組み合わせに振り分けられた後、駆動信号に変換され、この駆動信号がセクタ17A～17Nにより赤色、緑色、青色の画素に係る信号線SIGに振り分けられ、これによりPDA41では、画像データDR～DBにより各画素の階調が設定されて所望の画像が表示される。

【0060】

また原基準電圧生成回路70において(図1)、複数の原基準電圧VRT、VB～VG、VRBが生成され、所定個数の抵抗を直列接続して形成された複数の分圧回路R1～R7を、さらに直列接続してなる抵抗直列回路による基準電圧生成回路69において、これら原基準電圧VRT、VB～VG、VRBを分圧して基準電圧V1～V64が形成され、デジタルアナログ変換回路15A～15Nにおいて、この基準電圧V1～V64の選択により画像データD1がデジタルアナログ変換処理されて駆動信号が生成され、これにより原基準電圧VRT、VB～VG、VRBにより設定される折れ線近似によるガンマ特性により駆動信号が生成されて画像が表示される。

10

【0061】

しかして有機EL素子においては、色毎、製品毎に発光特性が異なり、さらには経時変化により発光特性が変化することにより、このようにして画像データDR～DBをデジタルアナログ変換処理して駆動信号を生成するようにして、このようにして設定されるガンマ特性による基準電圧V1～V64を各色毎に、製品毎に設定し、経時変化に対応するように補正することが必要になる。

20

【0062】

このためPDA41では、各色毎に、製品毎に、発光特性が測定され、この測定結果より所望の発光特性を確保可能に、原基準電圧VRT、VB～VG、VRBの設定を指示する原基準電圧設定データDVがメモリ50に記録されて保持される(図2)。またこれら原基準電圧VRT、VB～VG、VRBのうち黒レベル用原基準電圧VRT、白レベル用原基準電圧VRBを補正する補正データD2がメモリ45に記録される。PDA41では、原基準電圧設定回路63において、この原基準電圧設定データDVが補正データD2により補正された後、画像データD1の時分割多重化に対応して、順次、水平駆動回路55に入力される。

30

【0063】

水平駆動回路55においては(図1)、この原基準電圧設定データDVがデコーダ75により原基準電圧VRT、VB～VG、VRBの各系統に分割され、これらの原基準電圧設定データDVがデジタルアナログ変換回路71A～71Hによりデジタルアナログ変換処理されて原基準電圧VRT、VB～VG、VRBが生成される。

【0064】

これによりこの実施例においては、この原基準電圧設定データDVの設定により、種々の発光特性に対応することができ、これにより種々の表示パネルに簡易かつ迅速に対応することができる。すなわち単にデータの変更でダイナミックレンジ調整、黒レベル調整し、さらにはガンマ特性を変更できることにより、従来に比して大幅に開発期間を短縮し、さらには開発に要する手間も低減することができる。

40

【0065】

またこれにより色毎、製品毎の発光特性のばらつき、経時変化による発光特性の変化についても、柔軟に対応することができ、このような特性のばらつき、経時変化によるホワイトバランスのずれ、色再現性の劣化を有効に回避して高品質の表示画像を提供することができる。

【0066】

このようにして原基準電圧設定データDVにより原基準電圧VRT、VB～VG、VRBを設定して発光特性を種々に補正できるようにして、このPDA41において、黒レベル用原基準電圧VRT、白レベル用原基準電圧VRBに係るデジタルアナログ変換回路

50

71A、71Hでは、基準電圧生成用電圧VCOMを分圧回路72A、72Hにより分圧してそれぞれ原基準電圧VRT、VRBの候補電圧が複数生成され、この複数の候補電圧が原基準電圧設定データDVにより選択されて、原基準電圧VRT、VRBが生成される。これによりこれら原基準電圧VRT、VRBにあっては、基準電圧生成用電圧VCOMとアース電位との間で、種々に電圧を設定することができる。

【0067】

これに対して残る原基準電圧VB～VGに係るデジタルアナログ変換回路71B～71Gにおいては、分圧回路72B～72Gが直列に接続されて、両端が黒レベル用原基準電圧VRT、白レベル用原基準電圧VRBに接続された状態で、それぞれ分圧回路72B～72Gにより分圧して原基準電圧VB～VGの候補電圧が複数生成され、この複数の候補電圧が原基準電圧設定データDVにより選択されて、原基準電圧VB～VGが生成される。

10

【0068】

これにより原基準電圧VB～VGにおいては、それぞれ直列接続されてなる分圧回路72B～72Gから出力される候補電圧の範囲でしか電圧が変化しないように保持され、これによりPDA41においては、ノイズの混入により原基準電圧設定データDVが誤って設定された場合にあっては、極端なガンマ特性による駆動信号の出力を防止でき、ノイズによる著しい画質劣化を防止することができるようになされている。

【0069】

またこのようにそれぞれ直列接続されてなる分圧回路72B～72Gの両端が、黒レベル用原基準電圧VRT、白レベル用原基準電圧VRBに接続されることにより、ダイナミックレンジ調整、黒レベル調整により、発光特性のばらつき、経時変化を補正する場合に、これら原基準電圧VRT、VRBを可変した場合には、直列接続されてなる分圧回路72B～72Gによる抵抗分圧比により、これら原基準電圧VRT、VRBの変化に追従して原基準電圧VB～VGも変化することになる。これによりこれらの原基準電圧VB～VGについては、改めて設定し直す処理を省略することができ、これによりPDA41では、これら残りのデジタルアナログ変換回路71B～71Gに係る計算処理を省略して調整作業を簡略化することができるようになされている。

20

【0070】

またこのように原基準電圧設定データDVにより原基準電圧VRT、VB～VG、VRBを設定するようにして、画像データD1の伝送に係る時分割多重化の処理に対応して、原基準電圧設定データDVを切り換えることにより、1系統の原基準電圧生成回路を各色の画像データの処理に共用化することができ、これにより全体構成を簡略化することができるようになされている。

30

【0071】

またこれによりPDA41では、結局、1ラインで3回、原基準電圧設定データDVを出力してガンマ特性を切り換えることになる。これによりノイズの混入により誤ってガンマ特性を設定した場合でも、このノイズの影響によるガンマの誤設定を1ラインに止めることができ、これによってもノイズによる画質劣化を低減するようになされている。

【0072】

しかしてPDA41では、このように原基準電圧設定データDVにより原基準電圧VRT、VB～VG、VRBを設定するようにして、この原基準電圧VRT、VB～VG、VRBを生成する原基準電圧生成回路を基準電圧生成回路側に設け、一体に集積回路化することにより、基準電圧生成回路69においては、原基準電圧VRT、VB～VG、VRBの入力に供する増幅回路を省略することができる。これによりその分、構成を簡略化して消費電力を低減することができる。またこの増幅回路が不要となったことで、その分、基準電圧生成回路に入力する原基準電圧VRT、VB～VG、VRBの精度を向上することができ、これにより基準電圧V1～V64の設定精度を向上し、生産性を向上することができる。

40

【0073】

50

(3) 実施例の効果

以上の構成によれば、分圧回路による複数の候補電圧を原基準電圧設定データに応じて選択して原基準電圧を生成し、この原基準電圧からデジタルアナログ変換用の基準電圧を生成するようにして、両端の原基準電圧については基準電圧生成用電圧を分圧回路で分圧して原基準電圧を生成し、残りの原基準電圧については、分圧回路を直列接続して両端の原基準電圧を基準にして生成することにより、発光特性を種々に補正できるようにして、ノイズによる著しい画質劣化を有効に回避し、調整作業を簡略化することができる。

【0074】

またこのような原基準電圧生成回路、基準電圧生成回路を他の構成と共に一体に集積回路化することにより、原基準電圧の入力に供する増幅回路を省略して、その分、従来に比して構成を簡略化し、さらには消費電力を低減することができる。

【0075】

また表示部における画素の繰り返しに対応して、ライン単位で、同一色の画素に係る画像データが連続するように画像データを時分割多重化して伝送して表示部を駆動するようにして、この時分割多重化に係る画像データの切り換えに対応して、原基準電圧設定データにより原基準電圧を切り換えることにより、ノイズの混入による画質劣化を一段と低減することができる。

【0076】

また原基準電圧設定データを、補正データにより補正することにより、発光特性の経時変化についても確実に補正することができる。

【実施例2】

【0077】

なお上述の実施例においては、本発明をPDAに適用する場合について述べたが、本発明はこれに限らず、種々の映像機器に広く適用することができる。

【産業上の利用可能性】

【0078】

本発明は、フラットディスプレイ装置の駆動回路及びフラットディスプレイ装置に関し、例えば有機EL素子による表示装置に適用することができる。

【図面の簡単な説明】

【0079】

【図1】本発明の実施例に係るPDAの原基準電圧生成回路及び基準電圧生成回路を示すブロック図である。

【図2】本発明の実施例に係るPDAを示すブロック図である。

【図3】図1の原基準電圧設定回路を示すブロック図である。

【図4】図2のPDAにおけるガンマ特性の説明に供する特性曲線図である。

【図5】図2のPDAにおけるノイズの影響の説明に供する特性曲線図である。

【図6】図2のPDAにおけるダイナミックレンジ調整の説明に供する特性曲線図である。

【図7】図2のPDAにおけるガンマ特性の設定例を示す特性曲線図である。

【図8】従来の液晶表示装置を示すブロック図である。

【図9】図8の液晶表示装置における水平駆動回路を周辺構成と共に示すブロック図である。

【図10】図9の説明に供するタイムチャートである。

【図11】図9の水平駆動回路及びコントローラにおける原基準電圧生成回路及び基準電圧生成回路を示すブロック図である。

【図12】図8の液晶表示装置におけるガンマ特性の説明に供する特性曲線図である。

【図13】原基準電圧設定データによる原基準電圧の設定例を示すブロック図である。

【図14】図13の例によるガンマ特性の説明に供する特性曲線図である。

【図15】図13の例におけるノイズの影響の説明に供する特性曲線図である。

【図16】図13の例におけるダイナミックレンジ調整の説明に供する特性曲線図である

10

20

30

40

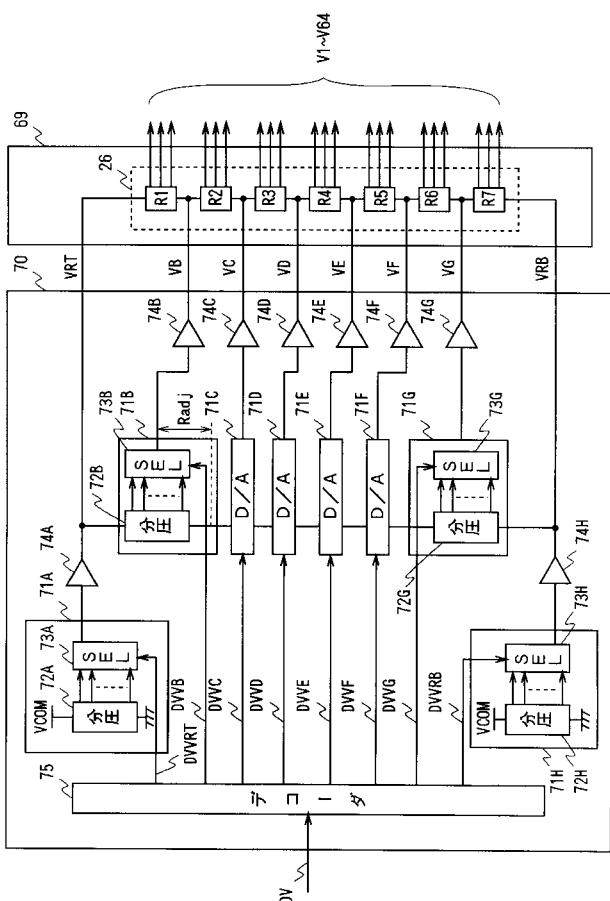
50

【符号の説明】

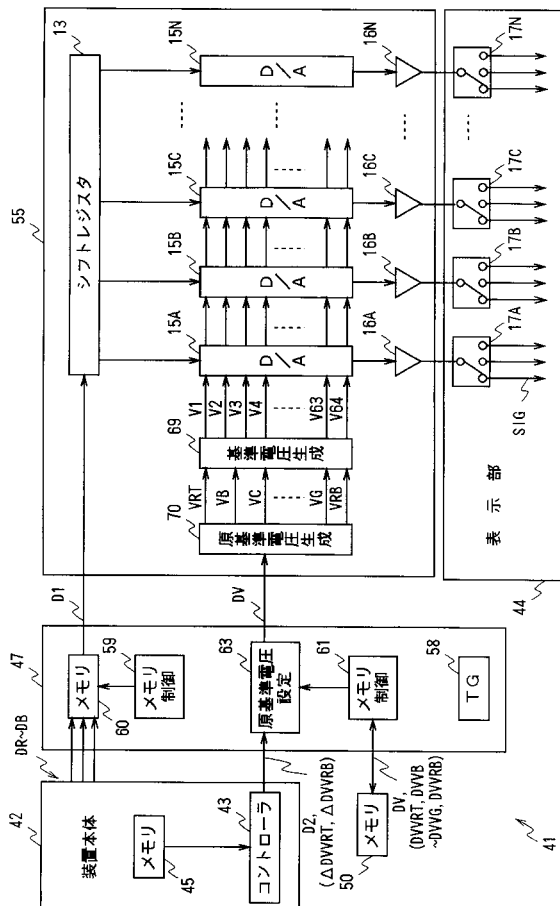
【0080】

1 …… 液晶表示装置、2、44 …… 表示部、3R、3G、3B …… 画素、4、55 …… 水平駆動回路、6、42 …… 装置本体、7、43、47 …… コントローラ、9、59、61 …… メモリ制御回路、10、45、50、60 …… メモリ、12、70 …… 原基準電圧生成回路、13 …… シフトレジスタ、14、69 …… 基準電圧生成回路、15A~15N、71A~71H …… デジタルアナログ変換回路、16A~16N、24A~24H、27A~27H、74A~74H …… 増幅回路、17A~17N、73A~73H …… セレクタ、21、72A~72H、R1~R7 …… 分圧回路、26 …… 抵抗直列回路、41 …… PDA、63 …… 原基準電圧設定回路

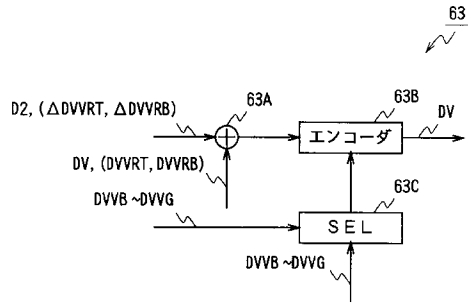
【図1】



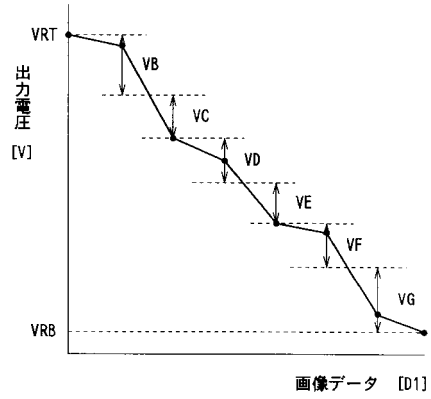
【図2】



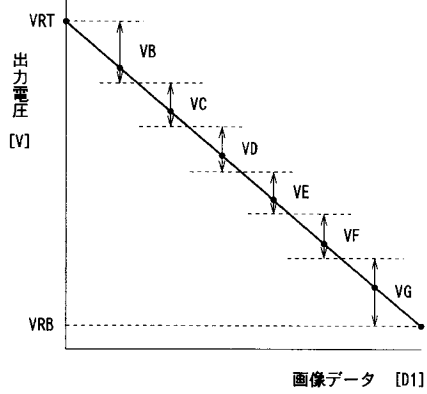
【 図 3 】



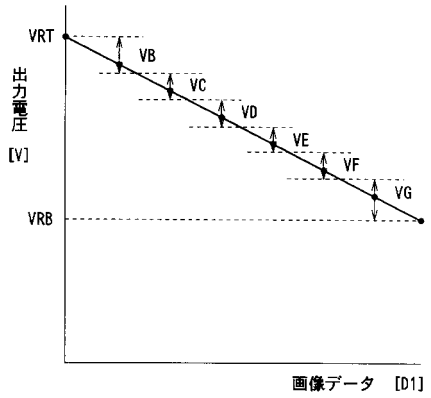
【 図 5 】



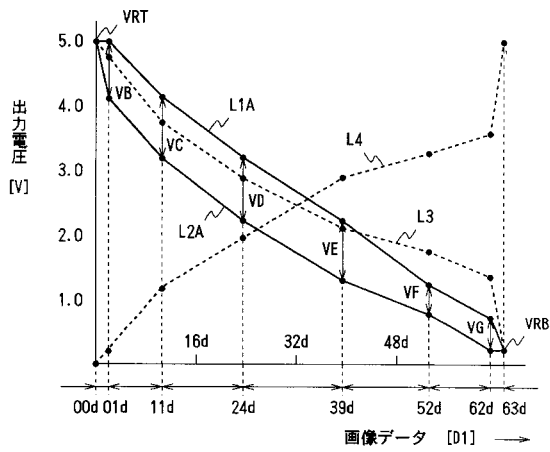
【 図 4 】



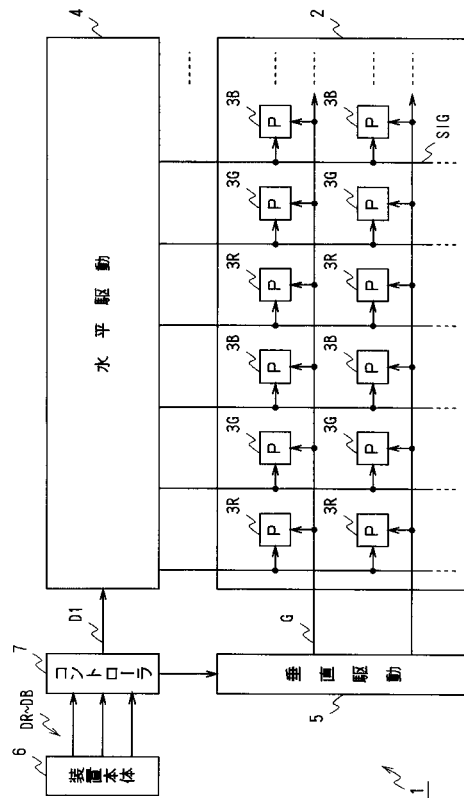
【 図 6 】



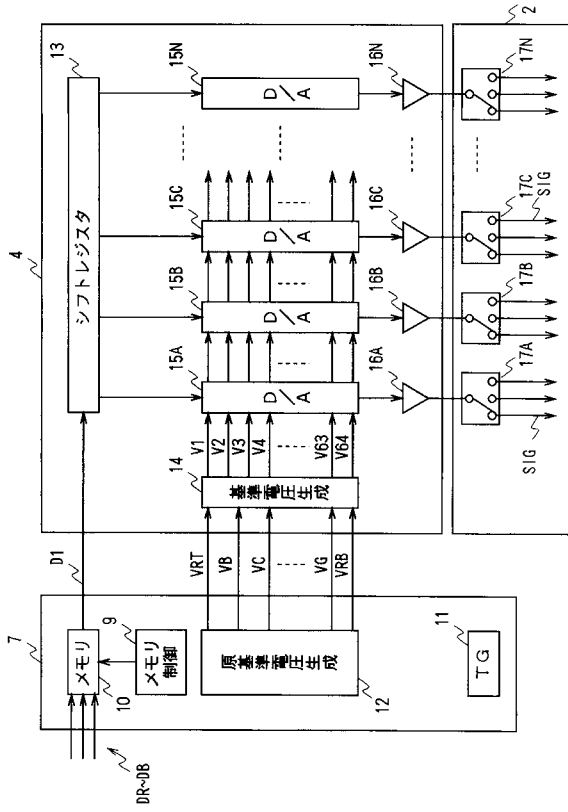
【 図 7 】



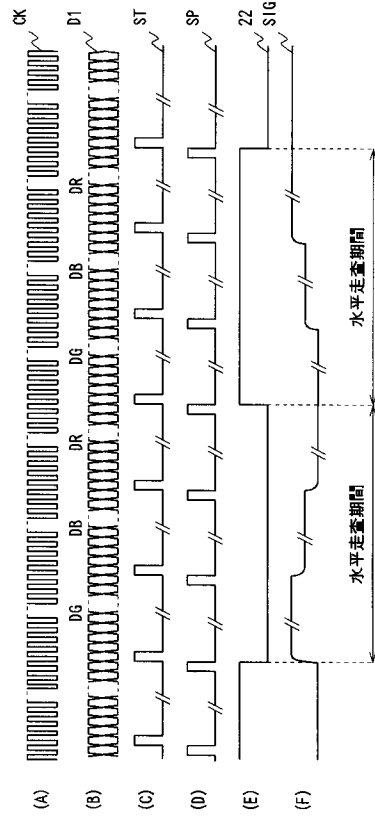
【 図 8 】



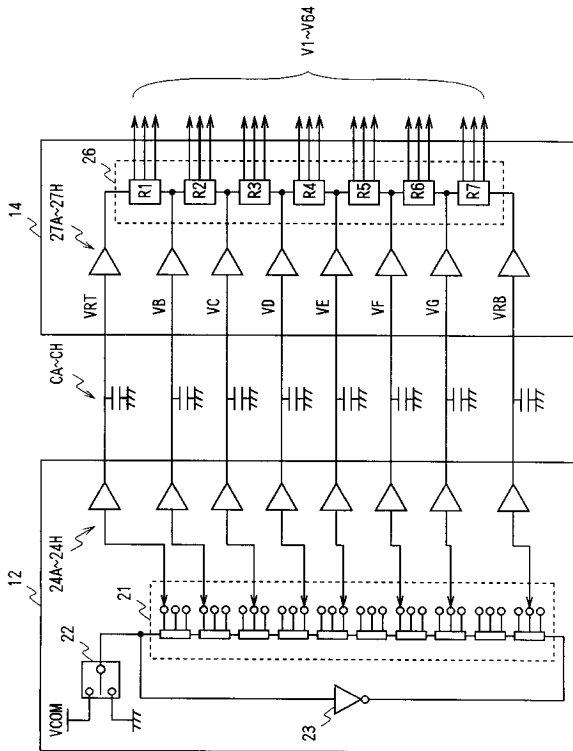
【図 9】



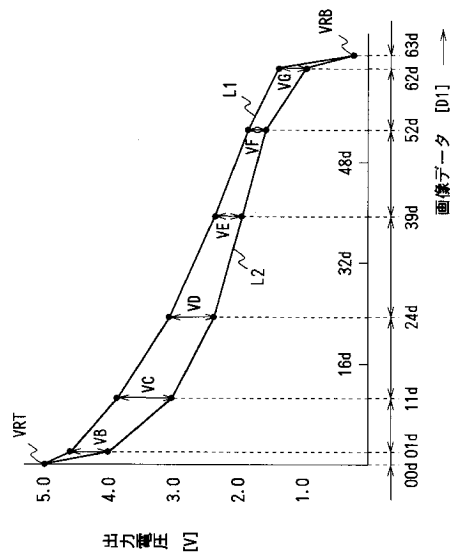
【図 10】



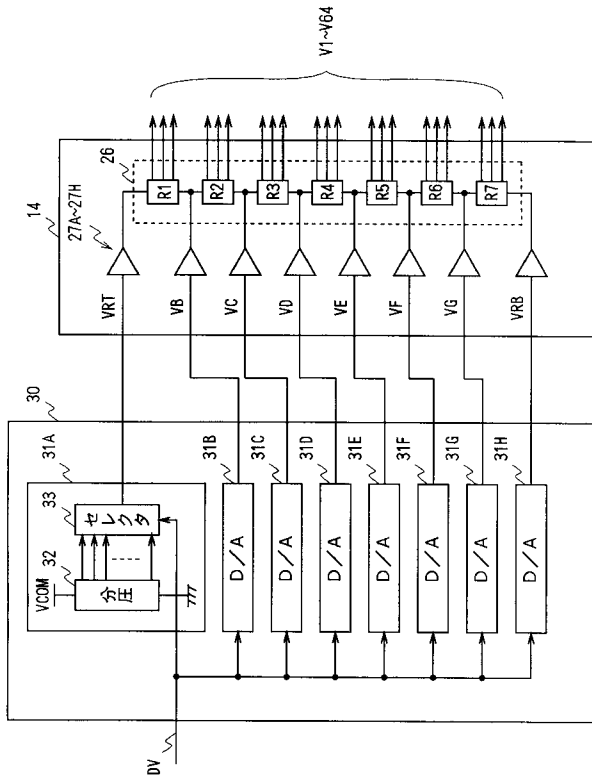
【図 11】



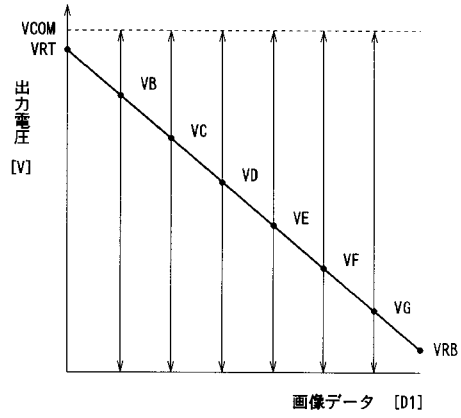
【図 12】



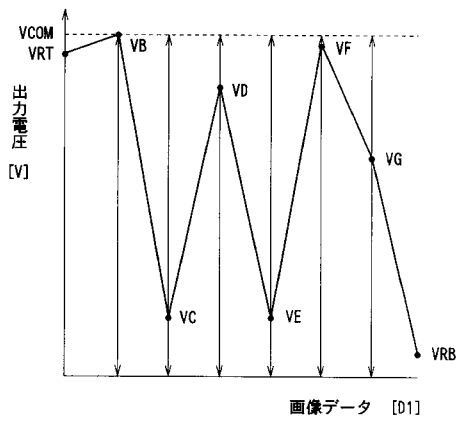
【図 13】



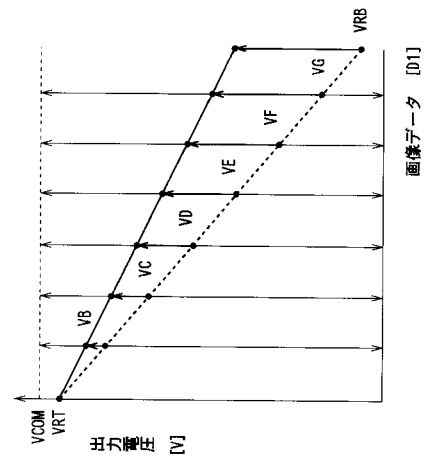
【図 14】



【図 15】



【図 16】



フロントページの続き

(51) Int.Cl. ⁷	F I	テーマコード(参考)
	G 0 9 G 3/20	6 7 0 J
	G 0 9 G 3/30	K
	G 0 9 G 3/36	
	H 0 3 M 1/70	

Fターム(参考) 5C080 AA06 AA10 BB05 CC03 DD03 DD29 EE29 JJ02 JJ03 JJ04
JJ05
5J022 AB04 BA02 BA04 CB02 CB07 CE09 CF07

【要約の続き】

专利名称(译)	用于平板显示装置的驱动电路和平板显示装置		
公开(公告)号	JP2005284038A	公开(公告)日	2005-10-13
申请号	JP2004099123	申请日	2004-03-30
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	山口正則 山田康雄		
发明人	山口 正則 山田 康雄		
IPC分类号	G09G3/36 G09G3/20 G09G3/30 G09G3/32 H03M1/06 H03M1/70 H05B33/08		
CPC分类号	G09G3/3696 G09G3/3208 G09G2310/027 G09G2310/0297 G09G2320/0238 G09G2320/0276 G09G2320/0666 G09G2320/0673		
FI分类号	G09G3/20.612.F G09G3/20.623.F G09G3/20.641.C G09G3/20.641.Q G09G3/20.642.J G09G3/20.670.J G09G3/30.K G09G3/36 H03M1/70 G09G3/3225 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	5C006/AA16 5C006/AA22 5C006/AF42 5C006/AF45 5C006/AF46 5C006/AF51 5C006/AF52 5C006/AF53 5C006/AF61 5C006/AF71 5C006/AF83 5C006/BC03 5C006/BC12 5C006/BC20 5C006/BF03 5C006/BF14 5C006/BF24 5C006/BF43 5C006/FA33 5C006/FA56 5C080/AA06 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD03 5C080/DD29 5C080/EE29 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5J022/AB04 5J022/BA02 5J022/BA04 5J022/CB02 5J022/CB07 5J022/CE09 5J022/CF07 5C380/AA01 5C380/AB06 5C380/AB32 5C380/AB34 5C380/AC12 5C380/BA24 5C380/BA48 5C380/BB14 5C380/BB25 5C380/BD01 5C380/CA08 5C380/CA12 5C380/CA17 5C380/CA33 5C380/CB01 5C380/CE06 5C380/CE07 5C380/CE19 5C380/CF07 5C380/CF18 5C380/CF21 5C380/CF48 5C380/CF51 5C380/CF63 5C380/CF64 5C380/FA05 5C380/FA26 5C380/FA28		
其他公开文献	JP4239095B2		
外部链接	Espacenet		

摘要(译)

本发明涉及平板显示装置的驱动电路和平板显示装置，并且例如被应用于使用有机EL元件的显示装置，从而可以各种地校正发光特性，并且可以有效地执行由于噪声引起的显著图像质量劣化。可以避免这种情况，并进一步简化调整工作。根据本发明，通过分压电路72A至72H根据原始基准电压设置数据DV选择多个候选电压，以产生原始基准电压VRT，VB至VG，VRB。从VRT，VB到VG和VRB生成用于数模转换的参考电压V1至V64。原始基准电压VRT和VRB是通过压力产生的，其余的原始基准电压VB至VG是通过参考两端的原始基准电压VRT和VRB串联分压电路72B至72G而产生的。[选型图]图1

