

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-271646

(P2004-271646A)

(43) 公開日 平成16年9月30日(2004.9.30)

(51) Int.Cl.⁷

G09G 3/30
G09G 3/20
H03F 3/343
H03K 17/00
H03K 17/16

F I

G09G 3/30 K
G09G 3/20 611H
G09G 3/20 623B
G09G 3/20 623F
G09G 3/20 641D

テーマコード (参考)

3K007
5C080
5J055
5J500

審査請求 未請求 請求項の数 12 O L (全 31 頁) 最終頁に続く

(21) 出願番号 特願2003-59015 (P2003-59015)

(22) 出願日 平成15年3月5日(2003.3.5)

(71) 出願人 302020207

東芝松下ディスプレイテクノロジー株式会
社

東京都港区港南4-1-8

(74) 代理人 100092794

弁理士 松田 正道

(72) 発明者 柘植 仁志

東京都港区港南四丁目1番8号 東芝松下
ディスプレイテクノロジー株式会社内

Fターム(参考) 3K007 AB17 BA06 DB03 GA04

5C080 AA06 BB05 CC03 DD05 EE29

FF01 FF11 JJ01 JJ02 JJ03

JJ05 KK07 KK47

最終頁に続く

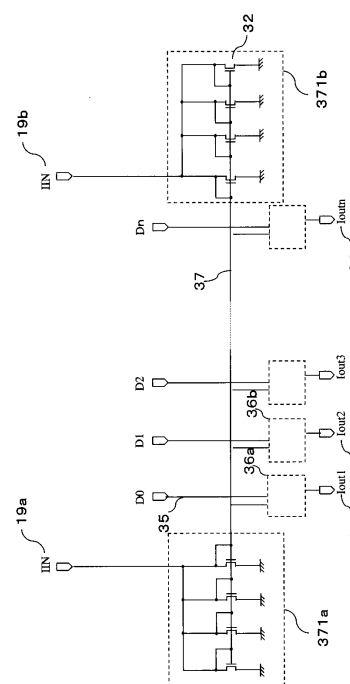
(54) 【発明の名称】 電流駆動型表示装置の駆動用半導体回路及びそれを用いた表示装置

(57) 【要約】

【課題】複数の基準電流に基づいて階調表示を行う電流出力型ドライバICにおいて、各出力にカレントミラーを用いて基準電流を分配する構成で、ミラーを形成する全てのトランジスタのゲート電極が1本の信号線により接続された場合に、大多数の出力端子の電流が変化した場合に、ミラーを形成するゲート信号線の電圧が変化し、所定の電流値とは異なる値を出力する。

【解決手段】ゲート信号線の電位変化を抑えるために、基準電流を流すミラー元のトランジスタを大きくするか、もしくはトランジスタの数を多くする。更に、ゲート信号線電位が変化することによる原因である、トランジスタのドレイン電圧の変化を小さくする機能を設けた。また、ゲート電位の変化に対するドレイン電流の変化の感度を小さくすることで、大多数の出力端子の電流が変化した場合でも、所定の電流値が出力できるようにした。

【選択図】 図37



【特許請求の範囲】

【請求項 1】

入力電流をカレントミラーにより駆動用半導体回路の少なくとも 2 つ以上の出力に分配するための 1 つもしくは複数の分配用ミラートランジスタと、
複数の階調表示用トランジスタと、
前記階調表示用トランジスタに流れる電流を外部に出力するかどうかを選択する切り替え部とを具備し、
前記すべての分配用ミラートランジスタのドレイン及びゲート電極と、前記全ての階調表示用トランジスタとが、共通ゲート線により接続された電流駆動型表示装置の駆動用半導体回路において、
前記分配用ミラートランジスタのチャンネル面積の総和は、前記分配用ミラートランジスタと前記共通ゲート線により接続された前記階調表示用トランジスタのチャンネル面積の総和の 0.01 倍以上 0.5 倍以下である駆動用半導体回路。

10

【請求項 2】

前記複数の階調表示用トランジスタとは、(1) 入力映像信号のビット数以上の個数の階調表示用トランジスタ、または (2) 表示階調数より一つ少ない個数の階調表示用トランジスタである請求項 1 記載の駆動用半導体回路。

【請求項 3】

前記分配用ミラートランジスタのチャンネル面積の総和は、前記分配用ミラートランジスタと前記共通ゲート線により接続された前記階調表示用トランジスタのチャンネル面積の総和の 0.05 倍以上 0.5 倍以下である請求項 1 記載の駆動用半導体回路。

20

【請求項 4】

ゲート電圧値により流れる電流が制御される複数の階調表示用トランジスタと、
前記階調表示用トランジスタに流れる電流を外部に出力するかどうかを選択する入力映像信号のビット数と同数の切り替え部と、
ソースドレイン間が短絡された、少なくとも 1 つの電流経路形成用トランジスタとを具備し、
前記階調表示用トランジスタは、前記切り替え部を介して外部に電流を出力し、前記 1 つ電流経路形成用トランジスタに対し、前記切り替え部と状態が反対となる 1 つの第 2 の切り替え部が接続され、
前記第 2 の切り替え部は前記電流経路形成用トランジスタの数に応じて、前記入力映像信号の最上位ビットから用意された数だけ順に、前記切り替え部の前記階調表示用トランジスタと接続される端子と接続されることで、前記階調表示用トランジスタには常にゲート電圧に応じたドレイン電流が流れる駆動用半導体回路。

30

【請求項 5】

前記複数の階調表示用トランジスタとは、(1) 入力映像信号のビット数以上の個数の階調表示用トランジスタ、または (2) 表示階調数より一つ少ない個数の階調表示用トランジスタである請求項 4 記載の駆動用半導体回路。

【請求項 6】

前記少なくとも 1 つの電流経路形成用トランジスタとは、入力映像信号のビット数と同じ個数の電流経路形成用トランジスタである請求項 4 記載の駆動用半導体回路。

40

【請求項 7】

ゲート電圧値により流れる電流が制御される複数の階調表示用トランジスタと、
前記階調表示用トランジスタに流れる電流を外部に出力するかどうかを選択する入力映像信号のビット数と同数の切り替え部と、
一端が正電源と接続された、少なくとも 1 つの抵抗素子とを具備し、
前記階調表示用トランジスタは、前記切り替え部を介して外部に電流を出力し、前記少なくとも 1 つの抵抗素子に対し、前記切り替え部と状態が反対となる 1 つの第 2 の切り替え部が接続され、
前記第 2 の切り替え部は前記抵抗素子の数に応じて、前記入力映像信号の最上位ビットか

50

ら用意された数だけ順に、前記切り替え部の前記階調表示用トランジスタと接続される端子と接続されることで、前記階調表示用トランジスタは常にゲート電圧に応じたドレイン電流が流れる駆動用半導体回路。

【請求項 8】

前記複数の階調表示用トランジスタとは、(1)入力映像信号のビット数以上の個数の階調表示用トランジスタ、または(2)表示階調数より一つ少ない個数の階調表示用トランジスタである請求項 7 記載の駆動用半導体回路。

【請求項 9】

前記少なくとも 1 つの抵抗素子とは、入力映像信号のビット数と同じ個数の抵抗素子である請求項 7 記載の駆動用半導体回路。

【請求項 10】

入力電流をカレントミラーにより駆動用半導体回路の少なくとも 2 つ以上の出力に分配するための一つもしくは複数の分配用ミラートランジスタと、
複数の階調表示用トランジスタと、
前記階調表示用トランジスタに流れる電流を外部に出力するかどうかを選択する切り替え部とを具備する駆動用半導体回路において
前記複数の階調表示用トランジスタのチャンネル幅 / チャンネル長の値が 0.01 以上 0.6 以下である駆動用半導体回路。

【請求項 11】

前記複数の階調表示用トランジスタとは、(1)入力映像信号のビット数以上の個数の階調表示用トランジスタ、または(2)表示階調数より一つ少ない個数の階調表示用トランジスタである請求項 10 記載の駆動用半導体回路。

【請求項 12】

請求項 1 記載の駆動用半導体回路を、有機発光素子を用いた表示パネルに用いた駆動用半導体回路を用いた表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、有機電界発光素子など、電流量により階調表示を行う表示装置に用いる電流出力を行う駆動用半導体回路に関する。

【0002】

【従来の技術】

有機発光素子は、自発光素子であるため、液晶表示装置で必要とされるバックライトが不要であり、視野角が広いなどの利点から、次世代表示装置として期待されている。

【0003】

有機発光素子のように、素子の発光強度と素子に印加される電界が比例関係とならず、素子の発光強度と素子を流れる電流密度が比例関係にあるため、素子の膜厚のばらつき及び入力信号値のばらつきに対し、発光強度のばらつきは電流制御により階調表示を行うほうが小さくすることができる(たとえば、特許文献 1 参照)。

【0004】

【特許文献 1】

特開 2000-276108 号公報

【0005】

【発明が解決しようとする課題】

有機発光素子においては、輝度は電流に対して比例し、電圧に対しては比例しない。従って、階調表示を行うには一般的には、階調データに応じた電流を有機発光素子に流す。

【0006】

有機発光素子などの電流駆動型素子を用いたパッシブマトリクス型の表示装置の例を図 23 に示す。

【0007】

10

20

30

40

50

セグメント信号線 2 3 2 とコモン信号線 2 3 3 の交点となる各画素に有機発光素子 2 0 4 を配置し、セグメントドライバ 1 7 およびコモンドライバ 2 4 を制御することで表示がなされる。

【 0 0 0 8 】

線順次走査により表示を行い、選択行ではコモン信号線 2 3 3 はローレベルの電圧が印加され、非選択行では電源 2 3 4 によりアノード信号線 2 3 2 よりもハイレベルの信号が印加される。これにより非選択行の有機発光素子 2 0 4 は非点灯状態となり、選択行の有機発光素子 2 0 4 はセグメントドライバ 1 7 から出力される電流量に応じた輝度で発光する。図 2 3 の例では 2 行目が選択された例となっている。コモンドライバ 2 4 により 1 行目から最終行まで順に行を選択することで 1 フレームが形成される。

10

【 0 0 0 9 】

このように有機発光素子を用いた表示装置においてはセグメントドライバ 1 7 は電流出力型のドライバ IC とする必要がある。

【 0 0 1 0 】

アクティブマトリクス型表示装置の例を図 2 0、2 1 に示す。

【 0 0 1 1 】

図 2 0 の例は、画素 2 0 8 にカレントコピア回路を形成したもので、行選択時にゲート信号線 1 (2 0 5) の操作により、トランジスタ 2 0 2 c および 2 0 2 d を導通状態とし、ソース信号線 2 0 1 に流れる電流を画素 2 0 8 に取り込む。2 0 2 a に流れる電流に応じたゲート電圧を蓄積容量 2 0 3 に蓄える。非選択期間にはゲート信号線 2 0 5 および 2 0 6 を操作し、トランジスタ 2 0 2 c 及び 2 0 2 d を非導通状態、2 0 2 b を導通状態として、先に蓄積容量 2 0 3 に蓄積された電荷に基づいた電流がトランジスタ 2 0 2 a に流れ、導通状態となった 2 0 2 b を介して有機発光素子 2 0 4 に電流を供給する。つまりソース信号線 2 0 1 に流れる電流に応じた電流が有機発光素子 2 0 4 に流れる。従ってソースドライバ 1 7 は電流出力型のドライバ IC である必要がある。

20

【 0 0 1 2 】

図 2 1 の例でも同様に、ゲートドライバ 2 4 の制御によりソース信号線 2 0 1 に流れる電流を画素 2 0 8 に取り込み、トランジスタ 2 1 2 e に電流が流れる。2 1 2 e とカレントミラーを形成する 2 1 2 a により有機発光素子 2 0 4 に電流が流れる。カレントミラー比 × ソース信号線を流れる電流が有機発光素子に流れるため、ソースドライバ 1 7 はやはり電流出力型の IC である。

30

【 0 0 1 3 】

電流出力型の IC の場合、1 階調あたりに流す電流を決める元となる電流 (基準電流) を設ける。

【 0 0 1 4 】

ドライバ IC 1 7 は 2 つの基準電流生成部 1 0 と、電流出力段 1 4 からなっている。

【 0 0 1 5 】

電流出力段 1 4 の例を図 3 に示す。電流出力段は、基準電流 1 9 及び階調データ 3 5 により決められる電流値を電流出力 3 4 よりドライバ IC 1 7 外部に出力する役割を持ち、液晶等で用いられるの電圧出力ドライバにおけるデジタルーアナログ変換部に相当する。

40

【 0 0 1 6 】

具体的には、基準電流 1 9 をトランジスタ 3 2 及び 3 3 からなるカレントミラー構成により分配を行っている。またトランジスタ 3 3 は階調表示用電流源として、少なくとも階調表示数 - 1 個のトランジスタが用意される。

【 0 0 1 7 】

階調データ 3 5 に応じてオンオフされるスイッチ 3 8 により、階調表示用電流源 3 3 が電流出力 3 4 に接続される個数を変化させることにより、入力階調データに応じた電流値が電流出力 3 4 に出力される。

【 0 0 1 8 】

図 3 の例では、階調 0 の時にはどの電流源 3 3 も出力 3 4 に接続されず、電流 0 が出力さ

50

れる。階調 1 の時には D 0 [0] に接続されたスイッチ 3 8 のみオンとなり電流源 1 つ分の電流が出力される。階調 2 ~ 7 においても同様に説明可能である。またこの例では 3 ビット入力で説明を行ったが、一般の M ビット入力においても同様に実現可能である。

【 0 0 1 9 】

このように構成された電流ドライバ I C 1 7 を用いて、図 3 3 に示すような表示を行うと、3 3 4 に示す行は、他の行の白表示に比べ輝度が高くなり、3 3 5 に示す部分は、他の行の白表示に比べ輝度が低くなる現象が、発生しやすい。

【 0 0 2 0 】

本発明では隣接配置されたドライバ I C 1 7 間で、基準電流のばらつきを小さくし、電流出力元が異なる I C 1 7 間の隣接画素において、中間調表示時にソース信号線に出力される電流のばらつきが 1 % 以内とするように、基準電流発生部の構成を考えた。 10

【 0 0 2 1 】

【課題を解決するための手段】

第 1 の本発明は、入力電流をカレントミラーにより駆動用半導体回路の少なくとも 2 つ以上の出力に分配するための 1 つもしくは複数の分配用ミラートランジスタ (図 3 、 3 2) と、

複数の階調表示用トランジスタ (図 3 、 3 3 a ~ 3 3 c) と、

前記階調表示用トランジスタ (3 3 a ~ 3 3 c) に流れる電流を外部に出力するかどうかを選択する切り替え部 (図 3 、 3 8 a ~ 3 8 c) とを具備し、

前記すべての分配用ミラートランジスタ (3 2) のドレイン及びゲート電極と、前記全ての階調表示用トランジスタ (3 3 a ~ 3 3 c) とが、共通ゲート線 (図 3 、 3 7) により接続された電流駆動型表示装置の駆動用半導体回路において、 20

前記分配用ミラートランジスタ (3 2) のチャンネル面積の総和は、前記分配用ミラートランジスタ (3 2) と前記共通ゲート線 (3 7) により接続された前記階調表示用トランジスタ (3 3 a ~ 3 3 c) のチャンネル面積の総和の 0 . 0 1 倍以上 0 . 5 倍以下である駆動用半導体回路である。

【 0 0 2 2 】

第 2 の本発明は、前記複数の階調表示用トランジスタとは、(1) 入力映像信号のビット数以上の個数の階調表示用トランジスタ、または (2) 表示階調数より一つ少ない個数の階調表示用トランジスタである第 1 の本発明の駆動用半導体回路である。 30

【 0 0 2 3 】

第 3 の本発明は、前記分配用ミラートランジスタのチャンネル面積の総和は、前記分配用ミラートランジスタと前記共通ゲート線により接続された前記階調表示用トランジスタのチャンネル面積の総和の 0 . 0 5 倍以上 0 . 5 倍以下である第 1 の本発明の駆動用半導体回路である。

【 0 0 2 4 】

第 4 の本発明は、ゲート電圧値により流れる電流が制御される複数の階調表示用トランジスタ (図 4 0 、 3 3 a ~ 3 3 c) と、

前記階調表示用トランジスタ (3 3 a ~ 3 3 c) に流れる電流を外部に出力するかどうかを選択する入力映像信号のビット数と同数の切り替え部 (図 4 0 、 1 1 3) と、 40

ソースドレイン間が短絡された、少なくとも 1 つの電流経路形成用トランジスタ (図 4 0 、 4 0 1) とを具備し、

前記階調表示用トランジスタ (3 3 a ~ 3 3 c) は、前記切り替え部 (1 1 3) を介して外部に電流を出力し、前記 1 つ電流経路形成用トランジスタ (4 0 1) に対し、前記切り替え部 (1 1 3) と状態が反対となる 1 つの第 2 の切り替え部 (図 4 0 、 4 0 3) が接続され、

前記第 2 の切り替え部 (4 0 3) は前記電流経路形成用トランジスタ (4 0 1) の数に応じて、前記入力映像信号の最上位ビットから用意された数だけ順に、前記切り替え部 (1 1 3) の前記階調表示用トランジスタ (3 3 a ~ 3 3 c) と接続される端子と接続されることで、前記階調表示用トランジスタ (3 3 a ~ 3 3 c) には常にゲート電圧に応じたド 50

レイン電流が流れる駆動用半導体回路である。

【0025】

第5の本発明は、前記複数の階調表示用トランジスタとは、(1)入力映像信号のビット数以上の個数の階調表示用トランジスタ、または(2)表示階調数より一つ少ない個数の階調表示用トランジスタである第4の本発明の駆動用半導体回路である。

【0026】

第6の本発明は、前記少なくとも1つの電流経路形成用トランジスタとは、入力映像信号のビット数と同じ個数の電流経路形成用トランジスタである第4の本発明の駆動用半導体回路である。

【0027】

第7の本発明は、ゲート電圧値により流れる電流が制御される複数の階調表示用トランジスタ(図43、33a~33c)と、前記階調表示用トランジスタ(33a~33c)に流れる電流を外部に出力するかどうかを選択する入力映像信号のビット数と同数の切り替え部(図43、113)と、一端が正電源と接続された、少なくとも1つの抵抗素子(図43、431)とを具備し、前記階調表示用トランジスタ(33a~33c)は、前記切り替え部(113)を介して外部に電流を出力し、前記少なくとも1つの抵抗素子(431)に対し、前記切り替え部(113)と状態が反対となる1つの第2の切り替え部(図40、403)が接続され、前記第2の切り替え部(403)は前記抵抗素子(431)の数に応じて、前記入力映像信号の最上位ビットから用意された数だけ順に、前記切り替え部(113)の前記階調表示用トランジスタ(33a~33c)と接続される端子と接続されることで、前記階調表示用トランジスタ(33a~33c)には常にゲート電圧に応じたドレイン電流が流れる駆動用半導体回路である。

10

20

【0028】

第8の本発明は、前記複数の階調表示用トランジスタとは、(1)入力映像信号のビット数以上の個数の階調表示用トランジスタ、または(2)表示階調数より一つ少ない個数の階調表示用トランジスタである第7の本発明の駆動用半導体回路である。

【0029】

第9の本発明は、前記少なくとも1つの抵抗素子とは、入力映像信号のビット数と同じ個数の抵抗素子である第7の本発明の駆動用半導体回路である。

30

【0030】

第10の本発明は、入力電流をカレントミラーにより駆動用半導体回路の少なくとも2つ以上の出力に分配するための1つもしくは複数の分配用ミラートランジスタ(図3、32)と、複数の階調表示用トランジスタ(図3、33a~33c)と、前記階調表示用トランジスタ(33a~33c)に流れる電流を外部に出力するかどうかを選択する切り替え部(図3、38a~38c)とを具備する駆動用半導体回路において前記複数の階調表示用トランジスタ(33a~33c)のチャンネル幅/チャンネル長の値が0.01以上0.6以下である駆動用半導体回路である。

【0031】

第11の本発明は、前記複数の階調表示用トランジスタとは、(1)入力映像信号のビット数以上の個数の階調表示用トランジスタ、または(2)表示階調数より一つ少ない個数の階調表示用トランジスタである第10の本発明の駆動用半導体回路である。

40

【0032】

第12の本発明は、第1の本発明の駆動用半導体回路を、有機発光素子を用いた表示パネルに用いた駆動用半導体回路を用いた表示装置である。

【0033】

【発明の実施の形態】

ドライバIC17は2つの基準電流生成部10と、電流出力段14からなっている。

【0034】

50

電流出力段 14 の例を図 3 に示す。電流出力段は、基準電流 19 及び階調データ 35 により決められる電流値を電流出力 34 よりドライバ IC 17 外部に出力する役割を持ち、液晶等で用いられるの電圧出力ドライバにおけるデジタル-アナログ変換部に相当する。

【0035】

具体的には、基準電流 19 をトランジスタ 32 及び 33 からなるカレントミラー構成により分配を行っている。またトランジスタ 33 は階調表示用電流源として、少なくとも階調表示数 - 1 個のトランジスタが用意される。

【0036】

階調データ 35 に応じてオンオフされるスイッチ 38 により、階調表示用電流源 33 が電流出力 34 に接続される個数を変化させることにより、入力階調データに応じた電流値が電流出力 34 に出力される。 10

【0037】

図 3 の例では、階調 0 の時にはどの電流源 33 も出力 34 に接続されず、電流 0 が出力される。階調 1 の時には D0 [0] に接続されたスイッチ 38 のみオンとなり電流源 1 つ分の電流が出力される。階調 2 ~ 7 においても同様に説明可能である。またこの例では 3 ビット入力で説明を行ったが、一般の M ビット入力においても同様に実現可能である。

【0038】

またカレントミラーを形成する 32 及び 33 は必ずしも 1 対 1 である必要はなく、任意のミラー比を取ることが可能である。また図 3 では分配用ミラートランジスタ 32 は 1 つで書いたが、複数のトランジスタで構成してもよい。 20

【0039】

図 3 では 3 つのデジタルアナログ変換部 36 により 3 出力を行った例で示したが、一般に M チャンネル出力ドライバ IC の場合、36 を M 個並べればよい。

【0040】

一方基準電流 19 を生成する方法として、一般的には図 5 に示すような定電流回路を用いる。信号線 19 に出力される電流値は、電源 51 と基準電圧信号線 15 の電位差を抵抗素子 11 の抵抗値で割った値が出力される。

【0041】

以上のような構成を用いることで基準電流と入力データに応じた電流値が出力される電流ドライバ IC 17 ができる。 30

【0042】

一般にドライバ IC は、図 2 に示すようにパネルの額縁部に配置されることが多い上に、額縁サイズを小さくしたいため、一般的には細長い形状で作成されることが多い。出力パッドが並ぶ辺が長辺となる。従って図 3 に示したデジタルアナログ変換部 36 は横に長く配置することが多い。そのため、分配用ミラートランジスタ 32 から離れた場所に、カレントミラーの受けとなるトランジスタが配置される可能性が高くなる。この場合、ミラーを形成する 1 対のトランジスタの組において、移動度や閾値電圧が異なる可能性があり、実際のミラー比が設計値とは異なる。ドライバ IC は一般にクリスタルシリコンでできしており、トランジスタの特性は、ウエハ面内でなだらかに変化すると考えられる。例えば図 26 (a) の 261 から 263 のような閾値電圧のチップ内分布があげられる。この分布により図 26 (b) に示すように同一デジタルアナログ変換部を並べたとしても出力電流が 261 b から 263 b に示すように変化する。このときに図 1 に示すような 2 つのドライバを並べた構成を考えた場合、図 27 に示すようにドライバ IC 17 の境界で、出力電流におおきなずれが発生し、ブロックむらとして表示に影響を与える。 40

【0043】

そこで図 1 で用いる電流ドライバ IC 17 は基準電流源 10 をチップの両端に用意し、図 4 に示すようにチップの両端から基準電流を供給し、共通ゲート線 37 を 2 つのトランジスタ 32 間の抵抗が数キロオームから数メガオーム程度となるように配線した。

【0044】

これにより、最も分配用ミラートランジスタ 32 a から離れていた N 番目の出力 (I_{ou}) 50

t N、34c)の近接にミラートランジスタ32bが配置される。

【0045】

図28(a)に示したような閾値電圧の分布があった場合、19a及び19bから電流I₁が流れるとき、32a及び32bのゲート電圧はそれぞれ異なり、(32aのゲート電圧) < (32bのゲート電圧)となる。この電圧値をそれぞれV_{g1}、V_{g2}とする。共通ゲート線37の抵抗を高くすることにより、入力基準電流19a及び19bがロスすることなく、共通ゲート線37の両端の電位差を発生させることができる。図28(b)に示すようにI_{out1}に違いゲート線の電圧はV_{g1}に、I_{outN}に近いゲート線の電圧はV_{g2}にできる。出力電流値は図28(c)のようになり、少なくともチップの両端の出力電流値はほぼ等しい値I₁にすることが可能である。

10

【0046】

以上のような電流出力段14の構成を用いることで、図1のように2つのドライバIC17を並べた場合、基準電流19b及び19cの入力が同一であればI_{outN}及びI_{out(N+1)}の出力電流が全白時にI₁となるため、ブロックむらがない表示が可能である。

【0047】

つまりブロックむらの発生を抑えるには、異なるIC間で隣接する基準電流19のばらつきが小さいことが重要である。

【0048】

この基準電流19のばらつきを少なくするために図1及び図12の構成を考案した。

20

【0049】

第1の方法である図1について説明を行う。

【0050】

図1の方法では、チップ内の2つの基準電流源を形成するために、図5で示した構成要素が2つずつ、チップ内に内蔵されている。また、抵抗素子11については2パーツに分割し、全部で4パーツ存在する。抵抗値の精度の問題から通常抵抗は外付けとすることが多いが、本発明では内蔵する構成とした。外付け部品を少なくすることが可能であり、コスト及び実装面積が削減可能である。

【0051】

ドライバIC17を1つ使いにした場合、もしくは複数チップ使用の場合において、他のドライバICと隣接しない場合、電流源は図1の10aに示すような構成とする。

30

【0052】

2つのドライバIC17が接する場合における電流源の構成は図1の中央部に示した2つの電流源の構成のようになる。外部配線16により2つ必要な抵抗素子11のうち一方を異なるIC17から取り込むようにした。ドライバ17aの右端の定電流源回路を図9(a)に、ドライバ17bの左端の定電流源回路を図9(b)に示す。図9の各構成要素についた番号は図1と対応している。

【0053】

抵抗素子11は隣り合うIC17の両方から1つずつ持ってきている。図9(a)では11dはIC17aから、11eはIC17bのものである。また図9(b)では11cはIC17aから、11fはIC17bのものである。抵抗素子11の抵抗値を図9のように定義すると、19bに流れる電流(I_{19b})は $V_{std1} / (R1 + R2)$ であり、19cに流れる電流(I_{19c})は $V_{std2} / (R3 + R4)$ となる。15a及び15bの基準電圧信号線はIC17外部にて接続するので、 $V_{std1} = V_{std2}$ となる。従ってI_{19b}とI_{19c}が異なる要因になるのは、4つの抵抗素子11のばらつきによる。IC17内部で抵抗を作成するには、拡散抵抗とポリシリコン抵抗がある。よりばらつきの少ない抵抗を作成するには、ポリシリコン抵抗を用いるほうがよく、チップ間及びロット間を含めるとおよそ5%程度のばらつきである。しかし、同一チップ内に近接して2つの抵抗素子11を作成した場合、抵抗値のばらつきは0.1%程度となる。よって図1及び図9に示す抵抗素子11cと11d間(R3とR2)、11eと11f間(R1と

40

50

R 4) のばらつきは 0.1% に抑えられる。従って、I 19 b と I 19 c 間でのばらつきの要因となる (R 1 + R 2) と (R 3 + R 4) 間のばらつきは、0.1 の 2 乗平均である 0.14% となる。

【0054】

このように、電流値を決める抵抗を隣接する 2 つのチップから相互にとることで、チップ間及びロット間ばらつきとは無関係となり、5% 程度ばらつきのあるポリシリコン抵抗でも実用可能となる。よって、内蔵抵抗、ブロックむらのできないドライバ IC 17 が実現可能である。

【0055】

図 1 では 2 個のドライバ IC 17 で説明を行ったが、一般に M 個のドライバ IC を並べた場合にも同様に実施が可能である。その例を図 29 に示す。 10

【0056】

図 13 は第 2 の実施の形態である。

【0057】

図 1 と異なる点は、抵抗素子 11 の接続方法である。4 つの抵抗素子とも、外部接続端と逆の端子は電源と接続されている。

【0058】

基準電流生成部の回路図を図 15 に示す。なおここでは基準電圧信号線 15 は IC チップ外で接続している。

【0059】

基準電流 19 のばらつきは、第 1 の実施例と同様に、抵抗値のばらつきにより決まる。R 21 と R 22、R 31 と R 32 は同一チップ内にあるため、この間のばらつきは 0.1% 程度となる。従って、R 22 と R 31 の合成抵抗である R b と R 21 と R 32 の合成抵抗である R c 間でのばらつきは 0.14% のばらつきとなる。 20

【0060】

この場合にもチップ間ばらつきの影響が見かけ上なくなるため、ポリシリコン抵抗で作成しても、ブロックむらのない表示が可能となる。

【0061】

以上の説明において、基準電圧信号線 15 は外部よりアナログ電圧を入力した例で説明を行ったが、図 5 の構成を図 6 に示すようにして、アナログ電圧をプログラマブルに変更できるようにしてもよい。図 6 では、制御データ 63 に応じて、スイッチ 62 のオンオフ状態が変化し、基準電圧 15 の値が変化する。制御データ 63 に応じて、基準電流 19 の値ひいては表示パネルの輝度を変えることが可能である。第 1 の実施例では図 7 のように、第 2 の実施例では図 14 に示すような構成となる。なお図 1 のように複数のドライバ IC 17 を用いる場合、図 7 の回路を IC 17 ごとに個別に動作させてもよいが、図 10 に示すように複数の基準電流発生回路に供給する基準電圧信号線 15 を 1 つの電圧調節部 65 により制御してもよい。このように IC 17 内部において、基準電流 19 を調整できるような構成にすることで、例えば図 30 に示すような携帯情報端末において、電池のもちをよくするために、ボタン 302 が操作されたときには、通常の輝度で表示を行い、ある一定期間がたった後には輝度を低下させるということが可能となる。具体的には、ボタン 302 において入力が発生したときに CPU 312 に情報転送する。CPU はコントローラ 313 に信号を送り、コントローラ 313 により、ドライバ IC 17 内部の制御データを書き換え、基準電圧 15 をあらかじめ定められたデフォルト値に設定する。一方、CPU 312 にて、ある一定時間をカウントし、一定時間後にはコントローラ 313 に再び信号を送り、コントローラ 313 はドライバ IC 17 の制御データを書き換え、基準電圧信号線 15 の電圧を低下させることで、輝度を下げる。極端には、基準電流がほとんど流れないような基準電圧 15 の設定が電圧調整部 65 により行えるようにしてもよい。これにより、ドライバ IC 17 内部に流れる電流値を下げるということが可能であり、さらに、表示素子に流れる電流も下げることで、消費電力を下げることも可能となる。 30 40

【0062】

他にも、図 3 1 のボタンなど 3 0 2 に代わって、光センサを用いれば、表示パネルの周辺環境（周りの明るさ）により、輝度を調整できるという利点がある。このドライバ I C 1 7 が主に用いられる有機発光素子では、暗闇の中では視認性が高く、明るい外光下（例えば太陽光下）では視認性が低い。そこで、光センサにより、周囲の照度が高いときには、C P U、コントローラの制御により、ドライバ I C 1 7 の基準電流をたくさん流すようにし、周囲の照度が低いときには、ドライバ I C 1 7 の基準電流を少なくするようにすることが可能である。周囲の環境に応じて最も見やすい輝度で表示するという制御が可能になるという利点がある。

【 0 0 6 3 】

このドライバ I C 1 7 が複数用いられ、図 1 に示す第 1 の形態を実施する場合には、図 7 10
のような構成となる。ここでは、定電流源回路は 1 つしか記載していないが、複数の定電流源回路を 1 つの電圧調節部 6 5 で制御してもよい。例えば図 1 0 のような構成が考えられる。

【 0 0 6 4 】

低電力化への方法としては、図 2 5 のような構成をとることも可能である。図 1 の構成に対し、基準電流線 1 9 にスイッチ 2 5 1 を設けた。スイッチ 2 5 1 を非導通状態とすることで、基準電流を 0 にすることができ、I C 1 7 内部で消費する電力を削減することが可能である。

【 0 0 6 5 】

温度特性を持つ表示素子を表示部に用いた表示装置においては、温度特性を補償するための機能が必要となる。例えば、温度によって電流 - 輝度特性が変化し、同一電流入力に対し、輝度が変化するということが発生する素子もある。 20

【 0 0 6 6 】

輝度を一定に保つには、温度に応じて基準電流を変化させればよい。例えば図 6 に示した温度補償素子 6 1 を抵抗 1 1 に並列に接続する方法がある。これにより、合成抵抗値は温度により変化し、基準電流 1 9 も変化する。この変化を温度特性を補償するような方向に変化させることで、温度変化に強い表示装置を実現することが可能となる。

【 0 0 6 7 】

図 1 の構成において温度特性補償を行う場合には図 1 2 のように温度補償素子 1 2 1 をつけ 30
ればよい。温度によって、基準電流を決める抵抗値が変化するため温度特性補償が可能となる。

【 0 0 6 8 】

ポリシリコン抵抗のばらつきはチップ内近接ではおよそ 0 . 1 %、チップ間、ロット間では 5 % 程度である。この範囲であれば、本発明を用いることでブロックむらをなくすることができる。しかし、プロセス上の問題等でばらつきが大きくなることもある。ばらつきが大きくなると不良品となり、ドライバ I C 1 7 の歩留まりが低下する。そこで、図 8 に示すように、抵抗素子 1 1 の抵抗値を調整できるような機能を設けることで、ばらつき範囲からはずれたドライバ I C も、ばらつき範囲内の値にすることで、良品とすることが可能となる。

【 0 0 6 9 】

具体的には抵抗素子 1 1 を複数のパーツに分割する。複数のパーツのうちのいくつかのパーツは配線ショートする。抵抗素子 1 1 a の抵抗値を大きくするには、短絡した 8 1 の配線を F I B 等でパターンカットすればよい。抵抗値をどれだけ大きくするかは、パターンカットする 8 1 の数で調整可能である。抵抗素子 1 1 b についても同様であり、本発明で用いたすべての抵抗素子 1 1 に適応可能である。 40

【 0 0 7 0 】

このようにより多くのドライバ I C を良品とできる構成とすることで、歩留まりが上昇し、低コストかつむらの少ない表示装置が実現可能となる。

【 0 0 7 1 】

電流出力段 1 4 が図 3 及び図 4 で示す構成である場合、先に述べたとおり、図 2 6 (a) 50

に示すようなしきい値特性を持つウエハーを使用したときに、出力電流が端子ごとに傾斜を持って出力される。図4の構成により、左右端の電流値はほぼ同一にすることが可能であるが、全出力端子にわたってそろえることは難しい。一般的には隣接間の出力ばらつきが1%以内であれば、表示に支障はなく、閾値特性の傾きがその範囲内であればよい。しかし、IC作成時のプロセスばらつき、製膜装置の状態等によっては傾きが急になることがあり、その場合、該当するICは不良品となり歩留まりが悪くなることが考えられる。

【0072】

そこで、本発明ではさらに、図26(a)のような傾きによらず、均一な表示が実現できる構成を実現し、さらにそのICを複数個使ったときのブロックむらを防ぐ方法を考案した。

10

【0073】

均一表示を実現するために、基準電流を各出力に分配し、出力ごとに設けられた基準電流を元に、階調表示を行うことにする。電流分配を行う方法を図16及び17に、出力段の構成を図11に示す。

【0074】

各出力への基準電流の分配は3段階により行われる。1つの基準電流源161(親電流源)からまずN個の電流源162(子電流源)に電流を分配する。さらに子電流源162の電流をM個の電流源32(孫電流源)に分配する。これにより、1つの基準電流から、 $M \times N$ 個に電流を分配することが可能となった。

【0075】

この図では1つの電流源を $M \times N$ 個に分配するにあたり、2回に分けて電流分配を行っている。分配回数に付いては1回でも、3回以上であっても実現可能であるが、2から3回で分割を行うことが最もよい。

20

【0076】

各分配手段における電流ばらつきが、分配回数の増加に伴い出力電流のばらつきとして影響する。各分配段階でのばらつきの2乗平均として、出力に影響を及ぼすため、隣接出力のばらつきを1%以内に収めるためには、分配回数を少なくするか、1回の分配でのばらつきを小さくする必要がある。1回の分配でのばらつきを小さくするには一般的にはトランジスタサイズを大きくするしかなく、トランジスタサイズの増大はチップ面積の増大にもつながり、IC17のチップが大きくなるという欠点がある。また分配回数がおおいとそれだけトランジスタの数も多くなるため、これもまたチップ面積が増大する。それゆえ分配回数は多くても3回程度である。

30

【0077】

一方、1回ですべての出力に分配する場合は出力数が30以内のものでは有効であるが、100出力を超えるドライバICでは適用しにくい。1回の分配で出力数だけ電流を分配するには少なくとも、出力数+1個のトランジスタからなるカレントミラーを形成する必要がある。カレントミラーは一般的にはミラーを形成するトランジスタ同士を近接配置することで、近接ではトランジスタ特性がほぼ等しいということを利用して、ミラーを行っている。出力数+1個のカレントミラーを形成すると、ミラー元のトランジスタと、ミラー先のトランジスタの配置が遠くなるものが発生するため、正確にミラーすることがしにくくなる。1回に分配する個数を多くても30個程度にすることが望ましい。

40

【0078】

図17に電流分配の方法を示す。基準電流19に対し、親電流源161とトランジスタ171によりN個の電流に分配する。このとき、トランジスタの組174と161は近接に配置し、N個の電流にばらつきがないようにする。次に、分配された各電流をさらにM個の電流に分配する。このときもトランジスタ162と175は近接に配置し、特性ばらつきによる電流ばらつきを抑える。出力ごとに基準電流を分配できた。この分配した電流115(孫基準電流)を元に図11に示すような構成で、入力階調データに応じた電流を出力線114から出力する。(この例では6ビットのデータに応じて、適切な電流量を出力する)なおM及びNは2以上30以下が好ましい。

50

【0079】

ドライバIC17は、長方形型に作成されることが多く、その長辺側に出力パットを並べることが多い。電流出力段14の各出力はチップ面積の有効利用から、当該出力パットの近くに置くことが多い。そのため、 $M \times N$ 出力のドライバICでは、1番目の出力段と、 $M \times N$ 番目の出力段は10～25mm程度はなれていることが多い。1つの基準電流を、 $M \times N$ 個に分配する際には、各出力までの引きまわしも重要になる。図17の構成では、カレントミラーを形成し、電圧の形で情報を受け渡す部分については、近接に配置し、電流の形で情報が受け渡されるところで、出力段の近傍まで引きまわしを行うようにした。このようにすることで、10～25mm離れた出力へもばらつき少なく分配が可能となる。

10

【0080】

さて、以上のような出力電流段を持つドライバIC17を複数個用いて表示を行う場合に、ブロックむらを防ぐには、各ICに同一量の基準電流を供給する必要がある。

【0081】

図18に2つのドライバIC17間で基準電流19のばらつきが小さくなる構成を示す。

【0082】

基準電流値を決める基準電圧15は外部で接続することで、同一電圧が供給される。次に抵抗素子11は第1及び第2の実施の形態と同様に2つに分割し、1つを隣接IC、1つを当該ICに内蔵されたものを用いることで、11b、11cの合成抵抗値と11a、11dの合成抵抗値間のばらつきは、内蔵ポリシリコン抵抗のチップ内ばらつきである0.1%の2乗平均である0.14%程度である。基準電流は0.14%のばらつきですむ。これは実施例1及び2と同等である。

20

【0083】

本発明における電流出力段での電流ばらつきは、基準電流19のばらつきが0.14%であることを考慮すると、デジタルアナログ変換部36に用いられるトランジスタのばらつきは0.5%以下である必要がある。この条件では、チップ内隣接端子間ばらつきが0.5%以下、チップ間隣接端子ばらつきが $0.72\% = (0.14^2 + 0.5^2 + 0.5^2)$ 以下となる。全ての隣接端子間でばらつきが1%以下を実現できる。そのためには階調表示用電流源33のトランジスタサイズは、図19に示したトランジスタサイズと出力電流ばらつきの関係から33平方 μm 以上必要である。

30

【0084】

このように構成された電流ドライバIC17を用いて、図33に示すような表示を行うと、334に示す行は、他の行の白表示に比べ輝度が高くなり、335に示す部分は、他の行の白表示に比べ輝度が低くなる現象が、発生しやすい。

【0085】

輝度が高くなる部分334（ここでは輝線と呼ぶ）は、ドライバIC17の端子で黒信号を出力する端子の数が少なくなる行で発生し、輝度が低くなる部分335（ここでは黒線と呼ぶ）は、ドライバIC17の端子で黒信号を出力する端子の数が多くなる行で発生する。

【0086】

図20もしくは図21のような画素構成を持つ表示装置において、ドライバIC17の出力端子に接続されたソース信号線の電圧は、図33の336に示した信号線及び337に示した信号線において、図34に示すような、電圧波形となる。ここで、 V_b は画素が黒を表示するときの電圧で、 V_w は画素が白を表示するときの電圧である。

40

【0087】

列336に対応するソース信号線の電圧波形は、図34(a)に示すように図33に示した画像に対応して、341の期間では黒を示す電圧を、342の期間では白を示す電圧を、343の期間では黒を示す電圧を出力する。

【0088】

一方、列337に対応するソース信号線の電圧波形は、図34(b)に示すように、1フ

50

レームの全ての期間において、白を示す電圧を出力する。このとき、334で示した行の表示期間では電圧が低下する方向にハザードが発生し、より輝度が高くなる。335で示した行の表示期間では電圧が上昇する方向にハザードが発生し、より輝度が低くなる。その結果、図33の334では、他の白表示時に比べ輝度が高くなるため輝線が発生し、335では、他の白表示時に比べ輝度が低くなるため、黒線が発生する。

【0089】

このようなソース信号線電圧にハザードが出る要因について説明を行う。

【0090】

ドライバIC17の出力段回路と、表示パネル部の画素208を接続したときの回路を図35に示す。この例では、336、337に対応する2列のみを示す。なお、ここでは階調データが2ビットのときで説明を行うが、一般にNビットでも同様な説明が可能である。

10

【0091】

図33の338に対応する期間では、階調データ353aは黒データを、353bでは白データを出力数する。これにより、スイッチ38a及び38bは非導通状態となり、38cと38dは導通状態となる。これにより、トランジスタ33のドレイン電圧は、351aと351bではドライバIC17のグランド電位に近い値(図36に示した電圧Vdb)となり、351c及び351dは、ソース信号線201bの電位Vwと等しくなる。ソース信号線201aの電位はVbとなる。画素208aに黒を書きこんでいるとすると、スイッチ38a及び38bが非導通状態であるため、ソース信号線201aはドライバICと切り離された状態にある。一方画素208a内部においては、ゲート信号線205及び206の操作によりトランジスタ202c及び202dは導通状態、202bは非導通状態となる。また、ソース信号線201aにつながる他の全ての画素はゲート信号線の操作により、ソース信号線から電氣的に切り離された状態にある。ソース信号線201aは、電源207とトランジスタ202aを介して接続された状態にある。トランジスタ202aを介して電流が流れる経路がないため、トランジスタ202aは電流が流れなくなるように、ドレイン電位を上昇させる。従って電圧Vbはほぼ電源電圧207に等しくなる。

20

【0092】

この状態で階調データ353aのみを図36に示すように、白信号とする。するとスイッチ38a及び38bは導通状態となる。その瞬間、351a及び351bの電位は、ソース信号線201aの電位まで上昇する。この変化がトランジスタ33に寄生する容量352を介して、容量結合として共通ゲート信号線37に伝播する。その結果、図36の361で示したようにゲート電圧がハザード的に上昇する期間が発生する。全ての出力トランジスタ33は同一の共通ゲート信号線37の電圧に基づいて、電流を出力しているため、ゲート信号線のハザードは全てのドライバ出力18に影響する。データ353bは変化しないため、スイッチ38c及び38dの状態は変化しないが、ゲート信号線37の電圧が361のように変化したため、362に示すように、出力電流が変化する。所定の電流値Iowと異なる電流値が出力される期間363が一水平走査期間に比べ長いと、ゲート信号線205によりソース信号線から画素回路が切り離されるときに規定される画素208に書き込まれる電流値がIowに比べ大きくなるため、所定輝度に比べ、高い輝度がEL素子204より出力される。

30

40

【0093】

同様に、階調データ353aが白から黒に変化した場合においても、スイッチ38a及び38bが閉じたとたんに、351a及び351bの電圧がVdwからVdbに変化し、この変化が、浮遊容量352を通じて共通ゲート信号線37に伝播することで、364のようにゲート電圧が低下し、18bに流れる電流も低下する。これにより、同様にこのハザードが一水平走査期間以上にわたって発生すると、ハザードがでた期間に対応した画素は所定輝度に比べ低い輝度で表示を行う。

【0094】

50

そこで、本発明では、輝線及び黒線をなくす方法として、大きく3つの方法について説明を行う。第1の方法としては、ゲート信号線37のゆれを抑制する方法。第2の方法としては、黒表示時におけるトランジスタ33のドレイン電位を高くして、ゲート信号線37のゆれの原因となるデータ変化時の電圧変化量を小さくする。第3の方法としては、ゲート信号線37の電圧の変化に対し、出力電流の変化を小さくし、ゲート信号線がゆれても、出力に影響しないようにする。以下、順に図面を交えながら3つの方法について説明を行う。

【0095】

図37は第1の方法の実施例である。図4と比較して、ゲート信号線37の電位を定める分配用ミラートランジスタ32の数を増やしたことが特徴である。これによりミラー比が

10

【0096】

図36のゲート電位のハザード部361を拡大したものを図38に示す。図4の構成においては、381に示すようなゲート電圧の変化があり、1水平走査期間内では、所定の電圧に戻らない。ここでミラートランジスタ32の数を増加させると、382、更に数を増やすと383に示すような曲線になる。383に示す曲線であれば、水平走査期間内に所定電圧値に戻るため、画素には所定の電流値が書き込まれる。

【0097】

なお、分配用ミラートランジスタ32の数を増やす代わりに、トランジスタのサイズを大きくしても同様に実現可能である。

20

【0098】

分配用ミラートランジスタ32のサイズは図39の391で示される範囲が望ましい。ゲート電圧の変化率が、許容レベル以下であること。この許容レベルは出力電流の変化量が1%以内であれば、他の行との輝度差が視認できないことを考慮し、出力電流の変化が1%以内に収まる電圧変動レベルを示している。電圧の揺れはトランジスタ33の浮遊容量を介して発生するため、階調表示用電流源のチャンネル面積及び個数により決まる。従って32の総サイズは33の総サイズに対する比により定義される。

【0099】

今回、さまざまな分配用トランジスタサイズ及び個数を作成し、評価を行った結果、(分配用ミラートランジスタ32のチャンネル総面積)/(階調表示用電流源33のチャンネル総面積)とゲート変化率の関係が図39に示す曲線であらわされた。

30

【0100】

このグラフによると分配用ミラートランジスタ32のチャンネル総面積は、階調表示用電流源33のチャンネル総面積の1%以上、好ましくは5%以上あれば、輝線および黒線がなくなる。一方、50%以上ではゲート電圧の変化率が低減しなくなる。従って50%以上では、どのような面積で設計しても、ハザードに影響しない。チップ面積を小さく造る観点から、50%以下にすることが好ましい。よって、分配用ミラートランジスタ32のチャンネル総面積は、391のように階調表示用電流源33のチャンネル総面積の1%以上50%以下、好ましくは5%以上50%以下になるように、設計するようにすればよい。

【0101】

なお、チップ間での、基準電流対ある階調出力電流の比のばらつきをおさえるためには、分配用ミラートランジスタ32と、階調表示用電流源33は同一サイズ、同一レイアウトで設計することが望ましい。トランジスタの数の増減により上記の面積比を実現することがよい。これにより、複数のドライバIC17を並べて使用する表示装置でも、ブロックむらのない表示が実現できる。

40

【0102】

例えば63階調表示で160出力のドライバICの場合、1出力にはトランジスタ33を63個並べる。この63個並んだ出力段を、出力数である160個用意する。更に、出力段を160出力の両端に9個ずつ用意し、トランジスタのドレインゲート間を短絡することで、63個のミラートランジスタ32を形成する。このようにすれば、ほぼ同一レイア

50

ウト、同一チャネルサイズで、カレントミラーを形成できるため、チップ間のミラー比のばらつきを小さくできる。この場合の分配用ミラートランジスタのチャネル総面積と、階調表示用電流源のチャネル総面積の比は、 $18 / 160 = 0.11$ であり、輝線黒線は発生しない。

【0103】

次に第2の方法について説明を行う。

【0104】

第2の方法は、共通ゲート線37の電圧を揺らす原因となる、階調表示用電流源33のドレイン電圧の変化量を小さくする方法である。変化量を小さくすることで、容量結合により変化するゲート線37の変化量も小さくすることが可能になる。

10

【0105】

図40に1出力分のデジタルアナログ変換部36及び分配用トランジスタの回路を示す。この例では階調データを6ビットとしている。402に示す回路を付加したことが本発明の特徴である。スイッチ113fと403を相補的に動作させることにより節点116はソース信号線もしくはトランジスタ401に接続され、階調表示用電流源33に常に電流を流すことが可能となる。

【0106】

従来の方法では、スイッチ113が非導通状態となると、トランジスタ33に流れる電流経路がなくなるにもかかわらず、トランジスタ33は電流を流そうとするため、ドレイン電圧を低くする。その結果、最も低くなる場合で、ドライバICのグランド電位まで116の電位が低下する。

20

【0107】

一方本発明の形態においては、スイッチ113が非導通であっても、スイッチ403が導通状態となり、トランジスタ401を介して、電源404から33に電流が供給される。このときの116の電圧はトランジスタ401のチャネルサイズ及び電源404の電圧によるが、図41に示すようなVb1の電位まで上昇させることが可能である。(従来はVdb。ここでVb1 > Vdb)これにより、スイッチ113のオンオフによる節点116の電位変化が小さくなることで、浮遊容量を介して変動する共通ゲート線37の電位変動を小さくすることが可能となる。

【0108】

ダイオード接続されたトランジスタ401のゲート電圧 - ドレイン電流特性を画素208に用いられる駆動トランジスタ202aとそろえるか、よりゲート電位が低くなるような、トランジスタサイズとするとより効果がある。

30

【0109】

画素208にソースドライバIC17から電流を供給する場合、ゲート信号線205及び206の操作により、画素の等価回路は図42に示されるようになる。ドライバIC17のドレイン電極にはソース信号線201、駆動トランジスタ202aを介して電源207に接続される。このとき402で示した部分の回路と画素208の回路は同一構成であることがわかる。従って電源401と207、トランジスタ202aと401が同一特性で形成できれば、節点116の電位はほぼ等しくなることが期待できる。(111aから111eのスイッチ部が非導通の場合)

40

ソース信号線の電位は、階調に応じて変化し、最低電圧は、白(最高階調)のときで、最高電圧は階調1の場合で、階調に応じて、その間の電位で変化する。従って、スイッチ113fが非導通、403が導通状態にあるときの116の電位は、上記ソース信号線の電圧変化の範囲内にすれば、スイッチ113fが導通状態になったときの電位変化が小さくできる。401のトランジスタサイズは、図40の場合は階調32に対応する電流が401に流れたときに、116の電圧がソース信号線の変化範囲内にあるように設計する。

【0110】

図40では6ビット階調データのときの最上位ビットに付加回路402を接続した場合で説明を行ったが、一般に、付加回路402にあるトランジスタ401のトランジスタサイ

50

ズは、付加回路 402 が接続された信号線に接続されたトランジスタ数に一致する階調（ここで K とおく）の電流が、401 に流れたときに、トランジスタ 401 のゲート電圧が、ソース信号線 201 の取りうる電圧可変範囲に入るように設計すれば、一般に J ビット階調データの階調 K を出力するトランジスタのドレイン電圧の変化を抑えることが可能となる。

【0111】

従って図 40 の場合でも、D[0] から D[4] の信号線にも 402 のような回路を用いてもよい。

【0112】

また、図 41 に示すように、トランジスタ 401 の代わりに抵抗素子 431 を用いても同様に実現可能である。他にも、スイッチ 113f が非導通状態になっても、トランジスタ 33 に常に電流が流れるような回路構成ができれば、抵抗、トランジスタ以外の素子を用いてもかまわない。

【0113】

次に第 3 の方法について説明を行う。

【0114】

基準電流を分配するためのミラートランジスタ 32 のチャネル幅 / チャネル長（以下 W / L とする）を変化させると、ドレイン電流対ゲート電圧の特性が変化する。図 44 に示すように、W / L を小さくすると、ゲート電圧の変化に対するドレイン電流の変化が小さくなる。

【0115】

今基準電流 19 の値を I_{d1} とする。このとき、階調データの変化点で、共通ゲート線 37（ここでは、トランジスタ 32 のゲート電圧に一致）が ΔV_g 変化したとする。ドレイン電流の変化は図 44 に示すように、W / L = 1 に比べ、W / L = 0.3 のほうが小さくなる。トランジスタ 32 とトランジスタ 33 はカレントミラーを形成しているため、このドレイン電流の変化は、トランジスタ 33 の出力電流の変化に対応する。ドレイン電流の変化が小さければ、たとえ共通ゲート信号線 37 の電圧が変化しても、輝線黒線がでないようにできる。

【0116】

そこで、図 45 に示すように、W / L の違いに対する出力電流の変化率を測定した。（チャネル面積は一定）その結果、W / L が 0.6 以下のときゲート線 37 の電圧揺れに対し、出力電流変化が 1 % 以内に収まる。電流変化量が 1 % 以内であれば、輝度変化を視認できない。よって、図 33 の 334 に示す部分と、他の部分における白の輝度差がわからなくなるため、輝線が見えない。黒線についても同様である。

【0117】

W / L の値を小さくすると、同一ドレイン電流を得るのに必要なゲート電圧が上昇する。W / L が 0.01 以下になると、ゲート電圧は 1.5 V を超える。（1 つの階調表示用電流源 33 に流れる電流が 10 nA ~ 100 nA 程度のとき）階調表示用電流源 33 のドレイン電流対ソースドレイン間電圧の特性を図 46 の曲線 463、464 に示す。出力の負荷によらず、一定の電流を出力するためには点線部より右の 462 で示した、飽和領域でトランジスタ 33 を動作させる必要がある。飽和領域でトランジスタ 33 を動作させるためには、トランジスタ 33 のゲート電圧より高いドレイン電圧が必要である。従って、図 45 において W / L が 0.01 以下となり、ゲート電圧が 1.5 V 以上必要となると、ドレイン電圧も 1.5 V 必要である。動作マージンを見越すと 2 V 程度必要。さらにソース信号線電圧（= 33 のドレイン電圧）は階調信号により異なり、白 ~ 黒レベルに必要な振幅は 2 V 程度必要である。その他、配線抵抗、スイッチのオン抵抗による電圧ロスがある。合計すると必要な電圧は 5 V 程度となる。ドライバ IC 17 としては、この程度の電圧レベルの耐圧が必要。

【0118】

一方でドライバ IC 17 のチップサイズを小さくするために、微細プロセスを用いる。携

10

20

30

40

50

帯電話向けでは、更にドライバIC17内部にメモリやコントローラの機能を設ける。微細プロセスを用いるため、耐圧も大きくすることができず、現実的には5V程度までしか上げられない。

【0119】

このような観点から、W/Lの下限値はICの耐圧によりきめられ、0.01よりは小さくすることができない。W/Lのとりうる範囲は図45の451で示すように0.01以上0.6以下が望ましい。この範囲であれば、輝線黒線が発生せず、また微細ルールによるチップサイズの削減効果が期待できる。

【0120】

なお、以上の第1から第3までの方法を組み合わせて実施してもよい。組み合わせることにより、動作マージンが広がる効果があるし、より、輝線黒線がでにくくなる。 10

【0121】

以上の説明においてはモノクロ出力のドライバとして説明を行ったが、マルチカラー出力のドライバにも適用可能である。表示色数倍同一回路を用意すればよい。例えば、赤、緑、青の3色出力の場合、3つの同一回路を同一IC内にいれ、それぞれを赤用、緑用、青用として使用すればよい。

【0122】

また、以上の説明において、画素に用いられるトランジスタがp型トランジスタを用いた場合で説明を行ったが、図22のようなn型トランジスタで画素回路を形成した場合でも同様に本発明を実施できる。ソース信号線201に流れる電流の向きが反転している違い 20
だけであるためである。このときの図1に対応した図を図32に示す。また電流出力段14に関してはp型のトランジスタでカレントミラーを作成すれば、電流の向きを逆にすることが可能である。

【0123】

なお、上述の実施の形態においては、発光素子として有機発光素子を利用した。しかし、これに限らず、発光素子として発光ダイオードなど電流に比例して輝度が変化する素子を利用してもよい。

【0124】

【発明の効果】

以上のように、基準電流をゲート線を介してすべての出力に分配する電流出力型ドライバICにおいて、カレントミラーにより基準電流を分配する分配元のトランジスタサイズを大きくするか、個数をおおくすることでゲート信号線のゆれを抑制、もしくは黒表示時におけるトランジスタ33のドレイン電位を高くして、ゲート信号線37のゆれの原因となるデータ変化時の電圧変化量を小さくする。もしくは、カレントミラーの受け側のトランジスタのチャネル幅/チャネル長の値を小さくして、ゲート信号線電圧の変化に対し、出力電流の変化を小さくすることで、ゲート信号線のゆれによる、横輝線、横黒線の発生をなくした。 30

【図面の簡単な説明】

【図1】本発明における第1の実施の形態を示した図

【図2】複数のドライバICを用いた表示装置を示した図 40

【図3】ドライバICの電流出力段の例を示した図

【図4】ドライバICの両側から基準電流を供給した時の電流出力段の例を示した図

【図5】定電流源回路の図

【図6】電子ボリュームにより電流値を可変できるようにし、温度補正も行える定電流源回路を示した図

【図7】図6に示した定電流源回路において、異なるドライバICの抵抗も用いた場合を示した図

【図8】図7に示した定電流回路において、抵抗の値をトリミング操作により変更できるようにした機能を持たせたときの回路を示した図

【図9】図1における、2つの異なるICにした図 50

【図 10】複数のドライバ IC を用いた場合における、電子ボリュームを用いた基準電流発生部の接続例を示した図

【図 11】図 16 及び図 17 の構成における、入力階調データに応じた電流を出力するブロックを示した図

【図 12】図 1 の構成に、温度補償機能を設ける場合を示した図

【図 13】第 2 の実施の形態を示した図

【図 14】第 2 の実施の形態における 1 つの基準電流生成部の回路を示した図

【図 15】複数のドライバ IC を用いて第 2 の実施の形態を実施した場合の 2 つの基準電流生成部において、2 つの基準電流のばらつきが少なくなる回路例を示した図

【図 16】基準電流を各出力に分配する概念を示した図

10

【図 17】基準電流を分配する回路を示した図

【図 18】基準電流を各出力に分配する実施の形態における、複数のドライバ IC の接続関係を示した図

【図 19】トランジスタサイズと出力ばらつきの関係を示した図

【図 20】カレントコピアの画素構成を用いたアクティブマトリクス型表示装置を示した図

【図 21】カレントミラーの画素構成を用いたアクティブマトリクス型表示装置を示した図

【図 22】n 型トランジスタを用いた場合のカレントコピアを用いた画素回路を示した図

【図 23】有機発光素子を用いた単純マトリクス型表示装置を示した図

20

【図 24】本発明の実施の形態のうちの少なくとも 1 つを用いたテレビを示した図

【図 25】本発明の第 1 の実施の形態から、基準電流を切断することで、消費電力を低減させる方法を示した図

【図 26】分配用ミラートランジスタからの距離によって、トランジスタの特性及びそれに応じて出力電流が変化する例を示した図

【図 27】従来の例におけるドライバ IC を 2 つ接続したときの表示装置のソース信号線への出力電流の端子ごとの変化を示した図

【図 28】本発明において、基準電流源をチップ両端に配置することで、出力電流を左右端でほぼ等しい値にできることを示した図

【図 29】本発明の第 1 の実施の形態における 4 つ以上の IC を接続したときの外部配線の接続を示した図

30

【図 30】本発明を実施した表示パネルと、アンテナとキー入力を設けた携帯情報端末

【図 31】図 30 に示した携帯情報端末のボタン入力により、本発明のドライバ IC の制御を行うためのブロック図

【図 32】n 型トランジスタを画素に適用した表示装置における、本発明のドライバ IC の概略回路を示した図

【図 33】輝線及び黒線が発生する場所を示すための表示画像例を示した図

【図 34】図 33 に示す画像表示を行った場合における 336、337 の列のソース信号線電圧波形を示した図

【図 35】ドライバ IC の出力段と画素回路の接続を示した図

40

【図 36】入力データに対応したドライバ IC の出力段の各部の電圧、電流波形を示した図

【図 37】基準電流源を分配するためのミラートランジスタの数を増やした場合の図

【図 38】図 36 の 361 部におけるハザードが、ミラートランジスタの数により変化することを示した図

【図 39】分配用ミラートランジスタのチャネル総面積 / 階調表示用電流源のチャネル総面積とゲート電圧変化率の関係を示した図

【図 40】節点 116 の電位変化量を抑えるために、トランジスタを付加した場合のデジタルアナログ変換部を示した図

【図 41】スイッチ 113 f と節点 116 の電位の関係を示した図

50

【図 4 2】ソース信号線より電流が画素回路に書き込まれるときの、画素回路の等価回路を示した図

【図 4 3】図 4 0 において、トランジスタの代わりに抵抗を用いた場合の図

【図 4 4】ゲートとドレイン電極が接続されたトランジスタ 3 2 の、ゲート電圧対ドレイン電流の関係を示した図

【図 4 5】トランジスタのチャンネル幅 / チャンネル長に対する出力電流の変化率ならびにゲート信号線電圧の関係を示した図

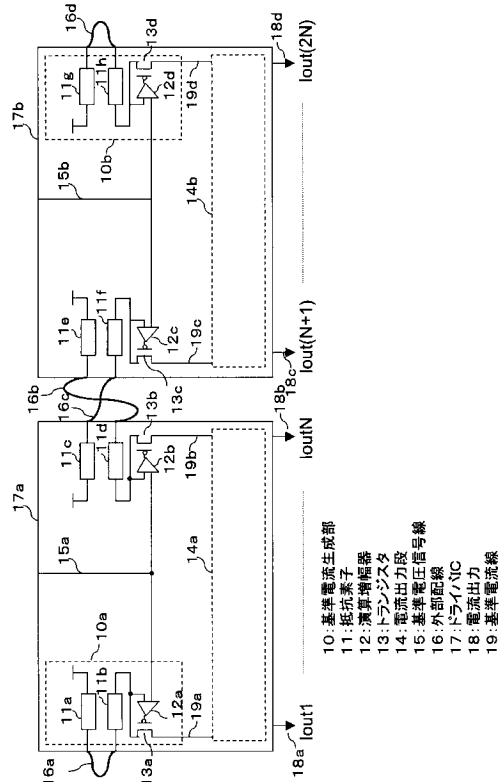
【図 4 6】トランジスタ 3 3 のソースドレイン間電圧対ドレイン電流の関係を示した図

【符号の説明】

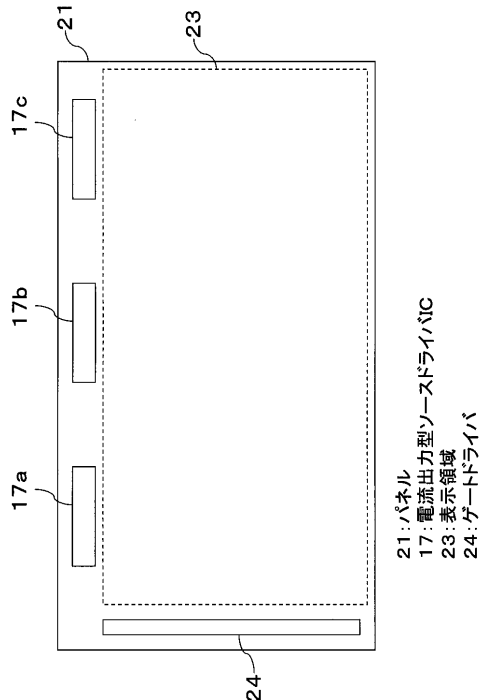
- | | | |
|---|---|---------|
| 1 | 1 | 抵抗素子 |
| 1 | 2 | 演算増幅器 |
| 1 | 3 | トランジスタ |
| 1 | 4 | 電流出力段 |
| 1 | 5 | 基準電圧信号線 |
| 1 | 6 | 外部配線 |
| 1 | 7 | ドライバIC |
| 1 | 8 | 電流出力 |
| 1 | 9 | 基準電流線 |

10

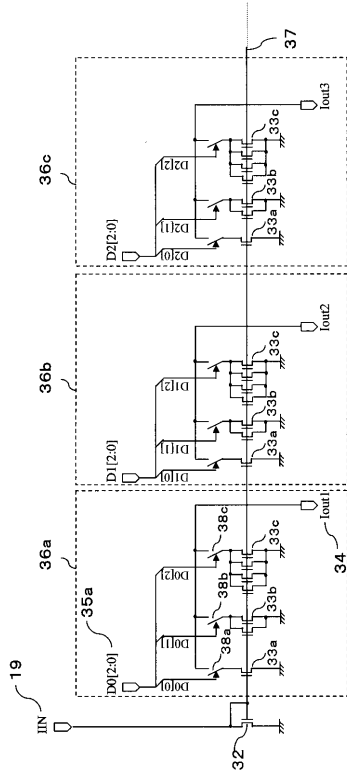
【 圖 1 】



【 図 2 】

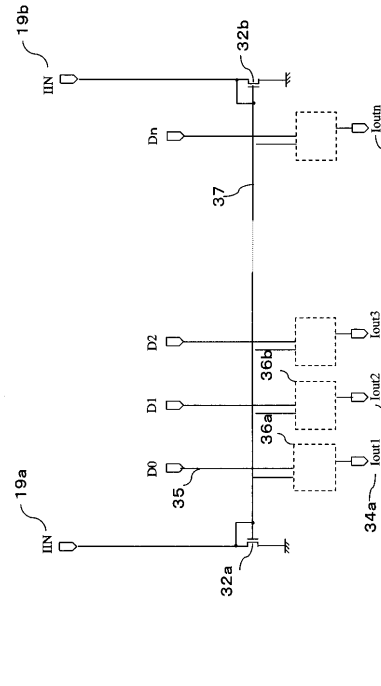


【図 3】



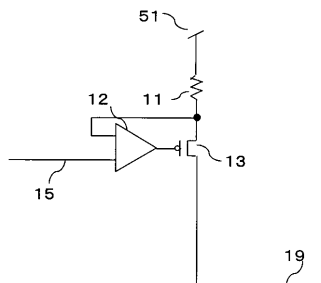
- 19: 基準電流線
 32: 分配用ミラートランジスタ
 33: 電流表示用電流源
 34: 電流出力
 35: 電流出力
 36: デジタルアナログ変換部
 37: 共通ゲート線
 38: スイッチ

【図 4】



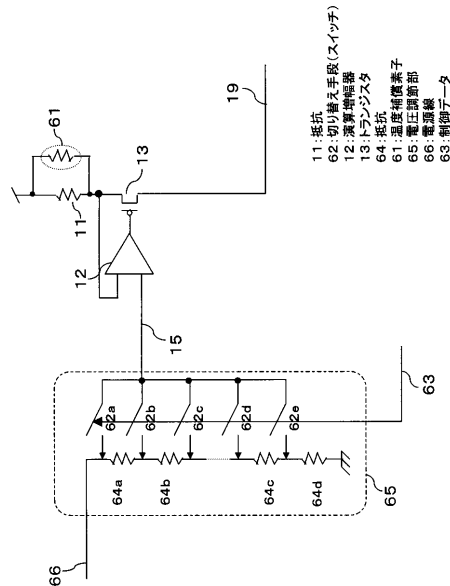
- 19: 基準電流入力
 32: 分配用ミラートランジスタ
 34: 電流出力
 35: 電流出力
 36: デジタルアナログ変換部
 37: 共通ゲート線

【図 5】



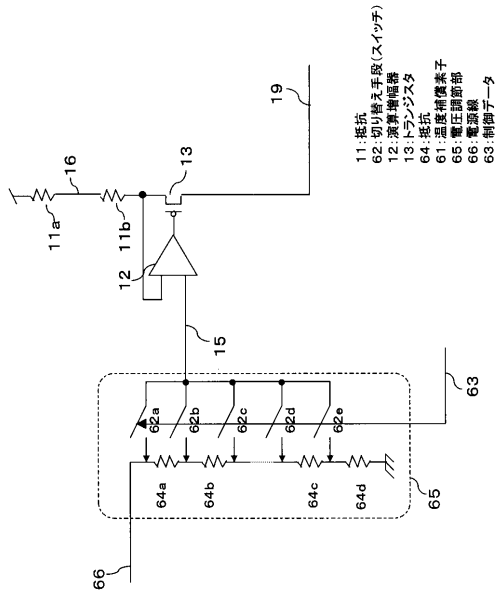
- 11: 抵抗素子
 12: 演算増幅器
 13: トランジスタ
 15: 基準電圧信号線
 19: 基準電流線
 51: 電源

【図 6】

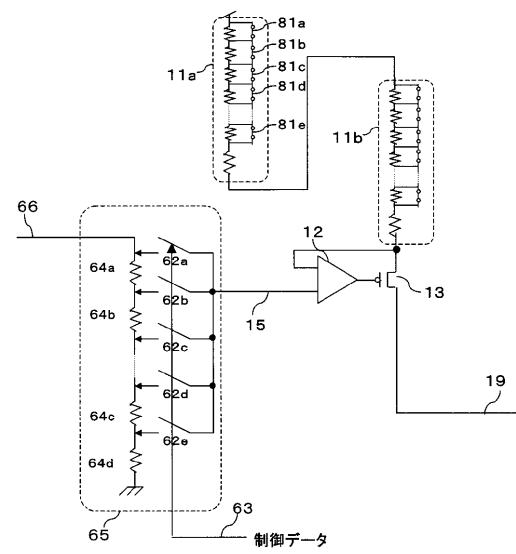


- 11: 抵抗
 62: 切り替え手段 (スイッチ)
 12: 演算増幅器
 13: トランジスタ
 64: 抵抗
 61: 演算増幅器
 65: 電圧調節部
 66: 電源線
 63: 制御データ

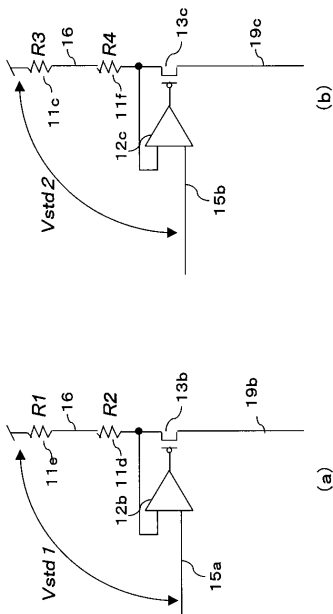
【図 7】



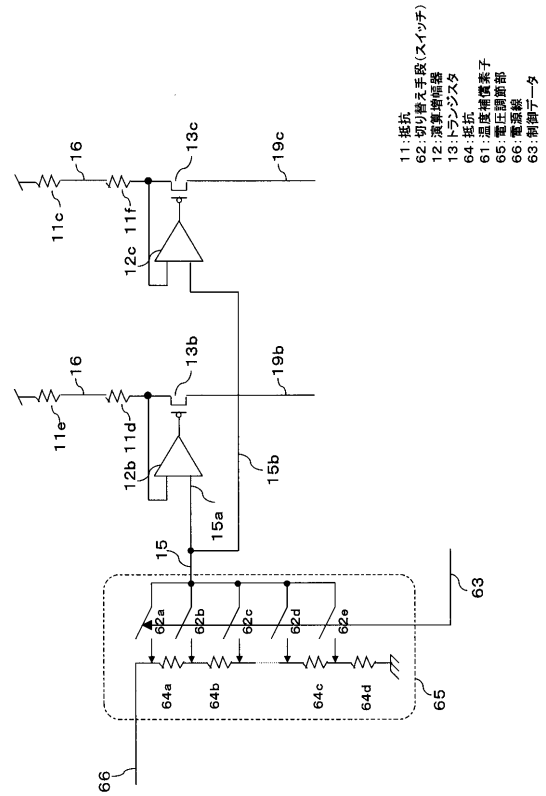
【図 8】



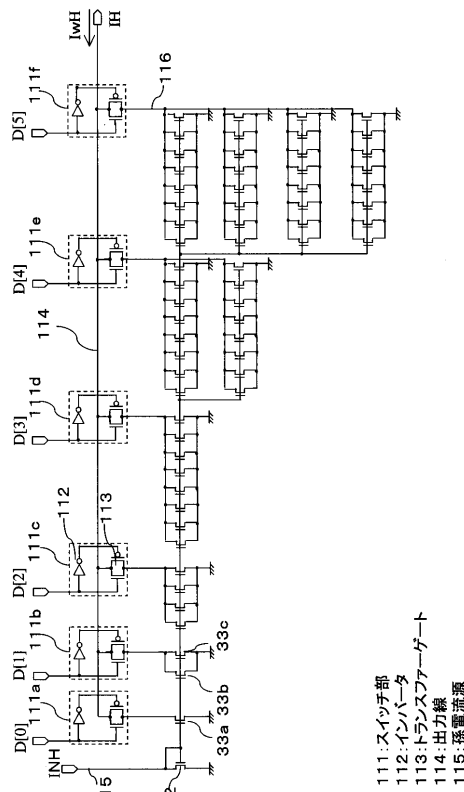
【図 9】



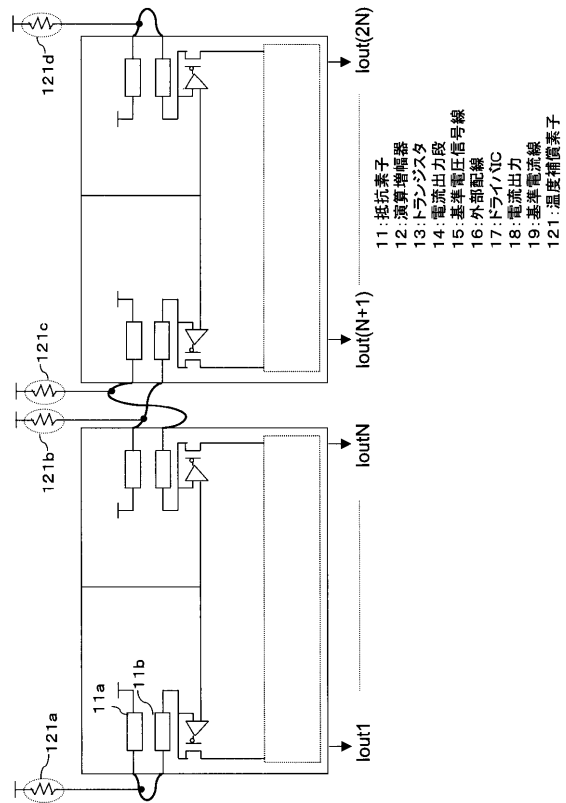
【図 10】



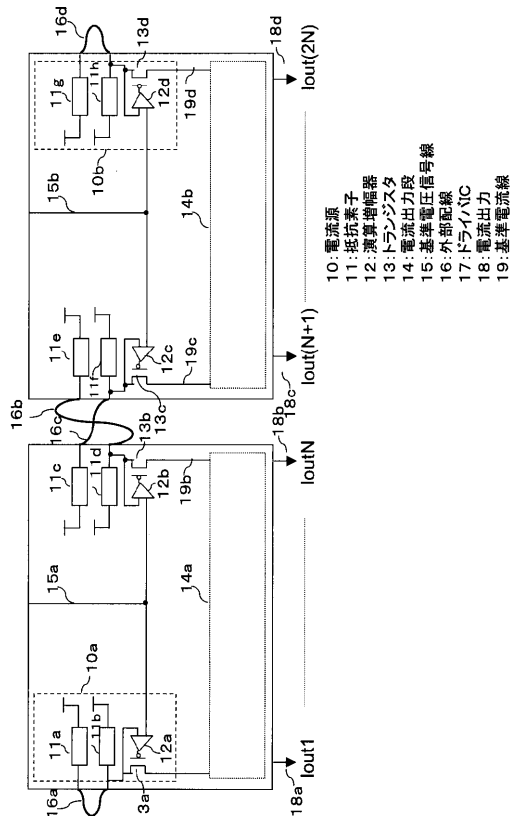
【図 1 1】



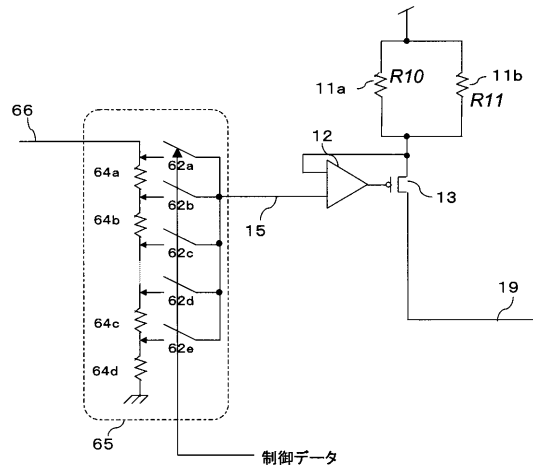
【図 1 2】



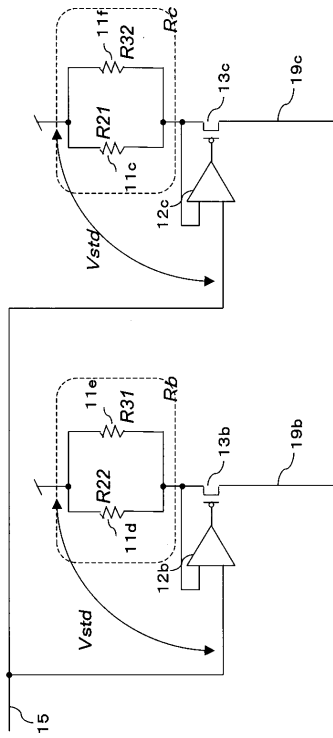
【図 1 3】



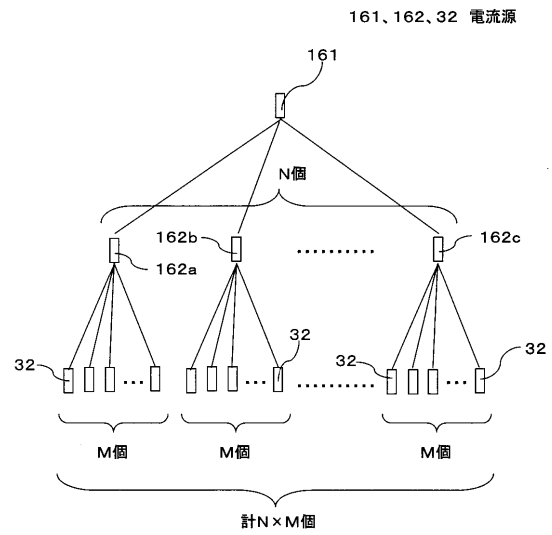
【図 1 4】



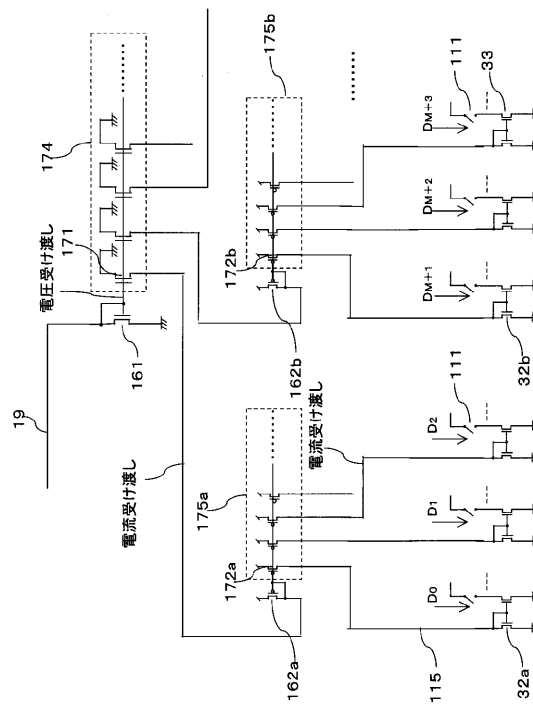
【図 15】



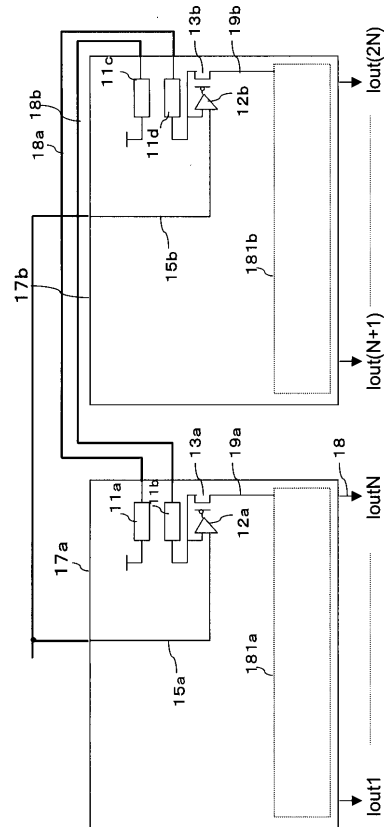
【図 16】



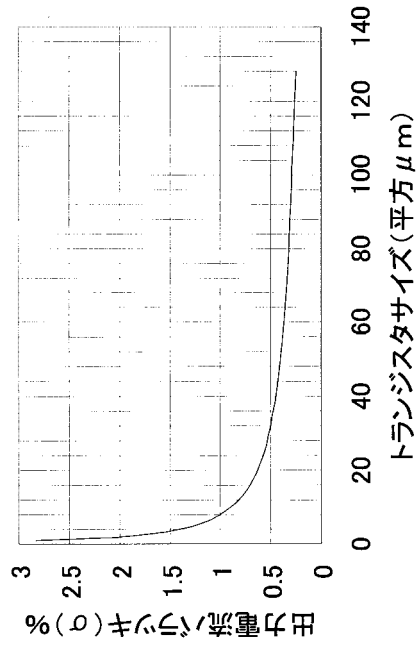
【図 17】



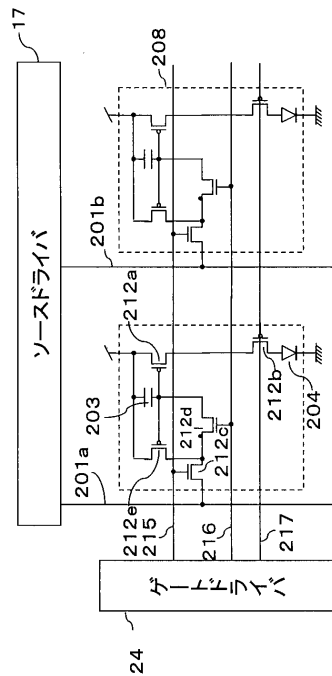
【図 18】



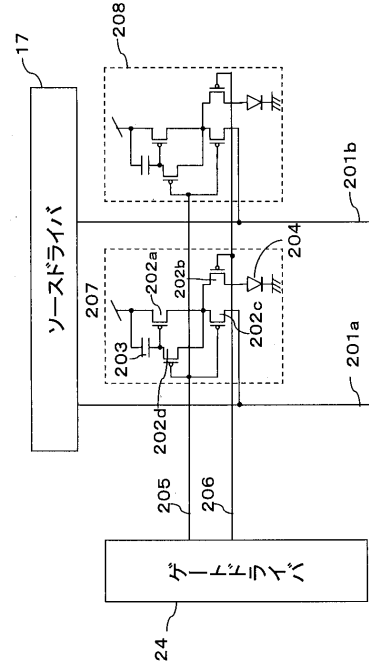
【 図 1 9 】



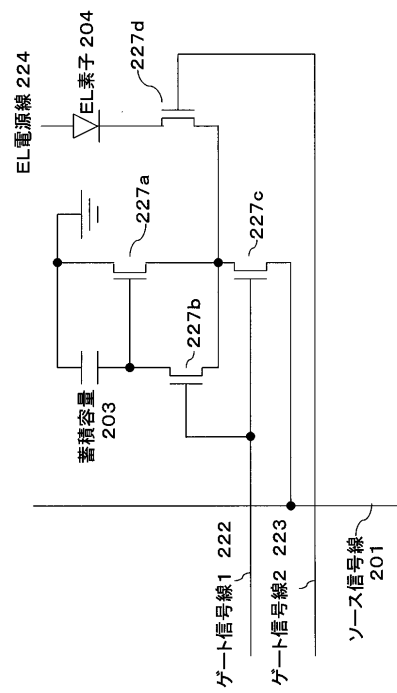
【 図 2 1 】



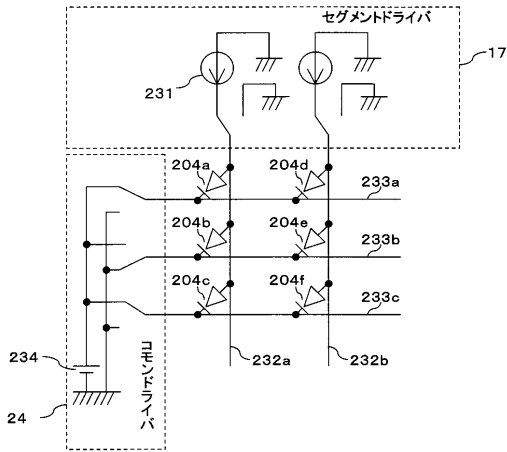
【 図 2 0 】



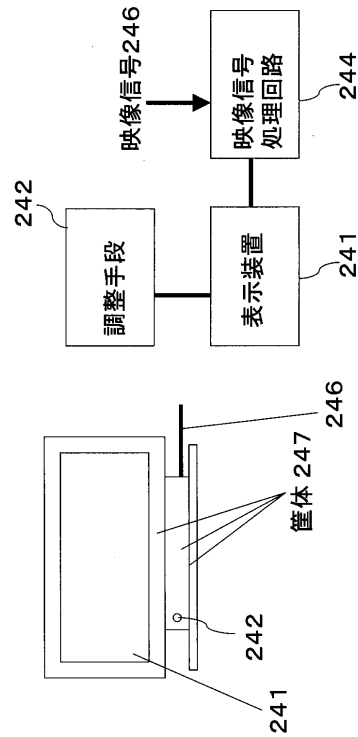
【 図 2 2 】



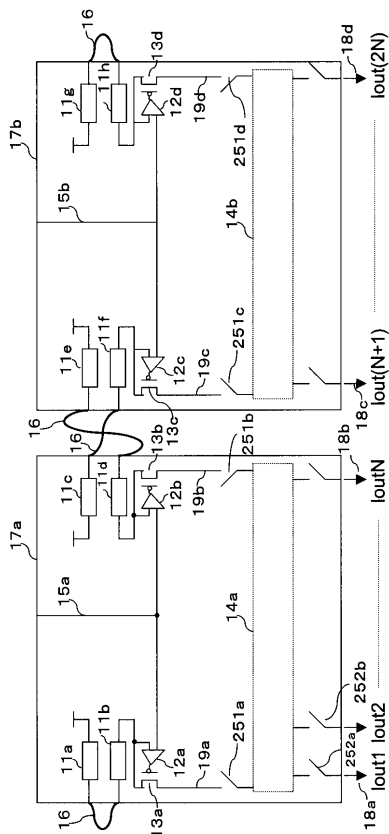
【図 2 3】



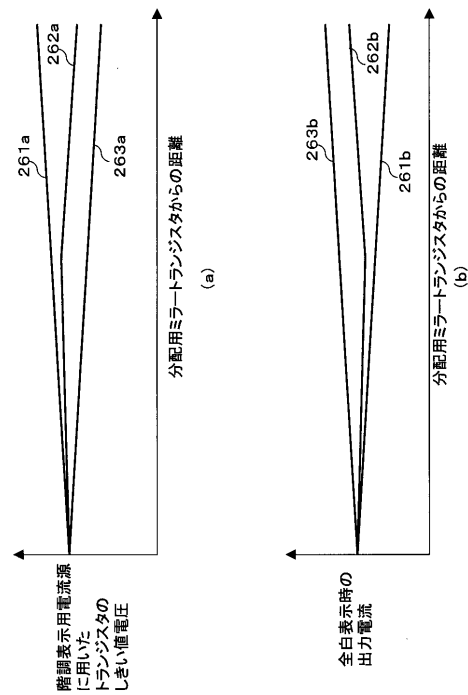
【図 2 4】



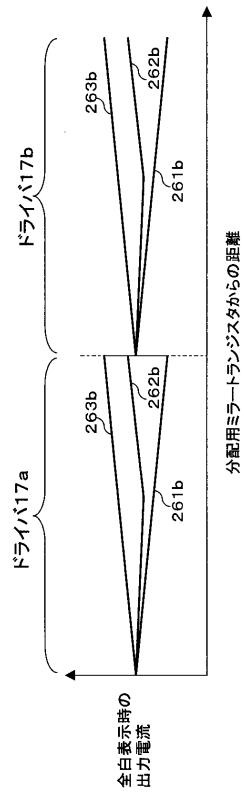
【図 2 5】



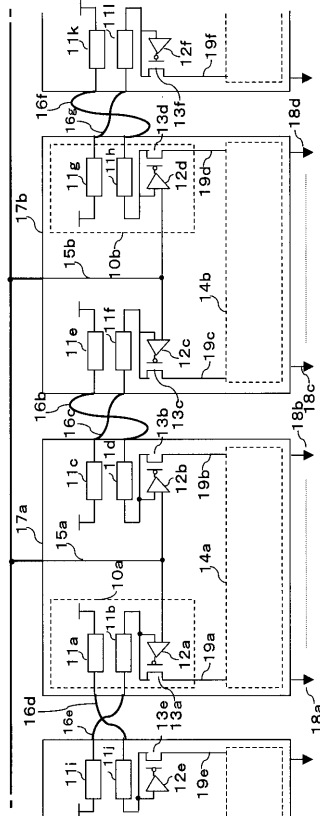
【図 2 6】



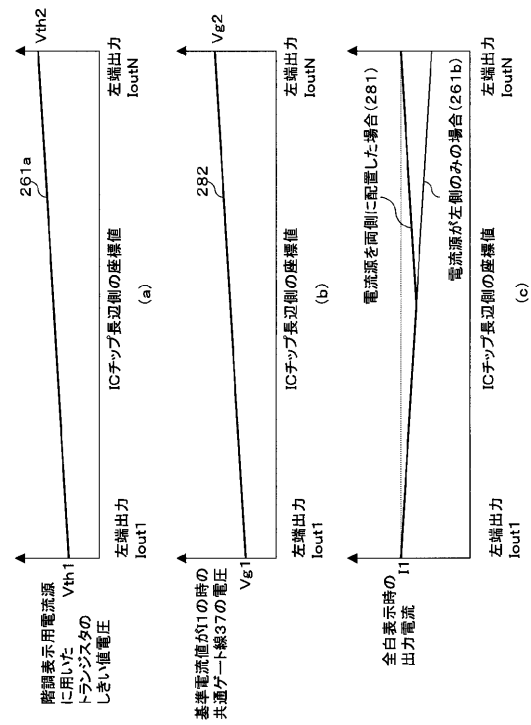
【図 27】



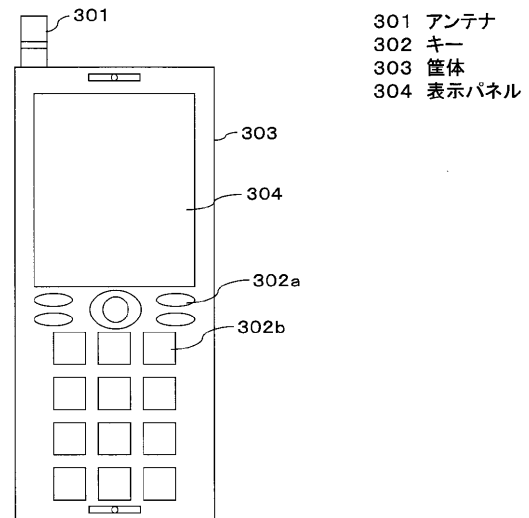
【図 29】



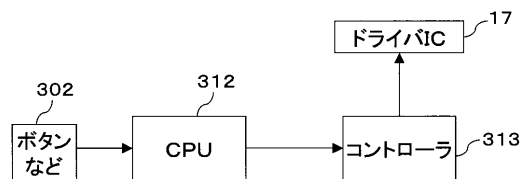
【図 28】



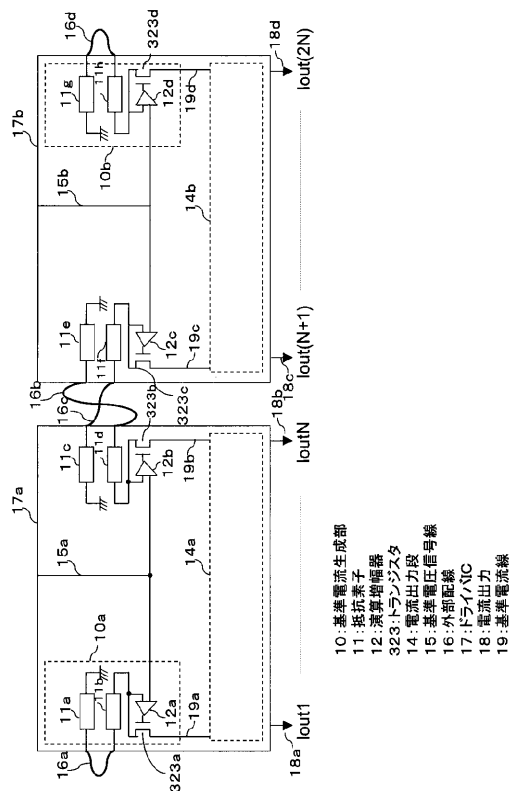
【図 30】



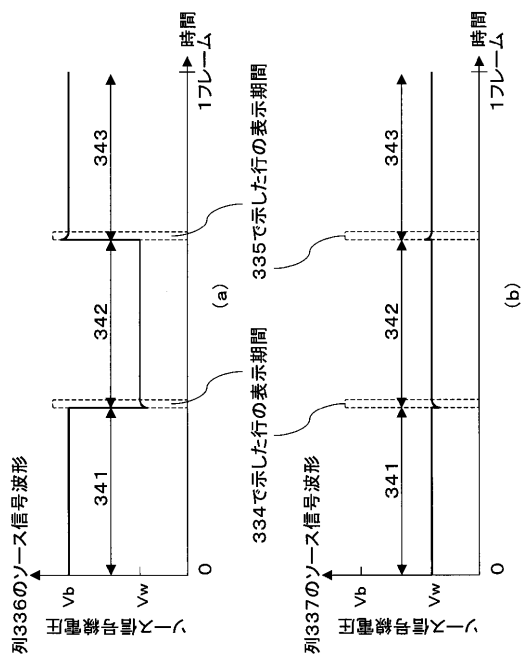
【図 31】



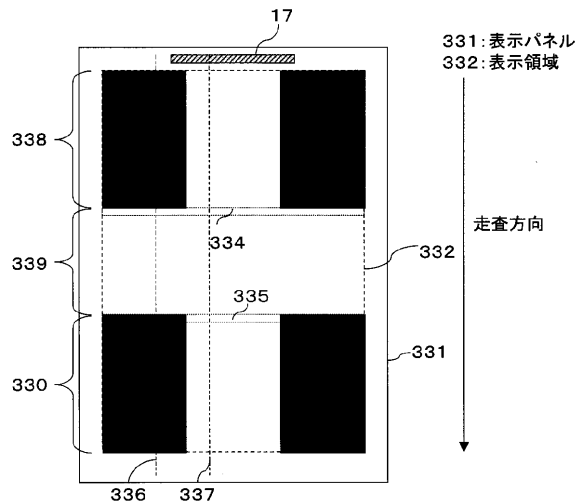
【 図 3 2 】



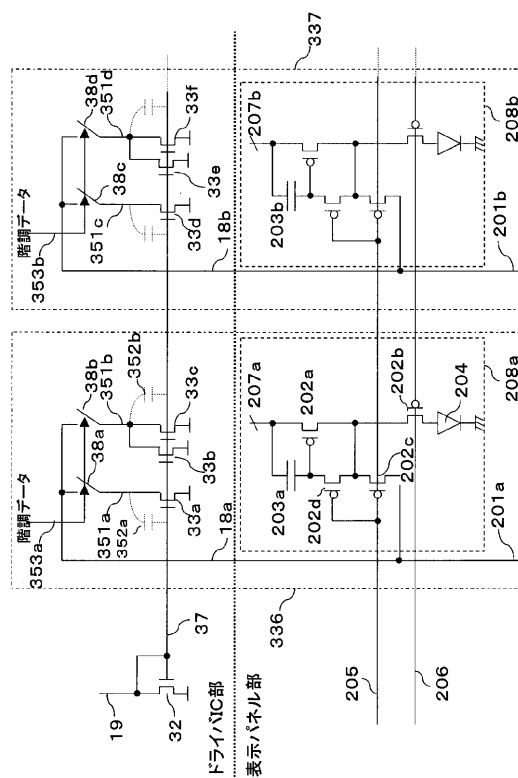
【 図 3 4 】



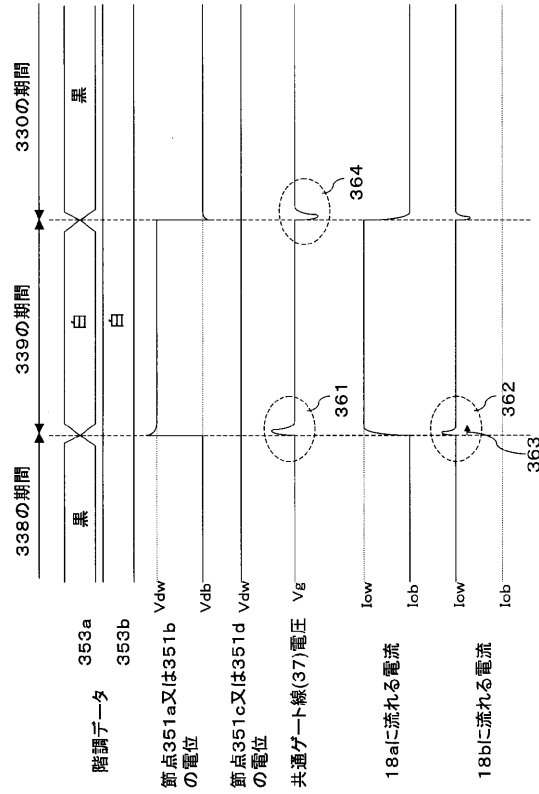
【 図 3 3 】



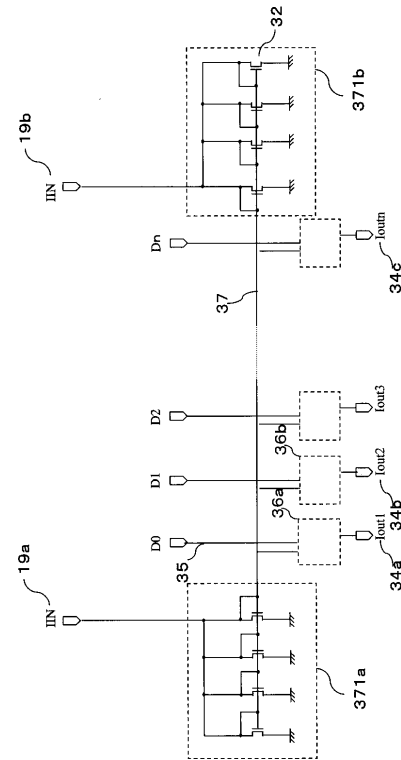
【 図 3 5 】



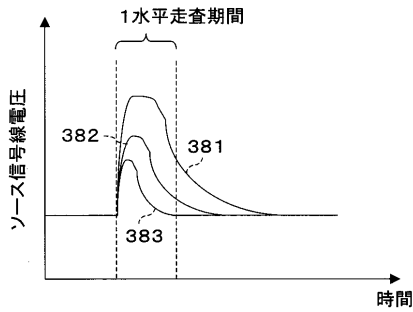
【図 36】



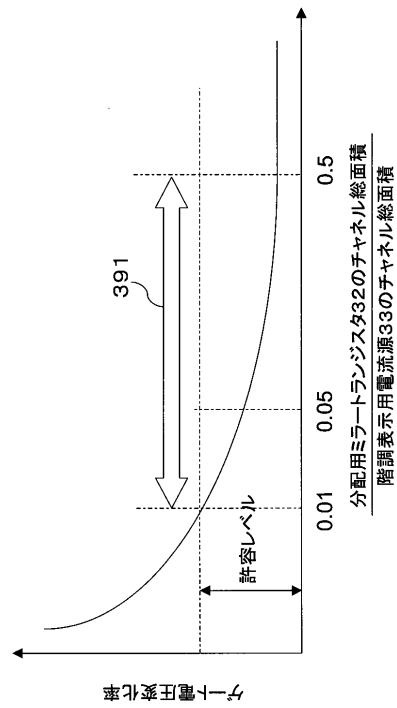
【図 37】



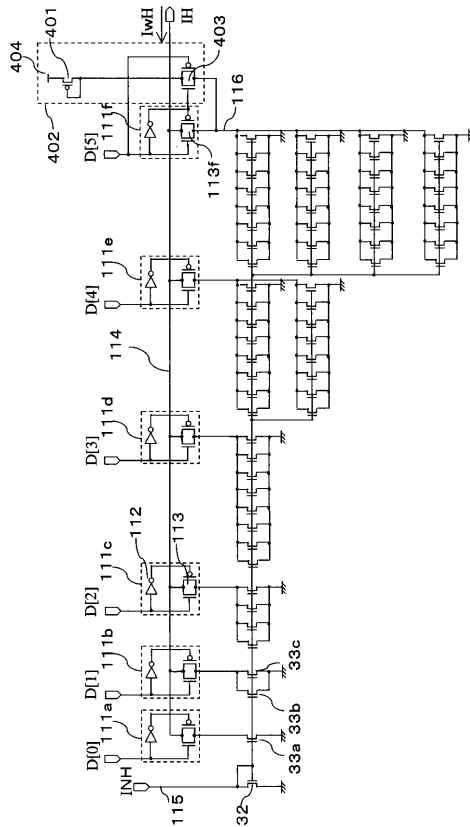
【図 38】



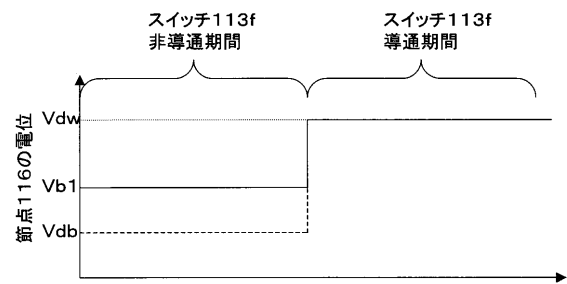
【図 39】



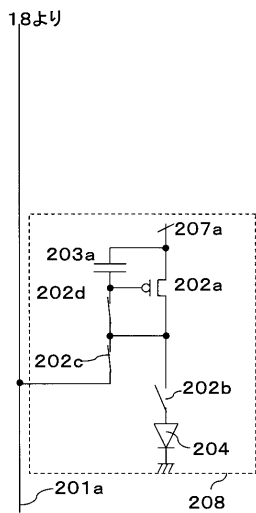
【図 40】



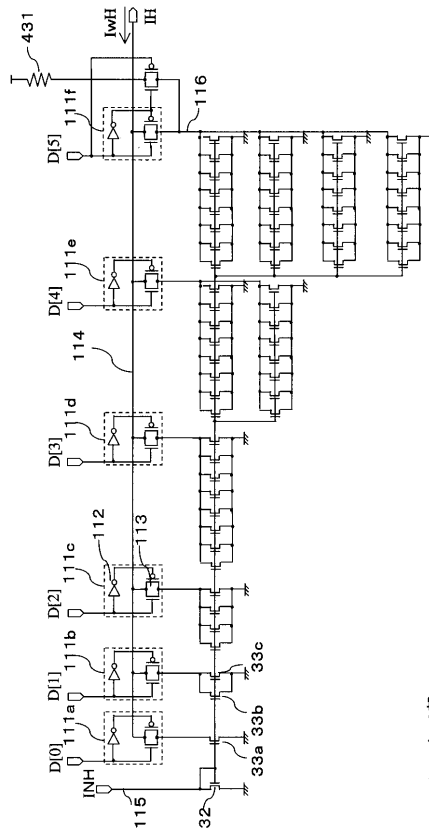
【図 41】



【図 42】

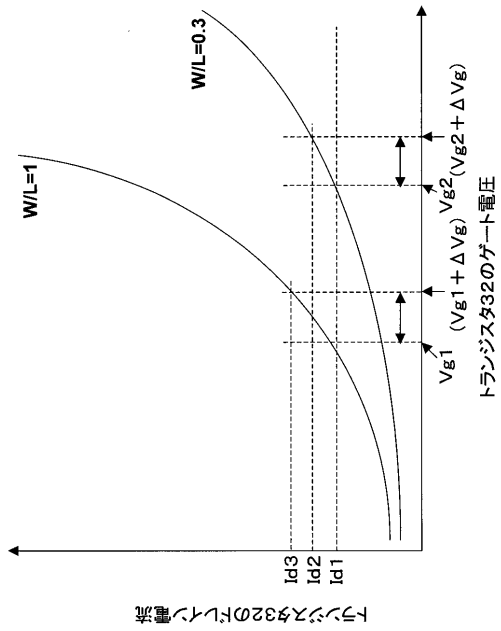


【図 43】

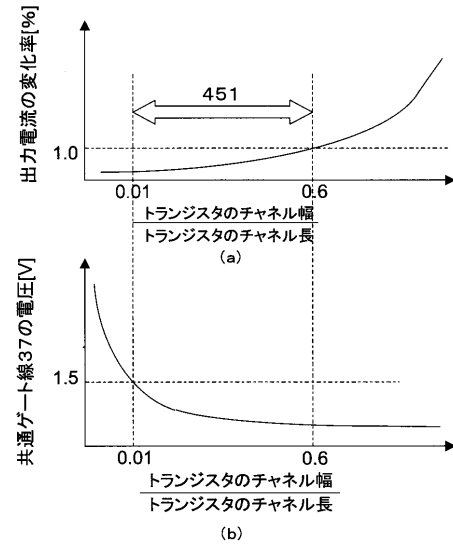


111:スイッチ部
112:インバータ
113:トランスファーステージ
114:出力線
115:電源線

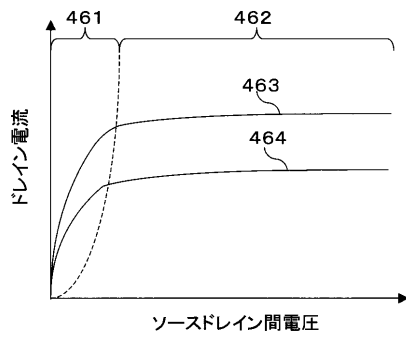
【図 4 4】



【図 4 5】



【図 4 6】



フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード(参考)

H 0 3 K 17/693

G 0 9 G 3/20

6 8 0 G

H 0 5 B 33/14

H 0 3 F 3/343

A

H 0 3 K 17/00

M

H 0 3 K 17/16

H

H 0 3 K 17/693

E

H 0 5 B 33/14

A

F ターム(参考) 5J055 AX00 AX59 BX09 BX16 CX29 DX12 DX55 DX73 DX83 EX02
EY00 EY01 EY10 EY12 EY21 EZ04 EZ07 EZ09 EZ12 EZ24
EZ51 FX18 FX19 GX01 GX02 GX04 GX05 GX06 GX08
5J500 AA01 AA43 AC00 AF01 AH09 AH17 AH25 AH38 AH43 AH44
AK00 AK01 AK04 AK06 AK09 AM19 AS08 AT01 AT02 AT06

专利名称(译)	使用有机发光元件的显示装置		
公开(公告)号	JP2004271646A5	公开(公告)日	2007-11-29
申请号	JP2003059015	申请日	2003-03-05
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	柘植仁志		
发明人	柘植 仁志		
IPC分类号	G09G3/30 G09G3/20 H03F3/343 H03K17/00 H03K17/16 H03K17/693 H01L51/50 H05B33/14		
FI分类号	G09G3/30.K G09G3/20.611.H G09G3/20.623.B G09G3/20.623.F G09G3/20.641.D G09G3/20.680.G H03F3/343.A H03K17/00.M H03K17/16.H H03K17/693.E H05B33/14.A		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA04 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/EE29 5C080/FF01 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ05 5C080/KK07 5C080/KK47 5J055/AX00 5J055/AX59 5J055/BX09 5J055/BX16 5J055/CX29 5J055/DX12 5J055/DX55 5J055/DX73 5J055/DX83 5J055/EX02 5J055/EY00 5J055/EY01 5J055/EY10 5J055/EY12 5J055/EY21 5J055/EZ04 5J055/EZ07 5J055/EZ09 5J055/EZ12 5J055/EZ24 5J055/EZ51 5J055/FX18 5J055/FX19 5J055/GX01 5J055/GX02 5J055/GX04 5J055/GX05 5J055/GX06 5J055/GX08 5J500/AA01 5J500/AA43 5J500/AC00 5J500/AF01 5J500/AH09 5J500/AH17 5J500/AH25 5J500/AH38 5J500/AH43 5J500/AH44 5J500/AK00 5J500/AK01 5J500/AK04 5J500/AK06 5J500/AK09 5J500/AM19 5J500/AS08 5J500/AT01 5J500/AT02 5J500/AT06 3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE04 3K107/FF15 5C380/AA01 5C380/AA03 5C380/AB05 5C380/AB06 5C380/AB27 5C380/AB31 5C380/AB34 5C380/AB45 5C380/AB46 5C380/AC11 5C380/AC12 5C380/BA03 5C380/BA05 5C380/BA08 5C380/BA12 5C380/BA13 5C380/BA17 5C380/BA19 5C380/BA20 5C380/BA28 5C380/BA29 5C380/BA36 5C380/BA37 5C380/BA39 5C380/BA40 5C380/BA42 5C380/BA43 5C380/BA48 5C380/BB02 5C380/BB05 5C380/BB08 5C380/BB22 5C380/CA13 5C380/CA20 5C380/CA35 5C380/CA36 5C380/CA42 5C380/CA47 5C380/CA49 5C380/CA57 5C380/CB01 5C380/CB16 5C380/CB17 5C380/CC13 5C380/CC14 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC63 5C380/CC64 5C380/CD013 5C380/CD014 5C380/CD015 5C380/CE02 5C380/CE04 5C380/CE05 5C380/CE07 5C380/CE08 5C380/CF02 5C380/CF26 5C380/CF27 5C380/CF41 5C380/CF42 5C380/CF48 5C380/CF51 5C380/CF57 5C380/CF62 5C380/CF67 5C380/CF68 5C380/DA06 5C380/DA19 5C380/DA58 5C380/FA04 5C380/FA06 5C380/GA18 5C380/HA02 5C380/HA03 5C380/HA13		
代理人(译)	松田 正道		
其他公开文献	JP4460841B2 JP2004271646A		

摘要(译)

解决的问题：提供一种电流输出型驱动器IC，其基于多个参考电流进行灰度显示，其中，通过使用电流镜将参考电流分配到每个输出，并且构成该镜的所有晶体管的栅极均为1 当通过多条信号线连接时，当大多数输出端子的电流改变时，形成反射镜的栅极信号线的电压改变，并且输出与预定电流值不同的值。 为了抑制栅极信号线的电势的变化，使参考电流流过的镜面源晶体管变大或晶体管的数量增加。 此外，提供了减小晶体管的漏极电压的变化的功能，该变化引起栅极信号线电势的变化。 此外，通过减小漏极电流的变化对栅极电势的变化的敏感性，即使大部分输出端子的电流变化，也可以输出预定的电流值。 [选择图]图37

