

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6136422号
(P6136422)

(45) 発行日 平成29年5月31日 (2017.5.31)

(24) 登録日 平成29年5月12日 (2017.5.12)

(51) Int.Cl.

F I

G09G 3/3233 (2016.01)

G09G 3/20 (2006.01)

H01L 51/50 (2006.01)

G09G 3/3233

G09G 3/20 612J

G09G 3/20 621A

G09G 3/20 622D

G09G 3/20 622F

請求項の数 5 (全 15 頁) 最終頁に続く

(21) 出願番号 特願2013-59559 (P2013-59559)
 (22) 出願日 平成25年3月22日 (2013.3.22)
 (65) 公開番号 特開2014-186084 (P2014-186084A)
 (43) 公開日 平成26年10月2日 (2014.10.2)
 審査請求日 平成28年3月1日 (2016.3.1)

(73) 特許権者 000002369
 セイコーエプソン株式会社
 東京都新宿区新宿四丁目1番6号
 (74) 代理人 100116665
 弁理士 渡辺 和昭
 (74) 代理人 100164633
 弁理士 西田 圭介
 (74) 代理人 100179475
 弁理士 仲井 智至
 (72) 発明者 田村 剛
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 斎藤 厚志

最終頁に続く

(54) 【発明の名称】 EL表示装置及び電子機器

(57) 【特許請求の範囲】

【請求項1】

マトリクス状に配置された複数の画素と、
 前記複数の画素の各々に配置されるEL素子と、
 前記複数の画素の各々に配置され、第1ゲートに入力される第1ゲート信号に基づいて前記EL素子に駆動電流を供給する第1トランジスターと、
 前記複数の画素の各々に配置され、第2ゲートに入力される第2ゲート信号に基づいて前記EL素子に流れる電流をオン/オフする第2トランジスターと、
 前記複数の画素の各々に配置される前記第2トランジスターの前記第2ゲートに、前記第2ゲート信号を供給するゲートドライバー回路と、
 を有し、
 前記ゲートドライバー回路は、
 アドレス信号に基づいて一垂直走査期間を規定する第1基準信号を生成する第1デコーダーと、
 前記アドレス信号に基づいて前記一垂直走査期間の前半に一つの第2基準信号を生成する第2デコーダーと、
 前記アドレス信号に基づいて前記一垂直走査期間の後半に一つの第3基準信号を生成する第3デコーダーと、
 前記アドレス信号に基づいて前記一垂直走査期間の前半に、前記第2基準信号とは異なるタイミングで一つの第4基準信号を生成する第4デコーダーと、

10

20

前記アドレス信号に基づいて前記一垂直走査期間の後半に、前記第3基準信号とは異なるタイミングで一つの第5基準信号を生成する第5デコーダーと、

前記第2及び第4基準信号に基づいて、垂直走査範囲を二分する位置よりも垂直走査方向の上流側の画素群に前記第2ゲート信号を供給する第1ゲートドライバー群と、

前記第3及び第5基準信号に基づいて、前記垂直走査範囲を二分する位置よりも前記垂直走査方向の下流側の画素群に前記第2ゲート信号を供給する第2ゲートドライバー群と、

を有することを特徴とするEL表示装置。

【請求項2】

請求項1において、

前記複数の画素の各々は、第3ゲートに入力される第3ゲート信号に基づいて前記EL素子のアノードにリセット電位を供給する第3トランジスターをさらに有し、

前記第1ゲートドライバー群は、前記第2及び第4基準信号に基づいて、前記垂直走査方向の前記上流側の画素群に前記第3ゲート信号を供給し、

第2ゲートドライバー群は、前記第3及び第5基準信号に基づいて、前記垂直走査方向の前記下流側の画素群に前記第3ゲート信号を供給することを特徴とするEL表示装置。

【請求項3】

請求項1または2において、

前記複数の画素の各々は、第4ゲートに入力される第4ゲート信号に基づいて前記第1ゲートにデータ電位を供給する第4トランジスターをさらに有し、

前記第1及び第2ゲートドライバー群は、前記第1基準信号がアクティブである期間に第4ゲート設定信号に基づいて、前記垂直走査方向の前記上流側及び前記下流側の画素群に前記第4ゲート信号を供給することを特徴とするEL表示装置。

【請求項4】

請求項1乃至3のいずれかにおいて、

前記複数の画素の各々は、第5ゲートに入力される第5ゲート信号に基づいて前記第1トランジスターの前記第1ゲートとソースとをショートさせる第5トランジスターをさらに有し、

前記第1及び第2ゲートドライバー群は、前記第1基準信号がアクティブである期間に第5ゲート設定信号に基づいて、前記垂直走査方向の前記上流側及び前記下流側の画素群に前記第5ゲート信号を供給することを特徴とするEL表示装置。

【請求項5】

請求項1乃至4のいずれか記載のEL表示装置を含むことを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、EL表示装置及び電子機器等に関する。

【背景技術】

【0002】

有機EL素子をマトリクス配置したマトリクス型EL表示装置では、液晶表示装置と同様に、ゲートドライバーから走査線を介して、画素選択トランジスターのゲートに走査信号を供給して、各画素を選択駆動している。EL表示装置では、各画素には画素選択トランジスター以外にもトランジスターが配置され、画素内の複数のトランジスターのゲートにゲートドライバーから信号を供給する必要がある。

【0003】

特許文献1では、ゲート線を駆動するゲートドライバーにシフトレジスターを用いている。そのシフトレジスターへの入力データによって、EL素子に流れる電流をオン/オフするスイッチングトランジスターのゲートを制御して、様々なタイミングでEL素子を点灯、非点灯させている。

【先行技術文献】

10

20

30

40

50

【特許文献】

【0004】

【特許文献1】特開2003—150082号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

同一のパネルを用いて、フルサイズの表示領域と、それよりも小さい表示領域とを切り換え、非表示領域ではEL素子を非点灯にしなければならない場合がある。例えば、XGAサイズでパネルを作成しておき、それよりも小さいサイズ、たとえば、SVGA、QHDサイズにも対応できるパネルが必要になる。

10

【0006】

表示サイズの切り替えを従来のシフトレジスター方式のゲートドライバーで行う場合、ゲート制御信号は、フルサイズのままの制御信号とし、非表示ラインの額縁には、非表示のデータを供給することで実現できる。しかし、これではパネルサイズが小さくなっても、大きなパネルサイズと同じ信号が必要になってしまい、電力のムダ使いが生じる。

【0007】

電力のムダ使いを減らすために、シフトレジスターの途中からデータを入れられるようにし、使用しないラインのゲート信号を固定できる回路を追加することができる。しかし、画面サイズを小さくするサイズは固定ではなく、自由に変えられることが望ましい。

【0008】

20

このように、表示サイズを各種サイズに調整し、待機時や動作時の消費電力を可能な限り下げるなどの様々な要求に応えるには、シフトレジスター方式では対応しきれない。

【0009】

本発明の幾つかの態様は、シフトレジスターに代えてデコーダーを採用することで、上述した課題を解決することができるEL表示装置及び電子機器を提供することを目的とする。

【課題を解決するための手段】

【0010】

(1) 本発明の一態様は、
マトリクス状に配置された複数の画素と、
前記複数の画素の各々に配置されるEL素子と、
前記複数の画素の各々に配置され、第1ゲートに入力される第1ゲート信号に基づいて前記EL素子に駆動電流を供給する第1トランジスターと、
前記複数の画素の各々に配置され、第2ゲートに入力される第2ゲート信号に基づいて前記EL素子に流れる電流をオン/オフする第2トランジスターと、
前記複数の画素の各々に配置される前記第2トランジスターの前記第2ゲートに、前記第2ゲート信号を供給するゲートドライバー回路と、
を有し、
前記ゲートドライバー回路は、
アドレス信号に基づいて一垂直走査期間を規定する第1基準信号を生成する第1デコーダーと、
前記アドレス信号に基づいて前記一垂直走査期間の前半に一つの第2基準信号を生成する第2デコーダーと、
前記アドレス信号に基づいて前記一垂直走査期間の後半に一つの第3基準信号を生成する第3デコーダーと、
前記アドレス信号に基づいて前記一垂直走査期間の前半に、前記第2基準信号とは異なるタイミングで一つの第4基準信号を生成する第4デコーダーと、
前記アドレス信号に基づいて前記一垂直走査期間の後半に、前記第3基準信号とは異なるタイミングで一つの第5基準信号を生成する第5デコーダーと、
前記第2及び第4基準信号に基づいて、垂直走査範囲を二分する位置よりも垂直走査方

30

40

50

向の上流側の画素群に前記第2ゲート信号を供給する第1ゲートドライバー群と、

前記第3及び第5基準信号に基づいて、前記垂直走査範囲を二分する位置よりも前記垂直走査方向の下流側の画素群に前記第2ゲート信号を供給する第2ゲートドライバー群と、
を有するEL表示装置に関する。

【0011】

本発明の一態様によれば、ゲートドライバー回路はシフトレジスターを用いることなく、第1～第5デコーダーからの第1～第5基準信号に基づいて、画素回路に供給されるタイミング信号であるゲート信号（階調データに基づく第1ゲート信号は除く）を生成できる。特に、EL素子を点灯/非点灯させる第2ゲート信号は、垂直走査方向の上流側、下流側で独立して設定できる。よって、垂直走査方向の上流側のみ、下流側のみ、あるいは上流及び下流側の双方にて、任意に非点灯期間を設定することができる。それにより、有機EL素子のON/OFF周期が2倍になり、フリッカーを低減しながら、明るさの調整が可能になる。

10

【0012】

(2) 本発明の一態様では、前記複数の画素の各々は、第3ゲートに入力される第3ゲート信号に基づいて前記EL素子のアノードにリセット電位を供給する第3トランジスターをさらに有し、前記第1ゲートドライバー群は、前記第2及び第4基準信号に基づいて、前記垂直走査方向の前記上流側の画素群に前記第3ゲート信号を供給し、第2ゲートドライバー群は、前記第3及び第5基準信号に基づいて、前記垂直走査方向の前記下流側の画素群に前記第3ゲート信号を供給することができる。

20

【0013】

本発明の一態様によれば、第3ゲート信号は第2ゲート信号とほぼ論理が反転する関係である。よって、第2ゲート信号と同様に第3ゲート信号もまた、垂直走査方向の上流側のみ、下流側のみ、あるいは上流及び下流側の双方にて、リセット期間を任意に設定することができるようにしている。

【0014】

(3) 本発明の一態様では、前記複数の画素の各々は、第4ゲートに入力される第4ゲート信号に基づいて前記第1ゲートにデータ電位を供給する第4トランジスターをさらに有し、前記第1及び第2ゲートドライバー群は、前記第1基準信号がアクティブである期間に第4ゲート設定信号に基づいて、前記垂直走査方向の前記上流側及び前記下流側の画素群に前記第4ゲート信号を供給することができる。

30

【0015】

(4) 本発明の一態様では、前記複数の画素の各々は、第5ゲートに入力される第5ゲート信号に基づいて前記第1トランジスターの前記第1ゲートとソースとをショートさせる第5トランジスターをさらに有し、前記第1及び第2ゲートドライバー群は、前記第1基準信号がアクティブである期間に第5ゲート設定信号に基づいて、前記垂直走査方向の前記上流側及び前記下流側の画素群に前記第5ゲート信号を供給することができる。

【0016】

EL素子へのデータ書き込み前に補償期間を設定する第5ゲート信号や、補償期間後の書き込み期間を設定する第4ゲート信号は、垂直走査方向の1出力のみを任意に設定できる。よって、垂直走査方向にて任意に補償期間及び書き込み期間を設定することができる。それにより、デコーダーの先頭から最終アドレスを変更することで、表示サイズを任意に変更することができる。

40

【0017】

(5) 本発明の他の態様は、上述したEL表示装置を含む電子機器を定義している。この電子機器として、例えば電子ビューファインダー(EVF)やヘッドマウントディスプレイ(HMD)等を挙げることができる。

【図面の簡単な説明】

【0018】

50

【図１】本発明のＥＬ表示装置の一例を示す図である。

【図２】図１に示す画素回路の回路図である。

【図３】図１に示すゲートドライバー回路のブロック図である。

【図４】図３に示す５つのデコーダーの関係を示す図である。

【図５】図３に示す一つのデコーダーの詳細示すブロック図である。

【図６】デコーダー出力と、それに基づいて生成される信号波形を示すタイミングチャートである。

【図７】図３に示す一つのゲートドライバーを示す回路図である。

【図８】デコーダー出力と、図７の回路により生成されるゲート信号を示すタイミングチャートの一例である。

10

【図９】デコーダー出力と、図７の回路により生成されるゲート信号を示すタイミングチャートの他の一例である。

【図１０】デコーダー出力と、図７の回路により生成されるゲート信号を示すタイミングチャートのさらに他の一例である。

【図１１】デコーダー出力と、図７の回路により生成されるゲート信号を示すタイミングチャートのさらに他の一例である。

【図１２】非点灯期間中の最初の一水平走査期間でデータ書き込みするゲート信号波形を示すタイミングチャートである。

【図１３】一垂直走査期間内でデータ書き込み期間、非発光期間及び発光期間を示すタイミングチャートである。

20

【図１４】電子機器の一例であるデジタルスチルカメラを示す図である。

【図１５】電子機器の他の一例であるオーバーヘッド・ディスプレイの外観図である。

【図１６】オーバーヘッド・ディスプレイのＥＬ表示装置及び光学系を示す図である。

【発明を実施するための形態】

【００１９】

以下、本発明の好適な実施の形態について詳細に説明する。なお以下に説明する本実施形態は特許請求の範囲に記載された本発明の内容を不当に限定するものではなく、本実施形態で説明される構成の全てが本発明の解決手段として必須であるとは限らない。

【００２０】

１．ＥＬ表示装置

30

図１は、本実施形態のＥＬ表示装置１０を示している。ＥＬ表示装置１０は、半導体基板例えばシリコン基板１上にゲートドライバー回路２０、デマルチプレクサ４０、レベルシフト回路３０、データ線駆動回路６０及び表示部１００を形成している。

【００２１】

表示部１００には、行方向（横方向）Ｘに沿って複数の走査線１２が配置され、列方向（縦方向）Ｙに沿って複数のデータ線１４が配置されている。複数の走査線１２及び複数のデータ線１４の各１本に接続される複数の画素回路１１０がマトリクス状に配置されている。

【００２２】

本実施形態では、１本の走査線１２に沿って連続する３つの画素回路１１０は、それぞれＲ（赤）、Ｇ（緑）、青（Ｂ）の画素に対応し、これら３画素がカラー画像の１ドットを表現する。

40

【００２３】

画素回路１１０の一例について説明する。ｉ行目の画素回路１１０は、図２に示すように、Ｐ型トランジスター１２１～１２５と、ＯＬＥＤ１３０と、保持容量１３２とを含む。画素回路１１０には、走査信号Ｇｗｒ（ｉ）、制御信号Ｇｅｌ（ｉ）、Ｇｃｍｐ（ｉ）、Ｇｏｒｓｔ（ｉ）が供給される。

【００２４】

駆動トランジスター（第１トランジスター）１２１は、ソースが給電線１１６に接続され、ドレインはトランジスター１２４を介してＯＬＥＤ１３０に接続され、ＯＬＥＤ１３

50

0に流れる電流を制御する。データ線電位（階調電位）を書き込むトランジスタ（第4トランジスタ）122は、ゲート（第4ゲート）が走査線12に接続され、ドレイン/ソースの一方がデータ線14に接続され、他方がトランジスタ121のゲート（第1ゲート）に接続されている。保持容量132はトランジスタ121のゲート線と給電線116との間に接続され、トランジスタ121のソース・ゲート間の電圧を保持する。給電線116には、電源の高電位V_{el}が給電される。OLEDの130のカソードは共通電極とされ、電源の低電位V_{ct}に設定される。

【0025】

トランジスタ（第5トランジスタ）123は、ゲートに制御信号G_{cmp}(i)が入力され、制御信号G_{cmp}(i)に従って第1トランジスタ121のゲート・ドレイン間をショートさせる。それにより、第1トランジスタ121はダイオード接続となる。その結果、保持容量132に第1トランジスタ121のしきい値電圧が保持される。この期間は、トランジスタ121のしきい値のばらつきを補償する補償期間と称される。よって、トランジスタ122がオンされている間であって、補償期間の終了後が、トランジスタ121のゲート及び保持容量132にデータ電位が書き込まれる書込み期間となる。

【0026】

OLED130の点灯制御トランジスタ（第2トランジスタ）124は、ゲート（第2ゲート）に制御信号G_{el}(i)が入力され、トランジスタ121のドレインとOLED130のアノードとの間をオン/オフする。リセットトランジスタ（第3トランジスタ）125は、ゲート（第3ゲート）に制御信号G_{orst}(i)が入力され、制御信号G_{orst}(i)に従ってOLED130のアノードに、給電線16の電位であるリセット電位V_{orst}を供給する。このリセット電位V_{orst}と共通電位V_{ct}との差がOLED130の発光しきい値を下回るように設定される。

【0027】

図1に示すゲートドライバー回路20は、i行目の走査線12に走査信号G_{wr}(i)を供給する。ゲートドライバー回路20の詳細については後述する。図1にて列方向Yに沿って延びるデータ線14と給電線16との間に誘電体を配置することで保持容量50が形成される。レベルシフト回路30は、データ線駆動回路60及びデマルチプレクサ40を介して供給されるデータ信号（階調レベル）に応じて、例えば保持容量50とレベルシフト回路30内の保持容量とを用いて容量分割方式にて、トランジスタ121のしきい値電圧よりもレベルシフトさせてデータ線14に供給する。この容量分割方式は例えば特願2011-228885号に記載されているので説明を省略する。なお、本実施形態では必ずしも容量分割駆動方式を用いなくても良い。

【0028】

デマルチプレクサ40は、図1の表示部100の一ライン（i行）上にある複数画素に、RGB毎に時分割でデータ電位を切り換え出力する。データ線駆動回路60は、図1に示すように、シフトレジスタと、シフトレジスタからのクロックに従って順次データをラッチするデータラッチ回路と、データラッチ回路からのデータを同時にラッチするラインラッチ回路と、ラインラッチ回路からのデータをデジタル-アナログ変換して、階調電圧として出力するデジタル-アナログ変換回路とを含んでいる。

【0029】

2. EL表示装置のゲートドライバー回路

図3は、図1に示すゲートドライバー回路20の詳細を示している。本実施形態のゲートドライバー回路20は、シフトレジスタの代わりにデコーダーを用いている。ゲートドライバー回路20は、デコーダー制御回路140と、第1デコーダー（デコーダーA）141と、第2デコーダー（デコーダーBU）142と、第3デコーダー（デコーダーBD）143と、第4デコーダー（デコーダーCU）144と、第5デコーダー（デコーダーCD）145と、を含む。ゲートドライバー回路20は、バッファ150と、第1～第mのゲートドライバー151-1～151-mとを含む。第1～第mのゲートドライバ

− 1 5 1 - 1 ~ 1 5 1 - m は、図 1 に示す列方向 Y に沿って配列された m 個の画素回路 1 1 0 に各種ゲート信号 (G E L , G O R S T , G W R , G C M P) をそれぞれ供給する。

【 0 0 3 0 】

図 4 は、5 つのデコーダー 1 4 1 ~ 1 4 5 (A , B U , B D , C U , C D) の関係を示している。本実施形態では、図 1 に示す列方向 Y の画素数は m (m は偶数で例えば 7 6 8) である。第 1 デコーダー (デコーダー A) 1 4 1 は、図 3 に示すデコーダー制御回路 1 4 0 からの 1 0 ビットのアドレス信号 [9 : 0] に従って、第 1 ~ 第 m のゲートドライバー 1 5 1 - 1 ~ 1 5 1 - m にデコーダー出力を供給する。第 2 デコーダー (デコーダー B U) 1 4 2 と第 4 デコーダー (デコーダー C U) 1 4 4 とは、図 3 に示すデコーダー制御回路 1 4 0 からの 9 ビットのアドレス信号 [8 : 0] に従って、垂直走査範囲を二分する位置よりも垂直走査方向にて上流側に位置する第 1 ~ 第 (m / 2) のゲートドライバー 1 5 1 - 1 ~ 1 5 1 - (m / 2) にデコーダー出力を供給する。なお、第 1 ~ 第 (m / 2) のゲートドライバー 1 5 1 - 1 ~ 1 5 1 - (m / 2) を、第 1 ゲートドライバー群とも称する。第 3 デコーダー (デコーダー B D) 1 4 3 と第 5 デコーダー (デコーダー C D) 1 4 5 とは、図 3 に示すデコーダー制御回路 1 4 0 からの 9 ビットのアドレス信号 [8 : 0] に従って、垂直走査範囲を二分する位置よりも垂直走査方向にて下流側に位置する第 (m / 2 + 1) ~ 第 m のゲートドライバー 1 5 1 - (m / 2 + 1) ~ 1 5 1 - m にデコーダー出力を供給する。第 (m / 2 + 1) ~ 第 m のゲートドライバー 1 5 1 - (m / 2 + 1) ~ 1 5 1 - m は、第 2 ゲートドライバー群とも称する。

【 0 0 3 1 】

図 5 は、9 ビットのアドレス信号 < A 9 : A 1 > が入力されるデコーダー B U , B D , C U , C D に共通の構成を示している。デコーダー A も、1 0 ビットのアドレス信号 < A 1 0 : A 1 > が入力される点を除いて、図 5 と同様の構成を有する。図 5 に示すように、デコーダー B U , B D , C U , C D は、m 個のデコーダー素子 D E C - 1 ~ D E C - m を有する。m 個のデコーダー素子 D E C - 1 ~ D E C - m は、例えば 9 ビットのアドレス信号 < A 9 : A 1 > が全て H i g h の時のみ出力 O U T が H i g h になる。図 5 に示すように、m 個のデコーダー素子 D E C - 1 ~ D E C - m に入力される 9 ビットのアドレス信号の組み合わせはそれぞれ異なるので、いずれか一つのデコーダー素子 D E C からのみ H i g h が出力される。

【 0 0 3 2 】

図 6 に、5 つのデコーダー 1 4 1 ~ 1 4 5 (A , B U , B D , C U , C D) の例えば O U T 1 から出力される基準信号を示している。第 1 デコーダー (デコーダー A) 1 4 1 は、アドレス信号に基づいて一垂直走査期間 (1 V) に一つの第 1 基準信号を生成する。つまり、第 1 デコーダー (デコーダー A) 1 4 1 からの第 1 基準信号は一垂直走査信号となる。第 2 デコーダー (デコーダー B U) 1 4 2 は、アドレス信号に基づいて一垂直走査期間 (1 V) の前半に一つの第 2 基準信号を生成する。第 3 デコーダー (デコーダー B D) 1 4 3 は、アドレス信号に基づいて一垂直走査期間 (1 V) の後半に一つの第 3 基準信号を生成する。第 4 デコーダー (デコーダー C U) 1 4 4 は、アドレス信号に基づいて一垂直走査期間 (1 V) の前半に、第 2 基準信号とは異なるタイミングで一つの第 4 基準信号を生成する。第 5 デコーダー (デコーダー C D) 1 4 5 は、アドレス信号に基づいて一垂直走査期間 (1 V) の後半に、第 3 基準信号とは異なるタイミングで一つの第 5 基準信号を生成する。5 つのデコーダー 1 4 1 ~ 1 4 5 (A , B U , B D , C U , C D) からの第 1 ~ 第 5 の基準信号やクロック信号 C K に加え、これらをロジック回路で処理することで得られる各種信号 (例えば A + B + C) を示している。

【 0 0 3 3 】

図 3 に示す第 1 ~ 第 m のゲートドライバー 1 5 1 - 1 ~ 1 5 1 - m の各々は、図 7 に示す共通の構成を有している。図 7 に示すデコーダー回路を、図 8 ~ 図 1 1 に示すタイミングチャートを参照して説明する。なお、図 7 において、デコーダー B はデコーダー B U , B D のいずれか一方であり、デコーダー C はデコーダー C U , C D のいずれか一方である。

10

20

30

40

50

【 0 0 3 4 】

先ず、図 2 に示す第 2 トランジスタ 1 2 4 に供給される第 2 ゲート信号 G E L の生成について、図 7 ~ 図 1 1 を参照して説明する。なお、図 7 において符号のない端子はテスト端子であり、デコーダ使用時には図 7 に示す各 2 組のトランスファークロスのうちの下側のゲートを常時開く電位に固定される。デコーダ B , C の論理和 (オア) 出力である信号 m e t 0 9 8 と、図 3 のバッファ 1 5 0 から供給される信号 G E L _ S E とが、図 7 に示すように論理積 (アンド) されて、信号 m e t 2 2 6 が生成される。図 3 のバッファ 1 5 0 から供給されるクロック C K、信号 m e t 0 9 8 及びデコーダ B に基づいて、図 7 に示すように信号 m e t 2 1 4 が生成される。図 7 に示すように、これら信号 m e t 2 1 4 , m e t 2 2 6 の論理和として、信号 m e t 0 1 4 1 が生成される。第 2 ゲート信号 G E L として、信号 m e t 0 1 4 1 が出力される (図 8 ~ 図 1 1 参照) 。

10

【 0 0 3 5 】

次に、図 2 に示す第 3 トランジスタ 1 2 5 に供給される第 3 ゲート信号 G O R S T の生成について、図 7 ~ 図 1 1 を参照して説明する。上述したように、デコーダ B , C の出力に基づいて生成される信号 m e t 0 4 9 , m e t 2 1 4 は、図 7 に示すように否定論理和 (ノア) されて、信号 m e t 0 1 8 8 が生成される。第 3 ゲート信号 G O R S T として、信号 m e t 0 1 8 8 が出力される (図 8 ~ 図 1 1 参照) 。

【 0 0 3 6 】

次に、図 2 に示す第 4 トランジスタ 1 2 2 に供給される第 4 ゲート信号 G W R の生成について、図 7 ~ 図 1 1 を参照して説明する。デコーダ A の出力と、図 3 に示すバッファ 1 5 0 からの第 4 ゲート設定信号 W R とは、図 7 に示すように否定論理積 (ナンド) され、それが第 4 ゲート信号 G W R として出力される (図 8 ~ 図 1 1 参照) 。

20

【 0 0 3 7 】

次に、図 2 に示す第 5 トランジスタ 1 2 3 に供給される第 5 ゲート信号 G C M P の生成について、図 7 ~ 図 1 1 を参照して説明する。デコーダ A の出力と、図 3 に示すバッファ 1 5 0 からの第 5 ゲート設定信号 C M P とは、図 7 に示すように否定論理積 (ナンド) され、それが第 5 ゲート信号 G C M P として出力される (図 8 ~ 図 1 1 参照) 。

【 0 0 3 8 】

以上のようにして、図 3 に示す第 1 ~ 第 m ゲートドライバ 1 5 1 - 1 ~ 1 5 1 - m から、それぞれ第 2 ~ 第 5 ゲート信号 G E L , G O R S T , G W R , G C M P が出力される。ただし、第 1 ~ 第 m ゲートドライバ 1 5 1 - 1 ~ 1 5 1 - m からの第 2 ~ 第 5 ゲート信号 G E L , G O R S T , G W R , G C M P は、アドレス信号に基づいてクロック C K の一周期 (一水平走査期間 1 H) ずつ立ち上がり又は立下りタイミングがシフトしている。これにより、図 1 に示す列方向 Y に沿って配置された画素を順次駆動することができる。なお、クロック C K とデコーダ入力の周期を変更することで、表示サイズに応じて一水平走査期間 1 H の長さを変更することができる。

30

【 0 0 3 9 】

このように、本実施形態では図 8 ~ 図 1 1 にて明らかなように、アドレス信号によりデコーダ A , B (B U または B D) , C (C U または C D) の出力波形を生成し、それによって第 2 ~ 第 5 ゲート信号 G E L , G O R S T , G W R , G C M P を生成できるので、シフトレジスタは不要となる。

40

【 0 0 4 0 】

特に、E L 素子 1 3 0 の点灯 / 非点灯させる第 2 ゲート信号 G E L は、垂直走査範囲を二分する位置よりも垂直走査方向の上流側、下流側でそれぞれ独立して設定できる。よって、垂直走査方向の上流側のみ、下流側のみ、あるいは上流及び下流側の双方にて、任意に非点灯期間を設定することができる。それにより、O L E D 1 3 0 の O N / O F F 周期が 2 倍になり、フリッカーを低減しながら、明るさの調整が可能になる。

【 0 0 4 1 】

第 3 ゲート信号 G O R S T は第 2 ゲート信号 G E L とほぼ論理が反転する関係である。よって、第 2 ゲート信号 G E L と同様に第 3 ゲート信号 G O R S T もまた、垂直走査範囲

50

を二分する位置よりも垂直走査方向の上流側のみ、下流側のみ、あるいは上流及び下流側の双方にて、リセット期間を任意に設定することができる。

【 0 0 4 2 】

また、E L 素子 1 3 0 へのデータ書き込み前に補償期間を設定する第 5 ゲート信号 G C M P や、補償期間後の書き込み期間を設定する第 4 ゲート信号 G W R は、垂直走査方向の 1 出力のみを任意設定できる。よって、垂直走査方向にて任意に補償期間及び書き込み期間を設定することができる。それにより、デコーダーの先頭から最終アドレスを変更することで、表示サイズを任意に変更することができる。

【 0 0 4 3 】

図 1 2 に、 n 行目と $(n + k + 1)$ 行目の画素に供給される第 2 ~ 第 5 ゲート信号 G E L , G O R S T , G W R , G C M P を示す。図 1 2 では、 n 行目と $(n + k + 1)$ 行目の画素にて、第 2 ゲート信号 G E L が H i g h となって第 2 トランジスタ 1 2 4 がオフしている非点灯期間が、ほぼ $(2 + k)$ H 期間に亘って設定される。その非点灯期間の最初の一水平走査期間 (1 H) に、第 4 ゲート信号 G W R を L o w として図 2 の第 4 トランジスタ 1 2 2 をオンさせることができる。

【 0 0 4 4 】

また、第 4 トランジスタ 1 2 2 のオン期間よりも短い期間に亘って第 5 ゲート信号 G C M P が L o w とされ、図 2 に示す第 5 トランジスタ 1 2 3 がオンされる。それにより、補償期間が設定され、補償期間後も第 5 トランジスタ 1 2 3 がオンされている期間が書き込み期間となる。さらに、 n 行目の画素から明らかのように、 $(2 + k)$ H の全期間に亘って第 3 ゲート信号 G O R S T は L o w とされ、図 2 に示す第 3 トランジスタ 1 2 5 はオンとされる。書き込み期間の無い非点灯期間 (k H) では、第 2 ~ 第 4 ゲート信号 G E L , G C M P , G W R は H i g h となり、第 2 ~ 第 4 トランジスタ 1 2 4 , 1 2 5 , 1 2 2 はオフされる。

【 0 0 4 5 】

図 1 3 に、 n 行目の画素について、一垂直走査期間 ($1 V = 7 6 8 H$)) 中の非点灯期間 (H O F F 1 , H O F F 2) と点灯期間 (H O N 1 , H O N 2) の設定例を示す。非点灯期間 (H O F F 1) 中に第 4 ゲート信号 G W R が L o w となってデータ書き込みが行われている。非点灯期間 (H O F F 1 , H O F F 2) と点灯期間 (H O N 1 , H O N 2) は、一水平走査期間 (1 H) 単位で長さを調整することで、明るさを調整することができる。

【 0 0 4 6 】

3 . 電子機器

図 1 4 は、このデジタルスチルカメラ 2 0 0 の構成を示す斜視図であるが、外部機器との接続についても簡易的に示すものである。デジタルスチルカメラ 2 0 0 のケース 2 0 2 の背面には、上述した E L 表示装置 1 0 が適用される表示装置 2 0 4 が設けられる。表示装置 2 0 4 は、C C D (Charge Coupled Device) による撮像信号に基づいて、表示を行う構成となっている。このため、表示装置 2 0 4 は、被写体を表示する電子ビューファインダとして機能する。ケース 2 0 2 の観察側 (図においては裏面側) には、光学レンズや C C D などを含んだ受光ユニット 2 0 6 が設けられている。

【 0 0 4 7 】

ここで、撮影者が表示装置 2 0 4 に表示された被写体像を確認して、シャッターボタン 2 0 8 を押下すると、その時点における C C D の撮像信号が、回路基板 2 1 0 のメモリに転送・格納される。

【 0 0 4 8 】

このデジタルスチルカメラ 2 0 0 には、ケース 2 0 2 の側面に、ビデオ信号出力端子 2 1 2 と、データ通信用の入出力端子 2 1 4 とが設けられている。ビデオ信号出力端子 2 1 2 にはテレビモニタ 2 3 0 が、データ通信用の入出力端子 2 1 4 にはパーソナルコンピュータ 4 4 0 が、それぞれ必要に応じて接続される。さらに、所定の操作によって、回路基板 2 1 0 のメモリに格納された撮像信号が、テレビモニタ 2 3 0 や、パーソナルコンピュータ 2 4 0 に出力される。

10

20

30

40

50

【 0 0 4 9 】

図 1 5 及び図 1 6 は、ヘッドマウント・ディスプレイ 3 0 0 を示している。ヘッドマウント・ディスプレイ 3 0 0 は、眼鏡と同様にテンブル 3 1 0、ブリッジ 3 2 0、レンズ 3 0 1 L, 3 0 1 R を有する。ブリッジ 3 2 0 の内側には、左眼用の表示装置 1 0 L と右眼用の表示装置 1 0 R とが設けられる。これら表示装置 1 0 L, 1 0 R として、図 1 に示す表示装置 1 0 を適用できる。

【 0 0 5 0 】

表示装置 1 0 L, 1 0 R に表示される画像は、光学レンズ 3 0 2 L, 3 0 2 R 及びハーフミラー 3 0 3 L, 3 0 3 R を介して両眼に入射される。視差を伴い左眼、右眼用画像とすることで、3 D 表示が可能である。なお、ハーフミラー 3 0 3 L, 3 0 3 r は外光を透過するので、装着者の視野を妨げない。

10

【 0 0 5 1 】

なお、上記のように本実施形態について詳細に説明したが、本発明の新規事項および効果から実体的に逸脱しない多くの変形が可能であることは当業者には容易に理解できるであろう。従って、このような変形例はすべて本発明の範囲に含まれるものとする。例えば、明細書又は図面において、少なくとも一度、より、その異なる用語に置き換えることができる。また E L 表示装置、電子機器等の構成、動作も本実施形態で説明したものに限定されず、種々の変形実施が可能である。

【 0 0 5 2 】

例えば、図 1 に示すデータ線駆動回路 6 0 の最終段にあるアンプのスルーレートを変更するように構成しても良い。表示サイズの変更によりライン数が少なくなると、その分だけ一水平走査期間 (1 H) を長くできる。そのため、アンプの書込みスピードを遅くしてスルーレートを下げることができる。それにより消費電力が低減する。

20

【 0 0 5 3 】

また、図 1 に示すデータ駆動回路 6 0 内に設けられるシフトレジスターをデコーダーに変更しても良い。その際、表示ライン数、表示開始位置等の情報を書き換え可能なレジスターを設け、そのレジスターに応じてデコーダーの制御カウンタを制御することができる。

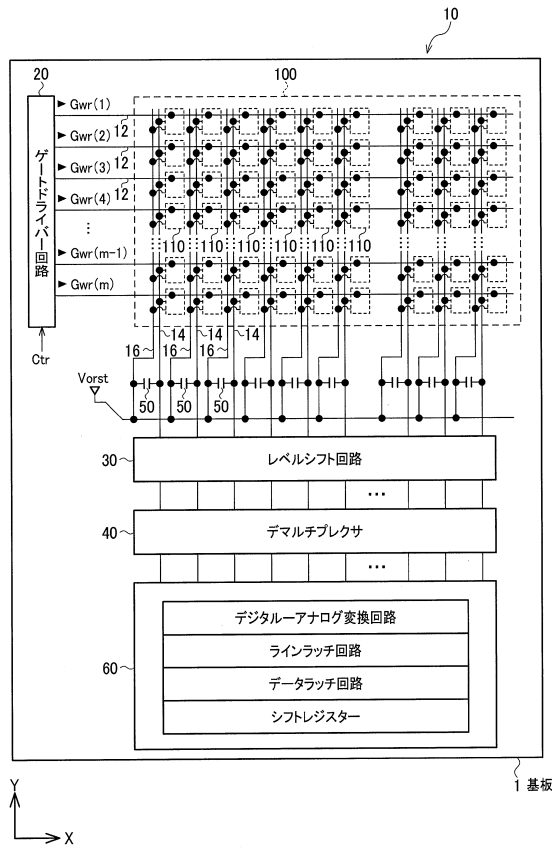
【 符号の説明 】

【 0 0 5 4 】

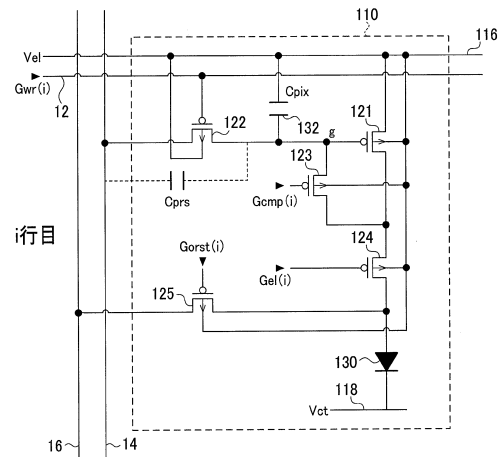
30

1 シリコン基板 (表示パネル)、1 0 E L 表示装置、1 2 走査線、1 4 データ線、2 0 ゲートドライバー回路、1 2 1 第 1 トランジスター、1 2 2 第 4 トランジスター、1 2 3 第 5 トランジスター、1 2 4 第 2 トランジスター、1 2 5 第 3 トランジスター、1 3 0 E L 素子、1 4 0 デコーダー制御回路、1 4 1, A 第 1 デコーダー、1 4 2, B U 第 2 デコーダー、1 4 3, B D 第 3 デコーダー、1 4 4, C U 第 4 デコーダー、1 4 5, C D 第 5 デコーダー、1 5 0 バッファ、1 5 1 - 1 ~ 1 5 1 - m / 2 第 1 ゲートドライバー群、1 5 1 - (m / 2 + 1) ~ 1 5 1 - m 第 2 ゲートドライバー群、G E L 第 2 ゲート信号、G C M P 第 3 ゲート信号、G W R 第 4 ゲート信号、G O R S T 第 5 ゲート信号、2 0 0, 3 0 0 電子機器

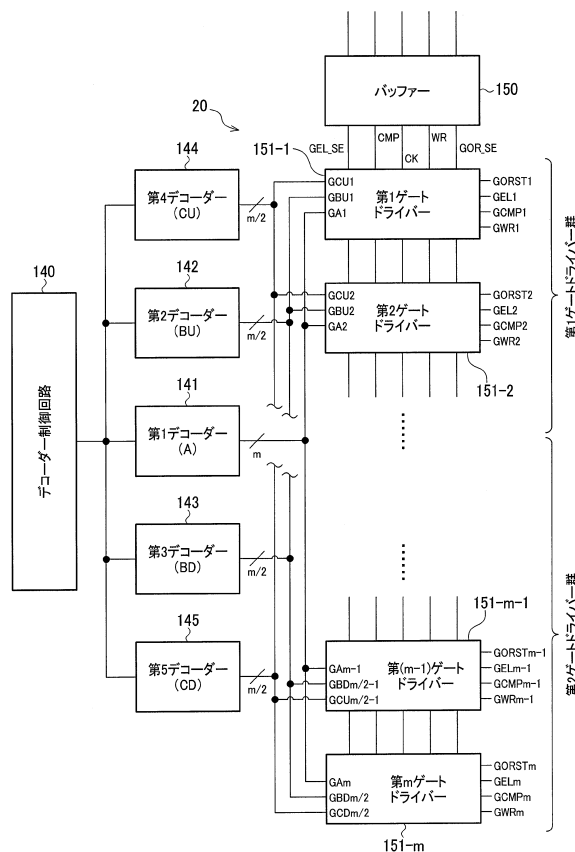
【図 1】



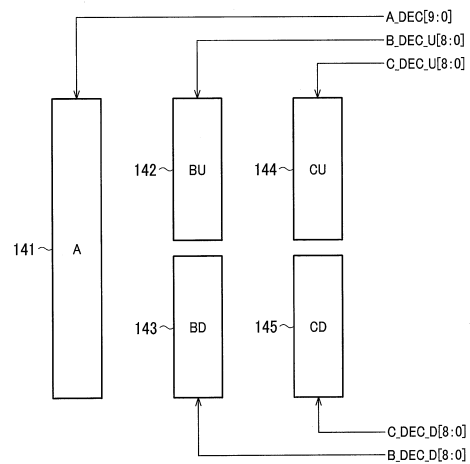
【図 2】



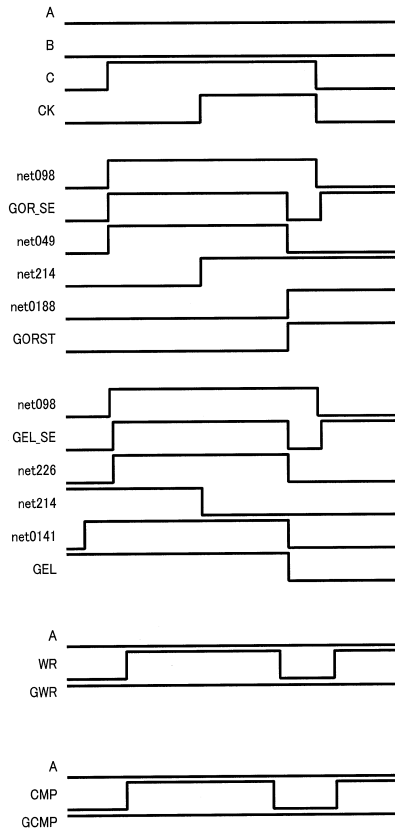
【図 3】



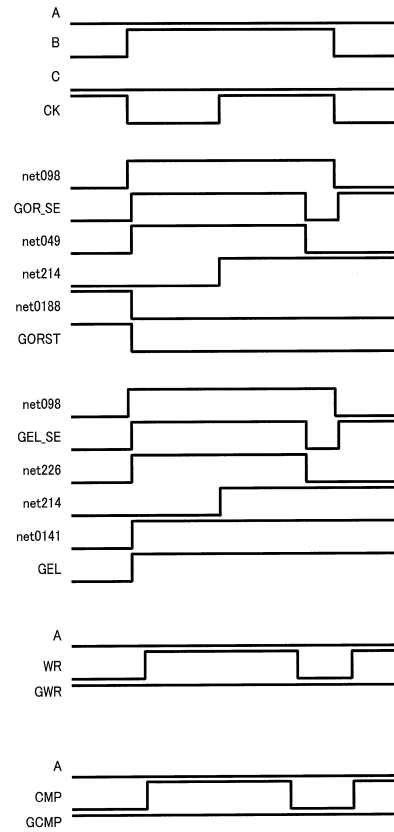
【図 4】



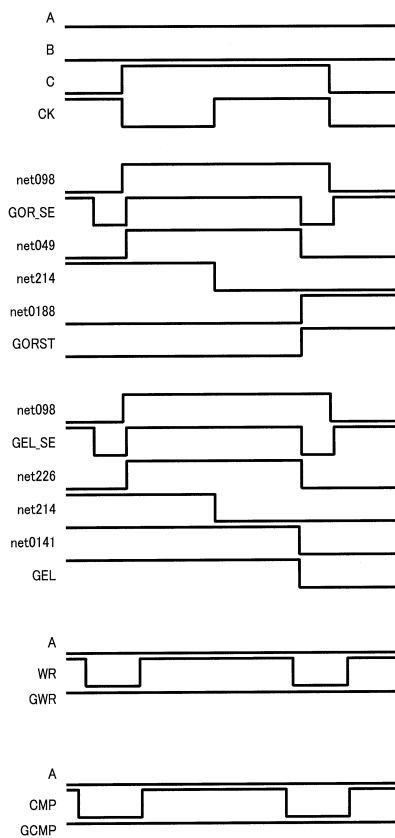
【図 9】



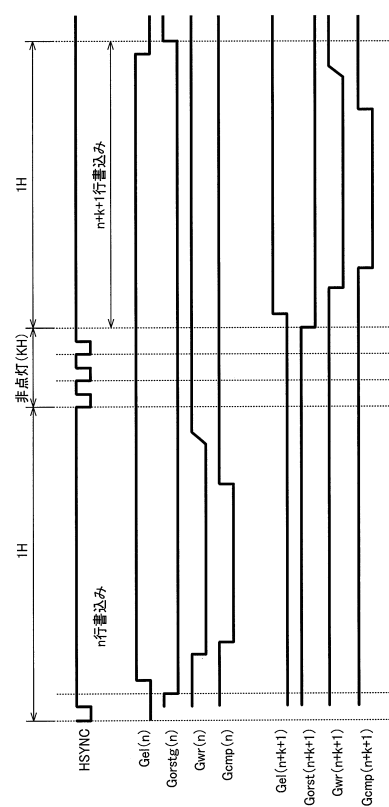
【図 10】



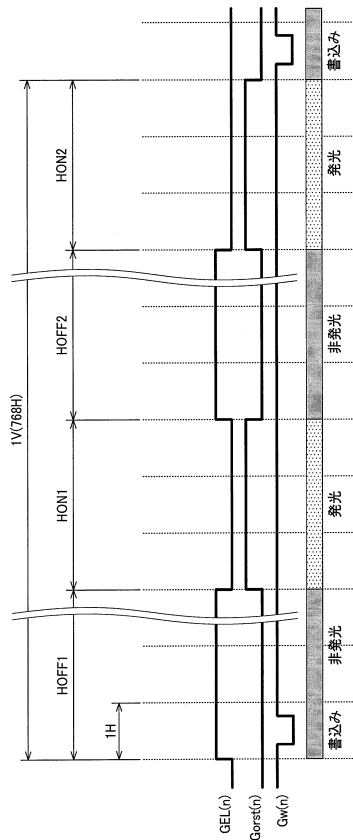
【図 11】



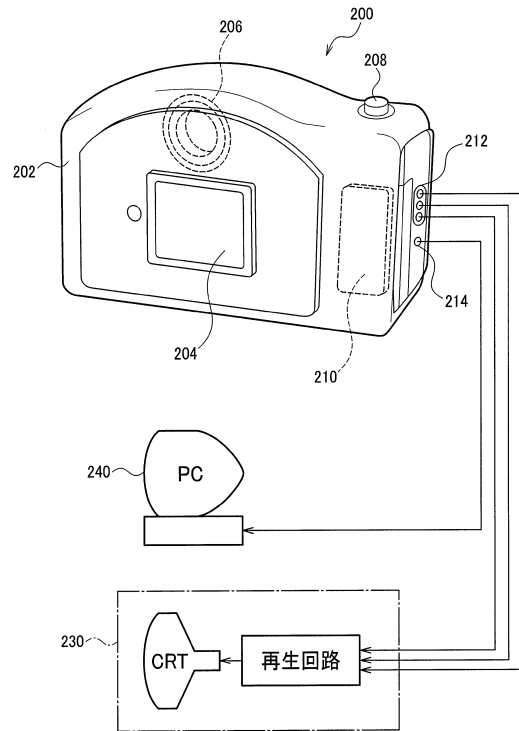
【図 12】



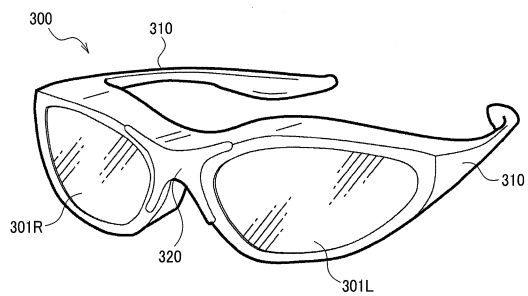
【図 13】



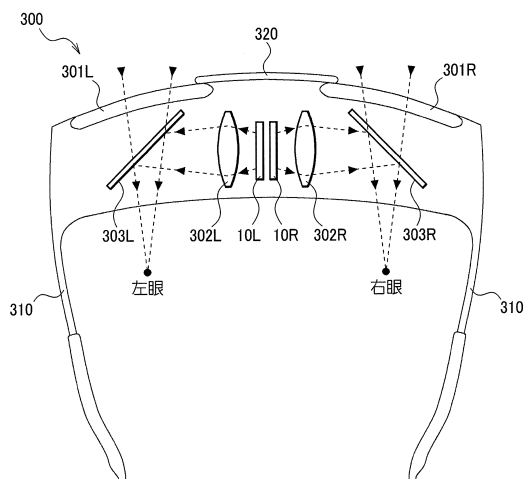
【図 14】



【図 15】



【図 16】



フロントページの続き

(51) Int.Cl.	F I		
	G 0 9 G	3/20	6 2 2 P
	G 0 9 G	3/20	6 2 3 U
	G 0 9 G	3/20	6 2 4 B
	G 0 9 G	3/20	6 2 2 K
	G 0 9 G	3/20	6 1 2 U
	H 0 5 B	33/14	A

(56) 参考文献 特開 2 0 0 7 - 2 9 3 2 6 4 (J P , A)
特開 2 0 1 1 - 0 8 5 9 1 8 (J P , A)

(58) 調査した分野 (Int.Cl. , D B 名)

G 0 9 G	3 / 3 2 3 3
G 0 9 G	3 / 2 0
H 0 1 L	5 1 / 5 0

专利名称(译)	EL表示装置及び電子機器		
公开(公告)号	JP6136422B2	公开(公告)日	2017-05-31
申请号	JP2013059559	申请日	2013-03-22
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
当前申请(专利权)人(译)	精工爱普生公司		
[标]发明人	田村剛		
发明人	田村 剛		
IPC分类号	G09G3/3233 G09G3/20 H01L51/50		
FI分类号	G09G3/3233 G09G3/20.612.J G09G3/20.621.A G09G3/20.622.D G09G3/20.622.F G09G3/20.622.P G09G3/20.623.U G09G3/20.624.B G09G3/20.622.K G09G3/20.612.U H05B33/14.A G09G3/30.J G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC14 3K107/CC41 3K107/EE03 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD06 5C080/DD26 5C080/EE28 5C080/FF11 5C080/GG11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AB06 5C380/AB34 5C380/AC05 5C380/AC10 5C380/BA01 5C380/BA02 5C380/BA39 5C380/BA45 5C380/BB09 5C380/CA08 5C380/CA12 5C380/CA16 5C380/CA32 5C380/CA57 5C380/CB01 5C380/CB12 5C380/CB16 5C380/CB24 5C380/CB31 5C380/CB34 5C380/CC04 5C380/CC07 5C380/CC26 5C380/CC33 5C380/CC38 5C380/CC39 5C380/CC66 5C380/CD025 5C380/CE19 5C380/CF07 5C380/CF09 5C380/CF22 5C380/CF24 5C380/CF32 5C380/CF48 5C380/CF53 5C380/CF56 5C380/CF64 5C380/DA02 5C380/DA06 5C380/DA18 5C380/DA24 5C380/DA33 5C380/DA34 5C380/DA47		
代理人(译)	渡边和明 西田圭介 仲井 智至		
审查员(译)	齐藤敦		
其他公开文献	JP2014186084A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种EL显示装置和电子设备，其能够将显示尺寸调节到各种尺寸并且在操作期间尽可能地降低功耗。栅极驱动器电路20供给的门信号GEL到晶体管124以打开和关闭流过EL元件130，用于产生第一基准信号用于定义一个垂直扫描期间1V，IV的第一解码器141的当前第二次在第二上半年以产生第四参考信号，并且所述第四解码器142，在IV下半年三分之一，第三，以产生第五参考信号，并且所述第五解码器143和145，第一，第二第一栅极驱动器组151-1至151- (m / 2) ，用于基于第四参考信号将第二栅极信号提供给垂直扫描方向上游侧的像素组， 5基于具有第二栅极驱动器组151- (M / 2 + 1) ，并在垂直扫描方向上的〜151-m的提供第二栅极信号输出到下游侧的像素组中的参考信号。点域

(12) 特 許 公 報 (B2)		(11) 特許番号 特許第6136422号 (P6136422)
(45) 発行日 平成29年5月31日 (2017.5.31)		(24) 登録日 平成29年5月12日 (2017.5.12)
(51) Int. Cl. G09G 3/3233 (2016.01) G09G 3/20 (2006.01) H01L 51/50 (2006.01)		F I G09G 3/3233 G09G 3/20 612 J G09G 3/20 621 A G09G 3/20 622 D G09G 3/20 622 F 請求項の数 5 (全 15 頁) 最終頁に続く
(21) 出願番号 (22) 出願日 (65) 公開番号 (43) 公開日 審査請求日	特願2013-59559 (P2013-59559) 平成25年3月22日 (2013.3.22) 特開2014-186084 (P2014-186084A) 平成28年10月2日 (2014.10.2) 平成28年3月1日 (2016.3.1)	(73) 特許権者 000002369 セイコーエプソン株式会社 東京都新宿区新宿四丁目1番6号 (74) 代理人 100116655 弁理士 渡辺 和昭 (74) 代理人 100164633 弁理士 西田 圭介 (74) 代理人 100179475 弁理士 仲井 智至 (72) 発明者 田村 剛 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 審査官 斎藤 厚志
(54) 【発明の名称】 E L表示装置及び電子機器		最終頁に続く