

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5041772号
(P5041772)

(45) 発行日 平成24年10月3日(2012. 10. 3)

(24) 登録日 平成24年7月20日(2012. 7. 20)

(51) Int.Cl.

F I

G 0 9 G 3/30 (2006. 01)

G 0 9 G 3/30 J

G 0 9 G 3/20 (2006. 01)

G 0 9 G 3/20 6 2 4 B

H 0 1 L 51/50 (2006. 01)

G 0 9 G 3/20 6 4 1 D

G 0 9 G 3/20 6 4 2 D

H 0 5 B 33/14 A

請求項の数 3 (全 40 頁)

(21) 出願番号 特願2006-249113 (P2006-249113)
 (22) 出願日 平成18年9月14日(2006. 9. 14)
 (65) 公開番号 特開2007-108730 (P2007-108730A)
 (43) 公開日 平成19年4月26日(2007. 4. 26)
 審査請求日 平成21年9月8日(2009. 9. 8)
 (31) 優先権主張番号 特願2005-269013 (P2005-269013)
 (32) 優先日 平成17年9月15日(2005. 9. 15)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 吉田 泰則
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 福村 拓

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項 1】

トランジスタと、第1の容量素子と、発光素子と、第1のスイッチ乃至第4のスイッチとを有し、

前記第1のスイッチは、前記トランジスタのゲートとドレインとの間に電氣的に接続され、

前記第2のスイッチは、前記トランジスタのドレインと前記データ線との間に電氣的に接続され、

前記第3のスイッチは、前記トランジスタのドレインと前記発光素子との間に電氣的に接続され、

前記第4のスイッチは、前記第1の容量素子と前記第2の容量素子との間に電氣的に接続されており、

前記第1の容量素子は、前記トランジスタのゲートとソースとの間の電圧を保持する機能を有し、

前記発光素子は、第2の容量素子としての機能を有し、

前記トランジスタのゲートとドレインとを電氣的に接続し、且つ、前記第1の容量素子と前記第2の容量素子とを電氣的に接続し、前記第1の容量素子及び前記第2の容量素子に前記トランジスタの閾値電圧を入力する第1の動作と、

前記トランジスタのドレインとデータ線とを電氣的に接続し、前記第1の容量素子に前記トランジスタのドレイン電流に応じた第1の電圧を入力する第2の動作と、

10

20

前記第 1 の容量素子と前記第 2 の容量素子とを電氣的に接続し、前記第 1 の容量素子に第 2 の電圧を入力する第 3 の動作と、

前記トランジスタと前記発光素子を電氣的に接続し、前記第 2 の電圧に応じた電流を前記発光素子に入力する第 4 の動作とを行う機能を有し、

前記第 1 の動作、前記第 2 の動作、前記第 3 の動作、及び前記第 4 の動作は、この順に行われ、

前記第 1 の動作乃至前記第 3 の動作において、前記発光素子の陰極に電氣的に接続された第 1 の配線の電位は、前記発光素子の陽極に電氣的に接続された第 2 の配線の電位と同じ又は概ね同じであり、

前記第 4 の動作において、前記第 1 の配線の電位は、前記第 2 の配線の電位よりも低いことを特徴とする表示装置。

10

【請求項 2】

請求項 1 において、

前記第 1 の容量素子と前記第 2 の容量素子とを電氣的に接続する動作では、

前記第 1 の容量素子と前記第 2 の容量素子との電荷を分配して、前記第 1 の容量素子に、電流 $I_2 = (C_1 / (C_2 + C_1)) \times I_1$ (C_1 及び C_2 はそれぞれ前記第 1 及び第 2 の容量素子の容量値、 I_1 は前記データ線の電流値) に応じた前記第 2 の電圧を入力することを特徴とする表示装置。

【請求項 3】

請求項 1 又は請求項 2 において、

20

前記トランジスタのドレインと前記データ線とを電氣的に接続し、且つ、前記トランジスタのゲートとドレインとを電氣的に接続し、且つ、前記第 1 の容量素子と前記発光素子とを電氣的に接続し、前記発光素子に逆バイアスを印加する動作を行う機能を有することを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、自発光型の表示素子を適用した表示装置とその駆動方法に関する。

【背景技術】

【0002】

30

表示装置の駆動方法には、大別してアクティブマトリクス駆動とパッシブマトリクス駆動がある。パッシブマトリクス駆動は、表示素子をマトリクス状の電極で挟んだ簡単な構造であるため製造コストは安いが、ある画素を駆動しているときは他の画素を駆動できないため、大面積または高精細な表示装置には向かない。一方アクティブマトリクス駆動では、一つ一つの画素に能動素子と輝度情報を保持する手段が設けられているため製造コストはパッシブマトリクス駆動の表示装置に比べて高くなるが、ある画素を駆動していても他の画素は輝度情報を保持しつつ発光することができる。そのため、大面積または高精細な表示装置には、ほとんどアクティブマトリクス駆動方式が用いられている。

【0003】

アクティブマトリクス駆動の表示装置は、前述したように個々の画素において輝度情報を保持する手段が設けられているが、この輝度情報がデジタル値か、アナログ値かで、さらに分類することができる。輝度情報がデジタル値の場合、発光素子はオンまたはオフの 2 値しか持てないため、表示画像も 2 階調しか出せないが、2 値の画像を素早く何回も表示することで多階調を表現する手法(時間階調法)が広く用いられている。また、輝度情報がアナログ値の場合は、表示素子の輝度は中間値で制御できるため、多階調を表示するときに時間階調法は必ずしも必要ではない。

40

【0004】

輝度情報がアナログ値のアクティブマトリクス駆動表示装置には、主なものとして液晶ディスプレイが挙げられる。液晶ディスプレイは広く普及しているが、応答速度が遅く動画表示に向かない、視野角依存性があるという問題点がある。また、表示素子が自発光型で

50

はないためバックライトが必要となり、消費電力が大きいという問題もある。そのため、液晶ディスプレイに替わる新たな表示装置の開発が望まれている。

【0005】

一方、画素を発光ダイオード(LED)などの発光素子で形成した、いわゆる自発光型の表示装置が注目を浴びている。このような自発光型の表示装置に用いられる発光素子としては、有機発光ダイオード(OLED(Organic Light Emitting Diode))、有機EL素子、エレクトロルミネッセンス(Electro Luminescence: EL)素子などとも言う)が注目を集めており、ELディスプレイなどに用いられるようになってきている。OLEDなどの発光素子は自発光型であるため、液晶ディスプレイに比べて画素の視認性が高く、バックライトが不要で応答速度が速い等の利点がある。そのため、この有機EL素子を表示素子としたアクティブマトリクス駆動表示装置の開発が、活発に行なわれている。

10

【0006】

ここで、有機EL素子について説明する。有機EL素子の輝度は、流れる電流値によって決まる。有機EL素子をアクティブマトリクス駆動するときの問題点は、主としてこの性質による。すなわち、液晶ディスプレイのようにアナログ値の電圧を画素の輝度情報保持手段(例えば、容量素子)に書き込む場合、液晶ディスプレイのように表示素子にかかる電圧をアナログ制御するのではなく、表示素子に流れる電流を制御する能動素子をアナログ的に制御することになるのである。この能動素子は個々のEL素子にそれぞれ設けられるため、能動素子の電気的特性が画素ごとにばらつけば、そのまま輝度のばらつきとして現れてしまう。

20

【0007】

以上のような状況から、有機EL素子のような電流駆動型の表示素子をアナログ値でアクティブマトリクス駆動する場合には、表示素子を駆動する能動素子の特性ばらつきを補償することが重要である。その方法としては、例えば画素回路の構成を工夫し、電流入力型とすることが挙げられる。

【0008】

電流入力型の画素回路では、画素に入力する輝度情報として、アナログ電流を用いる。なお、ここで言うアナログ電流とは、電流値を多段階で制御することのできる回路から出力される電流の事を指す。このような周辺駆動回路で表示素子の輝度に対応してつくられたアナログ電流(データ電流とも記す)を個々の画素の能動素子に流し、そのときの能動素子にかかる電圧を保持しておく。そうすれば、データ電流の供給がなくなった後も、その電流値を保持して表示素子に流し続けることができる。そのような画素回路の一例としては、図8に示す回路が挙げられる。図8に示す回路は、第1の電源線ANODE、第2の電源線CATHODE、データ電流Idataを流すための電流源、データ電流Idataが流れる配線DATA、表示素子10、駆動トランジスタTr1、輝度情報保持手段としての容量素子Cs、駆動トランジスタTr1のゲート電極とドレイン電極の接続をオン・オフするためのスイッチTr2、駆動トランジスタTr1にIdataを流す画素を選択するためのスイッチTr3、表示素子10と駆動トランジスタTr1のドレイン電極との接続をオン・オフするスイッチTr4、を有する。

30

40

【0009】

電流入力型の画素回路は、能動素子の特性に関わらず、データ電流をそのまま表示素子に流し続けることができるため、電流駆動型の表示素子をアクティブマトリクス駆動するのに適した回路となる。しかし、有機EL素子のように、表示素子の駆動時の電流値が非常に小さい表示素子の場合、図8に示す回路は、データ電流の大きさと表示素子10の駆動時の電流値が1対1に対応しているため、データ電流を駆動トランジスタTr1に流したときに、容量素子Csに充電するための時間(プログラム時間とも記す)が非常に長くなってしまいう問題点があった。

【0010】

そのため、表示素子の駆動時の電流値に対するデータ電流の大きさを、画素回路にキャパ

50

シタを追加することで大きくできる電流入力型の画素回路が提案されている（特許文献 1 参照）。

【特許文献 1】特開 2 0 0 4 - 3 1 0 0 0 6

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 1 】

従来技術の画素回路の一例として、特許文献 1 の図 5 に対応した画素回路を、図 9 に示す（なお、特許文献 1 による符号が変更されている）。図 9 の回路構成は、図 8 に、直列に接続された閾値保持用キャパシタ C_t と容量接続用スイッチ $T_r 6$ が追加された画素回路に相当する。

10

【 0 0 1 2 】

特許文献 1 には、データ電流対応電圧（ $V_{gs}(data)$ ）とも記す）保持用キャパシタ C_s に $V_{gs}(data)$ を保持する前に、あらかじめ閾値保持用キャパシタ C_t に駆動トランジスタ $T_r 1$ の閾値電圧を保存しておき、 C_s に $V_{gs}(data)$ を保持した後に C_t と C_s を接続することで、表示素子の駆動時の電流値よりもデータ電流値を大きくすることができる旨が示されている。そして、その倍率は、 C_s の静電容量値に対する C_t の静電容量値の増加に伴い大きくなるため、データ電流を大きくすることで、プログラム時間を短縮できることが記載されている。なお、表示素子の駆動時の電流値（ I_{oled} ）とデータ電流（ I_{data} ）の関係は、数式 1 のように表される。

【 0 0 1 3 】

20

【数 1】

$$I_{oled} = \left(\frac{C_s}{(C_t + C_s)} \right)^2 \times I_{data} \quad \cdots \cdots \cdots 1$$

【 0 0 1 4 】

ひとつの画素にデータ電流を書き込むのにかかる時間は、1 フレーム期間（約 6 0 分の 1 秒）を走査線本数で割った値となり、例えば 3 2 0 本の走査線がある表示装置では約 5 0 μ 秒である。それに対し、数十 n A 程度の駆動電流となる表示素子（例えば、EL 素子）で、データ電流の大きさも数十 n A 程度だった場合は、データ線の寄生容量を十分に充電するためには、数 m s の時間が必要となってしまう。充電に要する時間は電流値に比例するため、一つの画素に書き込む時間を数十 μ 秒以内に収めるには、データ電流は表示素子に流す電流値の約 1 0 0 倍は必要になる計算となる。すなわち、特許文献 1 に記載されている方法でデータ電流を書き込む場合、閾値保持用キャパシタ C_t の静電容量値は、 $V_{gs}(data)$ 保持用キャパシタ C_s に対して、1 0 倍程度は必要である。ここで、 $V_{gs}(data)$ を保持するために、 C_s にはある程度の静電容量値が必要なので、よりデータ電流を大きくするには、 C_t の面積をより大きくしなければならない。

30

【 0 0 1 5 】

ところが、 C_t の面積を大きくするにつれて、画素の面積に対する C_t の面積が増大するため、その分、画素の面積に対する表示素子の発光領域が占める面積（開口率とも記す）が低下してしまう。 C_t が C_s の 1 0 倍程度必要だとすると、開口率の低下は深刻なものとなる。開口率の低下により、開口率が大きいときに比べて、表示素子に同じ電圧をかけて同じ電流密度の電流を流したとしても、開口率が小さいので、その分輝度が小さくなってしまふ。また、同じ輝度を出すためには、その分大きな電流密度の電流を表示素子に流すために高い電圧を表示素子にかける必要があるため、消費電力が増加してしまう。その上、表示素子に大きな電流密度の電流を流すと、信頼性、寿命の点でも問題となる。

40

【 0 0 1 6 】

このように、特許文献 1 の画素構成を用いてプログラム時間を通常使用される時間範囲の中に収めるために短くしようとするれば、 C_t を大きくするため、画素の開口率が低下してしまう。画素の開口率が低下すると、輝度、消費電力、信頼性、寿命など様々

50

な問題を引き起こす。

【0017】

本発明は、このような問題点に鑑みて、プログラム時間を短くしつつ、画素の開口率を大きくできる電流入力型画素回路を提供することを課題とする。

【課題を解決するための手段】

【0018】

上記課題を鑑み本発明は、表示素子を容量素子として機能させることを特徴とする。該容量素子には、表示素子を駆動するためのトランジスタの閾値電圧を書き込むことができる。そのため、閾値保持用キャパシタを設けることなく、トランジスタの閾値電圧を書き込むことができる。

10

【0019】

以下に、本発明の具体的な構成について説明する。

【0020】

本発明の一形態は、データ電流を流すための複数のデータ線と、選択信号を伝達する複数の走査線と、データ線と走査線に接続された画素回路を複数有する画素部とを有し、画素回路は、データ電流に対応した輝度で発光する表示素子と、データ電流を表示素子に供給し、ソース電極およびドレイン電極とゲート電極を有する第1のトランジスタと、表示素子の陽極と同電位となる高電位側の第1の電源線と、表示素子の陰極と同電位となる低電位側の第2の電源線と、第1のトランジスタのソース電極とゲート電極間の電圧を保持する第1の容量素子と、第1のトランジスタのドレイン電極とゲート電極との接続を選択する第2のトランジスタと、データ線と画素回路との接続を選択することによって、データ電流を書き込む画素回路を選択する第3のトランジスタと、第1のトランジスタと表示素子との接続を選択する第4のトランジスタと、容量素子と表示素子との接続を選択する第5のトランジスタと、を有し、表示素子は、第2の容量素子として機能することを特徴とする表示装置である。

20

【0021】

本発明の別形態は、データ電流を流すための複数のデータ線と、選択信号を伝達する複数の走査線と、データ線と走査線に接続された画素回路を複数有する画素部とを有し、画素回路は、データ電流に対応した輝度で発光する表示素子と、データ電流を表示素子に供給し、ソース電極およびドレイン電極とゲート電極を有する第1のトランジスタと、いずれか一方は、電位が変化する第1の電源線および第2の電源線と、第1のトランジスタのソース電極とゲート電極間の電圧を保持する第1の容量素子と、第1のトランジスタのドレイン電極とゲート電極との接続を選択する第2のトランジスタと、データ線と画素回路との接続を選択することによって、データ電流を書き込む画素回路を選択する第3のトランジスタと、第1のトランジスタと表示素子との接続を選択する第4のトランジスタと、第1の容量素子と表示素子との接続を選択する第5のトランジスタと、を有し、表示素子は、第2の容量素子として機能することを特徴とする表示装置である。

30

【0022】

本発明の別形態は、データ線駆動回路と、データ線駆動回路に接続された複数のデータ線と、走査線駆動回路と、走査線駆動回路に接続された複数の走査線と、データ線と走査線に接続された画素回路を複数有する画素部とを有し、画素回路は、データ線から供給されるデータ電流に対応した輝度で発光する表示素子と、データ電流を表示素子に供給し、ソース電極およびドレイン電極とゲート電極を有する第1のトランジスタと、いずれか一方は、電位が変化する第1の電源線および第2の電源線と、第1のトランジスタのソース電極とゲート電極間の電圧を保持する第1の容量素子と、走査線駆動回路により制御され、第1のトランジスタのドレイン電極とゲート電極との接続を選択する第2のトランジスタと、データ線と画素回路との接続を選択することによって、データ電流を書き込む画素回路を選択する第3のトランジスタと、第1のトランジスタと表示素子との接続を選択する第4のトランジスタと、第1の容量素子と表示素子との接続を選択する第5のトランジスタと、を有し、表示素子は、第2の容量素子として機能することを特徴とする表示装置で

40

50

ある。

【 0 0 2 3 】

本発明の別形態は、第 1 のトランジスタと、前記第 1 のトランジスタに接続された第 2 のトランジスタと、前記第 1 のトランジスタと電流源の間に設けられた第 3 のトランジスタと、表示素子と、前記表示素子と、前記第 1 のトランジスタの間に設けられた第 4 のトランジスタ及び第 5 のトランジスタと、を有し、1 フレーム期間内には、前記表示素子に電荷を蓄積する閾値書込期間の後に、前記表示素子を発光させる発光期間を有し、前記閾値書込期間において、前記第 1 のトランジスタはオン、前記第 2 のトランジスタはオン、前記第 3 のトランジスタはオフ、前記第 4 のトランジスタはオフ、前記第 5 のトランジスタはオンとなっており、前記発光期間において、前記第 2 のトランジスタはオフ、前記第 3 のトランジスタはオフ、前記第 4 のトランジスタはオン、前記第 5 のトランジスタはオフとなっていることを特徴とする表示装置の駆動方法。

10

【 0 0 2 4 】

本発明の別形態は、第 1 のトランジスタと、前記第 1 のトランジスタに接続された第 2 のトランジスタと、前記第 1 のトランジスタと電源線に接続された容量素子と、前記第 1 のトランジスタと電流源の間に設けられた第 3 のトランジスタと、表示素子と、前記表示素子と、前記第 1 のトランジスタの間に設けられた第 4 のトランジスタ及び第 5 のトランジスタと、を有し、1 フレーム期間内には、前記表示素子と前記容量素子に電荷を分配する Cs 書き換え期間の後に、前記表示素子を発光させる発光期間を有し、前記 Cs 書き換え期間において、前記第 2 のトランジスタはオフ、前記第 3 のトランジスタはオフ、前記第 4 のトランジスタはオフ、前記第 5 のトランジスタはオンとなっており、前記発光期間において、前記第 2 のトランジスタはオフ、前記第 3 のトランジスタはオフ、前記第 4 のトランジスタはオン、前記第 5 のトランジスタはオフとなっていることを特徴とする表示装置の駆動方法。

20

【 0 0 2 5 】

本発明の別形態は、第 1 のトランジスタと、前記第 1 のトランジスタに接続された第 2 のトランジスタと、前記第 1 のトランジスタと電流源の間に設けられた第 3 のトランジスタと、表示素子と、前記表示素子と、前記第 1 のトランジスタの間に設けられた第 4 のトランジスタ及び第 5 のトランジスタと、を有し、1 フレーム期間内には、前記表示素子に電荷を蓄積する閾値書込期間の後に、前記表示素子を発光させる発光期間を有し、前記閾値書込期間において、前記第 1 のトランジスタはオン、前記第 2 のトランジスタはオン、前記第 3 のトランジスタはオフ、前記第 4 のトランジスタはオフ、前記第 5 のトランジスタはオンであり、且つ前記表示素子の陰極側の電源線の電位は前記表示素子の陽極側の電源線の電位と同じ又はほぼ同じになっており、前記発光期間において、前記第 1 のトランジスタはオン、前記第 2 のトランジスタはオフ、前記第 3 のトランジスタはオフ、前記第 4 のトランジスタはオン、前記第 5 のトランジスタはオフであり、且つ前記表示素子の陰極側の電源線の電位は前記表示素子の陽極側の電源線の電位よりも低くなっていることを特徴とする表示素子の駆動方法。

30

【 0 0 2 6 】

本発明の別形態は、第 1 のトランジスタと、前記第 1 のトランジスタに接続された第 2 のトランジスタと、前記第 1 のトランジスタと電源線に接続された容量素子と、前記第 1 のトランジスタと電流源の間に設けられた第 3 のトランジスタと、表示素子と、前記表示素子と、前記第 1 のトランジスタの間に設けられた第 4 のトランジスタ及び第 5 のトランジスタと、を有し、1 フレーム期間内には、前記表示素子と前記容量素子に電荷を分配する Cs 書き換え期間の後に、前記表示素子を発光させる発光期間を有し、前記 Cs 書き換え期間において、前記第 2 のトランジスタはオフ、前記第 3 のトランジスタはオフ、前記第 4 のトランジスタはオフ、前記第 5 のトランジスタはオンであり、且つ前記表示素子の陰極側の電源線の電位は前記表示素子の陽極側の電源線の電位と同じ又はほぼ同じになっており、前記 Cs 書き換え期間後の発光期間において、前記第 2 のトランジスタはオフ、前記第 3 のトランジスタはオフ、前記第 4 のトランジスタはオン、前記第 5 のトランジスタ

40

50

はオフとなり、且つ前記表示素子の陰極側の電源線の電位は前記表示素子の陽極側の電源線の電位よりも低くなっていることを特徴とする表示素子の駆動方法。

【0027】

本発明において第1乃至第5のトランジスタは、同一極性を有することを特徴とする表示装置の駆動方法。

【0028】

本発明において第1のトランジスタの極性はPチャネル型であり、第1のトランジスタのソース電極及びドレイン電極のうち、表示素子が発光しているときの電位が高い方の電極と、第1の電源線とが接続される。

【0029】

本発明において第1のトランジスタの極性はNチャネル型であり、第1のトランジスタのソース電極及びドレイン電極のうち、表示素子が発光しているときの電位が低い方の電極と、第1の電源線とが接続される。

【0030】

本発明の別形態は、第1の配線と、第2の配線と、駆動装置と、表示素子と、スイッチ素子と、を有し、前記第1の配線は、前記駆動装置と電氣的に接続され、前記第2の配線は、前記表示素子と電氣的に接続され、前記駆動装置と前記表示素子は、前記スイッチ素子を介して電氣的に接続されていることを特徴とする表示装置である。

【0031】

本発明の別形態は、第1の配線と、第2の配線と、駆動装置と、表示素子と、スイッチ素子と、容量素子と、を有し、前記駆動装置は、前記第1の配線と電氣的に接続され、前記容量素子の第1の電極は、前記第1の配線と電氣的に接続され、前記容量素子の第2の電極は、前記駆動装置と電氣的に接続され、前記表示素子の第1の電極は、前記第2の配線と電氣的に接続され、前記表示素子の第2の電極と前記容量素子の第2の電極は、前記スイッチ素子を介して電氣的に接続されていることを特徴とする表示装置である。

【0032】

第1の配線と、第2の配線と、駆動装置と、表示素子と、第1のスイッチ素子と、第2のスイッチ素子と、容量素子と、を有し、前記駆動装置は、前記第1の配線と電氣的に接続され、前記容量素子の第1の電極は、前記第1の配線と電氣的に接続され、前記容量素子の第2の電極は、前記駆動装置と電氣的に接続され、前記表示素子の第1の電極は、前記第2の配線と電氣的に接続され、前記表示素子の第2の電極と前記駆動装置は、前記第1のスイッチ素子を介して電氣的に接続され、前記表示素子の第2の電極と前記容量素子の第2の電極は、前記第2のスイッチ素子を介して電氣的に接続されていることを特徴とする表示装置である。

【0033】

本発明において、前記駆動装置はトランジスタである。

【0034】

本発明の別形態は、1フレーム期間内に、第1乃至第4の期間を有する表示装置の駆動方法であって、前記表示装置は、第1の容量素子と、表示素子と、第1乃至第5のトランジスタと、第1及び第2の配線と、を有し、前記第1の期間において、前記表示素子に電荷を蓄積し、前記第2の期間において、前記第1の容量素子に電荷を蓄積し、前記第3の期間において、前記第1の容量素子の一方の電極と前記第1の配線とを電氣的に接続し、前記第1の容量素子の他方の電極と前記第5のトランジスタの第1の端子とを電氣的に接続し、前記第5のトランジスタの第2の端子と前記表示素子の一方の電極とを電氣的に接続し、前記表示素子の他方の電極と前記第2の配線とを電氣的に接続し、前記第5のトランジスタをオンにすることにより、前記表示素子に蓄積された電荷と前記第1の容量素子に蓄積された電荷とを前記表示素子と前記容量素子に分配し、前記第4の期間において、前記第1のトランジスタの第1の端子と前記第1の配線とを電氣的に接続し、前記第1のトランジスタの第2の端子と前記第4のトランジスタの第1の端子とを電氣的に接続し、前記第4のトランジスタと前記表示素子の一方の電極とを電氣的に接続し、前記表示素子

の他方の電極と前記第 2 の配線に電氣的に接続し、前記第 1 及び第 4 のトランジスタをオンにすることにより、前記表示素子を発光させることを特徴とする表示装置の駆動方法である。

【 0 0 3 5 】

本発明において、前記第 1 乃至第 3 の期間では、表示素子の陰極側に接続された第 1 の配線の電位は、陽極側に接続された第 2 の配線の電位と、同じ又はほぼ同じであり、第 4 の期間では、表示素子の陰極側に接続された第 1 の配線の電位は、陽極側に接続された第 2 の配線の電位より低くなる。

【 0 0 3 6 】

本発明において、表示素子は第 2 の容量素子としても機能する。

10

【 0 0 3 7 】

本発明において、第 1 の配線及び第 2 の配線のいずれか一方は、電位が変化する。

【 0 0 3 8 】

本発明において第 1 乃至第 5 のトランジスタは、同一極性を有することができる。

【 0 0 3 9 】

本発明において第 1 のトランジスタの極性は P チャネル型である。

【 0 0 4 0 】

本発明において第 1 のトランジスタの極性は N チャネル型である。

【発明の効果】

【 0 0 4 1 】

20

以上のように、閾値保持用キャパシタ C_t を表示素子の容量 C_{el} で代替することによって、 C_t を配置することなく、表示素子の駆動電流に対してデータ電流を大きくできる。また、 C_t を画素内に配置しない分、開口率を大きくすることができる。また、開口率を大きくすると、表示素子の容量 C_{el} が大きくなるため、さらにデータ電流を大きくすることができる。このように、開口率の増加がデータ電流の増加につながるため効果が相乗し、絶大な効果を得ることができる。

【発明を実施するための最良の形態】

【 0 0 4 2 】

以下に、本発明の実施の形態を図面に基づいて説明する。ただし、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。

30

【 0 0 4 3 】

なお本明細書において接続とは、特に記載のない限り電氣的な接続を意味する。逆に切り離すとは、接続していないで電氣的に分離している状態を意味する。

【 0 0 4 4 】

(実施の形態 1)

本実施の形態では、まず本発明にかかる表示装置を、図 3 を参照しながら説明する。本発明にかかる表示装置は、周辺駆動回路としてのデータ線駆動回路 302 と、走査線駆動回路 303 と、データ線駆動回路 302 によって駆動される n 本のデータ線 ($X_1 \sim X_n$) (n は整数) と、走査線駆動回路 303 によって駆動される m 本の走査線 ($Y_1 \sim Y_m$) (m は整数) と、複数の m 本の走査線と n 本のデータ線の交差する位置に配置される複数の画素回路 304 と、前記複数の画素回路 304 を有する画素部 301 と、を備える。走査線には、選択信号が伝達され、データ線には画像信号を表すデータ電流が流れる。なお、図 3 では一つの画素回路 304 に対し 1 本のデータ線及び走査線を備える場合を示しているが、本発明においてはこれに限らず、一つの画素回路 304 に対して複数の走査線およびデータ線を備えていても良い。こうすることで、同時にデータ電流を書き込むことのできる画素の数が増え、書き込みにかかる時間を低減できる。また本発明において、駆動回路の数は限定されず、複数のデータ線駆動回路や複数の走査線駆動回路を設けることができる。

40

50

【 0 0 4 5 】

次に、画素回路 3 0 4 の構成について、図 1 を参照して説明する。複数の画素回路 3 0 4 はそれぞれ、第 1 の電源線 A N O D E と、第 2 の電源線 C A T H O D E と、データ電流 I d a t a を流すデータ線 D A T A と、容量素子 C e l としても機能する表示素子と、データ電流 I d a t a を書き込む画素を選択するスイッチ素子 T r 3 と、表示素子と直列に接続され、表示素子に流れる電流を制御する第 1 のトランジスタ（駆動トランジスタとも記す）T r 1 と、駆動トランジスタ T r 1 のゲート電極に接続され、駆動トランジスタ T r 1 にデータ電流 I d a t a を流したときに、その電流値を流すだけの駆動トランジスタ T r 1 のゲートとソースとの間電圧（ゲート - ソース間電圧）V g s (d a t a) を保持する容量素子 C s と、駆動トランジスタ T r 1 のゲート - ドレイン間の接続をオン又はオフとするスイッチ素子 T r 2 と、表示素子と直列に接続され、表示素子と駆動トランジスタ T r 1 の接続をオン又はオフとするスイッチ素子 T r 4 と、容量素子 C s と表示素子の接続をオン又はオフとするスイッチ素子 T r 5 と、を備える。また表示素子として E L 素子 2 0 を有し、図中発光ダイオードと容量素子とを有するような回路図となっているが、E L 素子 2 0 が発光する機能と容量素子の機能の両機能を有する。本発明の画素回路は、E L 素子の容量素子 C e l により閾値保持用キャパシタ C t を設けることなく、駆動トランジスタ T r 1 の閾値電圧を蓄積することができる。なお画素回路 3 0 4 において、第 1 の電源線 A N O D E の電位と、第 2 の電源線 C A T H O D E の電位を動かすことによって表示装置を駆動することができる。なお、第 2 の電源線 C A T H O D E は全ての画素回路に共通に接続することができる。

10

20

【 0 0 4 6 】

スイッチとして機能する素子は、様々な形態のものを用いることができ、一例として、電氣的スイッチや機械的なスイッチなどがある。つまり、電流の流れを制御できるものであればよく、特定のものに限定されず、様々なものを用いることができる。例えば、トランジスタでもよいし、ダイオード（P N ダイオード、P I N ダイオード、ショットキーダイオード、ダイオード接続のトランジスタなど）でもよいし、それらを組み合わせた論理回路でもよい。よって、スイッチとしてトランジスタを用いる場合、薄膜トランジスタ（T F T と記す）を用いることができる。また駆動トランジスタとしても、薄膜トランジスタを用いることができる。トランジスタをスイッチとして用いるときは、トランジスタの極性（導電型）は P チャネル型でも、N チャネル型でも良く、全て同一極性であってもよい。一般的に、P チャネル型トランジスタは信頼性が高く、N チャネル型トランジスタはオン電流が大きい。これらに基づき、いずれの極性を適用するか決定することができる。ただし、オフ電流が少ない方が望ましい場合、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、L D D 領域を設けているものやマルチゲート構造にしているもの等がある。また、スイッチとして動作させるトランジスタのソース端子の電位が、低電位側電源（V s s 、G N D 、0 V など）に近い状態で動作する場合は N チャネル型を、反対に、ソース端子の電位が、高電位側電源（V d d など）に近い状態で動作する場合は P チャネル型を用いることが望ましい。なぜなら、ゲートソース間電圧の絶対値を大きくできるため、スイッチとして、動作しやすいからである。なお、N チャネル型と P チャネル型の両方を用いて、C M O S 型のスイッチにしてもよい。C M O S 型のスイッチにすると、入力電圧が出力電圧に対して、高かったり、低かったりして、状況が変化する場合においても、適切に動作を行うことができる。

30

40

【 0 0 4 7 】

ただし、E L 素子に流れる電流を制御する駆動トランジスタ T r 1 の極性は、E L 素子 2 0 が発光するときの駆動トランジスタ T r 1 に接続されている第 1 の電源線 A N O D E の電位によって決まる。例えば、図 1 のように、E L 素子 2 0 の陽極が駆動トランジスタ T r 1 に接続されているときは、発光するとき、電流の経路は第 1 の電源線 A N O D E 、駆動トランジスタ T r 1 、E L 素子 2 0 の順である。このとき、駆動トランジスタ T r 1 に接続される第 1 の電源線 A N O D E が、この経路の中で一番高い電位を持つ。第 1 の電源線 A N O D E が高い電位を持てば駆動トランジスタ T r 1 は P チャネル型、低い電位を持

50

つならば駆動トランジスタ T_{r1} はNチャネル型となる。それは、飽和領域で動作するトランジスタを流れる電流値はそのゲート - ソース間電圧によって変わるため、電流値を一定にするならば、ソース電極が電源線に接続されているほうが電流値を制御しやすいからである。なお、ソース電極とは、トランジスタのソース電極及びドレイン電極のうち、Pチャネル型トランジスタの場合は高電位側の電極、Nチャネル型トランジスタの場合は低電位側の電極を指す。

【0048】

駆動トランジスタ T_{r1} とそれぞれのスイッチ用トランジスタの極性が一致している必要は必ずしもないが、トランジスタの極性がどちらかに統一されていれば、トランジスタを作製するプロセスの数が減少するため、コストの面で有利である。

10

【0049】

また、大面積で安価に作製できるアモルファスシリコンTFTを駆動トランジスタ T_{r1} および各スイッチ素子に利用できるため、コストの面でさらに有利である。アモルファスシリコンTFTを用いる場合、トランジスタの極性は、全てNチャネル型とするとよい。図7には、図1に示した画素回路において全てNチャネル型のトランジスタを用いた画素回路を示す。

【0050】

なお、本実施形態では、スイッチ用トランジスタと駆動トランジスタの極性は、全てPチャネル型として説明する。

【0051】

20

次に、図1に示す本実施形態の画素回路の駆動方法について、図2を参照して説明する。図2は、データ線DATA、第2の電源線CATHODE、スイッチ用トランジスタ T_{r2} 、 T_{r3} 、 T_{r4} 、 T_{r5} のゲート電極のそれぞれの電位の変化を、横軸を時間として表したタイミングチャートである。

【0052】

本実施形態における表示装置の駆動は、1フレーム期間201を1単位とし、1フレーム期間201は初期化期間202、閾値書込期間203、アドレス期間204、発光期間205を有するように構成されている。ここで、初期化期間202とは、閾値書込期間203での閾値書込動作を確実にこなえるようにするために設ける期間のことである。また、閾値書込期間203とは、EL素子20による容量素子 C_{e1} に駆動トランジスタ T_{r1} の閾値電圧を書き込むための期間である。また、アドレス期間204とは、全ての画素にデータ電流の書き込みを行なう期間のことである。なお、駆動トランジスタ T_{r1} の閾値電圧を書き込んだEL素子20の容量素子 C_{e1} を、データ電流 I_{data} に対応した駆動トランジスタ T_{r1} のゲートとソースとの間電圧（ゲート - ソース間電圧と記す）： $V_{gs}(data)$ を書き込んだ容量素子 C_s と接続し電荷を分配することで、大きなデータ電流で画素にデータ電流を書き込むことができる。また、発光期間205とは、アドレス期間204で書き込みを行なったデータ電流にしたがって、EL素子20を発光させる期間のことである。

30

【0053】

まず、各信号線の電位について説明する。データ線DATAの電位は、初期化期間202においては、第1の電源線ANODEよりも駆動トランジスタ T_{r1} の閾値電圧の絶対値以上低い値であればよい。これを満たさない場合、閾値書込期間203において駆動トランジスタ T_{r1} のゲート - ソース間電圧が閾値電圧以上にならないため駆動トランジスタ T_{r1} がオンせず、EL素子20の容量素子 C_{e1} に電流が流れないため、閾値電圧を書き込むことができないからである。なお、駆動トランジスタ T_{r1} がNチャネル型である場合は、初期化期間202のデータ線DATAの電位は、第1の電源線ANODEよりも駆動トランジスタ T_{r1} の閾値電圧の絶対値以上高い値であれば良い。

40

【0054】

データ線DATAの電位は、アドレス期間204においては、画像データからの輝度情報に従って周辺駆動回路で生成されたデータ電流の値と、駆動トランジスタ T_{r1} の電氣的

50

特性に従って決定される。つまり、その時々でデータ線 DATA の電位は様々に変わるものであるため、図 2 においては値を決定していない。また、発光期間 205 におけるデータ線 DATA の電位は、EL 素子 20 の状態に影響しないので、任意である。すなわち、データ線 DATA の電氣的状態を電位で決めるのは、初期化期間 202 のみであっても良い。

【0055】

初期化期間 202、閾値書込期間 203、およびアドレス期間 204 において、第 2 の電源線 CATHODE の電位は高く、第 1 の電源線 ANODE と同じ又は概ね同じであれば良い。また、発光期間においては、第 2 の電源線 CATHODE の電位は低く、そのときの電位は第 1 の電源線 ANODE よりも低く、スイッチ素子 Tr 4 がオンしているときに駆動トランジスタ Tr 1 が飽和領域で動作する電位であればよい。

10

【0056】

図 2 において第 1 の電源線 ANODE の電位に関しては図示していないが、消費電力やノイズを小さくする観点から、一定電位であることが好ましい。

【0057】

スイッチ用トランジスタ Tr 2、Tr 3、Tr 4、Tr 5 に入力する信号の電位に関しては、スイッチ素子が十分オンまたはオフする電位（線形領域で動作する電位）であれば良いが、消費電力やノイズを小さくする観点から、スイッチとしての機能を損なわない程度に、ゲート電極に加える信号の振幅は小さいほど好ましい。

【0058】

20

図 2 のタイミングチャートに示すような入力信号によって、図 1 の画素は以下のように動作する。まず、前フレームの発光期間 205 A から、当該フレームの初期化期間 202 へ移行する。そのとき、第 2 の電源線 CATHODE の電位は第 1 の電源線 ANODE の電位まで上げられる。それとほぼ同時に、点 A と、データ線 DATA と、駆動トランジスタ Tr 1 のゲート電極とドレイン電極が電氣的に接続されるようにスイッチ素子を切り換え、かつ、データ線 DATA の電位を、第 1 の電源線 ANODE の電位よりも駆動トランジスタ Tr 1 の閾値電圧の絶対値以上低い値に設定する。この状態を実現するための各スイッチ素子の状態は任意であるが、例えば図 2 の初期化期間 202 に示されるように、スイッチ素子 Tr 2、Tr 3、Tr 5 をオンとし、Tr 4 をオフとなる状態とすれば良い。このような状態を実現することで、点 A および駆動トランジスタ Tr 1 のゲート電極およびドレイン電極の電位が、第 1 の電源線 ANODE の電位よりも駆動トランジスタ Tr 1 の閾値電圧の絶対値以上低い値に初期化される。

30

【0059】

なお、初期化期間 202 では、点 A の電位よりも第 2 の電源線 CATHODE の電位のほうが低い（逆バイアスとも記す）ため、EL 素子 20 に順方向電流は流れず、発光しない。また、逆バイアスをかけることで、EL 素子 20 の寿命が長くなり、信頼性が向上するという利点もある。

【0060】

逆バイアスを EL 素子 20 へ印加する結果、EL 素子 20 の不良状態を改善し、信頼性を向上させることができる。また、EL 素子 20 は、異物の付着や、陽極又は陰極にある微細な突起によるピンホール、電界発光材料の成膜の不均一性を起因として、陽極と陰極がショートする初期不良が生じることがある。このような初期不良が発生すると、信号に応じた点灯及び非点灯が行われず、電流のほとんどがショートした素子を流れてしまう。その結果、画像の表示が良好に行われないという問題が発生する。また、この不良は任意の画素に生じる恐れがある。

40

【0061】

そこで本実施の形態のように、EL 素子 20 に逆バイアスを印加すると、ショートした部分に局所的な電流が流れ、該ショートした部分が発熱し、酸化又は炭化させることができる。その結果、ショートした部分を絶縁化させることができ、その部分以外の領域に電流が流れ、EL 素子 20 として正常に動作させることが可能となる。このように逆バイアス

50

を印加することにより、初期不良が生じて、その不良を解消することができる。なお、このような短絡部の絶縁化は、出荷前に行うことも可能である。例えば、全ての画素のスイッチ素子 T_r3 および T_r4 をオンし、データ線 $DATA$ の電位を第2の電源線 $CATHODE$ よりも低い電位にすることで、出荷前においても逆バイアスの印加ができる。

【0062】

また、初期不良だけでなく、時間の経過に伴い、新たに陽極と陰極のショートが発生することがある。このような不良は、進行性不良とも呼ばれる。そこで本発明のように、定期的に EL 素子20に逆バイアスを印加することにより、進行性不良が生じて、その不良を解消することができ、 EL 素子20として、正常に動作させることが可能となる。

【0063】

加えて、逆バイアスを印加することによって、画像の焼き付きを防止することができる。画像の焼き付きとは、 EL 素子20の劣化状態により生じるが、逆バイアスを印加することにより、劣化状態を低減させることができる。その結果、画像の焼き付きを防止することができる。

【0064】

また一般に EL 素子20の劣化は、初期に大きく進み、時間と共に劣化の進行度合いが少なくなってくる。すなわち画素において、一度劣化した EL 素子20は、さらなる劣化が生じにくい。その結果、 EL 素子20の劣化状態にバラツキが生じる。これを解消するため、出荷前、又は画像を表示しないとき等に、すべての EL 素子20を点灯させてもよい。このとき劣化していない素子にも劣化を生じさせることができ、全素子の劣化状態を平均化することができる。

【0065】

なお、第2の電源線 $CATHODE$ の電位を上げるタイミングと、各スイッチ素子を切り換えるタイミングは、先に第2の電源線 $CATHODE$ の電位を上げてから、各スイッチ素子を切り換えても良いし、点Aの電位が大きく変動しないように、先に各スイッチ素子を切り換えてから、第2の電源線 $CATHODE$ の電位を上げて良い。これは第2の電源線 $CATHODE$ に接続されている寄生容量が大きいいため、電位が安定するまでにかかる時間を考慮するからである。なお、この初期化期間202を設ける目的は、次に述べる閾値書込期間203での閾値書込動作を確実にこなすようにするためのものであるため、閾値書込動作が確実にこなされるならば、必ずしも初期化期間202を設ける必要はない。しかし、第2の電源線 $CATHODE$ の電位を上げることによって、点Aの電位も変動するので、確実に閾値書込を行なうためには初期化期間202を設けるほうが好ましいといえる。また本実施の形態では、データ線 $DATA$ を用いて初期化する場合を説明したが、初期化にデータ線 $DATA$ を使用せず、専用の電源線や走査線等の別の配線を使用することもできる。

【0066】

次に、点Aの電位を第1の電源線 $ANODE$ の電位よりも駆動トランジスタ T_r1 の閾値電圧の絶対値分よりも低い値にした上で、容量素子 C_{el} の両端の電極にかかる電圧を駆動トランジスタ T_r1 の閾値電圧にするための期間（閾値書込期間203に相当する）に移行する。このとき、点Aと、駆動トランジスタ T_r1 のゲート電極とドレイン電極が電氣的に接続され、かつ、点Aおよび駆動トランジスタ T_r1 のゲート電極およびドレイン電極が浮遊状態になるように、スイッチ素子を切り換える。この状態を実現するための各スイッチ素子の状態は任意であるが、例えば図2の閾値書込期間203に示されるように、スイッチ素子 T_r2 、 T_r5 をオンとし、 T_r3 、 T_r4 はオフとなる状態とする。このような状態を実現することで、駆動トランジスタ T_r1 を通して、電流が第1の電源線 $ANODE$ から容量素子 C_s に流れ込む。そして、駆動トランジスタ T_r1 のゲート-ソース間電圧が駆動トランジスタ T_r1 の閾値電圧となったところで駆動トランジスタ T_r1 はオフし、電流が流れなくなる。

【0067】

このときの点Aおよび駆動トランジスタ T_r1 のゲート電極およびドレイン電極は電氣的

10

20

30

40

50

に接続されているので、点Aの電位は、第1の電源線ANODEの電位よりも駆動トランジスタTr1の閾値電圧の絶対値だけ低い値となる。このときの容量素子Csの両端の電極にかかる電圧は、駆動トランジスタTr1の閾値電圧となる。一方、第2の電源線CATHODEの電位に関わらず、点Aの電位は第1の電源線ANODEの電位から駆動トランジスタTr1の閾値電圧だけ小さい電位となるため、容量素子Ce1の両端の電極にかかる電圧は、第2の電源線CATHODEの電位が第1の電源線ANODEの電位と同じ又は概ね同じであれば、駆動トランジスタTr1の閾値電圧となる。また、第2の電源線CATHODEの電位が変動すると点Aの電位も変動するため、第2の電源線CATHODEの電位は初期化期間202から変化させないことが好ましい。

【0068】

次に、走査線ごとにデータ電流を書き込む期間を有するアドレス期間204に移行する。アドレス期間204において、当該画素を選択する前の期間を書込開始前期間206と記し、当該画素にデータ電流を書き込む期間をデータ書込期間207と記し、当該画素の容量素子Csにかかる電圧を容量素子Ce1に保持した電圧によって書き換える期間をCs書き換え期間208と記し、Cs書き換え期間を終了した後を書込終了後期間209と記す。本発明の画素回路は、閾値保持用キャパシタCtを設けることなく、EL素子20の容量素子Ce1を適用することを特徴とし、画素の容量素子Csにかかる電圧を容量素子Ce1に保持した電圧によって書き換えるCs書き換え期間208を有することを特徴とする。なお、各々の走査線(Y1~Ym)に接続されている画素ごとにデータ電流の書き込みが行なわれるため、図2に示すアドレス期間204内の各期間のタイミングおよび長さは一例であり、例えばデータ書込期間207のタイミングおよび書込開始前期間206並びに書込終了後期間209の長さは、各走査線(Y1~Ym)に接続されている画素ごとに異なる。なお、アドレス期間204において、第2の電源線CATHODEの電位が変動すると点Aの電位も変動し、Cs書き換え期間208において正しい駆動トランジスタTr1のゲート-ソース間電圧が得られないので、第2の電源線CATHODEの電位は初期化期間202および閾値書込期間203から変化させないことが好ましい。

【0069】

書込開始前期間206においては、前述した閾値書込期間203において取得した駆動トランジスタTr1の閾値電圧を容量素子Ce1に保持しておくため、点Aを浮遊状態とする。また、当該画素が接続されている走査線以外の、選択されている走査線に接続されている画素への書き込みを阻害しないように、当該画素内のスイッチ素子以外の各素子(具体的には容量素子Cs、駆動トランジスタTr1、EL素子20)とデータ線DATAは、電氣的に接続されないようにする。この状態を実現するための各スイッチ素子の状態は任意であるが、例えば図2の書込開始前期間206に示されるように、スイッチ素子Tr2、Tr3、Tr4、Tr5をオフしている状態とする。

【0070】

データ書込期間207においては、前述した閾値書込期間203において取得した駆動トランジスタTr1の閾値電圧を容量素子Ce1に保持しておくため、点Aを浮遊状態とする。また、データ線DATAと、駆動トランジスタTr1のゲート電極とドレイン電極が電氣的に接続されるようにし、その他のスイッチ素子以外の各素子がこれらと電氣的に接続されないようにする。この状態を実現するための各スイッチ素子の状態は任意であるが、例えば図2の閾値書込期間203に示されるように、スイッチ素子Tr2、Tr3はオンし、スイッチ素子Tr4、Tr5はオフしている状態とする。このような状態を実現することで、駆動トランジスタTr1にデータ電流Idataが流れ、容量素子Csには、駆動トランジスタTr1がデータ電流Idataを流すだけのゲート-ソース間電圧(Vgs(data))がかかる。

【0071】

Cs書き換え期間208においては、前述した閾値書込期間203において取得した駆動トランジスタTr1の閾値電圧を保持している容量素子Ce1と、前述した駆動トランジスタTr1がデータ電流Idataを流すだけのゲート-ソース間電圧(Vgs(data))がかかる。

a))を保持した容量素子C_sを電氣的に接続し、かつ、点Aは、容量素子C_{el}と容量素子C_sと各スイッチ素子以外の各素子（駆動トランジスタT_{r1}のゲート電極は除く）と電氣的に接続されないようにする。この状態を実現するための各スイッチ素子の状態は、例えば図2のC_s書き換え期間208に示されるように、スイッチ素子T_{r2}、T_{r3}、T_{r4}はオフし、スイッチ素子T_{r5}はオンしている状態とする。このような状態を実現することで、容量素子C_sには数式2を満足する電流I_{oled}が流れるだけのゲート・ソース間電圧（V_{gs(oled)}とも記す）がかかる。電流I_{oled}は以下の式で表すことができる。

【0072】

【数2】

$$I_{oled} = \left(\frac{C_s}{(C_{el} + C_s)} \right)^2 \times I_{data} \quad \dots \dots \dots 2$$

10

【0073】

書込終了後期間209においては、C_s書き換え期間208において容量素子C_sにかかった電圧V_{gs(oled)}を保持するために、駆動トランジスタT_{r1}のゲート電極を浮遊状態とし、かつ、当該画素が接続されている走査線以外の、選択されている走査線に接続されている画素の書き込みを阻害しないように、当該画素内のスイッチ素子以外の各素子（具体的には容量素子C_s、駆動トランジスタT_{r1}、EL素子20）とデータ線D
ATAは、電氣的に接続されないようにする。この状態を実現するための各スイッチ素子の状態は任意であるが、例えば図2の書込終了後期間209に示されるように、スイッチ素子T_{r2}、T_{r3}、T_{r4}、T_{r5}はオフしている状態とする。

20

【0074】

以上のように、アドレス期間204においては、データ書込を走査線（Y₁～Y_m）ごとに順次行なうことにより、全ての画素に、各々の輝度に対応した電流I_{oled}を流すだけの駆動トランジスタT_{r1}のゲート・ソース間電圧が容量素子C_sに書き込まれる。そして、その電圧は、その後の1フレーム期間201に渡り、容量素子C_sによって、保持される。なお、図2におけるアドレス期間204を分割する数の表記は一例であり、本実施形態はこれに限定されない。例えば、走査線本数と同じ又は概ね同じ数であっても良い。また、アドレス期間204の短縮のために、複数のデータ線駆動回路302を用いて複数の走査線を同時に駆動しても良い。例えば二つのデータ線駆動回路302を用いて二つの走査線を同時に駆動すれば、アドレス期間204を分割する数は走査線本数の半分となる。

30

【0075】

次に、前述したアドレス期間204において保持した駆動トランジスタT_{r1}のゲート・ソース間電圧V_{gs(oled)}に従ってEL素子20を発光させる発光期間205に移行する。このとき、駆動トランジスタT_{r1}とEL素子20を直列に接続し、かつ、アドレス期間204において保持した駆動トランジスタT_{r1}のゲート・ソース間電圧V_{gs(oled)}を保持するために、駆動トランジスタT_{r1}のゲート電極を浮遊にし、かつ、データ線DATAと各画素の各スイッチ素子以外の素子が電氣的に接続されない状態にする。この状態を実現するための各スイッチ素子の状態は、例えば図2の発光期間205に示されるように、スイッチ素子T_{r4}はオンし、スイッチ素子T_{r2}、T_{r3}、T_{r5}はオフしている状態とする。このような状態を実現することで、駆動トランジスタT_{r1}およびEL素子20には数式2を満足する電流I_{oled}が流れ、データ電流I_{data}に従った輝度で、EL素子20が発光する。

40

【0076】

本実施の形態における画素回路とその駆動方法は、閾値保持用キャパシタC_tをEL素子の容量C_{el}で代替することによって、C_tを配置することなく、EL素子の駆動電流に対してデータ電流を大きくできる。これは本実施の形態における画素回路とその駆動方法

50

と、図 9 に示した従来の画素回路とその E L 素子 2 0 に流れる電流を表した数式 1 との比較からもわかる。

【 0 0 7 7 】

また本実施の形態において、C t を画素内に配置しない分、開口率を大きくすることができる。また、開口率を大きくすると、E L 素子の容量 C e l が大きくなるため、さらにデータ電流を大きくすることができる。このように、開口率の増加がデータ電流の増加につながるため効果が相乗し、絶大な効果を得ることができる。

【 0 0 7 8 】

(実施の形態 2)

次に、本発明にかかる表示装置の第 2 の形態について、図 4 、および図 5 を参照して説明する。

【 0 0 7 9 】

本実施の形態における画素回路は、実施の形態 1 で説明した図 1 を適用することができる。なお、第 2 の電源線 C A T H O D E の形成方法を実施の形態 1 で説明した形態とは異なるものとする事で、特別の効果を得ることができるものである。そこで、第 2 の電源線 C A T H O D E の形態について、図 4 (A)、(B) を参照して説明する。

【 0 0 8 0 】

図 4 (A) は、前述した実施の形態 1 において説明した表示装置のうち、第 2 の電源線 C A T H O D E について模式的に表した図である。図 4 (A) における第 2 の電源線 C A T H O D E は、実施の形態 1 で述べたとおり、全ての画素回路に共通に接続された形態を表している。基板 4 0 1 上に画素部 3 0 1 を形成し、表示素子として E L 素子を成膜し、下部電極とのコンタクト領域 4 0 2 を形成した後、第 2 の電源線 C A T H O D E を蒸着法などで全面に成膜し、そのまま共通の電極に適用することができる。

【 0 0 8 1 】

なお、表示素子として E L 素子を用いる場合に、第 2 の電源線をフォトリソグラフィ法などで形状加工ができる。しかし、該加工による E L 素子へのダメージが大きいと考えられる。そのため、蒸着マスクを使用した蒸着法により第 2 の電源線を形成すれば、E L 素子にダメージを大きく与えることなく、形状加工することができる。そこで本実施の形態においては、図 4 (B) に示すように、第 2 の電源線を、図中矢印で示した走査線 (Y 1 ~ Y m) 方向と平行に形状加工する場合について説明する。なお、第 2 の電源線 C A T H O D E を形状加工して分割する数は、走査線本数と一致させ、走査線に平行な画素 1 列に付き 1 本にするのが好適である。しかしながら、分割数自体は任意であり、形状加工される第 2 の電源線 C A T H O D E の数は何本でも構わない。

【 0 0 8 2 】

また、第 2 の電源線とコンタクトをとる領域 4 0 2 において第 2 の電源線 C A T H O D E や下部電極とに接続されている回路は、第 2 の電源線 C A T H O D E を個別に制御できるような構成になっているのが好ましい。

【 0 0 8 3 】

本実施の形態における画素回路 3 0 4 の動作であって、第 2 の電源線 C A T H O D E を各走査線に固有とすることで可能となる駆動方法を、図 5 を参照して説明する。なお図 5 (A) には当該ラインのタイミングチャート、図 5 (B) には次ラインのタイミングチャートが、それぞれ示されている。ラインとは、同じ走査線に接続されている画素群のことである。

【 0 0 8 4 】

本実施の形態において、画素回路 3 0 4 の構成は、実施の形態 1 と同じく、図 1 で示すものを適用することができる。

【 0 0 8 5 】

図 5 は、図 2 と同じく、データ線 D A T A、第 2 の電源線 C A T H O D E、スイッチ用トランジスタ T r 2、T r 3、T r 4、T r 5 のゲート電極、それぞれの電位の変化を、横軸を時間として表しているタイミングチャートである。本実施の形態における表示装置の

10

20

30

40

50

駆動は、1フレームを1単位とし、1フレームは1走査線書込期間および発光期間205を有し、1走査線書込期間は、初期化期間202、閾値書込期間203、データ書込期間207、Cs書き換え期間208を有する。

【0086】

当該ラインが前フレームの発光を終え、1走査線書込期間に移行したとする。すると、当該ラインは、初期化期間202、閾値書込期間203、データ書込期間207、Cs書き換え期間208の各状態を経てデータ電流にしたがった値の $V_{gs}(oled)$ を前フレームのものから当該フレームのものに書き換え、再び発光状態へ移行することができる。

【0087】

ここで、各状態の詳細については、実施の形態1で詳細に述べたので、ここでは説明を省略する。ただし、データ線DATAの入力信号は実施の形態1と異なり、各ラインのデータ書き込みの前に、ラインごとに個別に、初期化を行なうために、第1の電源線ANODEよりも駆動トランジスタTr1の閾値電圧の絶対値以上低い値にする必要がある。なお、図5においては、初期化期間202が閾値書込期間203の直前にあるが、特に直前にある必要はなく、閾値書込期間203前に初期化を行っていてもよい。例えば、当該ラインの前の前のラインでデータ線DATAが第1の電源線ANODEよりも駆動トランジスタTr1の閾値電圧の絶対値以上低い値になったときに初期化することができる。初期化後、Tr3をオフとして閾値電圧をEL素子によって構成される容量素子Celに書き込む。そして当該ラインの選択期間になったら、データ書込を行なうなどの動作を行う。このように動作させれば、閾値書込期間203を十分長く取ることができる。

【0088】

なお、図5に示している横軸の長さは、見易くするためにほぼ等間隔で記載されているが、本実施の形態にそのような制限はなく、それぞれの期間の長さは、必要に応じて適宜決定すればよい。

【0089】

図5で表された本実施の形態における駆動方法では、第2の電源線CATHODEを走査線と平行に形状加工することを特徴とする。その結果、当該ラインを書き込むために当該ラインの第2の電源線CATHODEの電位を変化させたとしても、それが当該ライン以外のラインの動作に影響を及ぼさない。したがって、当該ラインを選択してデータ電流を書き込みつつ、他のラインは前フレームのデータ電流にしたがった値の $V_{gs}(oled)$ を保持したまま発光を続けることができる。すなわち、1フレーム期間201内における発光期間の割合（デューティ比）が実質的に向上する。デューティ比が大きいと、デューティ比が小さいときに比べて発光素子の瞬間輝度が小さくても同じ輝度と認識されるので、実施の形態1で示した効果に加えて、駆動電圧が小さくでき、消費電力を低減できる上に、信頼性を向上させることができる。

【0090】

（実施の形態3）

次に、本発明にかかる表示装置の第3の様態について、図6を参照して説明する。本実施形態では、第1の電源線ANODEを変動させて表示装置を駆動する方法について説明する。本実施の形態において、第2の電源線CATHODEは全画素共通に接続されていても良く、本実施形態ではその場合について説明する。しかし本実施の形態においても、第2の電源線CATHODEを形状加工してもよい。

【0091】

図6は、トランジスタの極性が全てPチャネル型の場合において、第1の電源線ANODEを変動させて本発明にかかる表示装置を駆動する場合の入力信号を表している。1フレームが初期化期間202、閾値書込期間203、アドレス期間204、発光期間205で構成されている点は実施の形態1で示した駆動と同じであり、各期間における回路の動作もほぼ同一である。そのため、本実施形態では、実施の形態1と異なる点を主として説明することとする。

【0092】

まず、各信号線の電位について説明する。初期化期間 202、閾値書込期間 203、およびアドレス期間 204 において、第 1 の電源線 ANODE の電位は低く、第 2 の電源線 CATHODE と同じ又は概ね同じであれば良い。また、発光期間 205 においては、第 1 の電源線 ANODE の電位は高く、そのときの電位は第 2 の電源線 CATHODE よりも高く、スイッチ素子 Tr4 がオンしているときに駆動トランジスタ Tr1 が飽和領域で動作する電位であればよい。

【0093】

図 6 において第 2 の電源線 CATHODE の電位に関しては図示していないが、消費電力やノイズを小さくする観点から、一定電位であることが好ましい。

【0094】

データ線 DATA の電位は、初期化期間 202 においては、第 1 の電源線 ANODE よりも駆動トランジスタ Tr1 の閾値電圧の絶対値以上低い値であればよい。これを満たさない場合、閾値書込期間 203 において駆動トランジスタ Tr1 のゲート - ソース間電圧が閾値電圧以上にならないため駆動トランジスタ Tr1 がオンせず、EL 素子 20 の容量素子 Cel に電流が流れないため、閾値電圧を書き込むことができないからである。なお、駆動トランジスタ Tr1 が N チャネル型である場合は、初期化期間 202 のデータ線 DATA の電位は、第 1 の電源線 ANODE よりも駆動トランジスタ Tr1 の閾値電圧の絶対値以上高い値であれば良い。

【0095】

データ線 DATA の電位は、アドレス期間 204 においては、画像データからの輝度情報に従って周辺駆動回路で生成されたデータ電流の値と、駆動トランジスタ Tr1 の電気的特性に従って決定される。つまり、その時々でデータ線 DATA の電位は様々に変わるものであるため、図 6 においては値を決定していない。また、発光期間 205 におけるデータ線 DATA の電位は、EL 素子 20 の状態に影響しないので、任意である。すなわち、データ線 DATA の電気的狀態を電位で決めるのは、初期化期間 202 のみであっても良い。

【0096】

スイッチ用トランジスタ Tr2、Tr3、Tr4、Tr5 に入力する信号の電位に関しては、スイッチ素子が十分オンまたはオフする電位（線形領域で動作する電位）であれば良いが、消費電力やノイズを小さくする観点から、スイッチとしての機能を損なわない程度に、ゲート電極に加える信号の振幅は小さいほど好ましい。

【0097】

本実施形態において、動作が実施の形態 1 と異なる点は、第 2 の電源線 CATHODE の電位は変化させずに、第 1 の電源線 ANODE の電位を変化させ第 2 の電源線 CATHODE の電位と等しくすることである。具体的には以下 3 点について異なる。第 1 に、発光期間 205 から初期化期間 202 へ移行する際に、第 1 の電源線 ANODE の電位を下げる点異なる。第 2 に、アドレス期間 204 から発光期間 205 へ移行する際に、第 1 の電源線 ANODE の電位を上げる点異なる。第 3 に、初期化期間 202、閾値書込期間 203、アドレス期間 204 における第 1 の電源線 ANODE の電位を、電位の低い第 2 の電源線 CATHODE と同じ又はほぼ同じにする点異なる。しかしながら、これは電位の絶対値が異なっても回路の動作に影響はないことから、本実施の形態と実施の形態 1 との回路動作上では異なるところはない。そのため回路動作は、実施の形態 1 と同じであるため説明を省略する。

【0098】

前フレームの発光期間 205 A から当該フレームの初期化期間 202 に移行するとき、第 1 の電源線 ANODE の電位を下げる第 1 の点における動作について説明する。前フレームの発光期間 205 A から当該フレームの初期化期間 202 に移行するとき、スイッチ素子 Tr2、Tr3、Tr5 はオフからオンへ、Tr4 はオンからオフへ切り換わる。それとほぼ同時に、第 1 の電源線 ANODE の電位を下げて第 2 の電源線 CATHODE の電位とほぼ同じくし、さらにデータ線 DATA の電位を、第 1 の電源線 ANODE の低い方

10

20

30

40

50

の電位（Low状態）よりも駆動トランジスタTr1の閾値電圧の絶対値分以上小さくする。実施の形態1では、初期化時のデータ線DATAの電位は第2の電源線CATHODEの高い方の電位（High状態）よりも駆動トランジスタTr1の閾値電圧の絶対値分以上小さくしており、この点で本実施の形態とは異なる。なお、駆動トランジスタTr1がNチャネル型であるときは、本実施の形態においては、データ線DATAの電位を、第1の電源線ANODEの低い方の電位よりも駆動トランジスタTr1の閾値電圧の絶対値分以上大きくする。実施の形態1では、駆動トランジスタTr1がNチャネル型であるとき、初期化時のデータ線DATAの電位は第2の電源線CATHODEの高い方の電位よりも駆動トランジスタTr1の閾値電圧の絶対値分以上大きくしており、この点で本実施の形態とは異なる。

10

【0099】

アドレス期間204から発光期間205に移行するとき、第1の電源線ANODEの電位を上げる第2の点における動作について説明する。アドレス期間204から発光期間205に移行するとき、スイッチ素子Tr2、Tr3はオフのまま、Tr4はオフからオンへ、Tr5はオフのままあるいはオンからオフへ、それぞれ切り換わる。そして、スイッチ素子Tr5を確実にオフして、容量素子Csの一方の電極を浮遊にした状態で、第1の電源線ANODEの電位を高い方の電位に上げる。スイッチ素子Tr5を確実にオフして容量素子Csの一方の電極を浮遊にしないと、第1の電源線ANODEの電位を上げる際に容量素子Csに電圧が保持されない。この点は、実施の形態1でも同じである。

【0100】

20

本実施の形態において、第1の電源線ANODEの電位を変動させて本発明にかかる表示装置を駆動する場合、以下の利点が挙げられる。まず、大きな容量が接続されている第2の電源線CATHODEを変動させないことで、駆動時の消費電力が低減できる。また、第1の電源線ANODEは基板側に作りこむことが可能なので、実施の形態2のように、形状加工して走査線ごとに独立に駆動させることが容易である。すなわち、作製時にマスク蒸着などの工程を追加することなく、デューティ比を上げる駆動が実現できる。

【0101】

（実施の形態4）

図12（A）に、1つの画素に2つのTFETを有する画素の素子のレイアウト例を示す。また、図12（A）において、X-X'で示される部分の断面図を図12（B）に示す。

30

【0102】

図12（A）に示すように、本発明における画素は、第1のTFET1205、第1の配線1206、第2の配線1207、第2のTFET1208、第3の配線1211、対向電極1212、容量素子1213、画素電極1215、隔壁1216、有機導電体膜1217、有機薄膜1218、基板1219を有していてもよい。なお、第1のTFET1205はスイッチング用TFETとして、第1の配線1206はゲート信号線として、第2の配線1207はソース信号線として、第2のTFET1208は駆動用TFETとして、第3の配線1211は電流供給線として、それぞれ用いられるのが好適である。

【0103】

図12（A）に示すように、第1のTFET1205のゲート電極は、第1の配線1206と電氣的に接続され、第1のTFET1205のソースまたはドレイン電極の一方は、第2の配線1207と電氣的に接続され、第1のTFET1205のソースまたはドレイン電極の他方は、第2のTFET1208のゲート電極および容量素子1213の一方の電極と電氣的に接続されているのが好適である。なお、第1のTFET1205のゲート電極は、図12（A）に示すように、複数のゲート電極によって構成されていても良い。こうすることで、第1のTFET1205のオフ状態におけるリーク電流を低減することができる。

40

【0104】

また、第2のTFET1208のソースまたはドレイン電極の一方は、第3の配線1211と電氣的に接続され、第2のTFET1208のソースまたはドレイン電極の他方は、画素電極1215と電氣的に接続されているのが好適である。こうすることで、画素電極12

50

15に流れる電流を、第2のTFT1208によって制御することができる。

【0105】

画素電極1215上には、有機導電体膜1217が設けられ、さらに有機薄膜（有機化合物層）1218が設けられていてもよい。有機薄膜（有機化合物層）1218上には、対向電極1212が設けられていてもよい。なお、対向電極1212は、全ての画素で共通に接続されるように形成されていてもよく、シャドーマスクなどを用いてパターン形成されていてもよい。

【0106】

有機薄膜（有機化合物層）1218から発せられた光は、画素電極1215もしくは対向電極1212のうちいずれかを透過して発せられる。このとき、図12（B）において、画素電極側、すなわちTFT等が形成されている側に光が発せられる場合、画素電極1215は透明導電膜によって形成されるのが好適である。対向電極側に光が発せられる場合、対向電極1212は透明導電膜によって形成されるのが好適である。

【0107】

また、カラー表示の発光装置においては、R・G・Bそれぞれの発光色を持つEL素子を塗り分けても良いし、単色のEL素子を形成し、カラーフィルタによってR・G・Bの発光を得るようにしても良い。

【0108】

なお、図12に示した構成はあくまで一例であり、画素レイアウト、断面構成、EL素子の電極の積層順等に関して、図12に示した構成以外にも、様々な構成をとることができる。また、発光層は、図示した有機薄膜で構成される素子の他に、LEDのような結晶性の素子、無機薄膜で構成される素子など、様々な素子を用いることができる。

【0109】

次に、図13（A）を参照して、1つの画素に3つのTFTを有する画素の素子のレイアウト例について説明する。また、図13（A）において、X-X'で示される部分の断面図を図13（B）に示す。

【0110】

図13（A）に示すように、本発明における画素は、基板1300、第1の配線1301、第2の配線1302、第3の配線1303、第4の配線1304、第1のTFT1305、第2のTFT1306、第3のTFT1307、画素電極1308、隔壁1311、有機導電体膜1312、有機薄膜1313、対向電極1314、を有していてもよい。なお、第1の配線1301はソース信号線として、第2の配線1302は書込用ゲート信号線として、第3の配線1303は消去用ゲート信号線として、第4の配線1304は電流供給線として、第1のTFT1305はスイッチング用TFTとして、第2のTFT1306は消去用TFTとして、第3のTFT1307は駆動用TFTとして、それぞれ用いられるのが好適である。

【0111】

図13（A）に示すように、第1のTFT1305のゲート電極は、第2の配線1302と電氣的に接続され、第1のTFT1305のソースまたはドレイン電極の一方は、第1の配線1301と電氣的に接続され、第1のTFT1305のソースまたはドレイン電極の他方は、第3のTFT1307のゲート電極と電氣的に接続されているのが好適である。なお、第1のTFT1305のゲート電極は、図13（A）に示すように、複数のゲート電極によって構成されていても良い。こうすることで、第1のTFT1305のオフ状態におけるリーク電流を低減することができる。

【0112】

また、第2のTFT1306のゲート電極は、第3の配線1303と電氣的に接続され、第2のTFT1306のソースまたはドレイン電極の一方は、第4の配線1304と電氣的に接続され、第2のTFT1306のソースまたはドレイン電極の他方は、第3のTFT1307のゲート電極と電氣的に接続されているのが好適である。なお、第2のTFT1306のゲート電極は、図13（A）に示すように、複数のゲート電極によって構成

されていても良い。こうすることで、第2のTFT1306のオフ状態におけるリーク電流を低減することができる。

【0113】

また、第3のTFT1307のソースまたはドレイン電極の一方は、第4の配線1304と電氣的に接続され、第3のTFT1307のソースまたはドレイン電極の他方は、画素電極1308と電氣的に接続されているのが好適である。こうすることで、画素電極1308に流れる電流を、第3のTFT1307によって制御することができる。

【0114】

画素電極1308上には、有機導電体膜1312が設けられ、さらに有機薄膜（有機化合物層）1313が設けられていてもよい。有機薄膜（有機化合物層）1313上には、対向電極1314が設けられていてもよい。なお、対向電極1314は、全ての画素で共通に接続されるように形成されていてもよく、シャドーマスクなどを用いてパターン形成されていてもよい。

【0115】

有機薄膜（有機化合物層）1313から発せられた光は、画素電極1308もしくは対向電極1314のうちいずれかを透過して発せられる。このとき、図13（B）において、画素電極側、すなわちTFT等が形成されている側に光が発せられる場合、画素電極1308は透明導電膜によって形成されるのが好適である。対向電極側に光が発せられる場合、対向電極1314は透明導電膜によって形成されるのが好適である。

【0116】

また、カラー表示の発光装置においては、R・G・Bそれぞれの発光色を持つEL素子を塗り分けても良いし、単色のEL素子を形成し、カラーフィルタによってR・G・Bの発光を得るようにしても良い。

【0117】

なお、図13に示した構成はあくまで一例であり、画素レイアウト、断面構成、EL素子の電極の積層順等に関して、図13に示した構成以外にも、様々な構成をとることができる。また、発光層は、図示した有機薄膜で構成される素子の他に、LEDのような結晶性の素子、無機薄膜で構成される素子など、様々な素子を用いることができる。

【0118】

次に、図14（A）を参照して、1つの画素に4つのTFTを有する画素の素子のレイアウト例について説明する。また、図14（A）において、X-X'で示される部分の断面図を図14（B）に示す。

【0119】

図14（A）に示すように、本発明における画素は、基板1400、第1の配線1401、第2の配線1402、第3の配線1403、第4の配線1404、第1のTFT1405、第2のTFT1406、第3のTFT1407、第4のTFT1408、画素電極1409、第5の配線1411、第6の配線1412、隔壁1421、有機導電体膜1422、有機薄膜1423、対向電極1424、を有していてもよい。なお、第1の配線1401はソース信号線として、第2の配線1402は書込用ゲート信号線として、第3の配線1403は消去用ゲート信号線として、第4の配線1404は逆方向バイアス用信号線として、第1のTFT1405はスイッチング用TFTとして、第2のTFT1406は消去用TFTとして、第3のTFT1407は駆動用TFTとして、第4のTFT1408は逆方向バイアス用TFTとして、第5の配線1411は電流供給線として、第6の配線1412は逆方向バイアス用電源線として、それぞれ用いられるのが好適である。

【0120】

図14（A）に示すように、第1のTFT1405のゲート電極は、第2の配線1402と電氣的に接続され、第1のTFT1405のソースまたはドレイン電極の一方は、第1の配線1401と電氣的に接続され、第1のTFT1405のソースまたはドレイン電極の他方は、第3のTFT1407のゲート電極と電氣的に接続されているのが好適である。なお、第1のTFT1405のゲート電極は、図14（A）に示すように、複数のゲ

ート電極によって構成されていても良い。こうすることで、第1のTF T 1 4 0 5のオフ状態におけるリーク電流を低減することができる。

【0121】

また、第2のTF T 1 4 0 6のゲート電極は、第3の配線1 4 0 3と電氣的に接続され、第2のTF T 1 4 0 6のソースまたはドレイン電極の一方は、第5の配線1 4 1 1と電氣的に接続され、第2のTF T 1 4 0 6のソースまたはドレイン電極の他方は、第3のTF T 1 4 0 7のゲート電極と電氣的に接続されているのが好適である。なお、第2のTF T 1 4 0 6のゲート電極は、図14(A)に示すように、複数のゲート電極によって構成されていても良い。こうすることで、第2のTF T 1 4 0 6のオフ状態におけるリーク電流を低減することができる。

10

【0122】

また、第3のTF T 1 4 0 7のソースまたはドレイン電極の一方は、第5の配線1 4 1 1と電氣的に接続され、第3のTF T 1 4 0 7のソースまたはドレイン電極の他方は、画素電極1 4 0 9と電氣的に接続されているのが好適である。こうすることで、画素電極1 4 0 9に流れる電流を、第3のTF T 1 4 0 7によって制御することができる。

【0123】

また、第4のTF T 1 4 0 8のゲート電極は、第4の配線1 4 0 4と電氣的に接続され、第4のTF T 1 4 0 8のソースまたはドレイン電極の一方は、第6の配線1 4 1 2と電氣的に接続され、第4のTF T 1 4 0 8のソースまたはドレイン電極の他方は、画素電極1 4 0 9と電氣的に接続されているのが好適である。こうすることで、画素電極1 4 0 9の電位を、第4のTF T 1 4 0 8によって制御することができるので、有機導電体膜1 4 2 2および有機薄膜1 4 2 3に、逆方向のバイアスを印加することができる。有機導電体膜1 4 2 2および有機薄膜1 4 2 3などで構成される発光素子に逆方向のバイアスを印加することによって、発光素子の信頼性を大きく向上させることができる。

20

【0124】

たとえば、直流電圧(3.65V)で駆動した場合の輝度半減時間が400時間程度である発光素子を、交流電圧(順方向バイアス:3.7V、逆方向バイアス:1.7V、デューティ比50%、交流周波数60Hz)で駆動すると、輝度半減時間は700時間以上となることがわかっている。

【0125】

次に、画素電極1 4 0 9上には、有機導電体膜1 4 2 2が設けられ、さらに有機薄膜(有機化合物層)1 4 2 3が設けられていてもよい。有機薄膜(有機化合物層)1 4 2 3上には、対向電極1 4 2 4が設けられていてもよい。なお、対向電極1 4 2 4は、全ての画素で共通に接続されるように形成されていてもよく、シャドーマスクなどを用いてパターン形成されていてもよい。

30

【0126】

有機薄膜(有機化合物層)1 4 2 3から発せられた光は、画素電極1 4 0 9もしくは対向電極1 4 2 4のうちいずれかを透過して発せられる。このとき、図14(B)において、画素電極側、すなわちTF T等が形成されている側に光が発せられる場合、画素電極1 4 0 9は透明導電膜によって形成されるのが好適である。対向電極側に光が発せられる場合、対向電極1 4 2 4は透明導電膜によって形成されるのが好適である。

40

【0127】

また、カラー表示の発光装置においては、R・G・Bそれぞれの発光色を持つEL素子を塗り分けても良いし、単色のEL素子を形成し、カラーフィルタによってR・G・Bの発光を得るようにしても良い。

【0128】

なお、図14に示した構成はあくまで一例であり、画素レイアウト、断面構成、EL素子の電極の積層順等に関して、図14に示した構成以外にも、様々な構成をとることができる。また、発光層は、図示した有機薄膜で構成される素子の他に、LEDのような結晶性の素子、無機薄膜で構成される素子など、様々な素子を用いることができる。

50

【0129】

次に、本発明に適用できるEL素子の構造について説明する。

【0130】

本発明に適用できるEL素子は、正孔注入材料からなる正孔注入層、正孔輸送材料からなる正孔輸送層、発光材料からなる発光層、電子輸送材料からなる電子輸送層、電子注入材料からなる電子注入層等が、明確に区別されるような積層構造ではなく、正孔注入材料、正孔輸送材料、発光材料、電子輸送材料、電子注入材料等の材料のうち、複数の材料が混合された層（混合層）を有する構成（以下、混合接合型のEL素子と表記する）でもよい。

【0131】

混合接合型のEL素子の構造を示す模式図を、図15に示す。図15において、1501はEL素子の陽極である。1502はEL素子の陰極である。陽極1501と陰極1502の間に挟まれた層が、EL層に相当する。

【0132】

図15(A)において、EL層は、正孔輸送材料からなる正孔輸送領域1503と、電子輸送材料からなる電子輸送領域1504とを含み、前記正孔輸送領域1503は前記電子輸送領域1504よりも陽極側に位置し、且つ、前記正孔輸送領域1503と、前記電子輸送領域1504の間に、前記正孔輸送材料及び前記電子輸送材料の両方を含む混合領域1505が設けられた構成とすることができる。

【0133】

なお、このとき、陽極1501から陰極1502の方向に、前記混合領域1505内の前記正孔輸送材料の濃度は減少し、前記混合領域1505内の電子輸送材料の濃度は増加することを特徴としても良い。

【0134】

なお、上記構成において、正孔輸送材料のみからなる正孔輸送領域1503が存在せず、正孔輸送材料及び電子輸送材料の両方を含む混合領域1505内部で各機能材料の濃度の割合が変化する（濃度勾配を有する）構成であってもよい。また、正孔輸送材料のみからなる正孔輸送領域1503及び電子輸送材料のみからなる電子輸送領域1504が存在せず、正孔輸送材料及び電子輸送材料の両方を含む混合領域1505内部で各機能材料の濃度の割合が変化する（濃度勾配を有する）構成であってもよい。また、前記濃度の割合は、陽極や陰極からの距離に依存して変化する構成であってもよい。更に、前記濃度の割合の変化は連続的であってもよい。濃度勾配の設定の仕方は、自由に設定することが可能である。

【0135】

前記混合領域1505内に、発光材料が添加された領域1506を有する。発光材料によって、EL素子の発光色を制御することができる。また、発光材料によって、キャリアをトラップすることができる。発光材料としては、キノリン骨格を含む金属錯体、ベンゾオキサドール骨格を含む金属錯体、ベンゾチアゾール骨格を含む金属錯体等の他、各種蛍光色素を用いることができる。これらの発光材料を添加することによって、EL素子の発光色を制御することができる。

【0136】

陽極1501としては、効率よく正孔を注入するため、仕事関数の大きな電極材料を用いることが好ましい。例えば、錫ドープ酸化インジウム（ITO）や、亜鉛ドープ酸化インジウム（IZO）、ZnO、SnO₂、In₂O₃等の透明電極を用いることができる。また、透光性を有する必要が無いならば、陽極1501は、不透明の金属材料でもよい。

【0137】

また、正孔輸送材料としては、芳香族アミン系の化合物等を用いることができる。

【0138】

また、電子輸送材料としては、キノリン誘導体、8-キノリノールまたはその誘導体を

10

20

30

40

50

配位子とする金属錯体（特に、トリス（８－キノリノラト）アルミニウム（ Alq_3 ））等を用いることができる。

【０１３９】

陰極１５０２としては、効率よく電子を注入するため、仕事関数の小さな電極材料を用いることが好ましい。アルミニウム、インジウム、マグネシウム、銀、カルシウム、バリウム、リチウム等の金属を単体で用いることができる。また、これらの金属の合金であっても良いし、これらの金属と他の金属との合金であっても良い。

【０１４０】

図１５（Ａ）とは異なる構成のＥＬ素子の模式図を図１５（Ｂ）に示す。なお、図１５（Ａ）と同じ部分は同じ符号を用いて示し、説明は省略する。

10

【０１４１】

図１５（Ｂ）では、発光材料が添加された領域を有さない。しかし、電子輸送領域１５０４に添加する材料として、電子輸送性及び発光性の両方を有する材料（電子輸送発光材料）、例えば、トリス（８－キノリノライト）アルミニウム（ Alq_3 ）を用いる構成とし、発光を行うことができる。

【０１４２】

または、正孔輸送領域１５０３に添加する材料として、正孔輸送性及び発光性の両方を有する材料（正孔輸送発光材料）を用いてもよい。

【０１４３】

図１５（Ａ）及び図１５（Ｂ）とは異なる構成のＥＬ素子の模式図を図１５（Ｃ）に示す。なお、図１５（Ａ）及び図１５（Ｂ）と同じ部分は同じ符号を用いて示し、説明は省略する。

20

【０１４４】

図１５（Ｃ）において、正孔輸送材料に比べて最高被占分子軌道と最低被占分子軌道とのエネルギー差が大きい正孔ブロッキング性材料が、混合領域１５０５内に添加された領域１５０７を有する。正孔ブロッキング性材料が添加された領域１５０７を、混合領域１５０５内の発光材料が添加された領域１５０６より陰極１５０２側に配置することによって、キャリアの再結合率を上げ、発光効率を上げることができる。上記、正孔ブロッキング性材料が添加された領域１５０７を設ける構成は、特に、三重光励起子による発光（燐光）を利用するＥＬ素子において有効である。

30

【０１４５】

図１５（Ａ）、図１５（Ｂ）及び図１５（Ｃ）とは異なる構成のＥＬ素子の模式図を図１５（Ｄ）に示す。なお、図１５（Ａ）、図１５（Ｂ）及び図１５（Ｃ）と同じ部分は同じ符号を用いて示し、説明は省略する。

【０１４６】

図１５（Ｄ）において、電子輸送材料に比べて最高被占分子軌道と最低被占分子軌道とのエネルギー差が大きい電子ブロッキング性材料が、混合領域１５０５内に添加された領域１５０８を有する。電子ブロッキング性材料が添加された領域１５０８を、混合領域１５０５内の発光材料が添加された領域１５０６より陽極１５０１側に配置することによって、キャリアの再結合率を上げ、発光効率を上げることができる。上記、電子ブロッキング性材料が添加された領域１５０８を設ける構成は、特に、三重項励起子による発光（燐光）を利用するＥＬ素子において有効である。

40

【０１４７】

図１５（Ｅ）は、図１５（Ａ）、図１５（Ｂ）、図１５（Ｃ）および図１５（Ｄ）とは異なる混合接合型のＥＬ素子の構成を示す模式図である。図１５（Ｅ）では、ＥＬ素子の電極に接するＥＬ層の部分に、金属材料を添加した領域１５０９を有する構成の例を示す。図１５（Ｅ）において、図１５（Ａ）～図１５（Ｄ）と同じ部分は同じ符号を用いて示し説明は省略する。図１５（Ｅ）に示す構成は、たとえば、陰極１５０２として $MgAg$ （ $Mg-Ag$ 合金）を用い、電子輸送材料が添加された領域１５０４の、陰極１５０２に接する領域に Al （アルミニウム）合金を添加した領域１５０９を有する構成であっても

50

よい。上記構成によって、陰極の酸化を防止し、且つ、陰極からの電子の注入効率を高めることができる。こうして、混合接合型のＥＬ素子では、その寿命を長くすることができる。また、駆動電圧も低くすることができる。

【０１４８】

上記混合接合型のＥＬ素子を作製する手法としては、共蒸着法等を用いることができる。

【０１４９】

図１５（Ａ）～図１５（Ｅ）に示したような混合接合型のＥＬ素子では、明確な層の界面が存在せず、電荷の蓄積を低減することができる。こうして、その寿命を長くすることができる。また、駆動電圧も低くすることができる。

10

【０１５０】

なお、図１５（Ａ）～図１５（Ｅ）に示した構成は、自由に組み合わせて実施することが可能である。

【０１５１】

なお、混合接合型のＥＬ素子の構成は、これに限定されない。公知の構成を自由に用いることができる。

【０１５２】

なお、ＥＬ素子のＥＬ層を構成する有機材料としては、低分子材料でも高分子材料でもよい。また、これらの材料を両方用いてもよい。有機化合物材料として低分子材料を用いる場合は、蒸着法によって成膜することができる。一方、ＥＬ層として高分子材料を用いる場合は、高分子材料を溶媒に溶かし、スピンコート法やインクジェット方式で成膜することができる。

20

【０１５３】

また、ＥＬ層は、中分子材料によって構成されていても良い。本明細書中において、中分子系有機発光材料とは、昇華性を有さず、かつ、重合度が２０程度以下の有機発光材料を示すものとする。ＥＬ層として中分子材料を用いる場合は、インクジェット方式等で成膜することができる。

【０１５４】

なお、低分子材料と、高分子材料と、中分子材料とを組み合わせ用いても良い。

【０１５５】

また、ＥＬ素子は、一重項励起子からの発光（蛍光）を利用するものでも、三重項励起子からの発光（燐光）を利用するものでも、どちらでも良い。

30

【０１５６】

次に、本発明が適用できる表示装置を製造するための蒸着装置について、図面を参照して説明する。

【０１５７】

本発明が適用できる表示装置は、ＥＬ層を形成して製造されてもよい。ＥＬ層は、エレクトロルミネセンスを発現する材料を少なくとも一部に含んで形成される。ＥＬ層は機能の異なる複数の層で構成されても良い。その場合、ＥＬ層は、正孔注入輸送層、発光層、電子注入輸送層などとも呼ばれる機能の異なる層が組み合わさって構成されていてもよい。

40

【０１５８】

トランジスタが形成された素子基板に、ＥＬ層を形成するための蒸着装置の構成を図１６に示す。この蒸着装置は、搬送室１６６０、１６６１に複数の処理室を連結している。処理室には、基板を供給するロード室１６６２、基板を回収するアンロード室１６６３、その他、加熱処理室１６６８、プラズマ処理室１６７２、ＥＬ材料を蒸着する成膜処理室１６６９～１６７５、ＥＬ素子の一方の電極として、アルミニウム若しくはアルミニウムを主成分とする導電膜を形成する成膜処理室１６７６を含んでいる。また、搬送室と各処理室の間にはゲートバルブ１６７７ａ～１６７７ｍが設けられていて、各処理室の圧力は独立して制御可能とされており、処理室間の相互汚染を防いでいる。

50

【 0 1 5 9 】

ロード室 1 6 6 2 から搬送室 1 6 6 0 に導入された基板は、回転自在に設けられたアーム方式の搬送手段 1 6 6 6 により、所定の処理室へ搬入される。また、基板は搬送手段 1 6 6 6 により、ある処理室から他の処理室へ搬送される。搬送室 1 6 6 0 と搬送室 1 6 6 1 とは成膜処理室 1 6 7 0 で連結され、ここで搬送手段 1 6 6 6 と搬送手段 1 6 6 7 により基板の受け渡しが行う。

【 0 1 6 0 】

搬送室 1 6 6 0 及び搬送室 1 6 6 1 に連結する各処理室は減圧状態に保持されている。従って、この蒸着装置では、基板は大気に触れることなく連続して E L 層の成膜処理が行われる。E L 層の成膜処理が終わった表示パネルは、水蒸気などにより劣化する場合があるので、この蒸着装置では、品質を保持するために大気に触れさせる前に封止処理を行うための封止処理室 1 6 6 5 が搬送室 1 6 6 1 に連結されている。封止処理室 1 6 6 5 は大気圧若しくはそれに近い減圧下におかれているので、搬送室 1 6 6 1 と封止処理室 1 6 6 5 の間にも中間室 1 6 6 4 が備えられている。中間室 1 6 6 4 は基板の受け渡しと、室間の圧力を緩衝するために設けられている。

10

【 0 1 6 1 】

ロード室、アンロード室、搬送室及び成膜処理室には室内を減圧に保持するための排気手段が備えられている。排気手段としては、ドライポンプ、ターボ分子ポンプ、拡散ポンプなど各種の真空ポンプを用いることができる。

【 0 1 6 2 】

20

図 1 6 の蒸着装置において、搬送室 1 6 6 0 及び搬送室 1 6 6 1 に連結される処理室の数やその構成は、E L 素子の積層構造に応じて適宜組み合わせることができる。以下に、その組み合わせの一例を示す。

【 0 1 6 3 】

加熱処理室 1 6 6 8 は、最初に下部電極や絶縁隔壁等が形成された基板を加熱して脱ガス処理を行う。プラズマ処理室 1 6 7 2 は、下地電極表面を希ガスや酸素プラズマ処理を行う。このプラズマ処理は、表面を清浄化、表面状態の安定化、表面の物理的若しくは化学的状態（例えば、仕事関数など）を安定化させるために行う。

【 0 1 6 4 】

成膜処理室 1 6 6 9 は、E L 素子の一方の電極と接触する電極バッファ層を形成する処理室である。電極バッファ層はキャリア注入性（正孔注入若しくは電子注入）があり、E L 素子の短絡や暗点欠陥の発生を抑制する層である。代表的には、電極バッファ層は、有機無機混合材料であって、抵抗率が $5 \times 10^4 \sim 1 \times 10^6 \Omega \text{ cm}$ であり、 $30 \sim 300 \text{ nm}$ の厚さに形成される。また、成膜室 1 6 7 1 は正孔輸送層を成膜する処理室である。

30

【 0 1 6 5 】

E L 素子における発光層は、単色発光をする場合と白色発光をする場合とで、その構成が異なる。蒸着装置において成膜処理室もそれに応じて配置することが好ましい。例えば、表示パネルに発光色が異なる三種類の E L 素子を形成する場合には、各発光色に対応した発光層を成膜する必要がある。この場合、成膜処理室 1 6 7 0 を第 1 の発光層の成膜用として、成膜処理室 1 6 7 3 を第 2 の発光層の成膜用として、成膜処理室 1 6 7 4 を第 3 の発光層の成膜用として用いることができる。発光層ごとに成膜処理室を分けることで、異なる発光材料による相互汚染を防止することが出来、成膜処理のスループットを向上させることが出来る。

40

【 0 1 6 6 】

また、成膜処理室 1 6 7 0、成膜処理室 1 6 7 3、成膜処理室 1 6 7 4 のそれぞれで、発光色が異なる三種類の E L 材料を順次蒸着しても良い。この場合、シャドーマスクを使い、蒸着する領域に応じて当該マスクをずらして蒸着を行うことになる。

【 0 1 6 7 】

白色発光する E L 素子を形成する場合には、異なる発光色の発光層を縦積みにして形成する。その場合にも、素子基板が成膜処理室を順次移動して、発光層ごとに成膜すること

50

ができる。また、同じ成膜処理室で異なる発光層を連続して成膜することもできる。

【0168】

成膜処理室1676では、EL層の上に電極を成膜する。電極の形成は、電子ビーム蒸着法やスパッタリング法を適用することもできるが、好ましくは抵抗加熱蒸着法を用いることが好ましい。

【0169】

電極の形成まで終了した素子基板は、中間室1664を経て封止処理室1665に搬入される。封止処理室1665は、ヘリウム、アルゴン、ネオン、若しくは窒素などの不活性な気体が充填されており、その雰囲気下で素子基板のEL層が形成された側に封止板を貼り付けて封止する。封止された状態において、素子基板と封止板の間には、不活性気体が充填されていても良いし、樹脂材料を充填しておいても良い。封止処理室1665には、シール材を描画するディスペンサーや、素子基板に対向して封止板を固定する固定ステージやアームなどの機械的要素、樹脂材料を充填するディスペンサー若しくはスピンコーターなどが備えられている。

【0170】

図17は、成膜処理室の内部構成を示す。成膜処理室は減圧下に保たれていて、図17では天板1791と底板1792で挟まれる内側が室内であり、減圧状態に保たれる室内を示している。

【0171】

処理室内には、一つ又は複数個の蒸発源が備えられている。組成の異なる複数の層を成膜する場合や、異なる材料を共蒸着する場合は、複数個の蒸発源を設けることが好ましいからである。図17では、蒸発源1781a、1781b、1781cが蒸発源ホルダ1780に装着されている。蒸発源ホルダ1780は多関節アーム1783によって保持されている。多関節アーム1783は関節の伸縮によって、蒸発源ホルダ1780の位置をその可動範囲内で自在に移動可能としている。また、蒸発源ホルダ1780に距離センサー1782を設け、蒸発源1781a～1781cと基板1789との間隔をモニターして、蒸着時における最適な間隔を制御しても良い。その場合には、多関節アームに上下方向(Z方向)にも変位する多関節アームとしても良い。

【0172】

基板ステージ1786と基板チャック1787は一对となって基板1789を固定する。基板ステージ1786はヒータを内蔵させて基板1789を加熱できるように構成しても良い。基板1789は、基板チャック1787の禁緩により、基板ステージ1786に固定されまた搬出入される。蒸着に際しては、必要に応じて蒸着するパターンに対応して開口部を備えたシャドーマスク1790を用いることもできる。その場合、シャドーマスク1790は、基板1789と蒸発源1781a～1781cの間に配置されるようにする。シャドーマスク1790はマスクチャック1788により、基板1789と密着若しくは一定の間隔を持って固定される。シャドーマスク1790のアライメントが必要な場合には、処理室内にカメラを配置し、マスクチャック1788にX-Y-θ方向に微動する位置決め手段を備えることで、その位置合わせを行う。

【0173】

蒸発源1781には、蒸着材料を蒸発源に連続して供給する蒸着材料供給手段が付加されている。蒸着材料供給手段は、蒸発源1781と離れた位置に配置される材料供給源1785a、1785b、1785cと、その両者の間を繋ぐ材料供給管1784を有している。典型的には、材料供給源1785a、1785b、1785cは蒸発源1781に対応して設けられている。図17の場合は、材料供給源1785aと17蒸発源81aが対応している。材料供給源1785bと蒸発源1781b、材料供給源1785cと蒸発源1781cについても同様である。

【0174】

蒸着材料の供給方式には、気流搬送方式、エアロゾル方式などが適用できる。気流搬送方式は、蒸着材料の微粉末を気流に乗せて搬送するもので、不活性ガスなどを用いて蒸発

10

20

30

40

50

源 1781 に搬送する。エアロゾル方式は、蒸着材料を溶剤中に溶解または分散させた原料液を搬送し、噴霧器によりエアロゾル化し、エアロゾル中の溶媒を気化させながら行う蒸着である。いずれの場合にも、蒸発源 1781 には加熱手段が設けられ、搬送された蒸着材料を蒸発させて基板 1789 に成膜する。図 17 の場合、材料供給管 1784 は柔軟に曲げることができ、減圧状態下においても変形しない程度の剛性を持った細管で構成されている。

【0175】

気流搬送方式やエアロゾル方式を適用する場合には、成膜処理室内を大気圧若しくはそれ以下であって、好ましくは 133 Pa ~ 13300 Pa の減圧下で成膜を行えば良い。成膜処理室内にはヘリウム、アルゴン、ネオン、クリプトン、キセノン、若しくは窒素などの不活性気体を充填し、または当該気体を供給しながら（同時に排気しながら）、圧力の調節を行うことができる。また、酸化膜を形成する成膜処理室では、酸素、亜酸化窒素などの気体を導入して酸化雰囲気としておいても良い。また、有機材料を蒸着する成膜処理室内には水素などの気体を導入して還元雰囲気としておいても良い。

【0176】

その他の蒸着材料の供給方法として、材料供給管 1784 の中にスクリーンを設け蒸着材料を蒸発源に向けて連続的に押し出す構成としても良い。

【0177】

この蒸着装置によれば、大画面の表示パネルであっても、均一性良く、連続して成膜することができる。また、蒸発源に蒸着材料が無くなる度に、その都度蒸着材料を補給する必要がないので、スループットを向上することができる。

【0178】

なお、本実施の形態で述べた内容は、他の実施の形態と自由に組み合わせて実施することができる。

【0179】

（実施の形態 5）

図 18 に、本発明を適用することのできる画素のレイアウト例を示す。

【0180】

図 18 に示すように、本発明における画素は、第 1 の TFT 1801、第 2 の TFT 1802、第 3 の TFT 1803、第 4 の TFT 1804、第 5 の TFT 1805、第 1 の配線 1806、第 2 の配線 1807、第 3 の配線 1808、第 4 の配線 1809、第 5 の配線 1810、第 6 の配線 1811、容量素子コンデンサ 1813、画素電極 1814、隔壁開口部 1815、障壁開口部 1815 に設けられた発光素子、電極 A、電極 B を有していてもよい。なお、第 1 の TFT 1801 は駆動用 TFT として用いられるのが好適である。また、第 2 の TFT 1802、第 3 の TFT 1803、第 4 の TFT 1804、第 5 の TFT 1805 は、スイッチング用 TFT として用いられるのが好適である。また、第 1 の配線 1806 は電流供給線として用いられるのが好適である。また、第 2 の配線 1807、第 3 の配線 1808、第 4 の配線 1809、第 5 の配線 1810 は、第 2 の TFT 1802、第 3 の TFT 1803、第 4 の TFT 1804、第 5 の TFT 1805 のオン・オフを決める信号線として、第 6 の配線 1811 はソース信号線として、それぞれ用いられるのが好適である。

【0181】

図 18 に示すように、第 1 の TFT 1801 のゲート電極は、電極 B と電氣的に接続され、第 1 の TFT 1801 のソースまたはドレイン電極の一方は、第 1 の配線 1806 と電氣的に接続され、第 1 の TFT 1801 のソースまたはドレイン電極の他方は、電極 A と電氣的に接続されていてもよい。なお、第 1 の TFT 1801 は、図 18 に示すように、チャンネル領域が複数存在する構成であることが好適である。こうすることで、第 1 の TFT 1801 がオフ状態であるとき、リーク電流によって発光素子に電流が流れ、わずかに発光してしまうことを防ぐことができる。

【0182】

10

20

30

40

50

また、第2のTF T 1802のゲート電極は、第2の配線1807と電氣的に接続され、第2のTF T 1802のソースまたはドレイン電極の一方は、電極Aと電氣的に接続され、第2のTF T 1802のソースまたはドレイン電極の他方は、電極Bと電氣的に接続されていてもよい。なお、第2のTF T 1802は、図18に示すように、チャンネル領域が複数存在する構成であることが好適である。こうすることで、第2のTF T 1802がオフ状態であるとき、リーク電流によって容量素子1813に蓄積された電荷が漏れてしまうことを防ぐことができる。

【0183】

また、第3のTF T 1803のゲート電極は、第3の配線1808と電氣的に接続され、第3のTF T 1803のソースまたはドレイン電極の一方は、第6の配線1811と電氣的に接続され、第3のTF T 1803のソースまたはドレイン電極の他方は、電極Aと電氣的に接続されていてもよい。なお、第3のTF T 1803は、図18に示すように、チャンネル領域が複数存在する構成であることが好適である。こうすることで、第3のTF T 1803がオフ状態であるとき、リーク電流によって発光素子に流れる電流が変化してしまうことを防ぐことができる。

【0184】

また、第4のTF T 1804のゲート電極は、第4の配線1809と電氣的に接続され、第4のTF T 1804のソースまたはドレイン電極の一方は、画素電極1814と電氣的に接続され、第4のTF T 1804のソースまたはドレイン電極の他方は、電極Aと電氣的に接続されていてもよい。なお、第4のTF T 1804は、図18に示すように、チャンネル領域が複数存在する構成であることが好適である。こうすることで、第4のTF T 1804がオフ状態であるとき、リーク電流によって発光素子に電流が流れ、わずかに発光してしまうことを防ぐことができる。

【0185】

また、第5のTF T 1805のゲート電極は、第5の配線1810と電氣的に接続され、第5のTF T 1805のソースまたはドレイン電極の一方は、画素電極1814と電氣的に接続され、第5のTF T 1805のソースまたはドレイン電極の他方は、電極Bと電氣的に接続されていてもよい。なお、第5のTF T 1805は、図18に示すように、チャンネル領域が複数存在する構成であることが好適である。こうすることで、第5のTF T 1805がオフ状態であるとき、リーク電流によって容量素子1813に蓄積された電荷が漏れてしまうことを防ぐことができる。

【0186】

なお、図18に示すように、複数のTF Tにおいて、電流が流れる方向が概ね等しい構成であることが好適である。ここで、電流が流れる方向とは、横方向、縦方向という角度のことであって、電流の流れる向きには依存しない。つまり、横方向であれば、右から左へ電流が流れる場合も、左から右へ電流が流れる場合も、両方を含む。このように、複数のTF Tにおいて電流が流れる方向が概ね等しい構成であることで、TF Tの特性が均一になり、表示装置の輝度ムラを低減することができる。

【0187】

なお、画素電極1814には、有機導電体膜が設けられ、さらに有機薄膜（有機化合物層）が設けられていてもよい。有機薄膜（有機化合物層）には、対向電極が設けられていてもよい。また、対向電極は、全ての画素で共通に接続されるように形成されていてもよく、シャドーマスクなどを用いてパターン形成されていてもよい。

【0188】

なお、カラー表示の発光装置においては、R・G・Bそれぞれの発光色を持つEL素子を塗り分けても良いし、単色のEL素子を形成し、カラーフィルタによってR・G・Bの発光を得るようにしても良い。

【0189】

なお、図18に示した構成はあくまで一例であり、画素レイアウト、断面構成、EL素子の電極の積層順等に関して、図18に示した構成以外にも、様々な構成をとることができ

10

20

30

40

50

る。また、発光層は、図示した有機薄膜で構成される素子の他に、LEDのような結晶性の素子、無機薄膜で構成される素子など、様々な素子を用いることができる。

【0190】

(実施の形態6)

本実施の形態では、駆動トランジスタがPチャネル型の薄膜トランジスタ(TFT)の場合における、画素回路の断面形態について、図10を用いて説明する。なお本発明では、EL素子が有する一方の電極を第1の電極、他方の電極を第2の電極とする。

【0191】

図10(A)に、EL素子6003から発せられる光を第1の電極6004側から取り出す場合の画素回路の断面図を示す。図10(A)では、EL素子6003の第1の電極6004と、TFT6001が電気的に接続されており、TFT6001がPチャネル型であるため、第1の電極6004が陽極である。

10

【0192】

TFT6001は結晶性半導体膜、又は非晶質半導体膜を有する公知の構造とすることができ、ソース電極、ドレイン電極、及びゲート電極を有する。TFT6001は層間絶縁膜6007で覆われており、層間絶縁膜6007上には開口部を有する隔壁6008が形成されている。隔壁6008の開口部においてソース電極又はドレイン電極に接続される第1の電極6004が一部露出しており、該開口部において第1の電極6004から順に電界発光層6005、第2の電極6006が積層されている。

20

【0193】

層間絶縁膜6007は、有機材料、又は無機材料を用い、単層構造、又は積層構造とすることができ、無機材料として、シリコン酸化物、シリコン窒化物を用い、有機材料として、ポリイミド、アクリル、シロキサン、又はポリシラザンを用いることができる。なおシロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基(例えばアルキル基、芳香族炭化水素)が用いられる。置換基として、フルオロ基を用いてもよい。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。ポリシラザンは、珪素(Si)と窒素(N)の結合を有するポリマー材料を出発原料として形成される。また層間絶縁膜6007に、低誘電率材料(low-k材料)と呼ばれる材料を用いてもよい。

30

【0194】

隔壁6008は、層間絶縁膜6007と同様に有機材料、又は無機材料を用いて形成することができる。感光性の有機材料を隔壁6008に用いると、第1の電極6004上の開口部の側壁が連続した曲率を持って形成される傾斜面となる。このような形状により、電界発光層6005が切断し、第1の電極6004と第2の電極6006とが短絡してしまうのを防ぐことができる。

【0195】

第1の電極6004は、陽極として適する材料で形成する。陽極として適する材料とは、仕事関数の小さい金属、合金、電気伝導性化合物、及びこれらの混合物が挙げられる。また第1の電極6004側に光を取り出すため、光を透過する材料又は光を透過する程度の膜厚で形成する。具体的には、第1の電極6004には、酸化インジウムスズ(ITO)、酸化亜鉛(ZnO)、酸化インジウム亜鉛(IZO)、又はガリウムを添加した酸化亜鉛(GZO)等の透光性導電材料を用いることが可能である。さらに酸化珪素を含む酸化インジウムスズ(以下、ITSOと記す)、ITOに酸化亜鉛(ZnO)を混合したもの、ITSOに酸化亜鉛(ZnO)を混合したものを用いてもよい。また非透光性導電材料として、例えばTiN、ZrN、Ti、W、Ni、Pt、Cr、Ag、Al等の1つ又は複数からなる単層膜の他、窒化チタン膜とアルミニウムを主成分とする膜との積層構造、窒化チタン膜とアルミニウムを主成分とする膜と窒化チタン膜との三層構造等を用いることもできる。ただし非透光性導電材料を用いる場合、光が透過する程度の膜厚(好ましくは、5nm~30nm程度)で第1の電極6004を形成する。

40

【0196】

50

第2の電極6006は、陰極として適する材料で形成する。陰極として適する材料とは、仕事関数の小さい金属、合金、電気伝導性化合物、及びこれらの混合物が挙げられる。また第1の電極6004側からのみ光を取り出すため、光を反射もしくは光を遮蔽する材料で形成する。具体的には、Li、Cs、Mg、Ca、Sr等の金属、これらを含む合金(Mg:Ag、Al:Li、Mg:Inなど)、これらの化合物(フッ化カルシウム、窒化カルシウム)、又はYbやEr等の希土類金属を用いることができる。

【0197】

電界発光層6005は、単数又は複数の層で構成されている。複数の層で構成されている場合、これらの層は、キャリア輸送特性の観点から正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層などに分類することができる。第1の電極6004が陽極のため、順に正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層の順に積層する。なお各層の境目は必ずしも明確である必要はなく、互いの層を構成している材料が一部混合し、界面が不明瞭になっている場合もある。各層には、有機系の材料、無機系の材料を用いることが可能である。有機系の材料として、高分子系、中分子系、低分子系のいずれの材料も用いることが可能である。なお中分子系の材料とは、構造単位の繰返しの数(重合度)が2から20程度の低重合体に相当する。正孔注入層と正孔輸送層との区別は必ずしも厳密なものではなく、これらは正孔輸送性(正孔移動度)が特に重要な特性である意味において同じである。正孔注入層は陽極に接する側の層であり、正孔注入層に接する層を正孔輸送層と呼んで区別することができる。電子輸送層、電子注入層についても同様であり、陰極に接する層を電子注入層と呼び、電子注入層に接する層を電子輸送層と呼び区別することができる。発光層が電子輸送層を兼ねる場合もある。

【0198】

このような図10(A)に示した画素は、EL素子6003から発せられる光を、白抜き矢印で示すように、第1の電極6004側から取り出すことができる。

【0199】

次に図10(B)に、TFT6011がPチャネル型で、EL素子6013から発せられる光を第2の電極6016側から取り出す場合の、画素回路の断面図を示す。図10(B)では、EL素子6013の第1の電極6014と、TFT6011が電気的に接続されており、TFT6011がPチャネル型であるため、第1の電極6014が陽極となり、第1の電極6014上に電界発光層6015、第2の電極6016が順に積層されている。

【0200】

第1の電極6014は、陽極として適する材料で形成し、第2の電極6016からのみ光を取り出すため、光を反射もしくは光を遮蔽する材料で形成する。例えば、TiN、ZrN、Ti、W、Ni、Pt、Cr、Ag、Al等の1つ又は複数からなる単層膜の他、窒化チタンとアルミニウムを主成分とする膜との積層、窒化チタン膜とアルミニウムを主成分とする膜と窒化チタン膜との三層構造等を第1の電極6014に用いることができる。

【0201】

また第2の電極6016は、陰極として適する材料で形成し、第2の電極6016から光を取り出すため、光を透過する材料又は光を透過する程度の膜厚で形成する。具体的には、Li、Cs、Mg、Ca、Sr等の金属、これらを含む合金(Mg:Ag、Al:Li、Mg:Inなど)、これらの化合物(フッ化カルシウム、窒化カルシウム)、又はYbやEr等の希土類金属を用い、光を透過する程度の膜厚(好ましくは、5nm~30nm程度)とする。なお、酸化インジウムスズ(ITO)、酸化亜鉛(ZnO)、酸化インジウム亜鉛(IZO)、又はガリウムを添加した酸化亜鉛(GZO)等の透光性導電材料を用いることも可能である。また、酸化珪素を含む酸化インジウムスズ(ITSO)、ITOに酸化亜鉛(ZnO)を混合したもの、ITSOに酸化亜鉛(ZnO)を混合したものを用いてもよい。このような透光性導電材料を用いる場合、電界発光層6015に電子注入層を設けることが望ましい。

【0202】

電界発光層 6 0 1 5 は、図 1 0 (A) の電界発光層 6 0 0 5 と同様に形成することができる。

【 0 2 0 3 】

このような図 1 0 (B) に示した画素の場合、E L 素子 6 0 1 3 から発せられる光を、白抜きの矢印で示すように第 2 の電極 6 0 1 6 側から取り出すことができる。

【 0 2 0 4 】

次に図 1 0 (C) に、T F T 6 0 2 1 が P チャネル型で、E L 素子 6 0 2 3 から発せられる光を第 1 の電極 6 0 2 4 側及び第 2 の電極 6 0 2 6 側から取り出す場合の、画素回路の断面図を示す。図 1 0 (C) では、E L 素子 6 0 2 3 の第 1 の電極 6 0 2 4 と、T F T 6 0 2 1 が電氣的に接続されており、T F T 6 0 2 1 が P チャネル型であるため、第 1 の電極 6 0 2 4 が陽極となり、第 1 の電極 6 0 2 4 上に電界発光層 6 0 2 5、第 2 の電極 6 0 2 6 が順に積層されている。

10

【 0 2 0 5 】

また第 1 の電極 6 0 2 4 から光を取り出すため、第 1 の電極 6 0 2 4 は図 1 0 (A) の第 1 の電極 6 0 0 4 と同様に形成することができる。また第 2 の電極 6 0 2 6 から光を取り出すため、第 2 の電極 6 0 2 6 は図 1 0 (B) の第 2 の電極 6 0 1 6 と同様に形成することができる。電界発光層 6 0 2 5 は、図 1 0 (A) の電界発光層 6 0 0 5 と同様に形成することができる。

【 0 2 0 6 】

このような図 1 0 (C) に示した画素の場合、E L 素子 6 0 2 3 から発せられる光を、白抜きの矢印で示すように第 1 の電極 6 0 2 4 側及び第 2 の電極 6 0 2 6 側から取り出すことができる。

20

【 0 2 0 7 】

本実施の形態では、第 1 の電極が陽極、第 2 の電極が陰極の場合について説明したが、第 1 の電極が陰極、第 2 の電極が陽極であってもよい。第 1 の電極が陰極、第 2 の電極が陽極のとき、駆動トランジスタは N チャネル型薄膜トランジスタであると好ましい。

【 0 2 0 8 】

本実施の形態は、上記の実施の形態と自由に組み合わせることができる。

【 0 2 0 9 】

(実施の形態 7)

30

本発明の表示装置を用いた電子機器として、テレビジョン装置 (テレビ、テレビジョン受信機)、デジタルカメラなどのカメラ、デジタルビデオカメラ、携帯電話装置 (携帯電話機)、P D A 等の携帯情報端末、携帯型ゲーム機、モニター、コンピュータ、カーオーディオ等の音響再生装置、家庭用ゲーム機等の記録媒体を備えた画像再生装置等が挙げられる。その具体例について、図 1 1 を参照して説明する。

【 0 2 1 0 】

図 1 1 (A) に示す本発明の表示装置を用いた携帯情報端末は、本体 9 2 0 1、表示部 9 2 0 2 等を含む。本発明により、開口率の大きな携帯情報端末を提供することができる。

【 0 2 1 1 】

図 1 1 (B) に示す本発明の表示装置を用いたデジタルビデオカメラ 9 7 0 1 は、表示部 9 7 0 2 等を含む。本発明により、開口率の大きなデジタルビデオカメラを提供することができる。

40

【 0 2 1 2 】

図 1 1 (C) に示す本発明の表示装置を用いた携帯電話は、本体 9 1 0 1、表示部 9 1 0 2 等を含む。本発明により、開口率の大きな携帯電話を提供することができる。

【 0 2 1 3 】

図 1 1 (D) に示す本発明の表示装置を用いた携帯型のテレビジョン装置は、本体 9 3 0 1、表示部 9 3 0 2 等を含む。本発明により、開口率の大きな携帯型のテレビジョン装置を提供することができる。

【 0 2 1 4 】

50

図 1 1 (E) に示す本発明の表示装置を用いた携帯型のコンピュータは、本体 9 4 0 1、表示部 9 4 0 2 等を含む。本発明により、開口率の大きな携帯型のコンピュータを提供することができる。

【 0 2 1 5 】

図 1 1 (F) に示す本発明の表示装置を用いたテレビジョン装置は、本体 9 5 0 1、表示部 9 5 0 2 等を含む。本発明により、開口率の大きな携テレビジョン装置を提供することができる。

【 0 2 1 6 】

以上のように、本発明の表示装置は、あらゆる電子機器に適用することができる。

【図面の簡単な説明】

10

【 0 2 1 7 】

【図 1】本発明の表示装置の画素回路を説明する図。

【図 2】本発明の表示装置の画素回路の駆動方法を説明する図。

【図 3】本発明の表示装置の構成を説明する図。

【図 4】本発明の表示装置の電極の形状を説明する図。

【図 5】本発明の表示装置の画素回路の駆動方法を説明する図。

【図 6】本発明の表示装置の画素回路の駆動方法を説明する図。

【図 7】本発明の表示装置の画素回路を説明する図。

【図 8】表示装置の画素回路を説明する図。

【図 9】表示装置の画素回路を説明する図。

20

【図 1 0】本発明の表示装置の作製工程を説明する図。

【図 1 1】本発明の電子機器を説明する図。

【図 1 2】本発明の画素を説明する図

【図 1 3】本発明の画素を説明する図

【図 1 4】本発明の画素を説明する図

【図 1 5】本発明の E L 素子の構造を説明する図

【図 1 6】本発明の表示装置を製造するための蒸着装置を説明する図

【図 1 7】本発明の蒸着装置の成膜処理室を説明する図

【図 1 8】本発明の画素を説明する図

【符号の説明】

30

【 0 2 1 8 】

A N O D E 第 1 の電源線

C A T H O D E 第 2 の電源線

D A T A データ線

X 1 ~ X n データ線

Y 1 ~ Y m 走査線

T r 1 第 1 のトランジスタ

T r 2 第 2 のトランジスタ

T r 3 第 3 のトランジスタ

T r 4 第 4 のトランジスタ

T r 5 第 5 のトランジスタ

40

I d a t a データ電流

1 0 E L 素子

2 0 E L 素子

2 0 1 1 フレーム期間

2 0 2 初期化期間

2 0 3 閾値書込期間

2 0 4 アドレス期間

2 0 5 発光期間

2 0 5 A 発光期間 (前フレーム)

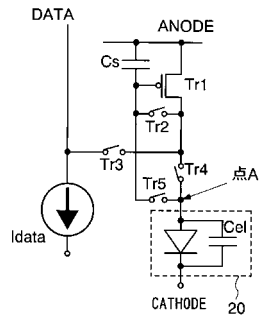
50

2 0 6	書込開始前期間	
2 0 7	データ書込期間	
2 0 8	C s 書き換え期間	
2 0 9	書込終了後期間	
3 0 1	画素部	
3 0 2	データ線駆動回路	
3 0 3	走査線駆動回路	
3 0 4	画素回路	
4 0 1	基板	
4 0 2	コンタクト領域	10
5 0 1	1 走査線書込期間	
6 0 0 1	T F T	
6 0 0 3	E L 素子	
6 0 0 4	電極	
6 0 0 5	電界発光層	
6 0 0 6	電極	
6 0 0 7	層間絶縁膜	
6 0 0 8	隔壁	
6 0 1 1	T F T	
6 0 1 3	E L 素子	20
6 0 1 4	電極	
6 0 1 5	電界発光層	
6 0 1 6	電極	
6 0 2 1	T F T	
6 0 2 3	E L 素子	
6 0 2 4	電極	
6 0 2 5	電界発光層	
6 0 2 6	電極	
9 1 0 1	携帯電話本体	
9 1 0 2	表示部	30
9 2 0 1	携帯情報端末本体	
9 2 0 2	表示部	
9 3 0 1	携帯型テレビジョン装置本体	
9 3 0 2	表示部	
9 4 0 1	携帯型コンピュータ本体	
9 4 0 2	表示部	
9 5 0 1	テレビジョン装置本体	
9 5 0 2	表示部	
9 7 0 1	デジタルビデオカメラ本体	
9 7 0 2	表示部	40
1 2 0 5	第 1 の T F T	
1 2 0 6	第 1 の配線	
1 2 0 7	第 2 の配線	
1 2 0 8	第 2 の T F T	
1 2 1 1	第 3 の配線	
1 2 1 2	対向電極	
1 2 1 3	容量素子	
1 2 1 5	画素電極	
1 2 1 6	隔壁	
1 2 1 7	有機導電体膜	50

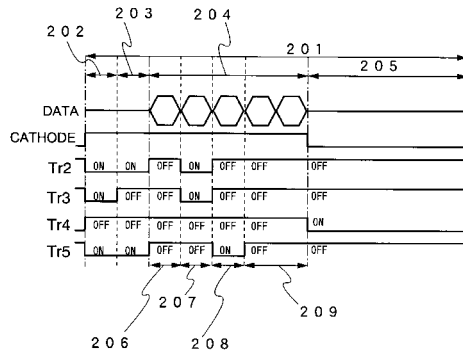
1 2 1 8	有機薄膜	
1 2 1 9	基板	
1 3 0 0	基板	
1 3 0 1	第 1 の配線	
1 3 0 2	第 2 の配線	
1 3 0 3	第 3 の配線	
1 3 0 4	第 4 の配線	
1 3 0 5	第 1 の T F T	
1 3 0 6	第 2 の T F T	
1 3 0 7	第 3 の T F T	10
1 3 0 8	画素電極	
1 3 1 1	隔壁	
1 3 1 2	有機導電体膜	
1 3 1 3	有機薄膜 (発光層)	
1 3 1 4	対向電極	
1 4 0 0	基板	
1 4 0 1	第 1 の配線	
1 4 0 2	第 2 の配線	
1 4 0 3	第 3 の配線	
1 4 0 4	第 4 の配線	20
1 4 0 5	第 1 の T F T	
1 4 0 6	第 2 の T F T	
1 4 0 7	第 3 の T F T	
1 4 0 8	第 4 の T F T	
1 4 0 9	画素電極	
1 4 1 1	第 5 の配線	
1 4 1 2	第 6 の配線	
1 4 2 1	隔壁	
1 4 2 2	有機導電体膜	
1 4 2 3	有機薄膜 (発光層)	30
1 4 2 4	対向電極	
1 5 0 1	陽極	
1 5 0 2	陰極	
1 5 0 3	正孔輸送領域	
1 5 0 4	電子輸送領域	
1 5 0 5	混合領域	
1 5 0 6	発光材料が添加された領域	
1 5 0 7	正孔ブロッキング材料が添加された領域	
1 5 0 8	電子ブロッキング材料が添加された領域	
1 5 0 9	金属材料を添加した領域	40
1 6 6 0	搬送室	
1 6 6 1	搬送室	
1 6 6 2	ロード室	
1 6 6 3	アンロード室	
1 6 6 4	中間室	
1 6 6 5	封止処理室	
1 6 6 6	搬送手段	
1 6 6 7	搬送手段	
1 6 6 8	加熱処理室	
1 6 6 9	成膜処理室	50

1 6 7 0	成膜処理室	
1 6 7 1	成膜処理室	
1 6 7 2	成膜処理室	
1 6 7 3	成膜処理室	
1 6 7 4	成膜処理室	
1 6 7 5	成膜処理室	
1 6 7 6	成膜処理室	
1 6 7 7 a ~ 1 6 7 7 m	ゲートバルブ	
1 7 8 0	蒸発源ホルダ	
1 7 8 1 a ~ 1 7 8 1 c	蒸発源	10
1 7 8 2	距離センサー	
1 7 8 3	多関節アーム	
1 7 8 4	材料供給管	
1 7 8 5 a ~ 1 7 8 5 c	材料供給源	
1 7 8 6	基板ステージ	
1 7 8 7	基板チャック	
1 7 8 8	マスクチャック	
1 7 8 9	基板	
1 7 9 0	シャドーマスク	
1 7 9 1	天板	20
1 7 9 2	低板	
1 8 0 1	第 1 の T F T	
1 8 0 2	第 2 の T F T	
1 8 0 3	第 3 の T F T	
1 8 0 4	第 4 の T F T	
1 8 0 5	第 5 の T F T	
1 8 0 6	第 1 の 配線	
1 8 0 7	第 2 の 配線	
1 8 0 8	第 3 の 配線	
1 8 0 9	第 4 の 配線	30
1 8 1 0	第 5 の 配線	
1 8 1 1	第 6 の 配線	
1 8 1 3	コンデンサ	
1 8 1 4	画素電極	
1 8 1 5	隔壁開口部	

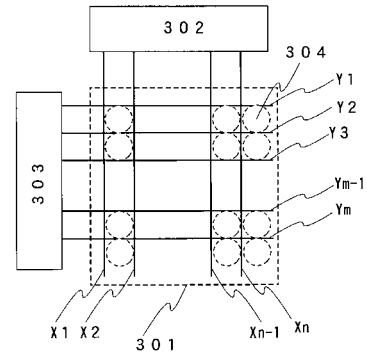
【図 1】



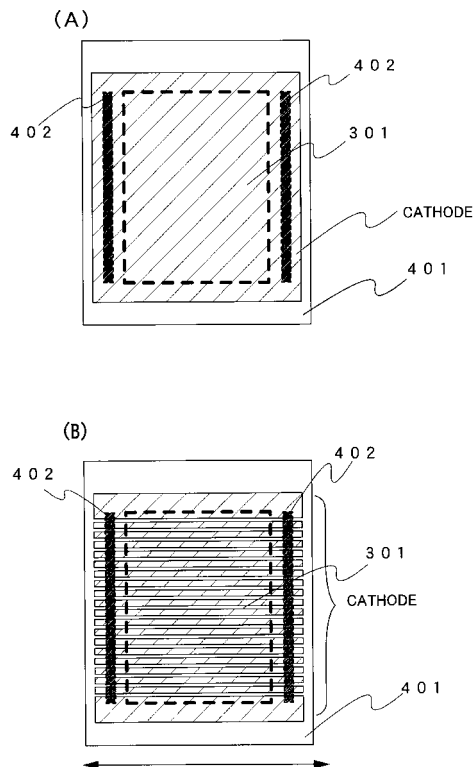
【図 2】



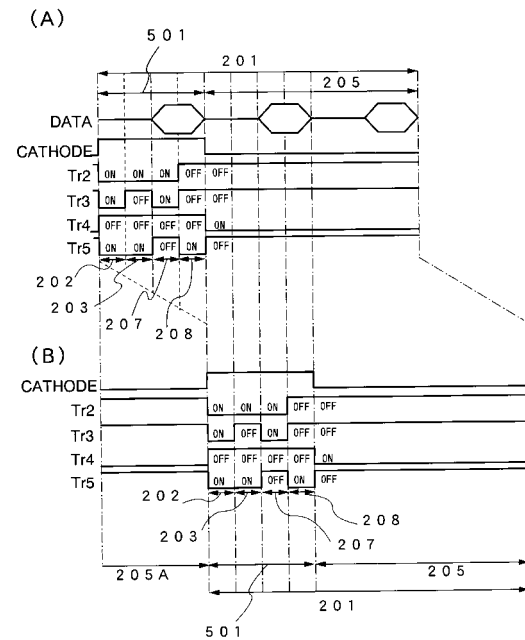
【図 3】



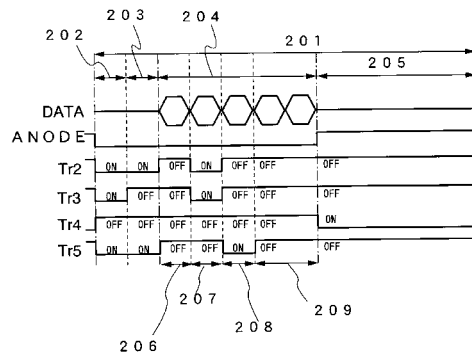
【図 4】



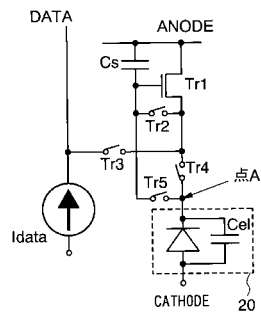
【図 5】



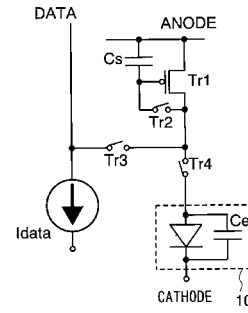
【図 6】



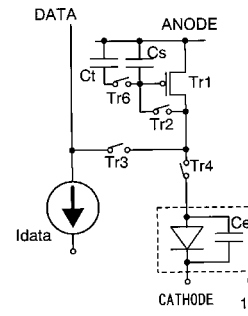
【図 7】



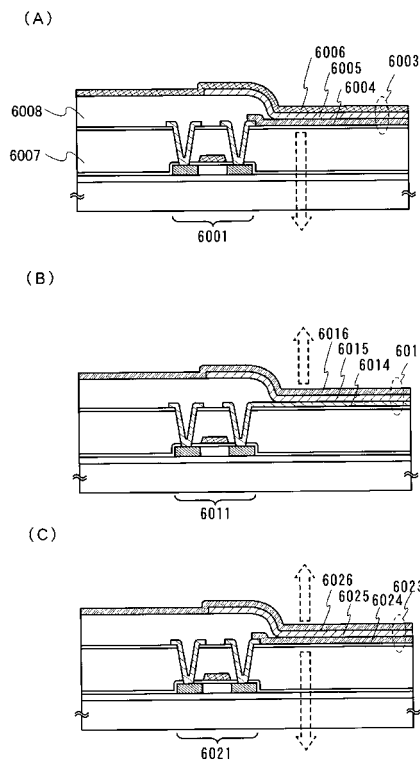
【図 8】



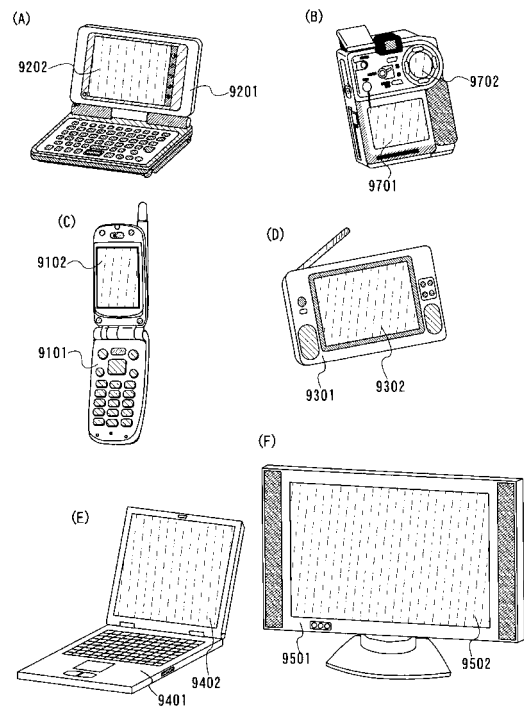
【図 9】



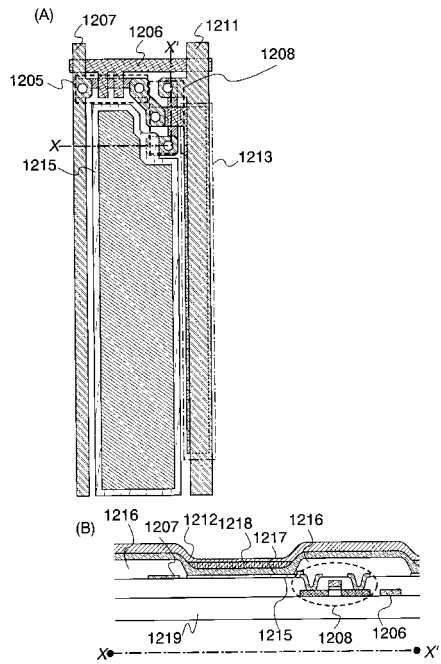
【図 10】



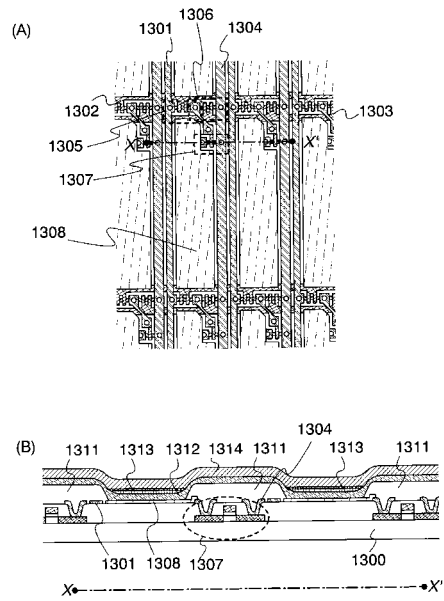
【図 11】



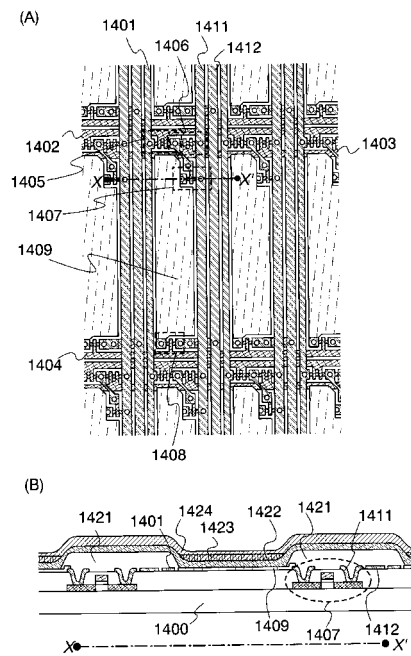
【図 12】



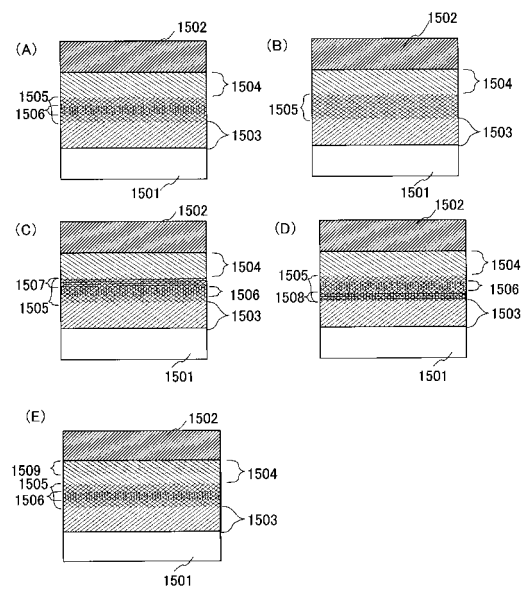
【図 13】



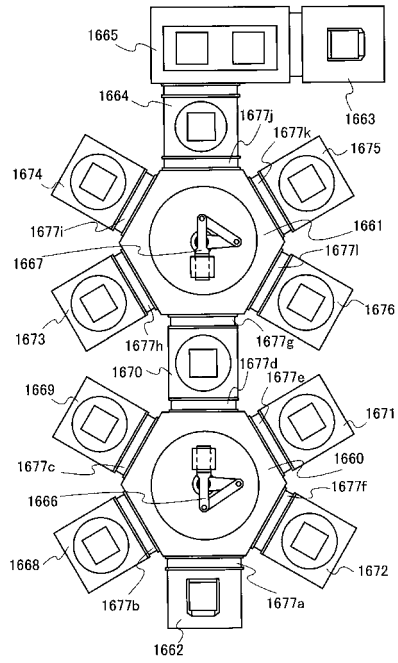
【図 14】



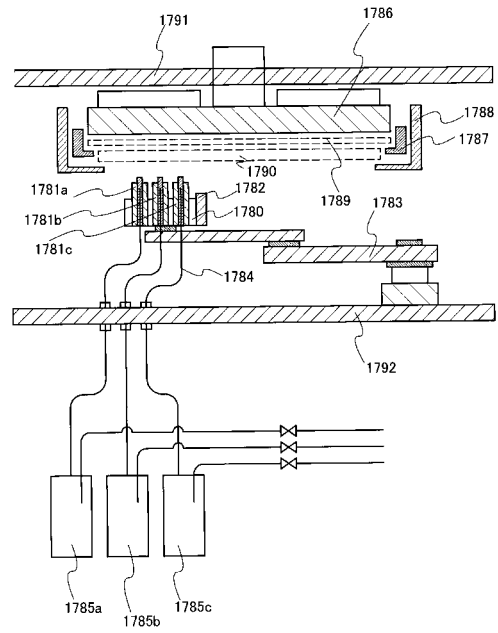
【図 15】



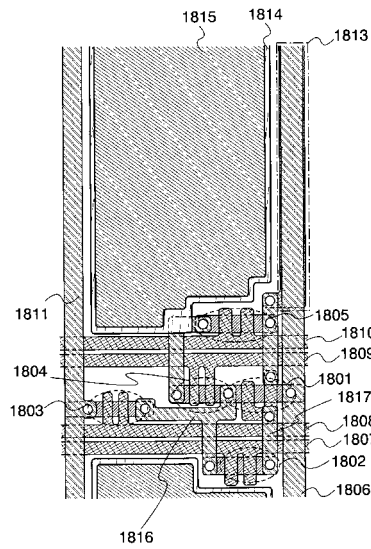
【図 16】



【図 17】



【図 18】



フロントページの続き

(56)参考文献 特開 2004 - 310006 (JP, A)

特開 2004 - 078210 (JP, A)

特開 2003 - 177709 (JP, A)

特開 2004 - 280059 (JP, A)

S.Ono, Y.Kobayashi, K.Miwa, T.Tsujimura, Pixel Circuit for a-Si AM-OLED, IDW'03 Proceedings of The 10th International Display Workshops, The Society for Information Display, 2003年12月 3日, p. 255 - 258

(58)調査した分野(Int.Cl., DB名)

G09G 3/30

G09G 3/20

专利名称(译)	表示装置		
公开(公告)号	JP5041772B2	公开(公告)日	2012-10-03
申请号	JP2006249113	申请日	2006-09-14
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	吉田泰則		
发明人	吉田 泰則		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.641.D G09G3/20.642.D H05B33/14.A G09G3/20.670.K G09G3/3225 G09G3/3266 G09G3/3275 G09G3/3283		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC36 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD03 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C380/AA01 5C380/AB06 5C380/AB22 5C380/AB23 5C380/AB34 5C380/AB46 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/AC13 5C380/BA01 5C380/BA10 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB22 5C380/BB23 5C380/BD08 5C380/CA08 5C380/CA13 5C380/CB01 5C380/CB02 5C380/CC12 5C380/CC18 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC41 5C380/CC64 5C380/CC65 5C380/CC71 5C380/CD024 5C380/CD025 5C380/DA06 5C380/DA35 5C380/DA47 5C380/GA05		
审查员(译)	福村 拓		
优先权	2005269013 2005-09-15 JP		
其他公开文献	JP2007108730A5 JP2007108730A		
外部链接	Espacenet		

摘要(译)

要解决的问题：解决编程时间的不足，这是包括EL元件的显示装置的问题，并且提供包括具有高孔径比的像素电路的显示装置及其驱动方法。
 ŽSOLUTION：在包括驱动晶体管，电容器，可用作电容器的显示元件，第一电源线和第二电源线的电路中，第一电源线和第二电源线的电位为由此，驱动晶体管的阈值电压保持在显示元件中，之后，电荷被分配到显示元件和电容器。 Ž

$$I_{oled} = \left(\frac{C_s}{(C_t + C_s)} \right)^2 \times I_{data} \dots \dots \dots 1$$