

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4484451号
(P4484451)

(45) 発行日 平成22年6月16日 (2010. 6. 16)

(24) 登録日 平成22年4月2日 (2010. 4. 2)

(51) Int. Cl.

F I

G 0 9 G 3 / 3 0 (2006. 01)

G 0 9 F 9 / 3 0 (2006. 01)

H 0 1 L 2 7 / 3 2 (2006. 01)

G 0 9 G 3 / 2 0 (2006. 01)

H 0 1 L 5 1 / 5 0 (2006. 01)

G 0 9 G 3 / 3 0 J

G 0 9 G 3 / 3 0 K

G 0 9 F 9 / 3 0 3 3 8

G 0 9 F 9 / 3 0 3 6 5 Z

G 0 9 G 3 / 2 0 6 1 1 H

請求項の数 6 (全 22 頁) 最終頁に続く

(21) 出願番号 特願2003-139478 (P2003-139478)
 (22) 出願日 平成15年5月16日 (2003. 5. 16)
 (65) 公開番号 特開2004-341359 (P2004-341359A)
 (43) 公開日 平成16年12月2日 (2004. 12. 2)
 審査請求日 平成17年11月4日 (2005. 11. 4)

(73) 特許権者 599142729
 奇美電子股▲ふん▼有限公司
 Chi Mei Optoelectronics Corporation
 台湾台南県台南科学工業園区新市郷奇美路
 1号
 NO. 1, Chi-Yeh Road, T
 ainan Science-Base
 d Industrial Park, T
 ainan Country, Taiwa
 n, R. O. C.

(73) 特許権者 000006633
 京セラ株式会社
 京都府京都市伏見区竹田鳥羽殿町6番地

最終頁に続く

(54) 【発明の名称】 画像表示装置

(57) 【特許請求の範囲】

【請求項 1】

流れる電流に対応した輝度で発光する有機 E L 素子と、前記有機 E L 素子に流れる電流を制御するドライバー素子と、発光輝度に基づいて規定される電圧を供給するデータ線と、前記データ線から供給される電圧の書き込みを制御する第 1 のスイッチング手段と、第 1 の電極が前記ドライバー素子のゲート電極と電氣的に接続し前記ドライバー素子のゲート電圧を保持する第 1 のコンデンサと、を有する表示画素がマトリックス状に配置された画像表示装置において、

前記データ線と別に設けられ、前記第 1 のコンデンサの第 2 の電極に所定の基準電圧を供給する供給源と、前記供給源と前記第 1 のコンデンサの第 2 の電極との電氣的な導通を制御する第 2 のスイッチング手段と、を有する基準電圧書き込み手段と、

前記有機 E L 素子に、順方向又は逆方向に電位差を与える電源線と、

前記ドライバー素子のゲート電極とドレイン電極との間の電氣的な導通を制御する第 3 のスイッチング手段を有し、該第 3 のスイッチング手段がオン状態のときに、前記ドライバー素子のドレイン電極に、前記有機 E L 素子に蓄積された電荷であって、前記有機 E L 素子が逆方向に電位差を与えられて蓄積された電荷を供給することによって、前記ドライバー素子の閾値電圧を検出する閾値電圧検出手段と、

を備えたことを特徴とする画像表示装置。

【請求項 2】

前記閾値電圧検出手段は、前記第 1 のコンデンサの第 2 の電極に前記基準電圧が供給さ

10

20

れる間に、前記第3のスイッチング手段をオン状態とし、前記有機EL素子に蓄積された電荷に起因して発生したゲート・ソース間電圧に基づいて前記ドライバー素子をオン状態とした後、前記ドライバー素子のドレイン・ソース間に流れる電流に起因した前記有機EL素子の電荷の減少によってゲート・ソース間電圧が前記ドライバー素子の閾値電圧まで低下して前記ドライバー素子がオフ状態になることによって、前記ドライバー素子の閾値電圧を検出することを特徴とする請求項1に記載の画像表示装置。

【請求項3】

前記データ線は、前記閾値電圧検出手段による閾値電圧検出後に、発光輝度に基づいて決定される電圧を前記第1のコンデンサに対して供給することを特徴とする請求項1または2に記載の画像表示装置。

10

【請求項4】

前記第1のコンデンサの第1の電極と前記ドライバー素子のゲート電極とに電氣的に接続する電極を有する第2のコンデンサを備えたことを特徴とする請求項1～3のいずれか一つに記載の画像表示装置。

【請求項5】

前記供給源は、前記有機EL素子の電流供給源および前記有機EL素子の電荷供給源としての機能を併有することを特徴とする請求項1～4のいずれか一つに記載の画像表示装置。

【請求項6】

前記第2のスイッチング手段と前記第3のスイッチング手段との駆動状態を制御する第1の走査線をさらに備えたことを特徴とする請求項1～5のいずれか一つに記載の画像表示装置。

20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、電流発光素子の輝度を制御したアクティブマトリックス型の表示装置に関し、特に、リフレッシュレートの低下を抑制し、高品位の画像表示を行う画像表示装置に関するものである。

【0002】

【従来の技術】

30

自ら発光する有機エレクトロルミネッセンス(EL)素子を用いた有機EL表示装置は、液晶表示装置で必要なバックライトが不要で装置の薄型化に最適であるとともに、視野角にも制限がないため、次世代の画像表示装置として実用化が期待されている。また、有機EL表示装置に用いられる有機EL素子は、各発光素子の輝度が流れる電流値により制御される点で、液晶セルが電圧により制御される液晶表示装置等とは異なる。

【0003】

有機EL表示装置においては、駆動方式として単純(パッシブ)マトリックス型とアクティブマトリックス型とを採ることができる。前者は構造が単純であるものの大型かつ高精細のディスプレイの実現が困難であるとの問題がある。このため、近年、画素内部の発光素子に流れる電流を、画素内に設けた薄膜トランジスタ(Thin Film Transistor: TFT)などの駆動素子を有するドライバー素子によって制御する、アクティブマトリックス型の画像表示装置の開発が盛んに行われている。

40

【0004】

このドライバー素子は有機EL素子に直接接続されており、画像表示を行う際にオン状態となり電流を流すことによって有機EL素子に電流を供給し有機EL素子を発光させる。このため、画像表示装置を長期に渡って使用しドライバー素子に備わるTFTの閾値電圧が変動した場合には、画素内部に供給される電圧が同一であってもドライバー素子に流れる電流は変動し有機EL素子に流れる電流も変動する。したがって、有機EL素子の発光輝度が不均一となり表示画像の品位が低下することとなり、妥当ではない。

【0005】

50

このため、ドライバー素子の閾値電圧の変動を補償する補償回路を備えた画像表示装置が必要とされる。図 16 は、従来の補償回路を備えた画像表示装置における画素回路を示す図である。図 16 に示すように、従来の画像表示装置は、発光輝度に応じたデータ電圧と 0 電圧とを供給するデータ線 310 と、セレクト線 320 と、リセット線 330 と、マージ線 340 と、電源線 V_{DD} とを備える。さらに、TFT360 と、TFT365 と、TFT370 と、TFT375 と、コンデンサ 350 と、コンデンサ 355 と、有機 EL 素子 380 とを備える。TFT365 はドライバー素子として機能し、TFT365 のゲート電極には、コンデンサ 350 とコンデンサ 355 が接続されている。コンデンサ 350 とコンデンサ 355 に保持されるデータ電圧のうち所定の電圧がドライバー素子である TFT365 のゲート・ソース間電圧となり、このゲート・ソース間電圧に対応する電流が TFT365 に流れる。

10

【0006】

つぎに、有機 EL 素子 380 が発光するまでの画素回路の動作方法を説明する。図 17 は、従来技術における画素回路の動作方法の工程を示す図である。図 17 に示すように従来技術における画素回路では、0 電圧印加工程と閾値電圧検出工程とを経て、データ電圧を書き込んだ後に発光工程において有機 EL 素子 380 が発光する。なお、図 17 において、実線部は電流が流れる部分を示し、破線部は電流が流れていない部分を示す。

【0007】

図 17 (a) は、0 電圧印加工程を示す図である。データ線 310 に印加される電圧はデータ電圧から 0 電圧に変更される。データ線 310 への印加電圧を制御するデータドライバーがデータ線 310 の印加電圧を変更した際、データドライバーから離れた画素回路ではデータ線 310 の印加電圧が安定するまでにある程度の時間を要するため、本工程が必要となる。データ線 310 の印加電圧が 0 電圧に安定した後、セレクト線 320 を低レベルとし TFT360 をオン状態とすることによってコンデンサ 350 に 0 電圧を供給する。

20

【0008】

そして、ドライバー素子である TFT365 の閾値電圧を検出する工程に進む。図 17 (b) は、閾値電圧検出工程を示す図である。図 17 (b) に示すように、リセット線 330 を低レベルとし TFT370 をオン状態とすることによって、TFT365 のゲート・ドレイン間が導通する。また、TFT360 はオン状態となり、0 電圧が印加されるデータ線 310 からコンデンサ 350 に 0 電圧が供給される。そして、マージ線 340 が低レベルとなることでトラジスタ 375 がオン状態となり、TFT365 に電流が流れる。TFT365 のゲート・ドレイン間電圧が閾値電圧になると TFT365 はオフ状態となり、閾値電圧の検出が終了する。閾値電圧検出工程の期間、データ線 310 には 0 電圧が印加されることとなる。

30

【0009】

そして、図 17 (c) に示すデータ書き込み工程に進む。この場合、データ線 310 に印加される電圧はデータ電圧に変更される。データ線 310 の印加電圧がデータ電圧に安定した後、セレクト線 320 が低レベルとなり TFT360 がオン状態になることによって、データ線 310 からコンデンサ 350 にデータ電圧が供給される。その後、TFT360 がオフ状態となりデータ書き込み工程は終了し、図 17 (d) に示す発光工程に進む。図 17 (d) に示すように、マージ線 340 を低レベルとし TFT375 をオン状態とすることによって、TFT365 にゲート・ソース間電圧に対応する電流が流れ、有機 EL 素子 380 が発光する。ここで、TFT365 のゲート・ソース間電圧は閾値電圧検出工程において検出された閾値電圧を含むため、TFT365 に閾値電圧の変動が発生した場合であっても、TFT365 の劣化に関わらず所望の電流を有機 EL 素子 380 に流すことが可能となる（特許文献 1 参照）。

40

【0010】

【特許文献 1】

米国特許 6,229,506 号明細書（第 3 図）

50

【 0 0 1 1 】

【発明が解決しようとする課題】

しかしながら、図 1 6 に示す画素回路は、1 画面を表示するために必要な時間が長くなり、1 秒間に画面を表示する回数であるリフレッシュレートが低下するという問題が生じる。リフレッシュレートの低下は、データ線 3 1 0 がデータ電圧と 0 電圧とを供給することに起因する。

【 0 0 1 2 】

閾値電圧を安定に検出するためにはコンデンサ 3 5 0 に 0 電圧が供給されている状態であることを要する。上述したように、データドライバーによってデータ線 3 1 0 の印加電圧がデータ電圧から 0 電圧に変化された後に、データ線 3 1 0 からコンデンサ 3 5 0 に 0 電圧が供給される。しかし、データ線 3 1 0 の印加電圧がデータ電圧から 0 電圧に安定するには、ある程度の時間が必要となる。このため、従来では 0 電圧印加工程を必要としていた。また、ゲート線 3 1 0 の印加電圧が 0 電圧からデータ電圧に安定するまでにも、ある程度の時間を必要とするため、データ書き込み工程の開始にも時間がかかっていた。

【 0 0 1 3 】

また、データドライバーから離れた画素回路では、データドライバーに近い画素回路と比較し、データ線 3 1 0 に印加される電圧が変更された場合、かかる電圧が安定するまでにさらに時間が必要である。また、データ線 3 1 0 に信号遅延が発生した場合には、データ線 3 1 0 からの電圧の供給にさらに時間がかかることとなる。

【 0 0 1 4 】

従来技術にかかる画像表示装置では、閾値電圧検出工程とデータ書き込み工程とを開始するためにはデータ線 3 1 0 の印加電圧が安定する期間を考慮する必要があった。このため、データ書き込み工程が終了するまでに長時間を必要とし発光時間を確保することができず、リフレッシュレートを低下せざるを得ない。特に、高精細の画像表示装置ではデータ書き込み工程が終了するまでの時間を短縮することが必要であるため、従来技術にかかる画像表示装置では高精細化が困難であった。一方、リフレッシュレートの最適値を保持するためには、閾値電圧検出工程を短縮せざるを得ず、ドライバー素子の閾値電圧の変動を十分に補償できず、画質表示の均一性を保持することが困難であった。

【 0 0 1 5 】

この発明は、上記従来技術の問題点に鑑みてなされたものであって、リフレッシュレートを低下させることなく、高品位の画質表示を行う画像表示装置を得ることを目的とするものである。

【 0 0 1 6 】

【発明が解決しようとする手段】

上述した課題を解決し、目的を達成するために、請求項 1 にかかる画像表示装置は、流れる電流に対応した輝度で発光する有機 E L 素子と、前記有機 E L 素子に流れる電流を制御するドライバー素子と、発光輝度に基づいて規定される電圧を供給するデータ線と、前記データ線から供給される電圧の書き込みを制御する第 1 のスイッチング手段と、第 1 の電極が前記ドライバー素子のゲート電極と電氣的に接続し前記ドライバー素子のゲート電圧を保持する第 1 のコンデンサと、を有する表示画素がマトリックス状に配置された画像表示装置において、前記データ線と別に設けられ、前記第 1 のコンデンサの第 2 の電極に所定の基準電圧を供給する供給源と、前記供給源と前記第 1 のコンデンサの第 2 の電極との電氣的な導通を制御する第 2 のスイッチング手段と、を有する基準電圧書き込み手段と、前記有機 E L 素子に、順方向又は逆方向に電位差を与える電源線と、前記ドライバー素子のゲート電極とドレイン電極との間の電氣的な導通を制御する第 3 のスイッチング手段を有し、該第 3 のスイッチング手段がオン状態のときに、前記ドライバー素子のドレイン電極に、前記有機 E L 素子に蓄積された電荷であって、前記有機 E L 素子が逆方向に電位差を与えられて蓄積された電荷を供給することによって、前記ドライバー素子の閾値電圧を検出する閾値電圧検出手段と、を備えたことを特徴とする。

【 0 0 1 7 】

請求項 1 にかかる画像表示装置によれば、データ線と別個に基準電圧の供給源を備えるため、データ線の印加電圧を変更することを要しない。このため、データ線に印加される電圧が安定する時間を考慮する必要がなく、データ書き込み工程が終了するまでの時間を短縮化することができ、リフレッシュレートの低下を抑制することが可能となる。さらに、ドライバー素子の閾値電圧の変動も補償することができるため、発光輝度が均一である高品位の画像表示装置を提供することができる。

【 0 0 1 8 】

請求項 2 にかかる画像表示装置は、上記の発明において、前記第 1 のコンデンサの第 2 の電極に前記基準電圧が供給される間に、前記第 3 のスイッチング手段をオン状態とし、前記有機 E L 素子に蓄積された電荷に起因して発生したゲート・ソース間電圧に基づいて前記ドライバー素子をオン状態とした後、前記ドライバー素子のドレイン・ソース間に流れる電流に起因した前記有機 E L 素子の電荷の減少によってゲート・ソース間電圧が閾値電圧まで低下して前記ドライバー素子がオフ状態になることによって、前記ドライバー素子の閾値電圧を検出することを特徴とする。

10

【 0 0 1 9 】

請求項 3 にかかる画像表示装置は、上記の発明において、前記データ線は、前記閾値電圧検出手段による閾値電圧検出後に、発光輝度に基づいて決定される電圧を前記第 1 のコンデンサに対して供給することを特徴とする。

【 0 0 2 0 】

請求項 4 にかかる画像表示装置は、上記の発明において、前記第 1 のコンデンサの第 1 の電極と前記ドライバー素子のゲート電極とに電氣的に接続する電極を有する第 2 のコンデンサを備えたことを特徴とする。

20

【 0 0 2 1 】

請求項 5 にかかる画像表示装置は、上記の発明において、前記供給源は、前記有機 E L 素子の電流供給源および前記有機 E L 素子の電荷供給源としての機能を併有することを特徴とする。

【 0 0 2 3 】

請求項 6 にかかる画像表示装置は、上記の発明において、前記第 2 のスイッチング手段と前記第 3 のスイッチング手段との駆動状態を制御する第 1 の走査線をさらに備えたことを特徴とする。

30

【 0 0 3 2 】

【発明の実施の形態】

以下、本発明にかかる画像表示装置の実施の形態を図面に基づいて詳細に説明する。なお、この実施の形態によりこの発明が限定されるものではない。

【 0 0 3 3 】

(実施の形態 1)

まず、この発明の実施の形態 1 について説明する。本実施の形態 1 は、前処理工程と、データ線と第 1 のスイッチング手段とは別個に設けた基準電圧書き込み手段によって基準電圧を書き込み、ドライバー素子の閾値電圧を検出する閾値電圧検出工程と、データ電圧を書き込むデータ書き込み工程と、データ電圧に対応する電流を電流発光素子に供給して発光させる発光工程と、を繰り返すことによって画像表示を行う。

40

【 0 0 3 4 】

図 1 は、実施の形態 1 における画素回路の構造を示した図である。実施の形態 1 にかかる画像表示装置は、図 1 に示す画素回路をマトリックス状に配置して構成される。

【 0 0 3 5 】

図 1 に示すように、実施の形態 1 における画素回路は、発光輝度に基づいて規定されるデータ電圧を供給するデータ線 3 と、データ電圧の供給を制御する第 1 のスイッチング手段である T F T 4 と、ドライバー素子である T F T 8 と、電流発光素子である有機 E L 素子 9 と、を備える。また、供給された電圧を保持するコンデンサ 6 とコンデンサ 7 とを備える。また、所定の基準電圧を書き込む基準電圧書き込み手段 A 1 と、T F T 8 の閾値電圧

50

を検出する閾値電圧検出手段 A 2 とを備える。なお、説明を容易にするため、T F T 8 については、有機 E L 素子 9 と接続する電極をドレイン電極とし、他方の電極をソース電極とする。

【 0 0 3 6 】

データ線 3 は、有機 E L 素子 9 の発光輝度に基づいて規定されるデータ電圧を供給する。また、T F T 4 はデータ線 3 に接続し、データ線 3 から供給されるデータ電圧の書き込みを制御する。なお、セレクト線 5 は T F T 4 の駆動状態を制御し、セレクト線 5 を高レベルとすることによって T F T 4 はオン状態となり、低レベルとすることによって T F T 4 はオフ状態となる。

【 0 0 3 7 】

また、T F T 4 と T F T 8 との間に配置されるコンデンサ 6 は、閾値電圧検出工程では 0 電圧が供給され、データ書き込み工程ではデータ電圧が供給される。さらに、コンデンサ 7 は、一方の電極が T F T 8 とコンデンサ 6 に接続しており、データ電圧を安定に保持する。発光工程時では、コンデンサ 6 とコンデンサ 7 とが保持するデータ電圧のうち所定の割合の電圧が T F T 8 のゲート電極に印加される。

【 0 0 3 8 】

T F T 8 は、ドライバー素子として機能し、T F T 8 のゲート・ソース間電圧に対応する電流を流すことによって、有機 E L 素子 9 の発光と発光の際の輝度を制御する。このとき、T F T 8 のゲート・ソース間電圧は、データ電圧の所定の割合の電圧と閾値電圧検出工程において検出された閾値電圧とを含む値となる。

【 0 0 3 9 】

また、基準電圧書き込み手段 A 1 は、閾値電圧検出工程においてコンデンサ 6 に所定の基準電圧である 0 電圧を供給する機能を有する。基準電圧書き込み手段 A 1 は、データ線 3 と T F T 4 とは別個に設けられており、基準電圧の供給源である電源線 1 2 と、第 2 のスイッチング手段である T F T 1 3 と、第 1 の走査線であるリセット線 1 1 を有する。電源線 1 2 は、基準電圧として 0 電圧を供給し、T F T 1 3 は電源線 1 2 に接続し電源線 1 2 とコンデンサ 6 との電氣的な導通を制御する。また、T F T 1 3 は、リセット線 1 1 によって制御される。閾値電圧検出工程では T F T 1 3 がオン状態となることによって電源線 1 2 がコンデンサ 6 に 0 電圧を供給する。実施の形態 1 にかかる画像表示装置は、基準電圧書き込み手段 A 1 を備えるため、閾値電圧検出工程を行うためにデータ線 3 の印加電圧を変化する必要がなく、従来では必要であった 0 電圧印加工程の削除や、データ書き込み工程を開始するまでの時間の短縮が可能となる。

【 0 0 4 0 】

また、閾値電圧検出手段 A 2 は、ドライバー素子である T F T 8 の閾値電圧を検出するものであり、第 3 のスイッチング手段である T F T 1 0 と、有機 E L 素子 9 と、電源線 1 2 とを備える。T F T 1 0 は、T F T 8 のゲート電極とドレイン電極との電氣的な導通を制御し、閾値電圧検出工程においてオン状態となる。また、T F T 1 0 の駆動状態はリセット線 1 1 によって制御される。なお、T F T 1 0 と T F T 1 3 は同じタイミングで駆動するため、同じリセット線 1 1 で制御するとして説明するが、別個の走査線で制御することも可能である。

【 0 0 4 1 】

また、有機 E L 素子 9 は、本来、T F T 8 がオン状態の際に流れる電流に対応する輝度で発光する電流発光素子であるが、閾値電圧検出手段 A 2 では、T F T 8 のドレイン電極に電荷を供給する容量として機能する。有機 E L 素子 9 は、電氣的には発光ダイオードと等価なものとしてとらえることが可能であって、順方向に電位差を与えた場合には電流が流れて発光する一方、逆方向の電位差を与えた場合には電位差に応じて電荷を蓄積する機能を有するためである。

【 0 0 4 2 】

また、電源線 1 2 は、本来有機 E L 素子 9 の発光時に電流を供給するためのものであるが、閾値電圧検出手段 A 2 では、電圧の極性を発光時と比較し反転することにより T F T 8

10

20

30

40

50

にソース電極からドレイン電極に向かって電流を流し、有機EL素子9に電荷を蓄積させる機能を有する。また、上述したように、電源線12は、閾値電圧検出工程時には0レベルを示すため、基準電圧書き込み手段A1の供給源としても機能する。

【0043】

つぎに、本実施の形態1にかかる画像表示装置の動作として、前処理工程と、閾値電圧検出工程と、データ書き込み工程と、発光工程について説明する。ここで、閾値電圧検出工程は、基準電圧書き込み手段A1と閾値電圧検出手段A2とが動作することによって行われる。図2は、図1に示す画素回路のタイミングチャートであり、図3(a)~(d)は、図1に示す画素回路の動作方法の工程を示す図である。具体的には、図3(a)は図2の期間(1)に対応する前処理工程を示し、図3(b)は図2の期間(2)に対応する閾値電圧検出工程を示し、図3(c)は図2の期間(3)に対応するデータ書き込み工程を示し、図3(d)は図2の期間(4)に対応する発光工程を示す。なお、図3において、実線部は電流が流れる部分を示し、破線部は電流が流れていない部分を示す。また、電流が流れる方向を矢印で示す。

10

【0044】

まず、図2および図3(a)を参照して前処理工程について説明する。前処理工程は、TFT8の閾値電圧検出の前段階として、TFT8に発光時と逆方向の電流を流し有機EL素子9に電荷を蓄積させる工程である。図2に示すようにTFT8のソース電極に接続する電源線12の電圧の極性を低レベルから高レベルにすることによって、TFT8のソース電極からドレイン電極に電流が流れる。TFT8と接続する有機EL素子9にも発光時と逆方向の電流が流れ込み、有機EL素子9は容量として機能し正の電荷を蓄積する。なお、TFT4とTFT10とTFT13はオフ状態となるよう制御される。

20

【0045】

次に閾値電圧検出工程について説明する。閾値電圧検出工程では、基準電圧書き込み手段A1は、閾値電圧を安定に検出するためコンデンサ6に所定の基準電圧である0電圧を供給する。一方、閾値電圧検出手段A2は、前処理工程において蓄積された有機EL素子9の電荷を放出し、TFT8のゲート・ソース間電圧を閾値電圧と等しい値にまで低下させることによって、TFT8の閾値電圧を検出する。

【0046】

図2および図3(b)に示すように、閾値電圧検出工程では、基準電圧書き込み手段A1と閾値電圧検出手段A2とを動作させるため、リセット線11を高レベルとしTFT10とTFT13をオン状態とする。基準電圧書き込み手段A1は、電源線12を供給源として機能させるため電源線12の印加電圧を0レベルとし、閾値電圧検出工程の期間、TFT13を介して電源線12からコンデンサ6に0電圧を供給する。また、電源線12に接続するコンデンサ7にも0電圧が供給される。閾値電圧検出工程の期間においてコンデンサ6とコンデンサ7との一方の電極では0電圧が保持されるため、TFT8のゲート電極とコンデンサ6およびコンデンサ7の他方の電極とに接続する閾値電圧検出手段A2では安定にTFT8の閾値電圧を検出することができる。また、基準電圧検出手段A1がコンデンサ6に基準電圧を供給するため、閾値電圧検出工程を行うためにデータ線3の印加電圧を变化する必要はない。

30

40

【0047】

一方、閾値電圧検出手段A2は、TFT10をオン状態とすることによって、TFT8のゲート電極とドレイン電極とを導通する。このとき、図1に示す結線部の電圧 V_a と V_b とが等しくなるよう有機EL素子9から正の電荷が移動し、この結果、TFT8には所定のゲート・ソース間電圧が発生し電流が流れる。この電流が流れることによって有機EL素子9に蓄積された正の電荷の絶対値は徐々に減少し V_a と V_b は同電圧のまま低下する。そして、TFT8のゲート・ソース間電圧が閾値電圧と等しい値まで低下したとき、TFT8はオフ状態となり、TFT8のゲート電圧は閾値電圧の値に維持される。TFT8の閾値電圧の検出が終了した後、リセット線11を低レベルとすることによってTFT10とTFT13とをオフ状態とし閾値電圧検出工程は終了する。

50

【 0 0 4 8 】

つぎに、データ書き込み工程について説明する。データ書き込み工程では、T F T 4 をオン状態とすることによってデータ線 3 からデータ電圧 V_{D1} を書き込んでいる。

【 0 0 4 9 】

図 2 および図 3 (c) に示すように、データ書き込み工程では、データ線 3 にデータ電圧 V_{D1} を印加し、セレクト線 5 を高レベルとすることによって T F T 4 をオン状態とする。T F T 4 がオン状態となることによって、データ線 3 とコンデンサ 6 とが導通しデータ電圧 V_{D1} が供給され、データ電圧 V_{D1} はコンデンサ 6 とコンデンサ 7 とによって安定に保持される。その後、セレクト線 5 を低レベルとすることによって T F T 4 をオフ状態としデータ書き込み工程は終了する。

10

【 0 0 5 0 】

つぎに、発光工程について説明する。発光工程では、コンデンサ 7 が保持する電圧に基づいて T F T 8 と有機 E L 素子 9 とに電流が流れ、有機 E L 素子 9 が所定の輝度で発光する。

【 0 0 5 1 】

図 2 および図 3 (d) に示すように、発光工程では、電源線 1 2 の印加電圧を低レベルに変化し、電源線 1 2 に接続する T F T 8 のソース電極にドレイン電極よりも低い電圧を印加する。また、T F T 8 のゲート電極にはコンデンサ 7 が保持するデータ電圧 V_{D1} のうち所定の割合の電圧が供給されるため、T F T 8 はオン状態となり T F T 8 のゲート・ソース間電圧に対応する電流が流れる。ここで、T F T 8 のゲート・ソース間電圧は、閾値電圧検出工程において検出された T F T 8 の閾値電圧を含む値となるため、T F T 8 の閾値電圧が変動した場合であっても T F T 8 に流れる電流は低下することはない。T F T 8 に流れる電流は有機 E L 素子 9 にも流れるため、有機 E L 素子 9 は所望の輝度で発光する。なお、本工程では、T F T 4 と T F T 1 0 と T F T 1 3 はオフ状態である。

20

【 0 0 5 2 】

次に、本実施の形態 1 にかかる画像表示装置の利点について説明する。まず、本実施の形態 1 にかかる画像表示装置は、閾値電圧検出手段 A 2 を備えることによって、閾値電圧の変動を補償することができる。このため、有機 E L 素子 9 に流れ込む電流の値は変動せず、有機 E L 素子 9 は所望の輝度で発光し、画像表示装置の画質の劣化を抑制することができる。ここで、数式 1 に、発光工程開始時における T F T 8 のゲート電圧 V_g を示す。

30

【 0 0 5 3 】

【数式 1】

$$V_g = V_{th1} + \frac{C_1}{C_1 + C_2} \cdot V_{D1}$$

数式 1 では V_{th1} は T F T 8 の閾値電圧を示し、 C_1 はコンデンサ 6 の容量を示し、 C_2 はコンデンサ 7 の容量を示している。そして、T F T 8 のゲート・ソース間電圧に基づいて T F T 8 に流れる電流 I_{ds} を以下の数式 2 に示す。

【 0 0 5 4 】

【数式 2】

$$I_{ds} = \frac{\beta}{2} \left(V_{th1} + \frac{C_1}{C_1 + C_2} \cdot V_{D1} - V_{th1} \right)^2 = \frac{\beta}{2} \left(\frac{C_1}{C_1 + C_2} \cdot V_{D1} \right)^2$$

数式 2 において、 β は所定の定数を示す。数式 2 に示すように、 I_{ds} は、T F T 8 の閾値電圧 V_{th1} を含まないことから、閾値電圧の変動によって I_{ds} が変化することはない。また、 I_{ds} はコンデンサ 6 とコンデンサ 7 との容量の比に依存し、容量比が一定であれば I_{ds} も一定の値となる。ここで、コンデンサ 6 とコンデンサ 7 とは、通常は同一工程で作成されることから、仮に製造時におけるマスクパターンの位置あわせにずれが生じたとして

50

も、容量の誤差はコンデンサ 6、7 においてほぼ等しい割合となる。したがって、誤差が生じた場合であっても $(C_1 / (C_1 + C_2))$ の値はほぼ一定の値を維持することが可能であって、製造誤差が生じた場合にも I_{ds} の値はほぼ一定の値に維持することが可能である。

【0055】

以上のことから、TFT 8 を流れる電流値は一定の値を保ち、有機 EL 素子 9 に流れ込む電流の値は変動せず有機 EL 素子 9 は所望の輝度で発光する。このため、本実施の形態 1 にかかる画像表示装置は、長期に渡って高品位の画像表示を行うことができる。

【0056】

また、本実施の形態 1 にかかる画像表示装置はデータ線 3 と TFT 4 とは別個に設けられた基準電圧書き込み手段 A 1 を備え、この基準電圧書き込み手段 A 1 が閾値電圧検出工程の際にコンデンサ 6 に所定の基準電圧を供給する。このため、データ線 3 は、閾値電圧検出工程の際に基準電圧を供給する必要がなく、電圧書き込み工程時にデータ電圧 V_{D1} の供給を行うのみである。したがって、閾値電圧検出工程を行うためにデータ線 3 の印加電圧を変化させる必要はなく、従来では必要であった 0 電圧印加工程を削除することが可能となる。

【0057】

さらに、基準電圧書き込み手段 A 1 によって基準電圧を供給する構成としたことから、データ線 3 は閾値電圧検出工程の際に任意の電圧とすることができる。このため、閾値電圧検出工程においてデータ線 3 の印加電圧を 0 電圧からデータ電圧 V_{D1} に変化させ始め、閾値電圧検出工程が終了するまでにデータ線 3 の印加電圧をデータ電圧 V_{D1} に安定させることもできる。このように動作させることによって、データ線 3 の印加電圧を制御するデータドライバーから離れた画素回路であってもデータ線 3 はデータ電圧を安定に供給することができる。また、データ線 3 に信号遅延が生じた場合であっても、データ書き込み工程の開始の遅延を防止することができる。したがって、本実施の形態 1 にかかる画像表示装置は、データ書き込み工程を開始するまでの時間を短縮することが可能となる。

【0058】

また、閾値電圧を安定に検出するためには、閾値電圧検出工程の際にコンデンサ 6 に 0 電圧が供給されている状態であることを要する。本実施の形態 1 にかかる画像表示装置は、TFT 10 と TFT 13 とをリセット線 11 によって制御するため、基準電圧書き込み手段 A 1 の 0 電圧の書き込みと、閾値電圧検出手段 A 2 の閾値電圧の検出とを同時に開始することができる。したがって、基準電圧書き込み手段 A 1 と閾値電圧検出手段 A 2 との動作の開始にズレを生じさせる必要が無く、このズレによる動作時間の浪費を抑制することができる。

【0059】

さらに、本実施の形態 1 にかかる画像表示装置は、0 電圧印加工程等のデータ線 3 の印加電圧の安定化に必要な時間の削除が可能となるため、閾値電圧検出工程を開始するまでの時間やデータ書き込み工程を開始するまでの時間を短縮化することができる。このため、所定の発光時間を確保することができ、リフレッシュレートを最適値に保持することができる。また、閾値電圧検出工程の期間も確保することができ、TFT 8 の閾値電圧を精度よく検出することができる。

【0060】

また、データ書き込み工程から発光工程に進むタイミングと、発光工程から前処理工程に進むタイミングとは、電源線 12 の印加電圧のレベルを調整することによって任意に制御することができる。かかるタイミングの調整によって、画像を表示する時間と画像を表示しない時間との比率を任意に制御することが可能である。

【0061】

なお、上述した画素回路は、基準電圧書き込み手段 A 1 を構成する供給源として、閾値電圧検出工程の際に 0 レベルを示す電源線 12 を用いる。しかし、閾値電圧検出工程の際に基準電圧として 0 電圧を供給する走査線であれば供給源として機能するため、供給源とし

10

20

30

40

50

て電源線 12 を用いる以外にも、図 4 に示すように、グラウンドに接続する共用線を代用することも可能である。なお、図 4 に示すように、電源線 22 は有機 EL 素子 9 のアノード側に接続するため、電源線 22 には図 2 に示す電源線 12 に印加される電圧と逆の極性を示す電圧が印加される。

【0062】

また、本実施の形態 1 にかかる画像表示装置は、基準電圧書き込み手段 A1 を構成する TFT13 と閾値電圧検出手段を構成する TFT10 とを、リセット線 11 で制御するとして説明したが、別個の走査線で制御することも可能である。閾値電圧検出工程では、TFT8 の閾値電圧を検出するために必要とされる期間、TFT10 と TFT13 とがともにオン状態であれば TFT8 の閾値電圧を検出することができるため、別個の走査線で制御するとしてもよい。

10

【0063】

また、本実施の形態 1 では、所定の基準電圧を 0 電圧として説明したが、0 電圧に限定するものではなく、有機 EL 素子 9 の発光輝度に対応する電圧値よりも低い値であればよい。ただし、基準電圧が 0 電圧ではない場合には、有機 EL 素子 9 の発光輝度に対応する電圧値と基準電圧値との差分を考慮し、データ線 3 に印加するデータ電圧を設定する必要がある。

【0064】

(実施の形態 2)

つぎに、実施の形態 2 にかかる画像表示装置について説明する。上述した実施の形態 1 ではプログレッシブ方式およびインターレース方式のいずれの方式で実施可能であるが、本実施の形態 2 ではインターレース方式を用いることによって画像表示を行う。

20

【0065】

インターレース方式は、たとえば、奇数段目の画素回路が映像信号に対応した表示（以下、「白表示」と称する）を行う間、偶数段目の画素回路は発光しない状態（以下、「黒表示」と称する）を維持した後、偶数段目の画素回路が白表示を行うとともに奇数段目の画素回路は黒表示を行うことによって 1 回の表示を行う方式である。すなわち、奇数段目と偶数段目とで画面を交互に表示することで 1 枚の画面を表示する。このインターレース方式では、白表示を行う画素回路に供給するデータ電圧と、黒表示を行う画素回路に供給する 0 電圧とを、一回の表示期間の間に複数回に渡って交互にデータ線に印加する。本実施の形態 2 では、データ線に印加される 0 電圧を基準電圧として利用し、ドライバー素子の閾値電圧の検出を行っている。

30

【0066】

図 5 は、本実施の形態 2 にかかる画像表示装置の任意の n 段目の画素回路 30_n と、画素回路 30_n と同一列に位置し、隣り合う行に配置された $n+1$ 段目の画素回路 30_{n+1} との構造を示した図である。図 5 に示すように、任意の画素回路 30_n は、実施の形態 1 と同様に、有機 EL 素子 9_n と TFT10 $_n$ とを有する閾値電圧検出手段 A2 と、コンデンサ 6_n と、コンデンサ 7_n と、ドライバー素子である TFT8 $_n$ と、を備える。また、データ線 3 と TFT4 $_n$ とを備え、データ線 3 と TFT4 $_n$ とは基準電圧書き込み手段 A1 の構成要素としても機能する。また、TFT10 $_n$ の駆動状態を制御する第 2 の走査線であるリセット線 31 $_n$ と、TFT4 $_n$ の駆動状態を制御する第 1 の走査線であるセレクト線 35 $_n$ を備える。また、上述した構成要素のうち、データ線 3 以外の各構成要素は画素回路ごとにそれぞれ備えられている。また、本実施の形態 2 にかかる画像表示装置は、電源線 32 $_n$ を備え、電源線 32 $_n$ を画素回路 30_n と画素回路 30_{n+1} とが共有する構造を有する。以下、各構成要素について説明する。

40

【0067】

データ線 3 にはデータ電圧と 0 電圧とが交互に印加される。また、TFT4 $_n$ は、データ線 3 からのデータ電圧の供給を制御する。さらに、TFT4 $_n$ は、データ線 3 が 0 電圧を印加するタイミングに合わせてオン状態となることによってコンデンサ 6_n への 0 電圧の供給をも制御する。したがって、データ線 3 は基準電圧の供給源としても機能し、TFT

50

4_nはデータ電圧の供給と基準電圧の供給とを制御する第1のスイッチング手段として機能するため、データ線3とTFT4_nは基準電圧書き込み手段A1を構成する。なお、TFT4_nの駆動状態は、セレクト線35_nによって制御される。

【0068】

電源線32_nは、発光時に有機EL素子9_nと有機EL素子9_{n+1}とに電流を供給するほか、電圧の極性を発光時と比較し反転することによってTFT8_nとTFT8_{n+1}とに発光時と逆方向の電流を流す機能を有する。電源線32_nの電圧の極性を発光時と比較し反転することによって、白表示を行う画素回路は前処理工程を行い、黒表示を行う画素回路は後述するリセット工程を行う。

【0069】

また、コンデンサ6_nとコンデンサ7_nとTFT8_nとは実施の形態1にかかる画像表示と同様に機能し、有機EL素子9_nとTFT10_nとは閾値電圧検出手段A2として機能する。また、リセット線31_nは、TFT10_nの駆動状態を制御する。

【0070】

次に、図6および図7を参照して本実施の形態2にかかる画像表示装置の動作について、画素回路30_nが白表示を行い、画素回路30_{n+1}が黒表示を行う場合を例として説明する。画素回路30_nは、データ線3に0電圧が印加されるタイミングに合わせて基準電圧書き込み手段A1と閾値電圧検出手段A2とが動作することによって閾値電圧を検出する。

【0071】

図6は、図5に示す画素回路30_nと画素回路30_{n+1}のタイミングチャートであり、図7は、図5に示す画素回路30_nと画素回路30_{n+1}との動作方法の工程を示す図である。図7(a)は図6の期間(1)、(2)に対応し、図7(b)は図6の期間(3)に対応し、図7(c)は図6の期間(5)に対応し、図7(d)は図6の期間(6)に対応した動作方法を示す図である。なお、図7において、実線部は電流が流れる部分を示し、破線部は電流が流れていない部分を示す。

【0072】

まず、図6と図7(a)を参照して、画素回路30_nで行われる前処理工程と画素回路30_{n+1}で行われるリセット工程について説明する。図6の期間(1)に示すように、電源線32_nの電圧の極性を発光時と比較し反転し高レベルとすることによって、TFT8_nに発光時と逆方向の電流が流れ、有機EL素子9_nに正の電荷を蓄積する前処理工程が行われる。その一方、画素回路30_{n+1}では、TFT8_{n+1}に発光時と逆方向の電流を流して有機EL素子9_{n+1}に残存する電荷を取り除くリセット工程を行う。具体的には、画素回路30_{n+1}では、発光時と逆方向の電流が流れ、正の電荷を有機EL素子9_{n+1}に供給することによって、前フレームの発光時に有機EL素子9_{n+1}に蓄積された負の電荷を消去する。

【0073】

さらに、図6の期間(2)では、画素回路30_{n+1}では黒データ書き込み工程が行われる。本工程では、データ線3に0電圧が印加されるタイミングに合わせてTFT4_{n+1}とTFT10_{n+1}とをオン状態とする。TFT10_{n+1}がオン状態となりTFT8_{n+1}のゲート電極とドレイン電極とが導通すると、TFT8_{n+1}のゲート電極に接続するコンデンサ7_{n+1}には、有機EL素子9_{n+1}から放出される電子が供給され、負の電荷が蓄積される。また、TFT4_{n+1}はデータ線3に0電圧が印加される際にオン状態となるため、コンデンサ6_{n+1}には0電圧が供給される。この結果、コンデンサ6_{n+1}とコンデンサ7_{n+1}には負の電荷が保持されることから、TFT8_{n+1}のゲート電極には負電圧が印加されることとなる。したがって、図6の期間(6)において電源線32_nが低レベルに変化した場合でも、画素回路30_{n+1}は発光せず黒表示を行うことが可能である。また、本工程においてTFT8_{n+1}のゲート電極に負電圧が印加されることによって、TFT8_{n+1}の閾値電圧の変動幅を低減することができる。すなわち、TFT8_{n+1}のゲート電極に長時間に渡って継続して正電圧を印加した場合、TFT8_{n+1}の閾値電圧の変動が進行するが、本工程を行うことによってTFT8_{n+1}の閾値電圧の変動の進行を留めるとともに閾値電圧を回復

10

20

30

40

50

することができる。なお、画素回路 30_{n+1} は、図 6 の期間 (1) の間であってデータ線 3 に 0 電圧が印加されている場合であれば、黒データ書き込み工程を複数回行ってよい。

【 0 0 7 4 】

そして、図 7 (b) を参照して、画素回路 30_n で行われる閾値電圧検出工程について説明する。図 6 の期間 (3) はデータ線 3 に 0 電圧が印加されている期間である。画素回路 30_n は、データ線 3 に 0 電圧が印加されるタイミングに合わせて、リセット線 31_n とセレクト線 35_n とを高レベルとし $TFT4_n$ と $TFT10_n$ とをオン状態とする。この結果、基準電圧書き込み手段 A 1 は、データ線 3 から $TFT4_n$ を介してコンデンサ 6_n に 0 電圧を供給する。一方、閾値電圧検出手段 A 2 は、 $TFT10_n$ をオン状態とし $TFT8_n$ のゲート電極とドレイン電極とを導通することによって $TFT8_n$ の閾値電圧を検出する。なお、図 6 の期間 (4) に示すように、データ線 3 が 0 電圧を印加するタイミングに合わせて閾値電圧検出工程を複数回行うことが可能である。

10

【 0 0 7 5 】

そして、画素回路 30_n では、図 7 (c) に示すように、データ線 3 にデータ電圧 V_{D2} が印加されるタイミングに合わせて $TFT4_n$ をオン状態とすることによってデータ書き込み工程が行われる。その後、画素回路 30_n では、図 7 (d) に示すように、電源線 32_n を低レベルにすることによって $TFT8_n$ に電流を流して有機 EL 素子 9_n を発光させる発光工程を行う。この結果、画素回路 30_n では白表示が行われることとなる。その一方、画素回路 30_{n+1} では、図 6 の期間 (2) において上述の黒データ書き込み工程が行われたため、 $TFT8_{n+1}$ はオフ状態に維持され、黒表示が行われる。その後、画素回路 30_{n+1} では白表示を行うために上記した画素回路 30_n の動作が行われ、移行し、画素回路 30_n では黒表示を行うために上記した画素回路 30_{n+1} の動作が行われることによって、画素回路 30_n と画素回路 30_{n+1} は交互に発光を繰り返す。

20

【 0 0 7 6 】

上述したように、本実施の形態 2 にかかる画像表示装置では、データ線 3 に 0 電圧とデータ電圧 V_{D2} とが交互に印加されることを利用し、黒表示が終了し発光工程が開始するまでの期間、データ線 3 に 0 電圧が印加されるタイミングに合わせて閾値電圧検出工程を行う。このため、発光時間を短縮することなく白表示を行う画素回路の閾値電圧を検出することができる。したがって、リフレッシュレートの最適値の保持とドライバー素子の閾値電圧の変動の補償が可能となる。

30

【 0 0 7 7 】

また、データ線 3 と $TFT4_n$ とは基準電圧書き込み手段 A 1 として機能するため、実施の形態 1 にかかる画像表示装置が有する $TFT13$ を別個に備える必要がなく、画素回路に備える TFT の個数を減らすことができる。

【 0 0 7 8 】

また、図 5 に示すように、画素回路 30_n と画素回路 30_{n+1} とは電源線 32_n を共有する。したがって、本実施の形態 2 にかかる画像表示装置は、4 本の走査線を必要とする実施の形態 1 にかかる画像表示装置と比較し、各画素回路の走査線を 3 . 5 本に減少することができる。

40

【 0 0 7 9 】

また、図 6 の期間 (1) では、図 7 (a) に示すように、黒表示を行う画素回路 30_{n+1} ではリセット工程が行われる。リセット工程を行うのは以下の理由に基づく。すなわち、前フレームの発光工程において、有機 EL 素子 9_{n+1} には、順方向に電流が流れるにしたがって電荷が蓄積される。この電荷が残存したままである場合、発光工程において所定の電流が有機 EL 素子 9_{n+1} に流れた場合であっても、残存した電荷が電流の一部として流れることとなり、その分だけ有機 EL 素子 9_{n+1} 中を流れる電流値が減少し、発光輝度が低下する。このため、本実施の形態 2 にかかる画像表示装置は、黒表示を行う画素回路 30_{n+1} についてリセット工程を行い、発光時と逆方向の電流を流すことによって残存する電荷を消去している。したがって、画素回路 30_{n+1} が白表示を行う際には、有機 EL 素

50

子 9_{n+1} は前フレーム時に蓄積された電荷の影響を受けることなく所望の輝度で発光することができる。

【0080】

また、閾値電圧検出工程は図6の期間(3)のほか、期間(4)にも行ってもよい。すなわち、前処理工程が終了しデータ書き込み工程が開始するまでの間であって、データ線3に0電圧が印加されている場合であれば、閾値電圧検出工程を複数回行うことが可能である。このため、閾値電圧の検出を長時間行うことが可能となり、TF T 8_nの閾値電圧を精度よく検出することができる。

【0081】

なお、本実施の形態2にかかる画像表示装置は、電源線3 2_nがTF T 8_nとTF T 8_{n+1}とのソース電極に接続する構造のほか、図8に示すように、電源線4 2_nが有機EL素子9_nと有機EL素子9_{n+1}とのアノード側に接続する構造としてもよい。この場合、電源線4 2_nには、図6に示す電源線3 2_nに印加される電圧と逆の極性を示す電圧が印加される。

【0082】

(実施の形態3)

つぎに、実施の形態3にかかる画像表示装置について説明する。本実施の形態3にかかる画像表示装置は、第1のスイッチング手段であるTF Tと、隣り合う画素回路の第2のスイッチング手段であるTF Tとを1本のセレクト線で制御しており、使用する走査線の本数を減少させた構造を有する。

【0083】

図9は、本実施の形態3にかかる画像表示装置の任意のn段目の画素回路5 0_nと、画素回路5 0_nと同一列に位置し、隣り合う行に配置されたn+1段目の画素回路5 0_{n+1}との構造を示す図である。図9に示すように、画素回路5 0_nのTF T 4_nと画素回路5 0_{n+1}のTF T 1 0_{n+1}とはともに、第3の走査線であるセレクト線5 5_nに接続される。したがって、セレクト線5 5_nが高レベルとなることによって、画素回路5 0_nのTF T 4_nと画素回路5 0_{n+1}のTF T 1 0_{n+1}とは同じタイミングでオン状態となる。また、画素回路5 0_nのTF T 1 0_nの駆動状態はセレクト線5 5_{n-1}によって制御される。なお、電源線5 2_nは、実施の形態2における電源線3 2_nと同様に機能する。

【0084】

つぎに、図10および図11を参照して、本実施の形態3にかかる画像表示装置の動作のうち、画素回路5 0_nが白表示を行い、画素回路5 0_{n+1}が黒表示を行う場合について説明する。

【0085】

図10は図9に示す画素回路5 0_nと画素回路5 0_{n+1}のタイミングチャートであり、図11は図10に示す画素回路5 0_nと画素回路5 0_{n+1}との動作方法の工程を示す図である。また、図11(a)は図10に示す期間(1)に対応し、図11(b)は図10に示す期間(2)に対応し、図11(c)は図10に示す期間(3)に対応し、図11(d)は図10に示す期間(4)に対応し、図11(e)は図10に示す期間(5)に対応した動作方法を示す図である。なお、図11では、実線部は電流が流れる部分を示し、破線部は電流が流れていない部分を示す。

【0086】

図11(a)に示すように、図10の期間(1)では、電源線5 2_nに発光時と逆の極性の電圧を印加し高レベルとすることによって、画素回路5 0_nにおいて前処理工程が行われ、画素回路5 0_{n+1}ではリセット工程が行われる。その後、セレクト線5 5_{n-1}が高レベルとなり画素回路5 0_nの閾値電圧検出手段A2を構成するTF T 1 0_nがオン状態となった後、電源線5 2_nは0レベルになる。

【0087】

つぎに、図10の期間(2)では、画素回路5 0_nにおいて閾値電圧検出工程が行われる。基準電圧書き込み手段A1を構成するデータ線3に0電圧が印加されるタイミングに合

10

20

30

40

50

わせて、セレクト線 55_n が高レベルとなる。このとき、図 11 (b) に示すように、画素回路 50_n では、 TFT_{4_n} がオン状態となることによって基準電圧書き込み手段 A1 がコンデンサ 6_n に 0 電圧を供給し、閾値電圧検出手段 A2 が閾値電圧検出工程を行う。そして、セレクト線 55_{n-1} が低レベルとなり TFT_{10_n} がオフ状態となることによって閾値電圧検出工程は終了する。なお、セレクト線 55_n は高レベルのままであるため TFT_{4_n} はオン状態を維持する。

【0088】

つぎに、図 10 の期間 (3) では、画素回路 50_n においてデータ書き込み工程が行われる。すなわち、図 10 の期間 (3) ではデータ線 3 の印加電圧はデータ電圧 V_{D3} に変化し、図 11 (c) に示すように、画素回路 50_n ではオン状態を維持する TFT_{4_n} を介してデータ線 3 からコンデンサ 6_n にデータ電圧 V_{D3} が供給される。その後、セレクト線 55_n が低レベルとなり TFT_{4_n} がオフ状態となることによって、画素回路 50_n のデータ書き込み工程は終了する。

10

【0089】

その後、図 10 の期間 (4) ではデータ線 3 に 0 電圧が印加され、画素回路 50_{n+1} において黒データ書き込み工程が行われる。図 11 (d) に示すように、画素回路 50_{n+1} では $TFT_{4_{n+1}}$ のオン状態が維持されているため、データ線 3 からコンデンサ 6_{n+1} に 0 電圧が供給される。

【0090】

そして、図 10 の期間 (5) では、電源線 52_n が低レベルとなることによって画素回路 50_n は TFT_{8_n} に電流を流し発光工程を行う。一方、画素回路 50_{n+1} は黒表示を行う。

20

【0091】

上述したように、本実施の形態 3 にかかる画像表示装置は、実施の形態 2 にかかる画像表示装置と同様の効果を奏するほか、画素回路 50_n の TFT_{4_n} と画素回路 50_{n+1} の $TFT_{10_{n+1}}$ とを単一のセレクト線 55_n で制御することによって走査線の本数を減少させることができる。また、セレクト線 55_n に流れる電流は TFT_{4_n} と $TFT_{10_{n+1}}$ との駆動状態を制御できる程度であればよいので、セレクト線 55_n の配線幅を大きくする必要もない。したがって、本実施の形態 3 にかかる画像表示装置は、3.5 本の走査線を必要とする実施の形態 2 にかかる画像表示装置と比較し、各画素回路の走査線を 2.5 本に減少させることができる。

30

【0092】

なお、本実施の形態 3 にかかる画像表示装置は、図 9 に示すように電源線 52_n が TFT_{8_n} と $TFT_{8_{n+1}}$ とのソース電極に接続する構造のほか、図 12 に示すように、共有する電源線 62_n が有機 EL 素子 9_n と有機 EL 素子 9_{n+1} のアノード側に接続する構造としてもよい。この場合、電源線 62_n には、図 10 に示す電源線 52_n に印加される電圧と逆の極性を示す電圧が印加される。

【0093】

(実施の形態 4)

つぎに、実施の形態 4 にかかる画像表示装置について説明する。上述した実施の形態 2 および実施の形態 3 では画素回路が発光工程を終了した後に、次に発光する画素回路において前処理工程が行われる構成としたが、実施の形態 4 では、画素回路において発光工程が行われている間に、次に発光する画素回路において前処理工程を行う構成としている。

40

【0094】

図 13 は、本実施の形態 4 にかかる画像表示装置の任意の n 段目の画素回路 70_n と、画素回路 70_n と同一列に位置し、隣り合う行に配置された $n+1$ 段目の画素回路 70_{n+1} との構造を示す図である。図 13 に示すように、本実施の形態 4 にかかる画像表示装置は、画素回路ごとに、リセット線 71_n 、電源線 72_n 、セレクト線 75_n をそれぞれ備える構造を有する。

【0095】

50

リセット線 71_n は画素回路 70_n に備わる $TFT10_n$ の駆動状態を制御する。また、セレクト線 75_n は画素回路 70_n に備わる $TFT4_n$ の駆動状態を制御する。

【0096】

電源線 72_n は、画素回路 70_n の有機 EL 素子 9_n のアノード側に接続され、電源線 72_n と画素回路 70_{n+1} に備わる電源線 72_{n+1} と間に電位差が生じることによって有機 EL 素子 9_n に所定の方向の電流が流れる。具体的には、電源線 72_n への印加電圧が電源線 72_{n+1} への印加電圧よりも高い場合には、 $TFT8_n$ にドレイン電極からソース電極に電流が流れ有機 EL 素子 9_n は発光する。一方、電源線 72_n への印加電圧が電源線 72_{n+1} への印加電圧よりも低い場合には、 $TFT8_n$ にはソース電極からドレイン電極に電流が流れ有機 EL 素子 9_n には電荷が蓄積される。

10

【0097】

つぎに、図 14 および図 15 を参照して、本実施の形態 4 にかかる画像表示装置の動作のうち、画素回路 70_n が白表示を行い、画素回路 70_{n+1} が黒表示を行う場合について説明する。本実施の形態 3 にかかる画像表示装置では、白表示を行う画素回路が発光工程を行う間、次に発光する画素回路が前処理工程を行っている。

【0098】

図 14 は、図 13 に示す画素回路 70_n と画素回路 70_{n+1} のタイミングチャートである。また、図 15 は、画素回路 70_n と画素回路 70_{n+1} との動作方法の工程を示す図である。図 15 (a) は図 14 の期間 (1) に対応し、図 15 (b) は図 14 の期間 (2) に対応し、図 15 (c) は図 14 の期間 (5) に対応して画素回路 70_n と画素回路 70_{n+1} の動作方法を示す図である。なお、図 15 では、実線部は電流が流れる部分を示し、破線部は電流が流れていない部分を示す。

20

【0099】

図 14 および図 15 (a) を参照して、画素回路 70_{n+1} が発光工程を行う間、次に白表示を行う画素回路 70_n が前処理工程を行う状態について説明する。図 14 に示すように期間 (1) では、画素回路 70_{n+1} は、電源線 72_{n+1} を高レベルとすることによって $TFT8_{n+1}$ のドレイン電極からソース電極に向かって電流を流し有機 EL 素子 9_{n+1} を発光させる発光工程を行う。その一方、画素回路 70_n では、電源線 72_n は 0 レベルを維持するため $TFT8_n$ にはソース電極からドレイン電極に向かって電流が流れ、有機 EL 素子 9_n には発光時と逆方向の電流が流れ込む。このため、画素回路 70_n は、有機 EL 素子 9_n に電荷が蓄積される前処理工程を行うこととなる。

30

【0100】

その後、図 14 の期間 (2) では、図 15 (b) に示すように、画素回路 70_n が閾値電圧検出工程を行う。なお、図 14 の期間 (3) と期間 (4) に示すように、データ線 3 に 0 電圧が印加されるタイミングに合わせてセレクト線 75_n とリセット線 71_n を高レベルとすることによって、閾値電圧検出工程を複数回行うことが可能である。

【0101】

つぎに、図 14 の期間 (5) では、図 15 (c) に示すように、データ線 3 にデータ電圧 V_{D4} が印加される期間セレクト線 75_n を高レベルに維持することによって、画素回路 70_n がデータ書き込み工程を行う。

40

【0102】

そして、図 14 の期間 (6) では、画素回路 70_n は電源線 72_n を高レベルにすることによって $TFT8_n$ に電流を流し発光工程を行う。その一方、画素回路 70_{n+1} には発光工程の際に流れる電流と逆方向の電流が流れるため、有機 EL 素子 9_{n+1} は発光せず黒表示を行う。また、有機 EL 素子 9_{n+1} に発光時と逆方向の電流が流れ込むため、画素回路 70_{n+1} は前処理工程を行う。さらに、図 14 の期間 (7) では、画素回路 70_{n+1} は $TFT4_{n+1}$ と $TFT10_{n+1}$ とをオン状態とすることによってリセット工程を行う。 $TFT10_{n+1}$ がオン状態となることによって、 $TFT8_{n+1}$ のゲート電極とドレイン電極とが導通し、 $TFT8_{n+1}$ のゲート電極に接続するコンデンサ 7_{n+1} に負の電荷が蓄積される。また、 $TFT4_{n+1}$ がオン状態となるため、コンデンサ 6_{n+1} にはデータ線 3 から 0 電圧が供給され

50

る。このため、前フレームから残存する電荷は消去される。

【0103】

上述したように、本実施の形態4にかかる画像表示装置は、画素回路の発光工程と、次に白表示を行う画素回路の前処理工程を同時に行うことができる。このため、発光時間を短縮することなく閾値電圧検出工程を行う時間を長時間確保することができ、閾値電圧の検出を精度よく行うことができる。したがって、リフレッシュレートの最適値の保持と、閾値電圧の変動の精度の高い補償を可能とし、長期に渡って高品位の画像表示を可能とする画像表示装置を実現することができる。

【0104】

また、黒表示を行う画素回路70_{n+1}は、リセット工程を行うことによって、コンデンサ6_{n+1}とコンデンサ7_{n+1}とに前フレームから残存する電荷を消去することができる。このため、白表示を行う画素回路の有機EL素子は、前フレームの影響を受けることなく所望の輝度で発光することができる。

【0105】

【発明の効果】

以上説明したように、この発明によれば、基準電圧書き込み手段と閾値電圧検出手段とを備えることによって、リフレッシュレートの低下を抑制し、高品位の画像表示を行う画像表示装置を得ることができる。

【図面の簡単な説明】

【図1】実施の形態1における画素回路の構造を示した図である。

【図2】図1に示す画素回路のタイミングチャートである。

【図3】図3(a)～(d)は、図1に示す画素回路の動作方法の工程を示す図である。

【図4】実施の形態1における画素回路の構造の他の例を示した図である。

【図5】本実施の形態2にかかる画像表示装置の任意のn段目の画素回路と、n段目の画素回路と同一列に位置し、隣り合う行に配置されたn+1段目の画素回路の構造を示した図である。

【図6】図5に示す画素回路のタイミングチャートである。

【図7】図5に示す画素回路の動作方法の工程を示す図である。

【図8】実施の形態2における画素回路の構造の他の例を示した図である。

【図9】本実施の形態3にかかる画像表示装置の任意のn段目の画素回路と、n段目の画素回路と同一列に位置し、隣り合う行に配置されたn+1段目の画素回路の構造を示した図である。

【図10】図9に示す画素回路のタイミングチャートである。

【図11】図9に示す画素回路の動作方法の工程を示す図である。

【図12】実施の形態3における画素回路の構造の他の例を示した図である。

【図13】本実施の形態4にかかる画像表示装置の任意のn段目の画素回路と、n段目の画素回路と同一列に位置し、隣り合う行に配置されたn+1段目の画素回路の構造を示した図である。

【図14】図13に示す画素回路のタイミングチャートである。

【図15】図13に示す画素回路の動作方法の工程を示す図である。

【図16】従来技術における画素回路の構造を示した図である。

【図17】図16に示す画素回路の動作方法の工程を示す図である。

【符号の説明】

A1 基準電圧書き込み手段

A2 閾値電圧検出手段

1、21 画素回路

3 データ線

4、4_n、4_{n+1} TFT

5 セレクト線

6、6_n、6_{n+1} コンデンサ

10

20

30

40

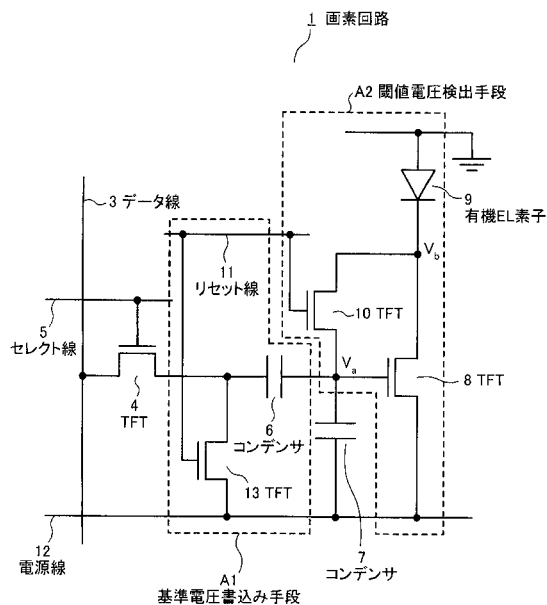
50

7、 7_n 、 7_{n+1} コンデンサ
 8、 8_n 、 8_{n+1} T F T
 9、 9_n 、 9_{n+1} 有機 E L 素子
 10、 10_n 、 10_{n+1} T F T
 11、 31_n 、 31_{n+1} 、 71_n 、 71_{n+1} 、 リセット線
 12、22 電源線
 13 T F T
 32_n 、 42_n 、 52_n 、 62_n 電源線
 72_n 、 72_{n+1} 、 72_{n+2} 電源線
 30_n 、 40_n 、 50_n 、 60_n 、 70_n 画素回路
 30_{n+1} 、 40_{n+1} 、 50_{n+1} 、 60_{n+1} 、 70_{n+1} 画素回路
 35_n 、 35_{n+1} 、 55_{n-1} 、 55_n 、 55_{n+1} セレクト線
 75_n 、 75_{n+1} セレクト線
 310 データ線
 320 セレクト線
 330 リセット線
 340 マージ線
 350、355 コンデンサ
 360、365、370、375 T F T
 380 有機 E L 素子

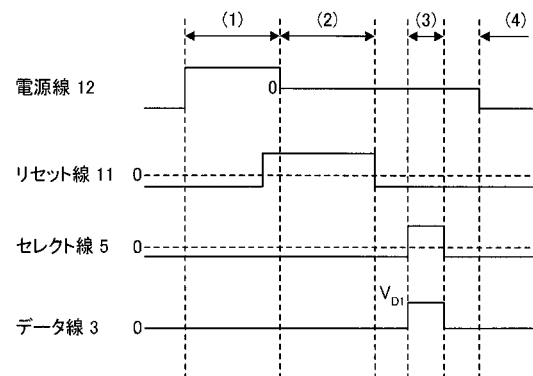
10

20

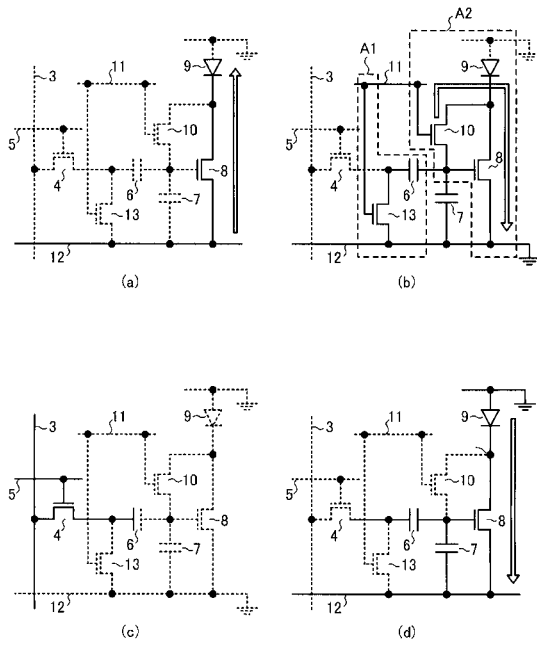
【図 1】



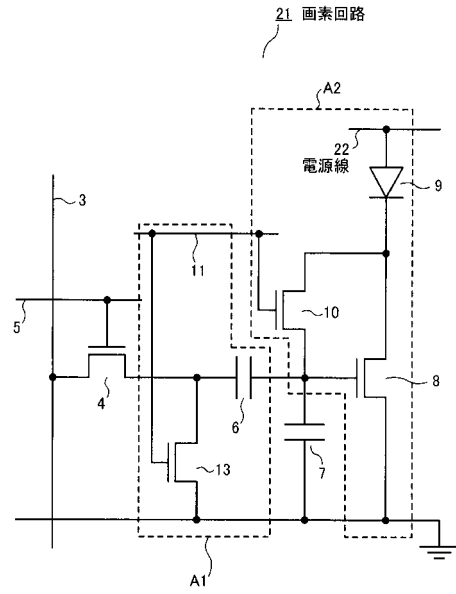
【図 2】



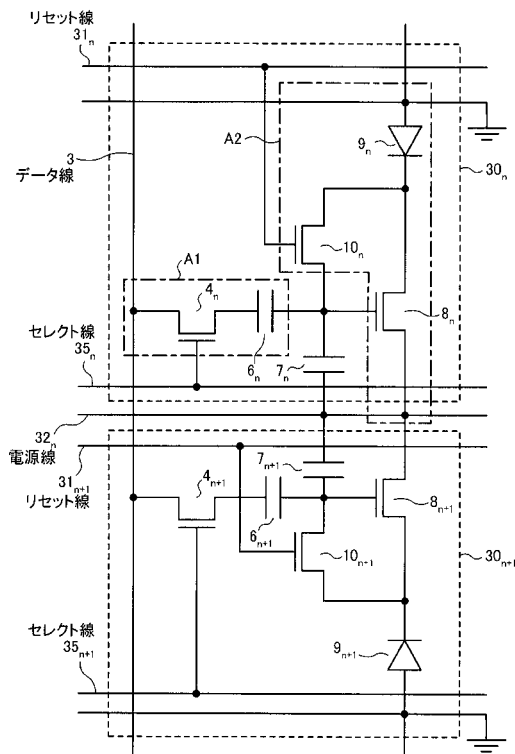
【図 3】



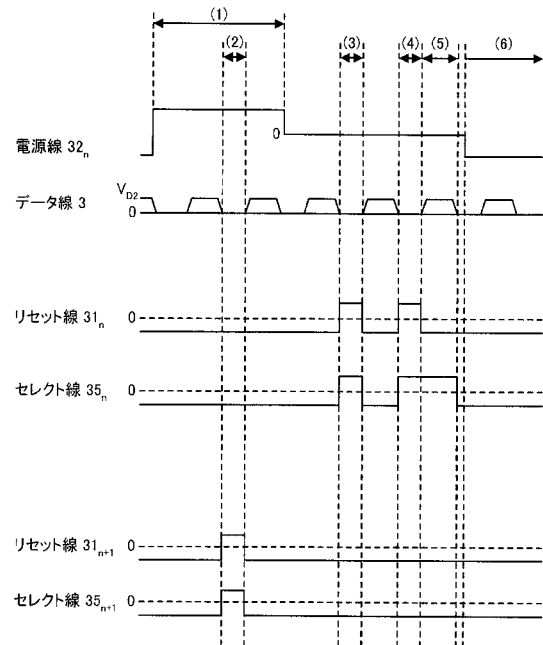
【図 4】



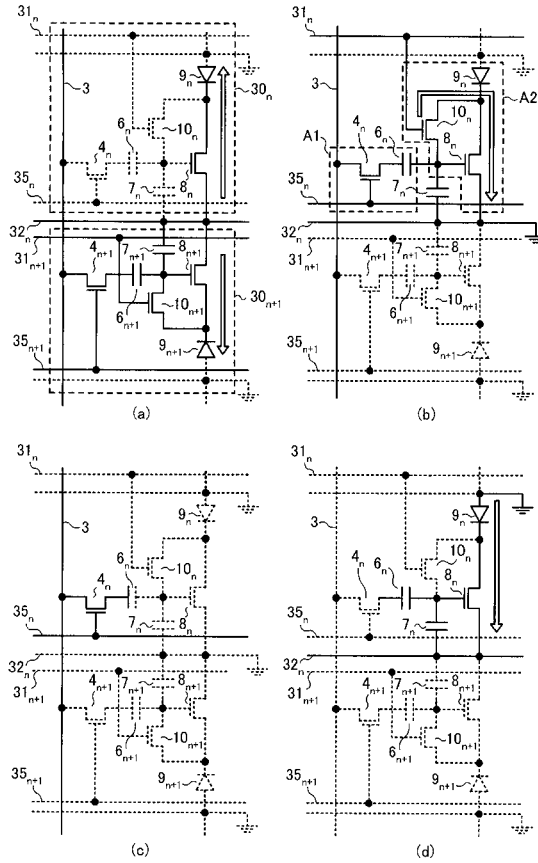
【図 5】



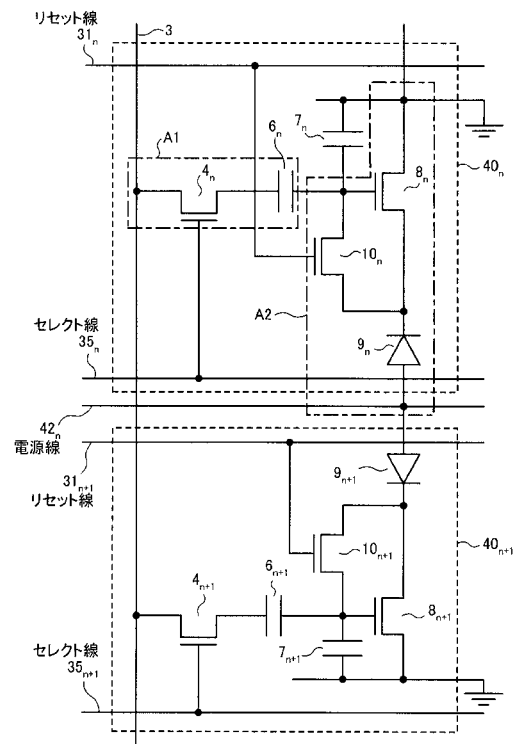
【図 6】



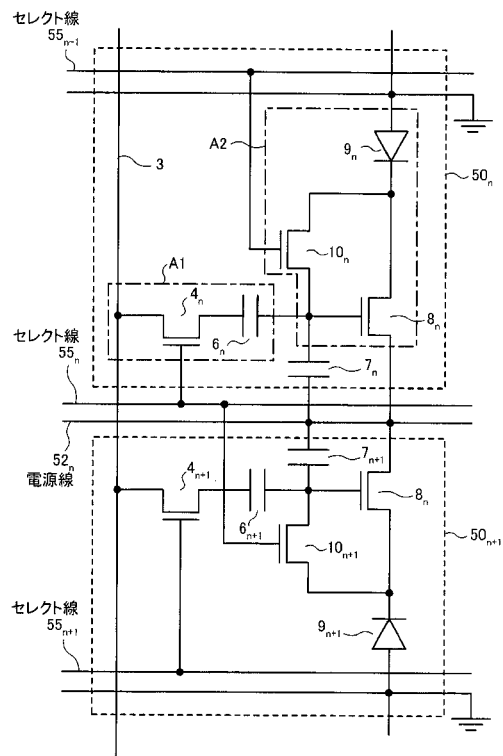
【図 7】



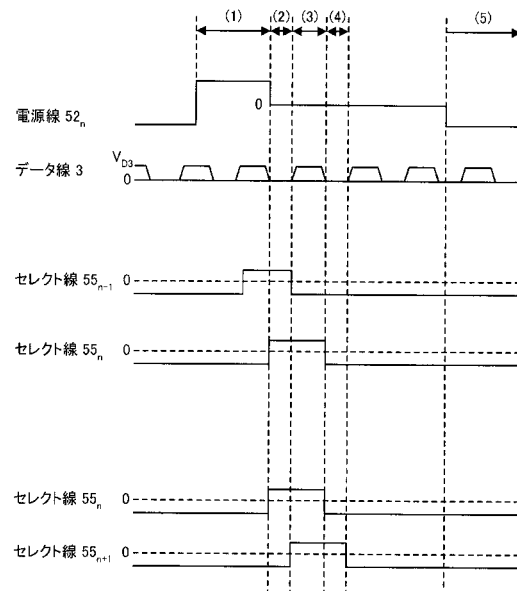
【図 8】



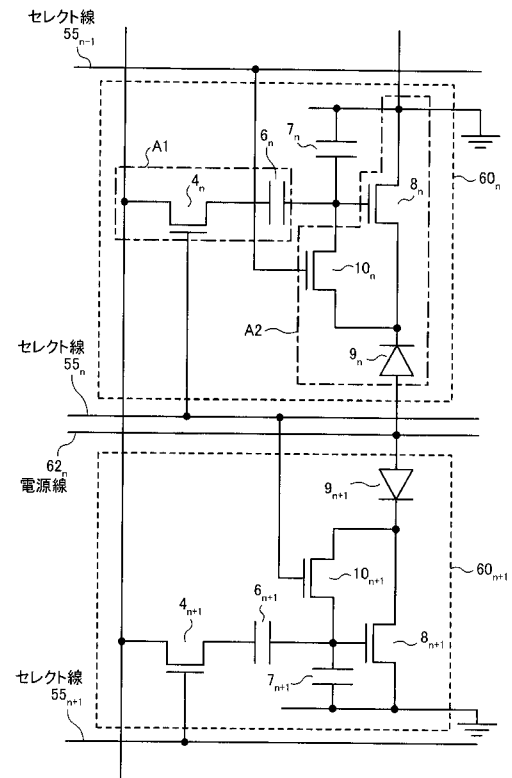
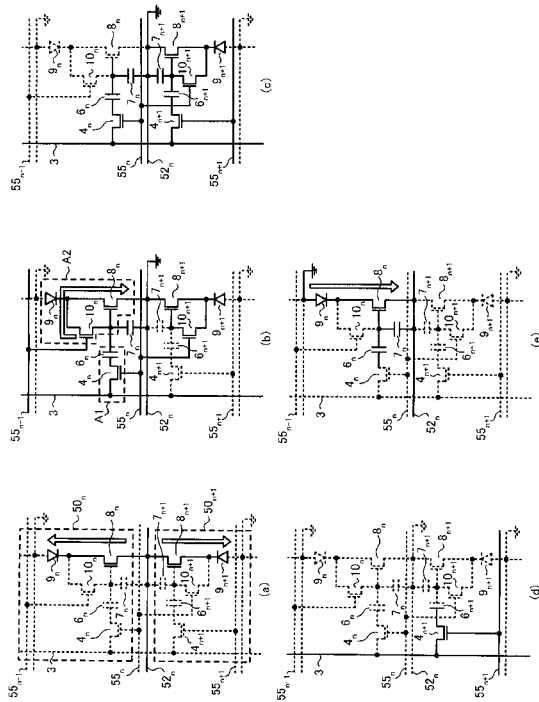
【図 9】



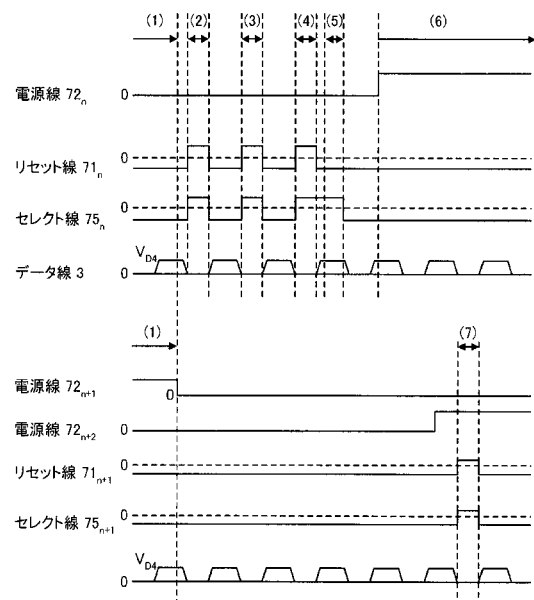
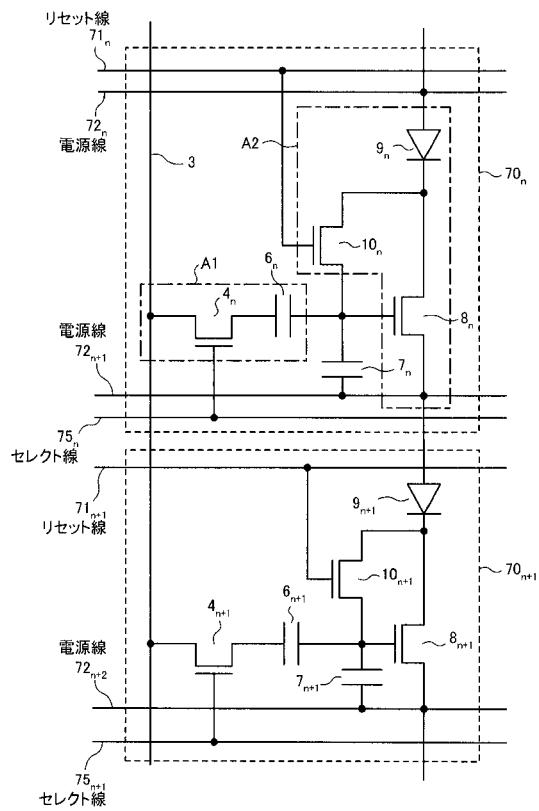
【図 10】



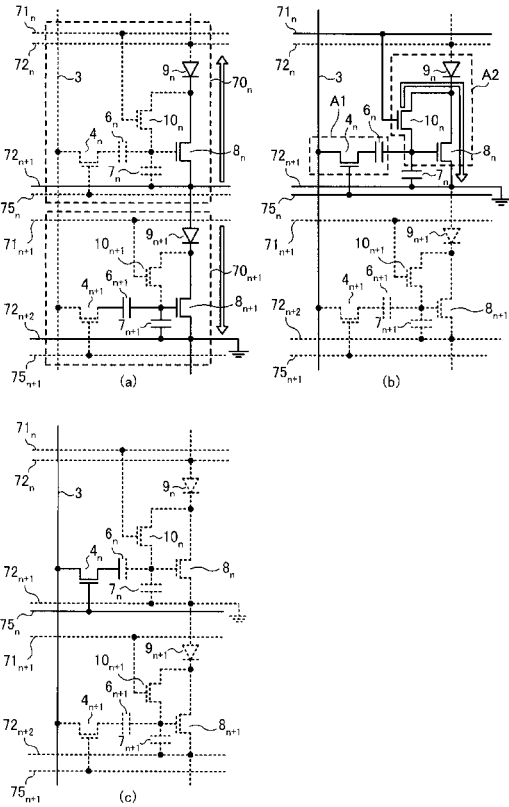
【 図 1 2 】



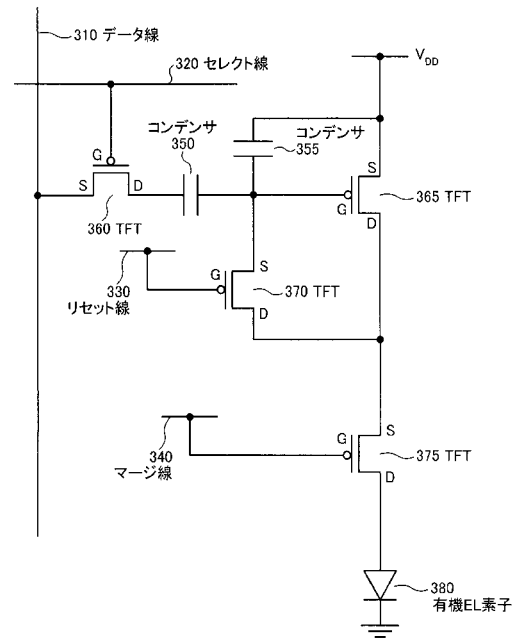
【 図 1 4 】



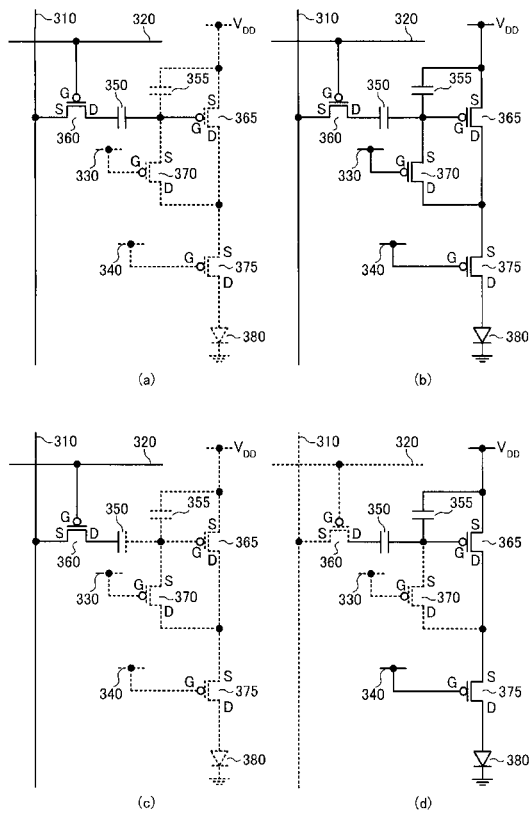
【図15】



【図16】



【図17】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 2 1 F
G 0 9 G	3/20	6 2 2 A
G 0 9 G	3/20	6 2 2 N
G 0 9 G	3/20	6 2 3 A
G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 2 4 C
G 0 9 G	3/20	6 4 1 D
G 0 9 G	3/20	6 4 2 A
H 0 5 B	33/14	A

(74)代理人 100089118

弁理士 酒井 宏明

(72)発明者 小野 晋也

神奈川県大和市下鶴間 1 6 2 3 番地 1 4 インターナショナル ディスプレイ テクノロジー株式会社 大和事業所内

(72)発明者 辻村 隆俊

神奈川県大和市下鶴間 1 6 2 3 番地 1 4 インターナショナル ディスプレイ テクノロジー株式会社 大和事業所内

(72)発明者 小林 芳直

神奈川県大和市下鶴間 1 6 2 3 番地 1 4 インターナショナル ディスプレイ テクノロジー株式会社 大和事業所内

審査官 橋本 直明

(56)参考文献 特開 2 0 0 3 - 0 9 9 0 0 0 (J P , A)

特開 2 0 0 3 - 1 7 3 1 6 5 (J P , A)

特開 2 0 0 3 - 1 9 5 8 0 9 (J P , A)

特開 2 0 0 3 - 2 2 3 1 3 8 (J P , A)

特開 2 0 0 3 - 1 2 2 3 0 1 (J P , A)

国際公開第 9 8 / 0 4 8 4 0 3 (W O , A 1)

特開 2 0 0 2 - 3 5 1 4 0 1 (J P , A)

特開 2 0 0 1 - 0 8 3 9 2 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G09G 3/30

G09F 9/30

G09G 3/20

H01L 27/32

H01L 51/50

专利名称(译)	画像表示装置		
公开(公告)号	JP4484451B2	公开(公告)日	2010-06-16
申请号	JP2003139478	申请日	2003-05-16
[标]申请(专利权)人(译)	群创光电股份有限公司 京瓷株式会社		
申请(专利权)人(译)	奇美电子股▲ふん▼有限公司 京瓷株式会社		
当前申请(专利权)人(译)	奇美电子股▲ふん▼有限公司 京瓷株式会社		
[标]发明人	小野晋也 辻村隆俊 小林芳直		
发明人	小野 晋也 辻村 隆俊 小林 芳直		
IPC分类号	G09G3/30 G09F9/30 H01L27/32 G09G3/20 H01L51/50 G09G3/32 G09G5/10 H05B33/14		
CPC分类号	G09G3/3233 G09G2300/0426 G09G2300/0819 G09G2300/0852 G09G2300/0861 G09G2310/0251 G09G2310/0256 G09G2320/043		
FI分类号	G09G3/30.J G09G3/30.K G09F9/30.338 G09F9/30.365.Z G09G3/20.611.H G09G3/20.621.F G09G3/20.622.A G09G3/20.622.N G09G3/20.623.A G09G3/20.624.B G09G3/20.624.C G09G3/20.641.D G09G3/20.642.A H05B33/14.A G09F9/30.365 G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291 H01L27/32		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD03 5C080/DD08 5C080/EE29 5C080/FF11 5C080/JJ03 5C080/JJ04 5C094/AA03 5C094/AA23 5C094/AA25 5C094/AA53 5C094/AA55 5C094/BA03 5C094/BA29 5C094/CA19 5C094/DB04 5C094/FB14 5C094/FB19 5C380/AA01 5C380/AB06 5C380/BA12 5C380/BA13 5C380/BA19 5C380/BA31 5C380/BA34 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB22 5C380/BD08 5C380/BD10 5C380/CA12 5C380/CA54 5C380/CB05 5C380/CB17 5C380/CB31 5C380/CB32 5C380/CC05 5C380/CC07 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC38 5C380/CC41 5C380/CC52 5C380/CC63 5C380/CC77 5C380/CD023 5C380/CD024 5C380/CD025 5C380/CE04 5C380/DA02 5C380/DA06 5C380/DA32 5C380/DA47		
代理人(译)	酒井宏明		
审查员(译)	Naoaki桥本		
其他公开文献	JP2004341359A		
外部链接	Espacenet		

摘要(译)

要解决的问题：实现一种图像显示装置，其通过抑制刷新率的降低而阻止图像质量变差。ŽSOLUTION：图像显示装置配备有数据线3，作为第一开关装置的TFT 4，作为驱动元件的TFT 8，有机EL元件9，参考电压写入装置A1和阈值电压检测装置A2。此外，提供电容器6和电容器7.该图像显示装置在阈值电压检测过程中通过参考电压写入装置A1和阈值电压检测装置A2检测TFT 8的阈值电压，并补偿阈值的变化。作为驱动元件的TFT 8的电压。此外，单独提供参考电压写入装置A1，因此可以缩短直到数据写入的时间以将刷新率保持在最佳值。Ž

0 5 3 】

式 1 】

$$V_g = V_{th1} + \frac{C_1}{C_1 + C_2} \cdot V_{D1}$$