

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-213072

(P2015-213072A)

(43) 公開日 平成27年11月26日(2015.11.26)

(51) Int.Cl.	F I	テーマコード (参考)
H05B 33/26 (2006.01)	H05B 33/26 Z	3K107
H01L 51/50 (2006.01)	H05B 33/14 A	5C094
H05B 33/22 (2006.01)	H05B 33/22 Z	5F110
G09F 9/30 (2006.01)	G09F 9/30 338	
H01L 27/32 (2006.01)	G09F 9/30 365	
審査請求 有 請求項の数 1 O L (全 51 頁) 最終頁に続く		

(21) 出願番号 特願2015-103568 (P2015-103568)
 (22) 出願日 平成27年5月21日 (2015. 5. 21)
 (62) 分割の表示 特願2013-4466 (P2013-4466)
 の分割
 原出願日 平成25年1月15日 (2013. 1. 15)
 (31) 優先権主張番号 特願2012-10155 (P2012-10155)
 (32) 優先日 平成24年1月20日 (2012. 1. 20)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 松倉 英樹
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム(参考) 3K107 AA01 BB01 CC11 CC31 DD21
 DD26 DD37 DD38 DD39 DD90
 DD91 EE03 GG12
 5C094 AA21 BA03 BA27 DA13 DB01
 FA01 FB12

最終頁に続く

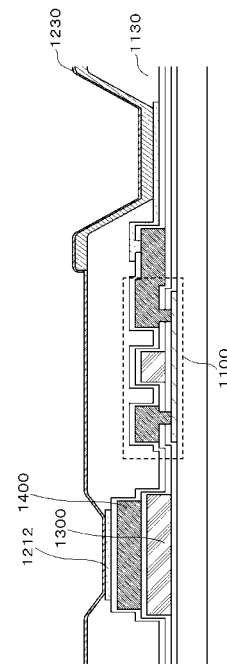
(54) 【発明の名称】 表示装置

(57) 【要約】 (修正有)

【課題】画素電極が形成されていない領域に存在するスペースを有効利用する。

【解決手段】半導体層と、前記半導体層上の第1の絶縁層と、前記第1の絶縁層上のゲート電極及び第1の導電層と、前記ゲート電極上及び前記第1の導電層上の第2の絶縁層と、前記第2の絶縁層上のソース電極、ドレイン電極、及び第2の導電層と、前記ソース電極上、前記ドレイン電極上、及び前記第2の導電層上の第3の絶縁層と、前記第3の絶縁層上の第1の電極及び第3の導電層と、前記第1の電極の端部を覆う平坦化膜と、前記第1の電極上のエレクトロルミネッセンス層と、前記エレクトロルミネッセンス層上及び前記平坦化膜上の第2の電極と、を有し、前記第2の電極は、前記平坦化膜に設けられた開口部を介して前記第3の導電層と電気的に接続されており、前記開口部は、前記第1の導電層、前記第2の導電層、及び前記第3の導電層と重なる。

【選択図】 図4



【特許請求の範囲】**【請求項 1】**

半導体層と、第 1 の導電層と、第 2 の導電層と、第 3 の導電層と、第 4 の導電層と、第 5 の導電層と、第 6 の導電層と、第 7 の導電層と、第 1 の絶縁層と、第 2 の絶縁層と、第 3 の絶縁層と、第 4 の絶縁層と、有機化合物を含む発光層と、を有し、

前記第 1 の導電層上方及び前記第 5 の導電層上方に、前記第 1 の絶縁層を有し、

前記第 1 の絶縁層上方に、前記半導体層を有し、

前記半導体層上方に、前記第 2 の絶縁層を有し、

前記第 2 の絶縁層上方に、前記第 2 の導電層と、前記第 6 の導電層と、を有し、

前記第 2 の導電層上方及び前記第 6 の導電層上方に、前記第 3 の絶縁層を有し、

前記第 3 の絶縁層上方に、前記第 3 の導電層と、前記第 7 の導電層と、を有し、

前記第 3 の導電層上方及び前記第 7 の絶縁層上方に、前記第 4 の絶縁層を有し、

前記第 3 の導電層上方及び前記第 4 の絶縁層上方に、前記発光層を有し、

前記発光層上方に、前記第 4 の導電層を有し、

前記第 1 の導電層は、トランジスタのゲート電極となる機能を有し、

前記第 1 の導電層と前記第 5 の導電層は、第 1 の導電膜をエッチング加工する工程を経て形成されたものであり、

前記半導体層は、前記トランジスタのチャネル形成領域を有し、

前記第 2 の導電層は、前記トランジスタのソース電極又はドレイン電極となる機能を有し、

前記第 2 の導電層と前記第 6 の導電層とは、第 2 の導電膜をエッチング加工する工程を経て形成されたものであり、

前記第 3 の導電層は、E L 素子の陽極となる機能を有し、

前記第 3 の導電層と前記第 7 の導電層とは、第 3 の導電膜をエッチング加工する工程を経て形成されたものであり、

前記第 4 の導電層は、前記 E L 素子の陰極となる機能を有し、

前記第 4 の導電層は、前記第 4 の絶縁層に設けられた第 1 の開口を介して、前記第 7 の導電層と電気的に接続され、

前記第 6 の導電層は、第 2 の開口を有し、

前記第 7 の導電層は、前記第 2 の開口と重なる領域を有し、

前記第 5 の導電層は、前記第 2 の開口と重なる領域を有することを特徴とする表示装置

。

【発明の詳細な説明】**【技術分野】****【0001】**

技術分野は、発光装置、表示装置（E L 表示装置、液晶表示装置等）、半導体装置等に関する。

【背景技術】**【0002】**

特許文献 1 には、画素回路に用いられる配線上に、絶縁層を介して画素電極を配置した発光装置が開示されている。

【先行技術文献】**【特許文献】****【0003】**

【特許文献 1】特開 2003 - 257657 号公報

【発明の概要】**【発明が解決しようとする課題】****【0004】**

特許文献 1 のような構造を採用すると、絶縁層上に接する導電層が画素電極のみとなるので、画素電極が形成されていない領域には導電層を配置可能なスペースが存在すること

10

20

30

40

50

になる。

【 0 0 0 5 】

そこで、画素電極が形成されていない領域に存在するスペースを有効利用することを第 1 の課題とする。

【 0 0 0 6 】

また、配線同士の交差部に形成される寄生容量を低減することを第 2 の課題とする。

【 0 0 0 7 】

なお、以下に開示する発明は第 1 の課題又は第 2 の課題のいずれか一方を解決できれば良い。

【課題を解決するための手段】

10

【 0 0 0 8 】

画素電極が形成されていない領域に、補助配線（補助電極）、一のトランジスタと他のトランジスタとを接続する接続配線、容量電極等を形成することによって、第 1 の課題を解決することができる。

【 0 0 0 9 】

一方、第 1 の配線と第 2 の配線とが交差する場合において、第 1 の配線に第 1 の開口部を設け、第 2 の配線に第 2 の開口部を設ける。

【 0 0 1 0 】

そして、第 1 の開口部及び第 2 の開口部を第 1 の配線と第 2 の配線の交差部に配置し、且つ、第 1 の開口部の一部又は全部が第 2 の開口部と重ならないようにすることによって、第 2 の課題を解決することができる。

20

【 0 0 1 1 】

例えば、半導体層と、前記半導体層上の第 1 の絶縁層と、前記第 1 の絶縁層上のゲート電極及び第 1 の導電層と、前記ゲート電極上及び前記第 1 の導電層上の第 2 の絶縁層と、前記第 2 の絶縁層上のソース電極、ドレイン電極、及び第 2 の導電層と、前記ソース電極上、前記ドレイン電極上、及び前記第 2 の導電層上の第 3 の絶縁層と、前記第 3 の絶縁層上の第 1 の電極及び第 3 の導電層と、前記第 1 の電極の端部を覆う平坦化膜と、前記第 1 の電極上のエレクトロルミネッセンス層と、前記エレクトロルミネッセンス層上及び前記平坦化膜上の第 2 の電極と、を有し、前記第 2 の電極は、前記平坦化膜に設けられた開口部を介して前記第 3 の導電層と電氣的に接続されており、前記開口部は、前記第 1 の導電層、前記第 2 の導電層、及び前記第 3 の導電層と重なることを特徴とする発光装置を提供することができる。

30

【 0 0 1 2 】

例えば、ゲート電極及び第 1 の導電層と、前記ゲート電極上及び前記第 1 の導電層上の第 1 の絶縁層と、前記第 1 の絶縁層上の半導体層及び第 2 の導電層と、前記半導体層上のソース電極及びドレイン電極と、前記ソース電極上、前記ドレイン電極上、及び前記第 2 の導電層上の第 2 の絶縁層と、前記第 2 の絶縁層上の第 1 の電極及び第 3 の導電層と、前記第 1 の電極の端部を覆う平坦化膜と、前記第 1 の電極上のエレクトロルミネッセンス層と、前記エレクトロルミネッセンス層上及び前記平坦化膜上の第 2 の電極と、を有し、前記第 2 の電極は、前記平坦化膜に設けられた開口部を介して前記第 3 の導電層と電氣的に接続されており、前記開口部は、前記第 1 の導電層、前記第 2 の導電層、及び前記第 3 の導電層と重なることを特徴とする発光装置を提供することができる。

40

【 0 0 1 3 】

上記発光装置において、前記第 1 の導電層又は前記第 2 の導電層の一方は、ダミー電極であり、前記第 1 の導電層又は前記第 2 の導電層の他方は、配線であると好ましい。

【 0 0 1 4 】

上記発光装置において、前記第 1 の導電層又は前記第 2 の導電層の一方は、第 1 のダミー電極であり、前記第 1 の導電層又は前記第 2 の導電層の他方は、第 2 のダミー電極であると好ましい。

【 0 0 1 5 】

50

上記発光装置において、前記第 1 の導電層又は前記第 2 の導電層の一方は、第 1 の配線であり、前記第 1 の導電層又は前記第 2 の導電層の他方は、第 2 の配線であり、前記開口部は、前記第 1 の配線と前記第 2 の配線との交差部に設けられていると好ましい。

【0016】

上記発光装置において、前記第 1 の導電層には第 1 の開口部が設けられており、前記第 1 の開口部は、前記開口部の内側に設けられていると好ましい。

【0017】

上記発光装置において、前記第 2 の導電層には第 2 の開口部が設けられており、前記第 2 の開口部は、前記開口部の内側に設けられていると好ましい。

【0018】

上記発光装置において、前記第 1 の導電層には第 1 の開口部が設けられており、前記第 2 の導電層には第 2 の開口部が設けられており、前記第 1 の開口部及び前記第 2 の開口部は、前記開口部の内側に設けられていると好ましい。

【0019】

上記発光装置において、前記第 1 の導電層は、前記ゲート電極と同層であり、前記第 2 の導電層は、前記ソース電極及びドレイン電極と同層であり、前記第 3 の導電層は、前記第 1 の電極と同層であると好ましい。

【0020】

例えば、第 1 及び第 2 のトランジスタと、第 1 乃至第 3 の配線と、画素電極と、を有し、前記第 1 及び前記第 2 のトランジスタは、逆スタガ構造のトランジスタであり、前記第 1 の配線には、前記第 1 のトランジスタのソース又はドレインの一方が電氣的に接続されており、前記第 2 の配線には、前記第 1 のトランジスタのゲートが電氣的に接続されており、前記第 3 の配線には、前記第 2 のトランジスタのソース又はドレインの一方が電氣的に接続されており、前記画素電極には、前記第 2 のトランジスタのソース又はドレインの他方が電氣的に接続されており、前記第 1 のトランジスタのソース又はドレインの他方と、前記第 2 のトランジスタのゲートと、が前記画素電極と同層の接続配線を介して電氣的に接続されていることを特徴とする表示装置を提供することができる。

【0021】

上記表示装置において、容量素子を有し、前記第 2 のトランジスタのゲート電極は、前記容量素子の一方の電極と兼用されており、前記第 3 の配線は、前記容量素子の他方の電極と兼用されていると好ましい。

【0022】

上記表示装置において、前記画素電極と同層の導電層を有し、前記導電層は、前記第 3 の配線と重なり、前記導電層は、前記第 2 のトランジスタのゲート電極と電氣的に接続されていると好ましい。

【0023】

上記表示装置において、前記導電層は、前記第 3 の配線に設けられた開口部の内側において、前記第 2 のトランジスタのゲート電極と電氣的に接続されていると好ましい。

【0024】

例えば、トランジスタと、第 1 及び第 2 の配線と、を有し、前記第 1 の配線は、前記トランジスタのソース又はドレインの一方と電氣的に接続されており、前記第 2 の配線は、前記トランジスタのゲートと電氣的に接続されており、前記第 1 の配線は第 1 の開口部を有し、前記第 2 の配線は第 2 の開口部を有し、前記第 1 及び前記第 2 の開口部は、前記第 1 の配線と前記第 2 の配線の交差部に設けられており、前記交差部において、前記第 1 の開口部は前記第 2 の開口部と重ならない領域を有することを特徴とする半導体装置を提供することができる。

【0025】

例えば、トランジスタと、第 1 乃至第 3 の配線と、容量素子を有し、前記第 1 の配線は、前記トランジスタのソース又はドレインの一方と電氣的に接続されており、前記第 2 の配線は、前記トランジスタのゲートと電氣的に接続されており、前記第 3 の配線は、前記

10

20

30

40

50

容量素子の一方の電極と電氣的に接続されており、前記トランジスタのソース又はドレインの他方と、前記容量素子の他方の電極と、は電氣的に接続されており、前記第 1 の配線は第 1 の開口部を有し、前記第 3 の配線は第 3 の開口部を有し、前記第 1 及び前記第 3 の開口部は、前記第 1 の配線と前記第 3 の配線の交差部に設けられており、前記交差部において、前記第 1 の開口部は前記第 3 の開口部と重ならない領域を有することを特徴とする半導体装置を提供することができる。

【0026】

例えば、トランジスタと、第 1 乃至第 3 の配線と、容量素子を有し、前記第 1 の配線は、前記トランジスタのソース又はドレインの一方と電氣的に接続されており、前記第 2 の配線は、前記トランジスタのゲートと電氣的に接続されており、前記第 3 の配線は、前記容量素子の一方の電極と電氣的に接続されており、前記トランジスタのソース又はドレインの他方と、前記容量素子の他方の電極と、は電氣的に接続されており、前記第 1 の配線は第 1 の開口部を有し、前記第 2 の配線は第 2 の開口部を有し、前記第 3 の配線は第 3 の開口部を有し、前記第 1 の配線は第 4 の開口部を有し、前記第 1 及び前記第 2 の開口部は、前記第 1 の配線と前記第 2 の配線の第 1 の交差部に設けられており、前記第 3 及び前記第 4 の開口部は、前記第 1 の配線と前記第 3 の配線の第 2 の交差部に設けられており、前記第 1 の交差部において、前記第 1 の開口部は前記第 2 の開口部と重ならない領域を有し、前記第 2 の交差部において、前記第 3 の開口部は前記第 4 の開口部と重ならない領域を有することを特徴とする半導体装置を提供することができる。

10

【0027】

なお、本明細書において、ダミー電極（電氣的に孤立した電極、フローティング電極）とは、電流又は電圧が供給されない電氣的に浮遊状態（フローティング状態）の電極を意味する。

20

【0028】

また、本明細書において、ダミー半導体層（電氣的に孤立した半導体層、フローティング半導体層）とは、電流又は電圧が供給されない電氣的に浮遊状態（フローティング状態）の半導体層を意味する。

【0029】

また、本明細書において「A と B が同層」とは、「A と B とを同一工程で形成した」又は「A と B とを同一材料で形成した」ことを意味する。

30

【0030】

例えば、「A と B とを同一工程で形成した」又は「A と B とを同一材料で形成した」とは、所定の膜（出発膜）をパターン加工して A と B と形成したことを意味する。

【0031】

なお、パターン加工は、例えば、所定の膜（出発膜）上にマスクを形成し、マスクを用いて所定の膜（出発膜）を所定の形状に加工し、マスクを除去すること等を意味する。

【0032】

よって、「A と B とを同一工程で形成した」又は「A と B とを同一材料で形成した」という概念には「A と B は同じ出発膜を用いて形成した」という概念が含まれる。

40

【0033】

また、別の例として、印刷法（インクジェット法、凸版印刷法等）を用いて A と B とを形成する場合は、「A と B とを同一工程で形成した」又は「A と B とを同一材料で形成した」とは、A 及び B の双方がパターン形成されるように印刷を行ったことを意味する。

【発明の効果】

【0034】

第 1 の課題を解決することによって、画素電極が形成されていない領域に存在するスペースを有効利用することができる。

【0035】

第 2 の課題を解決することによって、配線同士の交差部に形成される寄生容量を低減することができる。

50

【図面の簡単な説明】**【 0 0 3 6 】**

【図 1】発光装置の一例。

【図 2】発光装置の一例。

【図 3】発光装置の一例。

【図 4】発光装置の一例。

【図 5】発光装置の一例。

【図 6】発光装置の一例。

【図 7】発光装置の一例。

【図 8】発光装置の一例。

10

【図 9】発光装置の一例。

【図 10】発光装置の一例。

【図 11】発光装置の一例。

【図 12】発光装置の一例。

【図 13】発光装置の一例。

【図 14】発光装置の一例。

【図 15】発光装置の一例。

【図 16】発光装置の一例。

【図 17】発光装置の一例。

【図 18】発光装置の一例。

20

【図 19】発光装置の一例。

【図 20】発光装置の一例。

【図 21】発光装置の一例。

【図 22】発光装置の一例。

【図 23】発光装置の一例。

【図 24】発光装置の一例。

【図 25】発光装置の一例。

【図 26】発光装置の一例。

【図 27】発光装置の一例。

【図 28】発光装置の一例。

30

【図 29】発光装置の一例。

【図 30】発光装置の一例。

【図 31】半導体装置の一例。

【図 32】半導体装置の一例。

【発明を実施するための形態】**【 0 0 3 7 】**

実施の形態について、図面を用いて詳細に説明する。

【 0 0 3 8 】

但し、発明の趣旨から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。

40

【 0 0 3 9 】

従って、発明の範囲は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【 0 0 4 0 】

なお、以下に説明する構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

【 0 0 4 1 】

また、以下の実施の形態は、一部又は全部を適宜組み合わせる実施することができる。

【 0 0 4 2 】

(実施の形態 1)

50

図 1 に発光装置の一例を示す。

【 0 0 4 3 】

絶縁表面を有する基板 1 0 5 0 上に半導体層 1 1 1 0 が形成されている。

【 0 0 4 4 】

半導体層 1 1 1 0 上に絶縁層 1 1 1 1 が形成されている。

【 0 0 4 5 】

半導体層 1 1 1 0 は、少なくとも、チャネル形成領域、ソース領域、ドレイン領域を有する。

【 0 0 4 6 】

絶縁層 1 1 1 1 は、トランジスタ 1 1 0 0 のゲート絶縁膜に対応する。

10

【 0 0 4 7 】

絶縁層 1 1 1 1 上には、導電層 1 1 1 2 が形成されている。

【 0 0 4 8 】

導電層 1 1 1 2 は、トランジスタ 1 1 0 0 のゲート電極に対応し、チャネル形成領域と重なる位置に形成されている。

【 0 0 4 9 】

導電層 1 1 1 2 上には、絶縁層 1 1 1 3 が形成されている。

【 0 0 5 0 】

絶縁層 1 1 1 3 は、層間絶縁膜に対応する。

【 0 0 5 1 】

20

絶縁層 1 1 1 3 上には、導電層 1 1 1 4 及び導電層 1 1 1 5 が形成されている。

【 0 0 5 2 】

導電層 1 1 1 4 は、トランジスタ 1 1 0 0 のソース電極又はドレイン電極の一方に対応する。

【 0 0 5 3 】

そして、導電層 1 1 1 4 は、絶縁層 1 1 1 1 及び絶縁層 1 1 1 3 に形成されたコンタクトホールを介して半導体層のソース領域又はドレイン領域の一方に電氣的に接続されている。

【 0 0 5 4 】

導電層 1 1 1 5 は、トランジスタ 1 1 0 0 のソース電極又はドレイン電極の他方に対応する。

30

【 0 0 5 5 】

そして、導電層 1 1 1 5 は、絶縁層 1 1 1 1 及び絶縁層 1 1 1 3 に形成されたコンタクトホールを介して半導体層のソース領域又はドレイン領域の他方に電氣的に接続されている。

【 0 0 5 6 】

導電層 1 1 1 4 上及び導電層 1 1 1 5 上には、絶縁層 1 1 2 0 が形成されている。

【 0 0 5 7 】

絶縁層 1 1 2 0 は、層間絶縁膜に対応する。

【 0 0 5 8 】

40

絶縁層 1 1 2 0 上には、導電層 1 2 1 1 及び導電層 1 2 1 2 が形成されている。

【 0 0 5 9 】

導電層 1 2 1 1 は、発光素子の第 1 の電極（画素電極、下部電極）に対応する。

【 0 0 6 0 】

導電層 1 2 1 1 は、絶縁層 1 1 2 0 に形成されたコンタクトホールを介して導電層 1 1 1 5 に電氣的に接続されている。

【 0 0 6 1 】

導電層 1 2 1 2 は、発光素子の第 2 の電極（対向電極、上部電極）に対応する導電層 1 2 3 0 と電氣的に接続され、導電層 1 2 3 0 の補助配線（補助電極）として機能する。

【 0 0 6 2 】

50

なお、工程数削減のため、導電層 1 2 1 1 と導電層 1 2 1 2 とを同一工程で形成することが好ましい。即ち、導電層 1 2 1 1 と導電層 1 2 1 2 とが同層であることが好ましい。

【0063】

もちろん、導電層 1 2 1 1 と導電層 1 2 1 2 とを異なる工程で形成しても良い。

【0064】

導電層 1 2 1 1 上及び導電層 1 2 1 2 上には、絶縁層 1 1 3 0 が形成されている。

【0065】

絶縁層 1 1 3 0 は、隔壁層に対応する。

【0066】

絶縁層 1 1 3 0 には、導電層 1 2 1 1 の表面の一部を露出させるための開口部と、導電層 1 2 1 2 の表面の一部を露出させるための開口部と、が設けられている。 10

【0067】

つまり、絶縁層 1 1 3 0 は、導電層 1 2 1 1 の端部及び導電層 1 2 1 2 の端部を覆っている。

【0068】

導電層 1 2 1 1 上及び絶縁層 1 1 3 0 上には、エレクトロルミネッセンス層 1 2 2 0 (EL 層、電界発光層) が形成されている。

【0069】

エレクトロルミネッセンス層 1 2 2 0 上、絶縁層 1 1 3 0 上、及び導電層 1 2 1 2 上には、導電層 1 2 3 0 が形成されている。 20

【0070】

つまり、導電層 1 2 3 0 は、絶縁層 1 1 3 0 に設けられた開口部(コンタクトホール)を介して導電層 1 2 1 2 と電氣的に接続されている。

【0071】

導電層 1 2 3 0 は、発光素子の第 2 の電極(対向電極、上部電極)に対応する。

【0072】

図 1 のような構成とすることによって、導電層 1 2 1 1 が形成されていない領域に形成された導電層 1 2 1 2 を導電層 1 2 3 0 の補助配線として用いることができる。

【0073】

よって、画素電極が形成されていない領域のスペースを有効利用することができる。 30

【0074】

なお、図 1 において基板 1 0 5 0 上に設けられたトランジスタ 1 1 0 0 はトップゲート型 T F T を図示しているが、トランジスタ 1 1 0 0 をボトムゲート型 T F T としても良いし、シリコンウェハ、S O I 基板等を用いて形成したトランジスタとしても良い。

【0075】

本実施の形態に記載された構成の一部又は全部は、他の実施の形態に記載された構成の一部又は全部と適宜組み合わせる実施することができる。

【0076】

(実施の形態 2)

隔壁層として平坦化膜を用いた場合について説明する。 40

【0077】

平坦化膜とは表面に平坦性を有する絶縁膜である。

【0078】

平坦化膜の代表例は、例えば、液状の原材料を基板上に吐出した後に硬化して形成した絶縁膜等である。

【0079】

液状の原材料を基板上に吐出した後に硬化して形成した絶縁膜としては、例えば、有機絶縁膜等がある。

【0080】

有機絶縁膜としては、例えば、ポリイミド膜、アクリル膜、シロキサン膜等がある。 50

【 0 0 8 1 】

有機絶縁膜は原材料が液状であるので、膜の下層に形成された構造物の高さが高いほど、構造物と膜表面との間の距離が短くなる。

【 0 0 8 2 】

よって、膜の下層に形成された構造物の高さが高いほど、開口部の底面と表面との間の距離が短くなる。

【 0 0 8 3 】

なお、平坦化膜の代わりに、CMP (Chemical Mechanical Polishing) 等を用いて表面を研磨して平坦化した絶縁膜等を用いても良い。

【 0 0 8 4 】

表面が研磨された絶縁膜は、下層の構造物の凹凸を反映した表面を有する絶縁膜が形成された後に研磨を行うことによって表面を平坦化して形成するため、液状の原材料を用いて形成した絶縁膜と類似する形状となる。

【 0 0 8 5 】

そこで、開口部の底面を底上げした構成の一例を図 2、図 3 に示す。

【 0 0 8 6 】

図 2 は図 1 の構成に導電層 1 3 0 0 を追加した構成である。

【 0 0 8 7 】

工程数削減のため、導電層 1 3 0 0 は、トランジスタ 1 1 0 0 のゲート電極と同一工程で形成された導電層であると好ましい。

【 0 0 8 8 】

図 3 は図 1 の構成に導電層 1 4 0 0 を追加した構成である。

【 0 0 8 9 】

工程数削減のため、導電層 1 4 0 0 は、トランジスタ 1 1 0 0 のソース電極及びドレイン電極と同一工程で形成された導電層であると好ましい。

【 0 0 9 0 】

導電層 1 3 0 0 又は導電層 1 4 0 0 は、例えば、発光装置に用いる配線又はダミー電極（電氣的に孤立した電極、フローティング電極）等である。

【 0 0 9 1 】

発光装置に用いる配線としては、例えば、ゲート配線、容量配線、信号線、電源線、消去線等を用いることができる。

【 0 0 9 2 】

ダミー電極（電氣的に孤立した電極、フローティング電極）は、発光装置に用いられる配線又は電極と電氣的に分離された電極である。

【 0 0 9 3 】

そして、導電層 1 3 0 0 又は導電層 1 4 0 0 は、導電層 1 2 1 2 と導電層 1 2 3 0 とを電氣的に接続するために絶縁層 1 1 3 0 に設けられた開口部と重なる位置に形成されている。

【 0 0 9 4 】

なお、少なくとも開口部の縁（端、外周）が導電層 1 3 0 0 又は導電層 1 4 0 0 と重なる位置に形成されていれば良い。

【 0 0 9 5 】

以上のように、開口部と重なる位置に導電層を配置することによって、導電層 1 2 3 0 が断線する確率を低減することができる。

【 0 0 9 6 】

即ち、開口部の下に導電層を設けることにより、開口部の底面が底上げされるので、開口部の段差が小さくなる。

【 0 0 9 7 】

そして、開口部の段差が小さくなれば、導電層 1 2 3 0 が断線する確率を低減することができる。

10

20

30

40

50

【 0 0 9 8 】

なお、図 2、図 3 において開口部と重なる位置に、ダミー半導体層（電氣的に孤立した半導体層、フローティング半導体層）を配置すると、導電層 1 2 3 0 が断線する確率がより低減するので好ましい。

【 0 0 9 9 】

ダミー半導体層は、トランジスタの有する半導体層と同一工程で形成することが好ましい。

【 0 1 0 0 】

本実施の形態に記載された構成の一部又は全部は、他の実施の形態に記載された構成の一部又は全部と適宜組み合わせる実施することができる。

10

【 0 1 0 1 】

（実施の形態 3）

図 4 は、図 1 において導電層 1 3 0 0 及び導電層 1 4 0 0 の双方を追加した構成の一例である。なお、図 4 では隔壁層として平坦化膜を用いている。

【 0 1 0 2 】

工程数削減のため、導電層 1 3 0 0 は、トランジスタ 1 1 0 0 のゲート電極と同一工程で形成された導電層であると好ましい。

【 0 1 0 3 】

工程数削減のため、導電層 1 4 0 0 は、トランジスタ 1 1 0 0 のソース電極及びドレイン電極と同一工程で形成された導電層であると好ましい。

20

【 0 1 0 4 】

図 4 のように導電層 1 3 0 0 及び導電層 1 4 0 0 の双方を有することによって、図 2、図 3 よりも導電層 1 2 3 0 が断線する確率を低減することができるので好ましい。

【 0 1 0 5 】

導電層 1 3 0 0 又は導電層 1 4 0 0 は、例えば、発光装置に用いる配線又はダミー電極（電氣的に孤立した電極、フローティング電極）等である。

【 0 1 0 6 】

発光装置に用いる配線としては、例えば、ゲート配線、容量配線、信号線、電源線、消去線等を用いることができる。

【 0 1 0 7 】

ダミー電極（電氣的に孤立した電極、フローティング電極）は、発光装置に用いられる配線又は電極と電氣的に分離された電極である。

30

【 0 1 0 8 】

例えば、2つの配線の交差部に開口部を設ける構成では、導電層 1 3 0 0 が第 1 の配線に対応し、導電層 1 4 0 0 が第 2 の配線に対応する。

【 0 1 0 9 】

例えば、1つの配線とダミー電極と開口部とを重ねる構成では、導電層 1 3 0 0 が配線又はダミー電極の一方に対応し、導電層 1 4 0 0 が配線又はダミー電極の他方に対応する。

【 0 1 1 0 】

例えば、2つのダミー電極と開口部とを重ねる構成では、導電層 1 3 0 0 が第 1 のダミー電極に対応し、導電層 1 4 0 0 が第 2 のダミー電極に対応する。

40

【 0 1 1 1 】

なお、図 4 において開口部と重なる位置に、ダミー半導体層（電氣的に孤立した半導体層、フローティング半導体層）を配置すると、導電層 1 2 3 0 が断線する確率がより低減するので好ましい。

【 0 1 1 2 】

ダミー半導体層は、トランジスタの有する半導体層と同一工程で形成することが好ましい。

【 0 1 1 3 】

50

本実施の形態に記載された構成の一部又は全部は、他の実施の形態に記載された構成の一部又は全部と適宜組み合わせる実施することができる。

【0114】

(実施の形態4)

隔壁層として平坦化膜を用いる場合、発光領域における断線の確率を低減するために、画素電極の下にダミー電極又はダミー半導体層を配置しても良い。

【0115】

もちろん、画素電極の下にダミー電極及びダミー半導体層の双方を配置しても良い。

【0116】

ダミー半導体層は、トランジスタの有する半導体層と同一工程で形成することが好ましい。 10

【0117】

ダミー電極は、トランジスタの有するゲート電極と同一工程で形成することが好ましい。

【0118】

ダミー電極は、トランジスタの有するソース電極及びドレイン電極と同一工程で形成することが好ましい。

【0119】

本実施の形態に記載された構成の一部又は全部は、他の実施の形態に記載された構成の一部又は全部と適宜組み合わせる実施することができる。 20

【0120】

(実施の形態5)

図5、図6、図7に逆スタガ構造のTFTの一種であるチャネルエッチ型TFTを用いた発光装置の一例を示す。

【0121】

図5は、図6及び図7に示す発光装置に用いられている画素回路の回路図である。

【0122】

図5に示す画素回路は、トランジスタTr1、トランジスタTr2、配線G、配線S、配線V、発光素子EL(EL素子)を有する。

【0123】

30

トランジスタTr1は、トランジスタTr2の導通、非導通を制御する機能を有する。

【0124】

トランジスタTr1は、スイッチング用トランジスタと呼ばれることもある。

【0125】

トランジスタTr2は、発光素子ELに供給される電流の制御を行う機能を有する。

【0126】

トランジスタTr2は、駆動用トランジスタと呼ばれることもある。

【0127】

配線Gは、例えば、ゲート線に対応する。

【0128】

40

ゲート線は、トランジスタTr1のゲートに電氣的に接続され、トランジスタTr1の導通、非導通を制御する信号を供給する機能を有する。

【0129】

配線Sは、例えば、信号線に対応する。

【0130】

信号線は、映像信号を供給する機能を有する。

【0131】

配線Vは、例えば、電源線に対応する。

【0132】

電源線は、電流又は電圧を供給する機能を有する。 50

- 【 0 1 3 3 】
配線 G はトランジスタ T r 1 のゲートに電氣的に接続されている。
- 【 0 1 3 4 】
配線 S はトランジスタ T r 1 のソース又はドレインの一方に電氣的に接続されている。
- 【 0 1 3 5 】
配線 V はトランジスタ T r 2 のソース又はドレインの一方に電氣的に接続されている。
- 【 0 1 3 6 】
発光素子 E L はトランジスタ T r 2 のソース又はドレインの他方に電氣的に接続されている。
- 【 0 1 3 7 】 10
トランジスタ T r 1 のソース又はドレインの他方と、トランジスタ T r 2 のゲートと、は電氣的に接続されている。
- 【 0 1 3 8 】
図 6 の A - B 断面の断面図が図 7 (A) に対応する。
- 【 0 1 3 9 】
また、図 7 (A) は図 5 のトランジスタ T r 2 の断面図に対応する。
- 【 0 1 4 0 】
図 6 の C - D 断面の断面図が図 7 (B) に対応する。
- 【 0 1 4 1 】 20
また、図 7 (B) は、図 5 のトランジスタ T r 1 のソース又はドレインの他方とトランジスタ T r 2 のゲートとの接続部の断面図に対応する。
- 【 0 1 4 2 】
図 6 の E - F 断面の断面図が図 7 (C) に対応する。
- 【 0 1 4 3 】
また、図 7 (C) は図 5 のトランジスタ T r 1 の断面図に対応する。
- 【 0 1 4 4 】
そして、図 6 及び図 7 において、絶縁表面を有する基板 5 0 上には導電層 1 0 1 、導電層 1 0 2 が形成されている。
- 【 0 1 4 5 】 30
導電層 1 0 1 は、トランジスタ T r 2 のゲート電極に対応する。
- 【 0 1 4 6 】
また、導電層 1 0 1 は、トランジスタ T r 1 のソース又はドレインの他方とトランジスタ T r 2 のゲートとを電氣的に接続するための接続配線の一部としての機能も有する。
- 【 0 1 4 7 】
導電層 1 0 2 は、トランジスタ T r 1 のゲート電極に対応する。
- 【 0 1 4 8 】
また、導電層 1 0 2 は、配線 G (ゲート線) としての機能も有する。
- 【 0 1 4 9 】
導電層 1 0 1 上及び導電層 1 0 2 上には、絶縁層 2 0 0 が形成されている。
- 【 0 1 5 0 】 40
絶縁層 2 0 0 は、トランジスタ T r 1 のゲート絶縁膜としての機能と、トランジスタ T r 2 のゲート絶縁膜としての機能と、を有する。
- 【 0 1 5 1 】
絶縁層 2 0 0 上には、半導体層 3 0 1 及び半導体層 3 0 2 が形成されている。
- 【 0 1 5 2 】
半導体層 3 0 1 は、トランジスタ T r 2 の半導体層に対応する。
- 【 0 1 5 3 】
半導体層 3 0 2 は、トランジスタ T r 1 の半導体層に対応する。
- 【 0 1 5 4 】 50
半導体層 3 0 1 上には、導電層 4 0 1 と導電層 4 0 2 とが形成されている。

【 0 1 5 5 】

導電層 4 0 1 は、トランジスタ T r 2 のソース電極又はドレイン電極の一方に対応する。

【 0 1 5 6 】

また、導電層 4 0 1 は、画素電極である導電層 6 0 1 との接続配線としての機能も有する。

【 0 1 5 7 】

導電層 4 0 2 は、トランジスタ T r 2 のソース電極又はドレイン電極の他方に対応する。

【 0 1 5 8 】

また、導電層 4 0 2 は、配線 V (電源線) としての機能も有する。

【 0 1 5 9 】

半導体層 3 0 2 上には、導電層 4 0 3 と導電層 4 0 4 とが形成されている。

【 0 1 6 0 】

導電層 4 0 3 は、トランジスタ T r 1 のソース電極又はドレイン電極の一方に対応する。

【 0 1 6 1 】

また、導電層 4 0 3 は、トランジスタ T r 1 のソース又はドレインの他方とトランジスタ T r 2 のゲートとを電氣的に接続するための接続配線の一部としての機能も有する。

【 0 1 6 2 】

導電層 4 0 4 は、トランジスタ T r 1 のソース電極又はドレイン電極の他方に対応する。

【 0 1 6 3 】

また、導電層 4 0 4 は、配線 S (信号線) としての機能も有する。

【 0 1 6 4 】

導電層 4 0 1 上、導電層 4 0 2 上、導電層 4 0 3 上、及び導電層 4 0 4 上には、絶縁層 5 0 0 が形成されている。

【 0 1 6 5 】

絶縁層 5 0 0 は、層間絶縁膜に対応する。

【 0 1 6 6 】

絶縁層 5 0 0 上には、導電層 6 0 1 、導電層 6 0 2 が形成されている。

【 0 1 6 7 】

導電層 6 0 1 は、発光素子の第 1 の電極 (画素電極、下部電極) に対応する。

【 0 1 6 8 】

導電層 6 0 1 は、絶縁層 5 0 0 に形成されたコンタクトホールを介して導電層 4 0 1 に電氣的に接続されている。

【 0 1 6 9 】

導電層 6 0 2 は、トランジスタ T r 1 のソース又はドレインの他方とトランジスタ T r 2 のゲートとを電氣的に接続するための接続配線の一部としての機能を有する。

【 0 1 7 0 】

導電層 6 0 2 は、絶縁層 5 0 0 に形成された第 1 のコンタクトホールを介して導電層 4 0 3 に電氣的に接続され、且つ、絶縁層 2 0 0 及び絶縁層 5 0 0 に形成された第 2 のコンタクトホールを介して導電層 1 0 1 に電氣的に接続されている。

【 0 1 7 1 】

なお、図 6 に示すように、上下の導電層が重なり合う領域の長手方向とコンタクトホールの長手方向とが平行になるようにすると、コンタクトホールの面積を大きくすることができるので好ましい。

【 0 1 7 2 】

よって、図 6 では第 1 のコンタクトホールの長手方向と第 2 のコンタクトホールの長手方向とが交差している。

10

20

30

40

50

【 0 1 7 3 】

工程数削減のために、第 1 のコンタクトホールと第 2 のコンタクトホールとを同一工程で形成し、且つ、導電層 6 0 1 と導電層 6 0 2 とを同一工程で形成することが好ましい。

【 0 1 7 4 】

仮に、トランジスタ T r 1 のソース又はドレインの他方とトランジスタ T r 2 のゲートとを電氣的に接続するために、導電層 4 0 3 を導電層 1 0 1 と接触させようとした場合、絶縁層 2 0 0 を形成した後であって絶縁層 5 0 0 を形成する前にコンタクトホール作製工程が必要となる。

【 0 1 7 5 】

一方、図 6、図 7 のように、導電層 6 0 2 を、トランジスタ T r 1 のソース又はドレインの他方とトランジスタ T r 2 のゲートとを電氣的に接続するための接続配線の一部として用いることによって、絶縁層 2 0 0 を形成した後であって絶縁層 5 0 0 を形成する前にコンタクトホール作製工程が不要となる。

10

【 0 1 7 6 】

つまり、図 6、図 7 の構造は、第 1 のコンタクトホールと第 2 のコンタクトホールとを同時に形成することができる構造であるため、絶縁層 2 0 0 を形成した後であって絶縁層 5 0 0 を形成する前にコンタクトホール作製工程を行う必要がなくなる構造であるといえる。

【 0 1 7 7 】

したがって、図 6、図 7 の構造はコンタクトホール作製工程を一回分削減できる構造であるといえる。

20

【 0 1 7 8 】

導電層 6 0 1 上及び導電層 6 0 2 上には、絶縁層 7 0 0 が形成されている。

【 0 1 7 9 】

絶縁層 7 0 0 は、隔壁層に対応する。

【 0 1 8 0 】

絶縁層 7 0 0 には、導電層 6 0 1 の表面の一部を露出させるための開口部が設けられている。

【 0 1 8 1 】

つまり、絶縁層 7 0 0 は、導電層 6 0 1 の端部を覆っている。

30

【 0 1 8 2 】

導電層 6 0 1 上及び絶縁層 7 0 0 上には、エレクトロルミネッセンス層 8 0 1 (E L 層、電界発光層) が形成されている。

【 0 1 8 3 】

エレクトロルミネッセンス層 8 0 1 上及び絶縁層 7 0 0 上には、導電層 9 0 0 が形成されている。

【 0 1 8 4 】

導電層 9 0 0 は、発光素子の第 2 の電極 (対向電極、上部電極) に対応する。

【 0 1 8 5 】

以上のように、導電層 6 0 2 を接続配線として用いることにより、工程数を削減できる構造とすることができる。

40

【 0 1 8 6 】

そして、導電層 6 0 2 は画素電極が存在しないスペースに形成されるので、画素電極が存在しないスペースを有効利用することができる。

【 0 1 8 7 】

本実施の形態ではチャネルエッチ型 T F T としたがチャネルストップ型 T F T としても良い。

【 0 1 8 8 】

なお、本実施の形態の発光素子を他の表示素子 (液晶素子、電気泳動素子等) に置換しても良い。

50

【 0 1 8 9 】

つまり、本実施の形態は表示装置全般に適用可能である。

【 0 1 9 0 】

本実施の形態に記載された構成の一部又は全部は、他の実施の形態に記載された構成の一部又は全部と適宜組み合わせて実施することができる。

【 0 1 9 1 】

(実施の形態 6)

図 5 ~ 図 7 において、容量素子を追加した構成の一例を図 8 ~ 図 9 に示す。

【 0 1 9 2 】

図 8 は図 9 の画素回路の回路図に対応する。

10

【 0 1 9 3 】

図 8 は、図 5 において容量素子 C を追加した例である。

【 0 1 9 4 】

容量素子 C の一方の端子 (一方の電極) は、トランジスタ T r 2 のゲートと電氣的に接続されている。

【 0 1 9 5 】

容量素子 C の他方の端子 (他方の電極) は、配線 V (電源線) と電氣的に接続されている。

【 0 1 9 6 】

本実施の形態では、容量素子 C の一方の電極とトランジスタ T r 2 のゲート電極とを兼用する。

20

【 0 1 9 7 】

また、容量素子 C の他方の電極と配線 V (電源線) とを兼用する。

【 0 1 9 8 】

ここで、図 9 は図 6 において、導電層 1 0 1 を導電層 4 0 2 の下に延在させた構成である。

【 0 1 9 9 】

容量素子 C の一方の電極とトランジスタ T r 2 のゲート電極とを兼用させ、且つ、容量素子 C の他方の電極と配線 V (電源線) とを兼用することによって、開口率を低減させることなく容量素子を作製することができる。

30

【 0 2 0 0 】

なお、本実施の形態の発光素子を他の表示素子 (液晶素子、電気泳動素子等) に置換しても良い。

【 0 2 0 1 】

つまり、本実施の形態は表示装置全般に適用可能である。

【 0 2 0 2 】

本実施の形態に記載された構成の一部又は全部は、他の実施の形態に記載された構成の一部又は全部と適宜組み合わせて実施することができる。

【 0 2 0 3 】

(実施の形態 7)

容量素子の容量を増加させる構成を図 1 0 に示す。

40

【 0 2 0 4 】

図 1 0 (A) は図 9 において導電層 6 0 3 を追加した構成である。

【 0 2 0 5 】

図 1 0 (B) は、図 1 0 (A) の G - H 断面の断面図に対応する。

【 0 2 0 6 】

なお、図 1 0 の画素回路の回路図は図 8 のようになる。

【 0 2 0 7 】

導電層 6 0 3 は、容量素子 C の他方の電極の一部を構成している。

【 0 2 0 8 】

50

導電層 6 0 3 を画素電極となる導電層 6 0 1 と同一工程で形成すると工程数が増加しないため好ましい。

【 0 2 0 9 】

導電層 6 0 3 は、絶縁層 5 0 0 に設けられたコンタクトホールを介して導電層 4 0 2 と電氣的に接続されている。

【 0 2 1 0 】

なお、導電層 6 0 3 と導電層 4 0 2 との接触抵抗を低減するためにコンタクトホールを複数設けると好ましい。

【 0 2 1 1 】

以上のような構成とすることによって、容量素子 C の他方の電極の幅を大きくすることができるので、容量素子 C の容量を大きくすることができる。

10

【 0 2 1 2 】

そして、導電層 6 0 3 は画素電極が存在しないスペースに形成されるので、画素電極が存在しないスペースを有効利用することができる。

【 0 2 1 3 】

なお、図 1 0 において、導電層 4 0 3 と導電層 1 0 1 とを直接接触させても良い。

【 0 2 1 4 】

なお、本実施の形態の発光素子を他の表示素子（液晶素子、電気泳動素子等）に置換しても良い。

【 0 2 1 5 】

20

つまり、本実施の形態は表示装置全般に適用可能である。

【 0 2 1 6 】

本実施の形態に記載された構成の一部又は全部は、他の実施の形態に記載された構成の一部又は全部と適宜組み合わせる実施することができる。

【 0 2 1 7 】

（実施の形態 8 ）

容量素子の容量を増加させる構成を図 1 1 に示す。

【 0 2 1 8 】

図 1 1 （ A ）は図 9 において導電層 6 0 4 を追加した構成である。

【 0 2 1 9 】

30

図 1 1 （ B ）は、図 1 1 （ A ）の I - J 断面の断面図に対応する。

【 0 2 2 0 】

なお、図 1 1 の画素回路の回路図は図 8 のようになる。

【 0 2 2 1 】

導電層 6 0 4 は、容量素子 C の一方の電極の一部を構成している。

【 0 2 2 2 】

導電層 6 0 4 を画素電極となる導電層 6 0 1 と同一工程で形成すると工程数が増加しないため好ましい。

【 0 2 2 3 】

導電層 6 0 4 は、絶縁層 2 0 0 及び絶縁層 5 0 0 に設けられたコンタクトホールを介して導電層 1 0 1 と電氣的に接続されている。

40

【 0 2 2 4 】

なお、導電層 6 0 4 と導電層 1 0 1 との接触抵抗を低減するためにコンタクトホールを複数設けると好ましい。

【 0 2 2 5 】

以上のような構成とすることによって、容量素子 C の他方の電極を容量素子の一方の電極で挟み込む構造となるため、容量素子 C の容量を大きくすることができる。

【 0 2 2 6 】

また、図 1 1 の導電層 6 0 4 の面積と図 1 0 の導電層 6 0 3 の面積とが同じ場合、図 1 1 では容量素子 C の他方の端子（他方の電極）を容量素子の一方の端子（一方の電極）で

50

挟み込む構造であるため、図 11 の容量素子 C の容量は図 10 の容量素子 C の容量よりも大きくなる。

【0227】

そして、導電層 604 は画素電極が存在しないスペースに形成されるので、画素電極が存在しないスペースを有効利用することができる。

【0228】

なお、図 11 において、導電層 403 と導電層 101 とを直接接触させても良い。

【0229】

なお、本実施の形態の発光素子を他の表示素子（液晶素子、電気泳動素子等）に置換しても良い。

10

【0230】

つまり、本実施の形態は表示装置全般に適用可能である。

【0231】

本実施の形態に記載された構成の一部又は全部は、他の実施の形態に記載された構成の一部又は全部と適宜組み合わせて実施することができる。

【0232】

（実施の形態 9）

容量素子の容量を増加させる構成を図 12 に示す。

【0233】

図 12（A）は図 9 において導電層 604 を追加した構成である。

20

【0234】

図 12（B）は、図 12（A）の I2 - J2 断面の断面図に対応する。

【0235】

なお、図 12 の画素回路の回路図は図 8 のようになる。

【0236】

導電層 604 は、容量素子 C の一方の電極の一部を構成している。

【0237】

導電層 604 を画素電極となる導電層 601 と同一工程で形成すると工程数が増加しないため好ましい。

【0238】

30

導電層 604 は、絶縁層 200 及び絶縁層 500 に設けられたコンタクトホールを介して導電層 101 と電氣的に接続されている。

【0239】

ここで、図 12 において導電層 402（配線 V（電源線））には開口部が設けられている。

【0240】

そして、図 12 において絶縁層 200 及び絶縁層 500 に設けられたコンタクトホールは、導電層 402（配線 V（電源線））に設けられた開口部の内側に設けられている。

【0241】

つまり、導電層 604 と導電層 101 とは導電層 402 に設けられた開口部の内側において電氣的に接続している。

40

【0242】

なお、導電層 604 と導電層 101 との接触抵抗を低減するためにコンタクトホールを複数設けると好ましい。

【0243】

また、絶縁層 200 及び絶縁層 500 にコンタクトホールを複数設ける場合は、導電層 402 に複数のコンタクトホールに対応する開口部を複数設けると好ましい。

【0244】

以上のような構成とすることによって、容量素子 C の他方の電極を容量素子の一方の電極で挟み込む構造となるため、容量素子 C の容量を大きくすることができる。

50

【0245】

また、図12において導電層402（配線V（電源線））には開口部が設けられているため、図11と比較して導電層604の大きさを小さくすることができる。

【0246】

したがって、図12は図11と比較して開口率を大きくすることができる。

【0247】

そして、導電層604は画素電極が存在しないスペースに形成されるので、画素電極が存在しないスペースを有効利用することができる。

【0248】

なお、図12において、導電層403と導電層101とを直接接触させても良い。

10

【0249】

また、本実施の形態の発光素子を他の表示素子（液晶素子、電気泳動素子等）に置換しても良い。

【0250】

つまり、本実施の形態は表示装置全般に適用可能である。

【0251】

本実施の形態に記載された構成の一部又は全部は、他の実施の形態に記載された構成の一部又は全部と適宜組み合わせる実施することができる。

【0252】

（実施の形態10）

20

逆スタガ構造のTFTを用いる場合において、発光素子の第2の電極（対向電極、上部電極）の補助配線（補助電極）を設けるとより好ましい。

【0253】

例えば、図13に、図6において導電層605を追加した構成を例示する。

【0254】

図13（B）は図13（A）のK-L断面の断面図に対応する。

【0255】

導電層605は、発光素子の第2の電極となる導電層900の補助配線としての機能を有する。

【0256】

30

導電層605は、絶縁層700に設けられた開口部（コンタクトホール）を介して導電層900と電氣的に接続されている。

【0257】

なお、図13の導電層605の形状は複数の開口部を有する形状（格子状、網目状）である。

【0258】

図13においては、一つの開口部に一つの画素電極が配置される構成としたが、一つの開口部に複数の画素電極が配置される構成としても良い。

【0259】

また、絶縁層700として平坦化膜を用いる場合、絶縁層700に設けられた開口部（コンタクトホール）を導電層102（配線G（ゲート線））と重なる位置に形成しているため、導電層900が断線する確率を低減することができる。

40

【0260】

また、トランジスタに用いる半導体層と同一工程で形成したダミー半導体層（電氣的に孤立した半導体層、フローティング半導体層）を、絶縁層700に設けられた開口部（コンタクトホール）と重なる位置に配置することによって、導電層900が断線する確率を低減することができる。

【0261】

そして、導電層605は画素電極が存在しないスペースに形成されるので、画素電極が存在しないスペースを有効利用することができる。

50

【0262】

なお、図13において、導電層403と導電層101とを直接接触させても良い。

【0263】

本実施の形態に記載された構成の一部又は全部は、他の実施の形態に記載された構成の一部又は全部と適宜組み合わせる実施することができる。

【0264】

(実施の形態11)

図13において、絶縁層700に設けられた開口部(コンタクトホール)と重なる位置に導電層405を配置した構成を図14に示す。

【0265】

導電層405はダミー電極(電氣的に孤立した電極、フローティング電極)である。

【0266】

導電層405はトランジスタに用いるソース電極及びドレイン電極と同一工程で形成すると工程数が増加しないため好ましい。

【0267】

導電層405を設けることによって、導電層900が断線する確率を低減することができる。

【0268】

また、トランジスタに用いる半導体層と同一工程で形成したダミー半導体層(電氣的に孤立した半導体層、フローティング半導体層)を、絶縁層700に設けられた開口部(コンタクトホール)と重なる位置に配置することによって、導電層900が断線する確率を低減することができる。

【0269】

そして、導電層605は画素電極が存在しないスペースに形成されるので、画素電極が存在しないスペースを有効利用することができる。

【0270】

なお、図14において、導電層403と導電層101とを直接接触させても良い。

【0271】

本実施の形態に記載された構成の一部又は全部は、他の実施の形態に記載された構成の一部又は全部と適宜組み合わせる実施することができる。

【0272】

(実施の形態12)

図15及び図16は、図13において絶縁層700に設けられた開口部(コンタクトホール)を配線同士の交差部に配置した構成である。

【0273】

図15は配線G(ゲート線)に対応する導電層102と配線V(電源線)に対応する導電層402との交差部に開口部(コンタクトホール)を設けた構成である。

【0274】

図16は配線G(ゲート線)に対応する導電層102と配線S(信号線)に対応する導電層404との交差部に開口部(コンタクトホール)を設けた構成である。

【0275】

図15及び図16は図13と比較して導電層900が断線する確率を低減することができる。

【0276】

また、トランジスタに用いる半導体層と同一工程で形成したダミー半導体層(電氣的に孤立した半導体層、フローティング半導体層)を、絶縁層700に設けられた開口部(コンタクトホール)と重なる位置に配置することによって、導電層900が断線する確率を低減することができる。

【0277】

そして、導電層605は画素電極が存在しないスペースに形成されるので、画素電極が

10

20

30

40

50

存在しないスペースを有効利用することができる。

【0278】

なお、図15及び図16において、導電層403と導電層101とを直接接触させても良い。

【0279】

本実施の形態に記載された構成の一部又は全部は、他の実施の形態に記載された構成の一部又は全部と適宜組み合わせて実施することができる。

【0280】

(実施の形態13)

図17、図18は、図13において絶縁層700に設けられた開口部(コンタクトホール)を導電層404(配線)と重なる位置に配置した構成である。

10

【0281】

絶縁層700として平坦化膜を用いる場合、開口部(コンタクトホール)を導電層404(配線)と重なる位置に配置した構成とすることによって、導電層900が断線する確率を低減することができる。

【0282】

図18は、図17において、絶縁層700に設けられた開口部(コンタクトホール)と重なる位置に導電層103を配置した構成である。

【0283】

なお、図17(B)は、図17(A)のO-P断面の断面図である。

20

【0284】

また、図18(B)は、図18(A)のQ-R断面の断面図である。

【0285】

導電層103はダミー電極(電氣的に孤立した電極、フローティング電極)である。

【0286】

導電層103はトランジスタに用いるゲート電極と同一工程で形成すると工程数が増加しないため好ましい。

【0287】

導電層103を設けることによって、導電層900が断線する確率を低減することができる。

30

【0288】

また、トランジスタに用いる半導体層と同一工程で形成したダミー半導体層(電氣的に孤立した半導体層、フローティング半導体層)を、絶縁層700に設けられた開口部(コンタクトホール)と重なる位置に配置することによって、導電層900が断線する確率を低減することができる。

【0289】

そして、導電層605は画素電極が存在しないスペースに形成されるので、画素電極が存在しないスペースを有効利用することができる。

【0290】

なお、図17及び図18において、導電層403と導電層101とを直接接触させても良い。

40

【0291】

また、本実施の形態では、絶縁層700に設けられた開口部(コンタクトホール)及び導電層103を導電層404と重ねて配置したが、導電層402と重ねて配置しても良い。

【0292】

本実施の形態に記載された構成の一部又は全部は、他の実施の形態に記載された構成の一部又は全部と適宜組み合わせて実施することができる。

【0293】

(実施の形態14)

50

図 19、図 20 は、図 13 において絶縁層 700 に設けられた開口部（コンタクトホール）を導電層 104 及び導電層 406 と重ねて配置した構成である。

【0294】

導電層 104 はダミー電極（電氣的に孤立した電極、フローティング電極）である。

【0295】

導電層 104 はトランジスタに用いるゲート電極と同一工程で形成すると工程数が増加しないため好ましい。

【0296】

導電層 104 を設けることによって、導電層 900 が断線する確率を低減することができる。

10

【0297】

導電層 406 はダミー電極（電氣的に孤立した電極、フローティング電極）である。

【0298】

導電層 406 はトランジスタに用いるソース電極及びドレイン電極と同一工程で形成すると工程数が増加しないため好ましい。

【0299】

導電層 406 を設けることによって、導電層 900 が断線する確率を低減することができる。

【0300】

なお、本実施の形態では導電層 104 及び導電層 406 の双方を形成したが、導電層 104 及び導電層 406 の一方だけを形成する構成としても良い。

20

【0301】

なお、図 20 のように画素電極に切欠け部を設け、切欠け部にダミー電極を設けると、図 19 と比較して画素電極の面積を大きくすることができるので、開口率を向上させることができる。

【0302】

また、トランジスタに用いる半導体層と同一工程で形成したダミー半導体層（電氣的に孤立した半導体層、フローティング半導体層）を、絶縁層 700 に設けられた開口部（コンタクトホール）と重なる位置に配置することによって、導電層 900 が断線する確率を低減することができる。

30

【0303】

なお、ダミー電極を形成せずにダミー半導体層のみを形成しても良い。

【0304】

そして、導電層 605 は画素電極が存在しないスペースに形成されるので、画素電極が存在しないスペースを有効利用することができる。

【0305】

なお、図 19 及び図 20 において、導電層 403 と導電層 101 とを直接接触させても良い。

【0306】

本実施の形態に記載された構成の一部又は全部は、他の実施の形態に記載された構成の一部又は全部と適宜組み合わせる実施することができる。

40

【0307】

（実施の形態 15）

導電層 605 の形状は複数の開口部を有する形状（格子状、網目状）のみに限定されず、さまざまな形状とすることができる。

【0308】

例えば、図 21 に示すように導電層 102（配線 G（ゲート線））に沿うような線状としても良い。

【0309】

例えば、図 22 に示すように導電層 404（配線 S（信号線））に沿うような線状とし

50

ても良い。

【0310】

もちろん、導電層402（配線V（電源線））に沿うような線状としても良い。

【0311】

導電層605を複数設けても良い。

【0312】

本実施の形態に記載された構成の一部又は全部は、他の実施の形態に記載された構成の一部又は全部と適宜組み合わせて実施することができる。

【0313】

（実施の形態16）

絶縁層700に設けられた開口部（コンタクトホール）を複数個形成すると導電層605と導電層900との電氣的な接続が確実になるので好ましい。

【0314】

この場合、他の複数の実施形態にまたがって記載されている複数種類の形成位置を組み合わせ実施しても良い（例えば、配線G（ゲート線）と重なる位置に第1の開口部を設け、且つ、配線V（電源線）と重なる位置に第2の開口部を設ける等）。

【0315】

本実施の形態に記載された構成の一部又は全部は、他の実施の形態に記載された構成の一部又は全部と適宜組み合わせて実施することができる。

【0316】

（実施の形態17）

発光装置の画素回路はどのような回路でも適用することができる。

【0317】

例えば、図23に発光装置の画素回路の一例を示す。

【0318】

図23は図5において、トランジスタTr3、配線G2、及び配線Rを追加した回路である。

【0319】

トランジスタTr3は、リセット用トランジスタ又は消去用トランジスタと呼ばれることもある。

【0320】

配線G2はトランジスタTr3の導通、非導通を制御する信号を供給する機能を有する。

【0321】

配線Rは、リセット線（消去線）に対応する。

【0322】

リセット線（消去線）は、画素回路に保持された電圧をリセットするための信号を供給する機能を有する。

【0323】

トランジスタTr3のゲートは配線G2に電氣的に接続されている。

【0324】

トランジスタTr3のソース又はドレインの一方は配線Rに電氣的に接続されている。

【0325】

トランジスタTr3のソース又はドレインの他方はトランジスタTr2のゲートに電氣的に接続されている。

【0326】

なお、図23において配線Rと配線Vを共有しても良い。

【0327】

即ち、図23において配線Rを設けずに、トランジスタTr3のソース又はドレインの一方を配線Vと電氣的に接続しても良い。

10

20

30

40

50

【 0 3 2 8 】

本実施の形態に記載された構成の一部又は全部は、他の実施の形態に記載された構成の一部又は全部と適宜組み合わせることができる。

【 0 3 2 9 】

(実施の形態 1 8)

発光装置の画素回路はどのような回路でも適用することができる。

【 0 3 3 0 】

例えば、図 2 4 に発光装置の画素回路の一例を示す。

【 0 3 3 1 】

図 2 4 に示した発光装置の画素回路は、トランジスタ T r 1 ~ トランジスタ T r 6 、配線 S (信号線) 、配線 G 1 ~ 配線 G 3 (ゲート線) 、配線 R (リセット線) 、配線 V (電源線) 、容量素子 C 1 、容量素子 C 2 、発光素子 E L (E L 素子) を有する。

10

【 0 3 3 2 】

トランジスタ T r 1 ~ トランジスタ T r 6 は、 n チャネル型トランジスタでも p チャネル型トランジスタでもどちらでもよい。

【 0 3 3 3 】

そして、配線 S は、トランジスタ T r 1 のソース又はドレインの一方に電氣的に接続されている。

【 0 3 3 4 】

配線 G 1 は、トランジスタ T r 2 のゲートと、トランジスタ T r 5 のゲートと、に電氣的に接続されている。

20

【 0 3 3 5 】

配線 G 2 は、トランジスタ T r 1 のゲートと、トランジスタ T r 4 のゲートと、容量素子 C 2 の一方の端子 (一方の電極) と、に電氣的に接続されている。

【 0 3 3 6 】

配線 G 3 は、トランジスタ T r 6 のゲートに電氣的に接続されている。

【 0 3 3 7 】

配線 R は、トランジスタ T r 6 のソース又はドレインの一方に電氣的に接続されている。

【 0 3 3 8 】

配線 V は、トランジスタ T r 2 のソース又はドレインの一方と、容量素子 C 1 の一方の端子 (一方の電極) と、に電氣的に接続されている。

30

【 0 3 3 9 】

発光素子 E L は、トランジスタ T r 5 のソース又はドレインの一方に電氣的に接続されている。

【 0 3 4 0 】

容量素子 C 1 の他方の端子 (他方の電極) と、トランジスタ T r 6 のソース又はドレインの他方と、トランジスタ T r 3 のゲートと、トランジスタ T r 4 のソース又はドレインの一方と、容量素子 C 2 の他方の端子 (他方の電極) と、は電氣的に接続されている。

【 0 3 4 1 】

トランジスタ T r 1 のソース又はドレインの他方と、トランジスタ T r 2 のソース又はドレインの他方と、トランジスタ T r 3 のソース又はドレインの一方と、は電氣的に接続されている。

40

【 0 3 4 2 】

トランジスタ T r 3 のソース又はドレインの他方と、トランジスタ T r 4 のソース又はドレインの他方と、トランジスタ T r 5 のソース又はドレインの他方と、は電氣的に接続されている。

【 0 3 4 3 】

図 2 4 の回路の動作について説明する。

【 0 3 4 4 】

50

第 1 の期間（リセット期間）において、配線 G 3 が選択され、トランジスタ T r 6 を導通状態として画素回路のリセットを行う。

【 0 3 4 5 】

なお、第 1 の期間において配線 G 1 と配線 G 2 は選択されない。

【 0 3 4 6 】

第 2 の期間（書き込み期間）において、配線 G 2 が選択され、トランジスタ T r 1、トランジスタ T r 4 が導通状態となり、配線 S から映像信号が書き込まれる。

【 0 3 4 7 】

なお、第 2 の期間において配線 G 1 と配線 G 3 は選択されない。

【 0 3 4 8 】

第 3 の期間（表示期間）において、配線 G 1 が選択され、トランジスタ T r 2、トランジスタ T r 3、トランジスタ T r 5 を介して配線 V から発光素子 E L に電流が供給される。

【 0 3 4 9 】

なお、第 3 の期間において配線 G 2 と配線 G 3 は選択されない。

【 0 3 5 0 】

要するに、配線 G 3、配線 G 2、配線 G 1 を順次選択する動作を繰り返すのである。

【 0 3 5 1 】

本実施の形態に記載された構成の一部又は全部は、他の実施の形態に記載された構成の一部又は全部と適宜組み合わせて実施することができる。

【 0 3 5 2 】

（実施の形態 1 9）

発光装置の画素回路はどのような回路でも適用することができる。

【 0 3 5 3 】

例えば、図 2 5 に発光装置の画素回路の一例を示す。

【 0 3 5 4 】

図 2 5 に示した発光装置の画素回路は、トランジスタ T r 1 ~ トランジスタ T r 6、配線 S（信号線）、配線 G 1 ~ 配線 G 3（ゲート線）、配線 V 1 ~ 配線 V 2（電源線）、容量素子 C、発光素子 E L（E L 素子）を有する。

【 0 3 5 5 】

そして、配線 S は、トランジスタ T r 1 のソース又はドレインの一方と電氣的に接続されている。

【 0 3 5 6 】

配線 G 1 は、トランジスタ T r 1 のゲートと、トランジスタ T r 2 のゲートと、に電氣的に接続されている。

【 0 3 5 7 】

配線 G 2 は、トランジスタ T r 4 のゲートと、トランジスタ T r 5 のゲートと、に電氣的に接続されている。

【 0 3 5 8 】

配線 G 3 は、トランジスタ T r 6 のゲートに電氣的に接続されている。

【 0 3 5 9 】

配線 V 1 は、トランジスタ T r 3 のソース又はドレインの一方に電氣的に接続されている。

【 0 3 6 0 】

配線 V 2 は、トランジスタ T r 5 のソース又はドレインの一方と、トランジスタ T r 6 のソース又はドレインの一方と、に電氣的に接続されている。

【 0 3 6 1 】

なお、トランジスタ T r 1 ~ トランジスタ T r 6 が全て p チャネル型トランジスタの場合は、配線 V 1 に印加される第 1 の電圧は配線 V 2 に印加される第 2 の電圧よりも高くする。

10

20

30

40

50

【0362】

例えば、第1の電圧を V_{dd} （基準電位より高い電圧）とし、第2の電圧を V_{ss} （基準電位より低い電圧）とする。

【0363】

一方、トランジスタ T_{r1} ～トランジスタ T_{r6} が全てnチャネル型トランジスタの場合は、配線 V_1 に印加される第1の電圧は配線 V_2 に印加される第2の電圧よりも低くする。

【0364】

例えば、第1の電圧を V_{ss} （基準電位より低い電圧）とし、第2の電圧を V_{dd} （基準電位より高い電圧）とする。

10

【0365】

発光素子 E_L は、トランジスタ T_{r4} のソース又はドレインの一方と、トランジスタ T_{r6} のソース又はドレインの他方と、に電氣的に接続されている。

【0366】

トランジスタ T_{r1} のソース又はドレインの他方と、トランジスタ T_{r5} のソース又はドレインの他方と、容量素子 C の一方の端子（一方の電極）と、は電氣的に接続されている。

【0367】

トランジスタ T_{r2} のソース又はドレインの一方と、トランジスタ T_{r3} のゲートと、容量素子 C の他方の端子（他方の電極）と、は電氣的に接続されている。

20

【0368】

トランジスタ T_{r2} のソース又はドレインの他方と、トランジスタ T_{r3} のソース又はドレインの他方と、トランジスタ T_{r4} のソース又はドレインの他方と、は電氣的に接続されている。

【0369】

図25の回路の動作について説明する。

【0370】

第1の期間において、配線 G_1 及び配線 G_3 が選択され、トランジスタ T_{r1} 、トランジスタ T_{r2} 、トランジスタ T_{r6} を導通状態とする。

【0371】

30

よって、配線 G_1 及び配線 G_3 は電氣的に接続されていることが好ましい。

【0372】

なお、第1の期間において配線 G_2 は選択されない。

【0373】

第2の期間において、配線 G_2 が選択され、トランジスタ T_{r4} 、トランジスタ T_{r5} を導通状態として表示を行う。

【0374】

なお、第2の期間において配線 G_1 と配線 G_3 は選択されない。

【0375】

上記動作を行う場合は以下の構成が回路を簡略化する上で好ましい。

40

【0376】

配線 G_1 及び配線 G_3 を第1の端子と電氣的に接続し、配線 G_2 を第2の端子と電氣的に接続する。

【0377】

そして、第1の端子又は第2の端子の一方には入力信号をそのまま入力し、第1の端子又は第2の端子の他方には入力信号を反転させた信号を入力する。

【0378】

この場合、入力信号を入力するための入力端子と第1の端子又は第2の端子の一方とを電氣的に接続し、入力端子と第1の端子又は第2の端子の他方とをインバータ回路を介して電氣的に接続することによって、回路を簡略化できるので好ましい。

50

【0379】

本実施の形態に記載された構成の一部又は全部は、他の実施の形態に記載された構成の一部又は全部と適宜組み合わせて実施することができる。

【0380】

(実施の形態20)

画素部の外側において画素電極が形成されていない領域のスペースを有効利用する構成の一例を示す。

【0381】

図26は図4の変形例である。

【0382】

図26において、導電層1212は、FPC1700(Flexible printed circuit)と導電層1230との接続配線として用いられている。

【0383】

即ち、導電層1212を介して、FPC1700から導電層1230へ電流又は電圧が供給される。

【0384】

また、導電層1212と導電層1230は絶縁層1130の端部において電氣的に接続されている。

【0385】

絶縁層1130の端部は画素部の外側に配置されている。

【0386】

なお、画素部の外側に開口部を設け、画素部の外側の開口部を介して導電層1212と導電層1230とを電氣的に接続させても良い。

【0387】

また、絶縁層1130の端部とFPC1700の取付け部との間に封止材1500が配置されている。

【0388】

封止材1500上には封止体1600が設けられている。

【0389】

封止材としては樹脂シール材、ガラスフリット等を用いることができる。

【0390】

封止体としては基板(例えば、ガラス基板、金属基板、プラスチック基板等)、封止缶等を用いることができる。

【0391】

また、導電層1212の下には、導電層1300、導電層1400が配置されている。

【0392】

工程数削減のため、導電層1300は、トランジスタのゲート電極と同一工程で形成された導電層であると好ましい。

【0393】

工程数削減のため、導電層1400は、トランジスタのソース電極及びドレイン電極と同一工程で形成された導電層であると好ましい。

【0394】

導電層1300又は導電層1400は、例えば、発光装置に用いる配線又はダミー電極(電氣的に孤立した電極、フローティング電極)等である。

【0395】

ダミー電極(電氣的に孤立した電極、フローティング電極)は、発光装置に用いられる配線又は電極と電氣的に分離された電極である。

【0396】

そして、絶縁層1130が平坦化膜の場合、導電層1300及び導電層1400を絶縁層1130の端部と重なる位置に配置すると、絶縁層1130の端部において導電層12

10

20

30

40

50

30が断線する確率を低減できるので好ましい。

【0397】

また、絶縁層1130の端部とFPC1700の取付け部との間の領域において、導電層1300、導電層1400、及び導電層1212を重ねることによって、導電層1212の下層に凹凸が形成されないため、導電層1212の断線を防止することができる。

【0398】

なお、図26において絶縁層1130の端部と重なる位置に、ダミー半導体層（電氣的に孤立した半導体層、フローティング半導体層）を配置すると、導電層1230が断線する確率がより低減するので好ましい。

【0399】

ダミー半導体層は、トランジスタの有する半導体層と同一工程で形成することが好ましい。

【0400】

本実施の形態に記載された構成の一部又は全部は、他の実施の形態に記載された構成の一部又は全部と適宜組み合わせる実施することができる。

【0401】

（実施の形態21）

図27は、図26において導電層1212と導電層1400とをコンタクトホールを介して電氣的に接続した構成である。

【0402】

図28は、図27において導電層1300と導電層1400とをコンタクトホールを介して電氣的に接続した構成である。

【0403】

図27の構成によって、導電層1400を補助配線として用いることができる。

【0404】

図28の構成によって、導電層1300及び導電層1400を補助配線として用いることができる。

【0405】

なお、コンタクトホールは、絶縁層1130の端部と近い位置に設けることが好ましい。

【0406】

即ち、絶縁層1130の端部とコンタクトホールの位置を近くすることによって、導電層1212の一層のみを接続配線として用いる距離が短くなるので、導電層1230とFPC1700の間に存在する抵抗を下げるることができる。

【0407】

したがって、封止材1500と絶縁層1130の端部の間にコンタクトホールを一つ又は複数設けることが好ましい。

【0408】

また、コンタクトホールは、FPC1700の取付け部と近い位置に設けることが好ましい。

【0409】

即ち、FPC1700の取付け部とコンタクトホールの位置を近くすることによって、導電層1212の一層のみを配線として用いる距離が短くなるので、導電層1230とFPC1700の間に存在する抵抗を下げるることができる。

【0410】

したがって、FPC1700の取付け部と重なる位置にコンタクトホールを一つ又は複数設けることが好ましい。

【0411】

また、FPC1700と導電層1212とは導電性粒子を含む樹脂（例えば異方性導電膜）等を用いて固着される。

10

20

30

40

50

【 0 4 1 2 】

ここで、F P C 1 7 0 0 の取付け部に凹凸を設けることによって固着が確実になる。

【 0 4 1 3 】

したがって、F P C 1 7 0 0 の取付け部と重なる位置にコンタクトホールを一つ又は複数設けることは、F P C 1 7 0 0 と導電層 1 2 1 2 との固着を確実にする観点でも好ましい。

【 0 4 1 4 】

F P C 1 7 0 0 と導電層 1 2 1 2 との固着をより確実にする観点からすれば、F P C 1 7 0 0 の取付け部と重なる位置にコンタクトホールを複数設けることが好ましい。

【 0 4 1 5 】

本実施の形態に記載された構成の一部又は全部は、他の実施の形態に記載された構成の一部又は全部と適宜組み合わせる実施することができる。

【 0 4 1 6 】

(実施の形態 2 2)

隔壁層下の導電層と、隔壁層上の導電層と、を電氣的に接続するコンタクト構造の変形例を示す。

【 0 4 1 7 】

図 2 9、図 3 0 において、基板 4 0 0 1 上に導電層 4 0 0 2 が形成されている。

【 0 4 1 8 】

工程数削減のため、導電層 4 0 0 2 はトランジスタのゲート電極と同一工程で形成することが好ましい。

【 0 4 1 9 】

導電層 4 0 0 2 上に絶縁層 4 0 0 3 が形成されている。

【 0 4 2 0 】

絶縁層 4 0 0 3 上に導電層 4 0 0 4 が形成されている。

【 0 4 2 1 】

工程数削減のため、導電層 4 0 0 4 はトランジスタのソース電極及びドレイン電極と同一工程で形成することが好ましい。

【 0 4 2 2 】

導電層 4 0 0 4 上に絶縁層 4 0 0 5 が形成されている。

【 0 4 2 3 】

絶縁層 4 0 0 5 上に導電層 4 0 0 6 が形成されている。

【 0 4 2 4 】

工程数削減のため、導電層 4 0 0 6 は画素電極と同一工程で形成することが好ましい。

【 0 4 2 5 】

導電層 4 0 0 6 上に絶縁層 4 0 0 7 が形成されている。

【 0 4 2 6 】

絶縁層 4 0 0 7 は隔壁層に対応し、平坦化膜を用いて形成されている。

【 0 4 2 7 】

絶縁層 4 0 0 7 上に導電層 4 0 0 8 が形成されている。

【 0 4 2 8 】

導電層 4 0 0 8 は発光素子の上部電極に対応する。

【 0 4 2 9 】

また、絶縁層 4 0 0 7 には開口部が設けられている。

【 0 4 3 0 】

さらに、導電層 4 0 0 2 及び導電層 4 0 0 4 が、絶縁層 4 0 0 7 に設けられた開口部と重なるように配置されていることによって、絶縁層 4 0 0 7 に設けられた開口部において導電層 4 0 0 8 が断線する確率を低減している。

【 0 4 3 1 】

ここで、図 2 9 (A) は、導電層 4 0 0 4 に開口部を設けた例である。

10

20

30

40

50

【 0 4 3 2 】

導電層 4 0 0 4 に設けられた開口部は、絶縁層 4 0 0 7 に設けられた開口部と重なるように配置されている。

【 0 4 3 3 】

図 2 9 (A) において、導電層 4 0 0 4 に設けられた開口部は、絶縁層 4 0 0 7 に設けられた開口部よりも小さく、絶縁層 4 0 0 7 に設けられた開口部の内側に配置されている。

【 0 4 3 4 】

図 2 9 (A) のような構成とすることによって、絶縁層 4 0 0 7 に設けられた開口部の内側に凹凸が生じるので、導電層 4 0 0 6 と導電層 4 0 0 8 との接触面積を大きくすることができる。

10

【 0 4 3 5 】

導電層 4 0 0 6 と導電層 4 0 0 8 との接触面積を大きくすることによって、導電層 4 0 0 6 と導電層 4 0 0 8 とのコンタクト抵抗が低減する。

【 0 4 3 6 】

なお、絶縁層 4 0 0 7 に設けられた開口部の内側に凹凸を生じさせればよいので、導電層 4 0 0 4 に設けられた開口部の一部が、絶縁層 4 0 0 7 に設けられた開口部からはみ出しているとしても良い。

【 0 4 3 7 】

すなわち、絶縁層 4 0 0 7 に設けられた開口部は、少なくとも導電層 4 0 0 4 に設けられた開口部の外周と重なる領域を有する。

20

【 0 4 3 8 】

図 2 9 (B) は、導電層 4 0 0 2 に開口部を設けた例である。

【 0 4 3 9 】

導電層 4 0 0 2 に設けられた開口部は、絶縁層 4 0 0 7 に設けられた開口部と重なるように配置されている。

【 0 4 4 0 】

図 2 9 (B) において、導電層 4 0 0 2 に設けられた開口部は、絶縁層 4 0 0 7 に設けられた開口部よりも小さく、絶縁層 4 0 0 7 に設けられた開口部の内側に配置されている。

30

【 0 4 4 1 】

図 2 9 (B) のような構成とすることによって、絶縁層 4 0 0 7 に設けられた開口部の内側に凹凸が生じるので、導電層 4 0 0 6 と導電層 4 0 0 8 との接触面積を大きくすることができる。

【 0 4 4 2 】

導電層 4 0 0 6 と導電層 4 0 0 8 との接触面積を大きくすることによって、導電層 4 0 0 6 と導電層 4 0 0 8 とのコンタクト抵抗が低減する。

【 0 4 4 3 】

なお、絶縁層 4 0 0 7 に設けられた開口部の内側に凹凸を生じさせればよいので、導電層 4 0 0 2 に設けられた開口部の一部が、絶縁層 4 0 0 7 に設けられた開口部からはみ出しているとしても良い。

40

【 0 4 4 4 】

すなわち、絶縁層 4 0 0 7 に設けられた開口部は、少なくとも導電層 4 0 0 2 に設けられた開口部の外周と重なる領域を有する。

【 0 4 4 5 】

図 2 9 (C) は、導電層 4 0 0 2 及び導電層 4 0 0 4 に開口部を設けた例である。

【 0 4 4 6 】

導電層 4 0 0 2 及び導電層 4 0 0 4 に設けられた開口部は、絶縁層 4 0 0 7 に設けられた開口部と重なるように配置されている。

【 0 4 4 7 】

50

図 29 (C) において、導電層 4002 及び導電層 4004 に設けられた開口部は、絶縁層 4007 に設けられた開口部よりも小さく、絶縁層 4007 に設けられた開口部の内側に配置されている。

【0448】

図 29 (C) のような構成とすることによって、絶縁層 4007 に設けられた開口部の内側に凹凸が生じるので、導電層 4006 と導電層 4008 との接触面積を大きくすることができる。

【0449】

導電層 4006 と導電層 4008 との接触面積を大きくすることによって、導電層 4006 と導電層 4008 とのコンタクト抵抗が低減する。

10

【0450】

なお、絶縁層 4007 に設けられた開口部の内側に凹凸を生じさせればよいので、導電層 4002 及び導電層 4004 に設けられた開口部の一部が、絶縁層 4007 に設けられた開口部からはみ出しているとしても良い。

【0451】

すなわち、絶縁層 4007 に設けられた開口部は、少なくとも導電層 4002 及び導電層 4004 に設けられた開口部の外周とそれぞれ重なる領域を有する。

【0452】

一方、導電層 4008 の断線を防止する観点に基づけば、図 29 (C) のように、絶縁層 4007 に設けられた開口部の内側に導電層 4004 に設けられた開口部を配置し、且つ、導電層 4004 に設けられた開口部の内側に導電層 4002 に設けられた開口部を配置することが好ましい。

20

【0453】

つまり、絶縁層 4007 に設けられた開口部は導電層 4004 に設けられた開口部より大きくし、且つ、導電層 4004 に設けられた開口部は導電層 4002 に設けられた開口部より大きくする。

【0454】

上記構成によって、階段形状が形成されるので、導電層 4008 が断線する確率を低減することができる。

【0455】

30

また、図 30 (A) に図 29 (C) の変形例を示す。

【0456】

図 30 (A) において、絶縁層 4007 には開口部 4009 が設けられており、導電層 4004 には開口部 4010 が設けられており、導電層 4002 には開口部 4011 が設けられている。

【0457】

そして、開口部 4010 の一部又は全部が、開口部 4011 と重ならないように配置されている。

【0458】

図 30 (A) の構成とすることによって、凹凸を増やすことができるので、図 29 (A) 及び (B) と比較してコンタクト抵抗を低減することができる。

40

【0459】

図 30 (A) の構成とすることによって、開口部 4009 内に開口部 4010 及び開口部 4011 が重なる領域 (溝の深い領域) が形成されない、若しくは、開口部 4009 内に開口部 4010 及び開口部 4011 が重なる領域 (溝の深い領域) の面積を小さくできるので、導電層 4008 が断線する確率を低減することができる。

【0460】

導電層 4002 又は導電層 4004 は、例えば、発光装置に用いる配線又はダミー電極 (電氣的に孤立した電極、フローティング電極) 等である。

【0461】

50

発光装置に用いる配線としては、例えば、ゲート配線、容量配線、信号線、電源線、消去線等を用いることができる。

【0462】

ダミー電極（電氣的に孤立した電極、フローティング電極）は、発光装置に用いられる配線又は電極と電氣的に分離された電極である。

【0463】

なお、絶縁層4007に設けられた開口部と重なる位置に、ダミー半導体層（電氣的に孤立した半導体層、フローティング半導体層）を配置すると、導電層4008が断線する確率がより低減するので好ましい。

【0464】

ダミー半導体層は、トランジスタの有する半導体層と同一工程で形成することが好ましい。

【0465】

また、絶縁層4007に設けられた開口部を配線の交差部に設ける場合（導電層4002及び導電層4004の双方が配線である場合）において、図30（A）が特に好ましい。

【0466】

ここで、図30（B）は、絶縁層4007に設けられた開口部を配線の交差部に設ける場合において、図30（A）を採用した場合を示している。

【0467】

配線の交差部には寄生容量が発生するが、寄生容量は2つの配線が互いに重なり合う領域に発生する。

【0468】

よって、図30（A）及び図30（B）のように開口部4010と開口部4011とをずらして配置することによって、交差部において導電層4002（第1の配線）と導電層4004（第2の配線）とが互いに重なり合う領域の面積が減少する。

【0469】

したがって、配線の交差部における寄生容量を低減することができる。

【0470】

本実施の形態に記載された構成の一部又は全部は、他の実施の形態に記載された構成の一部又は全部と適宜組み合わせる実施することができる。

【0471】

（実施の形態23）

配線の交差部における寄生容量の低減という技術的思想は半導体装置全般に適用可能である。

【0472】

半導体装置はトランジスタを有する装置全般が含まれ、例えば、発光装置、液晶表示装置、記憶装置、CPU、RFID等がある。

【0473】

図31に半導体装置の一例を示す。

【0474】

図31（A）は配線の交差部の断面図を示し、図31（B）は配線の交差部の上面図を示している。

【0475】

即ち、基板4001上に導電層4002が形成されている。

【0476】

導電層4002は第1の配線に対応する。

【0477】

工程数削減のため、導電層4002はトランジスタのゲート電極と同一工程で形成することが好ましい。

10

20

30

40

50

【 0 4 7 8 】

導電層 4 0 0 2 上に絶縁層 4 0 0 3 が形成されている。

【 0 4 7 9 】

絶縁層 4 0 0 3 上に導電層 4 0 0 4 が形成されている。

【 0 4 8 0 】

導電層 4 0 0 4 は第 2 の配線に対応する。

【 0 4 8 1 】

工程数削減のため、導電層 4 0 0 4 はトランジスタのソース電極及びドレイン電極と同一工程で形成することが好ましい。

【 0 4 8 2 】

導電層 4 0 0 4 上に絶縁層 4 0 0 5 が形成されている。

【 0 4 8 3 】

配線の交差部には寄生容量が発生するが、寄生容量は 2 つの配線が互いに重なり合う領域に発生する。

【 0 4 8 4 】

よって、図 3 1 のように開口部 4 0 1 0 と開口部 4 0 1 1 とをずらして配置することによって、交差部において導電層 4 0 0 2 (第 1 の配線) と導電層 4 0 0 4 (第 2 の配線) とが互いに重なり合う領域の面積が減少する。

【 0 4 8 5 】

したがって、配線の交差部における寄生容量を低減することができる。

【 0 4 8 6 】

なお、配線同士が互いに重なり合う領域の面積が減少すれば良いので、交差部において、開口部 4 0 1 0 と開口部 4 0 1 1 とが重なる領域と、開口部 4 0 1 0 と開口部 4 0 1 1 とが重ならない領域と、の双方を有していても良い。

【 0 4 8 7 】

図 3 2 に発光装置以外の半導体装置の例を示す。

【 0 4 8 8 】

図 3 2 (A) は液晶表示装置の画素回路の一例である。

【 0 4 8 9 】

図 3 2 (A) の回路は、トランジスタ T r 、容量素子 C 、液晶素子 L C 、配線 G (ゲート線) 、配線 S (信号線) 、配線 C L (容量線) を有する。

【 0 4 9 0 】

配線 G は、トランジスタ T r のゲートに電氣的に接続されている。

【 0 4 9 1 】

配線 S は、トランジスタ T r のソース又はドレインの一方に電氣的に接続されている。

【 0 4 9 2 】

配線 C L は、容量素子 C の一方の端子 (一方の電極) に電氣的に接続されている。

【 0 4 9 3 】

トランジスタ T r のソース又はドレインの他方と、容量素子 C の他方の端子 (他方の電極) と、液晶素子 L C と、は電氣的に接続されている。

【 0 4 9 4 】

ここで、図 3 2 (A) において、図 3 1 の構成を適用可能な 2 つの配線の組み合わせとしては、例えば、配線 G と配線 S 、配線 G と配線 C L 等がある。

【 0 4 9 5 】

なお、工程数削減のため、配線 S はトランジスタ T r のソース電極及びドレイン電極と同一工程で形成することが好ましい。

【 0 4 9 6 】

また、工程数削減のため、配線 G 及び配線 C L はトランジスタ T r のゲート電極と同一工程で形成することが好ましい。

【 0 4 9 7 】

10

20

30

40

50

図 3 2 (B) は記憶装置のセル回路の一例である。

【 0 4 9 8 】

図 3 2 (B) は D R A M の一例を示している。

【 0 4 9 9 】

図 3 2 (B) の回路は、トランジスタ T r 、容量素子 C 、配線 W (ワード線)、配線 B (ビット線)、配線 C L (容量線)を有する。

【 0 5 0 0 】

配線 W は、トランジスタ T r のゲートに電氣的に接続されている。

【 0 5 0 1 】

配線 B は、トランジスタ T r のソース又はドレインの一方に電氣的に接続されている。

10

【 0 5 0 2 】

配線 C L は、容量素子 C の一方の端子 (一方の電極)に電氣的に接続されている。

【 0 5 0 3 】

トランジスタ T r のソース又はドレインの他方と、容量素子 C の他方の端子 (他方の電極)と、は電氣的に接続されている。

【 0 5 0 4 】

ここで、図 3 2 (B) において、図 3 1 の構成を適用可能な 2 つの配線の組み合わせとしては、例えば、配線 G と配線 S 、配線 G と配線 C L 等がある。

【 0 5 0 5 】

なお、工程数削減のため、配線 S はトランジスタ T r のソース電極及びドレイン電極と同一工程で形成することが好ましい。

20

【 0 5 0 6 】

また、工程数削減のため、配線 G 及び配線 C L はトランジスタ T r のゲート電極と同一工程で形成することが好ましい。

【 0 5 0 7 】

なお、図 3 1 、図 3 2 に基づく構成の例を示すと以下ようになる。

【 0 5 0 8 】

構成 A として、少なくとも、トランジスタと、第 1 の配線と、第 2 の配線と、を有する

。

【 0 5 0 9 】

第 1 の配線は、第 1 の開口部を有し、トランジスタのゲートに電氣的に接続されている

30

。

【 0 5 1 0 】

第 2 の配線は、第 2 の開口部を有し、トランジスタのソース又はドレインの一方に電氣的に接続されている。

【 0 5 1 1 】

第 2 の配線は、絶縁層を介して第 1 の配線上又は第 1 の配線下に形成されているとともに、第 1 の配線と交差する。

【 0 5 1 2 】

第 1 の開口部及び第 2 の開口部は、第 1 の配線と第 2 の配線の交差部と一部又は全部が重なる位置に配置されている。即ち、第 1 の開口部及び第 2 の開口部は交差部からはみ出していないが良い。

40

【 0 5 1 3 】

第 1 の開口部と第 2 の開口部は交差部において重ならない領域を有する。

【 0 5 1 4 】

但し、寄生容量低減のためには、第 1 の開口部と第 2 の開口部は交差部において完全に重ならない形態がもっとも好ましい。

【 0 5 1 5 】

構成 B として、少なくとも、トランジスタと、第 1 の配線と、第 2 の配線と、第 3 の配線と、容量素子と、を有する。

50

【 0 5 1 6 】

第 1 の配線は、第 1 の開口部を有し、トランジスタのゲートに電氣的に接続されている。

【 0 5 1 7 】

第 2 の配線は、トランジスタのソース又はドレインの一方に電氣的に接続されている。

【 0 5 1 8 】

第 3 の配線は、第 3 の開口部を有し、容量素子の一方の端子（一方の電極）に電氣的に接続されている。

【 0 5 1 9 】

トランジスタのソース又はドレインの他方と、容量素子の他方の端子（他方の電極）とは電氣的に接続されている。

10

【 0 5 2 0 】

第 3 の配線は、絶縁層を介して第 1 の配線上又は第 1 の配線下に形成されているとともに、第 1 の配線と交差する。

【 0 5 2 1 】

第 1 の開口部及び第 3 の開口部は、第 1 の配線と第 3 の配線の交差部と一部又は全部が重なる位置に配置されている。即ち、第 1 の開口部及び第 3 の開口部は交差部からはみ出しているとしても良い。

【 0 5 2 2 】

第 1 の開口部と第 3 の開口部は交差部において重ならない領域を有する。

20

【 0 5 2 3 】

但し、寄生容量低減のためには、第 1 の開口部と第 3 の開口部は交差部において完全に重ならない形態がもっとも好ましい。

【 0 5 2 4 】

なお、構成 A と構成 B を組み合わせても良い。

【 0 5 2 5 】

また、本実施の形態に記載のトランジスタ、容量素子、配線等には、他の実施の形態に記載された構成を適用することが可能である。

【 0 5 2 6 】

本実施の形態に記載された構成の一部又は全部は、他の実施の形態に記載された構成の一部又は全部と適宜組み合わせて実施することができる。

30

【 0 5 2 7 】

（実施の形態 2 4）

各層の材料について説明する。

【 0 5 2 8 】

基板は、ガラス基板、石英基板、金属基板（ステンレス基板等）、半導体基板等を用いることができるがこれらに限定されない。

【 0 5 2 9 】

基板上に下地絶縁膜を形成しても良い。

【 0 5 3 0 】

絶縁層は、絶縁性を有していればどのような材料でも用いることができる。例えば、無機絶縁膜（酸化シリコン膜、窒化シリコン膜、窒素を含む酸化シリコン膜、酸素を含む窒化シリコン膜、窒化アルミニウム膜、酸化アルミニウム膜、酸化ハフニウム膜）、有機絶縁膜（ポリイミド膜、アクリル膜、シロキサン膜）等を用いることができるがこれらに限定されない。絶縁層は、単層構造でも積層構造でも良い。

40

【 0 5 3 1 】

なお、発光素子に用いられるアルカリ金属等の不純物がトランジスタに侵入することを防止するため、隔壁層より下方の絶縁層（層間絶縁膜、ゲート絶縁膜等）を全て無機絶縁膜とすることが好ましい。

【 0 5 3 2 】

50

導電層は、導電性を有していればどのような材料でも用いることができる。例えば、アルミニウム膜、チタン膜、モリブデン膜、タンゲステン膜、金膜、銀膜、銅膜、ドナー元素又はアクセプター元素を含有するシリコン膜、様々な合金からなる膜、透明導電膜（インジウム錫酸化物等）等を用いることができるがこれらに限定されない。導電層は、単層構造でも積層構造でも良い。

【0533】

半導体層は、半導体であればどのような材料でも用いることができる。シリコンを含有する半導体膜、酸化物半導体膜、有機半導体膜等を用いることができるがこれらに限定されない。半導体層は、単層構造でも積層構造でも良い。なお、TFTの場合は素子分離された半導体膜（島状の半導体膜）が半導体層となる。SOI基板を用いて形成したトランジスタはTFTに含まれるものとする。また、シリコンウェハを用いて形成したトランジスタの場合は、シリコンウェハ自体が半導体層に該当する。

10

【0534】

また、半導体層のソース領域及びドレイン領域に、ドナー元素又はアクセプター元素を含有させておくと、ソース領域及びドレイン領域の抵抗を下げるできるので好ましい。

【0535】

シリコンを含有する半導体膜としては、シリコン（Si）、シリコンゲルマニウム（SiGe）、シリコンカーバイド（SiC）等があるがこれらに限定されない。

【0536】

酸化物半導体としては、インジウム（In）又は亜鉛（Zn）とを含むことが好ましい。特にIn及びZnの双方を含むことが好ましい。

20

【0537】

また、酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、ガリウム（Ga）、スズ（Sn）、ハフニウム（Hf）、アルミニウム（Al）、又はランタノイドから選ばれた一種又は複数種を含むことが好ましい。

【0538】

ランタノイドとして、ランタン（La）、セリウム（Ce）、プラセオジウム（Pr）、ネオジウム（Nd）、サマリウム（Sm）、ユウロピウム（Eu）、ガドリニウム（Gd）、テルビウム（Tb）、ジスプロシウム（Dy）、ホルミウム（Ho）、エルビウム（Er）、ツリウム（Tm）、イッテルビウム（Yb）、ルテチウム（Lu）がある。

30

【0539】

例えば、一元系金属の酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛等を用いることができる。

【0540】

また、例えば、二元系金属の酸化物半導体として、In-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物等を用いることができる。

【0541】

また、例えば、三元系金属の酸化物半導体として、In-Ga-Zn系酸化物（IGZOとも表記する）、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、In-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物等を用いることができる。

40

【0542】

また、例えば、四元系金属の酸化物半導体として、In-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al

50

- Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物等を用いることができる。

【0543】

なお、ここで、例えば、In-Ga-Zn系酸化物とは、InとGaとZnを含有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素を含有させても良い。

【0544】

例えば、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ ($= 1/3 : 1/3 : 1/3$) あるいは $\text{In} : \text{Ga} : \text{Zn} = 2 : 2 : 1$ ($= 2/5 : 2/5 : 1/5$) の原子比のIn-Ga-Zn系酸化物やその組成の近傍の酸化物を用いることができる。

10

【0545】

あるいは、 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ ($= 1/3 : 1/3 : 1/3$)、 $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 3$ ($= 1/3 : 1/6 : 1/2$) あるいは $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 5$ ($= 1/4 : 1/8 : 5/8$) の原子比のIn-Sn-Zn系酸化物やその組成の近傍の酸化物を用いても良い。

【0546】

しかし、これらに限られず、必要とする半導体特性（移動度、しきい値、ばらつき等）に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとするのが好ましい。

20

【0547】

半導体層は単結晶でも、非単結晶でもよい。

【0548】

非単結晶の場合、非晶質でも、多結晶でもよい。また、非晶質中に結晶性を有する部分を含む構造でもよい。なお、アモルファスは欠陥が多いため、非アモルファスが好ましい。

【0549】

なお、逆スタガ構造のトランジスタを形成する場合、半導体層とソース電極の間、並びに、半導体層とドレイン電極の間にそれぞれ、ドナー元素又はアクセプター元素を含有する不純物半導体層（バッファ層）を介在させても良い。

30

【0550】

なお、シリコンを含有する半導体のドナー元素は例えばリン等があり、シリコンを含有する半導体のアクセプター元素は例えばボロン等がある。

【0551】

有機EL素子を形成する場合、エレクトロルミネッセンス層は少なくとも有機化合物を含む発光層を有する発光ユニットを有するようにする。

【0552】

有機EL素子を形成する場合、発光ユニットは、発光層の他に電子注入層、電子輸送層、正孔注入層、正孔輸送層等を有していても良い。

【0553】

また、有機EL素子を形成する場合、複数の発光ユニットと、複数の発光ユニットを仕切る複数の電荷発生層と、を有する構造とすることにより輝度を向上させることができる。

40

【0554】

電荷発生層としては、金属、酸化物導電物、金属酸化物と有機化合物との積層構造、金属酸化物と有機化合物との混合物等を用いることができる。

【0555】

電荷発生層として、金属酸化物と有機化合物との積層構造、金属酸化物と有機化合物との混合物等を用いると、電圧印加時において、陰極方向にホールを注入し、陽極方向に電子を注入することができるので好適である。

50

【 0 5 5 6 】

電荷発生層に用いると好適な金属酸化物は、酸化バナジウム、酸化ニオブ、酸化タンタル、酸化クロム、酸化モリブデン、酸化タングステン、酸化マンガ、酸化レニウム等の遷移金属酸化物である。

【 0 5 5 7 】

そして、電荷発生層に用いる有機化合物として、アミン系化合物（特に、アリアルアミン化合物）、カルバゾール誘導体、芳香族炭化水素、Alq等を用いると遷移金属酸化物と電荷移動錯体を形成するので好ましい。

【 0 5 5 8 】

無機EL素子を形成する場合、エレクトロルミネッセンス層は少なくとも無機化合物を含む発光層を有する発光ユニットを有するようにする。

10

【 0 5 5 9 】

また、無機化合物を含む発光層を一对の誘電体層で挟むと好ましい。

【 0 5 6 0 】

本実施の形態に記載された構成の一部又は全部は、他の実施の形態に記載された構成の一部又は全部と適宜組み合わせる実施することができる。

【 0 5 6 1 】

（実施の形態 2 5）

トップゲート型 TFT を有する発光装置の作製方法の一例を示す。

【 0 5 6 2 】

まず、基板上に半導体膜を形成し、半導体膜をパターン加工して島状の半導体層を形成する。

20

【 0 5 6 3 】

基板表面に下地絶縁膜を形成した後に半導体膜を形成しても良い。

【 0 5 6 4 】

また、半導体膜をパターン加工する際に島状のダミー半導体層を形成しても良い。

【 0 5 6 5 】

次に、半導体層上にゲート絶縁膜を形成する。

【 0 5 6 6 】

次に、ゲート絶縁膜上に導電膜を形成し、導電膜をパターン加工してゲート電極、配線、島状のダミー電極等を形成する。

30

【 0 5 6 7 】

なお、パターン加工は、例えば、所定の膜（出発膜）上にマスクを形成し、マスクを用いて所定の膜（出発膜）を所定の形状に加工し、マスクを除去すること等を意味する。

【 0 5 6 8 】

次に、必要に応じて半導体層にドナー元素又はアクセプター元素を添加する。

【 0 5 6 9 】

次に、ゲート電極上に第 1 の層間絶縁膜を形成する。

【 0 5 7 0 】

次に、第 1 の層間絶縁膜及びゲート絶縁膜にコンタクトホールを形成する。

40

【 0 5 7 1 】

次に、第 1 の層間絶縁膜上に導電膜を形成し、導電膜をパターン加工して、ソース電極、ドレイン電極、配線、島状のダミー電極等を形成する。

【 0 5 7 2 】

次に、ソース電極上及びドレイン電極上に第 2 の層間絶縁膜を形成する。

【 0 5 7 3 】

次に、第 2 の層間絶縁膜にコンタクトホールを形成する。

【 0 5 7 4 】

次に、第 2 の層間絶縁膜上に導電膜を形成し、導電膜をパターン加工して第 1 の電極、補助配線等を形成する。

50

【 0 5 7 5 】

次に、第 1 の電極上及び補助配線上に平坦化膜を形成する。

【 0 5 7 6 】

次に、平坦化膜に開口部を形成する。

【 0 5 7 7 】

なお、平坦化膜が感光性の場合は、平坦化膜に露光、現像を行うことにより開口部を形成することができる。

【 0 5 7 8 】

平坦化膜が、非感光性の場合はパターン加工を行うことにより開口部を形成することができる。

10

【 0 5 7 9 】

次に、第 1 の電極上にエレクトロルミネッセンス層を形成する。

【 0 5 8 0 】

次に、エレクトロルミネッセンス層上、平坦化膜上、及び補助配線上に第 2 の電極を形成する。

【 0 5 8 1 】

なお、蒸着法を用いてエレクトロルミネッセンス層及び第 2 の電極を形成する場合、蒸着マスクを用いることにより、所定の形状のエレクトロルミネッセンス層及び第 2 の電極を形成することができる。

【 0 5 8 2 】

本実施の形態に記載された構成の一部又は全部は、他の実施の形態に記載された構成の一部又は全部と適宜組み合わせる実施することができる。

20

【 0 5 8 3 】

(実施の形態 2 6)

ボトムゲート型 T F T を有する発光装置の作製方法の一例を示す。

【 0 5 8 4 】

本実施形態では、逆スタガ構造でチャネルエッチ型の T F T を有する発光装置の一例を示す。

【 0 5 8 5 】

まず、基板上に導電膜を形成し、導電膜をパターン加工してゲート電極、配線、島状のダミー電極等を形成する。

30

【 0 5 8 6 】

基板表面に下地絶縁膜を形成した後に導電膜を形成しても良い。

【 0 5 8 7 】

次に、ゲート電極上にゲート絶縁膜を形成する。

【 0 5 8 8 】

ソース電極及びドレイン電極と同層の導電層と、ゲート電極と同層の導電層と、を直接接続する場合は、ゲート絶縁膜にコンタクトホールを形成する。

【 0 5 8 9 】

一方、第 1 の電極（画素電極）と同一工程で形成される接続配線を形成する場合は、ゲート絶縁膜にコンタクトホールを形成する工程は不要になる。

40

【 0 5 9 0 】

次に、ゲート絶縁膜上に半導体膜を形成し、半導体膜をパターン加工して島状の半導体層を形成する。

【 0 5 9 1 】

なお、半導体膜上にドナー元素又はアクセプター元素を含有する不純物半導体膜を形成し、半導体膜及び不純物半導体膜をパターン加工して島状の半導体層及び島状の不純物半導体層を形成しても良い。

【 0 5 9 2 】

また、半導体膜をパターン加工する際に島状のダミー半導体層を形成しても良い。

50

【 0 5 9 3 】

さらに、不純物半導体膜をパターン加工する際に島状のダミー不純物半導体層を形成しても良い。

【 0 5 9 4 】

次に、半導体層上及びゲート絶縁膜上に導電膜を形成し、導電膜をパターン加工して、ソース電極、ドレイン電極、配線、島状のダミー電極等を形成する。

【 0 5 9 5 】

なお、不純物半導体層を形成した場合は、ソース電極とドレイン電極の間の不純物半導体層をエッチングして除去する。

【 0 5 9 6 】

また、導電膜をパターン加工する工程、若しくは、ソース電極とドレイン電極の間の不純物半導体層をエッチングして除去する工程によって、ソース電極とドレイン電極の間の半導体層の表面がエッチングされる。

【 0 5 9 7 】

次に、ソース電極上及びドレイン電極上に層間絶縁膜を形成する。

【 0 5 9 8 】

次に、層間絶縁膜に第 1 のコンタクトホールを形成し、且つ、層間絶縁膜及びゲート絶縁膜に第 2 のコンタクトホールを形成する。

【 0 5 9 9 】

工程数削減のため、第 1 のコンタクトホールと第 2 のコンタクトホールとは同時に形成することが好ましい。

【 0 6 0 0 】

次に、層間絶縁膜上に導電膜を形成し、導電膜をパターン加工して第 1 の電極、接続配線、補助配線、容量電極等を形成する。

【 0 6 0 1 】

次に、第 1 の電極上及び補助配線上に平坦化膜を形成する。

【 0 6 0 2 】

次に、平坦化膜に開口部を形成する。

【 0 6 0 3 】

なお、平坦化膜が感光性の場合は、平坦化膜に露光、現像を行うことにより開口部を形成することができる。

【 0 6 0 4 】

平坦化膜が、非感光性の場合はパターン加工を行うことにより開口部を形成することができる。

【 0 6 0 5 】

次に、第 1 の電極上にエレクトロルミネッセンス層を形成する。

【 0 6 0 6 】

次に、エレクトロルミネッセンス層上、平坦化膜上、及び補助配線上に第 2 の電極を形成する。

【 0 6 0 7 】

なお、蒸着法を用いてエレクトロルミネッセンス層及び第 2 の電極を形成する場合、蒸着マスクを用いることにより、所定の形状のエレクトロルミネッセンス層及び第 2 の電極を形成することができる。

【 0 6 0 8 】

本実施の形態に記載された構成の一部又は全部は、他の実施の形態に記載された構成の一部又は全部と適宜組み合わせる実施することができる。

【 0 6 0 9 】

(実施の形態 27)

他の実施の形態に記載の発光装置、半導体装置は、例えば、電子機器の表示部に搭載することが可能である。

10

20

30

40

50

【 0 6 1 0 】

電子機器としては、テレビ、コンピュータ、カメラ、電話（固定電話、携帯電話）、携帯端末等があるがこれらに限定されない。

【 0 6 1 1 】

本実施の形態に記載された構成の一部又は全部は、他の実施の形態に記載された構成の一部又は全部と適宜組み合わせる実施することができる。

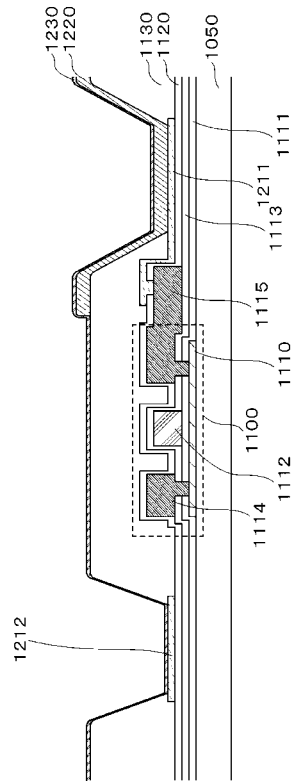
【 符号の説明 】

【 0 6 1 2 】

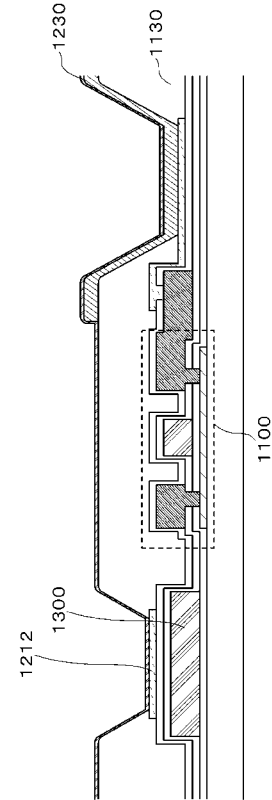
5 0	基板	
1 0 1	導電層	10
1 0 2	導電層	
1 0 3	導電層	
1 0 4	導電層	
2 0 0	絶縁層	
3 0 1	半導体層	
3 0 2	半導体層	
4 0 1	導電層	
4 0 2	導電層	
4 0 3	導電層	
4 0 4	導電層	20
4 0 5	導電層	
4 0 6	導電層	
5 0 0	絶縁層	
6 0 1	導電層	
6 0 2	導電層	
6 0 3	導電層	
6 0 4	導電層	
6 0 5	導電層	
7 0 0	絶縁層	
8 0 1	エレクトロルミネッセンス層	30
9 0 0	導電層	
1 0 5 0	基板	
1 1 0 0	トランジスタ	
1 1 1 0	半導体層	
1 1 1 1	絶縁層	
1 1 1 2	導電層	
1 1 1 3	絶縁層	
1 1 1 4	導電層	
1 1 1 5	導電層	
1 1 2 0	絶縁層	40
1 1 3 0	絶縁層	
1 2 1 1	導電層	
1 2 1 2	導電層	
1 2 2 0	エレクトロルミネッセンス層	
1 2 3 0	導電層	
1 3 0 0	導電層	
1 4 0 0	導電層	
1 5 0 0	封止材	
1 6 0 0	封止体	
1 7 0 0	F P C	50

4 0 0 1	基板	
4 0 0 2	導電層	
4 0 0 3	絶縁層	
4 0 0 4	導電層	
4 0 0 5	絶縁層	
4 0 0 6	導電層	
4 0 0 7	絶縁層	
4 0 0 8	導電層	
4 0 0 9	開口部	
4 0 1 0	開口部	10
4 0 1 1	開口部	
T r	トランジスタ	
T r 1	トランジスタ	
T r 2	トランジスタ	
T r 3	トランジスタ	
T r 4	トランジスタ	
T r 5	トランジスタ	
T r 6	トランジスタ	
C	容量素子	
C 1	容量素子	20
C 2	容量素子	
S	配線	
R	配線	
V	配線	
V 1	配線	
V 2	配線	
G	配線	
G 1	配線	
G 2	配線	
G 3	配線	30
C L	配線	
B	配線	
W	配線	
E L	発光素子	
L C	液晶素子	

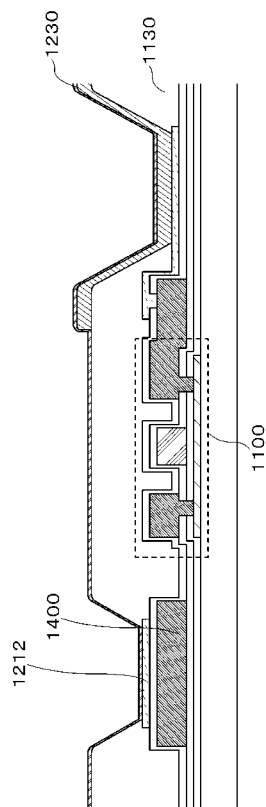
【図 1】



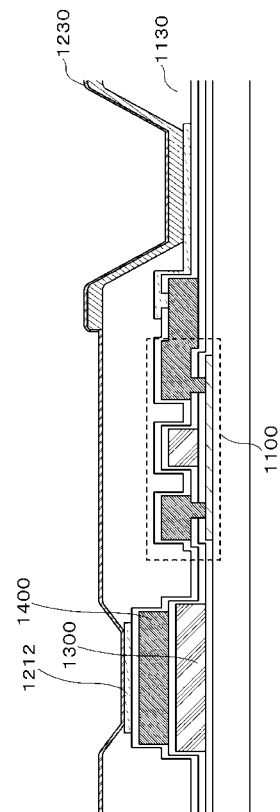
【図 2】



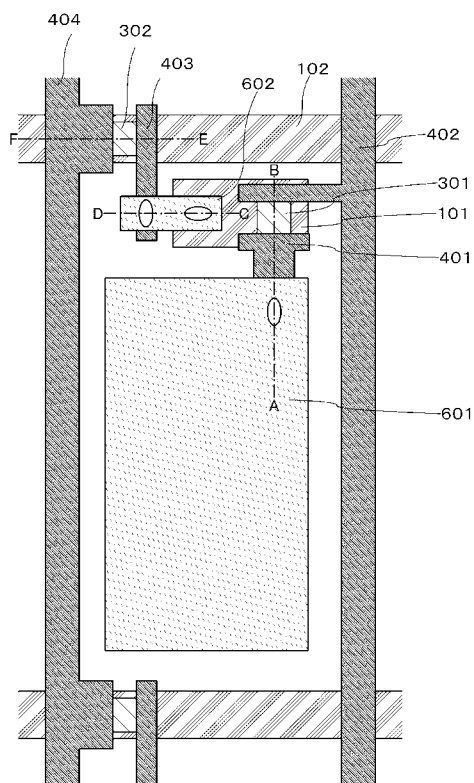
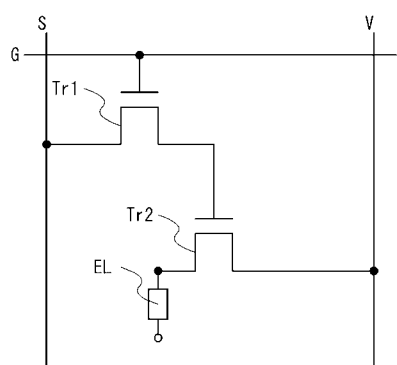
【図 3】



【図 4】

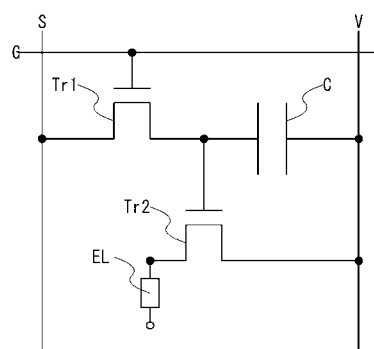
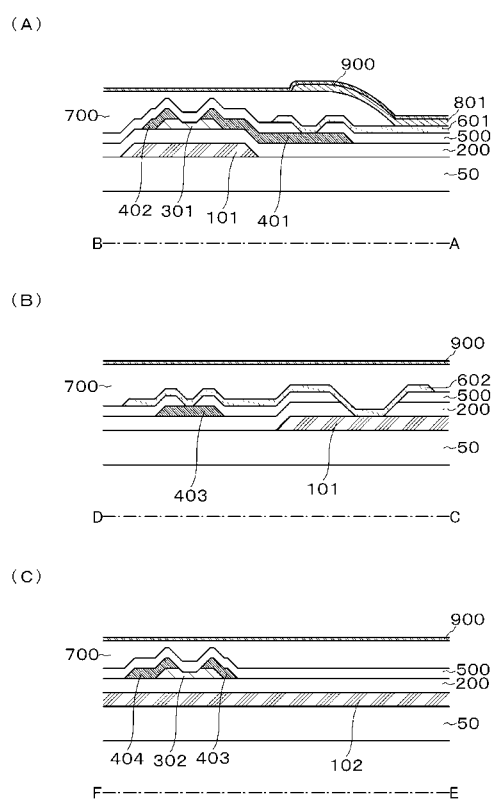


【圖 6】

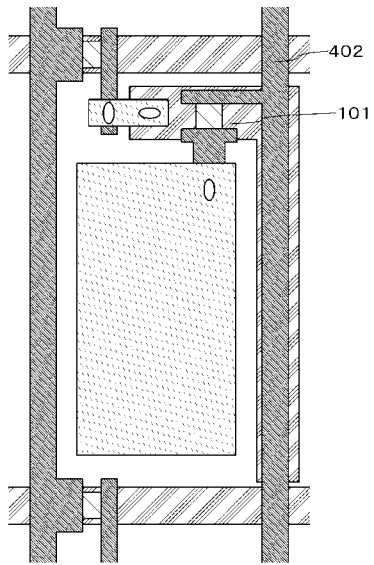


【图 7】

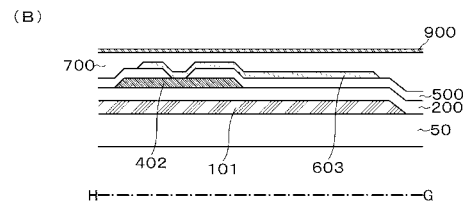
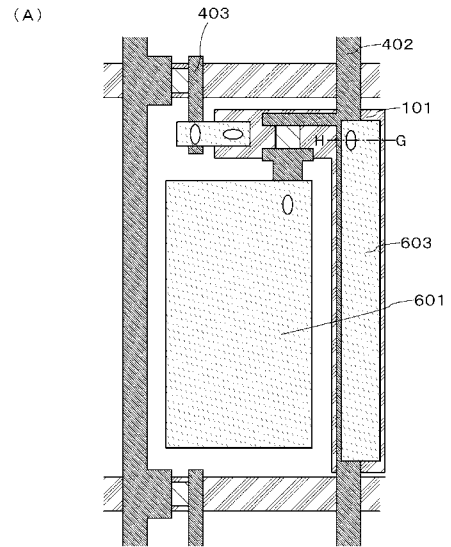
【 图 8 】



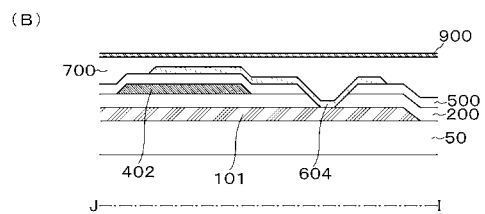
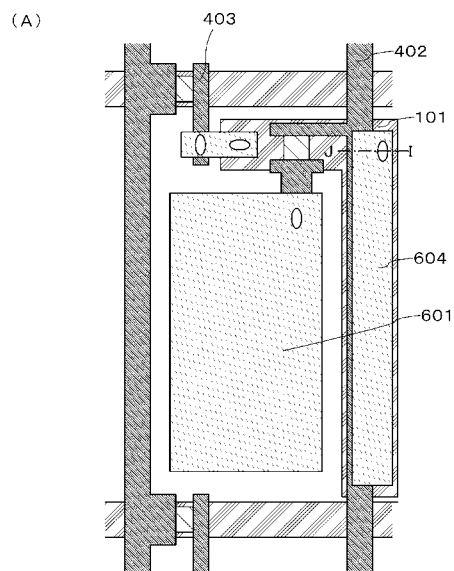
【図 9】



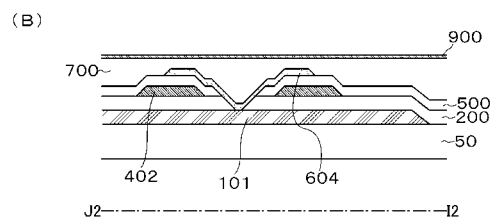
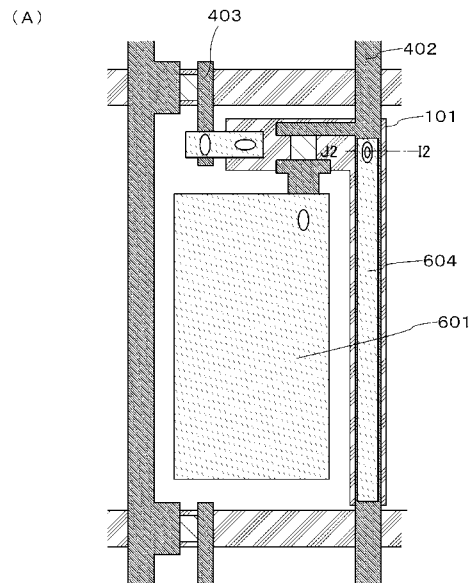
【図 10】



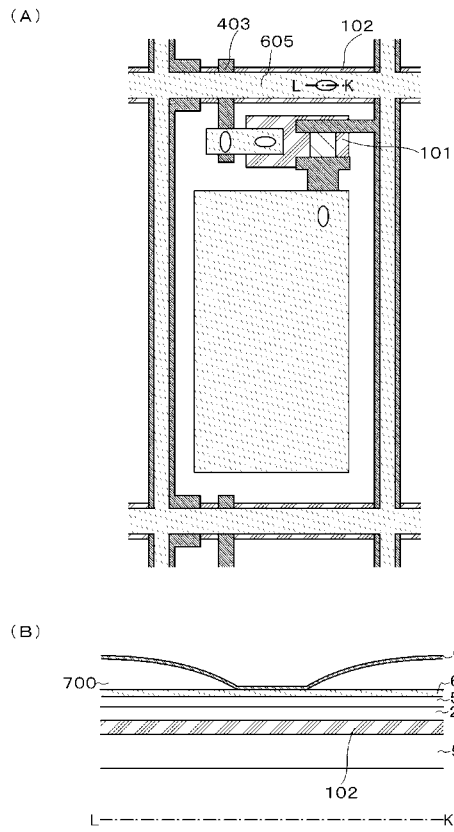
【図 11】



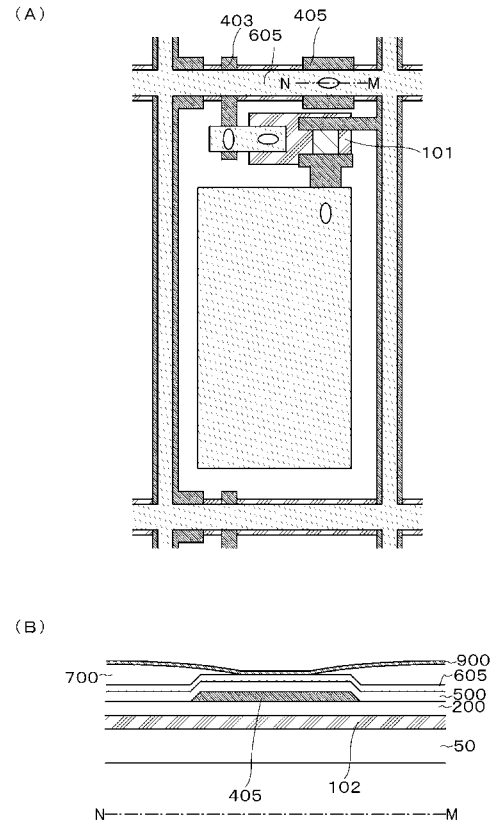
【図 12】



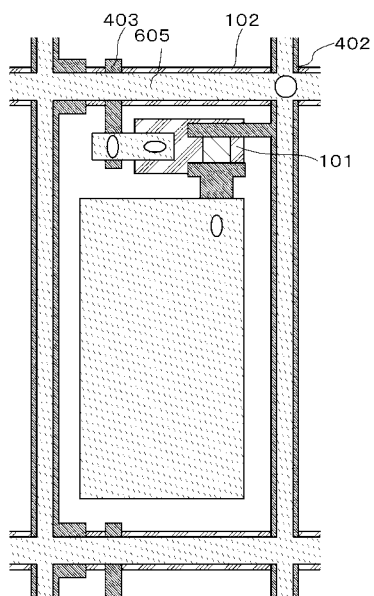
【図 13】



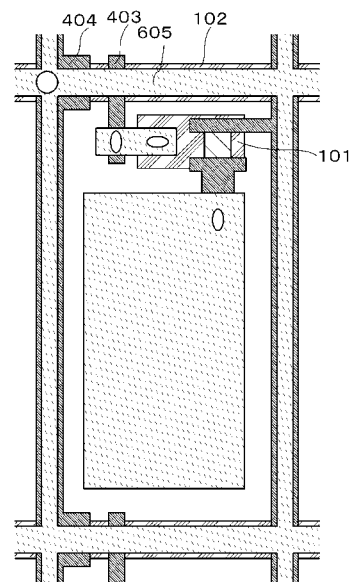
【図 14】



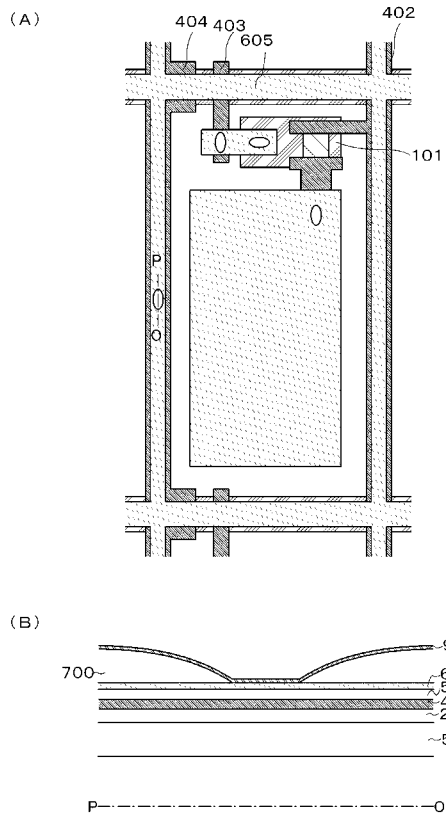
【図 15】



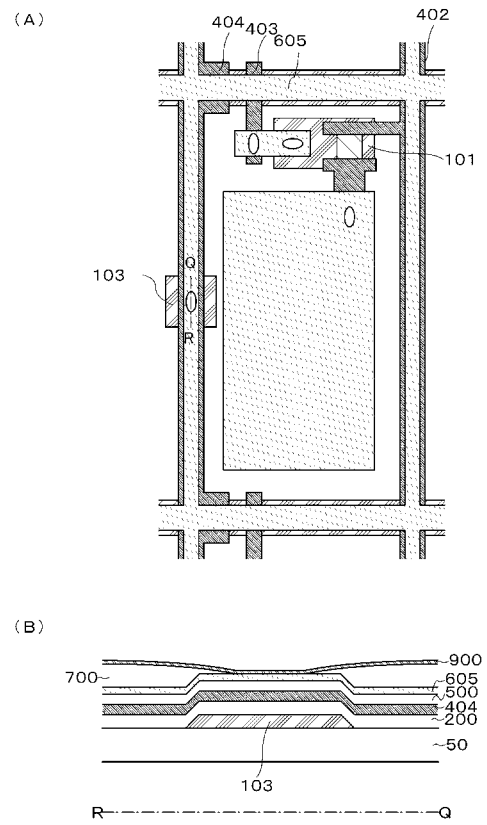
【図 16】



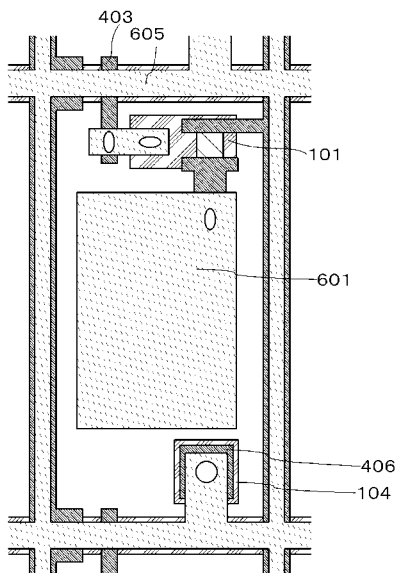
【図 17】



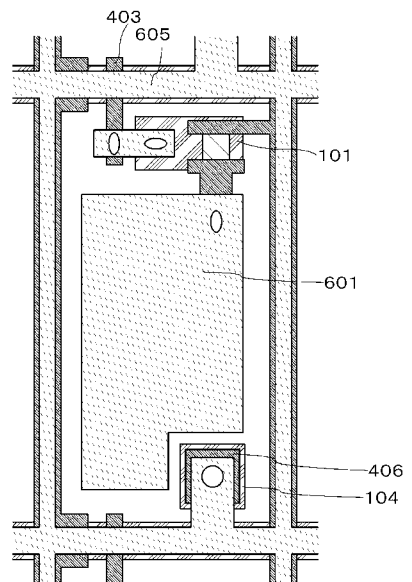
【図 18】



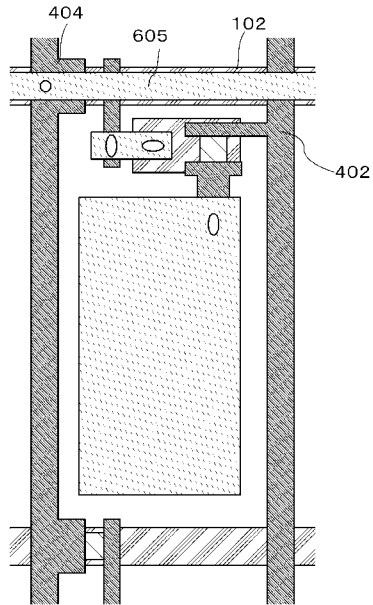
【図 19】



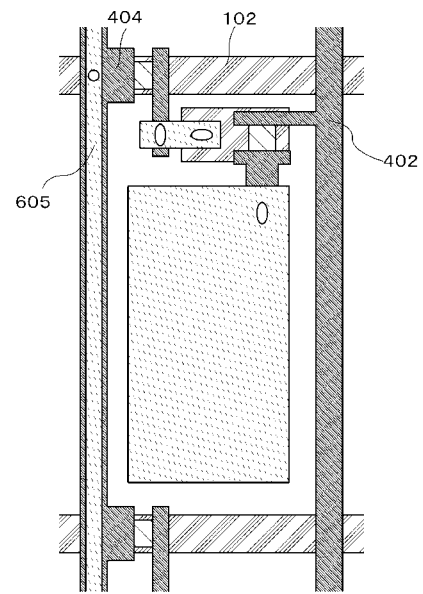
【図 20】



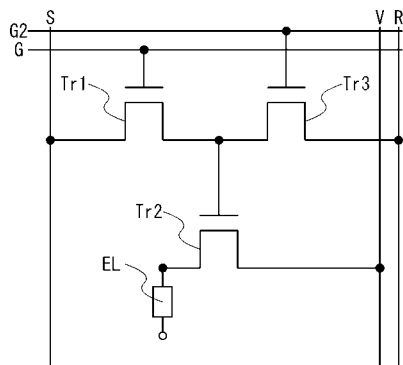
【図 2 1】



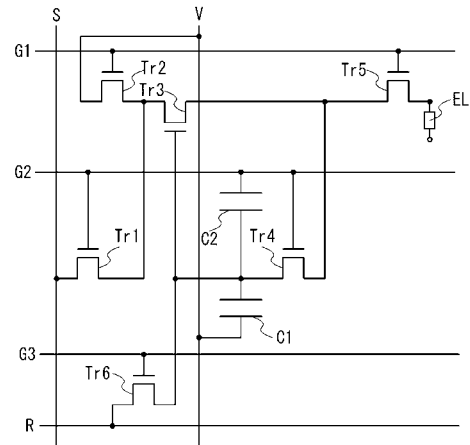
【図 2 2】



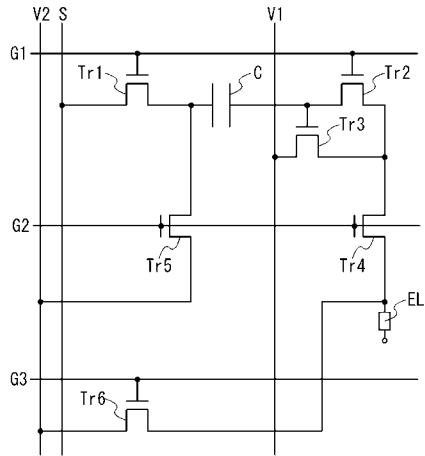
【図 2 3】



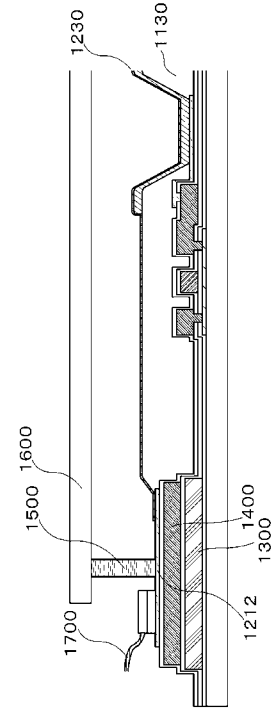
【図 2 4】



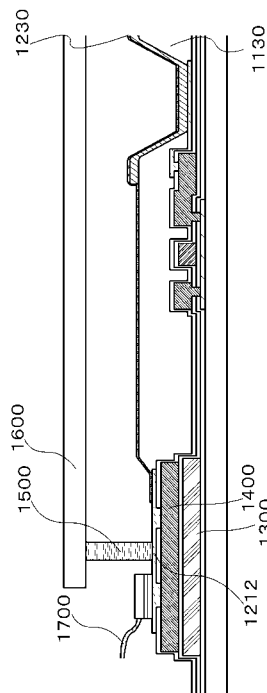
【図 25】



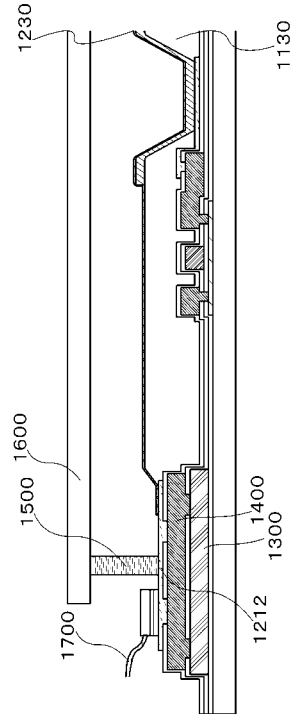
【図 26】



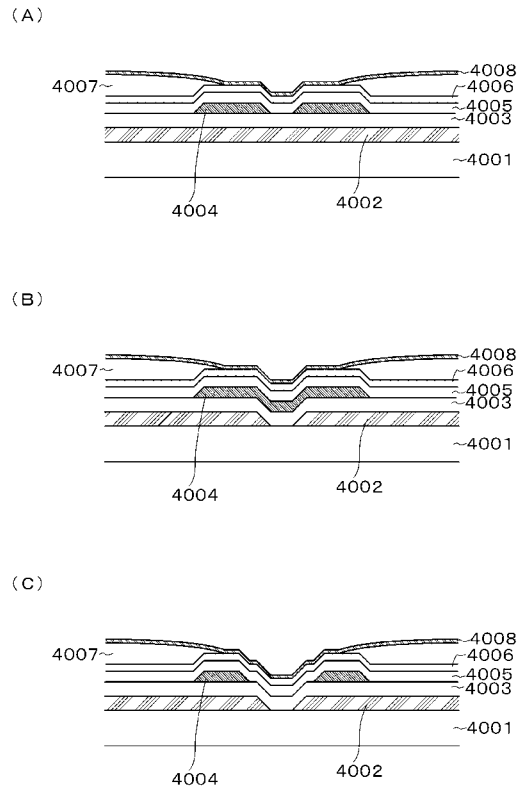
【図 27】



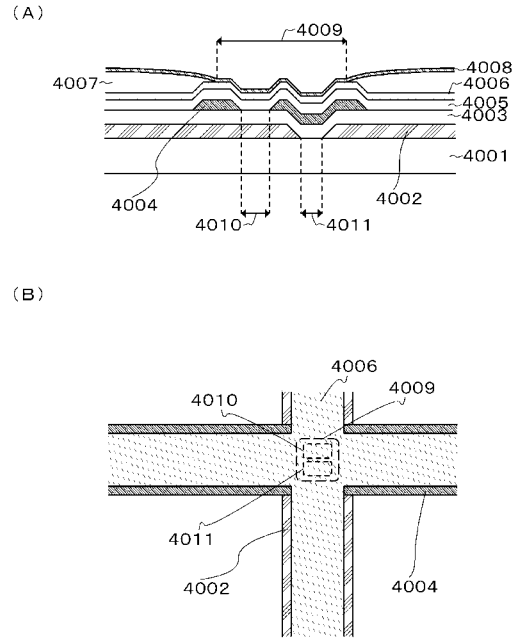
【図 28】



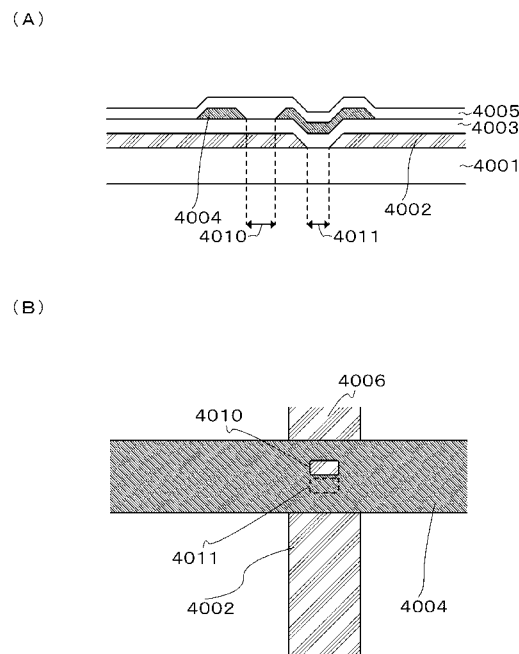
【図 29】



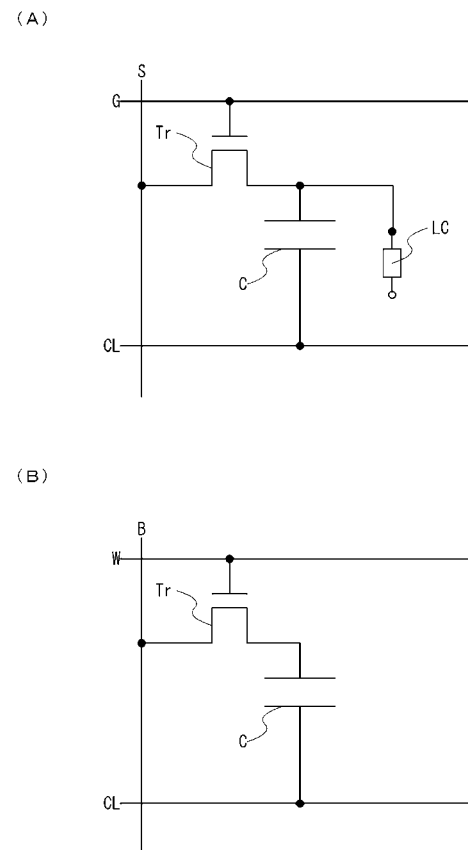
【図 30】



【図 31】



【図 32】



【手続補正書】

【提出日】平成27年5月22日(2015.5.22)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体層と、第 1 の導電層と、第 2 の導電層と、第 3 の導電層と、第 4 の導電層と、第 5 の導電層と、第 6 の導電層と、第 7 の導電層と、第 1 の絶縁層と、第 2 の絶縁層と、第 3 の絶縁層と、有機化合物を含む発光層と、を有し、

前記第 1 の導電層上方及び前記第 5 の導電層上方に、前記第 1 の絶縁層を有し、

前記第 1 の絶縁層上方に、前記半導体層を有し、

前記半導体層上方に、前記第 2 の導電層と、前記第 6 の導電層と、を有し、

前記第 2 の導電層上方及び前記第 6 の導電層上方に、前記第 2 の絶縁層を有し、

前記第 2 の絶縁層上方に、前記第 3 の導電層と、前記第 7 の導電層と、を有し、

前記第 3 の導電層上方及び前記第 7 の絶縁層上方に、前記第 3 の絶縁層を有し、

前記第 3 の導電層上方及び前記第 3 の絶縁層上方に、前記発光層を有し、

前記発光層上方に、前記第 4 の導電層を有し、

前記第 1 の導電層は、トランジスタのゲート電極となる機能を有し、

前記第 1 の導電層と前記第 5 の導電層は、第 1 の導電膜をエッチング加工する工程を経て形成されたものであり、

前記半導体層は、前記トランジスタのチャネル形成領域を有し、

前記第 2 の導電層は、前記トランジスタのソース電極又はドレイン電極となる機能を有し、

前記第 2 の導電層と前記第 6 の導電層とは、第 2 の導電膜をエッチング加工する工程を経て形成されたものであり、

前記第 3 の導電層は、発光素子の一对の電極の一方となる機能を有し、

前記第 3 の導電層と前記第 7 の導電層とは、第 3 の導電膜をエッチング加工する工程を経て形成されたものであり、

前記第 4 の導電層は、前記発光素子の一对の電極の他方となる機能を有し、

前記第 4 の導電層は、前記第 2 の絶縁層に設けられた第 1 の開口を介して、前記第 7 の導電層と電氣的に接続され、

前記第 6 の導電層は、第 2 の開口を有し、

前記第 7 の導電層は、前記第 2 の開口と重なる領域を有し、

前記第 5 の導電層は、前記第 2 の開口と重なる領域を有することを特徴とする表示装置

。

フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 29/786 (2006.01) H 0 1 L 29/78 6 1 3 Z

F ターム(参考) 5F110 CC01 CC02 CC07 DD01 DD02 DD03 DD05 DD12 DD13 DD14
DD15 DD17 EE02 EE03 EE04 EE06 EE07 GG01 GG02 GG04
GG05 GG13 GG15 GG22 HK02 HK03 HK04 HK06 HK07 HK09
HK25 NN02 NN03 NN05 NN71 NN72 QQ19

专利名称(译)	显示设备		
公开(公告)号	JP2015213072A	公开(公告)日	2015-11-26
申请号	JP2015103568	申请日	2015-05-21
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	松倉英樹		
发明人	松倉 英樹		
IPC分类号	H05B33/26 H01L51/50 H05B33/22 G09F9/30 H01L27/32 H01L29/786		
CPC分类号	H01L27/124 H01L27/3276 H01L29/7869 H01L2924/0002 H01L2924/00 H01L27/2436 H01L33/62		
FI分类号	H05B33/26.Z H05B33/14.A H05B33/22.Z G09F9/30.338 G09F9/30.365 H01L29/78.613.Z H01L27/32 H05B33/02 H05B33/10		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC11 3K107/CC31 3K107/DD21 3K107/DD26 3K107/DD37 3K107/DD38 3K107/DD39 3K107/DD90 3K107/DD91 3K107/EE03 3K107/GG12 5C094/AA21 5C094/BA03 5C094/BA27 5C094/DA13 5C094/DB01 5C094/FA01 5C094/FB12 5F110/CC01 5F110/CC02 5F110/CC07 5F110/DD01 5F110/DD02 5F110/DD03 5F110/DD05 5F110/DD12 5F110/DD13 5F110/DD14 5F110/DD15 5F110/DD17 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE07 5F110/GG01 5F110/GG02 5F110/GG04 5F110/GG05 5F110/GG13 5F110/GG15 5F110/GG22 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HK07 5F110/HK09 5F110/HK25 5F110/NN02 5F110/NN03 5F110/NN05 5F110/NN71 5F110/NN72 5F110/QQ19		
优先权	2012010155 2012-01-20 JP		
其他公开文献	JP6089063B2 JP2015213072A5		
外部链接	Espacenet		

摘要(译) 解决的问题：有效利用未形成像素电极的区域中存在的空间。半导体层，在半导体层上的第一绝缘层，栅电极以及在第一绝缘层上，在栅电极上和在第一导电层上的第一导电层 第二绝缘层，在第二绝缘层上的源电极，漏电极以及在源电极上，漏电极上和第二导电层上的第二导电层。参照图3，绝缘层，第三绝缘层上的第一电极和第三导电层，覆盖第一电极端部的平坦化膜，第一电极上的电致发光 一层和第二电极在电致发光层上和平坦化膜上，第二电极，第三导电通过设置在平坦化膜中的开口。电连接到层，并且开口与第一导电层，第二导电层和第三导电层重叠。[选择图]图4	(21) 出願番号 特願2015-103568 (P2015-103568) (22) 出願日 平成27年5月21日 (2015. 5. 21) (62) 分割の表示 特願2013-4466 (P2013-4466) の分割 原出願日 平成25年1月15日 (2013. 1. 15) (31) 優先権主張番号 特願2012-10155 (P2012-10155) (32) 優先日 平成24年1月20日 (2012. 1. 20) (33) 優先権主張国 日本国 (JP)	(71) 出願人 000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地 (72) 発明者 松倉 英樹 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内 Fターム(参考) 3K107 AA01 BB01 CC11 CC31 DD21 DD26 DD37 DD38 DD39 DD90 DD91 EE03 GG12 5C094 AA21 BA03 BA27 DA13 DB01 FA01 FB12
最終頁に続く		