

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-186084

(P2014-186084A)

(43) 公開日 平成26年10月2日(2014.10.2)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 612J	5C080
H01L 51/50 (2006.01)	G09G 3/20 621A	5C380
	G09G 3/20 622D	
	G09G 3/20 622F	
審査請求 未請求 請求項の数 5 O L (全 16 頁) 最終頁に続く		

(21) 出願番号 特願2013-59559 (P2013-59559)
(22) 出願日 平成25年3月22日 (2013.3.22)

(71) 出願人 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(74) 代理人 100095728
弁理士 上柳 雅誉
(74) 代理人 100127661
弁理士 宮坂 一彦
(74) 代理人 100116665
弁理士 渡辺 和昭
(72) 発明者 田村 剛
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
Fターム(参考) 3K107 AA01 BB01 CC14 CC41 EE03 HH05

最終頁に続く

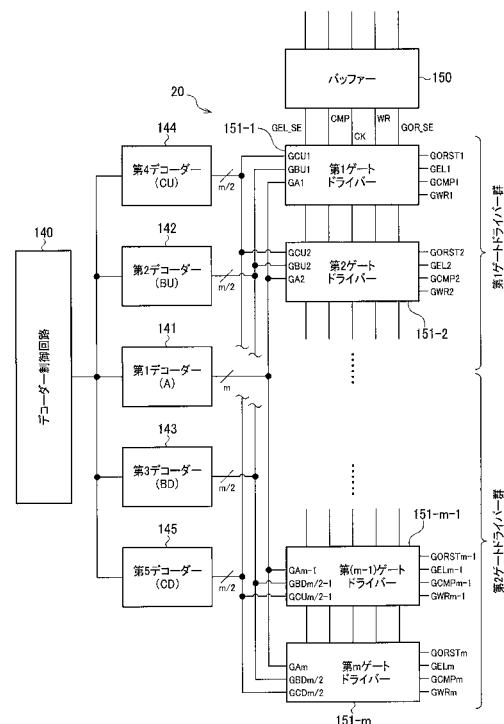
(54) 【発明の名称】 E L表示装置及び電子機器

(57) 【要約】

【課題】 表示サイズを各種サイズに調整し、動作時の消費電力を可能な限り下げることができる E L 表示装置及び電子機器を提供する。

【解決手段】 E L 素子 130 に流れる電流をオンオフするトランジスタ 124 にゲート信号 G E L を供給するゲートドライバ回路 20 は、一垂直走査期間 1 V を規定する第 1 基準信号を生成する第 1 デコーダ 141 と、I V の前半に第 2、第 4 基準信号を生成する第 2、第 4 デコーダ 142, 144 と、I V の後半に第 3、第 5 基準信号を生成する第 3、第 5 デコーダ 143, 145 と、第 1、第 2、第 4 基準信号に基づいて垂直走査方向の上流側の画素群に第 2 ゲート信号を供給する第 1 ゲートドライバ群 151-1 ~ 151-(m/2) と、第 1、第 3 及び第 5 基準信号に基づいて垂直走査方向の下流側の画素群に第 2 ゲート信号を供給する第 2 ゲートドライバ群 151-(m/2+1) ~ 151-m と、を有する。

【選択図】 図 3



【特許請求の範囲】**【請求項 1】**

マトリクス状に配置された複数の画素と、
前記複数の画素の各々に配置される E L 素子と、
前記複数の画素の各々に配置され、第 1 ゲートに入力される第 1 ゲート信号に基づいて前記 E L 素子に駆動電流を供給する第 1 トランジスターと、
前記複数の画素の各々に配置され、第 2 ゲートに入力される第 2 ゲート信号に基づいて前記 E L 素子に流れる電流をオン / オフする第 2 トランジスターと、
前記複数の画素の各々に配置される前記第 2 トランジスターの前記第 2 ゲートに、前記第 2 ゲート信号を供給するゲートドライバ回路と、
を有し、
前記ゲートドライバ回路は、
アドレス信号に基づいて一垂直走査期間を規定する第 1 基準信号を生成する第 1 デコーダと、
前記アドレス信号に基づいて前記一垂直走査期間の前半に一つの第 2 基準信号を生成する第 2 デコーダと、
前記アドレス信号に基づいて前記一垂直走査期間の後半に一つの第 3 基準信号を生成する第 3 デコーダと、
前記アドレス信号に基づいて前記一垂直走査期間の前半に、前記第 2 基準信号とは異なるタイミングで一つの第 4 基準信号を生成する第 4 デコーダと、
前記アドレス信号に基づいて前記一垂直走査期間の後半に、前記第 3 基準信号とは異なるタイミングで一つの第 5 基準信号を生成する第 5 デコーダと、
前記第 2 及び第 4 基準信号に基づいて、垂直走査範囲を二分する位置よりも垂直走査方向の上流側の画素群に前記第 2 ゲート信号を供給する第 1 ゲートドライバ群と、
前記第 3 及び第 5 基準信号に基づいて、前記垂直走査範囲を二分する位置よりも前記垂直走査方向の下流側の画素群に前記第 2 ゲート信号を供給する第 2 ゲートドライバ群と、
を有することを特徴とする E L 表示装置。

10

20

【請求項 2】

請求項 1 において、
前記複数の画素の各々は、第 3 ゲートに入力される第 3 ゲート信号に基づいて前記 E L 素子のアノードにリセット電位を供給する第 3 トランジスターをさらに有し、
前記第 1 ゲートドライバ群は、前記第 2 及び第 4 基準信号に基づいて、前記垂直走査方向の前記上流側の画素群に前記第 3 ゲート信号を供給し、
第 2 ゲートドライバ群は、前記第 3 及び第 5 基準信号に基づいて、前記垂直走査方向の前記下流側の画素群に前記第 3 ゲート信号を供給することを特徴とする E L 表示装置。

30

【請求項 3】

請求項 1 または 2 において、
前記複数の画素の各々は、第 4 ゲートに入力される第 4 ゲート信号に基づいて前記第 1 ゲートにデータ電位を供給する第 4 トランジスターをさらに有し、
前記第 1 及び第 2 ゲートドライバ群は、前記第 1 基準信号がアクティブである期間に第 4 ゲート設定信号に基づいて、前記垂直走査方向の前記上流側及び前記下流側の画素群に前記第 4 ゲート信号を供給することを特徴とする E L 表示装置。

40

【請求項 4】

請求項 1 乃至 3 のいずれかにおいて、
前記複数の画素の各々は、第 5 ゲートに入力される第 5 ゲート信号に基づいて前記第 1 トランジスターの前記第 1 ゲートとソースとをショートさせる第 5 トランジスターをさらに有し、
前記第 1 及び第 2 ゲートドライバ群は、前記第 1 基準信号がアクティブである期間に第 5 ゲート設定信号に基づいて、前記垂直走査方向の前記上流側及び前記下流側の画素群

50

に前記第 5 ゲート信号を供給することを特徴とする E L 表示装置。

ことを特徴とする E L 表示装置。

【請求項 5】

請求項 1 乃至 4 のいずれか記載の E L 表示装置を含むことを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、E L 表示装置及び電子機器等に関する。

【背景技術】

【0002】

10

有機 E L 素子をマトリクス配置したマトリクス型 E L 表示装置では、液晶表示装置と同様に、ゲートドライバーから走査線を介して、画素選択トランジスタのゲートに走査信号を供給して、各画素を選択駆動している。E L 表示装置では、各画素には画素選択トランジスタ以外にもトランジスタが配置され、画素内の複数のトランジスタのゲートにゲートドライバーから信号を供給する必要がある。

【0003】

特許文献 1 では、ゲート線を駆動するゲートドライバーにシフトレジスタを用いている。そのシフトレジスタへの入力データによって、E L 素子に流れる電流をオン/オフするスイッチングトランジスタのゲートを制御して、様々なタイミングで E L 素子を点灯、非点灯させている。

20

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2003—150082 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

同一のパネルを用いて、フルサイズの表示領域と、それよりも小さい表示領域とを切り換え、非表示領域では E L 素子を非点灯にしなければならない場合がある。例えば、XGA サイズでパネルを作成しておき、それよりも小さいサイズ、たとえば、SVGA、QHD サイズにも対応できるパネルが必要になる。

30

【0006】

表示サイズの切り替えを従来のシフトレジスタ方式のゲートドライバーで行う場合、ゲート制御信号は、フルサイズのままの制御信号とし、非表示ラインの額縁には、非表示のデータを供給することで実現できる。しかし、これではパネルサイズが小さくなっても、大きなパネルサイズと同じ信号が必要になってしまい、電力のムダ使いが生じる。

【0007】

電力のムダ使いを減らすために、シフトレジスタの途中からデータを入れられるようにし、使用しないラインのゲート信号を固定できる回路を追加することができる。しかし、画面サイズを小さくするサイズは固定ではなく、自由に変えられることが望ましい。

40

【0008】

このように、表示サイズを各種サイズに調整し、待機時や動作時の消費電力を可能な限り下げるなどの様々な要求に応えるには、シフトレジスタ方式では対応しきれない。

【0009】

本発明の幾つかの態様は、シフトレジスタに代えてデコーダーを採用することで、上述した課題を解決することができる E L 表示装置及び電子機器を提供することを目的とする。

【課題を解決するための手段】

【0010】

(1) 本発明の一態様は、

50

マトリクス状に配置された複数の画素と、
前記複数の画素の各々に配置されるＥＬ素子と、
前記複数の画素の各々に配置され、第１ゲートに入力される第１ゲート信号に基づいて前記ＥＬ素子に駆動電流を供給する第１トランジスターと、
前記複数の画素の各々に配置され、第２ゲートに入力される第２ゲート信号に基づいて前記ＥＬ素子に流れる電流をオン／オフする第２トランジスターと、
前記複数の画素の各々に配置される前記第２トランジスターの前記第２ゲートに、前記第２ゲート信号を供給するゲートドライバ回路と、
を有し、

前記ゲートドライバ回路は、
アドレス信号に基づいて一垂直走査期間を規定する第１基準信号を生成する第１デコーダーと、
前記アドレス信号に基づいて前記一垂直走査期間の前半に一つの第２基準信号を生成する第２デコーダーと、
前記アドレス信号に基づいて前記一垂直走査期間の後半に一つの第３基準信号を生成する第３デコーダーと、
前記アドレス信号に基づいて前記一垂直走査期間の前半に、前記第２基準信号とは異なるタイミングで一つの第４基準信号を生成する第４デコーダーと、
前記アドレス信号に基づいて前記一垂直走査期間の後半に、前記第３基準信号とは異なるタイミングで一つの第５基準信号を生成する第５デコーダーと、
前記第２及び第４基準信号に基づいて、垂直走査範囲を二分する位置よりも垂直走査方向の上流側の画素群に前記第２ゲート信号を供給する第１ゲートドライバ群と、
前記第３及び第５基準信号に基づいて、前記垂直走査範囲を二分する位置よりも前記垂直走査方向の下流側の画素群に前記第２ゲート信号を供給する第２ゲートドライバ群と、
を有するＥＬ表示装置に関する。

【００１１】

本発明の一態様によれば、ゲートドライバ回路はシフトレジスタを用いることなく、第１～第５デコーダーからの第１～第５基準信号に基づいて、画素回路に供給されるタイミング信号であるゲート信号（階調データに基づく第１ゲート信号は除く）を生成できる。特に、ＥＬ素子を点灯／非点灯させる第２ゲート信号は、垂直走査方向の上流側、下流側で独立して設定できる。よって、垂直走査方向の上流側のみ、下流側のみ、あるいは上流及び下流側の双方にて、任意に非点灯期間を設定することができる。それにより、有機ＥＬ素子のＯＮ／ＯＦＦ周期が２倍になり、フリッカーを低減しながら、明るさの調整が可能になる。

【００１２】

（２）本発明の一態様では、前記複数の画素の各々は、第３ゲートに入力される第３ゲート信号に基づいて前記ＥＬ素子のアノードにリセット電位を供給する第３トランジスタをさらに有し、前記第１ゲートドライバ群は、前記第２及び第４基準信号に基づいて、前記垂直走査方向の前記上流側の画素群に前記第３ゲート信号を供給し、第２ゲートドライバ群は、前記第３及び第５基準信号に基づいて、前記垂直走査方向の前記下流側の画素群に前記第３ゲート信号を供給することができる。

【００１３】

本発明の一態様によれば、第３ゲート信号は第２ゲート信号とほぼ論理が反転する関係である。よって、第２ゲート信号と同様に第３ゲート信号もまた、垂直走査方向の上流側のみ、下流側のみ、あるいは上流及び下流側の双方にて、リセット期間を任意に設定することができるようにしている。

【００１４】

（３）本発明の一態様では、前記複数の画素の各々は、第４ゲートに入力される第４ゲート信号に基づいて前記第１ゲートにデータ電位を供給する第４トランジスタをさらに

10

20

30

40

50

有し、前記第 1 及び第 2 ゲートドライバー群は、前記第 1 基準信号がアクティブである期間に第 4 ゲート設定信号に基づいて、前記垂直走査方向の前記上流側及び前記下流側の画素群に前記第 4 ゲート信号を供給することができる。

【0015】

(4) 本発明の一態様では、前記複数の画素の各々は、第 5 ゲートに入力される第 5 ゲート信号に基づいて前記第 1 トランジスタの前記第 1 ゲートとソースとをショートさせる第 5 トランジスタをさらに有し、前記第 1 及び第 2 ゲートドライバー群は、前記第 1 基準信号がアクティブである期間に第 5 ゲート設定信号に基づいて、前記垂直走査方向の前記上流側及び前記下流側の画素群に前記第 5 ゲート信号を供給することができる。

【0016】

EL 素子へのデータ書き込み前に補償期間を設定する第 5 ゲート信号や、補償期間後の書き込み期間を設定する第 4 ゲート信号は、垂直走査方向の 1 出力のみを任意に設定できる。よって、垂直走査方向にて任意に補償期間及び書き込み期間を設定することができる。それにより、デコーダーの先頭から最終アドレスを変更することで、表示サイズを任意に変更することができる。

【0017】

(5) 本発明の他の態様は、上述した EL 表示装置を含む電子機器を定義している。この電子機器として、例えば電子ビューファインダー (EVF) やヘッドマウントディスプレイ (HMD) 等を挙げるができる。

【図面の簡単な説明】

【0018】

【図 1】本発明の EL 表示装置の一例を示す図である。

【図 2】図 1 に示す画素回路の回路図である。

【図 3】図 1 に示すゲートドライバー回路のブロック図である。

【図 4】図 3 に示す 5 つのデコーダーの関係を示す図である。

【図 5】図 3 に示す一つのデコーダーの詳細示すブロック図である。

【図 6】デコーダー出力と、それに基づいて生成される信号波形を示すタイミングチャートである。

【図 7】図 3 に示す一つのゲートドライバーを示す回路図である。

【図 8】デコーダー出力と、図 7 の回路により生成されるゲート信号を示すタイミングチャートの一例である。

【図 9】デコーダー出力と、図 7 の回路により生成されるゲート信号を示すタイミングチャートの他の一例である。

【図 10】デコーダー出力と、図 7 の回路により生成されるゲート信号を示すタイミングチャートのさらに他の一例である。

【図 11】デコーダー出力と、図 7 の回路により生成されるゲート信号を示すタイミングチャートのさらに他の一例である。

【図 12】非点灯期間中の最初の一水平走査期間でデータ書き込みするゲート信号波形を示すタイミングチャートである。

【図 13】一垂直走査期間内でデータ書き込み期間、非発光期間及び発光期間を示すタイミングチャートである。

【図 14】電子機器の一例であるデジタルスチルカメラを示す図である。

【図 15】電子機器の他の一例であるオーバーヘッド・ディスプレイの外観図である。

【図 16】オーバーヘッド・ディスプレイの EL 表示装置及び光学系を示す図である。

【発明を実施するための形態】

【0019】

以下、本発明の好適な実施の形態について詳細に説明する。なお以下に説明する本実施形態は特許請求の範囲に記載された本発明の内容を不当に限定するものではなく、本実施形態で説明される構成の全てが本発明の解決手段として必須であるとは限らない。

【0020】

10

20

30

40

50

1. EL表示装置

図1は、本実施形態のEL表示装置10を示している。EL表示装置10は、半導体基板例えばシリコン基板1上にゲートドライバー回路20、デマルチプレクサ40、レベルシフト回路30、データ線駆動回路60及び表示部100を形成している。

【0021】

表示部100には、行方向（横方向）Xに沿って複数の走査線12が配置され、列方向（縦方向）Yに沿って複数のデータ線14が配置されている。複数の走査線12及び複数のデータ線14の各1本に接続される複数の画素回路110がマトリクス状に配置されている。

【0022】

本実施形態では、1本の走査線12に沿って連続する3つの画素回路110は、それぞれR（赤）、G（緑）、青（B）の画素に対応し、これら3画素がカラー画像の1ドットを表現する。

【0023】

画素回路110の一例について説明する。i行目の画素回路110は、図2に示すように、P型トランジスタ121～125と、OLED130と、保持容量132とを含む。画素回路110には、走査信号Gwr(i)、制御信号Gel(i)、Gcmp(i)、Gorst(i)が供給される。

【0024】

駆動トランジスタ（第1トランジスタ）121は、ソースが給電線116に接続され、ドレインはトランジスタ124を介してOLED130に接続され、OLED130に流れる電流を制御する。データ線電位（階調電位）を書き込むトランジスタ（第4トランジスタ）122は、ゲート（第4ゲート）が走査線12に接続され、ドレイン/ソースの一方がデータ線14に接続され、他方がトランジスタ121のゲート（第1ゲート）に接続されている。保持容量132はトランジスタ121のゲート線と給電線116との間に接続され、トランジスタ121のソース・ゲート間の電圧を保持する。給電線116には、電源の高電位Velが給電される。OLEDの130のカソードは共通電極とされ、電源の低電位Vctに設定される。

【0025】

トランジスタ（第5トランジスタ）123は、ゲートに制御信号Gcmp(i)が入力され、制御信号Gcmp(i)に従って第1トランジスタ121のゲート・ドレイン間をショートさせる。それにより、第1トランジスタ121はダイオード接続となる。その結果、保持容量132に第1トランジスタ121のしきい値電圧が保持される。この期間は、トランジスタ121のしきい値のばらつきを補償する補償期間と称される。よって、トランジスタ122がオンされている間であって、補償期間の終了後が、トランジスタ121のゲート及び保持容量132にデータ電位が書き込まれる書込み期間となる。

【0026】

OLED130の点灯制御トランジスタ（第2トランジスタ）124は、ゲート（第2ゲート）に制御信号Gel(i)が入力され、トランジスタ121のドレインとOLED130のアノードとの間をオン/オフする。リセットトランジスタ（第3トランジスタ）125は、ゲート（第3ゲート）に制御信号Gorst(i)が入力され、制御信号Gorst(i)に従ってOLED130のアノードに、給電線16の電位であるリセット電位Vorstを供給する。このリセット電位Vorstと共通電位Vctとの差がOLED130の発光しきい値を下回るように設定される。

【0027】

図1に示すゲートドライバー回路20は、i行目の走査線12に走査信号Gwr(i)を供給する。ゲートドライバー回路20の詳細については後述する。図1にて列方向Yに沿って延びるデータ線14と給電線16との間に誘電体を配置することで保持容量50が形成される。レベルシフト回路30は、データ線駆動回路60及びデマルチプレクサ40

10

20

30

40

50

を介して供給されるデータ信号（階調レベル）に応じて、例えば保持容量 50 とレベルシフト回路 30 内の保持容量とを用いて容量分割方式にて、トランジスタ 121 のしきい値電圧よりもレベルシフトさせてデータ線 14 に供給する。この容量分割方式は例えば特願 2011-228885 号に記載されているので説明を省略する。なお、本実施形態では必ずしも容量分割駆動方式を用いなくても良い。

【0028】

デマルチプレクサ 40 は、図 1 の表示部 100 の一ライン（ i 行）上にある複数画素に、RGB 毎に時分割でデータ電位を切り換え出力する。データ線駆動回路 60 は、図 1 に示すように、シフトレジスタと、シフトレジスタからのクロックに従って順次データをラッチするデータラッチ回路と、データラッチ回路からのデータを同時にラッチするラインラッチ回路と、ラインラッチ回路からのデータをデジタル・アナログ変換して、階調電圧として出力するデジタル・アナログ変換回路とを含んでいる。

10

【0029】

2. EL 表示装置のゲートドライバー回路

図 3 は、図 1 に示すゲートドライバー回路 20 の詳細を示している。本実施形態のゲートドライバー回路 20 は、シフトレジスタの代わりにデコーダーを用いている。ゲートドライバー回路 20 は、デコーダー制御回路 140 と、第 1 デコーダー（デコーダー A）141 と、第 2 デコーダー（デコーダー BU）142 と、第 3 デコーダー（デコーダー BD）143 と、第 4 デコーダー（デコーダー CU）144 と、第 5 デコーダー（デコーダー CD）145 と、を含む。ゲートドライバー回路 20 は、バッファ 150 と、第 1 ～第 m のゲートドライバー 151 - 1 ～ 151 - m とを含む。第 1 ～第 m のゲートドライバー 151 - 1 ～ 151 - m は、図 1 に示す列方向 Y に沿って配列された m 個の画素回路 110 に各種ゲート信号（GEL, GORST, GWR, GCMP）をそれぞれ供給する。

20

【0030】

図 4 は、5 つのデコーダー 141 ～ 145（A, BU, BD, CU, CD）の関係を示している。本実施形態では、図 1 に示す列方向 Y の画素数は m （ m は偶数で例えば 768）である。第 1 デコーダー（デコーダー A）141 は、図 3 に示すデコーダー制御回路 140 からの 10 ビットのアドレス信号 [9:0] に従って、第 1 ～第 m のゲートドライバー 151 - 1 ～ 151 - m にデコーダー出力を供給する。第 2 デコーダー（デコーダー BU）142 と第 4 デコーダー（デコーダー CU）144 とは、図 3 に示すデコーダー制御回路 140 からの 9 ビットのアドレス信号 [8:0] に従って、垂直走査範囲を二分する位置よりも垂直走査方向にて上流側に位置する第 1 ～第 $(m/2)$ のゲートドライバー 151 - 1 ～ 151 - $(m/2)$ にデコーダー出力を供給する。なお、第 1 ～第 $(m/2)$ のゲートドライバー 151 - 1 ～ 151 - $(m/2)$ を、第 1 ゲートドライバー群とも称する。第 3 デコーダー（デコーダー BD）143 と第 5 デコーダー（デコーダー CD）145 とは、図 3 に示すデコーダー制御回路 140 からの 9 ビットのアドレス信号 [8:0] に従って、垂直走査範囲を二分する位置よりも垂直走査方向にて下流側に位置する第 $(m/2 + 1)$ ～第 m のゲートドライバー 151 - $(m/2 + 1)$ ～ 151 - m にデコーダー出力を供給する。第 $(m/2 + 1)$ ～第 m のゲートドライバー 151 - $(m/2 + 1)$ ～ 151 - m は、第 2 ゲートドライバー群とも称する。

30

40

【0031】

図 5 は、9 ビットのアドレス信号 $\langle A_9 : A_1 \rangle$ が入力されるデコーダー BU, BD, CU, CD に共通の構成を示している。デコーダー A も、10 ビットのアドレス信号 $\langle A_{10} : A_1 \rangle$ が入力される点を除いて、図 5 と同様の構成を有する。図 5 に示すように、デコーダー BU, BD, CU, CD は、 m 個のデコーダー素子 DEC - 1 ～ DEC - m を有する。 m 個のデコーダー素子 DEC - 1 ～ DEC - m は、例えば 9 ビットのアドレス信号 $\langle A_9 : A_1 \rangle$ が全て High の時のみ出力 OUT が High になる。図 5 に示すように、 m 個のデコーダー素子 DEC - 1 ～ DEC - m に入力される 9 ビットのアドレス信号の組み合わせはそれぞれ異なるので、いずれか一つのデコーダー素子 DEC からのみ High が出力される。

50

【 0 0 3 2 】

図 6 に、5 つのデコーダー 1 4 1 ~ 1 4 5 (A , B U , B D , C U , C D) の例えば O U T 1 から出力される基準信号を示している。第 1 デコーダー (デコーダー A) 1 4 1 は、アドレス信号に基づいて一垂直走査期間 (1 V) に一つの第 1 基準信号を生成する。つまり、第 1 デコーダー (デコーダー A) 1 4 1 からの第 1 基準信号は一垂直走査信号となる。第 2 デコーダー (デコーダー B U) 1 4 2 は、アドレス信号に基づいて一垂直走査期間 (1 V) の前半に一つの第 2 基準信号を生成する。第 3 デコーダー (デコーダー B D) 1 4 3 は、アドレス信号に基づいて一垂直走査期間 (1 V) の後半に一つの第 3 基準信号を生成する。第 4 デコーダー (デコーダー C U) 1 4 4 は、アドレス信号に基づいて一垂直走査期間 (1 V) の前半に、第 2 基準信号とは異なるタイミングで一つの第 4 基準信号を生成する。第 5 デコーダー (デコーダー C D) 1 4 5 は、アドレス信号に基づいて一垂直走査期間 (1 V) の後半に、第 3 基準信号とは異なるタイミングで一つの第 5 基準信号を生成する。5 つのデコーダー 1 4 1 ~ 1 4 5 (A , B U , B D , C U , C D) からの第 1 ~ 第 5 の基準信号やクロック信号 C K に加え、これらをロジック回路で処理することで得られる各種信号 (例えば $A + B + C$) を示している。

10

【 0 0 3 3 】

図 3 に示す第 1 ~ 第 m のゲートドライバー 1 5 1 - 1 ~ 1 5 1 - m の各々は、図 7 に示す共通の構成を有している。図 7 に示すデコーダー回路を、図 8 ~ 図 1 1 に示すタイミングチャートを参照して説明する。なお、図 7 において、デコーダー B はデコーダー B U , B D のいずれか一方であり、デコーダー C はデコーダー C U , C D のいずれか一方である。

20

【 0 0 3 4 】

先ず、図 2 に示す第 2 トランジスタ 1 2 4 に供給される第 2 ゲート信号 G E L の生成について、図 7 ~ 図 1 1 を参照して説明する。なお、図 7 において符号のない端子はテスト端子であり、デコーダー使用時には図 7 に示す各 2 組のトランスファージェートのうちの下側のゲートを常時開く電位に固定される。デコーダー B , C の論理和 (オア) 出力である信号 m e t 0 9 8 と、図 3 のバッファ 1 5 0 から供給される信号 G E L _ S E とが、図 7 に示すように論理積 (アンド) されて、信号 m e t 2 2 6 が生成される。図 3 のバッファ 1 5 0 から供給されるクロック C K 、信号 m e t 0 9 8 及びデコーダー B に基づいて、図 7 に示すように信号 m e t 2 1 4 が生成される。図 7 に示すように、これら信号 m e t 2 1 4 , m e t 2 2 6 の論理和として、信号 m e t 0 1 4 1 が生成される。第 2 ゲート信号 G E L として、信号 m e t 0 1 4 1 が出力される (図 8 ~ 図 1 1 参照) 。

30

【 0 0 3 5 】

次に、図 2 に示す第 3 トランジスタ 1 2 5 に供給される第 3 ゲート信号 G O R S T の生成について、図 7 ~ 図 1 1 を参照して説明する。上述したように、デコーダー B , C の出力に基づいて生成される信号 m e t 0 4 9 , m e t 2 1 4 は、図 7 に示すように否定論理和 (ノア) されて、信号 m e t 0 1 8 8 が生成される。第 3 ゲート信号 G O R S T として、信号 m e t 0 1 8 8 が出力される (図 8 ~ 図 1 1 参照) 。

【 0 0 3 6 】

次に、図 2 に示す第 4 トランジスタ 1 2 2 に供給される第 4 ゲート信号 G W R の生成について、図 7 ~ 図 1 1 を参照して説明する。デコーダー A の出力と、図 3 に示すバッファ 1 5 0 からの第 4 ゲート設定信号 W R とは、図 7 に示すように否定論理積 (ナンド) され、それが第 4 ゲート信号 G W R として出力される (図 8 ~ 図 1 1 参照) 。

40

【 0 0 3 7 】

次に、図 2 に示す第 5 トランジスタ 1 2 3 に供給される第 5 ゲート信号 G C M P の生成について、図 7 ~ 図 1 1 を参照して説明する。デコーダー A の出力と、図 3 に示すバッファ 1 5 0 からの第 5 ゲート設定信号 C M P とは、図 7 に示すように否定論理積 (ナンド) され、それが第 5 ゲート信号 G C M P として出力される (図 8 ~ 図 1 1 参照) 。

【 0 0 3 8 】

以上のようにして、図 3 に示す第 1 ~ 第 m ゲートドライバー 1 5 1 - 1 ~ 1 5 1 - m が

50

ら、それぞれ第2～第5ゲート信号GEL, GORST, GWR, GCMPが出力される。ただし、第1～第mゲートドライバー151-1～151-mからの第2～第5ゲート信号GEL, GORST, GWR, GCMPは、アドレス信号に基づいてクロックCKの一周期（一水平走査期間1H）ずつ立ち上がり又は立下りタイミングがシフトしている。これにより、図1に示す列方向Yに沿って配置された画素を順次駆動することができる。なお、クロックCKとデコーダー入力の周期を変更することで、表示サイズに応じて一水平走査期間1Hの長さを変更することができる。

【0039】

このように、本実施形態では図8～図11にて明らかなように、アドレス信号によりデコーダーA, B (BUまたはBD), C (CUまたはCD)の出力波形を生成し、それによって第2～第5ゲート信号GEL, GORST, GWR, GCMPを生成できるので、シフトレジスタは不要となる。

【0040】

特に、EL素子130の点灯/非点灯させる第2ゲート信号GELは、垂直走査範囲を二分する位置よりも垂直走査方向の上流側、下流側でそれぞれ独立して設定できる。よって、垂直走査方向の上流側のみ、下流側のみ、あるいは上流及び下流側の双方にて、任意に非点灯期間を設定することができる。それにより、OLED130のON/OFF周期が2倍になり、フリッカーを低減しながら、明るさの調整が可能になる。

【0041】

第3ゲート信号GORSTは第2ゲート信号GELとほぼ論理が反転する関係である。よって、第2ゲート信号GELと同様に第3ゲート信号GORSTもまた、垂直走査範囲を二分する位置よりも垂直走査方向の上流側のみ、下流側のみ、あるいは上流及び下流側の双方にて、リセット期間を任意に設定することができる。

【0042】

また、EL素子130へのデータ書き込み前に補償期間を設定する第5ゲート信号GCMPや、補償期間後の書き込み期間を設定する第4ゲート信号GWRは、垂直走査方向の1出力のみを任意設定できる。よって、垂直走査方向にて任意に補償期間及び書き込み期間を設定することができる。それにより、デコーダーの先頭から最終アドレスを変更することで、表示サイズを任意に変更することができる。

【0043】

図12に、n行目と(n+k+1)行目の画素に供給される第2～第5ゲート信号GEL, GORST, GWR, GCMPを示す。図12では、n行目と(n+k+1)行目の画素にて、第2ゲート信号GELがHighとなって第2トランジスタ124がオフしている非点灯期間が、ほぼ(2+k)H期間に亘って設定される。その非点灯期間の最初の一水平走査期間(1H)に、第4ゲート信号GWRをLowとして図2の第4トランジスタ122をオンさせることができる。

【0044】

また、第4トランジスタ122のオン期間よりも短い期間に亘って第5ゲート信号GCMPがLowとされ、図2に示す第5トランジスタ123がオンされる。それにより、補償期間が設定され、補償期間後も第5トランジスタ123がオンされている期間が書き込み期間となる。さらに、n行目の画素から明らかなように、(2+k)Hの全期間に亘って第3ゲート信号GORSTはLowとされ、図2に示す第3トランジスタ125はオンとされる。書き込み期間の無い非点灯期間(kH)では、第2～第4ゲート信号GEL, GCMP, GWRはHighとなり、第2～第4トランジスタ124, 125, 122はオフされる。

【0045】

図13に、n行目の画素について、一垂直走査期間(1V=768H)中の非点灯期間(HOFF1, HOFF2)と点灯期間(HON1, HON2)の設定例を示す。非点灯期間(HOFF1)中に第4ゲート信号GWRがLowとなってデータ書き込みが行われている。非点灯期間(HOFF1, HOFF2)と点灯期間(HON1, HON2)は

10

20

30

40

50

、一水平走査期間（１Ｈ）単位で長さを調整することで、明るさを調整することができる。

【００４６】

３．電子機器

図１４は、このデジタルスチルカメラ２００の構成を示す斜視図であるが、外部機器との接続についても簡易的に示すものである。デジタルスチルカメラ２００のケース２０２の背面には、上述したＥＬ表示装置１０が適用される表示装置２０４が設けられる。表示装置２０４は、ＣＣＤ（Charge Coupled Device）による撮像信号に基づいて、表示を行う構成となっている。このため、表示装置２０４は、被写体を表示する電子ビューファインダとして機能する。ケース２０２の観察側（図においては裏面側）には、光学レンズやＣＣＤなどを含んだ受光ユニット２０６が設けられている。

10

【００４７】

ここで、撮影者が表示装置２０４に表示された被写体像を確認して、シャッターボタン２０８を押下すると、その時点におけるＣＣＤの撮像信号が、回路基板２１０のメモリに転送・格納される。

【００４８】

このデジタルスチルカメラ２００には、ケース２０２の側面に、ビデオ信号出力端子２１２と、データ通信用の入出力端子２１４とが設けられている。ビデオ信号出力端子２１２にはテレビモニタ２３０が、データ通信用の入出力端子２１４にはパーソナルコンピュータ４４０が、それぞれ必要に応じて接続される。さらに、所定の操作によって、回路基板２１０のメモリに格納された撮像信号が、テレビモニタ２３０や、パーソナルコンピュータ２４０に出力される。

20

【００４９】

図１５及び図１６は、ヘッドマウント・ディスプレイ３００を示している。ヘッドマウント・ディスプレイ３００は、眼鏡と同様にテンブル３１０、ブリッジ３２０、レンズ３０１Ｌ，３０１Ｒを有する。ブリッジ３２０の内側には、左眼用の表示装置１０Ｌと右眼用の表示装置１０Ｒとが設けられる。これら表示装置１０Ｌ，１０Ｒとして、図１に示す表示装置１０を適用できる。

【００５０】

表示装置１０Ｌ，１０Ｒに表示される画像は、光学レンズ３０２Ｌ，３０２Ｒ及びハーフミラー３０３Ｌ，３０３Ｒを介して両眼に入射される。視差を伴い左眼、右眼用画像とすることで、３Ｄ表示が可能である。なお、ハーフミラー３０３Ｌ，３０３ｒは外光を透過するので、装着者の視野を妨げない。

30

【００５１】

なお、上記のように本実施形態について詳細に説明したが、本発明の新規事項および効果から実体的に逸脱しない多くの変形が可能であることは当業者には容易に理解できるであろう。従って、このような変形例はすべて本発明の範囲に含まれるものとする。例えば、明細書又は図面において、少なくとも一度、より、その異なる用語に置き換えることができる。またＥＬ表示装置、電子機器等の構成、動作も本実施形態で説明したものに限定されず、種々の変形実施が可能である。

【００５２】

例えば、図１に示すデータ線駆動回路６０の最終段にあるアンプのスルーレートを変更するように構成しても良い。表示サイズの変更によりライン数が少なくなると、その分だけ一水平走査期間（１Ｈ）を長くできる。そのため、アンプの書込みスピードを遅くしてスルーレートを下げることができる。それにより消費電力が低減する。

40

【００５３】

また、図１に示すデータ駆動回路６０内に設けられるシフトレジスターをデコーダーに変更しても良い。その際、表示ライン数、表示開始位置等の情報を書き換え可能なレジスターを設け、そのレジスターに応じてデコーダーの制御カウンタを制御することができる。

【符号の説明】

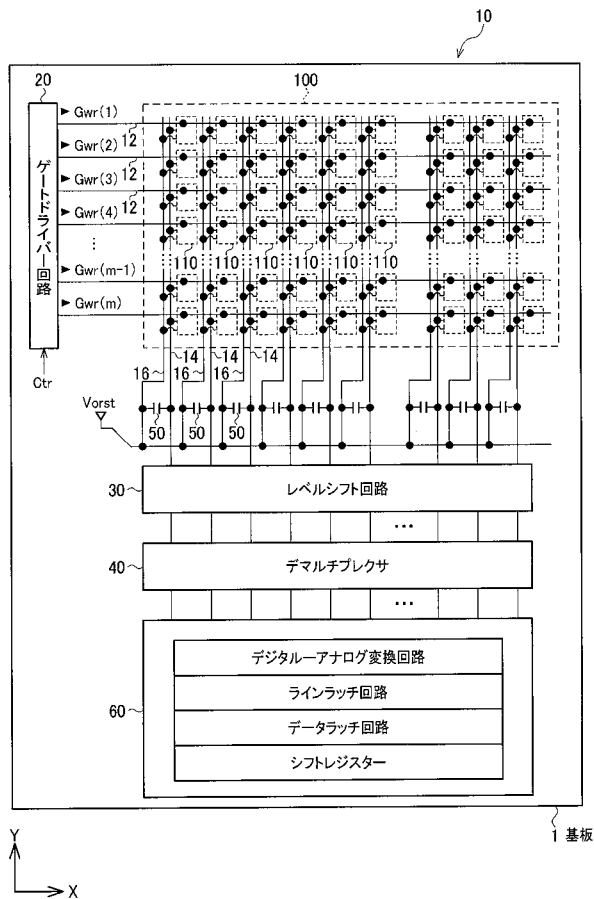
50

【 0 0 5 4 】

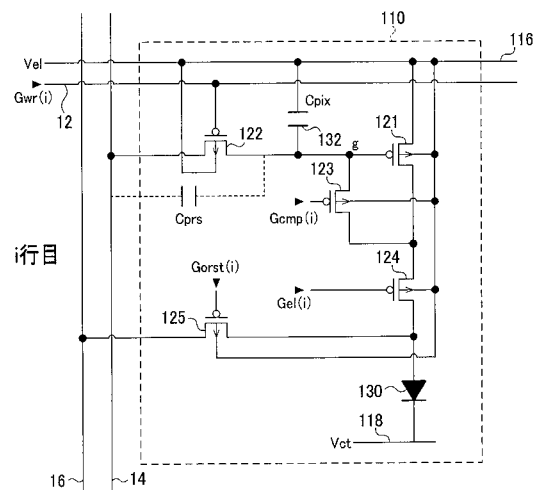
1 シリコン基板（表示パネル）、10 EL表示装置、12 走査線、14 データ線、20 ゲートドライバー回路、121 第1トランジスター、122 第4トランジスター、123 第5トランジスター、124 第2トランジスター、125 第3トランジスター、130 EL素子、140 デコーダー制御回路、141, A 第1デコーダー、142, BU 第2デコーダー、143, BD 第3デコーダー、144, CU 第4デコーダー、145, CD 第5デコーダー、150 バッファー、151 - 1 ~ 151 - m / 2 第1ゲートドライバー群、151 - (m / 2 + 1) ~ 151 - m 第2ゲートドライバー群、GEL 第2ゲート信号、GCMP 第3ゲート信号、GWR 第4ゲート信号、GORST 第5ゲート信号、200, 300 電子機器

10

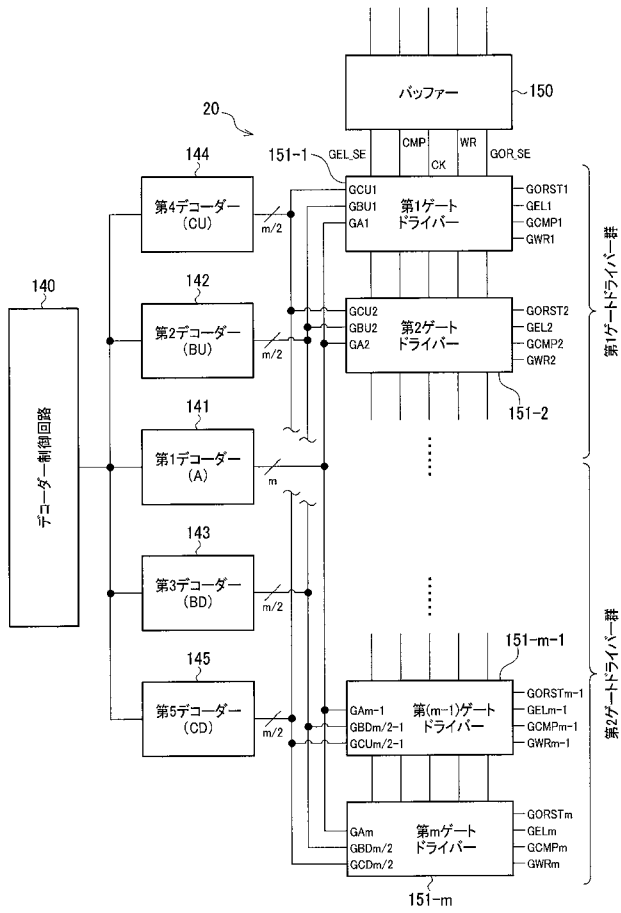
【 図 1 】



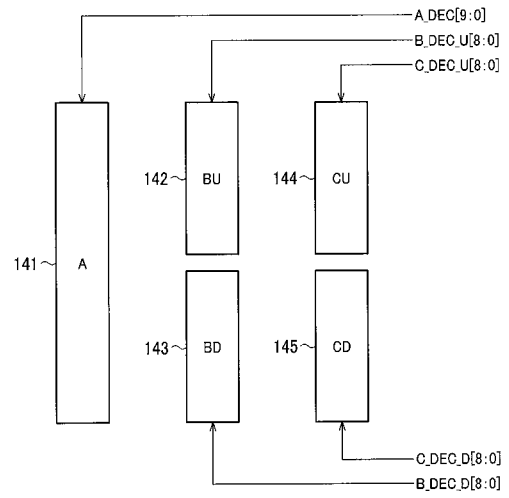
【 図 2 】



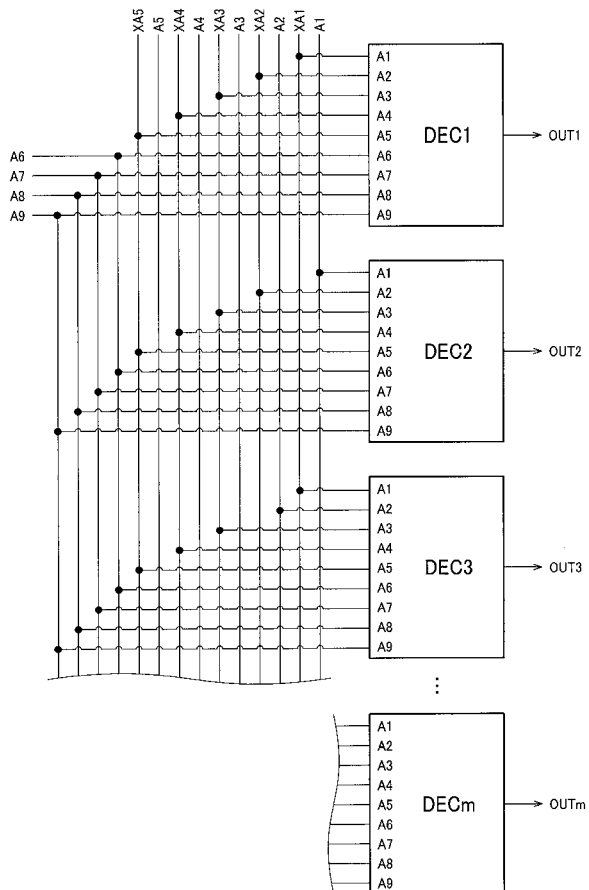
【図 3】



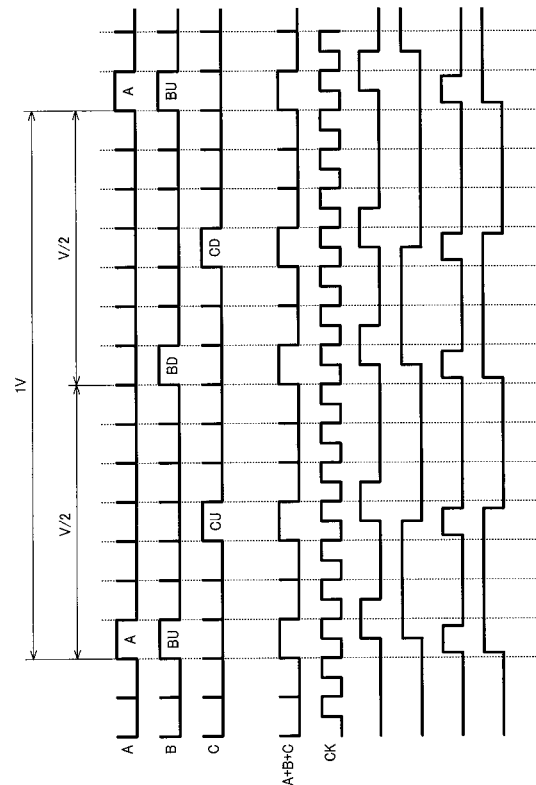
【図 4】



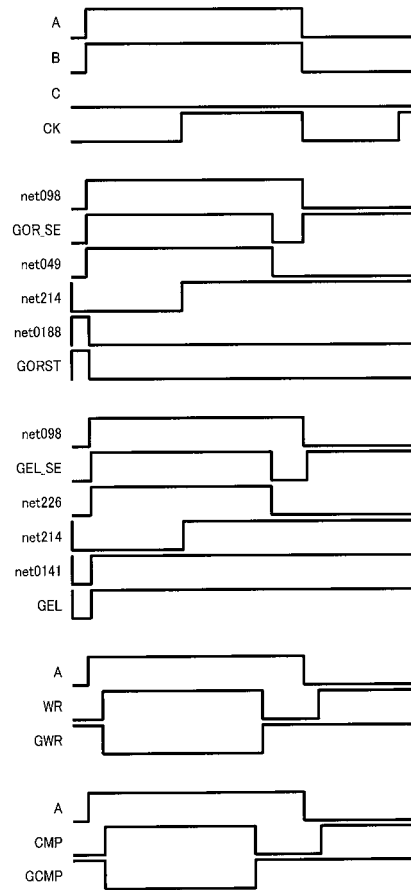
【図 5】



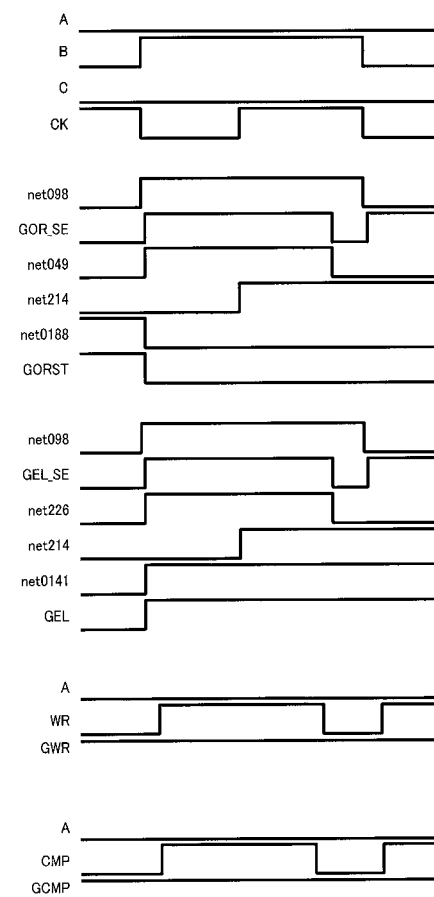
【図 6】



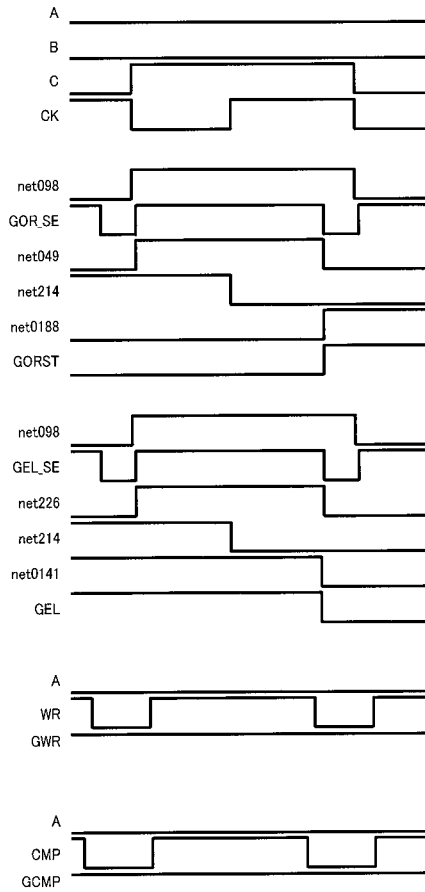
【 図 8 】



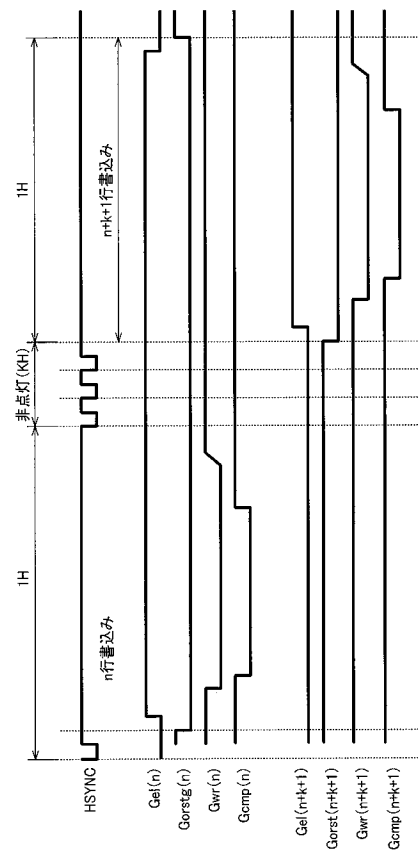
【 ㊦ 1 0 】



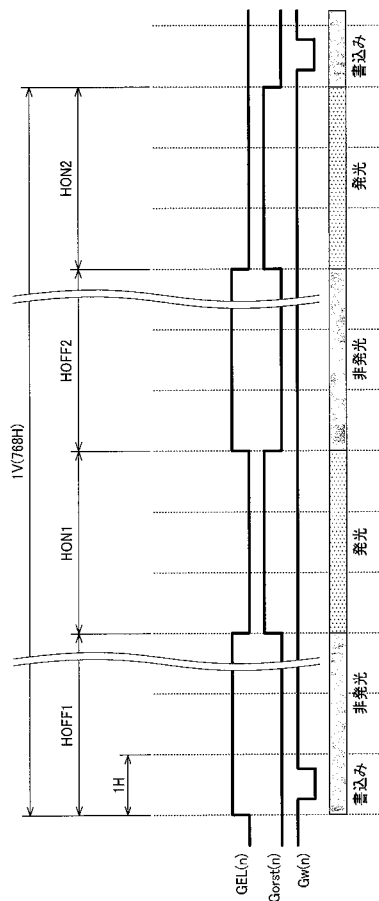
【図 1 1】



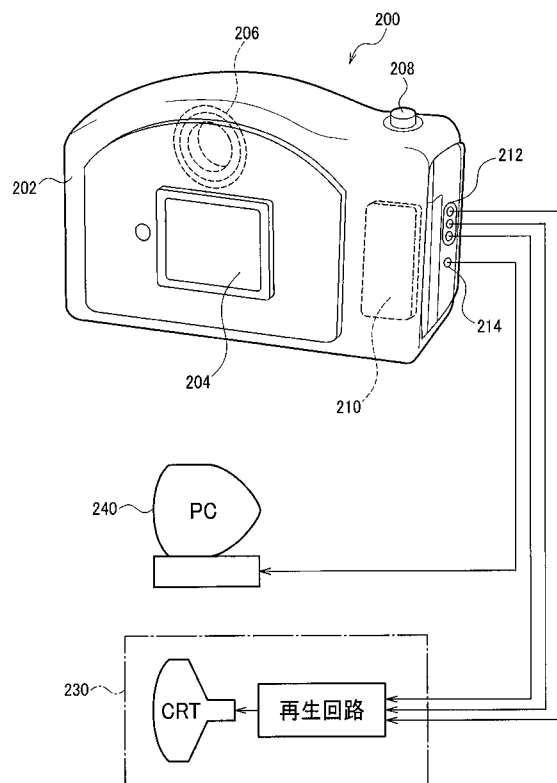
【図 1 2】



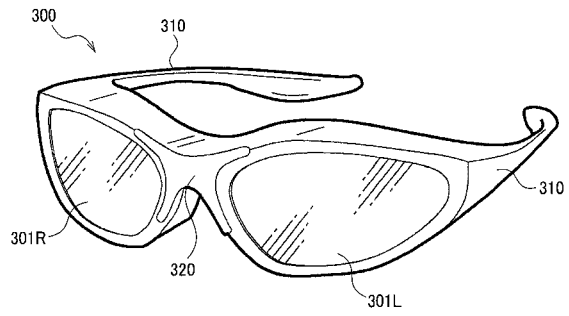
【図 1 3】



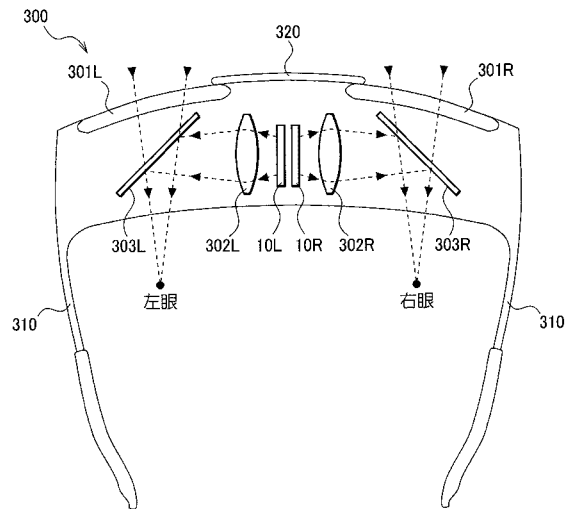
【図 1 4】



【図 15】



【図 16】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 2 P
G 0 9 G	3/20	6 2 3 U
G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 2 2 K
G 0 9 G	3/20	6 1 2 U
H 0 5 B	33/14	A

F ターム(参考)	5C080	AA06	BB05	CC03	DD06	DD26	EE28	FF11	GG11	JJ02	JJ03
		JJ04									
5C380	AA01	AB06	AB34	AC05	AC10	BA01	BA02	BA39	BA45	BB09	
	CA08	CA12	CA16	CA32	CA57	CB01	CB12	CB16	CB24	CB31	
	CB34	CC04	CC07	CC26	CC33	CC38	CC39	CC66	CD025	CE19	
	CF07	CF09	CF22	CF24	CF32	CF48	CF53	CF56	CF64	DA02	
	DA06	DA18	DA24	DA33	DA34	DA47					

专利名称(译)	EL表示装置及び电子机器		
公开(公告)号	JP2014186084A	公开(公告)日	2014-10-02
申请号	JP2013059559	申请日	2013-03-22
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
[标]发明人	田村 剛		
发明人	田村 剛		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.612.J G09G3/20.621.A G09G3/20.622.D G09G3/20.622.F G09G3/20.622.P G09G3/20.623.U G09G3/20.624.B G09G3/20.622.K G09G3/20.612.U H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC14 3K107/CC41 3K107/EE03 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD06 5C080/DD26 5C080/EE28 5C080/FF11 5C080/GG11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AB06 5C380/AB34 5C380/AC05 5C380/AC10 5C380/BA01 5C380/BA02 5C380/BA39 5C380/BA45 5C380/BB09 5C380/CA08 5C380/CA12 5C380/CA16 5C380/CA32 5C380/CA57 5C380/CB01 5C380/CB12 5C380/CB16 5C380/CB24 5C380/CB31 5C380/CB34 5C380/CC04 5C380/CC07 5C380/CC26 5C380/CC33 5C380/CC38 5C380/CC39 5C380/CC66 5C380/CD025 5C380/CE19 5C380/CF07 5C380/CF09 5C380/CF22 5C380/CF24 5C380/CF32 5C380/CF48 5C380/CF53 5C380/CF56 5C380/CF64 5C380/DA02 5C380/DA06 5C380/DA18 5C380/DA24 5C380/DA33 5C380/DA34 5C380/DA47		
代理人(译)	宫坂和彦 渡边和明		
其他公开文献	JP6136422B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种EL显示设备和电子设备，该EL显示设备和电子设备能够将显示尺寸调整为各种尺寸并且能够在操作期间尽可能地降低功耗。用于将栅极信号（GEL）提供给晶体管（124）以导通和截止流过EL元件（130）的电流的栅极驱动器电路（20）包括第一解码器（141），该第一解码器（141）生成限定一个垂直扫描周期（1V）的第一参考信号和IV 在上半部分生成第二和第四参考信号的第二和第四解码器142和144，以及在IV的下半部分生成第三和第五参考信号的第三和第五解码器143和145，以及第一和第二，第一栅极驱动器组151-1至151-（m / 2），用于基于第四参考信号将第二栅极信号提供给垂直扫描方向上的上游侧的像素组；5个第二栅极驱动器组151-（m / 2 + 1）至151-m，用于基于参考信号向沿垂直扫描方向的下游侧的像素组提供第二栅极信号。

[选择图]图3

