

(19) 日本国特許庁(JP)

## (12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-168359

(P2012-168359A)

(43) 公開日 平成24年9月6日(2012.9.6)

(51) Int.Cl.	F 1	テーマコード (参考)
<b>G09G 3/30</b> (2006.01)	G09G 3/30	J 3K107
<b>G09G 3/20</b> (2006.01)	G09G 3/20	622E 5C080
<b>H01L 51/50</b> (2006.01)	G09G 3/20	624B 5C380
<b>H05B 33/08</b> (2006.01)	G09G 3/20	641D
<b>H05B 33/14</b> (2006.01)	G09G 3/20	611H

審査請求 未請求 請求項の数 13 O L (全 25 頁) 最終頁に続く

(21) 出願番号	特願2011-29476 (P2011-29476)	(71) 出願人	000002185 ソニー株式会社 東京都港区港南1丁目7番1号
(22) 出願日	平成23年2月15日 (2011.2.15)	(74) 代理人	100094363 弁理士 山本 孝久
		(74) 代理人	100118290 弁理士 吉井 正明
		(74) 代理人	100120640 弁理士 森 幸一
		(72) 発明者	尾本 啓介 東京都港区港南1丁目7番1号 ソニー株式会社内
			F ターム (参考) 3K107 AA01 AA05 BB01 CC43 CC45 EE03 HH00 HH04
			最終頁に続く

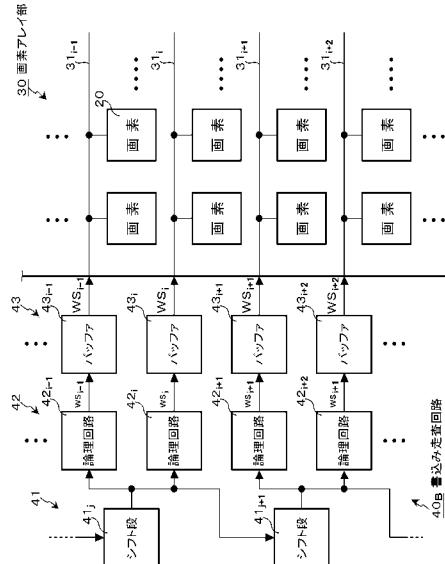
(54) 【発明の名称】走査回路、表示装置、表示装置の駆動方法、及び、電子機器

## (57) 【要約】

【課題】画素アレイ部の周辺回路の回路規模の縮小化を可能にする、シフトレジスタを用いて成る走査回路、当該走査回路を用いる表示装置、当該表示装置の駆動方法、及び、当該表示装置を有する電子機器を提供する。

【解決手段】書き込み走査回路40を有する有機EL表示装置において、書き込み走査回路40を構成するシフトレジスタ41の1つのシフト段から出力されるシフト信号を基に複数の走査信号を生成する。そして、当該複数の走査信号によって複数の画素行を単位として同時に走査を行う構成を探ることで、シフトレジスタ41のシフト段の段数を削減する。

【選択図】図9



**【特許請求の範囲】****【請求項 1】**

複数のシフト段が直列に接続されて成るシフトレジスタと、  
前記シフトレジスタの1つのシフト段から出力されるシフト信号を基に複数の走査信号  
を生成する論理回路群と  
を備える走査回路。

**【請求項 2】**

電気光学素子を含む画素が行列状に配置されて成る表示装置の前記画素の走査に用いられる

請求項1に記載の走査回路。

10

**【請求項 3】**

前記表示装置は、前記複数の走査信号によって複数の画素行の単位で走査を行い、当該複数の画素行の各画素に対して前記複数の走査信号に応答して信号を書き込む  
請求項2に記載の走査回路。

**【請求項 4】**

前記複数の走査信号は、前記複数の画素行の各画素に対して画素行間で時間差をもって信号を書き込む

請求項3に記載の走査回路。

20

**【請求項 5】**

前記複数の画素行間の時間差は、発光期間の1%以内である

請求項4に記載の走査回路。

**【請求項 6】**

前記画素は、前記電気光学素子を駆動する駆動トランジスタに流れる電流に応じた補正量で当該駆動トランジスタのゲート-ソース間の電位差に負帰還をかけることによって前記駆動トランジスタの移動度を補正する移動度補正の機能を有する

請求項7に記載の走査回路。

**【請求項 7】**

前記画素は、前記複数の走査信号による駆動の下に、前記移動度補正の処理を信号の書き込み処理と並行して行う

請求項6に記載の走査回路。

30

**【請求項 8】**

前記画素は、前記電気光学素子を駆動する駆動トランジスタのゲート電位の初期化電位を基準として当該初期化電位から前記駆動トランジスタの閾値電圧を減じた電位に向かって、前記駆動トランジスタのソース電位を変化させる閾値補正の機能を有する

請求項4に記載の走査回路。

**【請求項 9】**

前記画素は、前記複数の走査信号による駆動の下に、信号の書き込み処理に先立って前記閾値補正の処理を行う

請求項8に記載の走査回路。

**【請求項 10】**

前記複数の画素行の各画素は、前記閾値補正の処理を各画素行に共通の閾値補正期間に行う

請求項9に記載の走査回路。

40

**【請求項 11】**

電気光学素子を含む画素が行列状に配置されて成る画素アレイ部と、

前記画素アレイ部の各画素を走査する走査回路と

を具備し、

前記走査回路は、

複数のシフト段が直列に接続されて成るシフトレジスタと、

前記シフトレジスタの1つのシフト段から出力されるシフト信号を基に複数の走査信号

50

を生成する論理回路群とを備える  
表示装置。

**【請求項 1 2】**

電気光学素子を含む画素が行列状に配置されて成る画素アレイ部と、  
複数のシフト段が直列に接続されて成るシフトレジスタを有し、前記画素アレイ部の各  
画素を走査する走査回路と

を具備する表示装置の駆動に当たって、  
前記シフトレジスタの 1 つのシフト段から出力されるシフト信号を基に複数の走査信号  
を生成し、  
前記複数の走査信号によって複数の画素行の単位で走査を行う  
表示装置の駆動方法。

**【請求項 1 3】**

電気光学素子を含む画素が行列状に配置されて成る画素アレイ部と、  
前記画素アレイ部の各画素を走査する走査回路と  
を具備し、  
前記走査回路は、  
複数のシフト段が直列に接続されて成るシフトレジスタと、  
前記シフトレジスタの 1 つのシフト段から出力されるシフト信号を基に複数の走査信号  
を生成する論理回路群とを備える  
表示装置を有する電子機器。

10

20

30

40

50

**【発明の詳細な説明】**

**【技術分野】**

**【0 0 0 1】**

本開示は、走査回路、表示装置、表示装置の駆動方法、及び、電子機器に関し、特に、  
シフトレジスタを用いて成る走査回路、当該走査回路を用いる表示装置、当該表示装置の  
駆動方法、及び、当該表示装置を有する電子機器に関する。

**【背景技術】**

**【0 0 0 2】**

平面型（フラットパネル型）の表示装置や X - Y アドレス型の固体撮像装置は、行列状  
に配置された画素を走査回路によって例えば行単位で順次選択し、その選択行の画素に対  
して信号を書き込んだり、選択行の画素から信号を読み出したりする構成となっている。  
そして、画素アレイ部の各画素を選択走査する走査回路としては、デコーダを用いる構成  
のものもあるが、シフトレジスタを用いる構成のものが一般的に知られている（例えば、  
特許文献 1 参照）。

**【先行技術文献】**

**【特許文献】**

**【0 0 0 3】**

**【特許文献 1】特開 2005 - 149624 号公報**

**【発明の概要】**

**【発明が解決しようとする課題】**

**【0 0 0 4】**

ところで、平面型表示装置や固体撮像装置の分野では、表示画像あるいは撮像画像の高  
精細化のためにより多画素化の要望が強い。そして、画素アレイ部の画素数が増えると、  
画素数に対応して走査回路を構成するシフトレジスタの段数も増える。しかし、シフトレ  
ジスタの段数が増えると、走査回路の回路規模、ひいては、画素アレイ部の周辺回路の回  
路規模が大きくなる。

**【0 0 0 5】**

そこで、本開示は、画素アレイ部の周辺回路の回路規模の縮小化を可能にする、シフト  
レジスタを用いて成る走査回路、当該走査回路を用いる表示装置、当該表示装置の駆動方  
法、及び、当該表示装置を有する電子機器を提供することを目的とする。

## 【課題を解決するための手段】

## 【0006】

上記目的を達成するために、本開示は、

複数のシフト段が直列に接続されて成るシフトレジスタを有する走査回路、当該走査回路を用いる表示装置、または、当該表示装置を有する電子機器において、

前記シフトレジスタの1つのシフト段から出力されるシフト信号を基に複数の走査信号を生成する

構成を採っている。

## 【0007】

上記構成の走査回路、当該走査回路を用いる表示装置、または、当該表示装置を有する電子機器において、複数の走査信号によって複数の画素行を単位として同時に走査を行うことになる。これにより、同時走査の単位となる行数をNとすると、シフトレジスタの段数は、シフト段毎に走査信号を生成し、画素行毎に走査する場合の1/Nとなるため、シフトレジスタの段数を大幅に削減できる。

10

## 【発明の効果】

## 【0008】

本開示によれば、シフトレジスタを有する走査回路において、シフトレジスタの段数を大幅に削減するために、走査回路の回路規模、ひいては、画素アレイ部の周辺回路の回路規模を縮小できる。

20

## 【図面の簡単な説明】

## 【0009】

【図1】本開示が適用されるアクティブマトリクス型有機EL表示装置の基本的な構成の概略を示すシステム構成図である。

【図2】画素（画素回路）の具体的な回路構成の一例を示す回路図である。

【図3】本開示が適用される有機EL表示装置の基本的な回路動作の説明に供するタイミング波形図である。

30

【図4】本開示が適用される有機EL表示装置の基本的な回路動作の動作説明図（その1）である。

【図5】本開示が適用される有機EL表示装置の基本的な回路動作の動作説明図（その2）である。

【図6】駆動トランジスタの閾値電圧 $V_{th}$ のばらつきに起因する課題の説明（A）、及び、駆動トランジスタの移動度 $\mu$ のばらつきに起因する課題の説明（B）に供する特性図である。

【図7】参考例に係る書込み走査回路の構成の概略を示すブロック図である。

【図8】参考例に係る書込み走査回路で画素行毎に生成される走査信号を示すタイミング波形図である。

40

【図9】実施形態に係る書込み走査回路の構成の概略を示すブロック図である。

【図10】実施形態に係る書込み走査回路で2つの画素行の単位で生成される2つの走査信号と2つの画素行の各画素との関係を示す回路図である。

40

【図11】実施形態に係る書込み走査回路で2つの画素行の単位で生成される2つの走査信号のタイミング関係を示すタイミング波形図である。

【図12】参考例に係る書込み走査回路の場合と実施形態に係る書込み走査回路の場合の1H期間についての比較図である。

【図13】実施形態に係る書込み走査回路の論理回路群の回路構成の一例を示すブロック図である。

【図14】図13の各部の信号のタイミング関係を示すタイミング波形図である。

【図15】本開示が適用されるテレビジョンセットの外観を示す斜視図である。

【図16】本開示が適用されるデジタルカメラの外観を示す斜視図であり、（A）は表側から見た斜視図、（B）は裏側から見た斜視図である。

50

【図17】本開示が適用されるノート型パーソナルコンピュータの外観を示す斜視図であ

る。

【図18】本開示が適用されるビデオカメラの外観を示す斜視図である。

【図19】本開示が適用される携帯電話機を示す外観図であり、(A)は開いた状態での正面図、(B)はその側面図、(C)は閉じた状態での正面図、(D)は左側面図、(E)は右側面図、(F)は上面図、(G)は下面図である。

【発明を実施するための形態】

【0010】

以下、本開示の技術を実施するための形態（以下、「実施形態」と記述する）について図面を用いて詳細に説明する。なお、説明は以下の順序で行う。

1. 本開示が適用される有機EL表示装置

10

1 - 1. システム構成

1 - 2. 基本的な回路動作

1 - 3. 書込み走査回路

2. 実施形態の説明

3. 適用例

4. 電子機器

【0011】

<1. 本開示が適用される有機EL表示装置>

[1 - 1. システム構成]

20

図1は、本開示が適用されるアクティブマトリクス型表示装置の基本的な構成の概略を示すシステム構成図である。

【0012】

アクティブマトリクス型表示装置は、電気光学素子に流れる電流を、当該電気光学素子と同じ画素内に設けた能動素子、例えば絶縁ゲート型電界効果トランジスタによって制御する表示装置である。絶縁ゲート型電界効果トランジスタとしては、典型的には、TFT（薄膜トランジスタ）が用いられる。

【0013】

ここでは、一例として、デバイスに流れる電流値に応じて発光輝度が変化する電流駆動型の電気光学素子、例えば有機EL素子を、画素（画素回路）の発光素子として用いるアクティブマトリクス型有機EL表示装置の場合を例に挙げて説明するものとする。

30

【0014】

図1に示すように、本適用例に係る有機EL表示装置10は、有機EL素子を含む複数の画素20と、当該画素20が行列状に2次元配置されてなる画素アレイ部30と、当該画素アレイ部30の周辺に配置される駆動回路部とを有する構成となっている。駆動回路部は、書き込み走査回路40、電源供給走査回路50及び信号出力回路60等からなり、画素アレイ部30の各画素20を駆動する。

【0015】

ここで、有機EL表示装置10がカラー表示対応の場合は、カラー画像を形成する単位となる1つの画素（単位画素）は複数の副画素（サブピクセル）から構成され、この副画素の各々が図1の画素20に相当することになる。より具体的には、カラー表示対応の表示装置では、1つの画素は、例えば、赤色（Red；R）光を発光する副画素、緑色（Green；G）光を発光する副画素、青色（Blue；B）光を発光する副画素の3つの副画素から構成される。

40

【0016】

但し、1つの画素としては、RGBの3原色の副画素の組み合わせに限られるものではなく、3原色の副画素に更に1色あるいは複数色の副画素を加えて1つの画素を構成することも可能である。より具体的には、例えば、輝度向上のために白色（White；W）光を発光する副画素を加えて1つの画素を構成したり、色再現範囲を拡大するために補色光を発光する少なくとも1つの副画素を加えて1つの画素を構成したりすることも可能である。

50

## 【0017】

画素アレイ部30には、m行n列の画素20の配列に対して、行方向（画素行の画素の配列方向）に沿って走査線31<sub>1</sub>～31<sub>m</sub>と電源供給線32<sub>1</sub>～32<sub>m</sub>とが画素行毎に配線されている。更に、m行n列の画素20の配列に対して、列方向（画素列の画素の配列方向）に沿って信号線33<sub>1</sub>～33<sub>n</sub>が画素列毎に配線されている。

## 【0018】

走査線31<sub>1</sub>～31<sub>m</sub>は、書き込み走査回路40の対応する行の出力端にそれぞれ接続されている。電源供給線32<sub>1</sub>～32<sub>m</sub>は、電源供給走査回路50の対応する行の出力端にそれぞれ接続されている。信号線33<sub>1</sub>～33<sub>n</sub>は、信号出力回路60の対応する列の出力端にそれぞれ接続されている。

10

## 【0019】

画素アレイ部30は、通常、ガラス基板などの透明絶縁基板上に形成されている。これにより、有機EL表示装置10は、平面型（フラット型）のパネル構造となっている。画素アレイ部30の各画素20の駆動回路は、アモルファスシリコン TFT または低温ポリシリコン TFT を用いて形成することができる。低温ポリシリコン TFT を用いる場合には、図1に示すように、書き込み走査回路40、電源供給走査回路50、及び、信号出力回路60についても、画素アレイ部30を形成する表示パネル（基板）70上に実装することができる。

## 【0020】

書き込み走査回路40は、クロックパルスckに同期してスタートパルスspを順にシフト（転送）するシフトレジスタ回路等によって構成されている。この書き込み走査回路40は、画素アレイ部30の各画素20への映像信号の信号電圧書き込みに際して、走査線31（31<sub>1</sub>～31<sub>m</sub>）に対して書き込み走査信号WS（WS<sub>1</sub>～WS<sub>m</sub>）を順次供給することによって画素アレイ部30の各画素20を行単位で順番に走査（線順次走査）する。書き込み走査回路40の具体的な構成については後で詳細に説明する。

20

## 【0021】

電源供給走査回路50は、クロックパルスckに同期してスタートパルスspを順にシフトするシフトレジスタ回路等によって構成されている。この電源供給走査回路50は、書き込み走査回路40による線順次走査に同期して、第1電源電位V<sub>ccp</sub>と当該第1電源電位V<sub>ccp</sub>よりも低い第2電源電位V<sub>ini</sub>とで切り替わることが可能な電源電位DS（DS<sub>1</sub>～DS<sub>m</sub>）を電源供給線32（32<sub>1</sub>～32<sub>m</sub>）に供給する。後述するように、電源電位DSのV<sub>ccp</sub> / V<sub>ini</sub>の切替えにより、画素20の発光 / 非発光の制御が行なわれる。

30

## 【0022】

信号出力回路60は、信号供給源（図示せず）から供給される輝度情報に応じた映像信号の信号電圧（以下、単に「信号電圧」と記述する場合もある）V<sub>sig</sub>と基準電圧V<sub>ofs</sub>とを選択的に出力する。ここで、基準電圧V<sub>ofs</sub>は、映像信号の信号電圧V<sub>sig</sub>の基準となる電位（例えば、映像信号の黒レベルに相当する電位）であり、後述する閾値補正処理の際に用いられる。

## 【0023】

信号出力回路60から出力される信号電圧V<sub>sig</sub> / 基準電圧V<sub>ofs</sub>は、信号線33（33<sub>1</sub>～33<sub>n</sub>）を介して画素アレイ部30の各画素20に対して、書き込み走査回路40による走査によって選択された画素行の単位で書き込まれる。すなわち、信号出力回路60は、信号電圧V<sub>sig</sub>を行（ライン）単位で書き込む線順次書き込みの駆動形態を探っている。

40

## 【0024】

## （画素回路）

図2は、画素（画素回路）20の具体的な回路構成の一例を示す回路図である。画素20の発光部は、デバイスに流れる電流値に応じて発光輝度が変化する電流駆動型の電気光学素子である有機EL素子21から成る。

## 【0025】

図2に示すように、画素20は、有機EL素子21と、有機EL素子21に電流を流す

50

ことによって当該有機EL素子21を駆動する駆動回路とによって構成されている。有機EL素子21は、全ての画素20に対して共通に配線（所謂、ベタ配線）された共通電源供給線34にカソード電極が接続されている。

#### 【0026】

有機EL素子21を駆動する駆動回路は、駆動トランジスタ22、書き込みトランジスタ23、保持容量24、及び、補助容量25を有する構成となっている。駆動トランジスタ22及び書き込みトランジスタ23としてNチャネル型のTFTを用いることができる。但し、ここで示した、駆動トランジスタ22及び書き込みトランジスタ23の導電型の組み合わせは一例に過ぎず、これらの組み合わせに限られるものではない。

#### 【0027】

ここで、画素20内のトランジスタ、即ち、駆動トランジスタ22及び書き込みトランジスタ23の少なくとも一方、好ましくは、両方のトランジスタ22, 23として、周知のLDD構造のトランジスタが用いられる。LDD構造によれば、ドレイン領域の近傍での電界集中が小さくなるため、ホットキャリアの発生を抑えることが可能になる。

#### 【0028】

駆動トランジスタ22は、一方の電極（ソース／ドレイン電極）が有機EL素子21のアノード電極に接続され、他方の電極（ソース／ドレイン電極）が電源供給線32（32<sub>1</sub>～32<sub>m</sub>）に接続されている。

#### 【0029】

書き込みトランジスタ23は、一方の電極（ソース／ドレイン電極）が信号線33（33<sub>1</sub>～33<sub>n</sub>）に接続され、他方の電極（ソース／ドレイン電極）が駆動トランジスタ22のゲート電極に接続されている。また、書き込みトランジスタ23のゲート電極は、走査線31（31<sub>1</sub>～31<sub>m</sub>）に接続されている。

#### 【0030】

駆動トランジスタ22及び書き込みトランジスタ23において、一方の電極とは、ソース／ドレイン領域に電気的に接続された金属配線を言い、他方の電極とは、ドレイン／ソース領域に電気的に接続された金属配線を言う。また、一方の電極と他方の電極との電位関係によって一方の電極がソース電極ともなればドレイン電極ともなり、他方の電極がドレイン電極ともなればソース電極ともなる。

#### 【0031】

保持容量24は、一方の電極が駆動トランジスタ22のゲート電極に接続され、他方の電極が駆動トランジスタ22の他方の電極、及び、有機EL素子21のアノード電極に接続されている。

#### 【0032】

補助容量25は、一方の電極が有機EL素子21のアノード電極に、他方の電極が共通電源供給線34にそれぞれ接続されている。この補助容量25は、有機EL素子21の容量不足分を補い、保持容量24に対する映像信号の書き込みゲインを高めるために、必要に応じて設けられるものである。すなわち、補助容量25は必須の構成要素ではなく、有機EL素子21の等価容量が十分に大きい場合は省略可能である。

#### 【0033】

ここでは、補助容量25の他方の電極を共通電源供給線34に接続するとしているが、他方の電極の接続先としては、共通電源供給線34に限られるものではなく、固定電位のノードであればよい。補助容量25の他方の電極を固定電位のノードに接続することで、有機EL素子21の容量不足分を補い、保持容量24に対する映像信号の書き込みゲインを高めるという所期の目的を達成することができる。

#### 【0034】

上記構成の画素20において、書き込みトランジスタ23は、書き込み走査回路40から走査線31を通してゲート電極に印加されるHighアクティブの書き込み走査信号WSに応答して導通状態となる。これにより、書き込みトランジスタ23は、信号線33を通して信号出力回路60から供給される、輝度情報に応じた映像信号の信号電圧V<sub>sig</sub>または基準

10

20

30

40

50

電圧  $V_{ofs}$  をサンプリングして画素 20 内に書き込む。この書き込まれた信号電圧  $V_{sig}$  または基準電圧  $V_{ofs}$  は、駆動トランジスタ 22 のゲート電極に印加されるとともに保持容量 24 に保持される。

#### 【0035】

駆動トランジスタ 22 は、電源供給線 32 ( $32_1 \sim 32_m$ ) の電源電位 DS が第 1 電源電位  $V_{ccp}$  にあるときには、一方の電極がドレイン電極、他方の電極がソース電極となって飽和領域で動作する。これにより、駆動トランジスタ 22 は、電源供給線 32 から電流の供給を受けて有機 EL 素子 21 を電流駆動にて発光駆動する。より具体的には、駆動トランジスタ 22 は、飽和領域で動作することにより、保持容量 24 に保持された信号電圧  $V_{sig}$  の電圧値に応じた電流値の駆動電流を有機 EL 素子 21 に供給し、当該有機 EL 素子 21 を電流駆動することによって発光させる。

10

#### 【0036】

駆動トランジスタ 22 は更に、電源電位 DS が第 1 電源電位  $V_{ccp}$  から第 2 電源電位  $V_{ini}$  に切り替わったときには、一方の電極がソース電極、他方の電極がドレイン電極となってスイッチングトランジスタとして動作する。これにより、駆動トランジスタ 22 は、有機 EL 素子 21 への駆動電流の供給を停止し、有機 EL 素子 21 を非発光状態にする。すなわち、駆動トランジスタ 22 は、有機 EL 素子 21 の発光 / 非発光を制御するトランジスタとしての機能をも併せ持っている。

20

#### 【0037】

この駆動トランジスタ 22 のスイッチング動作により、有機 EL 素子 21 が非発光状態となる期間（非発光期間）を設け、有機 EL 素子 21 の発光期間と非発光期間の割合（デューティ）を制御することができる。このデューティ制御により、1 表示フレーム期間に亘って画素が発光することに伴う残像ボケを低減するために、特に動画の画品位をより優れたものとすることができます。

20

#### 【0038】

電源供給走査回路 50 から電源供給線 32 を通して選択的に供給される第 1 , 第 2 電源電位  $V_{ccp}$  ,  $V_{ini}$  のうち、第 1 電源電位  $V_{ccp}$  は有機 EL 素子 21 を発光駆動する駆動電流を駆動トランジスタ 22 に供給するための電源電位である。また、第 2 電源電位  $V_{ini}$  は、有機 EL 素子 21 に対して逆バイアスを掛けるための電源電位である。この第 2 電源電位  $V_{ini}$  は、基準電圧  $V_{ofs}$  よりも低い電位、例えば、駆動トランジスタ 22 の閾値電圧を  $V_{th}$  とするとき  $V_{ofs} - V_{th}$  よりも低い電位、好ましくは、 $V_{ofs} - V_{th}$  よりも十分に低い電位に設定される。

30

#### 【0039】

##### [1-2. 基本的な回路動作]

続いて、上記構成の有機 EL 表示装置 10 の基本的な回路動作について、図 3 のタイミング波形図を基に図 4 及び図 5 の動作説明図を用いて説明する。尚、図 4 及び図 5 の動作説明図では、図面の簡略化のために、書込みトランジスタ 23 をスイッチのシンボルで図示している。

30

#### 【0040】

図 3 のタイミング波形図には、走査線 31 の電位（書込み走査信号）WS、電源供給線 32 の電位（電源電位）DS、信号線 33 の電位（ $V_{sig}$  /  $V_{ofs}$ ）、駆動トランジスタ 22 のゲート電位  $V_g$  及びソース電位  $V_s$  のそれぞれの変化を示している。

40

#### 【0041】

##### (前表示フレームの発光期間)

図 3 のタイミング波形図において、時刻  $t_{11}$  以前は、前の表示フレームにおける有機 EL 素子 21 の発光期間となる。この前表示フレームの発光期間では、電源供給線 32 の電位 DS が第 1 電源電位（以下、「高電位」と記述する） $V_{ccp}$  にあり、また、書込みトランジスタ 23 が非導通状態にある。

#### 【0042】

このとき、駆動トランジスタ 22 は飽和領域で動作するように設計されている。これに

50

より、図4(A)に示すように、駆動トランジスタ22のゲート-ソース間電圧 $V_{gs}$ に応じた駆動電流(ドレン-ソース間電流) $I_{ds}$ が、電源供給線32から駆動トランジスタ22を通して有機EL素子21に供給される。従って、有機EL素子21が駆動電流 $I_{ds}$ の電流値に応じた輝度で発光する。

#### 【0043】

##### (閾値補正準備期間)

時刻 $t_{11}$ になると、線順次走査の新しい表示フレーム(現表示フレーム)に入る。そして、図4(B)に示すように、電源供給線32の電位DSが高電位 $V_{ccp}$ から、信号線33の基準電圧 $V_{ofs}$ に対して $V_{ofs} - V_{th}$ よりも十分に低い第2電源電位(以下、「低電位」と記述する) $V_{ini}$ に切り替わる。

10

#### 【0044】

ここで、有機EL素子21の閾値電圧を $V_{thel}$ 、共通電源供給線34の電位(カソード電位)を $V_{cath}$ とする。このとき、低電位 $V_{ini}$ を $V_{ini} < V_{thel} + V_{cath}$ とすると、駆動トランジスタ22のソース電位 $V_s$ が低電位 $V_{ini}$ にほぼ等しくなるために、有機EL素子21は逆バイアス状態となって消光する。

#### 【0045】

次に、時刻 $t_{12}$ で走査線31の電位WSが低電位側から高電位側に遷移することで、図4(C)に示すように、書き込みトランジスタ23が導通状態となる。このとき信号出力回路60から信号線33に対して基準電圧 $V_{ofs}$ が供給された状態にあるために、駆動トランジスタ22のゲート電位 $V_g$ が基準電圧 $V_{ofs}$ になる。また、駆動トランジスタ22のソース電位 $V_s$ は、基準電圧 $V_{ofs}$ よりも十分に低い電位、即ち、低電位 $V_{ini}$ にある。

20

#### 【0046】

このとき、駆動トランジスタ22のゲート-ソース間電圧 $V_{gs}$ は $V_{ofs} - V_{ini}$ となる。ここで、 $V_{ofs} - V_{ini}$ が駆動トランジスタ22の閾値電圧 $V_{th}$ よりも大きくないと、後述する閾値補正処理を行うことができないために、 $V_{ofs} - V_{ini} > V_{th}$ なる電位関係に設定する必要がある。

#### 【0047】

このように、駆動トランジスタ22のゲート電位 $V_g$ を基準電圧 $V_{ofs}$ に固定し、かつ、ソース電位 $V_s$ を低電位 $V_{ini}$ に固定して(確定させて)初期化する処理が、後述する閾値補正処理(閾値補正動作)を行う前の準備(閾値補正準備)の処理である。従って、基準電圧 $V_{ofs}$ 及び低電位 $V_{ini}$ が、駆動トランジスタ22のゲート電位 $V_g$ 及びソース電位 $V_s$ の各初期化電位となる。

30

#### 【0048】

##### (閾値補正期間)

次に、時刻 $t_{13}$ で、図4(D)に示すように、電源供給線32の電位DSが低電位 $V_{in}$ から高電位 $V_{ccp}$ に切り替わると、駆動トランジスタ22のゲート電位 $V_g$ が基準電圧 $V_{ofs}$ に保たれた状態で閾値補正処理が開始される。すなわち、ゲート電位 $V_g$ から駆動トランジスタ22の閾値電圧 $V_{th}$ を減じた電位に向けて駆動トランジスタ22のソース電位 $V_s$ が上昇を開始する。

40

#### 【0049】

ここでは、便宜上、駆動トランジスタ22のゲート電位 $V_g$ の初期化電位 $V_{ofs}$ を基準とし、当該初期化電位 $V_{ofs}$ から駆動トランジスタ22の閾値電圧 $V_{th}$ を減じた電位に向けてソース電位 $V_s$ を変化させる処理を閾値補正処理と呼んでいる。この閾値補正処理が進むと、やがて、駆動トランジスタ22のゲート-ソース間電圧 $V_{gs}$ が駆動トランジスタ22の閾値電圧 $V_{th}$ に収束する。この閾値電圧 $V_{th}$ に相当する電圧は保持容量24に保持される。

#### 【0050】

尚、閾値補正処理を行う期間(閾値補正期間)において、電流が専ら保持容量24側に流れ、有機EL素子21側には流れないようにするために、有機EL素子21がカットオフ状態となるように共通電源供給線34の電位 $V_{cath}$ を設定しておくこととする。

50

## 【0051】

次に、時刻  $t_{14}$  で、走査線 31 の電位  $W_S$  が低電位側に遷移することで、図 5 (A) に示すように、書き込みトランジスタ 23 が非導通状態となる。このとき、駆動トランジスタ 22 のゲート電極が信号線 33 から電気的に切り離されることによってフローティング状態になる。しかし、ゲート - ソース間電圧  $V_{gs}$  が駆動トランジスタ 22 の閾値電圧  $V_{th}$  に等しいために、当該駆動トランジスタ 22 はカットオフ状態にある。従って、駆動トランジスタ 22 にドレイン - ソース間電流  $I_{ds}$  は流れない。

## 【0052】

## (信号書き込み &amp; 移動度補正期間)

次に、時刻  $t_{15}$  で、図 5 (B) に示すように、信号線 33 の電位が基準電圧  $V_{ofs}$  から映像信号の信号電圧  $V_{sig}$  に切り替わる。続いて、時刻  $t_{16}$  で、走査線 31 の電位  $W_S$  が高電位側に遷移することで、図 5 (C) に示すように、書き込みトランジスタ 23 が導通状態になって映像信号の信号電圧  $V_{sig}$  をサンプリングして画素 20 内に書き込む。

10

## 【0053】

この書き込みトランジスタ 23 による信号電圧  $V_{sig}$  の書き込みにより、駆動トランジスタ 22 のゲート電位  $V_g$  が信号電圧  $V_{sig}$  になる。そして、映像信号の信号電圧  $V_{sig}$  による駆動トランジスタ 22 の駆動の際に、当該駆動トランジスタ 22 の閾値電圧  $V_{th}$  が保持容量 24 に保持された閾値電圧  $V_{th}$  に相当する電圧と相殺される。この閾値キャンセルの原理の詳細については後述する。

## 【0054】

このとき、有機 EL 素子 21 は、カットオフ状態 (ハイインピーダンス状態) にある。従って、映像信号の信号電圧  $V_{sig}$  に応じて電源供給線 32 から駆動トランジスタ 22 に流れる電流 (ドレイン - ソース間電流  $I_{ds}$ ) は、有機 EL 素子 21 の等価容量及び補助容量 25 に流れ込む。これにより、有機 EL 素子 21 の等価容量及び補助容量 25 の充電が開始される。

20

## 【0055】

有機 EL 素子 21 の等価容量及び補助容量 25 が充電されることにより、駆動トランジスタ 22 のソース電位  $V_s$  が時間の経過とともに上昇していく。このとき既に、駆動トランジスタ 22 の閾値電圧  $V_{th}$  の画素毎のばらつきがキャンセルされており、駆動トランジスタ 22 のドレイン - ソース間電流  $I_{ds}$  は当該駆動トランジスタ 22 の移動度  $\mu$  に依存したものとなる。尚、駆動トランジスタ 22 の移動度  $\mu$  は、当該駆動トランジスタ 22 のチャネルを構成する半導体薄膜の移動度である。

30

## 【0056】

ここで、映像信号の信号電圧  $V_{sig}$  に対する保持容量 24 の保持電圧  $V_{gs}$  の比率、即ち、書き込みゲイン  $G$  が 1 (理想値) であると仮定する。すると、駆動トランジスタ 22 のソース電位  $V_s$  が  $V_{ofs} - V_{th} + V$  の電位まで上昇することで、駆動トランジスタ 22 のゲート - ソース間電圧  $V_{gs}$  は  $V_{sig} - V_{ofs} + V_{th} - V$  となる。

## 【0057】

すなわち、駆動トランジスタ 22 のソース電位  $V_s$  の上昇分  $V$  は、保持容量 24 に保持された電圧 ( $V_{sig} - V_{ofs} + V_{th}$ ) から差し引かれるように、換言すれば、保持容量 24 の充電電荷を放電するように作用する。換言すれば、ソース電位  $V_s$  の上昇分  $V$  は、保持容量 24 に対して負帰還がかけられたことになる。従って、ソース電位  $V_s$  の上昇分  $V$  は負帰還の帰還量となる。

40

## 【0058】

このように、駆動トランジスタ 22 に流れるドレイン - ソース間電流  $I_{ds}$  に応じた帰還量  $V$  でゲート - ソース間電圧  $V_{gs}$  に負帰還をかけることで、駆動トランジスタ 22 のドレイン - ソース間電流  $I_{ds}$  の移動度  $\mu$  に対する依存性を打ち消すことができる。この打ち消す処理が、駆動トランジスタ 22 の移動度  $\mu$  の画素毎のばらつきを補正する移動度補正処理である。

## 【0059】

50

より具体的には、駆動トランジスタ22のゲート電極に書き込まれる映像信号の信号振幅 $V_{in}$ (= $V_{sig} - V_{ofs}$ )が高い程ドレイン-ソース間電流 $I_{ds}$ が大きくなるため、負帰還の帰還量 $V$ の絶対値も大きくなる。従って、発光輝度レベルに応じた移動度補正処理が行われる。

#### 【0060】

また、映像信号の信号振幅 $V_{in}$ を一定とした場合、駆動トランジスタ22の移動度 $\mu$ が大きいほど負帰還の帰還量 $V$ の絶対値も大きくなるため、画素毎の移動度 $\mu$ のばらつきを取り除くことができる。従って、負帰還の帰還量 $V$ は、移動度補正処理の補正量とも言える。移動度補正の原理の詳細については後述する。

#### 【0061】

##### (発光期間)

次に、時刻 $t_{17}$ で、走査線31の電位 $WS$ が低電位側に遷移することで、図5(D)に示すように、書き込みトランジスタ23が非導通状態となる。これにより、駆動トランジスタ22のゲート電極は、信号線33から電気的に切り離されるためにフローティング状態になる。

#### 【0062】

ここで、駆動トランジスタ22のゲート電極がフローティング状態にあるときは、駆動トランジスタ22のゲート-ソース間に保持容量24が接続されていることにより、駆動トランジスタ22のソース電位 $V_s$ の変動に連動してゲート電位 $V_g$ も変動する。

#### 【0063】

このように、駆動トランジスタ22のゲート電位 $V_g$ がソース電位 $V_s$ の変動に連動して変動する動作が、換言すれば、保持容量24に保持されたゲート-ソース間電圧 $V_{gs}$ を保ったまま、ゲート電位 $V_g$ 及びソース電位 $V_s$ が上昇する動作がブートストラップ動作である。このブートストラップ動作の詳細については後述する。

#### 【0064】

駆動トランジスタ22のゲート電極がフローティング状態になり、それと同時に、駆動トランジスタ22のドレイン-ソース間電流 $I_{ds}$ が有機EL素子21に流れ始めることにより、当該電流 $I_{ds}$ に応じて有機EL素子21のアノード電位が上昇する。

#### 【0065】

そして、有機EL素子21のアノード電位が $V_{the} + V_{cath}$ を越えると、有機EL素子21に駆動電流が流れ始めるため有機EL素子21が発光を開始する。また、有機EL素子21のアノード電位の上昇は、即ち、駆動トランジスタ22のソース電位 $V_s$ の上昇に他ならない。そして、駆動トランジスタ22のソース電位 $V_s$ が上昇すると、保持容量24のブートストラップ動作により、駆動トランジスタ22のゲート電位 $V_g$ も連動して上昇する。

#### 【0066】

このとき、ブートストラップゲインが1(理想値)であると仮定した場合、ゲート電位 $V_g$ の上昇量はソース電位 $V_s$ の上昇量に等しくなる。故に、発光期間中、駆動トランジスタ22のゲート-ソース間電圧 $V_{gs}$ は、 $V_{sig} - V_{ofs} + V_{th} - V$ で一定に保持される。そして、時刻 $t_{18}$ で信号線33の電位が映像信号の信号電圧 $V_{sig}$ から基準電圧 $V_{ofs}$ に切り替わる。

#### 【0067】

以上説明した一連の回路動作において、閾値補正準備、閾値補正、信号電圧 $V_{sig}$ の書き込み(信号書き込み)、及び、移動度補正の各処理動作は、1水平走査期間(1H)において実行される。また、信号書き込み及び移動度補正の各処理動作は、時刻 $t_{16} - t_{17}$ の期間において並行して実行される。

#### 【0068】

##### [分割閾値補正]

尚、ここでは、閾値補正処理を1回だけ実行する駆動法を探る場合を例に挙げて説明したが、この駆動法は一例に過ぎず、この駆動法に限られるものではない。例えば、閾値補

10

20

30

40

50

正処理を移動度補正及び信号書き込み処理と共に行う1H期間に加えて、当該1H期間に先行する複数の水平走査期間に亘って分割して閾値補正処理を複数回実行する、所謂、分割閾値補正を行う駆動法を探ることも可能である。

#### 【0069】

この分割閾値補正の駆動法によれば、高精細化に伴う多画素化によって1水平走査期間として割り当てられる時間が短くなったとしても、閾値補正期間として複数の水平走査期間に亘って十分な時間を確保することができる。従って、1水平走査期間として割り当てられる時間が短くとっても、閾値補正期間として十分な時間を確保できるため、閾値補正処理を確実に実行できることになる。

#### 【0070】

##### 〔閾値キャンセルの原理〕

ここで、駆動トランジスタ22の閾値キャンセル（即ち、閾値補正）の原理について説明する。駆動トランジスタ22は、飽和領域で動作するように設計されているために定電流源として動作する。これにより、有機EL素子21には駆動トランジスタ22から、次式(1)で与えられる一定のドレイン-ソース間電流（駆動電流） $I_{ds}$ が供給される。

$$I_{ds} = (1/2) \cdot \mu (W/L) C_{ox} (V_{gs} - V_{th})^2 \quad \dots \dots (1)$$

ここで、Wは駆動トランジスタ22のチャネル幅、Lはチャネル長、 $C_{ox}$ は単位面積当たりのゲート容量である。

#### 【0071】

図6(A)に、駆動トランジスタ22のドレイン-ソース間電流 $I_{ds}$ 対ゲート-ソース間電圧 $V_{gs}$ の特性を示す。図6(A)の特性図に示すように、駆動トランジスタ22の閾値電圧 $V_{th}$ の画素毎のばらつきに対するキャンセル処理（補正処理）を行わないと、閾値電圧 $V_{th}$ が $V_{th1}$ のときに、ゲート-ソース間電圧 $V_{gs}$ に対応するドレイン-ソース間電流 $I_{ds}$ が $I_{ds1}$ になる。

#### 【0072】

これに対して、閾値電圧 $V_{th}$ が $V_{th2}$  ( $V_{th2} > V_{th1}$ ) のとき、同じゲート-ソース間電圧 $V_{gs}$ に対応するドレイン-ソース間電流 $I_{ds}$ が $I_{ds2}$  ( $I_{ds2} < I_{ds1}$ ) になる。すなわち、駆動トランジスタ22の閾値電圧 $V_{th}$ が変動すると、ゲート-ソース間電圧 $V_{gs}$ が一定であってもドレイン-ソース間電流 $I_{ds}$ が変動する。

#### 【0073】

一方、上記構成の画素（画素回路）20では、先述したように、発光時の駆動トランジスタ22のゲート-ソース間電圧 $V_{gs}$ は $V_{sig} - V_{ofs} + V_{th} - V$ である。従って、これを式(1)に代入すると、ドレイン-ソース間電流 $I_{ds}$ は、次式(2)で表される。

$$I_{ds} = (1/2) \cdot \mu (W/L) C_{ox} (V_{sig} - V_{ofs} - V)^2 \quad \dots \dots (2)$$

#### 【0074】

すなわち、駆動トランジスタ22の閾値電圧 $V_{th}$ の項がキャンセルされており、駆動トランジスタ22から有機EL素子21に供給されるドレイン-ソース間電流 $I_{ds}$ は、駆動トランジスタ22の閾値電圧 $V_{th}$ に依存しない。その結果、駆動トランジスタ22の製造プロセスのばらつきや経時変化等により、駆動トランジスタ22の閾値電圧 $V_{th}$ が画素毎に変動したとしても、ドレイン-ソース間電流 $I_{ds}$ が変動しないために、有機EL素子21の発光輝度を一定に保つことができる。

#### 【0075】

##### 〔移動度補正の原理〕

次に、駆動トランジスタ22の移動度補正の原理について説明する。図6(B)に、駆動トランジスタ22の移動度 $\mu$ が相対的に大きい画素Aと、駆動トランジスタ22の移動度 $\mu$ が相対的に小さい画素Bとを比較した状態で特性カーブを示す。駆動トランジスタ22をポリシリコン薄膜トランジスタなどで構成した場合、画素Aや画素Bのように、画素間で移動度 $\mu$ がばらつくことは避けられない。

#### 【0076】

画素Aと画素Bで移動度 $\mu$ にばらつきがある状態で、駆動トランジスタ22のゲート電

極に対して、例えば両画素 A, B に同レベルの信号振幅  $V_{in}$  ( $= V_{sig} - V_{ofs}$ ) を書き込んだ場合を考える。この場合、何ら移動度  $\mu$  の補正を行わないと、移動度  $\mu$  の大きい画素 A に流れるドレイン - ソース間電流  $I_{ds1}$  と移動度  $\mu$  の小さい画素 B に流れるドレイン - ソース間電流  $I_{ds2}$  との間には大きな差が生じてしまう。このように、移動度  $\mu$  の画素毎のばらつきに起因してドレイン - ソース間電流  $I_{ds}$  に画素間で大きな差が生じると、画面のユニフォーミティ（一様性）が損なわれる。

#### 【0077】

ここで、先述した式(1)のトランジスタ特性式から明らかなように、移動度  $\mu$  が大きいとドレイン - ソース間電流  $I_{ds}$  が大きくなる。従って、負帰還における帰還量  $V$  は移動度  $\mu$  が大きくなるほど大きくなる。図6(B)に示すように、移動度  $\mu$  の大きな画素 A の帰還量  $V_1$  は、移動度の小さな画素 B の帰還量  $V_2$  に比べて大きい。  
10

#### 【0078】

そこで、移動度補正処理によって駆動トランジスタ22のドレイン - ソース間電流  $I_{ds}$  に応じた帰還量  $V$  でゲート - ソース間電圧  $V_{gs}$  に負帰還をかけることにより、移動度  $\mu$  が大きいほど負帰還が大きくかかることになる。その結果、移動度  $\mu$  の画素毎のばらつきを抑制することができる。

#### 【0079】

具体的には、移動度  $\mu$  の大きな画素 A で帰還量  $V_1$  の補正をかけると、ドレイン - ソース間電流  $I_{ds}$  は  $I_{ds1}$  から  $I_{ds1}$  まで大きく下降する。一方、移動度  $\mu$  の小さな画素 B の帰還量  $V_2$  は小さいために、ドレイン - ソース間電流  $I_{ds}$  は  $I_{ds2}$  から  $I_{ds2}$  までの下降となり、それ程大きく下降しない。結果的に、画素 A のドレイン - ソース間電流  $I_{ds1}$  と画素 B のドレイン - ソース間電流  $I_{ds2}$  とはほぼ等しくなるために、移動度  $\mu$  の画素毎のばらつきが補正される。  
20

#### 【0080】

以上をまとめると、移動度  $\mu$  の異なる画素 A と画素 B があった場合、移動度  $\mu$  の大きい画素 A の帰還量  $V_1$  は移動度  $\mu$  の小さい画素 B の帰還量  $V_2$  に比べて大きくなる。つまり、移動度  $\mu$  が大きい画素ほど帰還量  $V$  が大きく、ドレイン - ソース間電流  $I_{ds}$  の減少量が大きくなる。

#### 【0081】

従って、駆動トランジスタ22のドレイン - ソース間電流  $I_{ds}$  に応じた帰還量  $V$  で、ゲート - ソース間電圧  $V_{gs}$  に負帰還をかけることで、移動度  $\mu$  の異なる画素のドレイン - ソース間電流  $I_{ds}$  の電流値が均一化される。その結果、移動度  $\mu$  の画素毎のばらつきを補正することができる。すなわち、駆動トランジスタ22に流れる電流（ドレイン - ソース間電流  $I_{ds}$ ）に応じた帰還量（補正量）  $V$  で、駆動トランジスタ22のゲート - ソース間電圧  $V_{gs}$  に対して、即ち、保持容量24に対して負帰還をかける処理が移動度補正処理となる。  
30

#### 【0082】

##### [1-3. 書込み走査回路]

ここで、書込み走査回路40の一般的な構成について参考例として説明する。図7は、参考例に係る書込み走査回路40<sub>A</sub>の構成の概略を示すブロック図である。  
40

#### 【0083】

図7に示すように、書込み走査回路40<sub>A</sub>は、画素アレイ部30の画素行の数に対応した複数のシフト段（転送段 / 単位回路）が直列に接続されて成るシフトレジスタ41を有する。ここでは、図面の簡略化のために、 $i-1$ 段目、 $i$ 段目、 $i+1$ 段目のシフト段41<sub>i-1</sub>, 41<sub>i</sub>, 41<sub>i+1</sub>を図示している。シフトレジスタ41を構成するシフト段の段数は、画素アレイ部30の行数（垂直方向の画素数）に対応して設定されている。

#### 【0084】

シフト段41<sub>i-1</sub>, 41<sub>i</sub>, 41<sub>i+1</sub>の各々のシフト信号は、次段のシフト段に供給されるとともに、論理回路群42の対応する論理回路42<sub>i-1</sub>, 42<sub>i</sub>, 42<sub>i+1</sub>の入力となる。論理回路42<sub>i-1</sub>, 42<sub>i</sub>, 42<sub>i+1</sub>は、シフト段41<sub>i-1</sub>, 41<sub>i</sub>, 41<sub>i+1</sub>の各シフト信  
50

号を基に、画素アレイ部30の対応する画素行の走査信号 $WS_{i-1}, WS_i, WS_{i+1}$ を生成する。これら走査信号 $WS_{i-1}, WS_i, WS_{i+1}$ は、バッファ回路群43の対応するバッファ回路 $43_{i-1}, 43_i, 43_{i+1}$ を介して、最終的な走査信号 $WS_{i-1}, WS_i, WS_{i+1}$ として画素アレイ部30の対応する画素行の走査線 $31_{i-1}, 31_i, 31_{i+1}$ に与えられる。

#### 【0085】

走査信号 $WS_{i-1}, WS_i, WS_{i+1}$ は、図8のタイミング波形図に示すように、2連のパルス波形として生成される。前半のパルスの期間では、閾値補正処理が行われる。後半のパルスの期間では、信号電圧 $V_{sig}$ の書き込み処理及び移動度補正処理が並行して行われる。これら走査信号 $WS_{i-1}, WS_i, WS_{i+1}$ は、書き込み走査回路 $40_A$ から1H周期で順次出力される。  
10

#### 【0086】

上述したように、参考例に係る書き込み走査回路 $40_A$ は、シフトレジスタ41が、画素アレイ部30の行数に対応した段数のシフト段から成り、各シフト段から出力されるシフト信号を基に、画素行毎に順に走査信号 $WS$ を生成する構成となっている。そのため、画素アレイ部30の行数(垂直方向の画素数)が増えると、行数に対応して書き込み走査回路 $40_A$ を構成するシフトレジスタ41の段数も増える。そして、シフトレジスタ41の段数が増えると、書き込み走査回路 $40_A$ の回路規模、ひいては、画素アレイ部30の周辺回路の回路規模が大きくなる。

#### 【0087】

##### <2. 実施形態の説明>

上述した参考例に係る書き込み走査回路 $40_A$ の問題点に鑑みて為されたのが、以下に説明する本開示の実施形態に係る書き込み走査回路 $40_B$ である。

#### 【0088】

図9は、本開示の実施形態に係る書き込み走査回路 $40_B$ の構成の概略を示すブロック図であり、図中、図7と同等部位には同一符号を付して示している。

#### 【0089】

先述した参考例に係る書き込み走査回路 $40_A$ は、シフトレジスタ41が画素アレイ部30の行数に対応した数のシフト段によって構成されている。これに対して、本実施形態に係る書き込み走査回路 $40_B$ は、シフトレジスタ41が画素アレイ部30の行数の例えは半分に対応した数のシフト段が直列に接続された構成となっている。ここでは、図面の簡略化のために、画素アレイ部30の*i*-1行目と*i*行目、及び、*i*+1行目と*i*+2行目にそれぞれ対応するj段目、*j*+1段目のシフト段(転送段/単位回路) $41_j, 41_{j+1}$ を図示している。  
30

#### 【0090】

*j*段目のシフト段 $41_j$ は、前段のシフト段 $41_{j-1}$ の出力信号(シフト信号)をシフトし、自段のシフト信号として次段のシフト段 $41_{j+1}$ に供給するとともに、対応する2つの論理回路 $42_{i-1}, 42_i$ にそれぞれ供給する。*j*+1段目のシフト段は、*j*段目のシフト段 $41_j$ の出力信号をシフトし、自段のシフト信号として次段のシフト段 $41_{j+2}$ に供給するとともに、対応する2つの論理回路 $42_{i+1}, 42_{i+2}$ にそれぞれ供給する。  
40

#### 【0091】

論理回路群42において、論理回路 $42_{i-1}, 42_i, 42_{i+1}, 42_{i+2}$ は、シフト段 $41_j, 41_{j+1}$ の各シフト信号を基に、画素アレイ部30の対応する画素行の走査信号 $WS_{i-1}, WS_i, WS_{i+1}, WS_{i+2}$ を生成する。これらの走査信号 $WS_{i-1}, WS_i, WS_{i+1}, WS_{i+2}$ は、バッファ回路群43の対応するバッファ回路 $43_{i-1}, 43_i, 43_{i+1}, 43_{i+2}$ を介して、最終的な走査信号 $WS_{i-1}, WS_i, WS_{i+1}, WS_{i+2}$ として対応する画素行の走査線 $31_{i-1}, 31_i, 31_{i+1}, 31_{i+2}$ に与えられる。

#### 【0092】

ここで、図10に示すように、画素20( $20_R, 20_G, 20_B$ )は、画素列単位で信号線 $33_{k-1}, 33_k, 33_{k+1}$ に接続されているため、画素行毎に異なるタイミングで信号  
50

電圧  $V_{sig}$  の書き込みが行われる必要がある。換言すれば、信号電圧  $V_{sig}$  の書き込みを行う 2 行分の走査信号、即ち、走査信号  $WS_{i-1}$  と走査信号  $WS_i$ 、走査信号  $WS_{i+1}$  と走査信号  $WS_{i+2}$  はそれぞれ異なるタイミングでアクティブになる必要がある。

#### 【0093】

このような理由から、論理回路  $42_{i-1}$  と論理回路  $42_i$ 、論理回路  $42_{i+1}$  と論理回路  $42_{i+2}$  はそれぞれ異なるタイミングでアクティブになる走査信号  $WS$  を生成するために異なる回路構成となっている。論理回路群  $42$  の各論理回路の具体的な回路構成については、後で詳細に説明する。

#### 【0094】

このように、シフトレジスタ  $41$  の 1 つのシフト段から出力されるシフト信号を基に複数の走査信号、本例では 2 つの走査信号を生成することで、当該 2 つの走査信号によって 2 つの画素行を単位として走査が行われる。そして、2 つの画素行の各画素に対して 2 つの走査信号に応答して信号電圧  $V_{sig}$  をそれぞれ書き込むことになる。

#### 【0095】

図  $10$  には、 $i - 1$  行目、 $i$  行目に対応する 2 つの走査信号  $WS_{i-1}$ ,  $WS_i$  と 2 つの画素行の各画素との関係を示している。因みに、信号出力回路  $60$  は、例えば、セレクタスイッチの集合から成る、所謂、セレクタ方式を探っている。信号出力回路  $60$  の各セレクタスイッチは、RGB の画素（副画素）に対応する 3 つのMOSスイッチ  $SW_R$ ,  $SW_G$ ,  $SW_B$  を単位として構成されている。

#### 【0096】

このセレクタ方式を探る場合、信号出力回路  $60$  には、表示パネル  $20$  の外部からデータ線  $61$  を通して各画素  $20_R$ ,  $20_G$ ,  $20_B$  の信号電圧  $V_{sigR}$ ,  $V_{sigG}$ ,  $V_{sigB}$  が時系列で入力される。そして、信号出力回路  $60$  は、1 本のデータ線  $61$  を通してパネル外部から入力される時系列の信号を時分割にて信号線  $33$  ( $\dots, 33_{k-1}, 33_k, 33_{k+1}, \dots$ ) に書き込む。

#### 【0097】

図  $11$  に、 $i - 1$  行目、 $i$  行目に対応する 2 つの走査信号  $WS_{i-1}$ ,  $WS_i$  のタイミング関係を示す。2 つの走査信号  $WS_{i-1}$ ,  $WS_i$  は共に 2 連のパルス波形として生成される。そして、論理回路  $42_{i-1}$  と論理回路  $42_i$  の後述する回路構成の違いにより、走査信号  $WS_{i-1}$ ,  $WS_i$  は、閾値補正を行うための前半のパルスについては同じタイミングで生成される。これにより、 $i - 1$  行目、 $i$  行目の画素行の各画素  $20$  は、後半のパルスに基づく信号書き込み処理に先立って、閾値補正の処理を各画素行に共通の閾値補正期間に行うことになる。

#### 【0098】

一方、信号電圧  $V_{sig}$  の書き込みを行うための後半のパルスについては、先述したように、同一の信号線  $33$  を通して信号電圧  $V_{sig}$  を書き込む必要があることから、 $t$  の期間だけずれた状態（時間差もった状態）で生成される。これにより、2 つの走査信号  $WS_{i-1}$ ,  $WS_i$  は、 $i - 1$  行目、 $i$  行目の画素行の各画素  $20$  に対して画素行間で  $t$  の時間差をもって信号電圧  $V_{sig}$  を書き込むことになる。このとき、先述した図  $3$  に基づく基本的な回路動作の場合と同様に、移動度補正の処理を、信号電圧  $V_{sig}$  の書き込み処理と並行して行うことになる。図  $11$  において、走査信号  $WS_{i-1}$  に基づく信号書き込み & 移動度補正期間を信号書き込み & 移動度補正期間  $1$  とし、走査信号  $WS_i$  に基づく信号書き込み & 移動度補正期間を信号書き込み & 移動度補正期間  $2$  としている。

#### 【0099】

以上説明したように、シフトレジスタ  $41$  の 1 つのシフト段から出力されるシフト信号を基に複数の走査信号を生成し、当該複数の走査信号によって複数の画素行を単位として同時に走査を行うことで、次のような作用、効果を奏することができる。すなわち、同時走査の単位となる行数を  $N$  (本例の場合、 $N = 2$ ) とすると、シフトレジスタ  $41$  の段数は、シフト段毎に走査信号を生成し、画素行毎に走査する場合の  $1/N$  となるため、シフトレジスタ  $41$  の段数を大幅に削減できる。その結果、書き込み走査回路  $40$  の回路規模、

10

20

30

40

50

ひいては、画素アレイ部30の周辺回路の回路規模を縮小できるため、表示パネル70の小型化を図ることができる。

#### 【0100】

ここで、信号書き込み&移動度補正期間1, 2を2つの画素行間で時間的にずらすと、そのずれの時間tだけ2つの画素行間で発光期間が、発光期間1, 2という具合に異なるため輝度差が生じることになる。そこで、2つの画素行の発光期間1, 2の差、即ち、信号書き込み&移動度補正期間1, 2のずれの時間tを発光期間の1/100以内（以下）とする。

#### 【0101】

このようにすることで、2つの画素行に属する画素の画素行間の輝度差が1%以下となる。一般的に、輝度差が1%以下となると、その輝度差は視認できないとされている。従って、2つの画素行間の輝度差が視認できないため、信号書き込み&移動度補正期間1, 2を2つの画素行間で時間的にずらすことによって発光期間の差が視認上問題になることはない。

#### 【0102】

また、シフトレジスタ41の1つのシフト段を2つの画素行に対して共通化することにより、1Hの期間を長くとることができ。具体的には、参考例に係る書き込み走査回路40<sub>A</sub>の場合は、図12(A)に示すように、1ライン(画素行)毎に1H周期で走査信号WSが生成される。これに対して、本実施形態に係る書き込み走査回路40<sub>B</sub>の場合は、図12(B)に示すように、2ライン毎に1H周期で走査信号WSが生成される。

#### 【0103】

従って、1つのシフト段を2つの画素行に対して共通化することで、1Hの期間を長くとることができ。このとき、1Hの期間を1ライン毎に1H周期で走査信号WSを生成する参考例の場合と同じ長さで良いとした場合、1H期間で2つの画素行を同時に駆動できることになるため、参考例の場合の2倍の速度で駆動する、所謂、倍速駆動が可能になる。

#### 【0104】

続いて、実施形態に係る書き込み走査回路40<sub>B</sub>の具体的な回路構成、より具体的には、論理回路群42の具体的な回路構成について、図13を用いて説明する。

#### 【0105】

図13は、実施形態に係る書き込み走査回路40<sub>B</sub>の論理回路群42の回路構成の一例を示すブロック図であり、図中、図9と同等部位には同一符号を付して示している。ここでは、論理回路群42における、画素アレイ部30のi-1行目～i+2行目の画素行に対応する4つの論理回路42<sub>i-1</sub>, 42<sub>i</sub>, 42<sub>i+1</sub>, 42<sub>i+2</sub>の回路構成を示している。

#### 【0106】

先述したように、1つのシフト段の出力信号(シフト信号)に基づいて2つの画素行に対応する2つの走査信号を生成する2つの論理回路は互いに異なる回路構成を探ることになる。具体的には、シフト段41<sub>j</sub>のシフト信号s<sub>rj</sub>に基づいて2つの走査信号w<sub>s<sub>i-1</sub></sub>, w<sub>s<sub>i</sub></sub>を生成する論理回路42<sub>i-1</sub>と論理回路42<sub>i</sub>とは異なる回路構成となっている。また、シフト段41<sub>j+1</sub>のシフト信号s<sub>rj+1</sub>に基づいて2つの走査信号w<sub>s<sub>i+1</sub></sub>, w<sub>s<sub>i+2</sub></sub>を生成する論理回路42<sub>i+1</sub>と論理回路42<sub>i+2</sub>とは異なる回路構成となっている。但し、論理回路42<sub>i-1</sub>と論理回路42<sub>i+1</sub>、論理回路42<sub>i</sub>と論理回路42<sub>i+2</sub>とは同じ回路構成となっている。

#### 【0107】

以下に、具体的な回路構成について説明する。論理回路42<sub>i-1</sub>は、2入力の2つのNAND回路421, 422によって構成されている。NAND回路421は、シフト段41<sub>j</sub>のシフト信号s<sub>rj</sub>を一方の入力とし、第1のイネーブル信号w<sub>sen1</sub>を他方の入力としている。NAND回路422は、NAND回路421の出力信号を一方の入力としている。

#### 【0108】

10

20

30

40

50

論理回路 4 2<sub>i</sub> は、インバータ回路 4 2 3、2 入力の NOR 回路 4 2 4、及び、2 入力の 3 つの NAND 回路 4 2 5 ~ 4 2 7 によって構成されている。インバータ回路 4 2 3 は、シフト段 4 1<sub>j+1</sub> のシフト信号 s<sub>rj+1</sub> の論理（極性）を反転する。NOR 回路 4 2 4 は、シフト段 4 1<sub>j</sub> のシフト信号 s<sub>rj</sub> を一方の入力とし、インバータ回路 4 2 3 を経たシフト段 4 1<sub>j+1</sub> のシフト信号 s<sub>rj+1</sub> を他方の入力とする。

#### 【0109】

NAND 回路 4 2 5 は、NOR 回路 4 2 4 の出力信号を一方の入力とし、第 2 のイネーブル信号 w<sub>sen2</sub> を他方の入力とする。NAND 回路 4 2 5 の出力信号は、論理回路 4 2<sub>i+1</sub> に対して NAND 回路 4 2 2 の他方の入力として供給される。NAND 回路 4 2 6 は、NOR 回路 4 2 4 の出力信号を一方の入力とし、第 3 のイネーブル信号 w<sub>sen3</sub> を他方の入力とする。  
10

#### 【0110】

そして、論理回路 4 2<sub>i+1</sub>において、NAND 回路 4 2 1, 4 2 5 の各出力信号を 2 入力とする NAND 回路 4 2 2 は、これら 2 入力を論理演算することによって i - 1 行目の走査信号 W<sub>Si-1</sub> の基となる走査信号 W<sub>Si-1</sub> を生成する。また、論理回路 4 2<sub>i</sub> において、論理回路 4 2<sub>i+1</sub> の NAND 回路 4 2 1 の出力信号と、NAND 回路 4 2 6 の出力信号とを 2 入力とする NAND 回路 4 2 7 は、これら 2 入力を論理演算することによって i 行目の走査信号 W<sub>Si</sub> の基となる走査信号 W<sub>Si</sub> を生成する。

#### 【0111】

先述したように、論理回路 4 2<sub>i+1</sub> は、論理回路 4 2<sub>i+1</sub> と同じ回路構成となっており、論理回路 4 2<sub>i+2</sub> は、論理回路 4 2<sub>i</sub> と同じ回路構成となっている。すなわち、論理回路 4 2<sub>i+1</sub> は、2 入力の 2 つの NAND 回路 4 2 1, 4 2 2 によって構成されている。また、論理回路 4 2<sub>i+2</sub> は、インバータ回路 4 2 3、2 入力の NOR 回路 4 2 4、及び、2 入力の 3 つの NAND 回路 4 2 5 ~ 4 2 7 によって構成されている。  
20

#### 【0112】

そして、シフト段 4 1<sub>j+1</sub> のシフト信号 s<sub>rj+1</sub>、次段のシフト段 4 1<sub>j+2</sub> のシフト信号 s<sub>rj+2</sub>、及び、第 1 ~ 第 3 のイネーブル信号 w<sub>sen1</sub>, w<sub>sen2</sub>, w<sub>sen3</sub> に基づいて、論理回路 4 2<sub>i+1</sub> は i + 1 行目の走査信号 W<sub>Si+1</sub> の基となる走査信号 W<sub>Si+1</sub> を生成する。また、論理回路 4 2<sub>i+2</sub> は i + 2 行目の走査信号 W<sub>Si+2</sub> の基となる走査信号 W<sub>Si+2</sub> を生成する。  
30

#### 【0113】

図 14 に、図 13 の各部の信号、具体的には、シフト段 4 1<sub>j</sub>, 4 1<sub>j+1</sub> の各シフト信号 s<sub>rj</sub>, s<sub>rj+1</sub>、第 1 ~ 第 3 のイネーブル信号 w<sub>sen1</sub>, w<sub>sen2</sub>, w<sub>sen3</sub>、及び、走査信号 W<sub>Si-1</sub>, W<sub>Si</sub> のタイミング関係を示す。尚、ここでは、閾値補正を信号書き込み & 移動度補正と共に行う 1H 期間に加えて、当該 1H 期間に先行する例えば 3H 期間に亘って分割して閾値補正処理を合計 4 回実行する分割閾値補正の駆動法を実行する場合のタイミング関係を示している。

#### 【0114】

図 14 のタイミング波形図から明らかなように、第 1 のイネーブル信号 w<sub>sen1</sub> は、1 回目乃至 4 回目の閾値補正期間を決めるパルス信号として用いられている。第 2 のイネーブル信号 w<sub>sen2</sub> は、前の行 (..., i - 1, i + 1, ...) の信号書き込み & 移動度補正期間を決めるパルス信号として用いられている。第 3 のイネーブル信号 w<sub>sen3</sub> は、後の行 (..., i, i + 2, ...) の信号書き込み & 移動度補正期間を決めるパルス信号として用いられている。  
40

#### 【0115】

上述した論理回路群 4 2 の各論理回路の回路構成によれば、簡単な論理回路（ゲート）の組み合わせにより、1 つのシフト段のシフト信号を基に、複数の画素行、例えば 2 つの画素行に対応する 2 つの走査信号を生成することができる。これにより、本例の場合、シフトレジスタ 4 1 のシフト段の段数を、シフト段毎に走査信号を生成する場合の 1 / 2 に削減可能となるために、書き込み走査回路 4 0 の回路規模の縮小化に寄与できる。  
50

## 【0116】

## &lt;3. 適用例&gt;

上記実施形態では、本開示の技術が適用される走査回路として、書き込み走査回路40を例に挙げて説明したが、電源供給走査回路50を含む、表示装置に用いられる走査回路全般に対して適用可能である。また、表示装置に用いられる走査回路に限らず、例えば固体撮像装置に用いられる走査回路に対しても適用可能である。

## 【0117】

尚、上記実施形態の場合は、電源供給走査回路50から電源供給線32に与えられる電位DSは、図8のタイミング波形図から明らかなように、閾値補正期間の開始タイミングを決めるのに用いられており、また、閾値補正期間は2つの画素行間で同じ期間となっている。従って、上記実施形態の場合は、書き込み走査回路40のように、シフトレジスタの後段に論理回路群を設けて異なるタイミングで2つの走査信号を生成する必要はない。換言すれば、この場合の電源供給走査回路50に対しては、本開示の技術を適用する必要がない。

10

## 【0118】

但し、電源供給走査回路50から電源供給線32に与えられる電位DSについて、書き込み走査回路40による異なる2つの信号書き込み&移動度補正期間に対応させて電位DSを変化させる構成を探る場合がある。かかる構成を探る場合に、書き込み走査回路40と同様に、電源供給走査回路50を構成するシフトレジスタの後段に論理回路群を設けることで、1つのシフト段のシフト信号を基に、複数の画素行に対応する複数の走査信号を生成するようになることができる。

20

## 【0119】

また、上記実施形態では、画素回路が閾値補正機能及び移動度補正機能の両機能を有する場合を前提として説明したが、本開示の技術は、両機能を持たない画素回路や、閾値補正機能のみを持つ画素回路や、移動度補正機能のみを持つ画素回路に対しても同様に適用可能である。

20

## 【0120】

更に、上記実施形態では、画素20の電気光学素子として、有機EL素子を用いた有機EL表示装置に適用した場合を例に挙げて説明したが、本開示はこの適用例に限られるものではない。具体的には、本開示は、無機EL素子、LED素子、半導体レーザー素子など、デバイスに流れる電流値に応じて発光輝度が変化する電流駆動型の電気光学素子（発光素子）を用いた表示装置全般に対して適用可能である。

30

## 【0121】

## &lt;4. 電子機器&gt;

以上説明した本開示による表示装置は、電子機器に入力された映像信号、若しくは、電子機器内で生成した映像信号を、画像若しくは映像として表示するあらゆる分野の電子機器の表示部（表示装置）に適用できる。一例として、図15～図19に示す様々な電子機器、例えば、デジタルカメラ、ノート型パソコン、携帯電話等の携帯端末装置、ビデオカメラなどの表示部に適用することが可能である。

40

## 【0122】

このように、あらゆる分野の電子機器の表示部として本開示による表示装置を用いることで、各種の電子機器の小型化に寄与できる。すなわち、先述した実施形態の説明から明らかなように、本開示による走査回路を用いた表示装置によれば、走査回路の回路規模、ひいては、画素アレイ部の周辺回路の回路規模を縮小できるため、表示パネルの小型化を図ることができる。従って、各種の電子機器において、その表示部として本開示による表示装置（表示パネル）を用いることで機器の小型化に寄与できる。

## 【0123】

本開示による表示装置は、封止された構成のモジュール形状のものをも含む。一例として、画素アレイ部に透明なガラス等の対向部が貼り付けられて形成された表示モジュールが該当する。尚、表示モジュールには、外部から画素アレイ部への信号等を入出力するた

50

めの回路部やFPC（フレキシブルプリントサーキット）等が設けられていてもよい。

【0124】

以下に、本開示が適用される電子機器の具体例について説明する。

【0125】

図15は、本開示が適用されるテレビジョンセットの外観を示す斜視図である。本適用例に係るテレビジョンセットは、フロントパネル102やフィルターガラス103等から構成される映像表示画面部101を含み、その映像表示画面部101として本開示による表示装置を用いることにより作製される。

【0126】

図16は、本開示が適用されるデジタルカメラの外観を示す斜視図であり、(A)は表側から見た斜視図、(B)は裏側から見た斜視図である。本適用例に係るデジタルカメラは、フラッシュ用の発光部111、表示部112、ニュースイッチ113、シャッターボタン114等を含み、その表示部112として本開示による表示装置を用いることにより作製される。

10

【0127】

図17は、本開示が適用されるノート型パソコンの外観を示す斜視図である。本適用例に係るノート型パソコンは、本体121に、文字等を入力するとき操作されるキーボード122、画像を表示する表示部123等を含み、その表示部123として本開示による表示装置を用いることにより作製される。

20

【0128】

図18は、本開示が適用されるビデオカメラの外観を示す斜視図である。本適用例に係るビデオカメラは、本体部131、前方を向いた側面に被写体撮影用のレンズ132、撮影時のスタート/ストップスイッチ133、表示部134等を含み、その表示部134として本開示による表示装置を用いることにより作製される。

30

【0129】

図19は、本開示が適用される携帯端末装置、例えば携帯電話機を示す外観図であり、(A)は開いた状態での正面図、(B)はその側面図、(C)は閉じた状態での正面図、(D)は左側面図、(E)は右側面図、(F)は上面図、(G)は下面図である。本適用例に係る携帯電話機は、上側筐体141、下側筐体142、連結部(ここではヒンジ部)143、ディスプレイ144、サブディスプレイ145、ピクチャーライト146、カメラ147等を含んでいる。そして、ディスプレイ144やサブディスプレイ145として本開示による表示装置を用いることにより、本適用例に係る携帯電話機が作製される。

30

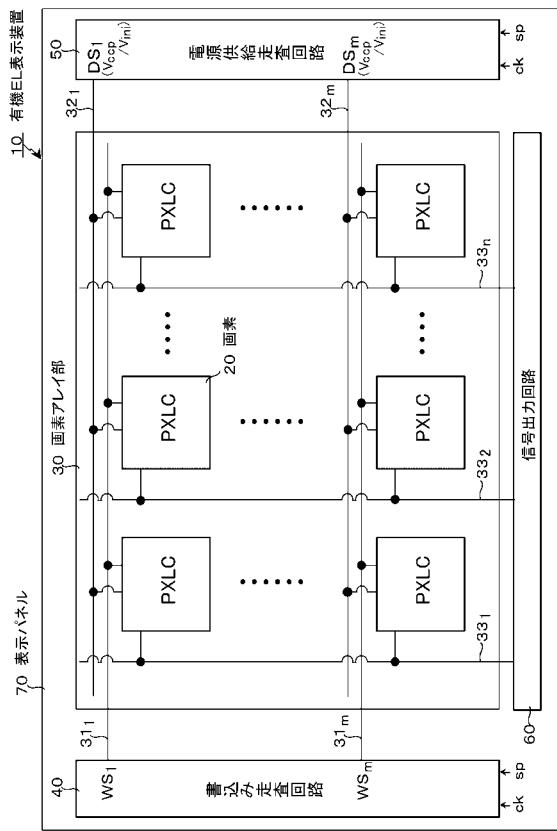
【符号の説明】

【0130】

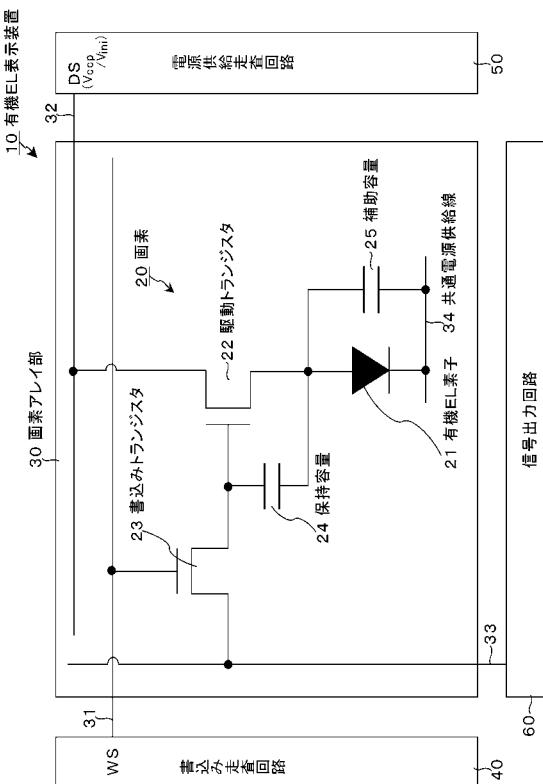
10...有機EL表示装置、20...画素(画素回路)、21...有機EL素子、22...駆動トランジスタ、23...書き込みトランジスタ、24...保持容量、25...補助容量、30...画素アレイ部、31(31<sub>1</sub>~31<sub>m</sub>)...走査線、32(32<sub>1</sub>~32<sub>m</sub>)...電源供給線、33(33<sub>1</sub>~33<sub>n</sub>)...信号線、34...共通電源供給線、40, 40<sub>A</sub>, 40<sub>B</sub>...書き込み走査回路、41...シフトレジスタ、42...論理回路群、43...バッファ回路群、50...電源供給走査回路、60...信号出力回路、70...表示パネル

40

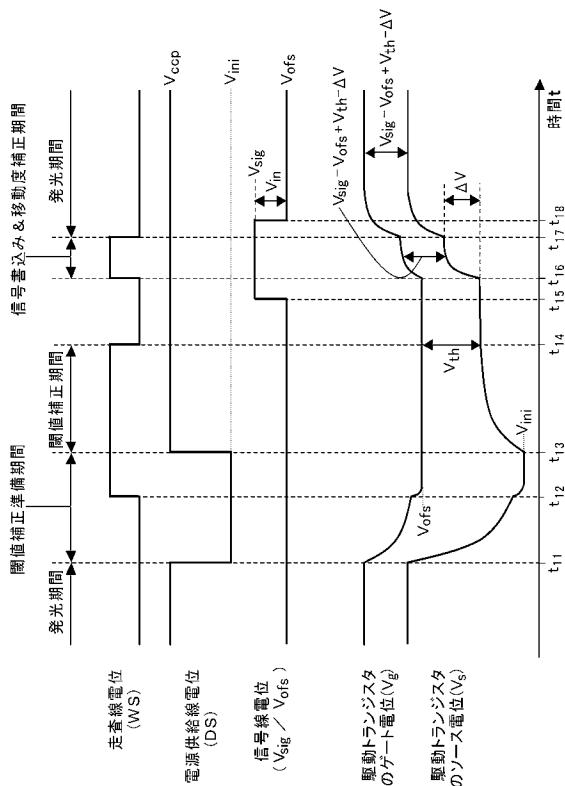
【図 1】



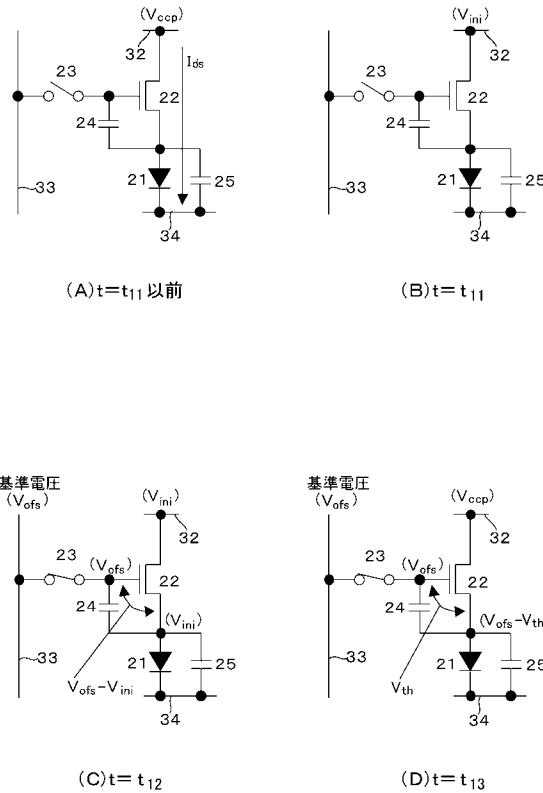
【図 2】



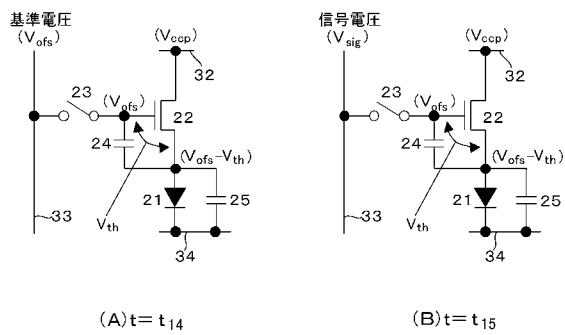
【図 3】



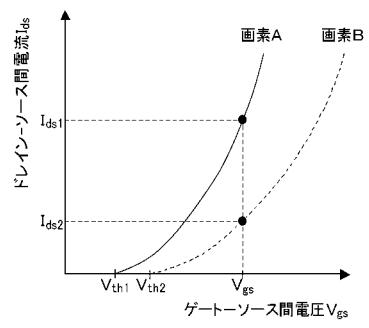
【図 4】



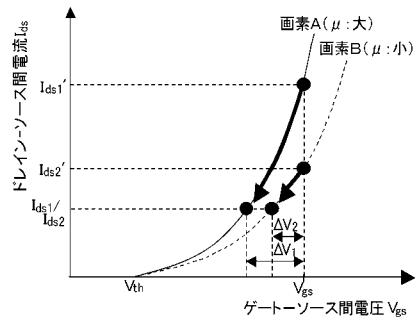
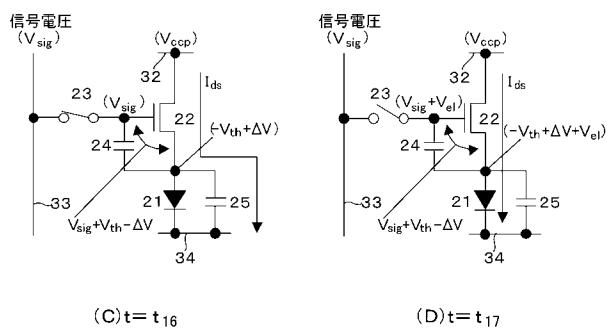
【図5】



【図6】

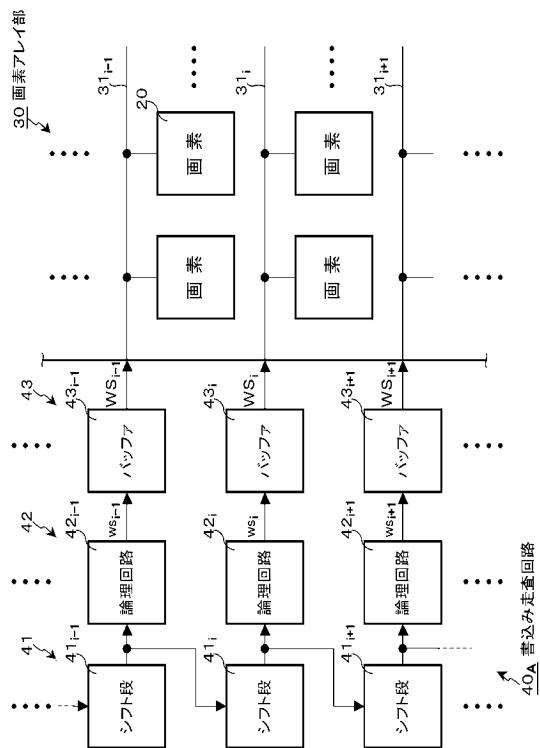


(A)

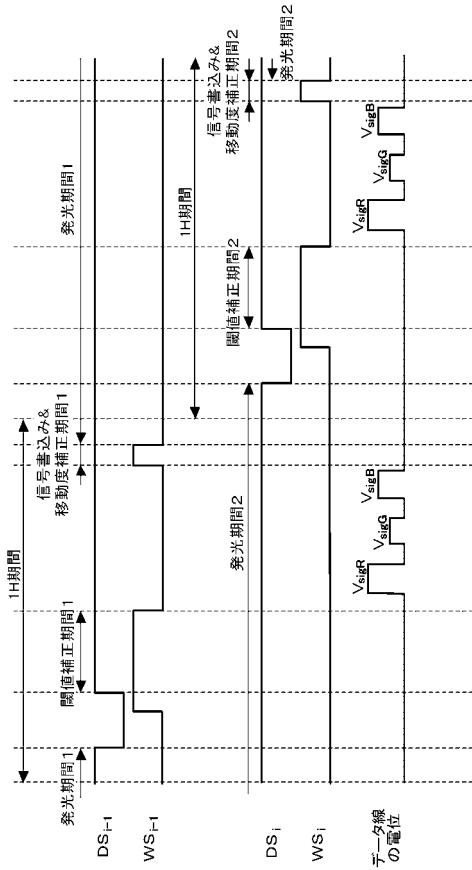


(B)

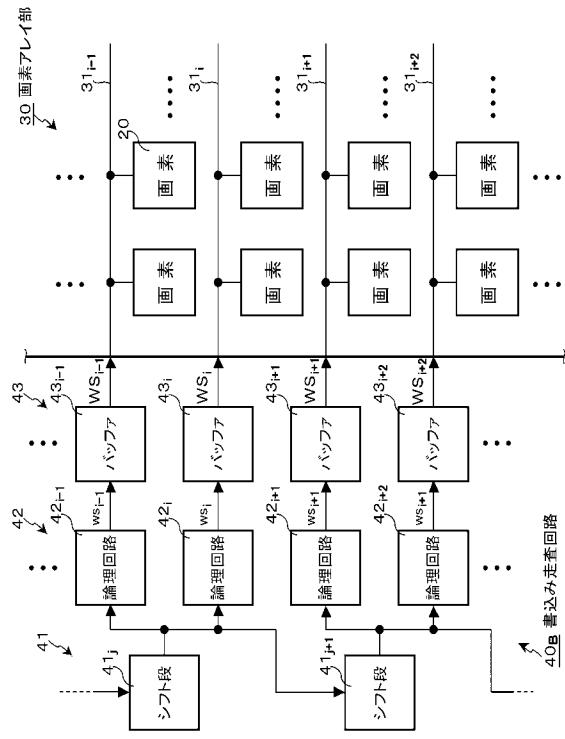
【図7】



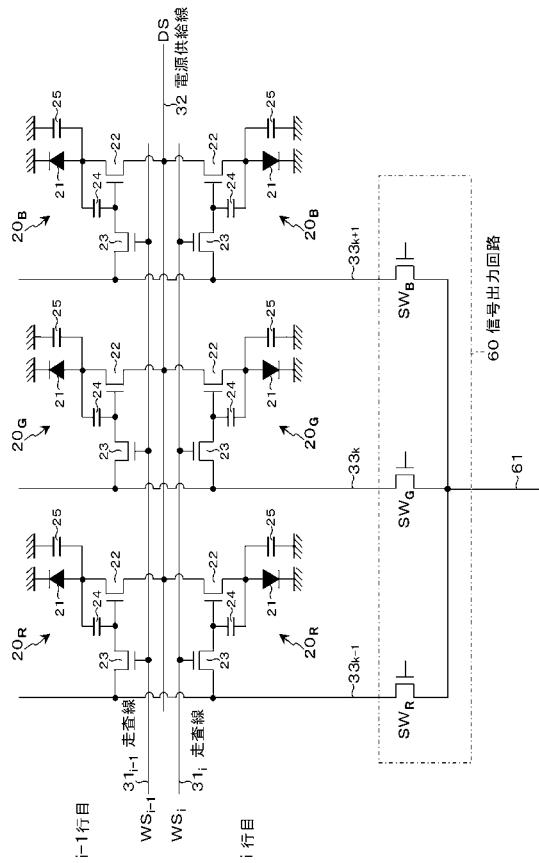
【図8】



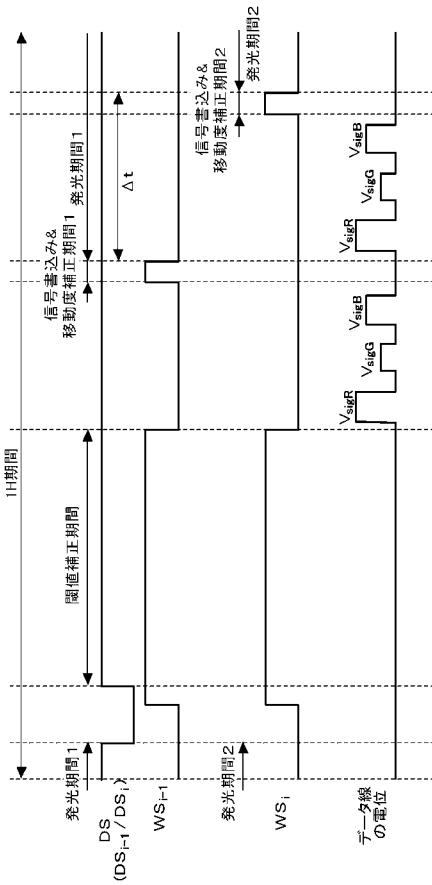
【図 9】



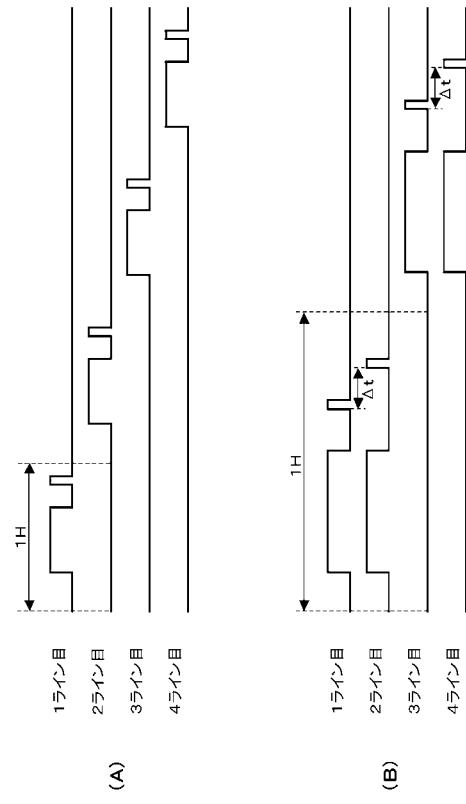
【図 10】



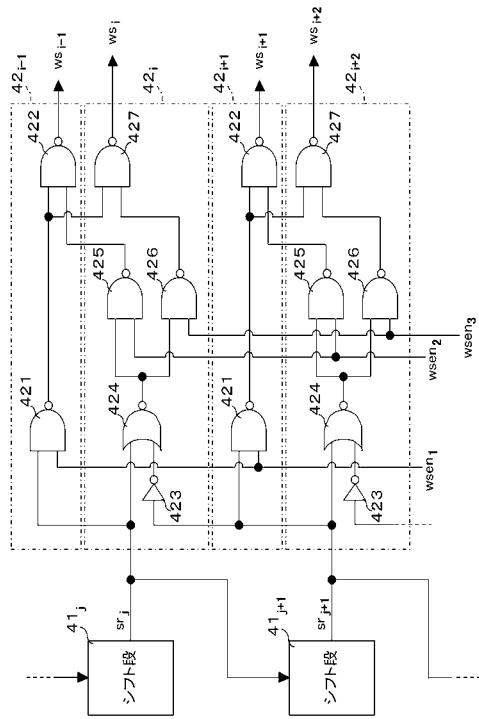
【図 11】



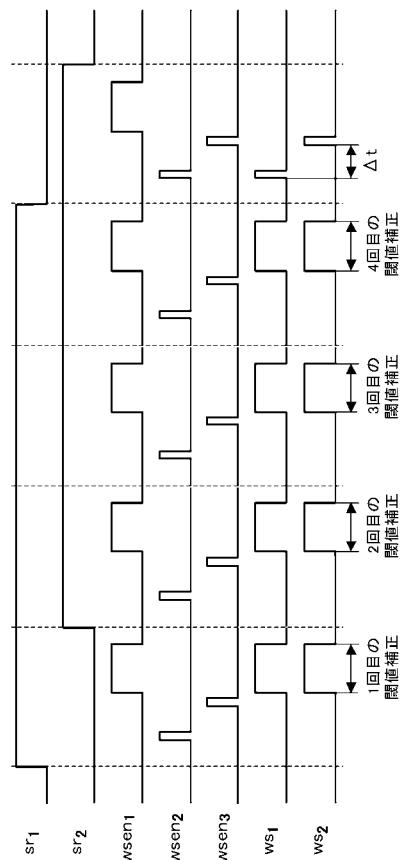
【図 12】



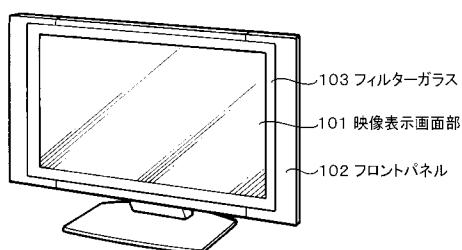
【図 1 3】



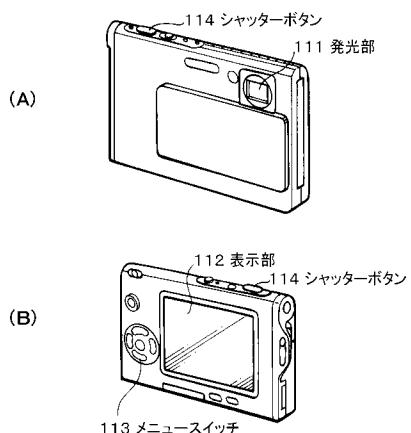
【図 1 4】



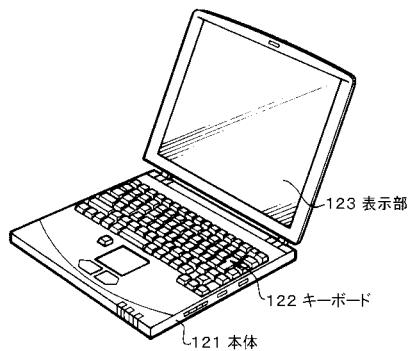
【図 1 5】



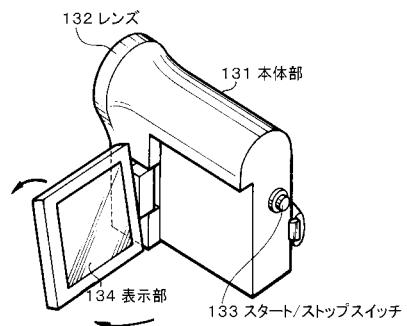
【図 1 6】



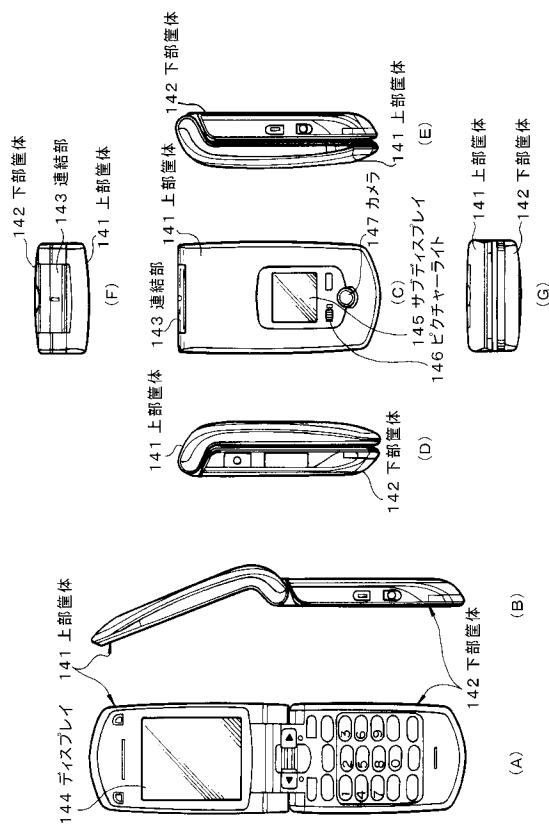
【図17】



【図18】



【図19】



---

フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 4 2 A  
G 0 9 G 3/20 6 7 0 K  
H 0 5 B 33/14 A  
H 0 5 B 33/08  
H 0 5 B 33/14 Z

F ターム(参考) 5C080 AA06 BB05 CC03 DD02 DD05 DD07 DD18 DD19 DD25 DD29  
EE19 EE25 EE29 FF03 FF11 HH09 JJ02 JJ03 JJ04 JJ05  
JJ06 KK02 KK04 KK07 KK43  
5C380 AA01 AA02 AA03 AB06 AB18 AB22 AB24 AB34 AB36 AB37  
AB45 AC07 AC08 AC09 AC11 AC12 BA12 BA13 BA31 BA32  
BA37 BA38 BA39 BB02 BB21 BD02 BE05 BE07 CA08 CA12  
CA53 CA54 CB01 CB02 CB12 CB14 CB20 CB27 CB31 CB33  
CC02 CC03 CC04 CC05 CC06 CC07 CC27 CC30 CC33 CC41  
CC62 CC77 CD022 CE04 CF07 CF22 CF23 CF31 CF32 CF33  
CF53 DA02 DA06 DA33 DA47 DA50 HA03 HA05

专利名称(译)	扫描电路，显示装置，显示装置的驱动方法和电子设备		
公开(公告)号	<a href="#">JP2012168359A</a>	公开(公告)日	2012-09-06
申请号	JP2011029476	申请日	2011-02-15
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	尾本 啓介		
发明人	尾本 啓介		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 H05B33/08 H05B33/14		
FI分类号	G09G3/30.J G09G3/20.622.E G09G3/20.624.B G09G3/20.641.D G09G3/20.611.H G09G3/20.642.A G09G3/20.670.K H05B33/14.A H05B33/08 H05B33/14.Z G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/AA05 3K107/BB01 3K107/CC43 3K107/CC45 3K107/EE03 3K107/HH00 3K107/ /HH04 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD02 5C080/DD05 5C080/DD07 5C080/DD18 5C080/DD19 5C080/DD25 5C080/DD29 5C080/EE19 5C080/EE25 5C080/EE29 5C080/FF03 5C080/ /FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK02 5C080/ /KK04 5C080/KK07 5C080/KK43 5C380/AA01 5C380/AA02 5C380/AA03 5C380/AB06 5C380/AB18 5C380/AB22 5C380/AB24 5C380/AB34 5C380/AB36 5C380/AB37 5C380/AB45 5C380/AC07 5C380/ /AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/BA12 5C380/BA13 5C380/BA31 5C380/BA32 5C380/BA37 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB21 5C380/BD02 5C380/BE05 5C380/ /BE07 5C380/CA08 5C380/CA12 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CB02 5C380/CB12 5C380/CB14 5C380/CB20 5C380/CB27 5C380/CB31 5C380/CB33 5C380/CC02 5C380/CC03 5C380/ /CC04 5C380/CC05 5C380/CC06 5C380/CC07 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC41 5C380/CC62 5C380/CC77 5C380/CD022 5C380/CE04 5C380/CF07 5C380/CF22 5C380/CF23 5C380/ /CF31 5C380/CF32 5C380/CF33 5C380/CF53 5C380/DA02 5C380/DA06 5C380/DA33 5C380/DA47 5C380/DA50 5C380/HA03 5C380/HA05		
代理人(译)	山本隆久 吉井正明 森浩一		
外部链接	<a href="#">Espacenet</a>		

### 摘要(译)

解决的问题：提供一种使用移位寄存器的扫描电路，使用该扫描电路的显示装置，该显示装置的驱动方法以及该显示装置，这使得能够减小像素阵列部分的外围电路的电路规模。提供了具有该电子设备的电子设备。在具有写入扫描电路40的有机EL显示装置中，基于从构成写入扫描电路40的移位寄存器41的一个移位级输出的移位信号，生成多个扫描信号。然后，通过采用通过多个扫描信号同时扫描多个像素信号的配置，减少了移位寄存器41的移位级数。[选择图]图9

