

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-146686

(P2012-146686A)

(43) 公開日 平成24年8月2日(2012. 8. 2)

(51) Int.Cl.	F I	テーマコード (参考)
H05B 33/12 (2006.01)	H05B 33/12 B	3K107
H01L 51/50 (2006.01)	H05B 33/14 A	
H05B 33/22 (2006.01)	H05B 33/22 Z	
H05B 33/26 (2006.01)	H05B 33/26 Z	

審査請求 有 請求項の数 2 O L (全 33 頁)

(21) 出願番号	特願2012-106564 (P2012-106564)	(71) 出願人	000153878
(22) 出願日	平成24年5月8日 (2012.5.8)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2011-223530 (P2011-223530) の分割	(72) 発明者	小沼 利光
原出願日	平成13年2月22日 (2001.2.22)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2000-45256 (P2000-45256)		半導体エネルギー研究所内
(32) 優先日	平成12年2月22日 (2000.2.22)	(72) 発明者	丸山 純矢
(33) 優先権主張国	日本国(JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		Fターム(参考)	3K107 AA01 BB01 BB06 BB08 CC26 CC29 CC33 CC45 DD16 DD39 DD89 DD90 EE03

(54) 【発明の名称】 E L表示装置

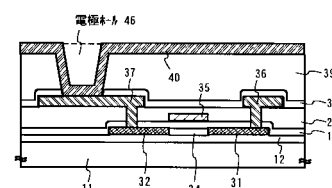
(57) 【要約】

【課題】電極ホール46における有機EL材料の成膜不良によるEL素子の発光不良を改善することを課題とする。

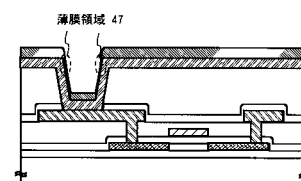
【解決手段】上記課題を達成するために、本発明では画素電極上の電極ホール46に絶縁体を埋め込み、保護部41bを形成させた後、有機EL材料を成膜することで、電極ホール46における成膜不良を防ぐことができる。これにより、EL素子の陰極、陽極間の短絡により電流集中が生じるのを防ぎ、EL層の発光不良を防ぐことができる。

【選択図】図1

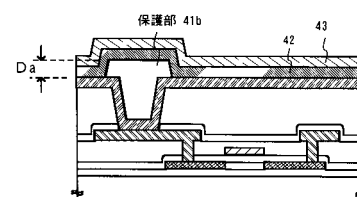
(A)



(B)



(C)



【特許請求の範囲】

【請求項 1】

プラスチック基板上に半導体層を有し、
前記半導体層上に第 1 の絶縁層を有し、
前記第 1 の絶縁層上に第 1 の電極を有し、
前記第 1 の電極上に第 2 の絶縁層を有し、
前記第 2 の絶縁層上に第 1 の配線を有し、
前記第 2 の絶縁層上に第 2 の配線を有し、
前記第 1 の配線上及び前記第 2 の配線上に第 3 の絶縁層を有し、
前記第 3 の絶縁層にコンタクトホールを有し、 10
前記コンタクトホール内及び前記第 3 の絶縁層上に第 2 の電極を有し、
前記第 2 の電極上に絶縁体を有し、
前記第 2 の電極上及び前記絶縁体上に E L 層を有し、
前記 E L 層上に第 3 の電極を有し、
前記半導体層は、ソース領域と、ドレイン領域と、チャネル形成領域と、を有し、
前記第 1 の電極は、前記チャネル形成領域と重なる領域を有し、
前記第 1 の配線は、前記ソース領域又は前記ドレイン領域の一方に電氣的に接続されて
おり、
前記第 2 の配線は、前記ソース領域又は前記ドレイン領域の他方に電氣的に接続されて
おり、 20
前記第 2 の電極は、前記第 1 の配線と電氣的に接続されており、
前記第 2 の電極は、前記コンタクトホール内に前記第 2 の電極を設けることにより生じ
た凹部を有し、
前記絶縁体は、前記凹部全体に充填されており、
前記絶縁体は、前記第 2 の電極表面よりも盛り上がった部分を有し、
前記絶縁体は、平坦な上面を有することを特徴とする E L 表示装置。

【請求項 2】

プラスチック基板上に半導体層を有し、
前記半導体層上に第 1 の絶縁層を有し、
前記第 1 の絶縁層上に第 1 の電極を有し、 30
前記第 1 の電極上に第 2 の絶縁層を有し、
前記第 2 の絶縁層上に第 1 の配線を有し、
前記第 2 の絶縁層上に第 2 の配線を有し、
前記第 1 の配線上及び前記第 2 の配線上に第 3 の絶縁層を有し、
前記第 3 の絶縁層にコンタクトホールを有し、
前記コンタクトホール内及び前記第 3 の絶縁層上に第 2 の電極を有し、
前記第 2 の電極上に絶縁体を有し、
前記第 2 の電極上及び前記絶縁体上に E L 層を有し、
前記 E L 層上に第 3 の電極を有し、
前記半導体層は、ソース領域と、ドレイン領域と、チャネル形成領域と、を有し、 40
前記第 1 の電極は、第 1 の領域と、第 2 の領域と、を有し、
前記第 2 の配線は、前記第 1 の領域と重なる領域を有し、
前記チャネル形成領域は、前記第 2 の領域と重なる領域を有し、
前記第 1 の配線は、前記ソース領域又は前記ドレイン領域の一方に電氣的に接続されて
おり、
前記第 2 の配線は、前記ソース領域又は前記ドレイン領域の他方に電氣的に接続されて
おり、
前記第 2 の電極は、前記第 1 の配線と電氣的に接続されており、
前記第 2 の電極は、前記コンタクトホール内に前記第 2 の電極を設けることにより生じ
た凹部を有し、 50

前記絶縁体は、前記凹部全体に充填されており、
前記絶縁体は、前記第2の電極表面よりも盛り上がった部分を有し、
前記絶縁体は、平坦な上面を有することを特徴とするEL表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、自発光装置（EL表示装置ともいう）に関する。特に陽極、陰極及びそれらの間にEL（Electro Luminescence）が得られる発光性有機材料（以下、有機EL材料という）を挟んだ構造からなるEL素子を絶縁体上に形成した自発光装置及びその自発光装置を表示部（表示ディスプレイまたは表示モニター）として有する電気器具の作製方法に関する。

10

【背景技術】

【0002】

近年、発光性有機材料のEL現象を利用した自発光素子としてEL素子を用いた表示装置（EL表示装置）の開発が進んでいる。EL表示装置は自発光型であるため、液晶表示装置のようなバックライトが不要であり、さらに視野角が広いことから電気器具の表示部として有望視されている。

【0003】

EL表示装置にはパッシブ型（単純マトリクス型）とアクティブ型（アクティブマトリクス型）の二種類があり、どちらも盛んに開発が行われている。特に現在はアクティブマトリクス型EL表示装置が注目されている。また、EL素子の中心とも言えるEL層となる有機EL材料は、低分子系有機EL材料と高分子系（ポリマー系）有機EL材料とが研究されており、低分子系有機EL材料は蒸着法等で形成され、高分子系有機EL材料は、スピナーを用いた塗布方式により形成されている。

20

【0004】

低分子系有機EL材料と高分子系（ポリマー系）有機EL材料のいずれの場合に於いても成膜する面が平坦化されていないとEL材料を均一な膜厚に成膜することができないという問題が生じる。

【0005】

さらに、EL層の膜厚が均一でなく、段差部分でEL層が一部成膜されていない場合には、陰極、EL層、陽極からなるEL素子を形成した際に、陰極と陽極間が電氣的に短絡してしまう。

30

【0006】

陰極と陽極の間で短絡が生じた場合には、陰極と陽極の間で電流が集中して流れてしまい、EL層を介する電流がほとんど流れなくなる。これにより、EL層が発光しなくなる。

【発明の概要】

【発明が解決しようとする課題】

【0007】

本発明は上記問題点を鑑みてなされたものであり、EL素子における構造を改良しEL表示装置を作製する方法を提供することを課題とする。さらに、このようなEL表示装置を表示部として有する電気器具を提供することを課題とする。

40

【課題を解決するための手段】

【0008】

上記課題を達成するために、本発明ではEL層を形成する有機EL材料を成膜する際に成膜面の凹凸部を平坦化するように絶縁体を埋め込みEL素子における陰極と陽極間の短絡を防ぐ構造にする。ここで本発明におけるEL表示装置の画素部の断面構造を図1に示す。

【0009】

図1（A）に示されるのは、画素電極40に電氣的に接続されたスイッチング素子（具

50

体的には、薄膜トランジスタ（TF T：thin film transistor）であり、本明細書中では、電流制御用TF Tと呼ぶ。電流制御用TF Tは、基板11上に下地膜12が形成された後、ソース領域31、ドレイン領域32及びチャネル形成領域34を含む活性層、ゲート絶縁膜18、ゲート電極35、第1層間絶縁膜20、ソース配線36並びにドレイン配線37を有して形成される。なお、ゲート電極35はシングルゲート構造となっているが、マルチゲート構造であっても良い。

【0010】

次に、38は第1パッシベーション膜であり、膜厚は10nm～1μm（好ましくは200～500nm）とすれば良い。材料としては、珪素を含む絶縁膜（特に窒化酸化珪素膜又は窒化珪素膜が好ましい）を用いることができる。

10

【0011】

第1パッシベーション膜38の上には、各TF Tを覆うような形で第2層間絶縁膜（平坦化膜と言っても良い）39を形成し、TF Tによってできる段差の平坦化を行う。第2層間絶縁膜39としては、有機樹脂膜が好ましく、ポリイミド、ポリアミド、アクリル樹脂及びシロキサン的高分子化合物を含む樹脂といった材料を用いると良い。勿論、十分な平坦化が可能であれば、無機膜を用いても良い。

【0012】

第2層間絶縁膜39によってTF Tによる段差を平坦化することは非常に重要である。後に形成されるEL層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、EL層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

20

【0013】

また、40は透明導電膜からなる画素電極（EL素子の陽極に相当する）であり、第2層間絶縁膜39及び第1パッシベーション膜38にコンタクトホール（開孔）を開けた後、形成された開孔部において電流制御用TF Tのドレイン配線37に接続されるように形成される。

【0014】

本願発明では、画素電極として酸化インジウムと酸化スズの化合物からなる導電膜を用いる。また、これに少量のガリウムを添加しても良い。さらに酸化インジウムと酸化亜鉛との化合物や酸化亜鉛と酸化ガリウムの化合物を用いることもできる。

30

【0015】

なお、コンタクトホール上に画素電極を形成した後に生じる凹部を本明細書中では、電極ホールと呼ぶことにする。画素電極を形成したら、EL層を形成するためにEL材料が成膜されるが、このとき電極ホール46において図1（B）に示すように薄膜領域47のEL層の膜厚が薄くなる。膜厚が薄くなる程度は、電極ホールのテーパ角にもよるが、成膜面のうち成膜方向に対して垂直でない部分は、成膜されにくく膜厚が薄くなる傾向がある。

【0016】

しかし、ここで成膜されるEL層が薄くなり、なおかつ断絶された部分が生じた際には、EL素子中の陰極と陽極が短絡して、この短絡部分に電流が集中して流れてしまう。これによりEL層に電流が流れなくなってしまうのでEL素子が発光しなくなる。

40

【0017】

そこでEL素子中の陰極と陽極の短絡を防ぐために、画素電極上に電極ホール46を充分に埋めこむように有機樹脂膜を成膜し、これをパターンングすることで保護部41bを形成させる。つまり、保護部41bは電極ホールを埋め込むように形成される。なお、画素電極間の隙間にも有機樹脂膜を用いてこれを埋め込むように保護部（図示せず）を形成させても良い。

【0018】

有機樹脂膜は、スピンコート法により成膜し、レジストマスクを用いて露光した後、エッチングを行うことにより図1（C）に示すような保護部41bを形成させる。

50

【 0 0 1 9 】

なお、保護部 4 1 b は、断面から見て画素電極よりも盛り上がっている部分（図 1（C）の Da に示す部分）の厚さが $0.1 \sim 1 \mu\text{m}$ 、好ましくは $0.1 \sim 0.5 \mu\text{m}$ 、さらに好ましくは $0.1 \sim 0.3 \mu\text{m}$ となるのがよい。

【 0 0 2 0 】

また、保護部 4 1 b には、有機樹脂が好ましく、ポリイミド、ポリアミド、アクリル樹脂およびシロキサン的高分子化合物を含む樹脂といった材料を用いると良い。さらに、これらの有機樹脂を用いる際には、粘度を $10^{-3} \text{Pa} \cdot \text{s} \sim 10^{-1} \text{Pa} \cdot \text{s}$ とするとよい。

【 0 0 2 1 】

保護部 4 1 b が形成された後、図 1（C）に示すように EL 層 4 2 が形成され、さらに陰極 4 3 が形成される。なお、EL 層 4 2 を形成する EL 材料としては、低分子系有機 EL 材料であっても高分子系有機 EL 材料であっても良い。

10

【 0 0 2 2 】

以上のようにして図 1（C）に示す様な構造とすることで、電極ホール 4 6 の段差部分で、EL 層 4 2 が切断された際に生じる画素電極 4 0 と陰極 4 3 間での短絡の問題を解決することができる。

【 発明の効果 】

【 0 0 2 3 】

本発明を実施することで、有機 EL 材料を成膜する際に生じる電極ホールの成膜不良を改善することができる。また、本発明においては、様々な方法及び形状で電極ホールを保護部で埋め込む方法を示しているので、条件や用途に応じて成膜する事が可能であり、陰極と陽極の間の短絡による EL 層の発光不良を防ぐことができる。

20

【 図面の簡単な説明 】

【 0 0 2 4 】

【図 1】画素部の断面構造を示す図。

【図 2】画素部の断面構造を示す図。

【図 3】画素部の上面構造及び構成を示す図。

【図 4】画素部の断面構造を示す図。

【図 5】画素部の断面構造を示す図。

【図 6】EL 表示装置の作製工程を示す図。

30

【図 7】EL 表示装置の作製工程を示す図。

【図 8】EL 表示装置の作製工程を示す図。

【図 9】サンプリング回路の素子構造を示す図。

【図 10】EL 表示装置の外観を示す図。

【図 11】EL 表示装置の回路ブロック構成を示す図。

【図 12】アクティブマトリクス型の EL 表示装置の断面構造を示す図。

【図 13】画素部の断面構造を示す図。

【図 14】パッシブ型の EL 表示装置の断面構造を示す図。

【図 15】電気器具の具体例を示す図。

【図 16】電気器具の具体例を示す図。

40

【 発明を実施するための形態 】

【 0 0 2 5 】

本発明の実施の形態について、図 2、図 3 を用いて説明する。図 2 に示したのは本発明である EL 表示装置の画素部の断面図であり、図 3（A）はその上面図、図 3（B）はその回路構成である。実際には画素がマトリクス状に複数配列されて画素部（画像表示部）が形成される。なお、図 3（A）を A - A' で切断した断面図が図 2 に相当する。従って図 2 及び図 3 で共通の符号を用いているので、適宜両図面を参照すると良い。また、図 3 の上面図では二つの画素を図示しているが、どちらも同じ構造である。

【 0 0 2 6 】

図 2 において、1 1 は基板、1 2 は下地となる絶縁膜（以下、下地膜という）

50

である。基板 11 としてはガラス、ガラスセラミックス、石英、シリコン、セラミックス、金属若しくはプラスチックからなる基板を用いることができる。

【0027】

また、下地膜 12 は特に可動イオンを含む基板や導電性を有する基板を用いる場合に有効であるが、石英基板には設けなくても構わない。下地膜 12 としては、珪素（シリコン）を含む絶縁膜を用いれば良い。なお、本明細書において「珪素を含む絶縁膜」とは、具体的には酸化珪素膜、窒化珪素膜若しくは窒化酸化珪素膜（ SiO_xN_y で示される）など珪素、酸素若しくは窒素を所定の割合で含む絶縁膜を指す。

【0028】

また、下地膜 12 に放熱効果を持たせることにより TFT の発熱を発散させることは TFT の劣化又は EL 素子の劣化を防ぐためにも有効である。放熱効果を持たせるには公知のあらゆる材料を用いることができる。

【0029】

ここでは画素内に二つの TFT を形成している。201 はスイッチング用 TFT であり、n チャネル型 TFT で形成され、202 は電流制御用 TFT であり、p チャネル型 TFT で形成されている。

【0030】

ただし、本発明において、スイッチング用 TFT を n チャネル型 TFT、電流制御用 TFT を p チャネル型 TFT に限定する必要はなく、スイッチング用 TFT を p チャネル型 TFT、電流制御用 TFT を n チャネル型 TFT にしたり、両方とも n チャネル型又 p チャネル型 TFT を用いることも可能である。

【0031】

スイッチング用 TFT 201 は、ソース領域 13、ドレイン領域 14、LDD 領域 15a~15d、高濃度不純物領域 16 及びチャネル形成領域 17a、17b を含む活性層、ゲート絶縁膜 18、ゲート電極 19a、19b、第 1 層間絶縁膜 20、ソース配線 21 並びにドレイン配線 22 を有して形成される。

【0032】

また、図 3 に示すように、ゲート電極 19a、19b は別の材料（ゲート電極 19a、19b よりも低抵抗な材料）で形成されたゲート配線 211 によって電氣的に接続されたダブルゲート構造となっている。勿論、ダブルゲート構造だけでなく、シングルゲートもしくはトリプルゲート構造といったいわゆるマルチゲート構造（直列に接続された二つ以上のチャネル形成領域を有する活性層を含む構造）であっても良い。マルチゲート構造はオフ電流値を低減する上で極めて有効であり、本発明では画素のスイッチング素子 201 をマルチゲート構造とすることによりオフ電流値の低いスイッチング素子を実現している。

【0033】

また、活性層は結晶構造を含む半導体膜で形成される。即ち、単結晶半導体膜でも良いし、多結晶半導体膜や微結晶半導体膜でも良い。また、ゲート絶縁膜 18 は珪素を含む絶縁膜で形成すれば良い。また、ゲート電極、ソース配線若しくはドレイン配線としてはあらゆる導電膜を用いることができる。

【0034】

さらに、スイッチング用 TFT 201 においては、LDD 領域 15a~15d は、ゲート絶縁膜 18 を挟んでゲート電極 19a、19b と重ならないように設ける。このような構造はオフ電流値を低減する上で非常に効果的である。

【0035】

なお、チャネル形成領域と LDD 領域との間にオフセット領域（チャネル形成領域と同一組成の半導体層からなり、ゲート電圧が印加されない領域）を設けることはオフ電流値を下げる上でさらに好ましい。また、二つ以上のゲート電極を有するマルチゲート構造の場合、チャネル形成領域の間に設けられた高濃度不純物領域がオフ電流値の低減に効果的である。

【0036】

10

20

30

40

50

次に、電流制御用TF T 2 0 2は、ソース領域3 1、ドレイン領域3 2及びチャネル形成領域3 4を含む活性層、ゲート絶縁膜1 8、ゲート電極3 5、第1層間絶縁膜2 0、ソース配線3 6並びにドレイン配線3 7を有して形成される。なお、ゲート電極3 5はシングルゲート構造となっているが、マルチゲート構造であっても良い。

【0037】

図2に示すように、スイッチング用TF Tのドレインは電流制御用TF T 2 0 2のゲートに接続されている。具体的には電流制御用TF T 2 0 2のゲート電極3 5はスイッチング用TF T 2 0 1のドレイン領域1 4とドレイン配線(接続配線とも言える)2 2を介して電氣的に接続されている。また、ソース配線3 6は電源供給線2 1 2に接続される。

【0038】

電流制御用TF T 2 0 2はEL素子2 0 3に注入される電流量を制御するための素子であるが、EL素子の劣化を考慮するとあまり多くの電流を流すことは好ましくない。そのため、電流制御用TF T 2 0 2に過剰な電流が流れないように、チャネル長(L)は長めに設計することが好ましい。望ましくは一画素あたり0.5~2 μ A(好ましくは1~1.5 μ A)となるようにする。

【0039】

また、スイッチング用TF T 2 0 1に形成されるLDD領域の長さ(幅)は0.5~3.5 μ m、代表的には2.0~2.5 μ mとすれば良い。

【0040】

また、図3に示すように電流制御用TF T 2 0 2のゲート電極3 5となる配線3 6は50で示される領域でゲート絶縁膜を介して活性層と同時に形成された半導体膜5 1と重なる。このとき50で示される領域ではコンデンサが形成され、電流制御用TF T 2 0 2のゲート電極3 5にかかる電圧を保持するための保持容量50として機能する。さらに保持容量50はゲート電極となる配線3 6、第1層間絶縁膜(図示せず)及び電源供給線2 1 2で形成される容量も形成している。なお、電流制御用TF Tのドレインは、電源供給線2 1 2に接続され、常に一定の電圧が加えられている。

【0041】

また、流しうる電流量を多くするという観点から見れば、電流制御用TF T 2 0 2の活性層(特にチャネル形成領域)の膜厚を厚くする(好ましくは50~100 nm、さらに好ましくは60~80 nm)ことも有効である。逆に、スイッチング用TF T 2 0 1の場合はオフ電流値を小さくするという観点から見れば、活性層(特にチャネル形成領域)の膜厚を薄くする(好ましくは20~50 nm、さらに好ましくは25~40 nm)ことも有効である。

【0042】

次に、38は第1パッシベーション膜であり、膜厚は10 nm~1 μ m(好ましくは200~500 nm)とすれば良い。材料としては、珪素を含む絶縁膜(特に窒化酸化珪素膜又は窒化珪素膜が好ましい)を用いることができる。

【0043】

第1パッシベーション膜38の上には、各TF Tを覆うような形で第2層間絶縁膜(平坦化膜と言っても良い)39を形成し、TF Tによってできる段差の平坦化を行う。第2層間絶縁膜39としては、有機樹脂を材料とする有機樹脂膜が好ましく、アクリル樹脂、ポリイミド、ポリアミドおよびシロキサン的高分子化合物を含む樹脂といった材料を用いると良い。勿論、十分な平坦化が可能であれば、無機材料からなる膜を用いても良い。

【0044】

第2層間絶縁膜39によってTF Tによる段差を平坦化することは非常に重要である。後に形成されるEL層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、EL層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

【0045】

また、40は透明導電膜からなる画素電極(EL素子の陽極に相当する)であり、第2

10

20

30

40

50

層間絶縁膜 39 及び第 1 パッシベーション膜 38 にコンタクトホール（開孔）を開けた後、形成された開孔部において電流制御用 TFT 202 のドレイン配線 37 に接続されるように形成される。

【0046】

本実施形態では、画素電極として酸化インジウムと酸化スズの化合物からなる導電膜を用いる。また、これに少量のガリウムを添加しても良い。さらに酸化インジウムと酸化亜鉛との化合物を用いることもできる。

【0047】

次に、画素電極上の電極ホール 46 を埋め込むように画素電極上に有機樹脂を材料とする有機樹脂膜をスピンコート法で成膜する。なお、ここでは、有機樹脂膜としては、アクリル樹脂を用いている。

10

【0048】

また、画素電極上に有機樹脂を材料とする有機樹脂膜を形成させているが、絶縁膜となりうる絶縁体を用いても良い。なお、絶縁体としては、酸化珪素や窒化酸化珪素及び窒化珪素といった珪素を含む無機材料を用いても良い。

【0049】

アクリル樹脂を全面に成膜した後、レジストマスクを用いて露光し、エッチングを行うことにより図 2 に示す保護部 41a、41b を形成する。

【0050】

保護部 41b は、画素電極における電極ホールがアクリル樹脂で埋め込まれている部分をさす。また、保護部 41a は、画素電極の隙間に設けられている。画素電極の隙間とは、複数の画素電極が形成されている画素部において、画素電極が形成されていない部分、例えば、画素電極と画素電極の間の部分等をさす。これは、保護部を形成するためにエッチングを行う際に、画素電極間において、第二層間絶縁膜を形成する材料が保護部を形成する材料であると第二層間絶縁膜も同時にエッチングされてしまう可能性があるためである。

20

【0051】

なお、保護部 41a および 41b は、断面から見て画素電極よりも盛り上がっている部分の厚さが $0.1 \sim 1 \mu\text{m}$ 、好ましくは $0.1 \sim 0.5 \mu\text{m}$ 、さらに好ましくは $0.1 \sim 0.3 \mu\text{m}$ となるのがよい。

30

【0052】

また、保護部 41a 及び 41b には、有機樹脂としてアクリル樹脂を用いた場合を示したが、ポリイミド、ポリアミド、およびシクロテンのようにシロキサンの高分子化合物を含む樹脂を材料として用いても良い。さらに、これらの有機樹脂を用いる際には、粘度を $10^{-3} \text{Pa} \cdot \text{s} \sim 10^{-1} \text{Pa} \cdot \text{s}$ とするとよい。

【0053】

以上のようにして保護部 41b を設けて、電極ホールを有機樹脂で埋め込むことで、EL 層 42 が切断された際に生じる画素電極 40（陽極）と陰極 43 間での短絡の問題を解決することができる。

【0054】

40

保護部 41b の作製方法について、図 4 を用いて説明する。

図 4 (A) は、画素電極 40 上に有機樹脂膜を成膜した後パターンングにより保護部 41b を形成させたものである。Da は、有機樹脂膜の膜厚であるが、この膜厚が薄くなると図 4 (A) の保護部 41b のように上部に窪みが生じる。

【0055】

この窪みの度合いは、電極ホールのテーパ角及び有機樹脂膜の膜厚に依存するが、有機樹脂膜の膜厚が極端に薄くなると電極ホールを完全に埋め込むことができなくなり、保護部としての役割が果たせなくなることも考えられる。

【0056】

一方、有機樹脂膜の膜厚が厚くなると再び段差が生じてしまう。そこで、これを解決す

50

る方法として、図4(B)に示すように有機樹脂膜をD_bの膜厚で成膜した後、パターニングによって保護部41bを形成させ、さらに全面をエッチングして膜厚をD_aとする。これにより、図4(C)に示すように上部が平坦化され、かつ適度な膜厚の保護部41bを形成させることができる。

【0057】

しかし、図4(B)で示した方法を用いると保護部41bのパターニング後のエッチングの際に表面に露出している画素電極もエッチングの環境に曝されてしまう。そこで、この点を考慮した作製方法を図5を用いて示す。

【0058】

まず、図5(A)に示すように画素電極40上に有機樹脂膜を膜厚D_bで成膜する。これを全面エッチングにより膜厚D_aとする。さらにこれをパターニングすることにより保護部41bを形成させる。

【0059】

保護部41bに関しては、図4(A)に示すように有機樹脂を成膜した後、パターニングして形成させても良いし、図4(B)に示すようにパターニング後に全面エッチングを行い形成させても良い。さらに、図5(A)に示すように全面エッチングを行ってからパターニングを行い形成させても良い。

【0060】

図5に示すように保護部41bの外径R_bは、電極ホール46の内径R_aにたいしてR_b > R_aなる関係にある。なお、図4または図5を用いて説明した保護部41bは、図5(C)で示す構造になる。つまり、図5(C)の41bの実線は、保護部41bの外形に一致し、図5(C)の41bの破線は、電極ホール46の内径に一致している。

【0061】

次にEL層42が形成される。ここでは、高分子系有機EL材料を溶媒に溶解させたものをスピンコート法により成膜し、EL層を形成する方法を示す。なお、ここではEL層を形成する有機EL材料として、高分子系有機EL材料を用いる場合を例にとって説明するが、低分子系有機EL材料を用いることも可能である。

【0062】

代表的な高分子系有機EL材料としては、ポリパラフェニレンビニレン(PPV)系、ポリビニルカルバゾール(PVK)系、ポリフルオレン系などが挙げられる。

【0063】

なお、PPV系有機EL材料としては様々な型のものがあるが、例えば以下のような分子式が発表されている。

(「H. Shenk, H. Becker, O. Gelsen, E. Kluge, W. Kreuder, and H. Spreitzer, "Polymers for Light Emitting Diodes", Euro Display, Proceedings, 1999, p.33-37」)

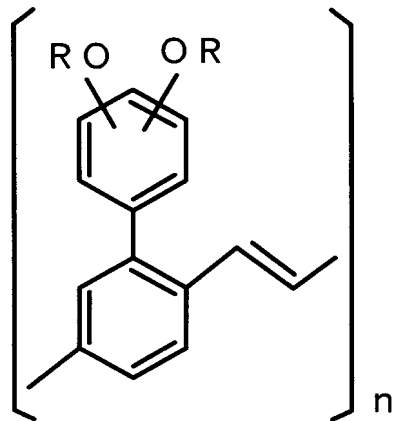
【0064】

10

20

30

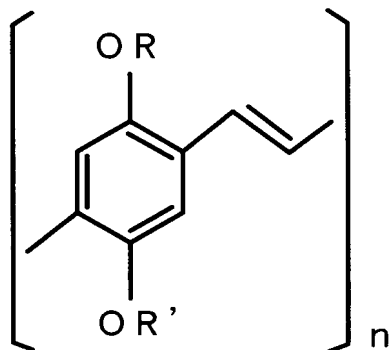
【化 1】



10

【 0 0 6 5 】

【化 2】



30

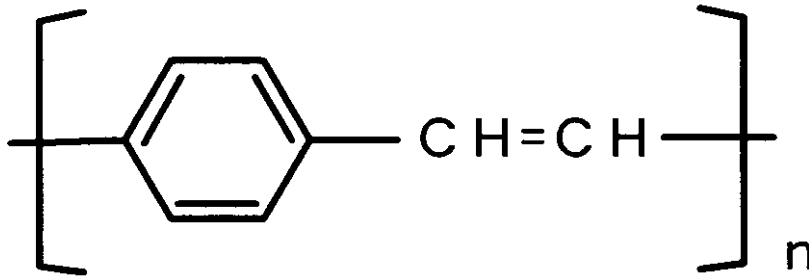
【 0 0 6 6 】

また、特開平 1 0 - 9 2 5 7 6 号公報に記載された分子式のポリフェニルビニルを用いることもできる。分子式は以下になる。

【 0 0 6 7 】

40

【化 3】

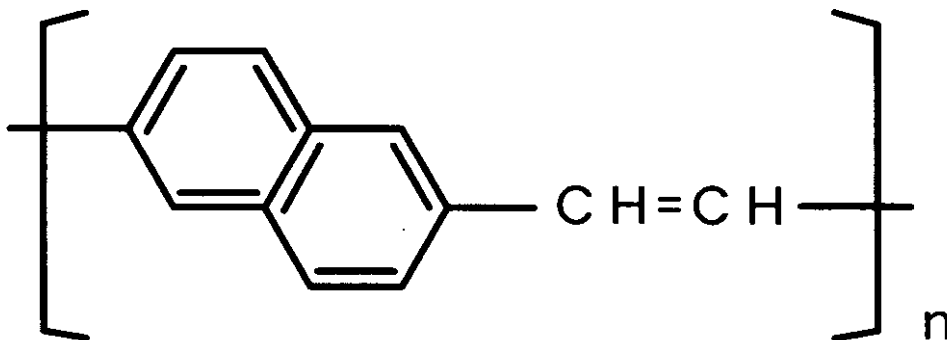


10

20

【 0 0 6 8 】

【化 4】



30

40

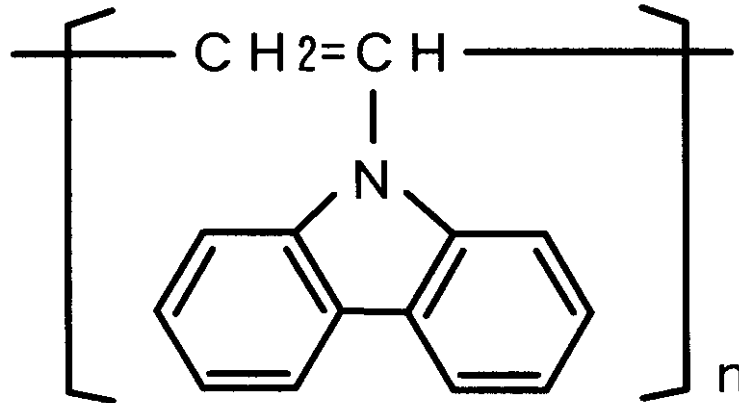
【 0 0 6 9 】

また、P V K 系有機 E L 材料としては以下のような分子式がある。

【 0 0 7 0 】

50

【化 5】



10

20

【 0 0 7 1 】

高分子系有機 E L 材料はポリマーの状態では溶媒に溶かして塗布することもできるし、モノマーの状態では溶媒に溶かして塗布した後に重合することもできる。モノマーの状態では塗布した場合、まずポリマー前駆体が形成され、真空中で加熱することにより重合してポリマーになる。

【 0 0 7 2 】

具体的な E L 層としては、赤色に発光する E L 層にはシアノポリフェニレンビニレン、緑色に発光する E L 層にはポリフェニレンビニレン、青色に発光する E L 層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は 30 ~ 150 nm (好ましくは 40 ~ 100 nm) とすれば良い。

30

【 0 0 7 3 】

但し、以上の例は本発明の E L 層として用いることのできる有機 E L 材料の一例であって、これに限定する必要はない。

【 0 0 7 4 】

また、有機 E L 材料を溶解させる代表的な溶媒としてはトルエン、キシレン、クロロベンゼン、ジクロロベンゼン、アニソール、クロロホルム、ジクロロメタン、γブチルラクトン、ブチルセルソルブ、シクロヘキサン、NMP (N - メチル - 2 - ピロリドン)、シクロヘキサノン、ジオキサンまたは、THF (テトラヒドロフラン) といった溶媒が挙げられる。

40

【 0 0 7 5 】

さらに、E L 層 42 を形成する際、E L 層は水分や酸素の存在によって容易に劣化してしまうため、処理雰囲気は水分や酸素の少ない雰囲気とし、窒素やアルゴンといった不活性ガス中で行うことが望ましい。さらに処理雰囲気としては、E L 材料を溶解させた溶媒の蒸発速度を制御できることから、用いた溶媒雰囲気にするのも良い。なお、これらを実施するためには、図 1 の薄膜形成装置を、不活性ガスを充填したクリーンブースに設置し、その雰囲気中で発光層の成膜工程を行うことが望ましい。

【 0 0 7 6 】

50

また、E L層を形成する方法として、ここで示した、スピンコーティング法の他にインクジェット法等を用いても良い。

【0077】

また、低分子系有機E L材料を用いてE L層を形成する場合には、蒸着法などを用いることも可能である。なお、低分子系有機E L材料としては、公知の材料を用いることができる。

【0078】

以上のようにしてE L層42を形成したら、次に遮光性導電膜からなる陰極43、保護電極44及び第2パッシベーション膜45が形成される。本実施形態では陰極43として、MgAgからなる導電膜を用い、保護電極44としてアルミニウムからなる導電膜を用いる。また、第2パッシベーション膜45としては、10nm~1μm(好ましくは200~500nm)の厚さの窒化珪素膜を用いる。

10

【0079】

なお、上述のようにE L層は熱に弱いので、陰極43及び第2パッシベーション膜45はなるべく低温(好ましくは室温から120℃までの温度範囲)で成膜するのが望ましい。従って、プラズマCVD法、真空蒸着法又は溶液塗布法(スピンコート法)が望ましい成膜方法と言える。

【0080】

ここまで完成したものをアクティブマトリクス基板とよび、アクティブマトリクス基板に対向して、対向基板(図示せず)が設けられる。本実施形態では対向基板としてガラス基板を用いる。なお、対向基板としては、プラスチックやセラミックスからなる基板を用いても良い。

20

【0081】

また、アクティブマトリクス基板と対向基板はシール剤(図示せず)によって接着され、密閉空間(図示せず)が形成される。本実施形態では、密閉空間をアルゴンガスで充填している。勿論、この密閉空間内に酸化バリウムといった乾燥剤を配置したり、酸化防止剤を配置することも可能である。

【0082】

さらに、対向基板のアクティブマトリクス基板側の面に、仕事関数が低く、酸化されやすい金属や、吸湿性の金属を成膜しておくことで酸素を捕捉する機能や吸湿機能を設けることができる。なお、対向基板上に感光性アクリル樹脂のような有機樹脂で凹凸を付けた後にこれらの金属を成膜すると、表面積を大きくすることができるので、より効果的である。

30

【実施例1】

【0083】

本発明の実施例における画素部とその周辺に設けられる駆動回路部のTFTを同時に作製する方法について図6~図8を用いて説明する。但し、説明を簡単にするために、駆動回路に関しては基本回路であるCMOS回路を図示することとする。

【0084】

まず、図6(A)に示すように、ガラス基板300上に下地膜301を300nmの厚さに形成する。本実施例では下地膜301として100nm厚の窒化酸化珪素膜と200nmの窒化酸化珪素膜とを積層して用いる。この時、ガラス基板300に接する方の窒素濃度を10~25wt%としておくことが良い。もちろん下地膜を設けずに石英基板上に直接素子を形成しても良い。

40

【0085】

次に下地膜301の上に50nmの厚さの非晶質珪素膜(図示せず)を公知の成膜法で形成する。なお、非晶質珪素膜に限定する必要はなく、非晶質構造を含む半導体膜(微結晶半導体膜を含む)であれば良い。さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜でも良い。また、膜厚は20~100nmの厚さであれば良い。

【0086】

50

そして、公知の技術により非晶質珪素膜を結晶化し、結晶質珪素膜（多結晶シリコン膜若しくはポリシリコン膜ともいう）302を形成する。公知の結晶化方法としては、電熱炉を使用した熱結晶化方法、レーザー光を用いたレーザーアニール結晶化法、赤外光を用いたランプアニール結晶化法がある。本実施例では、XeClガスを用いたエキシマレーザー光を用いて結晶化する。

【0087】

なお、本実施例では線状に加工したパルス発振型のエキシマレーザー光を用いるが、矩形であっても良いし、連続発振型のアルゴンレーザー光や連続発振型のエキシマレーザー光を用いることもできる。

【0088】

本実施例では結晶質珪素膜をTFETの活性層として用いるが、非晶質珪素膜を用いることも可能である。また、オフ電流を低減する必要のあるスイッチング用TFETの活性層を非晶質珪素膜で形成し、電流制御用TFETの活性層を結晶質珪素膜で形成することも可能である。非晶質珪素膜はキャリア移動度が低いため電流を流しにくくオフ電流が流れにくい。即ち、電流を流しにくい非晶質珪素膜と電流を流しやすい結晶質珪素膜の両者の利点を生かすことができる。

【0089】

次に、図6(B)に示すように、結晶質珪素膜302上に酸化珪素膜からなる保護膜303を130nmの厚さに形成する。この厚さは100~200nm（好ましくは130~170nm）の範囲で選べば良い。また、珪素を含む絶縁膜であれば他の膜でも良い。この保護膜303は不純物を添加する際に結晶質珪素膜が直接プラズマに曝されないようにするためと、微妙な濃度制御を可能にするために設ける。

【0090】

そして、その上にレジストマスク304a、304bを形成し、保護膜303を介してn型を付与する不純物元素（以下、n型不純物元素という）を添加する。

なお、n型不純物元素としては、代表的には15族に属する元素、典型的にはリン又は砒素を用いることができる。なお、本実施例ではホスフィン（PH₃）を質量分離しないでプラズマ励起したプラズマ（イオン）ドーピング法を用い、リンを $1 \times 10^{18} \text{atoms/cm}^3$ の濃度で添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。

【0091】

この工程により形成されるn型不純物領域305には、n型不純物元素が $2 \times 10^{16} \sim 5 \times 10^{19} \text{atoms/cm}^3$ （代表的には $5 \times 10^{17} \sim 5 \times 10^{18} \text{atoms/cm}^3$ ）の濃度で含まれるようにドーズ量を調節する。

【0092】

次に、図6(C)に示すように、保護膜303およびレジスト304a、304bを除去し、添加した15族に属する元素の活性化を行う。活性化手段は公知の技術を用いれば良いが、本実施例ではエキシマレーザー光の照射により活性化する。勿論、パルス発振型でも連続発振型でも良いし、エキシマレーザー光に限定する必要はない。但し、添加された不純物元素の活性化が目的であるので、結晶質珪素膜が溶融しない程度のエネルギーで照射することが好ましい。なお、保護膜303をつけたままレーザー光を照射しても良い。

【0093】

なお、このレーザー光による不純物元素の活性化に際して、熱処理による活性化を併用しても構わない。熱処理による活性化を行う場合は、基板の耐熱性を考慮して450~550程度の熱処理を行えば良い。

【0094】

この工程によりn型不純物領域305の端部、即ち、n型不純物領域305、の周囲に存在するn型不純物元素を添加していない領域との境界部（接合部）が明確になる。このことは、後にTFETが完成した時点において、LDD領域とチャネル形成領域とが非常に

10

20

30

40

50

良好な接合部を形成しうることを意味する。

【0095】

次に、図6(D)に示すように、結晶質珪素膜の不要な部分を除去して、島状の半導体膜(以下、活性層という)306~309を形成する。

【0096】

次に、図6(E)に示すように、活性層306~309を覆ってゲート絶縁膜310を形成する。ゲート絶縁膜310としては、10~200nm、好ましくは50~150nmの厚さの珪素を含む絶縁膜を用いれば良い。これは単層構造でも積層構造でも良い。本実施例では110nm厚の窒化酸化珪素膜を用いる。

【0097】

次に、200~400nm厚の導電膜を形成し、パターンングしてゲート電極311~315を形成する。このゲート電極311~315の端部をテーパ状にすることもできる。なお、本実施例ではゲート電極と、ゲート電極に電氣的に接続された引き回しのための配線(以下、ゲート配線という)とを別の材料で形成する。具体的にはゲート電極よりも低抵抗な材料をゲート配線として用いる。

これは、ゲート電極としては微細加工が可能な材料を用い、ゲート配線には微細加工はできなくとも配線抵抗が小さい材料を用いるためである。勿論、ゲート電極とゲート配線とを同一材料で形成しても構わない。

【0098】

また、ゲート電極は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。ゲート電極の材料としては公知のあらゆる導電膜を用いることができる。ただし、上述のように微細加工が可能、具体的には2μm以下の線幅にパターンング可能な材料が好ましい。

【0099】

代表的には、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)、クロム(Cr)、シリコン(Si)から選ばれた元素からなる膜、または前記元素の窒化物膜(代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜)、または前記元素を組み合わせた合金膜(代表的にはMo-W合金、Mo-Ta合金)、または前記元素のシリサイド膜(代表的にはタングステンシリサイド膜、チタンシリサイド膜)を用いることができる。勿論、単層で用いても積層して用いても良い。

【0100】

本実施例では、50nm厚の窒化タンタル(TaN)膜と、350nm厚のタンタル(Ta)膜とからなる積層膜を用いる。これはスパッタ法で形成すれば良い。また、スパッタガスとしてXe、Ne等の不活性ガスを添加すると応力による膜はがれを防止することができる。

【0101】

またこの時、ゲート電極312はn型不純物領域305の一部とゲート絶縁膜310を挟んで重なるように形成する。この重なった部分が後にゲート電極と重なったLDD領域となる。なお、ゲート電極313, 314は、断面では、二つに見えるが実際には電氣的に接続されている。

【0102】

次に、図7(A)に示すように、ゲート電極311~315をマスクとして自己整合的にn型不純物元素(本実施例ではリン)を添加する。こうして形成される不純物領域316~323にはn型不純物領域305の1/2~1/10(代表的には1/3~1/4)の濃度でリンが添加されるように調節する。具体的には、 $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ (典型的には $3 \times 10^{17} \sim 3 \times 10^{18} \text{ atoms/cm}^3$)の濃度が好ましい。

【0103】

次に、図7(B)に示すように、ゲート電極等を覆う形でレジストマスク324a~324dを形成し、n型不純物元素(本実施例ではリン)を添加して高濃度にリンを含む不純物領域325~329を形成する。ここでもホスフィン(PH₃)を用いたイオンドー

10

20

30

40

50

ブ法で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21} \text{atoms/cm}^3$ (代表的には $2 \times 10^{20} \sim 5 \times 10^{21} \text{atoms/cm}^3$) となるように調節する。

【0104】

この工程によってnチャネル型TFETのソース領域及びド레인領域が形成されるが、スイッチング用TFETでは、図7(A)の工程で形成したn型不純物領域319~321の一部を残す。この残された領域が、図2におけるスイッチング用TFET201のLDD領域15a~15dに対応する。

【0105】

次に、図7(C)に示すように、レジストマスク324a~324dを除去し、新たにレジストマスク332を形成する。そして、p型不純物元素(本実施例ではボロン)を添加し、高濃度にボロンを含む不純物領域333~336を形成する。ここではジボラン(B_2H_6)を用いたイオンドープ法により $3 \times 10^{20} \sim 3 \times 10^{21} \text{atoms/cm}^3$ (代表的には $5 \times 10^{20} \sim 1 \times 10^{21} \text{atoms/cm}^3$ ノ)濃度となるようにボロンを添加する。

【0106】

なお、不純物領域333~336には既に $1 \times 10^{20} \sim 1 \times 10^{21} \text{atoms/cm}^3$ の濃度でリンが添加されているが、ここで添加されるボロンはその少なくとも3倍以上の濃度で添加される。そのため、予め形成されていたn型の不純物領域は完全にp型に反転し、p型の不純物領域として機能する。

【0107】

次に、レジストマスク332を除去した後、それぞれの濃度で添加されたn型またはp型不純物元素を活性化する。活性化手段としては、ファーンেসアニール法、レーザーアニール法、及びランプアニール法で行うことができる。本実施例では電熱炉において窒素雰囲気中、550、4時間の熱処理を行う。

【0108】

このとき雰囲気中の酸素を極力排除することが重要である。なぜならば酸素が少しでも存在していると露呈したゲート電極の表面が酸化され、抵抗の増加を招くと共に後にオーミックコンタクトを取りにくくなるからである。従って、上記活性化工程における処理雰囲気中の酸素濃度は1ppm以下、好ましくは0.1ppm以下とすることが望ましい。

【0109】

次に、活性化工程が終了したら図7(D)に示すように300nm厚のゲート配線337を形成する。ゲート配線337の材料としては、アルミニウム(Al)又は銅(Cu)を主成分(組成として50~100%を占める。)とする金属を用いれば良い。配置としては図3のようにゲート配線211とスイッチング用TFETのゲート電極19a、19b(図6(E)の313、314)が電氣的に接続するように形成する。

【0110】

このような構造とすることでゲート配線の配線抵抗を非常に小さくすることができるため、面積の大きい画像表示領域(画素部)を形成することができる。即ち、画面の大きさが対角10インチ以上(さらには30インチ以上)のEL表示装置を実現する上で、本実施例の画素構造は極めて有効である。

【0111】

次に、図8(A)に示すように、第1層間絶縁膜338を形成する。第1層間絶縁膜338としては、珪素を含む絶縁膜を単層で用いるか、2種類以上の珪素を含む絶縁膜を組み合わせた積層膜を用いれば良い。また、膜厚は400nm~1.5μmとすれば良い。本実施例では、200nm厚の窒化酸化珪素膜の上に800nm厚の酸化珪素膜を積層した構造とする。

【0112】

さらに、3~100%の水素を含む雰囲気中で、300~450で1~12時間の熱処理を行い、水素化処理をする。この工程は熱的に励起された水素により半導体膜の不對結合手を水素終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマ化して生成された水素を用いる)を行っても良い。

10

20

30

40

50

【0113】

なお、水素化処理は第1層間絶縁膜338を形成する間に入れても良い。即ち、200nm厚の窒化酸化珪素膜を形成した後で上記のように水素化処理を行い、その後で残り800nm厚の酸化珪素膜を形成してもよい。

【0114】

次に、第1層間絶縁膜338及びゲート絶縁膜310に対してコンタクトホールを形成し、ソース配線339～342と、ドレイン配線343～345を形成する。なお、本実施例ではこれらの電極を、Ti膜を100nm、Tiを含むアルミニウム膜を300nm、Ti膜150nmをスパッタ法で連続形成した3層構造の積層膜とする。勿論、他の導電膜でも良い。

10

【0115】

次に、50～500nm（代表的には200～300nm）の厚さで第1パッシベーション膜346を形成する。本実施例では第1パッシベーション膜346として300nm厚の窒化酸化珪素膜を用いる。これは窒化珪素膜で代用しても良い。

【0116】

なお、窒化酸化珪素膜の形成に先立ってH₂、NH₃等水素を含むガスを用いてプラズマ処理を行うことは有効である。この前処理により励起された水素が第1層間絶縁膜338に供給され、熱処理を行うことで、第1パッシベーション膜346の膜質が改善される。それと同時に、第1層間絶縁膜338に添加された水素が下層側に拡散するため、効果的に活性層を水素化することができる。

20

【0117】

次に、図8（B）に示すように有機樹脂からなる第2層間絶縁膜347を形成する。有機樹脂としてはポリイミド、ポリアミド、アクリル樹脂、シロキサンの高分子化合物を材料として使用することができる。特に、第2層間絶縁膜347は平坦化の意味合いが強いので、平坦性に優れたアクリル樹脂が好ましい。本実施例ではTFEによって形成される段差を十分に平坦化しうる膜厚でアクリル樹脂膜を形成する。好ましくは1～5μm（さらに好ましくは2～4μm）とすれば良い。

【0118】

次に、第2層間絶縁膜347及び第1パッシベーション膜346に対してコンタクトホールを形成し、ドレイン配線345と電氣的に接続される画素電極348を形成する。本実施例では酸化インジウム・スズ（ITO）膜を110nmの厚さに形成し、パターニングを行って画素電極とする。また、酸化インジウムに2～20%の酸化亜鉛（ZnO）を混合した透明導電膜を用いても良い。この画素電極がEL素子の陽極となる。

30

【0119】

次に、図8（C）に示すように、有機樹脂からなる保護部349a及び349bを形成する。保護部349a及び349bは1～2μm厚のアクリル樹脂膜やポリイミド膜といった樹脂膜をパターニングして形成すれば良い。この保護部349a及び349bは図3に示したように、画素電極と画素電極との隙間及び電極ホールに形成される。

【0120】

次に、EL層350を形成する。具体的には、EL層350となる有機EL材料をクロロフォルム、ジクロロメタン、キシレン、トルエン、テトラヒドロフラン、N-メチルピロリドンといった溶媒に溶かしてスピンコーティング法で塗布し、その後、熱処理を行うことにより溶媒を揮発させる。こうして有機EL材料からなる被膜（EL層）が形成される。

40

【0121】

本実施例では、EL材料を80nmの厚さに成膜した後、80～150℃のホットプレートで1～5分の熱処理を行って揮発させる。

【0122】

なお、EL材料としては公知の材料を用いることができる。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。なお、本実施例ではEL層350は単

50

層構造とするが、必要に応じて電子注入層、電子輸送層、正孔輸送層、正孔注入層、電子阻止層もしくは正孔素子層を設けて積層構造としても良い。また、本実施例ではE L素子の陰極351としてMgAg電極を用いた例を示すが、公知の他の材料であっても良い。

【0123】

E L層350を形成した後、陰極(MgAg電極)351を真空蒸着法で形成する。なお、E L層350の膜厚は80~200nm(典型的には100~120nm)、陰極351の厚さは180~300nm(典型的には200~250nm)とすれば良い。

【0124】

さらに、陰極351上には、保護電極352を設ける。保護電極352としてはアルミニウムを主成分とする導電膜を用いれば良い。保護電極352は、マスクを用いて真空蒸着法で形成すれば良い。

10

【0125】

最後に、窒化珪素膜からなる第2パッシベーション膜353を300nmの厚さに形成する。実際には保護電極352がE L層を水分等から保護する役割を果たすが、さらに第2パッシベーション膜353を形成しておくことで、E L素子の信頼性をさらに高めることができる。

【0126】

本実施例の場合、図8(C)に示すように、nチャネル型205の活性層は、ソース領域355、ドレイン領域356、LDD領域357及びチャネル形成領域358を含み、LDD領域357はゲート絶縁膜310を挟んでゲート電極312と重なっている。

20

【0127】

ドレイン領域側のみにLDD領域を形成しているのは、動作速度を落とさないための配慮である。また、このnチャネル型TFT205はオフ電流値をあまり気にする必要はなく、それよりも動作速度を重視した方が良い。従って、LDD領域357は完全にゲート電極に重なってしまい、極力抵抗成分を少なくすることが望ましい。即ち、いわゆるオフセットはなくした方がよい。

【0128】

こうして図8(C)に示すような構造のアクティブマトリクス基板が完成する。

【0129】

ところで、本実施例のアクティブマトリクス基板は、画素部だけでなく駆動回路部にも最適な構造のTFTを配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。

30

【0130】

まず、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有するTFTを、駆動回路部を形成するCMOS回路のnチャネル型TFT205として用いる。なお、ここでいう駆動回路としては、シフトレジスタ、バッファ、レベルシフタ、サンプリング回路(サンプル及びホールド回路)などが含まれる。デジタル駆動を行う場合には、D/Aコンバータなどの信号変換回路も含まれうる。

【0131】

なお、駆動回路の中でもサンプリング回路は他の回路と比べて少し特殊であり、チャネル形成領域を双方向に大電流が流れる。即ち、ソース領域とドレイン領域の役割が入れ替わるのである。さらに、オフ電流値を極力低く抑える必要があり、そういった意味でスイッチング用TFTと電流制御用TFTの中間程度の機能を有するTFTを配置することが望ましい。

40

【0132】

従って、サンプリング回路を形成するnチャネル型TFTは、図9に示すような構造のTFTを配置することが望ましい。図9に示すように、LDD領域901a、901bの一部がゲート絶縁膜902を介してゲート電極903と重なる。この効果は電流を流した際に生じるホットキャリア注入に対する劣化対策であり、サンプリング回路の場合はチャネル形成領域904を挟む形で両側に設ける点が異なる。

50

【 0 1 3 3 】

なお、実際には図 8 (C) まで完成したら、さらに外気に曝されないように気密性の高いガラス、石英、プラスチックといったカバー材でパッケージング (封入) することが好ましい。その際、カバー材の内部に内部に酸化バリウムといった吸湿剤や酸化防止剤を配置するとよい。

【 0 1 3 4 】

また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ (フレキシブルプリントサーキット : F P C) を取り付けて製品として完成する。このような出荷できる状態にまでした状態を本明細書中では E L 表示装置 (または E L モジュール) という。

10

【 0 1 3 5 】

ここで本実施例のアクティブマトリクス型 E L 表示装置の構成を図 1 0 の斜視図を用いて説明する。本実施例のアクティブマトリクス型 E L 表示装置は、ガラス基板 6 0 1 上に形成された、画素部 6 0 2 と、ゲート側駆動回路 6 0 3 と、ソース側駆動回路 6 0 4 を含む。画素部のスイッチング用 T F T 6 0 5 は n チャネル型 T F T であり、ゲート側駆動回路 6 0 3 に接続されたゲート配線 6 0 6、ソース側駆動回路 6 0 4 に接続されたソース配線 6 0 7 の交点に配置されている。

また、スイッチング用 T F T 6 0 5 のドレインは電流制御用 T F T 6 0 8 のゲートに接続されている。

【 0 1 3 6 】

20

さらに、電流制御用 T F T 6 0 8 のソース側は電源供給線 6 0 9 に接続される。本実施例のような構造では、電源供給線 6 0 9 には接地電位 (アース電位) が与えられている。また、電流制御用 T F T 6 0 8 のドレインには E L 素子 6 1 0 が接続されている。また、この E L 素子 6 1 0 の陽極には所定の電圧 (3 ~ 1 2 V、好ましくは 3 ~ 5 V) が加えられる。

【 0 1 3 7 】

そして、外部入出力端子となる F P C 6 1 1 には駆動回路部まで信号を伝達するための接続配線 6 1 2、6 1 3、及び電源供給線 6 0 9 に接続された接続配線 6 1 4 が設けられている。

【 0 1 3 8 】

30

また、図 1 0 に示した E L 表示装置の回路構成の一例を図 1 1 に示す。本実施例の E L 表示装置は、ソース側駆動回路 8 0 1、ゲート側駆動回路 (A) 8 0 7、ゲート側駆動回路 (B) 8 1 1、画素部 8 0 6 を有している。なお、本明細書中において、駆動回路部とはソース側駆動回路およびゲート側駆動回路を含めた総称である。

【 0 1 3 9 】

ソース側駆動回路 8 0 1 は、シフトレジスタ 8 0 2、レベルシフタ 8 0 3、バッファ 8 0 4、サンプリング回路 (サンプル及びホールド回路) 8 0 5 を備えている。また、ゲート側駆動回路 (A) 8 0 7 は、シフトレジスタ 8 0 8、レベルシフタ 8 0 9、バッファ 8 1 0 を備えている。ゲート側駆動回路 (B) 8 1 1 も同様な構成である。

【 0 1 4 0 】

40

ここでシフトレジスタ 8 0 2、8 0 8 は駆動電圧が 5 ~ 1 6 V (代表的には 1 0 V) であり、回路を形成する C M O S 回路に使われる n チャネル型 T F T は図 8 (C) の 2 0 5 で示される構造が適している。

【 0 1 4 1 】

また、レベルシフタ 8 0 3、8 0 9、バッファ 8 0 4、8 1 0 はシフトレジスタと同様に、図 8 (C) の n チャネル型 T F T 2 0 5 を含む C M O S 回路が適している。なお、ゲート配線をダブルゲート構造、トリプルゲート構造といったマルチゲート構造とすることは、各回路の信頼性を向上させる上で有効である。

【 0 1 4 2 】

また、サンプリング回路 8 0 5 はソース領域とドレイン領域が反転する上、オフ電流値

50

を低減する必要があるので、図 9 の n チャンネル型 T F T 2 0 8 を含む C M O S 回路が適している。

【 0 1 4 3 】

また、画素部 8 0 6 は図 2 に示した構造の画素を配置する。

【 0 1 4 4 】

なお、上記構成は、図 6 ~ 8 に示した作製工程に従って T F T を作製することによって容易に実現することができる。また、本実施例では画素部と駆動回路部の構成のみ示しているが、本実施例の作製工程に従えば、その他にも信号分割回路、D / A コンバータ回路、オペアンプ回路、 γ 補正回路など駆動回路以外の論理回路を同一基板上に形成することが可能であり、さらにはメモリ部やマイクロプロセッサ等を形成しうると考えている。

10

【 0 1 4 5 】

さらに、カバー材をも含めた本実施例の E L モジュールについて図 1 2 (A)、(B)を用いて説明する。なお、必要に応じて図 1 0、図 1 1 で用いた符号を引用することにする。

【 0 1 4 6 】

図 1 2 (A) は、図 1 0 に示した状態にシーリング構造を設けた状態を示す上面図である。点線で示された 6 0 2 は画素部、6 0 3 はゲート側駆動回路、6 0 4 はソース側駆動回路である。本発明のシーリング構造は、図 1 0 の状態に対して充填材 (図示せず)、カバー材 1 1 0 1、シール材 (図示せず) 及びフレーム材 1 1 0 2 を設けた構造である。

【 0 1 4 7 】

20

ここで、図 1 2 (A) を A - A ' で切断した断面図を図 1 2 (B) に示す。なお、図 1 2 (A)、(B) では同一の部位に同一の符号を用いている。

【 0 1 4 8 】

図 1 2 (B) に示すように、基板 6 0 1 上には画素部 6 0 2、ゲート側駆動回路 6 0 3 が形成されており、画素部 6 0 2 は電流制御用 T F T 2 0 2 とそれに電氣的に接続された画素電極 3 4 8 を含む複数の画素により形成される。また、ゲート側駆動回路 6 0 3 は n チャンネル型 T F T 2 0 5 と p チャンネル型 T F T 2 0 6 とを相補的に組み合わせた C M O S 回路を用いて形成される。

【 0 1 4 9 】

画素電極 3 4 8 は E L 素子の陽極として機能する。また、画素電極 3 4 8 の両端には保護膜 3 4 9 a が形成され、保護膜 3 4 9 a の上に E L 層 3 5 0、陰極 3 5 1 が形成される。また、その上には保護電極 3 5 2、第 2 パッシベーション膜 3 5 3 が形成される。勿論、上述したように E L 素子の構造を反対とし、画素電極を陰極としても構わない。

30

【 0 1 5 0 】

本実施例の場合、保護電極 3 5 2 は全画素に共通の配線としても機能し、接続配線 6 1 2 を経由して F P C 6 1 1 に電氣的に接続されている。さらに、画素部 6 0 2 及びゲート側駆動回路 6 0 3 に含まれる素子は全て第 2 パッシベーション膜 3 5 3 で覆われている。この第 2 パッシベーション膜 3 5 3 は省略することも可能であるが、各素子を外部と遮断する上で設けた方が好ましい。

【 0 1 5 1 】

40

次に、E L 素子を覆うようにして充填材 1 1 0 3 を設ける。この充填材 1 1 0 3 はカバー材 1 1 0 1 を接着するための接着剤としても機能する。充填材 1 1 0 3 としては、P V C (ポリビニルクロライド)、エポキシ樹脂、シリコン樹脂、P V B (ポリビニルブチラル) または E V A (エチレンビニルアセテート) を用いることができる。この充填材 1 1 0 3 の内部に乾燥剤 (図示せず) を設けておくと、吸湿効果を保ち続けられるので好ましい。このとき、乾燥剤は充填材に添加されたものであっても良いし、充填材に封入されたものであっても良い。

【 0 1 5 2 】

また、本実施例ではカバー材 1 1 0 1 としては、ガラス、プラスチック、およびセラミックスからなる材料を用いることができる。なお、充填材 1 1 0 3 の内部に予め酸化バリ

50

ウム等の乾燥剤を添加しておくことは有効である。

【0153】

次に、充填材1103を用いてカバー材1101を接着した後、充填材1103の側面（露呈面）を覆うようにフレーム材1102を取り付ける。フレーム材1102はシール材（接着剤として機能する）1104によって接着される。このとき、シール材1104としては、光硬化性樹脂を用いるのが好ましいが、EL層の耐熱性が許せば熱硬化性樹脂を用いても良い。なお、シール材1104はできるだけ水分や酸素を透過しない材料であることが望ましい。また、シール材1104の内部に乾燥剤を添加してあっても良い。

【0154】

以上のような方式を用いてEL素子を充填材1103に封入することにより、EL素子を外部から完全に遮断することができ、外部から水分や酸素等のEL層の酸化による劣化を促す物質が侵入することを防ぐことができる。従って、信頼性の高いEL表示装置を作製することができる。

【実施例2】

【0155】

実施例1において、画素電極上に有機樹脂を全面塗布した後、露光装置を用いてパターンニングを行い、電極ホールおよび画素電極間の隙間に有機樹脂で埋め込んだ保護部を形成した後、EL層を形成する作製方法を示したが、露光工程が入るためにスループットが悪いので本実施例では、画素電極上に有機樹脂を全面塗布した後、パターンニングを行わずにエッチバック法を用いて平坦化を行い、電極ホール及び画素電極間の隙間に埋め込まれた有機樹脂以外をエッチングする方法を示す。

【0156】

ここで本発明におけるEL表示装置の画素部の断面構造を図13に示す。

【0157】

図13(A)に示されるのは、画素電極1040及び画素電極1040に電気的に接続される電流制御用TFTである。電流制御用TFTは、基板1011上に下地膜1012が形成された後、ソース領域1031、ドレイン領域1032及びチャネル形成領域1034を含む活性層、ゲート絶縁膜1018、ゲート電極1035、第1層間絶縁膜1020、ソース配線1036並びにドレイン配線1037を有して形成される。なお、ゲート電極1035はシングルゲート構造となっているが、マルチゲート構造であっても良い。

【0158】

次に、1038は第1パッシベーション膜であり、膜厚は10nm～1μm（好ましくは200～500nm）とすれば良い。材料としては、珪素を含む絶縁膜（特に窒化酸化珪素膜又は窒化珪素膜が好ましい）を用いることができる。

【0159】

第1パッシベーション膜1038の上には、各TFTを覆うような形で第2層間絶縁膜（平坦化膜と言っても良い）1039を形成し、TFTによってできる段差の平坦化を行う。第2層間絶縁膜1039としては、有機樹脂膜が好ましく、ポリイミド、ポリアミド、アクリル樹脂、シロキサンの高分子化合物を含む樹脂を材料として用いると良い。勿論、十分な平坦化が可能であれば、無機膜を用いても良い。

【0160】

第2層間絶縁膜1039によってTFTによる段差を平坦化することは非常に重要である。後に形成されるEL層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、EL層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

【0161】

また、1040は透明導電膜からなる画素電極（EL素子の陽極に相当する）であり、第2層間絶縁膜1039及び第1パッシベーション膜1038にコンタクトホール（開孔）を開けた後、形成された開孔部において電流制御用TFTのドレイン配線1037に接続されるように形成される。

10

20

30

40

50

【0162】

本実施形態では、画素電極として酸化インジウムと酸化スズの化合物からなる導電膜を用いる。また、これに少量のガリウムを添加しても良い。さらに酸化インジウムと酸化亜鉛との化合物を用いることもできる。

【0163】

次に、画素電極上に有機樹脂を材料とする有機樹脂膜1041を形成する。有機樹脂としては、ポリアミド、ポリイミド、アクリル樹脂およびシロキサン的高分子化合物を含む樹脂といった材料があり、これらを使っても良いが、ここでは、アクリル樹脂であるアクリル酸エステル樹脂、アクリル酸樹脂、メタクリル酸エステル樹脂、メタクリル酸樹脂といった樹脂を用いている。

10

なお、シロキサンの高分子化合物を含む樹脂としては、シクロテンがある。

【0164】

また、ここでは画素電極上に有機樹脂を材料とする有機樹脂膜を形成させているが、絶縁膜となりうる絶縁体を用いても良い。

【0165】

絶縁体としては、酸化珪素や窒化酸化珪素及び窒化珪素といった珪素を含む絶縁膜を用いると良い。

【0166】

有機樹脂膜1041の膜厚(Dc)は、0.1~2μmが好ましいが、さらに好ましくは0.2~0.6μmとするのがよい。

20

【0167】

有機樹脂膜1041を成膜した後、有機樹脂膜1041を全面エッチングしてDc=0となるとところでエッチングを終了させると、電極ホールに埋め込まれたアクリル樹脂が残り、保護部1041bが形成される。

【0168】

なお、エッチング方法としてはドライエッチングが好ましい。まず、真空チャンバー内にエッチングすべき有機樹脂材料に合わせたエッチングガスを導入した後、電極に高周波電圧を印加してプラズマを発生させ、プラズマ雰囲気中でエッチングガスを分解させる。

【0169】

プラズマ雰囲気中で分解されたエッチングガス中には、正イオン、負イオン、電子などの荷電粒子と中性活性種がバラバラの状態で存在している。なお、これらのエッチング種が、被エッチング材料に吸着されると表面化学反応が生じてエッチング生成物が生成し、このエッチング生成物が除去されると、エッチングがなされる。

30

【0170】

また、保護膜の材料としてアクリル樹脂を用いる場合、エッチングにおけるエッチングガスとして酸素を主成分とするガスを用いることが望ましい。

【0171】

なお、本実施例では酸素を主成分とするエッチングガスとして、酸素、ヘリウム及び四フッ化炭素(CF₄)からなるエッチングガスを用いている。また、その他の材料として、六フッ化二炭素(C₂F₆)といったフッ化炭素系のガスを用いても良い。

40

【0172】

なお、これらのエッチングガスにおいては、酸素が、エッチングガス全体の60%以上になることが望ましい。

【0173】

本実施例に示すように画素電極上に有機樹脂膜をスピンコート法を用いて成膜した後、これを全面エッチングして、図13(B)に示すように電極ホール1046に保護部1041bが形成されるように矢印の方向にエッチングさせる。なお、ここで形成された保護部1041bの露呈面及び画素電極1040の露呈面は、図13(B)に示すように同一面内にある。

【0174】

50

なお、このときのエッチング時間は予めエッチングレート調べておき、保護部 1041b を除く画素電極 1040 上の有機樹脂膜がちょうど除去されたところでエッチングが終了するようにする。これにより、画素電極 1040 の上面と保護部 1041b の上面が同一の平坦面になる。

【0175】

また、これらの有機樹脂を用いる際には、粘度を $10^{-3} \text{Pa} \cdot \text{s} \sim 10^{-1} \text{Pa} \cdot \text{s}$ とするとよい。

【0176】

保護部 1041b を形成したら、図 13 (C) に示すように EL 層 1042 を形成するために EL 材料を溶媒に溶解させたものがスピンコート法により成膜される。

10

【0177】

EL 層 1042 が形成されると、さらに陰極 1043 及び保護電極 1044 が形成される。

【0178】

以上のようにして図 13 (C) に示す様な構造とすることで、電極ホールの段差部分で、EL 層 1042 が切断された際に生じる画素電極 1040 と陰極 1043 間での短絡の問題を解決することができる。

【0179】

なお、本実施例で示したように画素電極 1040 上の保護部 1041b が電極ホール 1046 と同一の形状である場合の上面図を図 13 (D) に示す。

20

【0180】

また、本実施例の構成は、実施例 1 の構成と自由に組み合わせることができる。

【実施例 3】

【0181】

実施例 2 では、エッチングにより保護膜を形成させる方法、いわゆるエッチバック法について説明したが、エッチバック法では、保護膜の膜の種類によっては適さないことや平坦化できる領域が数 μm から数 $10 \mu\text{m}$ であるといった制限があるので、化学的機械研磨 (CMP: Chemical Mechanical Polishing) を用いて保護部を形成することも可能である。そこで、本実施例も図 13 を用いて説明する。

【0182】

30

本実施例においては、実施例 2 の図 13 (A) で示したように有機樹脂膜 1041 を $D_c (>0)$ の膜厚に成膜した後、有機樹脂膜 1041 に対して対向する定盤上に張られた研磨パッドに一定圧力で押しつけ、基板及び定盤をそれぞれ回転させながら研磨材 (スラリー) を流し、 $D_c = 0$ になるまで研磨する、いわゆる CMP を用いて保護部 1041b を形成させる。

【0183】

CMP を行う上で使用するスラリーは、砥粒と呼ばれる研磨粒子を pH 調整した水溶液に分散させたものであり、被研磨膜により異なるスラリーを用いるとよい。

【0184】

本実施例では、被研磨膜としてアクリル樹脂を用いているので、シリカ系スラリー (SiO_2) やセリア系スラリー (CeO_2) およびフュームドシリカ系スラリー (SiCl_4) といったスラリーを用いるのが好ましい。しかし、スラリーとしては、このほかにもアルミナ系スラリー (Al_2O_3) やゼオライト系スラリーがありこれらを用いても良い。

40

【0185】

また、スラリー中の液と砥粒 (シリカ粒子) との間の電位 (ゼータ電位) は、加工精度に影響するので pH 値を最適化することで調整する必要がある。

【0186】

CMP を用いて研磨する際に、研磨の終了点を見極めるのは困難である。もし研磨しすぎた場合には、画素電極まで研磨してしまうことになる。そこで、加工速度が極端に遅い膜を形成して CMP のストッパーとしたり、予め実験によって、加工時間と加工速度の関

50

係を明らかにしておき、ある一定の加工時間がきたところで、CMPを終了する手法を取ることによって必要以上の研磨を防ぐことができる。

【0187】

以上のように、CMPを用いることで被研磨膜の膜厚や膜の種類によらずに保護部1041bを形成させることができる。

【0188】

なお、本実施例の構成は、実施例1～実施例2の構成と自由に組み合わせることができる。

【実施例4】

【0189】

本実施例では本発明をパッシブ型（単純マトリクス型）のEL表示装置に用いた場合について図14を用いて説明する。図14において、1301はプラスチックからなる基板、1306は透明導電膜からなる陽極である。なお、基板1301は、ガラス、石英といった材料でできていても良い。

【0190】

本実施例では、透明導電膜として酸化インジウムと酸化亜鉛との化合物を蒸着法により形成する。なお、図14では図示されていないが、複数本の陽極が紙面に垂直な方向へストライプ状に配列されている。

【0191】

また、ストライプ状に配列された陽極1302の間を埋めるように本発明の保護部1303が形成される。保護部1303は陽極1302に沿って紙面に垂直な方向に形成されている。なお、本実施例における保護部1303の形成には、実施例1～3に示した方法により同様の材料を用いて形成すればよい。

【0192】

次に、高分子系有機EL材料からなるEL層1304が形成される。用いる有機EL材料は実施例1と同様のものを用いれば良い。これらのEL層は保護膜1302によって形成された溝に沿って形成されるため、紙面に垂直な方向にストライプ状に配列される。

【0193】

その後、図14では図示されていないが、複数本の陰極及び保護電極が紙面に平行な方向が長手方向となり、且つ、陽極1302と直交するようにストライプ状に配列されている。なお、本実施例では、陰極1305は、MgAgからなり、保護電極1306はアルミニウム合金膜からなり、それぞれ蒸着法により形成される。また、図示されないが保護電極1306は所定の電圧が加えられるように、後にFPCが取り付けられる部分まで配線が引き出されている。

【0194】

また、ここでは図示していないが保護電極1306を形成したら、パッシベーション膜として窒化珪素膜を設けても良い。

【0195】

以上のようにして基板1301上にEL素子を形成する。なお、本実施例では下側の電極が透光性の陽極となっているため、EL層1304a～1304cで発生した光は下面（基板1301）に放射される。しかしながら、EL素子の構造を反対にし、下側の電極を遮光性の陰極とすることもできる。その場合、EL層で発生した光は上面（基板1301とは反対側）に放射されることになる。

【0196】

次に、カバー材1307としてセラミックス基板を用意する。本実施例の構造では遮光性で良いのでセラミックス基板を用いたが、勿論、前述のようにEL素子の構造を反対にした場合、カバー材は透光性のほうが良いので、プラスチックやガラスからなる基板を用いるとよい。

【0197】

こうしてカバー材1307を用意したら、乾燥剤（図示せず）として酸化バリウムを添

10

20

30

40

50

加した充填材 1308 によりカバー材 1307 を貼り合わせる。その後、紫外線硬化樹脂からなるシール材 1309 を用いてフレーム材 1310 を取り付ける。本実施例ではフレーム材 1310 としてステンレス材を用いる。最後に異方導電性フィルム 1311 を介して FPC 1312 を取り付けてパッシブ型の EL 表示装置が完成する。

【0198】

なお、本実施例の構成は、実施例 1 ~ 実施例 3 のいずれの構成とも自由に組み合わせて実施することが可能である。

【実施例 5】

【0199】

本発明を実施してアクティブマトリクス型の EL 表示装置を作製する際に、基板としてシリコン基板（シリコンウェハー）を用いることは有効である。基板としてシリコン基板を用いた場合、画素部に形成するスイッチング素子や電流制御用素子または駆動回路部に形成する駆動用素子を、従来の IC や LSI などに用いられている MOSFET の作製技術を用いて作製することができる。

【0200】

MOSFET は IC や LSI で実績があるように非常にばらつきの小さい回路を形成することが可能であり、特に電流値で階調表現を行うアナログ駆動のアクティブマトリクス型 EL 表示装置には有効である。

【0201】

なお、シリコン基板は遮光性であるので、EL 層からの光は基板とは反対側に放射されるような構造とする必要がある。本実施例の EL 表示装置は構造的には図 12 と似ているが、画素部 602、駆動回路部 603 を形成する TFT の代わりに MOSFET を用いる点で異なる。

【0202】

なお、本実施例の構成は、実施例 1 ~ 実施例 4 のいずれの構成とも自由に組み合わせて実施することが可能である。

【実施例 6】

【0203】

本発明を実施して形成された EL 表示装置は、自発光型であるため液晶表示装置に比べて明るい場所での視認性に優れ、しかも視野角が広い。従って、様々な電気器具の表示部として用いることができる。例えば、TV 放送等を大画面で鑑賞するには対角 30 インチ以上（典型的には 40 インチ以上）の EL ディスプレイ（EL 表示装置を筐体に組み込んだディスプレイ）の表示部として本発明の EL 表示装置を用いるとよい。

【0204】

なお、EL ディスプレイには、パソコン用ディスプレイ、TV 放送受信用ディスプレイ、広告表示用ディスプレイ等の全ての情報表示用ディスプレイが含まれる。また、その他にも様々な電気器具の表示部として本発明の EL 表示装置を用いることができる。

【0205】

その様な本発明の電気器具としては、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはデジタルビデオディスク（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。特に、斜め方向から見ることの多い携帯情報端末は視野角の広さが重要視されるため、EL 表示装置を用いることが望ましい。それら電気器具の具体例を図 15、図 16 に示す。

【0206】

図 15（A）は EL ディスプレイであり、筐体 2001、支持台 2002、表示部 2003 等を含む。本発明は表示部 2003 に用いることができる。EL ディスプレイは自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすること

ができる。

【0207】

図15(B)はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等を含む。本発明のEL表示装置は表示部2102に用いることができる。

【0208】

図15(C)は頭部取り付け型のELディスプレイの一部(右片側)であり、本体2201、信号ケーブル2202、頭部固定バンド2203、表示部2204、光学系2205、EL表示装置2206等を含む。本発明はEL表示装置2206に用いることができる。

10

【0209】

図15(D)は記録媒体を備えた画像再生装置(具体的にはDVD再生装置)であり、本体2301、記録媒体(DVD等)2302、操作スイッチ2303、表示部(a)2304、表示部(b)2305等を含む。表示部(a)は主として画像情報を表示し、表示部(b)は主として文字情報を表示するが、本発明のEL表示装置はこれら表示部(a)、(b)に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0210】

図15(E)は携帯型(モバイル)コンピュータであり、本体2401、カメラ部2402、受像部2403、操作スイッチ2404、表示部2405等を含む。本発明のEL表示装置は表示部2405に用いることができる。

20

【0211】

図15(F)はパーソナルコンピュータであり、本体2501、筐体2502、表示部2503、キーボード2504等を含む。本発明のEL表示装置は表示部2503に用いることができる。

【0212】

なお、将来的にEL材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0213】

30

また、上記電気器具はインターネットやCATV(ケーブルテレビ)などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。EL材料の応答速度は非常に高いため、EL表示装置は動画表示に好ましいが、画素間の輪郭がぼやけてしまったりは動画全体もぼやけてしまう。従って、画素間の輪郭を明瞭にするという本発明のEL表示装置を電子装置の表示部として用いることは極めて有効である。

【0214】

また、EL表示装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部にEL表示装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

40

【0215】

ここで図16(A)は携帯電話であり、本体2601、音声出力部2602、音声入力部2603、表示部2604、操作スイッチ2605、アンテナ2606を含む。本発明のEL表示装置は表示部2604に用いることができる。なお、表示部2604は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

【0216】

また、図16(B)は音響再生装置、具体的にはカーオーディオであり、本体2701、表示部2702、操作スイッチ2703、2704を含む。本発明のEL表示装置は表示部2702に用いることができる。また、本実施例では車載用オーディオを示すが、携

50

帯型や家庭用の音響再生装置に用いても良い。なお、表示部 2704 は黒色の背景に白色の文字を表示することで消費電力を抑えられる。これは携帯型の音響再生装置において特に有効である。

【0217】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電気器具に用いることが可能である。また、本実施例の電気器具は実施例 1～5 に示したいずれの構成の EL 表示装置を用いても良い。

【実施例 7】

【0218】

本発明を用いて作製する EL 素子において、三重項励起子からの燐光を発光に利用できる EL 材料を用いることも可能である。燐光を発光に利用できる EL 材料を用いた発光装置は、外部発光量子効率を飛躍的に向上させることができる。これにより、EL 素子の低消費電力化、長寿命化、および軽量化が可能になる。

10

【0219】

ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。

(T.Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed.K.Honda, (Elsevier Sci.Pub., Tokyo,1991) p.437.)

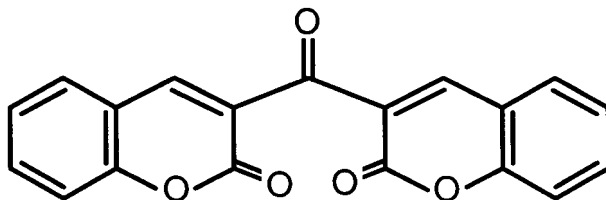
【0220】

上記の論文により報告された EL 材料（クマリン色素）の構造式を以下に示す。

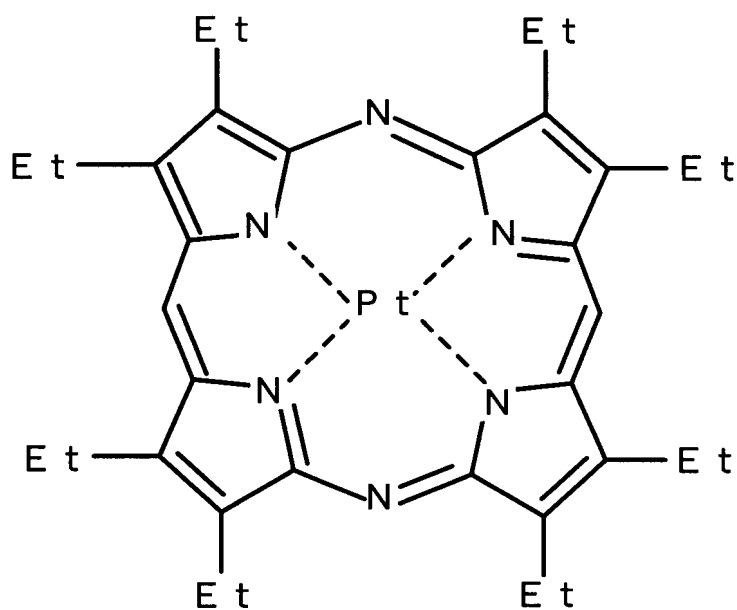
【0221】

20

【化 6】



【化 7】



10

20

【 0 2 2 5 】

(M.A.Baldo, S.Lamansky, P.E.Burrows, M.E.Thompson, S.R.Forrest, Appl.Phys.Lett., 75 (1999) p.4.) (T.Tsutsui, M.-J.Yang, M.Yahiro, K.Nakamura, T.Watanabe, T.tsuji, Y.Fukuda, T.Wakimoto, S.Mayaguchi, Jpn.Appl.Phys., 38 (12B) (1999) L1502.)

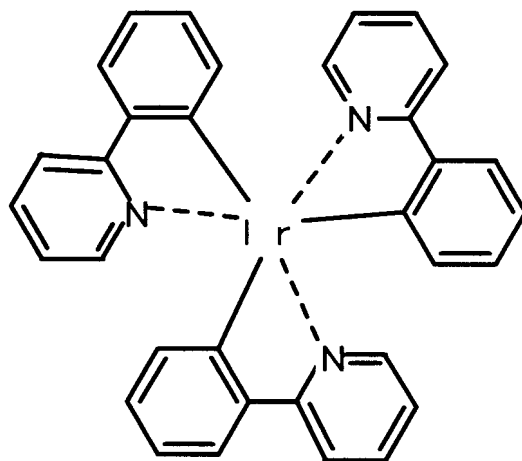
【 0 2 2 6 】

上記の論文により報告された E L 材料 (I r 錯体) の構造式を以下に示す。

30

【 0 2 2 7 】

【化 8】



10

20

【 0 2 2 8 】

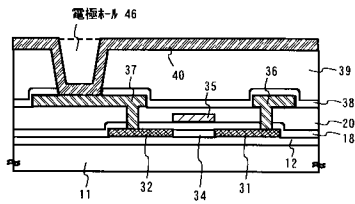
以上のように三重項励起子からの燐光発光を利用できれば原理的には一重項励起子からの蛍光発光を用いる場合より3～4倍の高い外部発光量子効率の実現が可能となる。

【 0 2 2 9 】

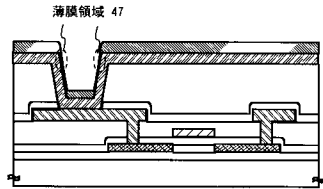
なお、本実施例の構成は、実施例1～実施例6のいずれの構成とも自由に組み合わせて実施することが可能である。

【図 1】

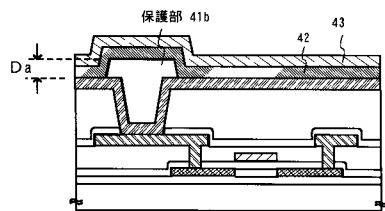
(A)



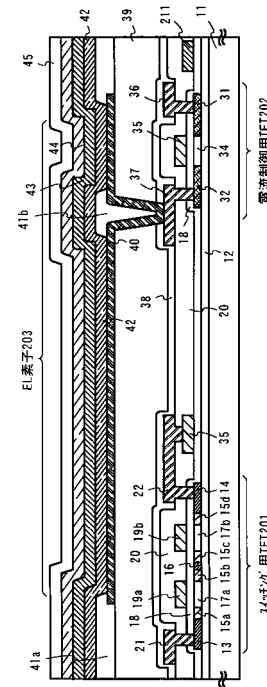
(B)



(C)

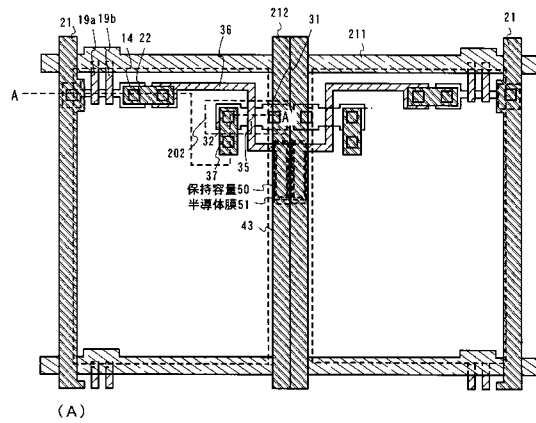


【図 2】

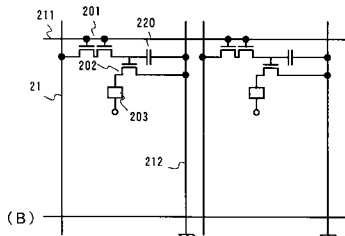


11: 基板、12: 下地膜、13: シュミット、14: ドリフト領域、15a~15d: LDD領域、16: 高濃度不純物領域、17a: シュミット、18: ドリフト領域、19a: ドリフト領域、19b: ドリフト領域、20: EL素子、21: TFT、22: シュミット、23: シュミット、24: ドリフト領域、25: ドリフト領域、26: ドリフト領域、27: ドリフト領域、28: ドリフト領域、29: ドリフト領域、30: ドリフト領域、31: ドリフト領域、32: ドリフト領域、33: ドリフト領域、34: ドリフト領域、35: ドリフト領域、36: ドリフト領域、37: ドリフト領域、38: ドリフト領域、39: ドリフト領域、40: ドリフト領域、41a: ドリフト領域、41b: ドリフト領域、42: EL層、43: 陰極、44: 保護電極、45: 第2ドレイン/ソース膜、211: 電源供給線

【図 3】



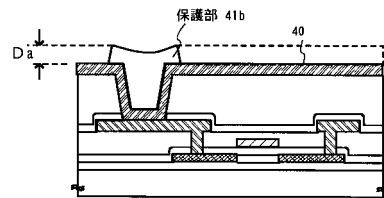
(A)



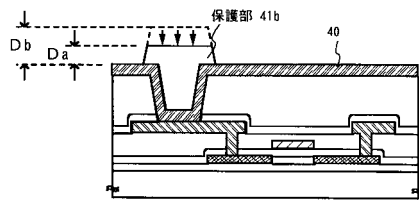
(B)

【図 4】

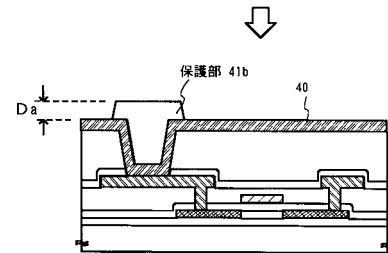
(A)



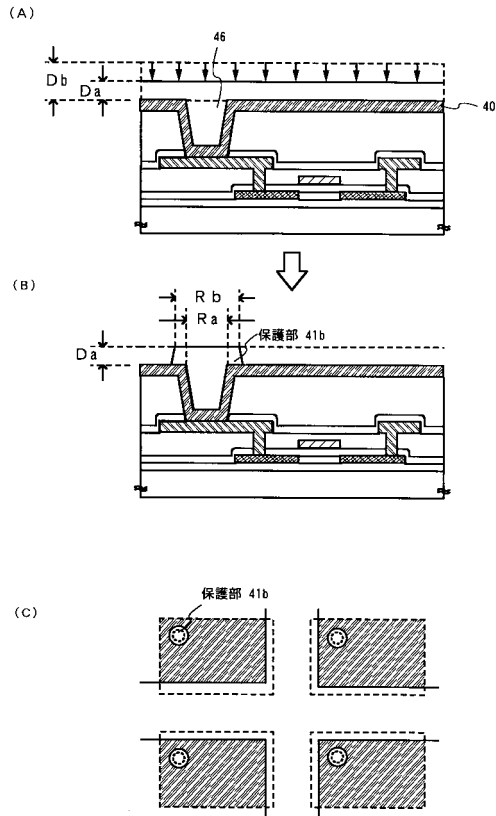
(B)



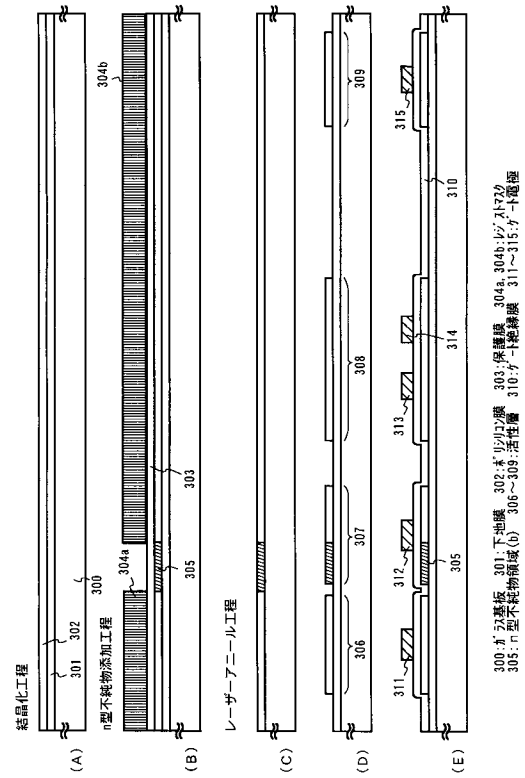
(C)



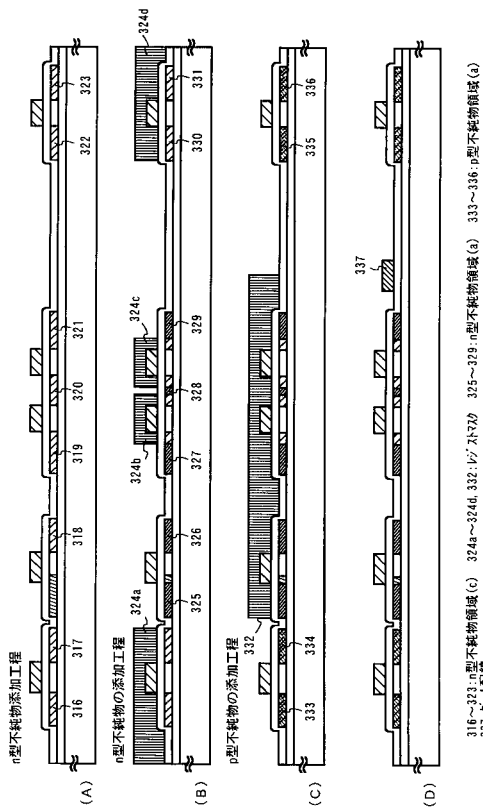
【図 5】



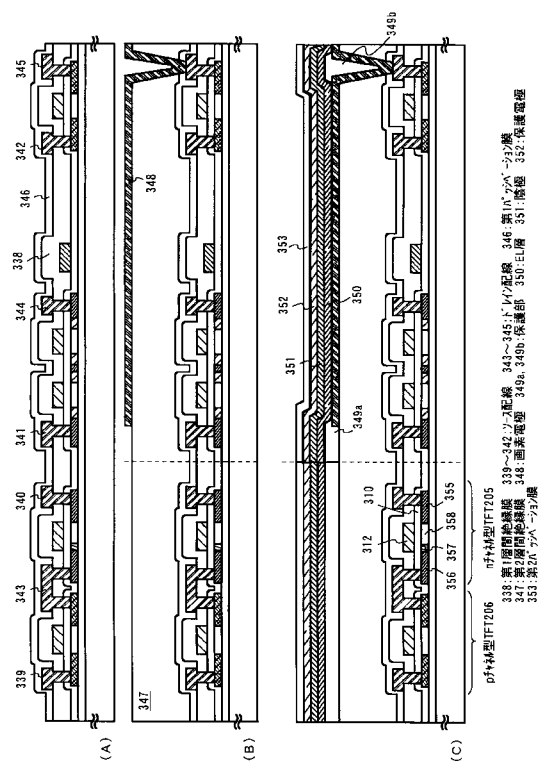
【図 6】



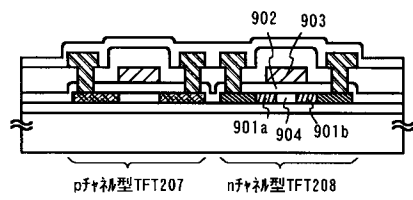
【図 7】



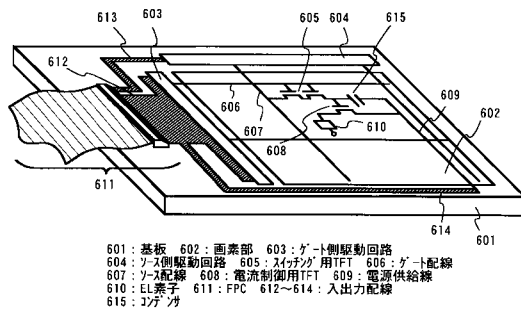
【図 8】



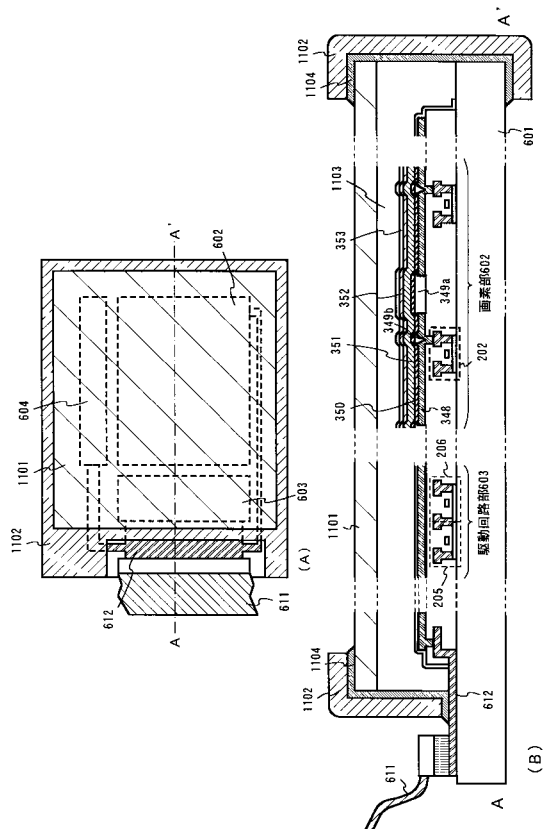
【図 9】



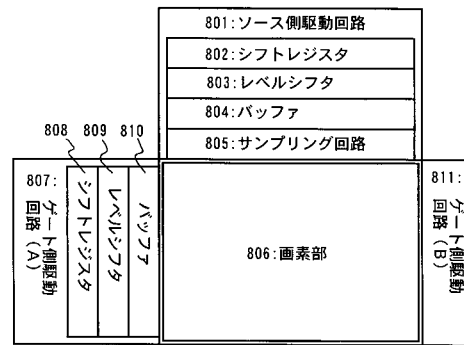
【図 10】



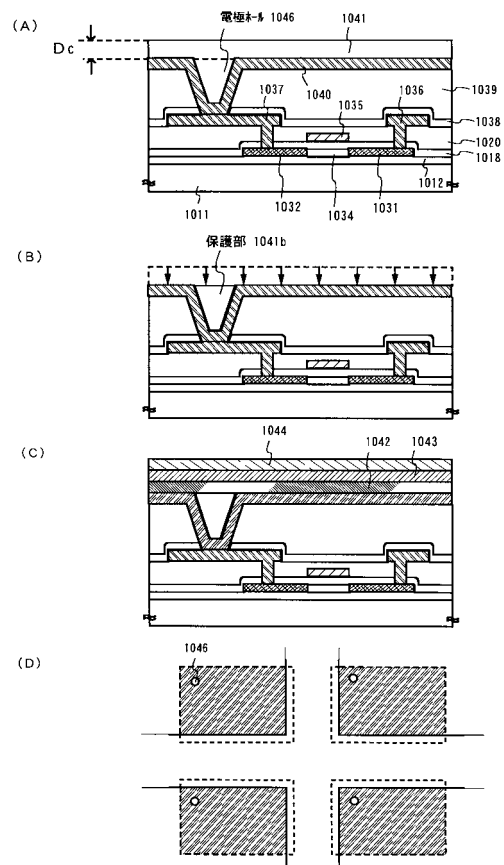
【図 12】



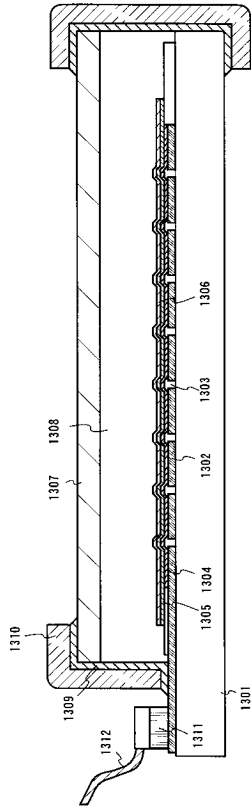
【図 11】



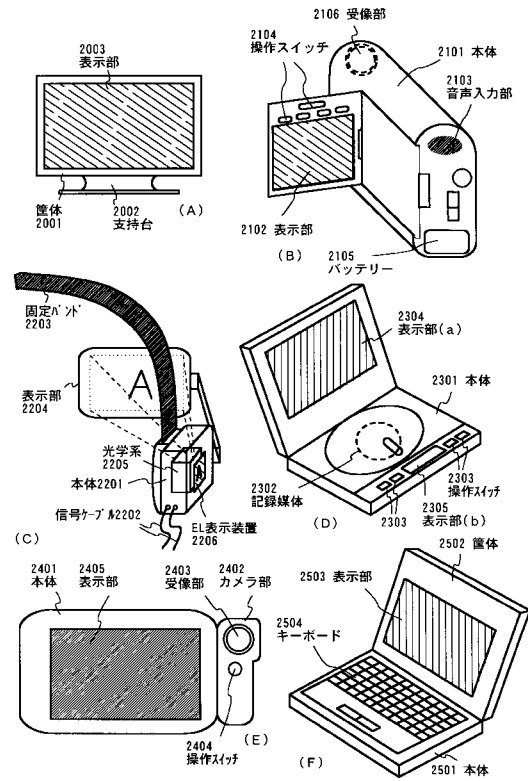
【図 13】



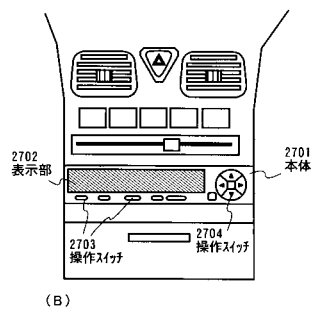
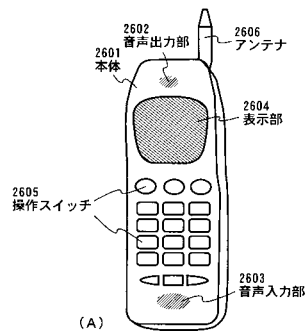
【図 14】



【図 15】



【図 16】



专利名称(译)	EL表示装置		
公开(公告)号	JP2012146686A	公开(公告)日	2012-08-02
申请号	JP2012106564	申请日	2012-05-08
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	小沼利光 丸山純矢		
发明人	小沼 利光 丸山 純矢		
IPC分类号	H05B33/12 H01L51/50 H05B33/22 H05B33/26 H05B33/00 H01L27/32 H01L51/00 H01L51/30 H01L51/40 H01L51/52		
FI分类号	H05B33/12.B H05B33/14.A H05B33/22.Z H05B33/26.Z G09F9/30.338 G09F9/30.365 G09F9/30.365.Z H01L27/32		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/BB06 3K107/BB08 3K107/CC26 3K107/CC29 3K107/CC33 3K107/CC45 3K107/DD16 3K107/DD39 3K107/DD89 3K107/DD90 3K107/EE03 5C094/AA42 5C094/BA03 5C094/BA27 5C094/DA13 5C094/DB10 5C094/EB01 5C094/FA02 5C094/FB12 5C094/FB15		
优先权	2000045256 2000-02-22 JP		
其他公开文献	JP5031123B2		
外部链接	Espacenet		

摘要(译)

解决的问题：由于在电极孔46中有机EL材料的膜形成不良而导致的EL元件的发光不良的改善。任务是做好事。为了实现上述目的，在本发明中，在像素电极上的电极孔46中提供绝缘。在埋入主体并形成保护部41b之后，将有机EL材料形成膜，从而使电极可以防止模块46中成膜不良。结果，EL元件的阴极和阳极之间短路。可以防止由于结引起的电流集中，并且可以防止EL层的发光失败。[选型图]图1

