

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2010-2498
(P2010-2498A)

(43) 公開日 平成22年1月7日(2010.1.7)

(51) Int.Cl.	F I	テーマコード (参考)
G O 9 G 3/30 (2006.01)	G O 9 G 3/30 J	3 K 1 0 7
G O 9 G 3/20 (2006.01)	G O 9 G 3/20 6 4 1 D	5 C 0 8 0
H O 1 L 51/50 (2006.01)	G O 9 G 3/20 6 2 4 B	
	G O 9 G 3/20 6 1 1 H	
	G O 9 G 3/20 6 2 3 Y	
審査請求 有 請求項の数 7 O L (全 23 頁) 最終頁に続く		

(21) 出願番号	特願2008-159364 (P2008-159364)	(71) 出願人	000002185
(22) 出願日	平成20年6月18日 (2008. 6. 18)		ソニー株式会社
			東京都港区港南1丁目7番1号
		(74) 代理人	100082131
			弁理士 稲本 義雄
		(74) 代理人	100121131
			弁理士 西川 孝
		(72) 発明者	山本 哲郎
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		(72) 発明者	内野 勝秀
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		Fターム(参考)	3K107 AA01 BB01 CC45 EE03 HH02
			HH04
			最終頁に続く

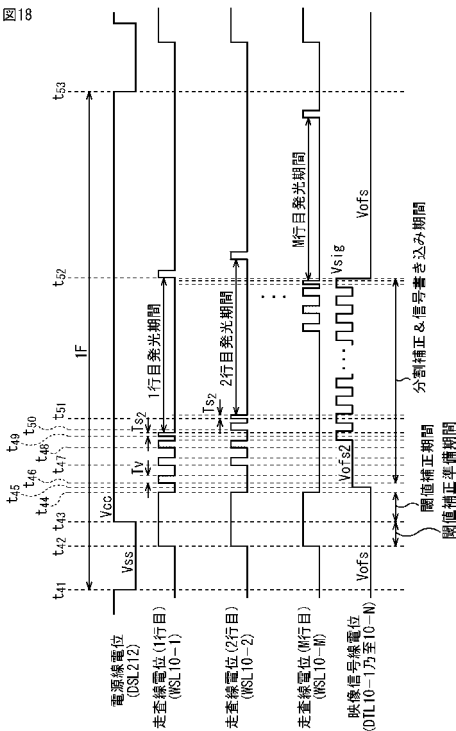
(54) 【発明の名称】 パネルおよび駆動制御方法

(57) 【要約】

【課題】低コスト化かつ画質の向上を実現することができるようにする。

【解決手段】時刻 t_{41} から時刻 t_{44} の期間では、E L パネルの全画素に対して同時に閾値補正準備動作と閾値補正動作が行われる。時刻 t_{44} 以降は、映像信号線 D T L 1 0 - 1 乃至 1 0 - N それぞれの電位を基準電位 V_{ofs} よりも高い第2基準電位 V_{ofs2} に設定しての分割閾値補正動作と、信号電位 V_{sig} による映像信号の書き込みとが、線順次に行われる。映像信号の書き込みの直前に閾値補正を行うことにより、閾値補正動作を行ってから映像信号の書き込みを行うまでの時間を短くすることができ、リーク電流を抑制し、画質を向上させる。本発明は、例えば、E L パネルに適用できる。

【選択図】 図 1 8



【特許請求の範囲】**【請求項 1】**

駆動電流に応じて発光する発光素子と、映像信号をサンプリングするサンプリング用トランジスタと、前記駆動電流を前記発光素子に供給する駆動用トランジスタと、所定の電位を保持する保持容量とを備える画素回路を行列状に配置するパネルであって、

前記画素回路に供給する電源電圧を、2行以上の前記画素回路に対して同時に制御する電源供給手段を備え、

閾値補正準備動作と最初の閾値補正動作である第1の閾値補正動作については、前記電源供給手段が制御する単位の2行以上の前記画素回路に対して同時に行い、その後、各行の前記画素回路に対して線順次に第2の閾値補正動作を1回以上行う

10

パネル。

【請求項 2】

映像信号に対応する電位である信号電位を前記画素回路に供給する映像信号供給手段をさらに備え、

前記映像信号供給手段は、前記第2の閾値補正動作が行われるとき、前記第1の閾値補正動作時に前記画素回路に供給した基準電位よりも高い電位を供給する

請求項1に記載のパネル。

【請求項 3】

映像信号に対応する電位である信号電位を前記画素回路に供給する映像信号供給手段をさらに備え、

20

前記映像信号供給手段は、前記第1の閾値補正動作終了後の所定時間、前記第1の閾値補正動作時に前記画素回路に供給した基準電位よりも低い電位を供給する

請求項1に記載のパネル。

【請求項 4】

前記画素回路の前記サンプリング用トランジスタをオンまたはオフする走査制御手段をさらに備え、

前記走査制御手段が前記画素回路の前記サンプリング用トランジスタをオンまたはオフすることで、前記発光素子の発光期間が制御される

請求項1に記載のパネル。

【請求項 5】

30

前記走査制御手段が前記発光素子を消光させるため前記サンプリング用トランジスタをオンするとき前記駆動用トランジスタのゲートに供給される電位は、前記発光素子のカソード電位、発光素子の閾値電圧、および駆動用トランジスタの閾値電圧の和以下である

請求項4に記載のパネル。

【請求項 6】

前記走査制御手段が前記発光素子を消光させるため前記サンプリング用トランジスタをオンするとき前記駆動用トランジスタのゲートに供給される電位は、閾値補正のための基準電位と同一である

請求項4に記載のパネル。

【請求項 7】

40

駆動電流に応じて発光する発光素子と、映像信号をサンプリングするサンプリング用トランジスタと、前記駆動電流を前記発光素子に供給する駆動用トランジスタと、所定の電位を保持する保持容量とを備える画素回路を行列状に配置し、前記画素回路に供給する電源電圧を、2行以上の前記画素回路に対して同時に制御する電源供給手段を備えるパネルの駆動制御方法であって、

閾値補正準備動作と最初の閾値補正動作である第1の閾値補正動作については、2行以上の前記画素回路に対して同時に行い、その後、各行の前記画素回路に対して線順次に第2の閾値補正動作を1回以上行う

ステップを含む駆動制御方法。

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は、パネルおよび駆動制御方法に関し、特に、低コスト化を実現することができるようにするパネルおよび駆動制御方法に関する。

【背景技術】

【0002】

発光素子として有機EL (Electro Luminescent) デバイスを用いた平面自発光型のパネル (EL パネル) の開発が近年盛んになっている。有機EL デバイスは有機薄膜に電界をかけると発光する現象を利用したデバイスである。有機EL デバイスは印加電圧が10V以下で駆動するため低消費電力である。また有機EL デバイスは自ら光を発する発光素子であるため、照明部材を必要とせず軽量化及び薄型化が容易である。さらに有機EL デバイスの応答速度は数 μ s程度と非常に高速であるので、動画表示時の残像が発生しない。

10

【0003】

有機EL デバイスを画素に用いた平面自発光型のパネルの中でも、とりわけ駆動素子として薄膜トランジスタを各画素に集積形成したアクティブマトリクス型のパネルの開発が盛んである。アクティブマトリクス型平面自発光パネルは、例えば以下の特許文献1乃至5に記載されている。

【0004】

【特許文献1】特開2003-255856号公報

20

【特許文献2】特開2003-271095号公報

【特許文献3】特開2004-133240号公報

【特許文献4】特開2004-029791号公報

【特許文献5】特開2004-093682号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、先行して普及してきている液晶ディスプレイ (LCD : Liquid Crystal Display) と比較すると、有機EL デバイスを画素に用いた平面自発光型のパネルについては、さらなる低コスト化が要請されている。

30

【0006】

本発明は、このような状況に鑑みてなされたものであり、低コスト化を実現することができるようにするものである。

【課題を解決するための手段】

【0007】

本発明の一側面のパネルは、駆動電流に応じて発光する発光素子と、映像信号をサンプリングするサンプリング用トランジスタと、前記駆動電流を前記発光素子に供給する駆動用トランジスタと、所定の電位を保持する保持容量とを備える画素回路を行列状に配置するパネルであって、前記画素回路に供給する電源電圧を、2行以上の前記画素回路に対して同時に制御する電源供給手段を備え、閾値補正準備動作と最初の閾値補正動作である第1の閾値補正動作については、前記電源供給手段が制御する単位の2行以上の前記画素回路に対して同時に行い、その後、各行の前記画素回路に対して線順次に第2の閾値補正動作を1回以上行う。

40

【0008】

映像信号に対応する電位である信号電位を前記画素回路に供給する映像信号供給手段をさらに設け、前記映像信号供給手段には、前記第2の閾値補正動作が行われるとき、前記第1の閾値補正動作時に前記画素回路に供給した基準電位よりも高い電位を供給させることができる。

【0009】

映像信号に対応する電位である信号電位を前記画素回路に供給する映像信号供給手段を

50

さらに設け、前記映像信号供給手段には、前記第 1 の閾値補正動作終了後の所定時間、前記第 1 の閾値補正動作時に前記画素回路に供給した基準電位よりも低い電位を供給させることができる。

【 0 0 1 0 】

前記画素回路の前記サンプリング用トランジスタをオンまたはオフする走査制御手段をさらに設け、前記走査制御手段が前記画素回路の前記サンプリング用トランジスタをオンまたはオフすることで、前記発光素子の発光期間が制御されるようにすることができる。

【 0 0 1 1 】

本発明の一側面の駆動制御方法は、駆動電流に応じて発光する発光素子と、映像信号をサンプリングするサンプリング用トランジスタと、前記駆動電流を前記発光素子に供給する駆動用トランジスタと、所定の電位を保持する保持容量とを備える画素回路を行列状に配置し、前記画素回路に供給する電源電圧を、2 行以上の前記画素回路に対して同時に制御する電源供給手段を備えるパネルの駆動制御方法であって、閾値補正準備動作と最初の閾値補正動作である第 1 の閾値補正動作については、2 行以上の前記画素回路に対して同時に行い、その後、各行の前記画素回路に対して線順次に第 2 の閾値補正動作を 1 回以上行うステップを含む。

10

【 0 0 1 2 】

本発明の一側面においては、閾値補正準備動作と最初の閾値補正動作である第 1 の閾値補正動作については、2 行以上の画素回路で同時に行われ、その後、各行の画素回路に対して線順次に第 2 の閾値補正動作が 1 回以上行われる。

20

【 発明の効果 】

【 0 0 1 3 】

本発明の一側面によれば、E L パネルの低コスト化を実現することができる。

【 0 0 1 4 】

また、本発明の一側面によれば、画質を向上させることができる。

【 発明を実施するための最良の形態 】

【 0 0 1 5 】

以下に本発明の実施の形態を説明するが、本発明の構成要件と、明細書又は図面に記載の実施の形態との対応関係を例示すると、次のようになる。この記載は、本発明をサポートする実施の形態が、明細書又は図面に記載されていることを確認するためのものである。従って、明細書又は図面中には記載されているが、本発明の構成要件に対応する実施の形態として、ここには記載されていない実施の形態があったとしても、そのことは、その実施の形態が、その構成要件に対応するものではないことを意味するものではない。逆に、実施の形態が構成要件に対応するものとしてここに記載されていたとしても、そのことは、その実施の形態が、その構成要件以外の構成要件には対応しないものであることを意味するものでもない。

30

【 0 0 1 6 】

本発明の一側面のパネルは、駆動電流に応じて発光する発光素子（例えば、図 5 の発光素子 3 4）と、映像信号をサンプリングするサンプリング用トランジスタ（例えば、図 5 のサンプリング用トランジスタ 3 1）と、前記駆動電流を前記発光素子に供給する駆動用トランジスタ（例えば、図 5 の駆動用トランジスタ 3 2）と、所定の電位を保持する保持容量（例えば、図 5 の保持容量 3 3）とを備える画素回路（例えば、図 5 の画素 1 0 1 c）を行列状に配置するパネル（例えば、図 1 6 の E L パネル 2 0 0）であって、前記画素回路に供給する電源電圧を、2 行以上の前記画素回路に対して同時に制御する電源供給手段（例えば、図 1 6 の電源供給部 2 1 1）を備え、閾値補正準備動作と最初の閾値補正動作である第 1 の閾値補正動作については、前記電源供給手段が制御する単位の 2 行以上の前記画素回路に対して同時に行い、その後、各行の前記画素回路に対して線順次に第 2 の閾値補正動作を 1 回以上行う。

40

【 0 0 1 7 】

映像信号に対応する電位である信号電位を前記画素回路に供給する映像信号供給手段（

50

例えば、図 16 の水平セクタ 103) をさらに設け、前記映像信号供給手段には、前記第 2 の閾値補正動作が行われるとき、前記第 1 の閾値補正動作時に前記画素回路に供給した基準電位 (例えば、図 18 の基準電位 V_{ofs}) よりも高い電位 (例えば、図 18 の第 2 基準電位 V_{ofs2}) を供給させることができる。

【0018】

映像信号に対応する電位である信号電位を前記画素回路に供給する映像信号供給手段 (例えば、図 16 のライトスキャナ 104) をさらに設け、前記映像信号供給手段には、前記第 1 の閾値補正動作終了後の所定時間、前記第 1 の閾値補正動作時に前記画素回路に供給した基準電位 (例えば、図 20 の基準電位 V_{ofs}) よりも低い電位 (例えば、図 20 の第 3 基準電位 V_{ini}) を供給させることができる。

10

【0019】

以下、図を参照して、本発明の実施の形態について説明する。

【0020】

最初に、本発明の理解を容易にし、且つ、背景を明らかにするため、有機 EL デバイスを用いたパネル (以下、EL パネルと称する) の基本となる構成と動作について図 1 乃至図 15 を参照して説明する。

【0021】

図 1 は、基本となる EL パネルの構成例を示すブロック図である。

【0022】

図 1 の EL パネル 100 は、 $N \times M$ 個の画素 (画素回路) 101 - (1, 1) 乃至 101 - (N, M) が行列状に配置されている画素アレイ部 102 と、これを駆動する駆動部である水平セクタ (HSEL) 103、ライトスキャナ (WSCN) 104、および電源スキャナ (DSCN) 105 とにより構成されている。

20

【0023】

また、EL パネル 100 は、M 本の走査線 $WSL10-1$ 乃至 $10-M$ 、M 本の電源線 $DSL10-1$ 乃至 $10-M$ 、および N 本の映像信号線 $DTL10-1$ 乃至 $10-N$ も有する。

【0024】

なお、以下において、走査線 $WSL10-1$ 乃至 $10-M$ 、映像信号線 $DTL10-1$ 乃至 $10-N$ 、画素 101 - (1, 1) 乃至 101 - (N, M)、または電源線 $DSL10-1$ 乃至 $10-M$ のそれぞれを特に区別する必要がない場合、単に、走査線 $WSL10$ 、映像信号線 $DTL10$ 、画素 101、または電源線 $DSL10$ と称する。

30

【0025】

画素 101 - (1, 1) 乃至 101 - (N, M) のうちの第 1 行目の画素 101 - (1, 1) 乃至 101 - (N, 1) は、走査線 $WSL10-1$ でライトスキャナ 104 と、電源線 $DSL10-1$ で電源スキャナ 105 とそれぞれ接続されている。また、画素 101 - (1, 1) 乃至 101 - (N, M) のうちの第 M 行目の画素 101 - (1, M) 乃至 101 - (N, M) は、走査線 $WSL10-M$ でライトスキャナ 104 と、電源線 $DSL10-M$ で電源スキャナ 105 とそれぞれ接続されている。画素 101 - (1, 1) 乃至 101 - (N, M) の行方向に並ぶその他の画素 101 についても同様である。

40

【0026】

また、画素 101 - (1, 1) 乃至 101 - (N, M) のうちの第 1 列目の画素 101 - (1, 1) 乃至 101 - (1, M) は、映像信号線 $DTL10-1$ で水平セクタ 103 と接続されている。画素 101 - (1, 1) 乃至 101 - (N, M) のうちの第 N 列目の画素 101 - (N, 1) 乃至 101 - (N, M) は、映像信号線 $DTL10-N$ で水平セクタ 103 と接続されている。画素 101 - (1, 1) 乃至 101 - (N, M) の列方向に並ぶその他の画素 101 についても同様である。

【0027】

ライトスキャナ 104 は、走査線 $WSL10-1$ 乃至 $10-M$ に水平周期 (1H) で順次制御信号を供給して画素 101 を行単位で線順次走査する。電源スキャナ 105 は、線

50

順次走査に合わせて電源線DSL10-1乃至10-Mに第1電位(後述するVcc)または第2電位(後述するVss)の電源電圧を供給する。水平セクタ103は、線順次走査に合わせて各水平期間内(1H)で映像信号となる信号電位Vsigと基準電位Vofsとを切換えて列状の映像信号線DTL10-1乃至10-Mに供給する。

【0028】

図1のように構成されるELパネル100に、ソースドライバおよびゲートドライバとからなるドライバIC(Integrated Circuit)が付加されることによりパネルモジュールが構成され、さらに、パネルモジュールに、電源回路、画像LSI(Large Scale Integration)などを付加したものが表示装置となる。ELパネル100を含む表示装置は、例えば、携帯電話機、デジタルスチルカメラ、デジタルビデオカメラ、テレビジョン受像機、プリンタ等の表示部として使用することができる。

10

【0029】

図2は、図1に示したELパネル100に含まれるN×M個の画素101のうちの1つの画素101を拡大することにより、画素101の詳細な構成を示したブロック図である。

【0030】

なお、図2において画素101と接続されている走査線WSL10、映像信号線DTL10、および電源線DSL10は、図1から明らかなように、画素101-(n,m)(n=1,2,...,N,m=1,2,...,M)に対して、走査線WSL10-(n,m)、映像信号線DTL10-(n,m)、および電源線DSL10-(n,m)となる。

20

【0031】

図2に示す画素101の構成は、従来から用いられている構成であり、この構成を有する画素101を画素101aと呼ぶことにする。

【0032】

画素101aは、サンプリング用トランジスタ21、駆動用トランジスタ22、保持容量23、および有機EL素子である発光素子24を含む。ここで、サンプリング用トランジスタ21はNチャネル型トランジスタであり、駆動用トランジスタ22はPチャネル型トランジスタである。サンプリング用トランジスタ21のゲートは走査線WSL10に接続し、サンプリング用トランジスタ21のドレインが映像信号線DTL10に接続し、ソースが駆動用トランジスタ22のゲートgに接続している。

30

【0033】

駆動用トランジスタ22のソースsは電源線DSL10と接続され、ドレインdは発光素子24のアノードと接続されている。保持容量23は、駆動用トランジスタ22のソースsとゲートgの間に接続されている。また、発光素子24のカソードは接地されている。

【0034】

有機EL素子は電流発光素子であるため、発光素子24に流れる電流値をコントロールすることで、発色の階調を得ることができる。図2の画素101aでは、駆動用トランジスタ22のゲート印加電圧を変化させることで、発光素子24に流れる電流値をコントロールしている。

40

【0035】

より具体的には、駆動用トランジスタ22のソースsは電源線DSL10に接続されており、常に飽和領域で動作するように設計されているので、駆動用トランジスタ22は、次式(1)で表される電流値Idsを流す定電流源として機能する。

【数1】

$$I_{ds} = \frac{1}{2} \mu \frac{W}{L} C_{ox} (V_{gs} - V_{th})^2 \quad \dots (1)$$

【0036】

50

式(1)において、 μ は移動度を示し、 W はゲート幅を表し、 L はゲート長を表し、 C_{ox} は単位面積あたりのゲート酸化膜容量を示す。また、 V_{gs} は、駆動用トランジスタ22のゲート g とソース s 間の電圧(ゲートソース間電圧)であり、 V_{th} は、駆動用トランジスタ22の閾値電圧である。なお、飽和領域とは、($V_{gs} - V_{th} < V_{ds}$)の条件を満たした状態をいう(V_{ds} は、駆動用トランジスタ22のソース s とドレイン d 間の電圧)。

【0037】

図2の画素101aでは、経時劣化により有機EL素子の $I-V$ 特性は、図3に示すように変化し、駆動用トランジスタ22のドレイン電圧は変化するが、駆動用トランジスタ22のゲートソース間電圧 V_{gs} を一定に保つことで、発光素子24には一定量の電流 I_{ds} が流れる。即ち、電流 I_{ds} と、有機EL素子の発光輝度とは比例関係にあるので、輝度自体は経時劣化によってもほぼ変化しない。

10

【0038】

しかしながら、Pチャネル型トランジスタは、低温ポリシリコンよりも安価に作成できるアモルファスシリコンで作成することができないため、より安価に画素回路を構成しようとする場合には、Nチャネル型トランジスタで構成する方が望ましい。

【0039】

そこで、図4の画素101bに示すように、Pチャネル型である駆動用トランジスタ22をNチャネル型の駆動用トランジスタ25に代えることが考えられる。

20

【0040】

すなわち、図4の画素101bは、図3に示した画素101aの構成のうち、Pチャネル型の駆動用トランジスタ22をNチャネル型の駆動用トランジスタ25に代えた構成を示している。

【0041】

図4の画素101bの構成では、駆動用トランジスタ25のソース s が発光素子24に接続されてしまうため、有機EL素子の経時変化とともに駆動用トランジスタ25のゲートソース間電圧 V_{gs} が変化してしまう。これにより、発光素子24に流れる電流が変化し、発光輝度は変化してしまう。また、画素101bごとに駆動用トランジスタの閾値電圧 V_{th} および移動度 μ は異なるため、式(1)に応じて電流値 I_{ds} にバラツキが生じ、発光輝度も画素ごとに異なることになる。

30

【0042】

そこで、有機EL素子の経時劣化、駆動用トランジスタの特性バラツキを防止し、かつ、画素101を構成する素子数が少ない回路として、後述する本発明を適用したELパネルにも採用する図5に示す画素101cの構成が、本出願人により提案されている。

【0043】

図5の画素101cは、サンプリング用トランジスタ31、駆動用トランジスタ32、保持容量33、および発光素子34を有する。サンプリング用トランジスタ31のゲートは走査線 $WSL10$ と接続され、サンプリング用トランジスタ31のドレインは映像信号線 $DTL10$ と接続されるとともに、ソースが駆動用トランジスタ32のゲート g と接続されている。

40

【0044】

駆動用トランジスタ32のソース s 及びドレイン d の一方は発光素子34のアノードに接続され、他方が電源線 $DSL10$ に接続される。保持容量33は、駆動用トランジスタ32のゲート g と発光素子34のアノードの間に接続されている。また、発光素子34のカソードは所定の電位 V_{cat} に設定されている配線35に接続されている。

【0045】

以上のように構成される画素101cにおいて、サンプリング用トランジスタ31が、走査線 $WSL10$ から供給された制御信号に応じてオン(導通)すると、保持容量33は、映像信号線 $DTL10$ を介して水平セクタ103から供給された電荷を蓄積して保持する。駆動用トランジスタ32は、第1電位 V_{cc} にある電源線 $DSL10$ から電流の供

50

給を受け、保持容量 33 に保持された信号電位 V_{sig} に応じて駆動電流 I_{ds} を発光素子 34 に流す。発光素子 34 に所定の駆動電流 I_{ds} が流れることにより、画素 101c が発光する。

【0046】

画素 101c は、閾値補正機能を有する。閾値補正機能とは、駆動用トランジスタ 32 の閾値電圧 V_{th} に相当する電圧を保持容量 33 に保持させる機能であり、これにより、EL パネル 100 の画素毎のばらつきの原因となる駆動用トランジスタ 32 の閾値電圧 V_{th} の影響をキャンセルすることができる。

【0047】

また、画素 101c は、上述した閾値補正機能に加え、移動度補正機能も有する。移動度補正機能とは、保持容量 33 に信号電位 V_{sig} を保持する際、駆動用トランジスタ 32 の移動度 μ に対する補正を信号電位 V_{sig} に加える機能である。

【0048】

さらに、画素 101c は、ブートストラップ機能も備えている。ブートストラップ機能とは、駆動用トランジスタ 32 のソース電位 V_s の変動にゲート電位 V_g を連動させる機能であり、これにより、駆動用トランジスタ 32 のゲート g とソース s 間の電圧 V_{gs} を一定に維持することが出来る。

【0049】

なお、閾値補正機能、移動度補正機能、およびブートストラップ機能については、後述する図 10、図 14、および図 15 などでも説明する。

【0050】

以下では、単に画素 101 という場合であっても、画素 101 は、図 5 に示した画素 101c の構成を有しているものとする。

【0051】

図 6 は、画素 101 の動作を説明するタイミングチャートである。

【0052】

図 6 は、同一の時間軸（図面横方向）に対する走査線 $WSL10$ 、電源線 $DSL10$ 、および映像信号線 $DTL10$ の電位変化と、それに対応する駆動用トランジスタ 32 のゲート電位 V_g 及びソース電位 V_s の変化を示している。

【0053】

図 6 において、時刻 t_1 までの期間は、前の水平期間（ $1H$ ）の発光がなされている発光期間 T_1 である。

【0054】

発光期間 T_1 が終了した時刻 t_1 から時刻 t_4 までは、駆動用トランジスタ 32 のゲート電位 V_g 及びソース電位 V_s を初期化することで閾電圧補正動作の準備を行う閾値補正準備期間 T_2 である。

【0055】

閾値補正準備期間 T_2 では、時刻 t_1 において、電源スキヤナ 105 が、電源線 $DSL10$ の電位を高電位である V_{cc} から低電位である V_{ss} に切換え、時刻 t_2 において、水平セクタ 103 が、映像信号線 $DTL10$ の電位を信号電位 V_{sig} から基準電位 V_{ofs} に切換える。次に、時刻 t_3 において、ライトスキヤナ 104 が、走査線 $WSL10$ の電位を高電位に切換え、サンプリング用トランジスタ 31 をオンさせる。これにより、駆動用トランジスタ 32 のゲート電位 V_g が基準電位 V_{ofs} にリセットされ、且つ、ソース電位 V_s が映像信号線 $DTL10$ の低電位 V_{ss} にリセットされる。

【0056】

時刻 t_4 から時刻 t_5 までは、閾値補正動作を行う閾値補正期間 T_3 である。閾値補正期間 T_3 では、時刻 t_4 において、電源スキヤナ 105 により、電源線 $DSL10$ の電位が高電位 V_{cc} に切換えられ、閾値電圧 V_{th} に相当する電圧が、駆動用トランジスタ 32 のゲート g とソース s との間に接続された保持容量 33 に書き込まれる。

【0057】

10

20

30

40

50

時刻 t_5 から時刻 t_7 までの書き込み + 移動度補正準備期間 T_4 では、走査線 $W S L 1 0$ の電位が高電位から低電位一旦切換えられるとともに、時刻 t_7 の前の時刻 t_6 において、水平セレクタ $1 0 3$ が、映像信号線 $D T L 1 0$ の電位を基準電位 $V o f s$ から階調に応じた信号電位 $V s i g$ に切換える。

【 0 0 5 8 】

そして、時刻 t_7 から時刻 t_8 までの書き込み + 移動度補正期間 T_5 において、映像信号の書き込みと移動度補正動作が行われる。即ち、時刻 t_7 から時刻 t_8 までの間、走査線 $W S L 1 0$ の電位が高電位に設定され、これにより、映像信号の信号電位 $V s i g$ が閾値電圧 $V t h$ に足し込まれる形で保持容量 $3 3$ に書き込まれると共に、移動度補正用の電圧 ΔV_μ が保持容量 $3 3$ に保持された電圧から差し引かれる。

10

【 0 0 5 9 】

書き込み + 移動度補正期間 T_5 終了後の時刻 t_8 において、走査線 $W S L 1 0$ の電位が低電位に設定され、それ以降、発光期間 T_6 として、信号電圧 $V s i g$ に応じた発光輝度で発光素子 $3 4$ が発光する。信号電圧 $V s i g$ は、閾値電圧 $V t h$ に相当する電圧と移動度補正用の電圧 ΔV_μ とによって調整されているため、発光素子 $3 4$ の発光輝度は駆動用トランジスタ $3 2$ の閾値電圧 $V t h$ や移動度 μ のばらつきの影響を受けることがない。

【 0 0 6 0 】

なお、発光期間 T_6 の最初でブートストラップ動作が行われ、駆動用トランジスタ $3 2$ のゲート - ソース間電圧 $V g s = V s i g + V t h - \Delta V_\mu$ を一定に維持したまま、駆動用トランジスタ $3 2$ のゲート電位 $V g$ 及びソース電位 $V s$ が上昇する。

20

【 0 0 6 1 】

また、時刻 t_8 から所定時間経過後の時刻 t_9 において、映像信号線 $D T L 1 0$ の電位が、信号電位 $V s i g$ から基準電位 $V o f s$ に落とされる。図 6 において、時刻 t_2 から時刻 t_9 までの期間は水平期間 ($1 H$) に相当する。

【 0 0 6 2 】

以上のようにして、画素 $1 0 1$ として画素 $1 0 1 c$ の構成を有する $E L$ パネル $1 0 0$ では、駆動用トランジスタ $3 2$ の閾値電圧 $V t h$ や移動度 μ のばらつきの影響を受けることがなく、発光素子 $3 4$ を発光させることができる。

【 0 0 6 3 】

図 7 乃至図 1 5 を参照して、画素 $1 0 1$ ($1 0 1 c$) の動作についてさらに詳細に説明する。

30

【 0 0 6 4 】

図 7 は、発光期間 T_1 の画素 $1 0 1$ の状態を示している。

【 0 0 6 5 】

発光期間 T_1 では、サンプリング用トランジスタ $3 1$ がオフ (走査線 $W S L 1 0$ の電位が低電位)、かつ電源線 $D S L 1 0$ の電位が高電位 $V c c$ となっており、駆動用トランジスタ $3 2$ が駆動電流 $I d s$ を発光素子 $3 4$ に供給している。このとき駆動用トランジスタ $3 2$ は飽和領域で動作するように設定されているため、発光素子 $3 4$ に流れる駆動電流 $I d s$ は、駆動用トランジスタ $3 2$ のゲートソース間電圧 $V g s$ に応じて式 (1) で表される値をとる。

40

【 0 0 6 6 】

そして、閾値補正準備期間 T_2 の最初の時刻 t_1 において、図 8 に示すように、電源スキヤナ $1 0 5$ は、電源線 $D S L 1 0$ の電位を高電位 $V c c$ (第 1 電位) から低電位 $V s s$ (第 2 電位) に切換える。このとき電源線 $D S L 1 0$ の電位 $V s s$ が発光素子 $3 4$ の閾値電圧 $V t h e 1$ とカソード電位 $V c a t$ の和よりも小さければ ($V s s < V t h e 1 + V c a t$) 発光素子 $3 4$ は消光し、駆動用トランジスタ $3 2$ の電源線 $D S L 1 0$ と接続された側がソース s となる。また、発光素子 $3 4$ のアノードは電位 $V s s$ に充電される。

【 0 0 6 7 】

次に、図 9 に示すように、時刻 t_2 において、水平セレクタ $1 0 3$ が映像信号線 $D T L 1 0$ の電位を基準電位 $V o f s$ にした後、時刻 t_3 において、ライトスキヤナ $1 0 4$ が、

50

走査線 $WSL10$ の電位を高電位に切換えることより、サンプリング用トランジスタ 31 をオンにする。これにより、駆動用トランジスタ 32 のゲート電位 V_g は V_{ofs} となり、ゲートソース間電圧 V_{gs} は、 $V_{ofs} - V_{ss}$ という値をとる。ここで、駆動用トランジスタ 32 のゲートソース間電圧 V_{gs} である ($V_{ofs} - V_{ss}$) は、次の閾値補正期間 T_3 で閾値補正動作を行うため、閾値電圧 V_{th} よりも大である ($V_{ofs} - V_{ss} > V_{th}$) 必要がある。逆に言うと、($V_{ofs} - V_{ss} > V_{th}$) の条件を満たすように、電位 V_{ofs} および V_{ss} が設定される。

【0068】

そして、閾値補正期間 T_3 の最初の時刻 t_4 において、図 10 に示すように、電源スキャナ 105 が電源線 $DSL10$ の電位を低電位 V_{ss} から高電位 V_{cc} に切換えると、駆動用トランジスタ 32 の発光素子 34 のアノードと接続されている側がソース s となり、図 10 において 1 点鎖線で示されるように電流が流れる。

【0069】

ここで、発光素子 34 は等価的にダイオード $34A$ と寄生容量を C_{el} とする保持容量 $34B$ で表すことができ、発光素子 34 のリーク電流が駆動用トランジスタ 32 に流れる電流よりもかなり小さい ($V_{el} = V_{cat} + V_{thel}$ を満たす) という条件の下では、駆動用トランジスタ 32 に流れる電流は保持容量 33 と $34B$ を充電するために使用される。発光素子 34 のアノード電位 V_{el} (駆動用トランジスタ 32 のソース電位 V_s) は、図 11 に示されるように、駆動用トランジスタ 32 を流れる電流に応じて上昇する。所定時間経過後、駆動用トランジスタ 32 のゲートソース間電圧 V_{gs} が V_{th} という値をとる。また、このときの発光素子 34 のアノード電位 V_{el} は ($V_{ofs} - V_{th}$) である。ここで、発光素子 34 のアノード電位 V_{el} は、発光素子 34 の閾値電圧 V_{thel} とカソード電位 V_{cat} の和以下となっている ($V_{el} = (V_{ofs} - V_{th}) - (V_{cat} + V_{thel})$)。

【0070】

その後、時刻 t_5 において、図 12 に示されるように、走査線 $WSL10$ の電位が高電位から低電位に切替えられ、サンプリング用トランジスタ 31 がオフして閾値補正動作 (閾値補正期間 T_3) が完了する。

【0071】

続く書き込み + 移動度補正準備期間 T_4 の時刻 t_6 において、水平セレクタ 103 によって、映像信号線 $DTL10$ の電位が、基準電位 V_{ofs} から、階調に応じた信号電位 V_{sig} に切換えられた (図 12) 後、書き込み + 移動度補正期間 T_5 に入り、図 13 に示されるように、時刻 t_7 において、走査線 $WSL10$ の電位が高電位に設定されることでサンプリング用トランジスタ 31 がオンして、映像信号の書き込みと移動度補正動作が行われる。駆動用トランジスタ 32 のゲート電位 V_g は、サンプリング用トランジスタ 31 がオンしているため信号電位 V_{sig} となるが、サンプリング用トランジスタ 31 には電源線 $DSL10$ からの電流が流れるため、駆動用トランジスタ 32 のソース電位 V_s は、時間とともに上昇していく。

【0072】

駆動用トランジスタ 32 の閾値補正動作は既に完了している。よって、式 (1) の右辺の閾値補正の項、即ち $(V_{sig} - V_{ofs})^2$ の項の影響はなくなるので、駆動用トランジスタ 32 が流す電流 I_{ds} は移動度 μ を反映したものとなる。具体的には、図 14 に示されるように、移動度 μ が大きい場合には、駆動用トランジスタ 32 が流す電流 I_{ds} は大きくなり、ソース電位 V_s の上昇も早い。一方、移動度 μ が小さい場合には、駆動用トランジスタ 32 が流す電流 I_{ds} は小さくなり、ソース電位 V_s の上昇は遅くなる。換言すると、一定時間経過時点では、移動度 μ が大きい場合には、駆動用トランジスタ 32 のソース電位 V_s の上昇量 V_{μ} (電位補正值) は大きくなり、移動度 μ が小さい場合には、駆動用トランジスタ 32 のソース電位 V_s の上昇量 V_{μ} (電位補正值) は小さくなる。これによって、各画素 101 の駆動用トランジスタ 32 のゲートソース間電圧 V_{gs} のバラツキが、移動度 μ を反映して小さくなり、一定時間経過後の各画素 101 のゲート

10

20

30

40

50

ソース間電圧 V_{gs} は、移動度 μ のバラツキを完全に補正した電圧となる。

【0073】

時刻 t_8 において、走査線 $WSL10$ の電位が低電位に設定されることでサンプリング用トランジスタ 31 がオフして、書き込み + 移動度補正期間 T_5 が終了し、発光期間 T_6 となる (図 15)。

【0074】

発光期間 T_6 では、駆動用トランジスタ 32 のゲートソース間電圧 V_{gs} は一定であるので、駆動用トランジスタ 32 は一定電流 $I_{ds'}$ を発光素子 34 に供給し、発光素子 34 のアノード電位 V_{e1} は、発光素子 34 に一定電流 $I_{ds'}$ という電流が流れる電圧 V_x まで上昇し、発光素子 34 は発光する。駆動用トランジスタ 32 のソース電位 V_s が上昇すると、保持容量 33 のブートストラップ機能により、駆動用トランジスタ 32 のゲート電位 V_g も連動して上昇する。

【0075】

画素 101c を採用した画素 101 においても、発光素子 34 は、発光時間が長くなると、 $I-V$ 特性は変化する。そのため、図 15 に示される B 点の電位も時間とともに変化する。しかしながら、駆動用トランジスタ 32 のゲートソース間電圧 V_{gs} は一定値に保たれているので、発光素子 34 に流れる電流は変化しない。したがって、発光素子の $I-V$ 特性が経時劣化しても、一定電流 $I_{ds'}$ が流れ続けるので、発光素子 34 の輝度が変化することはない。

【0076】

以上のように、画素 101 (101c) を備える図 5 の EL パネル 100 においては、閾値補正機能および移動度補正機能によって画素 101 ごとの閾値電圧 V_{th} 及び移動度 μ の相違を補正することができる。また、発光素子 34 の経時変動 (劣化) も補正することができる。

【0077】

これにより、図 5 の EL パネル 100 を用いた表示装置では、高品位な画質を得ることが可能である。

【0078】

しかしながら、図 5 の EL パネル 100 の構成を、液晶ディスプレイ (LCD) の構成と比較すると、液晶ディスプレイには電源線 $DSL10$ に相当する制御線がなく、EL パネル 100 は制御線の数が多いということが言える。

【0079】

そこで、より構成を簡素化し、より低コスト化を図った EL パネルとして、図 16 の EL パネル 200 を示す。

【0080】

即ち、図 16 は、本発明を適用した EL パネルの一実施の形態の構成例を示すブロック図である。なお、図 16 において、図 1 と対応する部分については同一の符号を付してあり、その説明を適宜省略する。

【0081】

図 1 の EL パネル 100 では、各行の画素 101 に対して個別に設けられていた電源線 $DSL10-1$ 乃至 $10-M$ に代えて、EL パネル 200 では、全ての画素 101 に対して共通の電源線 $DSL212$ が設けられており、第 1 電位としての高電位 V_{cc} または第 2 電位としての低電位 V_{ss} の電源電圧が、電源供給部 211 から電源線 $DSL212$ を介して、全ての画素 101 に一律に供給される。すなわち、電源供給部 211 は、画素アレイ部 102 の全ての画素 101 に対して同一の電源電圧制御を行う。

【0082】

EL パネル 200 の電源供給部 211 および電源線 212 以外の構成は、図 1 の EL パネル 100 と同様である。ただし、画素アレイ部 102 の各画素 101 は、図 5 に示した画素 101c の構成を有している。

【0083】

10

20

30

40

50

次に、図 17 を参照して、EL パネル 200 で基本となる駆動制御方式（以下、基本駆動制御方式という）について説明する。図 17 は、電源線 D S L 2 1 2 を介して電源供給部 2 1 1 から全ての画素 1 0 1 に電源電圧が供給されるタイミングと、各行の画素 1 0 1 の発光タイミングを示している。

【0084】

図 17 において、時刻 t_{21} から時刻 t_{34} までの期間が 1 枚の映像を表示するための単位時間（以下、1 フィールド期間（1 F）という）であり、そのうちの時刻 t_{21} から時刻 t_{25} までの期間が全画素が共通に制御される期間（以下、全画素共通期間という）である。また、時刻 t_{25} から時刻 t_{34} までの期間は全画素 1 0 1 に対して線順次に走査を行う線順次走査期間である。

10

【0085】

最初に、全画素共通期間の時刻 t_{21} において、電源供給部 2 1 1 は、電源線 D S L 2 1 2 に供給する電位を高電位 V_{cc} から低電位 V_{ss} に切換える。なお、時刻 t_{21} においては、走査線 W S L 1 0 - 1 乃至 1 0 - M の各電位および映像信号線 D T L 1 0 - 1 乃至 1 0 - N の各電位は、低電位側に設定されている。

【0086】

そして、時刻 t_{22} において、ライトスキャナ 1 0 4 が、供給する電位を走査線 W S L 1 0 - 1 乃至 1 0 - M に対して同時に高電位に切換える。これにより、図 9 を参照して説明したように、駆動用トランジスタ 3 2 のゲート電位 V_g は V_{ofs} となり、ソース電位 V_s は V_{ss} となる。その結果、ゲートソース間電圧 V_{gs} が駆動用トランジスタ 3 2 の閾値電圧 V_{th} よりも大である $V_{ofs} - V_{ss} (> V_{th})$ という値をとることになり、閾値補正を行う前の閾値補正準備動作が行われている。したがって、時刻 t_{22} から時刻 t_{23} までは閾値補正準備期間である。

20

【0087】

閾値補正の準備が完了すると、時刻 t_{23} において、電源供給部 2 1 1 が電源線 D S L 2 1 2 に供給する電位を低電位 V_{ss} から高電位 V_{cc} に切換えることにより、全画素 1 0 1 で同時に閾値補正動作が開始される。すなわち、図 10 を参照して説明したように、発光素子 3 4 のアノード電位 V_{el} （駆動用トランジスタ 3 2 のソース電位）が、駆動用トランジスタ 3 2 を流れる電流に応じて上昇し、所定時間後には $(V_{ofs} - V_{th})$ に等しくなる。時刻 t_{24} には、走査線 W S L 1 0 - 1 乃至 1 0 - M それぞれに供給する電位が、ライトスキャナ 1 0 4 により、一斉に低電位に切換えられ、閾値補正動作が終了する。

30

【0088】

そして、時刻 t_{25} から、画素 1 0 1 に対して線順次に映像信号を書き込む線順次走査期間が開始する。

【0089】

すなわち、時刻 t_{25} から時刻 t_{30} までの期間、映像信号線 D T L 1 0 - 1 乃至 1 0 - N それぞれの電位が階調に応じた信号電位 V_{sig} に設定され、その間に、ライトスキャナ 1 0 4 は、走査線 W S L 1 0 - 1 乃至 1 0 - M に対して順番に（線順次に）、供給する電位を T s 時間だけ高電位に切換える。T s 時間だけ高電位に切換えられた行の画素 1 0 1 の発光素子 3 4 は発光する。

40

【0090】

なお、走査線 W S L 1 0 の電位が高電位に設定されるあいだは、図 13 を参照して説明したように、駆動用トランジスタ 3 2 のソース電位 V_s も上昇していくので、映像信号の書き込みとともに移動度補正も行われている。

【0091】

M 行目の走査線 W S L 1 0 - M に対する高電位の電源電圧の供給が終了すると、時刻 t_{30} に、映像信号線 D T L 1 0 - 1 乃至 1 0 - N それぞれの電位が一斉に基準電位 V_{ofs} に切替えられる。

【0092】

そして、基準電位 V_{ofs} が映像信号線 D T L 1 0 - 1 乃至 1 0 - N それぞれに対して

50

供給されている状態で、時刻 t_{31} から、ライトスキャナ 104 は、走査線 $WSL10-1$ 乃至 $10-M$ に対して順番に（線順次に）、 T_s 時間だけ高電位に切替える。 T_s 時間だけ高電位に切換えられた行の画素 101 では、駆動用トランジスタ 32 のゲート g に基準電位 V_{ofs} が供給されることとなり、駆動用トランジスタ 32 のゲートソース間電圧 V_{gs} が閾値電圧 V_{th} 以下となって、発光素子 34 が消光する。ここで、発光素子 34 を消光させるためには、駆動用トランジスタ 32 のゲート g に供給する電位は、必ずしも基準電位 V_{ofs} である必要はなく、発光素子 34 のカソード電位 V_{cat} と発光素子 34 の閾値電圧 V_{thel} 、および駆動用トランジスタ 32 の閾値電圧 V_{th} の和（ $V_{cat} + V_{thel} + V_{th}$ ）以下であればよいが、閾値補正の基準電位 V_{ofs} と同一にすることで、制御を簡単にすることができる。

10

【0093】

基本制御方式においては、基準電位 V_{ofs} が映像信号線 $DTL10$ に供給されている状態でサンプリング用トランジスタ 31 をオンすることで発光素子 34 を消光させ、各行の発光期間を制御している。したがって、発光期間は、信号電位 V_{sig} が映像信号線 $DTL10$ に供給されている状態におけるサンプリング用トランジスタ 31 のオフから、基準電位 V_{ofs} が映像信号線 $DTL10$ に供給されている状態におけるサンプリング用トランジスタ 31 のオンまでである。なお、発光期間は各行で同一とする必要があるため、最終行の M 行目の映像信号の書き込みは、1 フィールド期間の終了時から発光期間だけ前に行われる必要がある。

【0094】

20

以上のように、電源ラインである電源線 $DSL212$ を全画素共通として、全画素共通期間内に、閾値補正準備動作と閾値補正動作を全画素で同時に（一斉に）行うことにより、 EL パネル 200 の回路を簡素化し、電源制御を容易にすることが可能となるので、パネル全体のコストを低減させることが可能となる。

【0095】

ところで、図 17 を参照して説明した基本駆動制御方式では、閾値補正期間が終了してから各行の画素 101 が発光を開始するまでの期間が各行で異なっている。閾値補正期間が終了してから各行の画素 101 が発光を開始するまでの期間には、厳密に言えば、駆動用トランジスタ 32 のリーク電流、発光素子 34 のリーク電流、およびサンプリング用トランジスタ 31 のリーク電流が存在するので、閾値補正期間が終了してからの、それらのリーク電流によって、駆動用トランジスタ 32 のゲート電位 V_g およびソース電位 V_s が変化する。具体的には、駆動用トランジスタ 32 のソース電位 V_s は、駆動用トランジスタ 32 のリーク電流によって電源線 $DSL212$ の電位 V_{cc} の方向に、発光素子 34 のリーク電流によってカソード電位 V_{cat} の方向に変化（上昇）し、駆動用トランジスタ 32 のゲート電位 V_g もソース電位 V_s の変化に伴って変化（上昇）する。

30

【0096】

ここで、駆動用トランジスタ 32 のゲート電位 V_g およびソース電位 V_s の上昇量を V とする。また、サンプリング用トランジスタ 31 のリーク電流による電位変化量を V_2 とすると、その電位変化量 V に対応する駆動用トランジスタ 32 のソース電位 V_s の変化量は $g \cdot V_2$ と表すことができる。係数 g は、保持容量 33 の容量、駆動用トランジスタ 32 のゲートソース間容量、および発光素子 34 の寄生容量 C_{el} によって決定される。

40

【0097】

いま電位変化量 V と V_2 がいずれも正の値であるとする、映像信号書き込み直前における駆動用トランジスタ 32 のゲート電位 V_g は（ $V_{ofs} + V + V_2$ ）と表すことができ、ソース電位 V_s は（ $V_{ofs} - V_{th} + V + g \cdot V_2$ ）と表すことができる。この電位変化量 V と V_2 は、各画素 101 によるリーク電流のばらつきの影響を大きく受けるので、画素 101 ごとに異なるものであり、 EL パネル 200 としてはムラやシェーディングといった画質不良を引き起こすという原因になる。

【0098】

50

そこで、E L パネル 2 0 0 では、リーク電流による電位変化を防止するため、図 1 8 に示す駆動制御方式（以下、第 1 の駆動制御方式という）を採用することができる。

【 0 0 9 9 】

図 1 8 の時刻 t_{41} から時刻 t_{53} までの 1 フィールド期間（1 F）のうち、時刻 t_{41} から時刻 t_{44} までの動作は、図 1 7 の時刻 t_{21} から時刻 t_{24} の動作と同様である。すなわち、時刻 t_{41} から時刻 t_{44} の期間では、E L パネル 2 0 0 の全画素に対して同時に閾値補正準備動作と閾値補正動作が行われる。

【 0 1 0 0 】

そして、時刻 t_{44} 以降は、映像信号線 D T L 1 0 - 1 乃至 1 0 - N それぞれの電位を基準電位 V_{ofs} よりも高い第 2 基準電位 V_{ofs2} に設定しての分割閾値補正動作と信号電位 V_{sig} による映像信号の書き込みとが線順次に行われる。

10

【 0 1 0 1 】

具体的には、時刻 t_{44} より後の時刻 t_{45} において、映像信号線 D T L 1 0 - 1 乃至 1 0 - N それぞれの電位が一斉に第 2 基準電位 V_{ofs2} に切替えられ、その後、1 行目の画素 1 0 1 に対する分割閾値補正動作と映像信号の書き込みとが行われる。

【 0 1 0 2 】

すなわち、映像信号線 D T L 1 0 - 1 乃至 1 0 - N の電位が第 2 基準電位 V_{ofs2} の状態で、時刻 t_{46} からの T v 時間、時刻 t_{47} からの T v 時間、および、時刻 t_{48} からの T v 時間の 3 回、走査線 W S L 1 0 - 1 の電位が高電位に切替えられる。次に、映像信号線 D T L 1 0 - 1 乃至 1 0 - N の電位が階調に応じた信号電位 V_{sig} に所定時間設定され、その間に、走査線 W S L 1 0 - 1 の電位が、 T_{s2} 時間、高電位に切替えられ、1 行目の画素 1 0 1 に信号電位 V_{sig} の映像信号が書き込まれる。信号電位 V_{sig} の映像信号が書き込まれた後の画素 1 0 1 は発光する。

20

【 0 1 0 3 】

2 行目から M 行目に対しても同様のタイミングで、3 回の分割閾値補正動作と映像信号の書き込みとが順次行われる。なお、図 1 8 では、分割閾値補正のためのサンプリング用トランジスタ 3 1 のオン状態を、影を付して示している。

【 0 1 0 4 】

M 行目の映像信号の書き込み終了後の時刻 t_{52} には、映像信号線 D T L 1 0 - 1 乃至 1 0 - N の電位が基準電位 V_{ofs} に切替えられ、以下、図 1 7 における場合と同様に、発光期間が同一の期間となるように順次サンプリング用トランジスタ 3 1 をオンすることで、発光素子 3 4 が消光する。

30

【 0 1 0 5 】

発光素子 3 4 を消光させるためには、図 1 7 を参照して説明したように、駆動用トランジスタ 3 2 のゲート g に供給する電位は、必ずしも基準電位 V_{ofs} である必要はなく、発光素子 3 4 のカソード電位 V_{cat} と発光素子 3 4 の閾値電圧 V_{thel} 、および駆動用トランジスタ 3 2 の閾値電圧 V_{th} の和（ $V_{cat} + V_{thel} + V_{th}$ ）以下であればよい。また、駆動用トランジスタ 3 2 のゲート g に供給する電位を、発光輝度を反映した逆バイアス電位とすることもできる。

【 0 1 0 6 】

40

図 1 9 を参照して、m 行 n 列目の画素 1 0 1 - (n , m) に注目して、第 1 の駆動制御方式における、画素 1 0 1 - (n , m) の駆動用トランジスタ 3 2 のゲート電位 V_g およびソース電位 V_s の変化について詳しく説明する。

【 0 1 0 7 】

時刻 t_{42} から時刻 t_{43} までの期間は全画素に対して一斉に行われる閾値補正準備期間であり、時刻 t_{43} から時刻 t_{44} までの期間は全画素に対して一斉に行われる閾値補正期間である。

【 0 1 0 8 】

閾値補正準備期間では、サンプリング用トランジスタ 3 1 のオンにより駆動用トランジスタ 3 2 のゲート電位 V_g が映像信号線 D T L 1 0 - n の電位である基準電位 V_{ofs} ま

50

で上昇する。閾値補正期間では、電源線 D S L が高電位 V_{cc} になることで、駆動用トランジスタ 32 のゲートソース間電圧 V_{gs} が閾値電圧 V_{th} となるところまでソース電位 V_s が上昇する。

【0109】

時刻 t_{45} において映像信号線 D T L 10 - n の電位が第 2 基準電位 V_{ofs2} に切替えられてから、いま注目している画素 101 - (n, m) に対する分割閾値補正が実行される時刻 t_{61} までの間、駆動用トランジスタ 32、発光素子 34、およびサンプリング用トランジスタ 31 のリーク電流によって、駆動用トランジスタ 32 のゲート電位 V_g およびソース電位 V_s は上昇する。駆動用トランジスタ 32 のゲート電位 V_g の上昇量は、上述したように $(V_1 + V_2)$ である。なお、駆動用トランジスタ 32 のソース電位 V_s は、カソード電位 V_{cat} 以下であるとする。

10

【0110】

時刻 t_{61} からの T v 時間、ライトスキャナ 104 によりサンプリング用トランジスタ 31 がオンされる。第 2 基準電位 V_{ofs2} は駆動用トランジスタ 32 の上昇後のゲート電位 $V_g = (V_{ofs} + V_1 + V_2)$ よりも大きく設定されており、これにより、駆動用トランジスタ 32 のゲートソース間電圧 V_{gs} は閾値電圧 V_{th} 以上となり、閾値補正動作が開始される。換言すれば、閾値補正動作を再び開始させるため、第 2 基準電位 V_{ofs2} は駆動用トランジスタ 32 の上昇後のゲート電位 $V_g =$ 電位 $(V_{ofs} + V_1 + V_2)$ よりも大きく設定する必要がある。また、図 10 を参照して説明したように、駆動用トランジスタ 32 に流れる電流が保持容量 33 を充電するために使用されるためには、 $(V_{el} - V_{cat} + V_{thel})$ という条件を満たす必要もある。

20

【0111】

時刻 t_{61} から T v 時間の第 1 の分割閾値補正期間が終了した後、時刻 t_{63} までの所定時間、サンプリング用トランジスタ 31 はオフにされる。

【0112】

時刻 t_{63} から時刻 t_{67} までの間に、同様のサンプリング用トランジスタ 31 のオンおよびオフが 2 回繰り返され、2 回の分割閾値補正動作が実行される。3 回目の分割閾値補正動作終了後の時刻 t_{66} では、駆動用トランジスタ 32 のゲート電位 V_g は V_{ofs2} となっており、ソース電位 V_s は $(V_{ofs2} - V_{th})$ 、ゲートソース間電圧 V_{gs} は V_{th} となる。

30

【0113】

その後、映像信号線 D T L 10 - n の電位が階調に応じた信号電位 V_{sig} に切替えられてから所定時間経過後の時刻 t_{67} から T s₂ 時間、ライトスキャナ 104 によりサンプリング用トランジスタ 31 が再びオンされ、映像信号の書き込みと移動度補正動作が行われる。そして、時刻 t_{68} において、サンプリング用トランジスタ 31 がオフされ、画素 101 - (n, m) は発光を開始する。

【0114】

以上のように、映像信号の書き込みの直前に閾値補正を行うことにより、閾値補正動作を行ってから映像信号の書き込みを行うまでの時間を短くすることができる。これにより、駆動用トランジスタ 32、発光素子 34、およびサンプリング用トランジスタ 31 のリーク電流を抑制することができるので、各画素 101 のリーク電流のばらつきにより発生する画質ムラのない均一な画像を表示を得ることができる。

40

【0115】

また、閾値補正動作を行ってから映像信号の書き込みを行うまでの時間を各行で一定とすることができるので、シェーディング等の画質劣化のない均一な画像を表示することができる。

【0116】

すなわち、図 18 および図 19 を参照して説明した第 1 の駆動制御方式によれば、画質を向上させることができる。

【0117】

50

次に、図 20 を参照して、E L パネル 200 が行うその他の駆動制御方式であって、第 2 の駆動制御方式について説明する。

【0118】

なお、図 20 において、図 18 と対応する部分については同一の符号を付してあり、その説明は適宜省略する。

【0119】

図 20 では、時刻 t_{43} 以降の時刻 t_{43}' から時刻 t_{44} までの T_u 時間、映像信号線 D T L 10 の電位が基準電位 V_{ofs} から第 3 基準電位 V_{ini} に設定されている。

【0120】

駆動用トランジスタ 32、発光素子 34、およびサンプリング用トランジスタ 31 のリーク電流をできるだけ小さくすることを考えると、容量 C 、電圧 V 、電流 i 、および時間 t には $CV = it$ の関係があるため、駆動用トランジスタ 32 のゲートソース間電圧 V_{gs} を小さくすることで駆動用トランジスタ 32 に流れる電流（リーク電流）も小さくさせることができる。そこで、第 2 の駆動制御方式では、駆動用トランジスタ 32 のゲート電位 V_g に第 2 基準電位 V_{ofs} を与える前に第 3 基準電位 V_{ini} が与えられる。

【0121】

その結果、駆動用トランジスタ 32 のゲートソース間電圧 V_{gs} を小さくすることができ、リーク電流が少なくなるので、駆動用トランジスタ 32 のゲート電位 V_g の上昇量（ $V + V_2$ ）は、図 19 を参照して説明した第 1 の駆動制御方式における場合よりも小さくなる。これにより、駆動用トランジスタ 32 の上昇後のゲート電位 $V_g =$ 電位（ $V_{ofs} + V + V_2$ ）よりも大きく設定する必要がある第 2 基準電位は、第 1 の駆動制御方式の V_{ofs2} よりも小さい V_{ofs2}' で済む。換言すれば、基準電位 V_{ofs} よりも低い第 3 基準電位 V_{ini} を与えることにより、図 20 に示すように、第 2 基準電位 V_{ofs2}' を第 1 の駆動制御方式の第 2 基準電位 V_{ofs2} よりも低くすることができる。

【0122】

図 21 は、第 1 の駆動制御方式のときの図 19 に対応する、第 2 の駆動制御方式における画素 101 - (n, m) の駆動用トランジスタ 32 のゲート電位 V_g およびソース電位 V_s の変化を示す図である。

【0123】

図 21 を参照して分かるように、行ごとの分割閾値補正が開始される時刻 t_{61} までの駆動用トランジスタ 32 のゲート電位の上昇量（ $V + V_2$ ）は、図 21 の第 2 の駆動制御方式における場合の方が、図 19 の第 1 の駆動制御方式における場合と比較して小さくなっている。また、上述したように、時刻 t_{45} に映像信号線 D T L 10 - n に与えられる第 2 基準電位も V_{ofs2} よりも低い V_{ofs2}' となっている（1点鎖線の第 2 基準電位 V_{ofs2} は比較のため図示している）。

【0124】

第 2 の駆動制御方式によれば、第 1 の駆動制御方式と同様に、映像信号の書き込みの直前に閾値補正を行うことにより、閾値補正動作を行ってから映像信号の書き込みを行うまでの時間を短くすることができるので、駆動用トランジスタ 32、発光素子 34、およびサンプリング用トランジスタ 31 のリーク電流を抑制することができ、各画素 101 のリーク電流のばらつきにより発生する画質ムラのない均一な画像の表示を得ることができる。

【0125】

また、閾値補正動作を行ってから映像信号の書き込みを行うまでの時間を各行で一定とすることができるので、シェーディング等の画質劣化のない均一な画像を表示することができる。

【0126】

さらに第 2 の駆動制御方式によれば、第 2 基準電位 V_{ofs2}' を第 1 の駆動制御方式の V_{ofs2} よりも低くすることができる。

【 0 1 2 7 】

上述した第 1 および第 2 の駆動制御方式では、行ごとの分割閾値補正を行う前に、映像信号線 D T L 1 0 の電位を基準電位 V o f s から第 2 基準電位 V o f s または V o f s ' に切替えたが、映像信号の書き込みの直前に閾値補正を行うことにより、閾値補正動作を行ってから映像信号の書き込みを行うまでの時間を短くする、および、閾値補正動作を行ってから映像信号の書き込みを行うまでの時間を各行で一定とするという点では、図 2 2 に示すように、映像信号線 D T L 1 0 の電位を基準電位 V o f s にしたまま、行ごとの線順次の分割閾値補正および信号書き込みを行う方式（第 3 の駆動制御方式）とすることによっても、画質ムラ等を防止し、画質を向上させることが可能である。

【 0 1 2 8 】

上述した第 1 乃至第 3 の駆動制御方式では、各行における分割閾値補正動作を 3 回行う例について説明したが、少なくとも 1 回以上行えばよい。

【 0 1 2 9 】

また、上述した例では、最初の閾値補正を画素アレイ部 1 0 2 の全画素（すべての行）に対して行う例について説明したが、2 行以上の単位で順次閾値補正を行うようにしてもよい。この場合、電源供給部 2 1 1 と電源線 D S L 2 1 2 は、最初の閾値補正を行う単位である複数行単位で制御を可能とするように構成される。

【 0 1 3 0 】

本発明の実施の形態は、上述した実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変更が可能である。

【 図面の簡単な説明 】

【 0 1 3 1 】

【 図 1 】 基本となる E L パネルの構成例を示すブロック図である。

【 図 2 】 従来の画素の構成例を示したブロック図である。

【 図 3 】 有機 E L 素子の I - V 特性を示す図である。

【 図 4 】 従来の画素の構成例を示したブロック図である。

【 図 5 】 本発明を適用した E L パネルに採用する画素の構成例を示すブロック図である。

【 図 6 】 図 6 の画素の動作を説明するタイミングチャートである。

【 図 7 】 図 6 の画素の動作について詳細に説明する図である。

【 図 8 】 図 6 の画素の動作について詳細に説明する図である。

【 図 9 】 図 6 の画素の動作について詳細に説明する図である。

【 図 1 0 】 図 6 の画素の動作について詳細に説明する図である。

【 図 1 1 】 図 6 の画素の動作について詳細に説明する図である。

【 図 1 2 】 図 6 の画素の動作について詳細に説明する図である。

【 図 1 3 】 図 6 の画素の動作について詳細に説明する図である。

【 図 1 4 】 図 6 の画素の動作について詳細に説明する図である。

【 図 1 5 】 図 6 の画素の動作について詳細に説明する図である。

【 図 1 6 】 本発明を適用した E L パネルの一実施の形態の構成例を示すブロック図である。

【 図 1 7 】 図 1 6 の E L パネルによる基本駆動制御方式を説明するタイミングチャートである。

【 図 1 8 】 図 1 6 の E L パネルによる第 1 の駆動制御方式を説明するタイミングチャートである。

【 図 1 9 】 第 1 の駆動制御方式による駆動用トランジスタのゲート電位およびソース電位の変化について説明する図である。

【 図 2 0 】 図 1 6 の E L パネルによる第 2 の駆動制御方式を説明するタイミングチャートである。

【 図 2 1 】 第 2 の駆動制御方式による駆動用トランジスタのゲート電位およびソース電位の変化について説明する図である。

【 図 2 2 】 図 1 6 の E L パネルによる第 3 の駆動制御方式を説明するタイミングチャート

10

20

30

40

50

である。

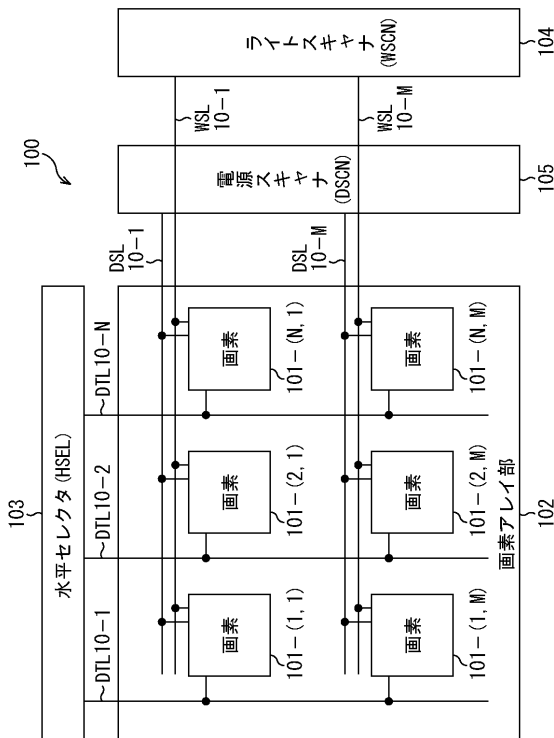
【符号の説明】

【 0 1 3 2 】

3 1 サンプリング用トランジスタ, 3 2 駆動用トランジスタ, 3 3 保持容量,
3 4 発光素子, 1 0 1 画素 (画素回路), 1 0 3 水平セレクトラ, 1 0 4
ライトスキャナ, 2 0 0 E L パネル, 2 1 1 電源供給部, 2 1 2 電源線

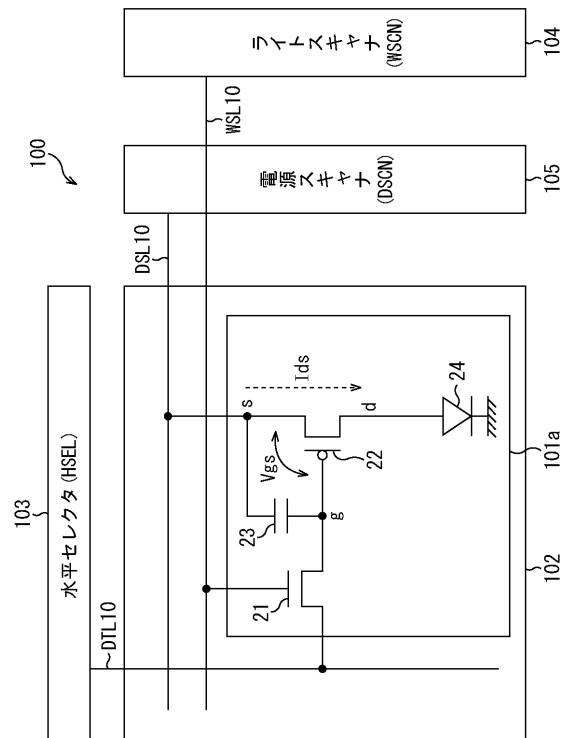
【 図 1 】

図1



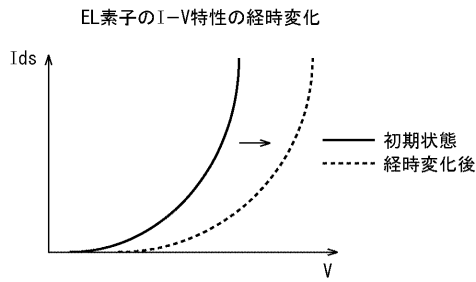
【 図 2 】

図2



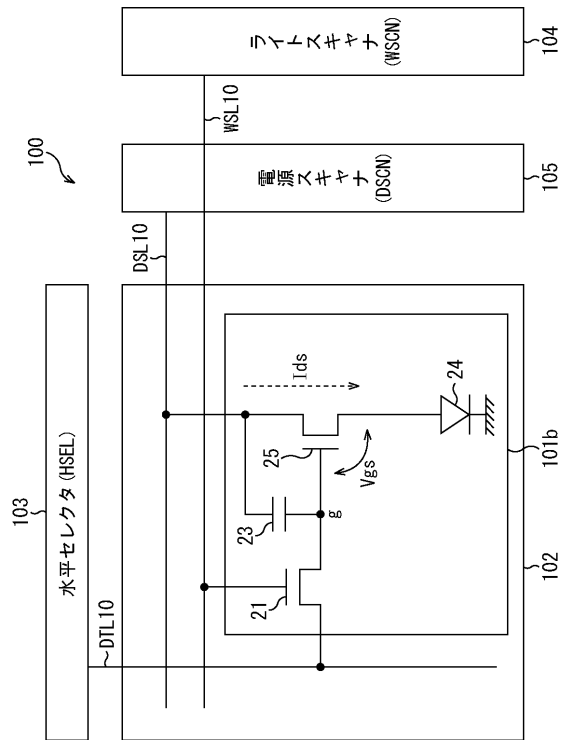
【図 3】

図3



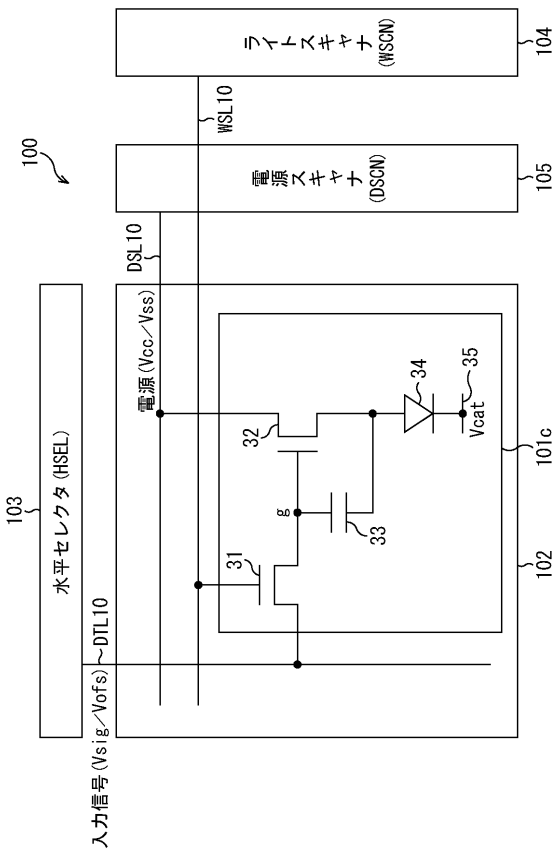
【図 4】

図4



【図 5】

図5



【図 6】

図6

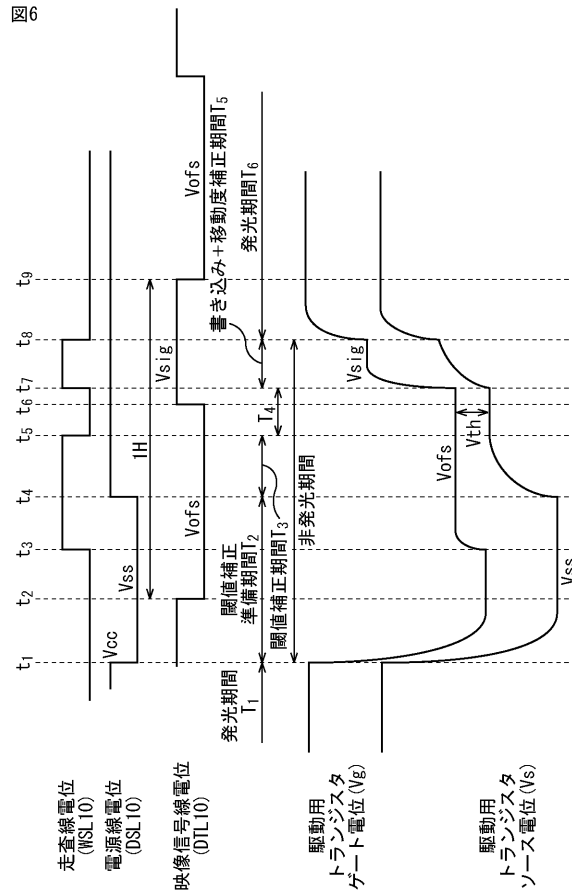


图7

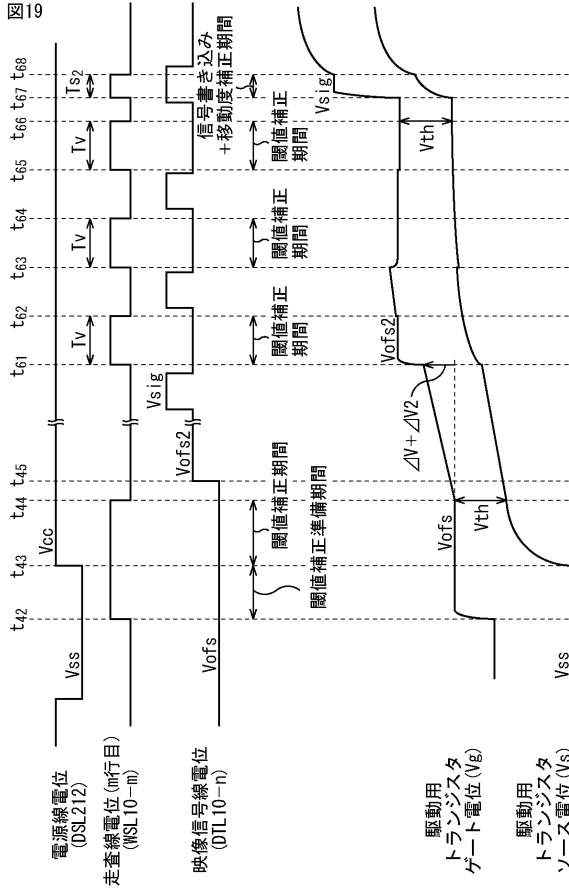


图13

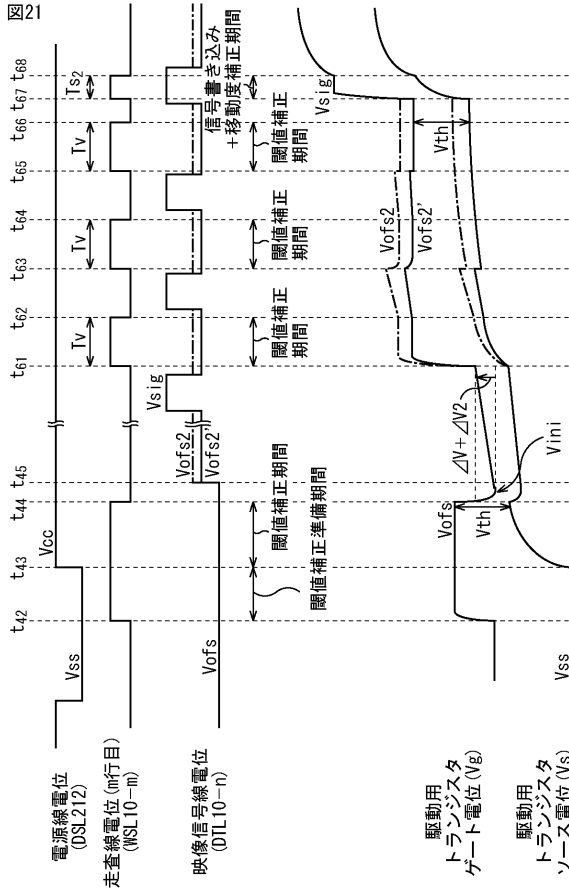


Figure 1 is a graph showing the relationship between the difference in threshold voltage ($V_{ofs} - V_{th}$) and time. The y-axis is labeled $V_{ofs} - V_{th}$ and the x-axis is labeled 時間 (Time). Two curves are plotted: a solid line for 移動度:大 (High mobility) and a dashed line for 移動度:小 (Low mobility). Both curves start at the same point on the y-axis and increase over time, with the high mobility curve rising more steeply.

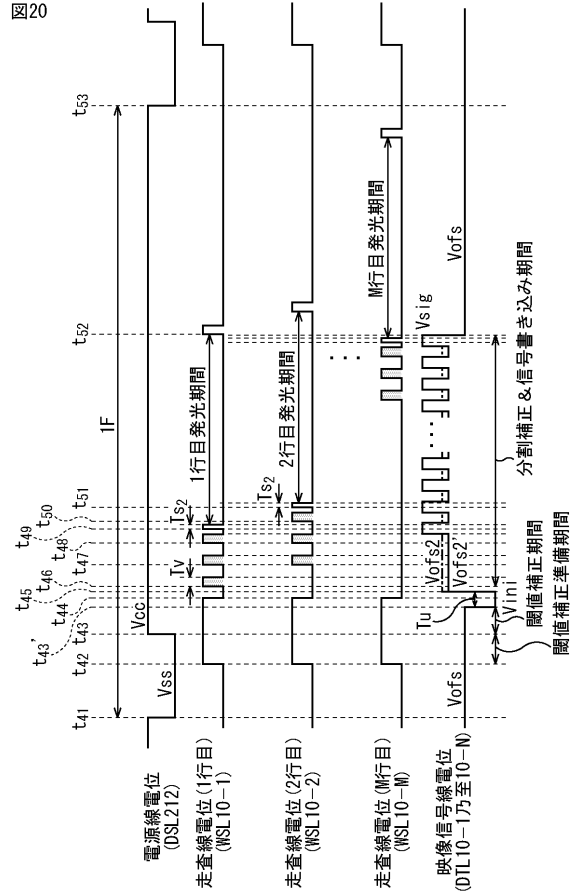
【図 19】



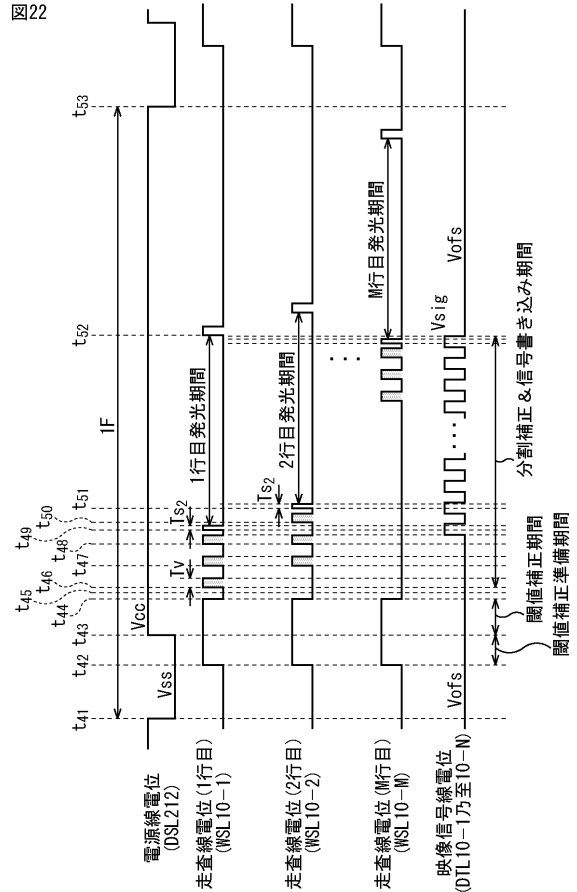
【図 21】



【図 20】



【図 22】



フロントページの続き

(51) Int.Cl.

F I

テーマコード (参考)

G 0 9 G 3/20 6 2 3 R
H 0 5 B 33/14 A

F ターム(参考) 5C080 AA06 BB05 DD05 DD27 JJ02 JJ03 JJ04 JJ05

专利名称(译)	面板和驱动控制方法		
公开(公告)号	JP2010002498A	公开(公告)日	2010-01-07
申请号	JP2008159364	申请日	2008-06-18
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	山本哲郎 内野胜秀		
发明人	山本 哲郎 内野 胜秀		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G2310/06 G09G2320/043 G09G2330/028		
FI分类号	G09G3/30.J G09G3/20.641.D G09G3/20.624.B G09G3/20.611.H G09G3/20.623.Y G09G3/20.623.R H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC45 3K107/EE03 3K107/HH02 3K107/HH04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD27 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB22 5C380/AB24 5C380/AC07 5C380/AC09 5C380/AC11 5C380/BA10 5C380/BA28 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BD02 5C380/CA12 5C380/CA54 5C380/CB01 5C380/CB20 5C380/CB27 5C380/CB31 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC41 5C380/CC62 5C380/CD012 5C380/DA02 5C380/DA06 5C380/DA47		
代理人(译)	西川 孝		
外部链接	Espacenet		

摘要(译)

要解决的问题：降低成本，提高画面质量。解决方案：在时间 t_{SB} 至时间 $t_{\text{SB}} + 44 \text{ } \mu\text{s}$ 的时间段内，对EL面板的所有像素同时执行阈值校正准备操作和阈值校正操作。在时间 $t_{\text{SB}} + 44 \text{ } \mu\text{s}$ 之后，图像信号线DTL10-1至DTL10-N的各个电位被设置为高于参考电势 V_{ofs} 的第二参考电势 V_{ofs2} ，以执行划分的阈值。根据导线的顺序，通过信号电位 V_{sig} 写入校正操作和图像信号。通过在写入图像信号之前立即校正阈值，可以缩短从阈值校正操作到写入图像信号的时间段，并且防止电流泄漏以改善图像质量。本发明可以应用于例如EL面板。

