

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-180802

(P2008-180802A)

(43) 公開日 平成20年8月7日(2008.8.7)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 K	3K107
G09G 3/20 (2006.01)	G09G 3/20 641G	5C080
H01L 51/50 (2006.01)	G09G 3/20 624B	
	G09G 3/20 612F	
	G09G 3/30 J	
審査請求 未請求 請求項の数 5 O L (全 10 頁) 最終頁に続く		

(21) 出願番号 特願2007-12895 (P2007-12895)
 (22) 出願日 平成19年1月23日 (2007.1.23)

(71) 出願人 590000846
 イーストマン コダック カンパニー
 アメリカ合衆国, ニューヨーク14650
 , ロチェスター, ステイト ストリート3
 43
 (74) 代理人 100075258
 弁理士 吉田 研二
 (74) 代理人 100096976
 弁理士 石田 純
 (72) 発明者 川辺 和佳
 東京都中央区新川2丁目27番1号 コダ
 ック株式会社内
 Fターム(参考) 3K107 AA01 BB01 CC33 EE03 EE07
 HH04 HH05

最終頁に続く

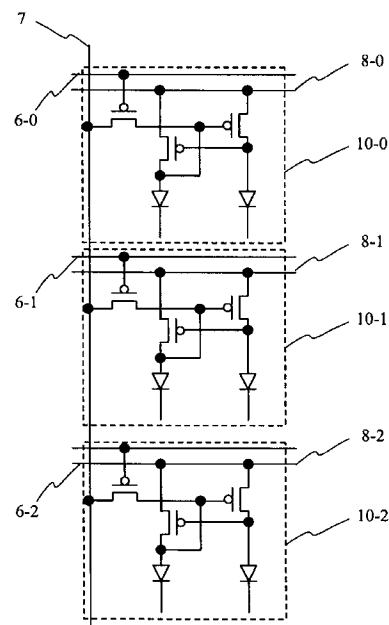
(54) 【発明の名称】 アクティブマトリクス型表示装置

(57) 【要約】

【課題】 アクティブマトリクス型有機ELパネルをデジタル駆動で駆動する際に、1回のデータ書き込みで階調表現を可能にする。

【解決手段】 各色の1画素を、さらに複数の異なる発光強度を生成する分割画素10-010-1, 10-2に分割する。各分割画素の発光強度に重み付けし、映像データの各ビットデータを各分割画素に書き込み、各分割画素において、各ビットの重みに対応した発光強度を生成する。

【選択図】 図2A



【特許請求の範囲】

【請求項 1】

アクティブマトリクス型表示装置であって、

各画素が、複数の分割画素から構成されるとともに、各分割画素はデータ記憶素子を有し、供給されるデータに基づいて発光し、

各分割画素は、その発光量が重み付けされており、1画素についての複数ビットのデータの各ビットを対応して発光量が重み付けされた分割画素に供給することを特徴とするアクティブマトリクス型表示装置。

【請求項 2】

請求項 1 に記載のアクティブマトリクス型表示装置において、

10

各分割画素は、供給される電源電圧が重み付けされていることで、発光量が重み付けされていることを特徴とするアクティブマトリクス型表示装置。

【請求項 3】

請求項 2 に記載のアクティブマトリクス型表示装置において、

前記各分割画素に供給される電源電圧が切り替え可能であることを特徴とするアクティブマトリクス型表示装置。

【請求項 4】

請求項 1 ～ 3 のいずれか 1 つに記載のアクティブマトリクス型表示装置において、

各分割画素は、データ記憶素子として、1ビットのスタティックメモリを含むことを特徴とするアクティブマトリクス型表示装置。

20

【請求項 5】

請求項 1 ～ 4 のいずれか 1 つに記載のアクティブマトリクス型表示装置において、

各分割画素は、発光素子として有機 EL 素子を含むことを特徴とするアクティブマトリクス型表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、1画素を複数の分割画素にて構成するアクティブマトリクス型表示装置に関する。

【背景技術】

30

【0002】

従来より、有機 EL 素子を発光素子とした表示パネルが知られており、薄型の表示装置として普及してきている。この有機 EL 表示装置には、パッシブ型とアクティブ型があるが、各画素に薄膜トランジスタを設け表示を制御するアクティブマトリクス型のものがより高精細な表示が可能であり、主流となってきている。

【0003】

有機 EL 素子は、電流駆動型の素子であり、その発光量をアナログデータで制御するためには、各画素にデータ電圧に応じて電流量が制御される駆動トランジスタが設けられる。しかし、この駆動トランジスタの特性のバラツキを抑え、データ電圧に応じて常に適正な電流を流すことは難しい。

40

【0004】

そこで、アクティブマトリクス型有機 EL パネルをデジタル駆動する方法が提案されている（特許文献 1）。デジタル駆動によれば各画素における発光量は一定でよく、駆動トランジスタの特性バラツキの影響を抑制することができる。

【0005】

【特許文献 1】特開 2005-331891 号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

ここで、デジタル駆動では、1 フレーム期間を複数のサブフレーム期間に分割し、それ

50

それぞれ一定の発光期間が与えられたサブフレーム期間に点灯するか否かを制御する。従って、データをサブフレーム毎に画素に書き込む必要がある。このため、フレームメモリを導入し、1フレームのデータをここに書き込んでおき、各サブフレームに対応するデータをフレームメモリから読み出し各画素に供給する必要がある。

【課題を解決するための手段】

【0007】

本発明は、アクティブマトリクス型表示装置であって、各画素が、複数の分割画素から構成されるとともに、各分割画素はデータ記憶素子を有し、供給されるデータに基づいて発光し、各分割画素は、その発光量が重み付けされており、1画素についての複数ビットのデータの各ビットに対応して発光量が重み付けされた分割画素に供給することを特徴とする。

10

【0008】

また、各分割画素は、供給される電源電圧が重み付けされていることで、発光量が重み付けされていることが好適である。

【0009】

また、前記各分割画素に供給される電源電圧が切り替え可能であることが好適である。

【0010】

また、各分割画素は、データ記憶素子として、1ビットのスタティックメモリを含むことが好適である。

【0011】

20

また、各分割画素は、発光素子として有機EL素子を含むことが好適である。

【発明の効果】

【0012】

このように、本発明によれば、1画素を複数の分割画素に分割し、これらの発光強度を異ならせることで、階調データによって分割画素の発光を制御して階調表示が行える。従って、フレームメモリを不要とすることができる。

【発明を実施するための最良の形態】

【0013】

以下、本発明の実施形態について、図面に基づいて説明する。

【0014】

30

図1Aおよび図1Bには、画素回路内にスタティックメモリを導入した分割画素回路構成が示されている。図1Aは、分割画素等価回路図、図1Bは発光面の反対側から見た分割画素回路配置配線図である。

【0015】

図における画素は、発光に寄与する第1有機EL素子1、それを駆動する第1駆動トランジスタ2、発光に寄与しない第2有機EL素子3、それを駆動する第2駆動トランジスタ4、選択信号が供給されるゲートライン6により、第1駆動トランジスタ2のゲート端子へ、データライン7に供給されたデータ電圧の供給を制御するゲートトランジスタ5から構成されている。なお、この例において、第1駆動トランジスタ2、第2駆動トランジスタ4、ゲートトランジスタ5は、pチャネル型である。

40

【0016】

第1有機EL素子のアノードは第1駆動トランジスタ2のドレイン端子と第2駆動トランジスタ4のゲート端子に接続され、第1駆動トランジスタ2のゲート端子は第2有機EL素子3のアノードと第2駆動トランジスタ4のドレイン端子とゲートトランジスタ5のソース端子に接続され、ゲートトランジスタ5のゲート端子はゲートライン6、ドレイン端子はデータライン7へ接続され、第1駆動トランジスタ2、第2駆動トランジスタ4のソース端子は電源ライン8へ、第1有機EL素子1、第2有機EL素子3のカソードはカソード電極9へ接続されている。

【0017】

このような画素において、ゲートライン6が選択される（Lowとされる）とゲートト

50

ランジスタ 5 がオンし、データライン上に供給されているデータ電圧がゲートトランジスタ 5 を介して画素回路内部に取り込まれる。データ電圧が Low の場合、第 1 駆動トランジスタ 2 がオンする。第 1 駆動トランジスタ 2 がオンすると、第 1 有機 EL 素子 1 のアノードは、電源電圧 VDD が供給されている電源ライン 8 に接続され、第 1 有機 EL 素子 1 に電流が流れて発光する。それと同時に第 2 駆動トランジスタ 4 のゲート端子も VDD となり、第 2 駆動トランジスタ 4 はオフし、それによって第 2 有機 EL 素子 3 のアノードはカソード電位 VSS まで低下する。このカソード電位 VSS は第 1 駆動トランジスタ 2 のゲート端子に供給されるため、ゲートライン 6 を High としてゲートトランジスタ 5 がオフした後も、書き込まれたデータ Low が VDD 及び VSS が与えられている間維持される。

10

【0018】

データ電圧が High の場合、第 1 駆動トランジスタ 2 はオフして第 1 有機 EL 素子 1 のアノードはカソード電位 VSS まで低下する。このカソード電位 VSS は第 2 駆動トランジスタ 4 のゲート端子に供給されるため、第 2 駆動トランジスタ 4 はオンし、第 2 有機 EL 素子 3 のアノードは電源電圧 VDD が供給される電源ライン 8 に接続され、第 2 有機 EL 素子 3 に電流が流れる。第 2 有機 EL 素子 3 のアノード電位は第 1 駆動トランジスタ 2 のゲート端子に反映され、電源電圧 VDD となるため、ゲートライン 6 を High としてゲートトランジスタ 5 をオフした後も、書き込まれたデータ High が VDD 及び VSS が与えられている間維持される。

このように図 1 A、1 B の画素では第 1 駆動トランジスタ 2 および第 2 駆動トランジスタ 4 から構成されるスタティックメモリにデータが記憶され、これによって第 1 有機 EL 素子 1 の発光が制御される。従って、1 度データを書き込むとそのデータが保持されるため、一定周期でデータを再書き込みするためのリフレッシュ動作を行う必要がない。なお、図 1 A、1 B の画素では、第 2 有機 EL 素子 3 は発光に寄与しないため、第 1 有機 EL 素子 1 の発光状態が画素の発光状態を決定する。

20

【0019】

発光に寄与しない第 2 有機 EL 素子 3 の構成方法としては、第 1 有機 EL 素子 1 と異なる発光しない素子を形成する方法もあるが、発光する第 1 有機 EL 素子 1 と発光しない有機 EL 素子 3 の 2 つの素子を形成する必要があるため、製造工程が複雑になる。そこで、同じ素子で両者を形成し、第 2 有機 EL 素子 3 を、画素回路を形成する配線やブラックマトリクスなどで遮光し、光が発光面から外へ出ないように形成することで容易に実現できる。

30

【0020】

いずれにしても、第 2 有機 EL 素子 3 は発光に寄与しないため、図 1 B に示されるように発光面積を小さくし、発光する第 1 有機 EL 素子 1 の発光面積が大きく確保できるように配置配線することが好適である。

【0021】

図 2 A、2 B には、1 色についての 1 つの画素を 3 つの分割画素 10-0、10-1、10-2 から構成する例が示してある。すなわち、分割画素 10-0、10-1、10-2 は、各色の画素であり、例えば R（赤）、G（緑）、B（青）、W（白）のそれぞれ画素が図 2 のように 3 つの分割画素から成り立っている。図 2 A は等価回路図、図 2 B は発光面の反対側からみた配置配線図である。

40

【0022】

図における 3 つの分割画素 10-0、10-1、10-2 は、それぞれの電源ライン 8-0、8-1、8-2 が配置されており、図 3 に示される有機 EL 素子の電流電圧特性図から決定される、電源電圧 V0、V1、V2 が電源ライン 8-0、8-1、8-2 にそれぞれ供給される。

【0023】

電源電圧 V0、V1、V2 は、図 3 に示されているように、分割画素 10-0、10-1、10-2 それぞれの有機 EL 素子に流れる電流 I0、I1、I2 の比が 1:2:4 と

50

なるように決定された電圧であり、分割画素 10-0、10-1、10-2 に供給されるデータ電圧によりオンした場合、8通りの発光強度が得られる。例えば、順にゲートライン 6-0 を選択し、分割画素 10-0 に Low データを書き込み、続いてゲートライン 6-1 を選択し、分割画素 10-1 に High データを書き込み、続いてゲートライン 6-2 を選択し、分割画素 10-2 に Low データを書き込むと、分割画素 10-0 はオン、10-1 はオフ、10-2 はオンとなり、画素電流 $I = I_0 + I_2 = 1 * I_0 + 4 * I_0 = 5 * I_0$ が生成される。発光強度は電流に比例するため、全分割画素が点灯するピーク輝度の $5/8$ の輝度が生成される。

【0024】

この場合、分割画素 10-0、10-1、10-2 には異なる電源電圧 V_0 、 V_1 、 V_2 が供給されるため、分割画素 10-0、10-1、10-2 に書き込むデータ電圧はすべての分割画素 10-0、10-1、10-2 の第 1 駆動トランジスタ 2 をオンオフ可能な電圧である必要がある。ここでは、 V_2 が最大電源電圧であるため、例えばオン電圧を V_{SS} 、オフ電圧を V_2 とすれば、すべての分割画素もそのデータ電圧でオンオフすることが可能である。

【0025】

図 4 には、単色表示の n 行 m 列アクティブマトリクス型有機 EL パネルの全体構成、図 5 にはその駆動タイミングチャートが示されている。フルカラー表示の場合には、各色に対し、同様な構成が図 4 に追加される。

【0026】

データドライバ 11 には、3 ビットデータが入力 X_0 (ビット 0)、 X_1 (ビット 1)、 X_2 (ビット 2) に入力され、ドットクロック $DCLK$ (図 4 には図示せず) を入力することにより、各ビットデータを格納するシフトレジスタ 13 に順次 1 ライン分取り込まれる。

【0027】

シフトレジスタ 13 に取り込まれた 1 ライン分の 3 ビットデータは、取り込まれた 3 ビットデータの出力を制御するマルチプレクサ 14 と、イネーブルライン EX_0 、 EX_1 、 EX_2 によってデータライン 7 に反映される。1 ライン分のデータの取り込みが完了し、イネーブルライン EX_0 が選択されればビット 0、 EX_1 が選択されればビット 1、 EX_2 が選択されればビット 2 がデータライン 7 へ出力される。

【0028】

それと同時に、ゲートドライバ 12 の入力 Y には、選択データ (この例では High) が入力され、これがシフトレジスタ 15 に取り込まれる。シフトレジスタ 15 は垂直転送クロックによって選択データを順次転送する。通常は、 n ラインのシフトレジスタ 15 のうち、1 ラインのレジスタにのみ選択データ (High) が格納され、そのラインが選択される。シフトレジスタ 15 の選択データが格納されている第 k ラインにおいて、イネーブルライン EY_0 が選択されると、第 k ラインの分割画素 10-0 が選択され、データライン 7 に供給されているビット 0 のデータが第 k ラインの分割画素 10-0 に書き込まれる。同様に、イネーブルライン EY_1 が選択されれば第 k ラインの分割画素 10-1 にビット 1 のデータが書き込まれ、イネーブルライン EY_2 が選択されれば第 k ラインの分割画素 10-2 にビット 2 のデータが書き込まれる。電源ライン 8-0、8-1、8-2 それぞれに電源電圧 V_0 、 V_1 、 V_2 が供給されてため、3 つの分割画素 10-0、10-1、10-2 によって、その画素のビットデータに対応した発光強度が得られる。

【0029】

この動作が第 1 ラインから第 n ラインまで繰り返されることにより、全画素に映像データが書き込まれ、全画素の発光が制御される。

【0030】

このように 1 画素を、ビットデータの重みに対応した発光強度を示す複数の画素に分割することで多階調化が可能となるため、サブフレームを用いて多階調化する必要がなく、そのためフレームメモリも必要ない。また、分割画素数を 6、8 とさらに増加させること

10

20

30

40

50

で6ビット、8ビットの多階調化も可能となる。

【0031】

さらに、図4に示される構成は、すべてデジタル回路で構成可能であるため、低温ポリシリコンなどの高性能トランジスタを用いるとデータドライバ11、ゲートドライバ12を同じガラス基板上に形成することが可能であるため、さらに低コスト化が可能である。

【0032】

また、分割画素回路は、図1A、1Bに示されるスタティックメモリを導入した構成である必要はなく、第2有機EL素子3、第2駆動トランジスタ4を略し、第1駆動トランジスタ2のゲート端子と電源ライン8との間に保持容量を導入した画素回路を用いても良い。この場合は常に一定周期で映像データを再書き込みするリフレッシュ動作が必要である。

10

【0033】

さらに、分割画素それぞれの有機EL素子の劣化を均一化するため、電源ライン8-0、8-1、8-2に供給する電圧V0、V1、V2を適当な周期で切り替えても良い。つまり、図6に示されるように、8-0にV0、8-1にV1、8-2にV2を供給する組み合わせA、8-0にV2、8-1にV0、8-2にV1を供給する組み合わせB、8-0にV1、8-1にV2、8-2にV0を供給する組み合わせCをあるタイミングで交互に入れ替え、その入れ替えた組み合わせに対応してイネーブルラインを選択すれば、矛盾なくビットデータに対応した発光強度を示す分割画素にビットデータを書き込むことができる。

20

【0034】

すなわち、例えば組み合わせBに切り替えた場合、ビット0のデータはEX0とEY1の選択により、V0の電源電圧が電源ライン8-1に供給されている分割画素10-1に書き込まれ、ビット1のデータはEX1とEY2の選択により、V1の電源電圧が電源ライン8-2に供給されている分割画素10-2に書き込まれ、ビット2のデータはEX2とEY0の選択により、V2の電源電圧が電源ライン8-0に供給されている分割画素10-0に書き込まれる。

【0035】

同様に組み合わせCに切り替えた場合では、ビット0のデータはEX0とEY2の選択により、V0の電源電圧が電源ライン8-2に供給されている分割画素10-2に、ビット1のデータはEX1とEY0の選択により、V1の電源電圧が電源ライン8-0に供給されている分割画素10-0に、ビット2のデータはEX2とEY1の選択により、V2の電源電圧が電源ライン8-1に供給されている分割画素10-1に書き込まれる。

30

【0036】

このように電源電圧V0、V1、V2を電源ライン8-0、8-1、8-2に切り替えて供給し、然るべき画素にビットデータを書き込むことで分割画素に印加される電圧を均一化し、有機EL素子の劣化を平滑化できる。

【0037】

このような構成は、組み合わせA、B、Cの選択を示す信号に応じて、切り替えられるスイッチを設け、このスイッチによってV0、V1、V2のいずれを電源ライン8-0、8-1、8-2のいずれに供給するかを切り替えればよい。

40

【0038】

また、図7に示されるように、データドライバ11とゲートドライバ12をドライバICとして実現し、それ以外の画素回路や、ゲートドライバ12の出力をゲートライン6へ選択出力するセクタ16、ゲートトランジスタ5を非選択とする電圧Voffをゲートライン6へ選択出力するセクタ17をP型のトランジスタで形成することが好適である。このように、P型トランジスタのみで有機ELパネルを構成すると、さらに低コスト化でき、より高速動作が必要となる高解像度化、より駆動力を必要とする大型化も容易に実現できる。

【0039】

50

図 7 の構成における動作について説明する。分割画素 10-0 にデータを書き込む場合、EY0のみをLow (EY1、EY2をHighのまま)とする。これにより、全ラインの分割画素 10-0 のゲートライン 6-0 は、非選択電圧 Voff の供給が断たれ、ゲートドライバ 12 の出力に接続される。ゲートドライバ 12 の出力は、1 ラインのみ選択電圧 Von を出力し、それ以外は非選択信号 Voff が出力する。このため、選択されるゲートライン 6-0 にのみ、選択電圧 Von、それ以外のゲートライン 6-0 には非選択電圧 Voff が供給される。そこで、選択するラインにのみデータが書き込まれる。

【0040】

同様な操作を EY1、EY2 においても繰り返すことで、図 4 と同様な書き込み動作並びに電源電圧 V0~2 を切り替えることによる有機 EL 素子の劣化均一化処理を、より低コストな P 型トランジスタのみを用いて実現できる。

10

【図面の簡単な説明】

【0041】

【図 1 A】分割画素の等価回路図である。

【図 1 B】分割画素の配置配線図である。

【図 2 A】画素の等価回路図である。

【図 2 B】画素の配置配線図である。

【図 3】有機 EL 素子の電流電圧特性図である。

【図 4】有機 EL パネルの全体構成図である。

【図 5】有機 EL パネルの駆動タイミングチャートである。

20

【図 6】電源電圧設定切り替えテーブルである。

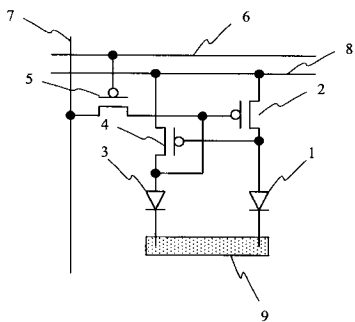
【図 7】P 型トランジスタのみで構成される有機 EL パネルの全体構成図である。

【符号の説明】

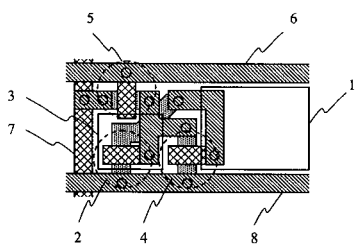
【0042】

1 第 1 有機 EL 素子、2 第 1 駆動トランジスタ、3 第 2 有機 EL 素子、4 第 2 駆動トランジスタ、5 ゲートトランジスタ、6 ゲートライン、7 データライン、8 電源ライン、9 カソード電極、10 分割画素、11 データドライバ、12 ゲートドライバ、13 シフトレジスタ、14 マルチプレクサ、15 シフトレジスタ、16, 17 セレクタ。

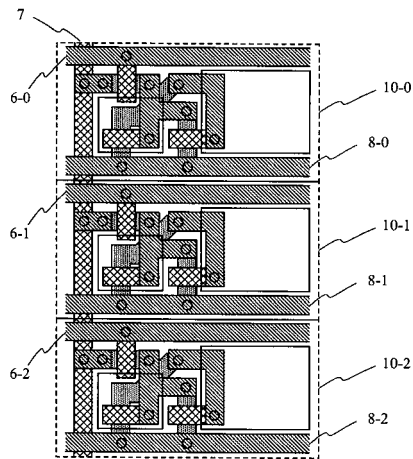
【図 1 A】



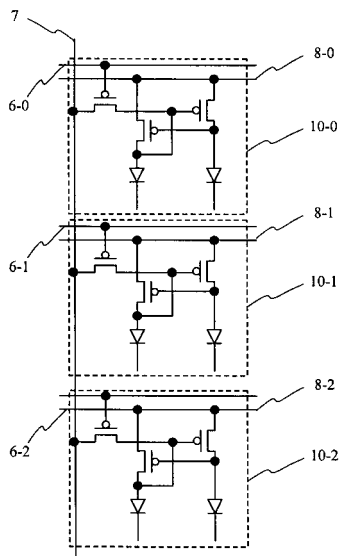
【図 1 B】



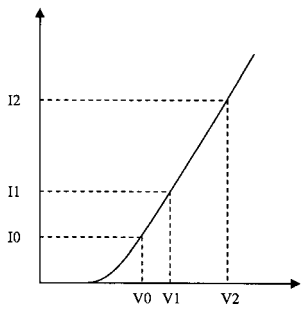
【図 2 B】



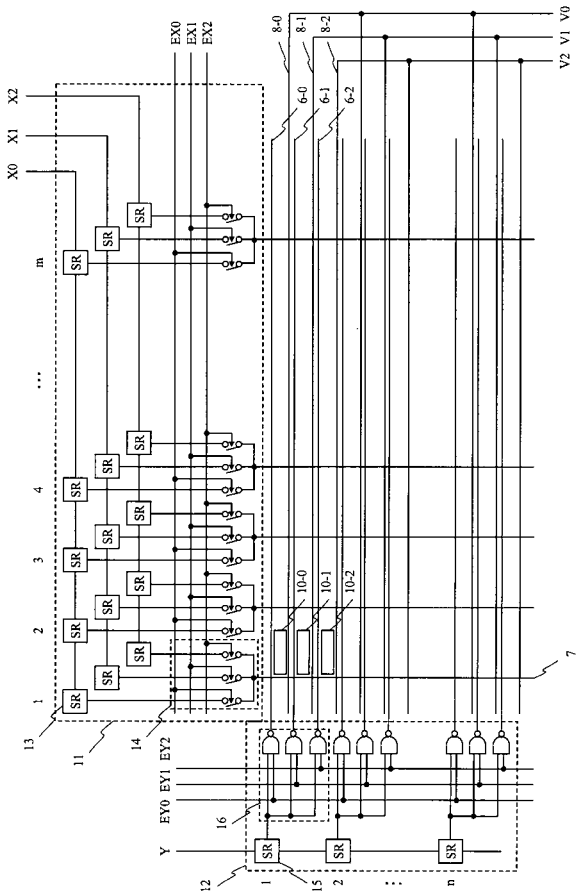
【図 2 A】



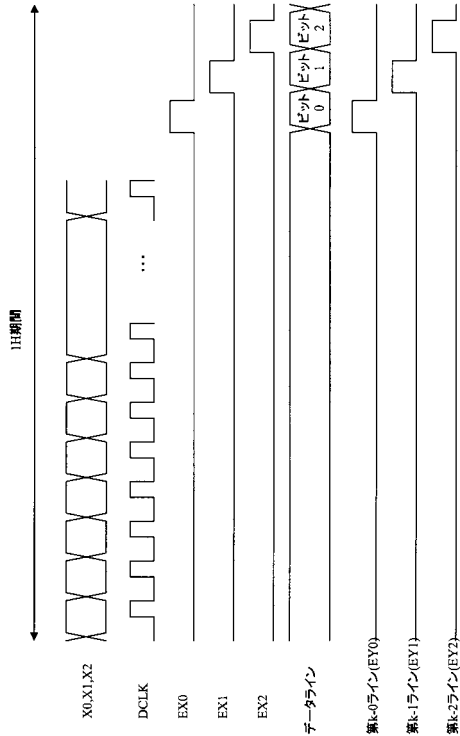
【図 3】



【図 4】



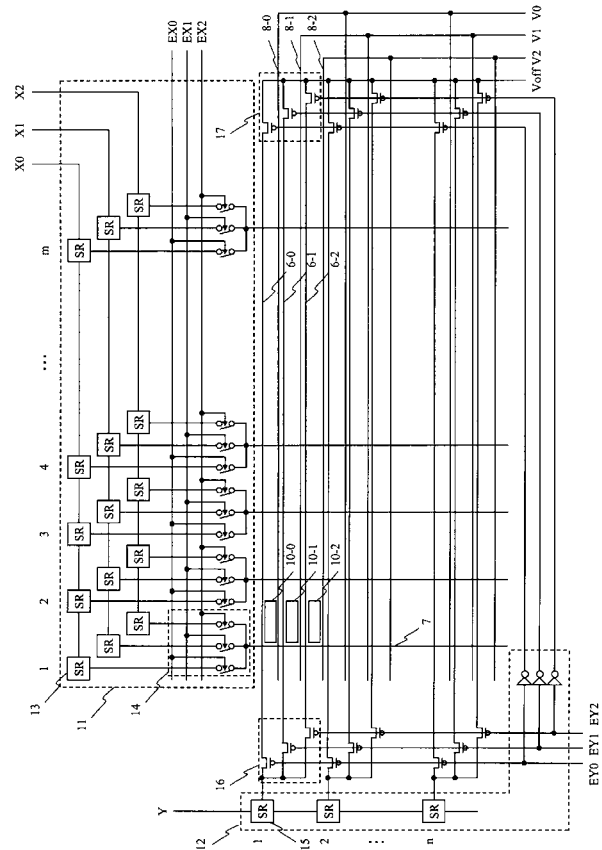
【図 5】



【図 6】

	8-0	8-1	8-2	X0	X1	X2
A	V0	V1	V2	EX0,EY0	EX1,EY1	EX2,EY2
B	V2	V0	V1	EX0,EY1	EX1,EY2	EX2,EY0
C	V1	V2	V0	EX0,EY2	EX1,EY0	EX2,EY1

【図 7】



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 1 1 H
	G 0 9 G 3/20	6 7 0 K
	G 0 9 G 3/20	6 4 2 A
	H 0 5 B 33/14	A

F ターム(参考)	5C080	AA06	BB05	DD05	DD07	DD08	DD22	DD25	DD28	DD29	EE29
	FF03	FF11	GG12	HH09	JJ02	JJ03	JJ04	JJ05	JJ06		

专利名称(译)	有源矩阵显示		
公开(公告)号	JP2008180802A	公开(公告)日	2008-08-07
申请号	JP2007012895	申请日	2007-01-23
[标]申请(专利权)人(译)	伊斯曼柯达公司		
申请(专利权)人(译)	伊士曼柯达公司		
[标]发明人	川边和佳		
发明人	川边 和佳		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	H01L27/3244 G09G2300/0857		
FI分类号	G09G3/30.K G09G3/20.641.G G09G3/20.624.B G09G3/20.612.F G09G3/30.J G09G3/20.611.H G09G3/20.670.K G09G3/20.642.A H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/EE07 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD07 5C080/DD08 5C080/DD22 5C080/DD25 5C080/DD28 5C080/DD29 5C080/EE29 5C080/FF03 5C080/FF11 5C080/GG12 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C380/AA01 5C380/AB06 5C380/AB11 5C380/AB15 5C380/AB16 5C380/AB18 5C380/AB24 5C380/AB36 5C380/AB43 5C380/AB46 5C380/AC04 5C380/AC16 5C380/BA06 5C380/BA15 5C380/BA28 5C380/BA38 5C380/BC20 5C380/BD02 5C380/BD09 5C380/BD12 5C380/BD17 5C380/CA04 5C380/CA06 5C380/CA12 5C380/CA14 5C380/CB01 5C380/CB11 5C380/CB12 5C380/CB20 5C380/CC21 5C380/CC23 5C380/CC26 5C380/CC28 5C380/CC33 5C380/CC41 5C380/CC45 5C380/CC62 5C380/CC77 5C380/CD073 5C380/CE05 5C380/CE20 5C380/CF07 5C380/CF23 5C380/CF51 5C380/CF52 5C380/CF53 5C380/DA02 5C380/DA06 5C380/DA09 5C380/DA11 5C380/HA05 5C380/HA06		
代理人(译)	吉田健治 石田 纯		
外部链接	Espacenet		

摘要(译)

解决的问题：在通过数字驱动来驱动有源矩阵型有机EL面板时，通过一次写入数据来实现灰度表达。 解决方案：每种颜色的一个像素进一步分为多个产生不同发射强度的像素10-01-1和10-2。 对每个分割像素的发光强度进行加权，将视频数据的每个比特数据写入每个分割像素，并且在每个分割像素中生成与每个比特的权重相对应的发光强度。 [选型图] 图2A

