(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2007-225928
(P2007-225928A)
(43)公開日　平成19年9月6日(2007.9.6)

(51)Int.Cl.			F I			テーマコード（参考）
G09G	3/30	(2006.01)	G09G	3/30	J	3K107
G09G	3/20	(2006.01)	G09G	3/20	611H	5C080
H01L	51/50	(2006.01)	G09G	3/20	642A	
H05B	33/02	(2006.01)	G09G	3/20	624B	
			G09G	3/20	641D	

審査請求 未請求　請求項の数 4　ＯＬ　（全 179 頁）　最終頁に続く

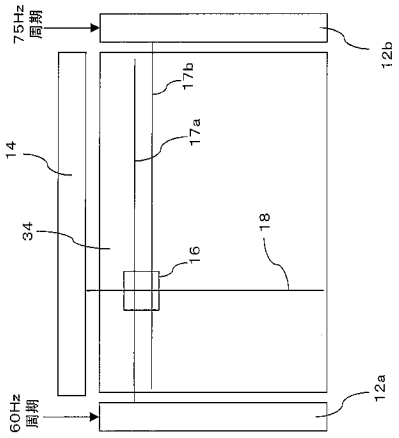
(21)出願番号　特願2006-47303(P2006-47303)
(22)出願日　平成18年2月23日(2006.2.23)

(71)出願人　302020207
東芝松下ディスプレイテクノロジー株式会社
東京都港区港南４－１－８
(74)代理人　100092794
弁理士　松田　正道
(72)発明者　高原　博司
東京都港区港南四丁目１番８号　東芝松下ディスプレイテクノロジー株式会社内

Ｆターム(参考)　3K107 AA01 BB01 CC05 CC33 EE03 EE21 EE63 HH02 HH04
5C080 AA06 BB05 DD04 DD05 DD28 EE19 EE28 FF11 JJ02 JJ03 JJ04 JJ05

(54)【発明の名称】ＥＬ表示装置、およびＥＬ表示装置の駆動方法

(57)【要約】　（修正有）
【課題】表示ムラを低減しつつ、全階調領域で書き込み不足を生じさせないこと。また、動画視認性を向上させること。
【解決手段】ゲートドライバ回路１２ａは、入力映像信号の周波数６０Ｈｚ（１秒間に画像が６０枚）に同期して画面３４を書き換える。ゲートドライバ回路１２ａは、水平走査同期信号に同期して表示領域３４の１番目の画素行からｎ（ｎは画素行の最大値）番目の画素行を順次選択し、ソースドライバ回路１４からのプログラム電流（電圧）を選択された画素行に印加する。ゲートドライバ回路１２ｂは、ゲートドライバ回路１２ａの水平走査同期信号とは異なる点灯制御同期信号に同期して表示領域３４の１番目の画素行からｎ（ｎは画素行の最大値）番目の画素行を順次選択する。ゲートドライバ回路１２ｂは、点灯制御同期信号に同期してゲート信号線１７ｂを選択し、ゲート信号線１７ｂのオンオフ制御を行う。
【選択図】図１５８



【特許請求の範囲】
【請求項１】
ＥＬ素子がマトリックス状に配置されたＥＬ表示装置であって、
画素行を順次選択し、映像信号を前記画素行に書き込む第１の選択回路と、
前記ＥＬ素子に流す電流を画素行単位で制御する第２の選択回路とを具備し、
前記第１の選択回路の動作周波数と、前記第２の選択回路の動作周波数が異なることを特徴とするＥＬ表示装置。
【請求項２】
ＥＬ素子がマトリックス状に配置された画面を有し、前記画面が少なくとも第１の領域と第２の領域とに分割されているＥＬ表示装置であって、画素行を順次選択し、映像信号を前記画素行に書き込む書き込み制御回路と、前記第１の領域のＥＬ素子に流す電流を画素行単位で制御する第１のＥＬ選択回路と、前記第２の領域のＥＬ素子に流す電流を画素行単位で制御する第２のＥＬ選択回路とを具備するＥＬ表示装置を駆動するＥＬ表示装置の駆動方法であって、
前記書き込み制御回路が前記第１の領域に画像を書き込む際は、前記第１のＥＬ選択回路は、受け持つＥＬ素子に電流を流さないように制御し、前記第２のＥＬ選択回路は、受け持つＥＬ素子に電流を流すように制御するステップと、
前記書き込み制御回路が前記第２の領域に画像を書き込む際は、前記第２のＥＬ選択回路は、受け持つＥＬ素子に電流を流さないように制御し、前記第１のＥＬ選択回路は、受け持つＥＬ素子に電流を流すように制御するステップとを具備することを特徴とするＥＬ表示装置の駆動方法。
【請求項３】
ＥＬ表示パネルと、
光透過性を有する筐体とを具備し、
前記ＥＬ表示パネルの無効領域と前記筐体間に、光結合材が充填されていることを特徴とするＥＬ表示装置。
【請求項４】
ＥＬ素子がマトリックス状に配置されたＥＬ表示装置であって、
映像信号を書き込む画素行の選択位置と、ＥＬ素子に電流を流す画素行の選択位置が一致する時、前記ＥＬ素子に電流を流す画素行の選択を解除する制御回路を具備することを特徴とするＥＬ表示装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、有機または無機エレクトロルミネッセンス（ＥＬ）素子などを用いるＥＬ表示パネル（表示装置）などの自発光表示パネル（表示装置）を用いた、ＥＬ表示装置およびＥＬ表示装置の駆動方法に関するものである。
【背景技術】
【０００２】
電気光学変換物質として有機エレクトロルミネッセンス（ＥＬ）材料あるいは無機ＥＬ材料を用いたアクティブマトリクス型の画像表示装置は、画素に書き込まれる電流に応じて発光輝度が変化する。ＥＬ表示パネルは、各画素に発光素子を有する自発光型である。ＥＬ表示パネルは、液晶表示パネルに比べて画像の視認性が高い、発光効率が高い、バックライトが不要、応答速度が速い等の利点を有する。
【０００３】
アクティブマトリクス方式の有機ＥＬ表示パネルは、特許文献１に開示されている。
【０００４】
この表示パネルの一画素の等価回路を図２に示す。画素１６は発光素子であるＥＬ素子１５、第１のトランジスタ（駆動用トランジスタ）１１ａ、第２のトランジスタ（スイッチング用トランジスタ）１１ｂおよび蓄積容量（コンデンサ）１９からなる。発光素子１

５は有機エレクトロルミネッセンス（ＥＬ）素子である。本明細書では、ＥＬ素子１５に電流を供給（制御）するトランジスタ１１ａを駆動用トランジスタ１１と呼ぶ。また、図２のトランジスタ１１ｂのように、スイッチとして動作するトランジスタをスイッチ用トランジスタ１１と呼ぶ。

【０００５】

図２の動作について説明する。ゲート信号線１７を選択状態とし、ソース信号線１８に輝度情報を表す電圧の映像信号を印加する。ゲート信号線１７の選択により、トランジスタ１１ａが導通し（クローズ状態＝オン）、映像信号が蓄積容量１９に充電される。ゲート信号線１７を非選択状態とすると、トランジスタ１１ａがオープン状態（オフ状態）になる。トランジスタ１１ｂは電気的にソース信号線１８から切り離される。しかし、トランジスタ１１ａのゲート端子電位は蓄積容量（コンデンサ）１９によって保持される。トランジスタ１１ａを介して発光素子１５に流れる電流は、トランジスタ１１ａのゲート／ドレイン端子間電圧Ｖｇｄに応じた値となる。発光素子１５はトランジスタ１１ａを通って供給される電流量に応じた輝度で発光し続ける。

【０００６】

図２の画素構成を駆動するドライバ回路は、電圧の映像信号を出力する。電圧の映像信号を出力するドライバ回路は、液晶表示パネルを駆動するドライバ回路と構成が近似する。ドライバ回路から、映像信号としての電圧信号がソース信号線１８に印加される。印加された電圧信号が画素１６に印加されコンデンサ１９に保持される。

【特許文献１】特開平８－２３４６８３号公報

【発明の開示】

【発明が解決しようとする課題】

【０００７】

しかしながら、有機ＥＬ表示パネルは、低温あるいは高温ポリシリコンからなるトランジスタアレイを用いてパネルを構成するが、有機ＥＬ素子は、ポリシリコントランジスタアレイのトランジスタ特性にバラツキがあると、表示ムラが発生する。

【０００８】

図２は電圧プログラム方式の画素構成である。なお、電圧プログラム方式とは、電圧の大きさあるいは強弱で示される映像信号などの電圧信号（プログラム電圧）をデータ信号線、ソース信号線あるいは画素などに印加し、画素のトランジスタなどで電圧信号を電流信号に変換してＥＬ素子に印加する構成あるいは回路もしくは駆動方法を言う。

【０００９】

電流プログラム方式とは、電流の大きさあるいは強弱で示される映像信号などの電流信号（プログラム電流）をデータ信号線、ソース信号線あるいは画素などに印加し、画素のトランジスタなどで印加した電流信号をＥＬ素子に印加する。

【００１０】

駆動用トランジスタ１１からＥＬ素子１５に流入する電流、ＥＬ素子１５から駆動用トランジスタに流出する電流のいずれをも、駆動用トランジスタ１１からＥＬ素子１５に電流を印加すると呼ぶ。あるいは電流プログラム方式とは、印加した電流信号に略比例した電流信号、もしくは印加した電流に所定の変換処理を行った電流信号（プログラム電流）を直接的にあるいは間接的にＥＬ素子に印加する構成、あるいは回路構成もしくは駆動方法を言う。

【００１１】

図２に図示する画素構成では、電圧の映像信号をトランジスタ１１ａで電流信号に変換する。したがって、駆動用トランジスタ１１ａに特性バラツキがあると、変換される電流信号にもバラツキが発生する。通常、駆動用トランジスタ１１ａは５０％以上の特性バラツキが発生している。したがって、図２の構成では特性バラツキに対応して表示ムラが発生する。

【００１２】

電圧プログラム方式は、画素１６のトランジスタ特性を補償する能力が低い。したがっ

て、トランジスタの特性バラツキに伴う表示ムラが発生する。しかし、電圧プログラム方式は、低階調領域、高階調領域のいずれの領域にあっても、ソース信号線などの充放電能力が高い。したがって、書き込み不足がなく、良好な画像表示を実現できる。

【００１３】

表示ムラは、電流プログラム方式の構成を採用することにより低減することができる。電流プログラム方式は、低階調領域では駆動電流が小さい。そのため、ソース信号線１８の寄生容量により良好に駆動できないという課題があった。

【００１４】

液晶表示パネルは、応答性が遅いため、動画視認性が悪いと言う課題があった。また、液晶表示パネルで黒挿入表示を行うことにより動画視認性を向上させる方式もあるが、フリッカが発生する。また、メモリを必要としコストが高くなるという課題があった。

【００１５】

なお、電流プログラム（方式）は、電流駆動（方式）と呼ぶこともある。また、電圧プログラム（方式）は、電圧駆動（方式）と呼ぶこともある。

【００１６】

本発明は、上述した従来の課題を解決するもので、表示ムラを低減しつつ、全階調領域で書き込み不足を生じさせない、また、動画視認性を向上させるＥＬ表示装置およびＥＬ表示装置の駆動方法を提供することを目的とする。

【課題を解決するための手段】

【００１７】

上述した課題を解決するために、本発明のＥＬ表示装置は、例えば、画素の駆動用トランジスタ１１ａから定電流を出力させる。そして、駆動用トランジスタ１１ａが定電流を出力した状態で、ソース信号線１８を介して、駆動用トランジスタ１１ａのゲート端子電位を測定する。

【００１８】

測定した電位は、Ａ／Ｄ（アナログ－デジタル）変換してメモリに格納する。メモリには、好ましくは、全画素の駆動用トランジスタ１１ａのデータを格納する。ＥＬ表示パネルを表示する時は、このメモリに格納した各画素の電圧データを読み出し、Ｄ／Ａ（デジタル－アナログ）変換して、基準電圧とする。この基準電圧をプリチャージ電圧Ｖｐとしてソース信号線に印加し、印加後、必要に応じてプログラム電圧をソース信号線に印加する。また、この基準電圧に、階調電圧の加減算処理をし、目標階調電圧として、画素１６の駆動用トランジスタ１１ａに印加する。

【００１９】

また、表示領域３４の画素１６のコンデンサ１９をメモリとして用い、映像を書き込むゲートドライバ回路１２ａの動作クロックと、ＥＬ素子１５に流れる電流のオンオフを制御するゲートドライバ回路１２ｂの動作クロックを独立させることにより、フレームレート変換を行う。

【発明の効果】

【００２０】

本発明は、画素のトランジスタに定電流を印加し、もしくは画素の駆動トランジスタから定電流を出力させ、前記定電流を印加または出力した状態で画素の駆動トランジスタのゲート端子の電圧を測定する。各画素の駆動トランジスタのゲート端子の電圧は、駆動トランジスタの特性により異なる。

【００２１】

駆動トランジスタに定電流を印加し、駆動トランジスタのゲート端子電圧を測定することは、駆動トランジスタの特性を測定することになる。測定した電圧は、Ａ／Ｄ変換してソースドライバＩＣ（回路）の内部あるいは外部に形成または配置されたメモリに記憶する。または、測定あるいは取得した電圧をサンプルホールドする。

【００２２】

ＥＬ表示装置に画像を表示する際は、このメモリに記憶した電圧データをＤ／Ａ変換し

てアナログ電圧とし、このアナログ電圧を基準または原点として、階調電圧の加減算処理などをし、目標の階調信号を求め、対応する画素に印加する。もしくは、サンプルホールドした電圧を、基準または原点として、階調電圧の加減算処理などをし、目標の階調信号を求め、対応する画素に印加する。

【００２３】

したがって、測定した電圧を基準として、階調あるいは階調差に対応する映像電圧を加算し前記トランジスタに印加するという動作は、画素の駆動用トランジスタの特性を補償した上で、映像信号としての階調信号（電圧信号）を印加していることになる。

【００２４】

測定する駆動用トランジスタのゲート端子電圧は、測定後、リアルタイムに映像電圧に加減算処理をして、画素の駆動用トランジスタに印加するように構成してもよい。定電流は、０の状態も含む（定電流を流さない）。この場合は、ソース信号線１８には定電流Ｉｗを供給せず、対応画素を選択し、画素の駆動用トランジスタのゲートードレイン端子を短絡すればよい。

【００２５】

本発明における定電流Ｉｗとは、所定値に設定した電流あるいは制御した電流の意味であり、必ずしも定電流に限定するものではない。つまり、所定値の電流の意味である。定電流発生回路は、電流階調回路１５４と兼用してもよいし、別途定電流発生回路を設けてもよい。また、定電流Ｉｗをソース信号線１８に流し、前記ソース信号線１８の電位を測定あるいは取得し、測定あるいは取得した電位をデータとしてメモリなどの記憶手段に保持させる時は、画像表示には定電流発生回路は必要ない。つまり、ＥＬ表示装置の一部ではない。

【００２６】

電圧プログラム方式は、画素のトランジスタの特性補償が不十分であるという欠点を有していた。しかし、本発明は、画素のトランジスタに定電流を印加するという電流プログラム方式を実施し、トランジスタのゲート端子電位を測定することにより、電流プログラム方式の利点であるトランジスタの特性補償能力を発揮させる。

【００２７】

第１の本発明は、画素行を選択し、ソース信号線１８に印加する定電流を所定以上の大きさの電流値とすることにより、ソース信号線１８の電位を測定あるいは取得する。測定した電位は、選択した画素行の駆動用トランジスタ１１の特性を示している。この測定あるいは取得した電圧をそのまま、あるいは加減算処理などを行って、ソース信号線１８にプリチャージ電圧Ｖｐとして印加し、ソース信号線１８の電位を目標電位に近くする。次に、目的の映像信号に対応するプログラム電流を画素１６に書き込む。

【００２８】

また、必要に応じて測定あるいは取得した電圧を映像信号の階調を求める関数の変数値として使用することにより、プログラムする階調電流を求める。求めた階調電流を画素１６に書き込み、必要に応じて、図６、図９で説明するＮ倍駆動を実施する。プリチャージ電圧Ｖｐを印加することにより、また、定電流を所定以上の大きさとすることにより、電流プログラム方式の弱点である低階調領域（低電流領域）での書き込み不足の課題が発生しない。

【００２９】

第２の本発明は、画素行を選択し、ソース信号線１８に印加する定電流を所定以上の大きさの電流値とすることにより、ソース信号線１８の電位を測定する。測定した電位は、選択した画素行の駆動用トランジスタ１１の特性を示している。

【００３０】

測定した電圧を映像信号の階調を求める関数の変数値として使用することにより、目標の階調電圧を求める。求めた階調電圧をソース信号線１８に印加することにより、選択した画素行の駆動用トランジスタに目標の電流がＥＬ素子１５に流れるようにプログラムする。つまり、画素１６に印加する映像信号に対応する信号は電圧信号となる。したがって

、電圧信号であるから、低階調領域であっても、書き込み不足は発生しない。

【００３１】

以上のように、測定したソース信号線１８の電圧を基準として加算あるいは減算することにより階調電圧を算出あるいは求め、この階調電圧を画素のトランジスタに印加することにより電圧駆動の特徴である全階調領域で書き込み不足がないと言う利点を発揮させることができる。

【００３２】

本発明は、トランジスタに定電流を印加し、トランジスタのゲート端子電圧を直接あるいは間接的に測定もしくは保持するとして説明するが、これに限定するものではない。また、定電流の印加による電圧の測定あるいはメモリへの取得は、電圧の大きさに限定するものではなく、前後の電圧の変化量、電圧の変化速度、電圧の差分値であってもよい。

【００３３】

また、電圧の測定とは、測定した電圧をアナログ－デジタル変換（Ａ／Ｄ変換）して、ドライバ回路外部あるいは内部に保持する動作あるいは構成も含む。また、電圧をデジタルデータとしてメモリに保持する動作を含む。また、測定だけでなく、コンデンサなどの保持媒体に一時的に保持あるいはラッチもしくは記憶する動作あるいは構成も含む。また、定電流とは、定電流を印加しない状態（０（Ａ））も含む。

【００３４】

また、定電流は、固定値であることに限定されない。たとえば、１水平走査期間に、サイン波形のように変化していてもよい。一定の期間に平均した値が、所定値であればいずれの構成あるいは値であってもよい。

【００３５】

本発明は、ゲートドライバ回路１２ａは、入力映像信号の周波数６０Ｈｚ（１秒間に画像が６０枚）に同期して画面３４を書き換える。ゲートドライバ回路１２ａは、水平走査同期信号に同期して表示領域３４の１番目の画素行からｎ（ｎは画素行の最大値）番目の画素行を順次選択し、ソースドライバ回路１４からのプログラム電流（電圧）を選択された画素行に印加する。ゲートドライバ回路１２ｂは、ゲートドライバ回路１２ａの水平走査同期信号とは異なる点灯制御同期信号に同期して表示領域３４の１番目の画素行からｎ（ｎは画素行の最大値）番目の画素行を順次選択する。ゲートドライバ回路１２ｂは、点灯制御同期信号に同期してゲート信号線１７ｂを選択し、ゲート信号線１７ｂのオンオフ制御を行う。したがって、映像信号を書き込むフレームレートと画像表示するフレームレートを異ならせることができ、画像表示するフレームレートを速くすることができるのでフリッカなどは発生しない。

【発明を実施するための最良の形態】

【００３６】

本明細書において、各図面は理解を容易するために、また作図を容易にするため、省略および拡大あるいは縮小した箇所がある。また、同一番号または、記号等を付した箇所は同一もしくは類似の形態もしくは材料あるいは機能もしくは動作を有する。

【００３７】

本明細書では、駆動用トランジスタ１１ａ、スイッチング用トランジスタ１１ｂなどは薄膜トランジスタとして説明するが、これに限定するものではない。薄膜ダイオード（ＴＦＤ）、リングダイオードなどでも構成することができる。また、薄膜素子に限定するものではない。また、シリコンウエハに形成したトランジスタでもよい。もちろん、トランジスタとは、ＦＥＴ、ＭＯＳ－ＦＥＴ、ＭＯＳトランジスタ、バイポーラトランジスタでもよい。その他、ダイオード、バリスタ、サイリスタ、リングダイオード、ホトダオード、ホトトランジスタ、ＰＬＺＴ素子などでもよいことは言うまでもない。

【００３８】

ソースドライバ回路（ＩＣ）１４は、単なるドライバ機能だけでなく、電源回路（チャージポンプ回路、ＤＣＤＣコンバータ回路）、バッファ回路（シフトレジスタなどの回路を含む）、レベルシフタ回路、データ変換回路、ラッチ回路、コマンドデコーダ、アドレ

ス変換回路、画像メモリなどを内蔵させてもよい。ソースドライバ回路１４は、アレイ基板３０にポリシリコン技術で形成してもよい。

【００３９】

アレイ基板３０はガラス基板として説明をするが、シリコンウエハで形成してもよい。また、アレイ基板３０は、金属基板、シリコンなどの半導体基板、セラミック基板、プラスティックシート（板）などを使用してよい。

【００４０】

本発明の表示パネルなどを構成するトランジスタ１１、ゲートドライバ回路１２、ソースドライバ回路（ＩＣ）１４などは、ガラス基板などに形成し、転写技術により他の基板（プラスチックシート）に移し変えて構成または形成したものでもよいことは言うまでもない。

【００４１】

まず、本発明のＥＬ表示装置の画素１６の構造と動作、ソースドライバ回路１４などについて説明をする。

【００４２】

図１は、本発明のＥＬ表示装置の画素１６の構成図である。１画素内に４つのトランジスタ（ＴＦＴ）１１（１１ａ、１１ｂ、１１ｃ、１１ｄ）を有している。駆動用トランジスタ１１ａのゲート端子は、トランジスタ１１ｂのソース端子に接続されている。トランジスタ１１ｂおよびトランジスタ１１ｃのゲート端子は、ゲート信号線１７ａに接続されている。トランジスタ１１ｂのドレイン端子は、トランジスタ１１ｃのソース端子ならびにトランジスタ１１ｄのソース端子に接続され、トランジスタ１１ｃのドレイン端子は、ソース信号線１８に接続されている。トランジスタ１１ｄのゲート端子はゲート信号線１７ｂに接続され、トランジスタ１１ｄのドレイン端子はＥＬ素子１５のアノード電極（端子）に接続されている。

【００４３】

図１の画素構成では、トランジスタ１１ｂ、１１ｃのゲート端子は、ゲート信号線１７ａに接続されている。トランジスタ１１ｂ、１１ｃは、ゲート信号線１７ａに印加されたオンオフ制御信号によりオン（クローズ）、オフ（オープン）制御される。トランジスタ１１ｄのゲート端子は、ゲート信号線１７ｂに接続されている。トランジスタ１１ｄは、ゲート信号線１７ｂに印加されたオンオフ制御信号によりオン（クローズ）、オフ（オープン）制御される。

【００４４】

ゲートドライバ１２（図３では、ゲートドライバ回路１２ａ、１２ｂ）は、ゲート信号線１７ａ、１７ｂを制御する。図３に図示するように、表示画面３４の左端にゲートドライバ回路１２ａを形成または配置し、右端にゲートドライバ回路１２ｂを形成または配置してもよい。ゲートドライバ回路１２ａはゲート信号線１７ａを制御し、ゲートドライバ回路１２ｂはゲート信号線１７ｂを制御する。

【００４５】

図１に図示する有機ＥＬの画素構成では、第１のトランジスタ１１ｂは、画素を選択するためのスイッチング用トランジスタとして機能させる。また、第２のトランジスタ１１ａは、ＥＬ素子１５に電流を供給するための駆動用トランジスタとして機能させている。

【００４６】

ゲートドライバ１２に印加するクロックＣＬＫ信号（ＣＬＫ１、ＣＬＫ２）、スタート信号ＳＴ（ＳＴ１、ＳＴ２）などは、コントローラ回路８０１からソースドライバ回路１４に印加される。クロックＣＬＫ信号、スタート信号は、ソースドライバ回路１４でロジックレベルがレベルシフトされ、ゲートドライバ回路１２に印加される。つまり、ゲートドライバ回路１２に印加される信号は、ソースドライバ回路１４から供給される。

【００４７】

ゲートドライバ回路１２ａが同時に選択するゲート信号線１７ａは、１ゲート信号線に限定されるものではない。複数の画素行を同時に選択してもよい。たとえば、２本のゲー

ト信号線１７ａを同時に選択してもよい。つまり、２画素行を同時に選択する。

【００４８】

表示領域３４には、赤（Ｒ）、緑（Ｇ）、青（Ｂ）の３原色の画素がマトリックス状に形成されている。ＲＧＢの画素は塗りわけ蒸着により形成する。なお、Ｒ、Ｇ、Ｂに限定されるものではない。単色でもよく、また、シアン、イエロー、マゼンダなどでもよく、ＲＧＢに加えて、白色（Ｗ）の４色などでもよい。Ｒ、Ｇ、Ｂ、Ｗの場合は、カラーフィルタにより形成する。

【００４９】

表示領域３４は複数画面を有してもよい。たとえば、メイン画面とサブ画面である。メイン画面とサブ画面のゲートドライバ回路は独立して形成し、ソース信号線１８を共通にする。また、ソースドライバ回路１４もメイン画面とサブ画面を共通にする。

【００５０】

表示領域３４において、画素１６のトランジスタを構成する膜は、図１０９に図示するように、レーザーアニール時に、レーザー照射スポットの長手方向をソース信号線に略平行となるように照射して作製している。

【００５１】

トランジスタのオン電流は単結晶で形成されたトランジスタであれば、比較的均一である。形成温度が４５０～５５０度（摂氏）以下の低温ポリシリ技術で形成した低温多結晶トランジスタでは、そのしきい値のバラツキが±０．２Ｖ～±０．５Ｖの範囲でバラツキがある。そのため、駆動用トランジスタ１１ａを流れるオン電流がこれに対応してばらつき、表示にムラが発生する。これらのムラは、しきい値電圧のバラツキのみならず、トランジスタの移動度、ゲート絶縁膜の厚みなどでも発生する。また、トランジスタ１１の劣化によっても特性は変化する。

【００５２】

トランジスタの特性バラツキは、低温ポリシリコン技術で形成されたトランジスタに限定されるものではなく、プロセス温度が４５０度（摂氏）以上の高温ポリシリコン技術でも、固相成長（ＣＧＳ）させた半導体膜を用いて形成したトランジスタでも発生する。その他、有機材料で形成した有機トランジスタでも発生する。アモルファスシリコントランジスタでも発生する。

【００５３】

本発明は、以上のすべての技術で形成されたトランジスタなどからなるＥＬ表示装置あるいは表示パネルの構成もしくは駆動方法に適用できるものである。

【００５４】

図１などで示す本発明の表示パネルの画素１６を構成するトランジスタ１１は、ｐ－チャンネルポリシリコン薄膜トランジスタに構成される。また、トランジスタ１１ｂ、１１ｄは、デュアルゲート以上であるマルチゲート構造としている。

【００５５】

図１において、本発明の表示パネルの画素１６を構成するトランジスタ１１ｂは、トランジスタ１１ａのソース－ドレイン間のスイッチとして作用する。したがって、トランジスタ１１ｂは、できるだけ低リーク電流特性が要求される。トランジスタ１１ｂのゲートの構造をデュアルゲート構造以上のマルチゲート構造とすることにより低リーク電流特性を実現できる。

【００５６】

図１ではすべてのトランジスタはＰチャンネルで構成している。ＰチャンネルはＮチャンネルのトランジスタに比較してモビリティが低いが、耐圧が大きくまた劣化も発生しにくい。したがって、ＥＬ表示装置に採用することが好ましい。ただし、本発明はＥＬ表示装置の画素、ドライバ回路などをＰチャンネルで構成することのみに限定するものではない。これらをＮチャンネルのみで構成してもよい。また、ＮチャンネルとＰチャンネルの両方を用いて構成してもよい。

【００５７】

ただし、パネルを低コストで作製するためには、画素を構成するトランジスタ１１をすべてＰチャンネルで形成し、ゲートドライバ回路１２もＰチャンネルで形成することが好ましい。このようにアレイをＰチャンネルのみのトランジスタで形成することにより、マスク枚数が５枚となり、低コスト化、高歩留まり化を実現できる。

【００５８】

図１のように画素１６の駆動用トランジスタ１１ａ、トランジスタ（１１ｂ、１１ｃ）がＰチャンネルトランジスタの場合は、突き抜け電圧が発生する。これは、ゲート信号線１７ａの電位変動が、トランジスタ（１１ｂ、１１ｃ）のＧ－Ｓ容量（寄生容量）を介して、コンデンサ１９の端子に突き抜けるためである。Ｐチャンネルトランジスタ１１ｂがオフするときにはＶＧＨ電圧（トランジスタのオフ電圧）となる。そのため、コンデンサ１９の端子電圧がアノード電圧Ｖｄｄ側に少しシフトする。そのため、トランジスタ１１ａのゲート（Ｇ）端子電圧は上昇し、トランジスタ１１ａは電流を流さない方向に変化する。したがって、より黒表示となる、良好な黒表示を実現できる。

【００５９】

コンデンサ１９などによる突き抜け電圧のシフト量は一定であり、また、ＶＧＨ電圧（トランジスタのオフ電圧）、ＶＧＬ電圧（トランジスタのオン電圧）が一定値であるからである。電流駆動方式（電流プログラム方式）では、低階調ではプログラム電流が小さくなり、ソース信号線１８の寄生容量の充放電が困難である。突き抜け電圧の発生効果により、プログラム電流を低減（電流が流れない方向にトランジスタ１１ａのゲート電圧電位をシフトさせる）させる。したがって、ソース信号線１８に印加するプログラム電流を比較的大きくでき、駆動用トランジスタ１１ａがＥＬ素子１５に流す電流はプログラム電流よりも小さくすることができる。結果的に、小さなプログラム電流（低階調領域のプログラム電流）を画素１６に書き込むことができる。

【００６０】

突き抜け電圧は、画素１６を選択するゲート信号線１７ａの振幅の大きさＶｇ＝ＶＧＨ－ＶＧＬに依存する。電流駆動方式においては、この突き抜け電圧を有効に作用させることが重要である。本発明では、Ｖｇの大きさを６（Ｖ）以上としている。また、アノード電圧Ｖｄｄ、カソード電圧Ｖｓｓとするとき、アノード電圧とカソード電圧の電位差Ｖｅ＝Ｖｄｄ－Ｖｓｓは、Ｖｅ＝Ｖｇ－０．５（Ｖ）以下となるようにしている。

【００６１】

なお、トランジスタがＰチャンネルの場合は、ＶＧＨはトランジスタをオフ（オープン）させる電圧であり、ＶＧＬはトランジスタをオン（クローズ）させる電圧である。トランジスタがＮチャンネルの場合は、ＶＧＬはトランジスタをオフ（オープン）させる電圧であり、ＶＧＨはトランジスタをオン（クローズ）させる電圧である。

【００６２】

本発明は、駆動用トランジスタ１１ａ、トランジスタ１１ｂなどをＰチャンネルに限定するものではない。しかし、駆動用トランジスタ１１ａ（カレントミラー回路の場合は、トランジスタ１１ｂ（図１２などを参照のこと））の極性（ＰまたはＮ）とスイッチ用トランジスタ１１ｂ、１１ｃの極性を一致させることが本発明の特徴である。もしくは、スイッチ用トランジスタ１１ｂ、１１ｃがオフになる時、駆動用トランジスタ１１ａの電流が流れにくくなる方向に、電位シフトするようにトランジスタの極性、ゲート信号線１２ｂの振幅変化方向が設定されていることが特徴である。

【００６３】

以上のように、本発明は、画素１６の駆動用トランジスタ１１ａおよびスイッチングトランジスタ１１ｂの両方をＰチャンネルトランジスタで形成することにより黒表示（黒および低階調範囲）を良好にできるという特徴ある効果を発揮する。なお、画素１６の駆動用トランジスタ１１ａがＮチャンネルトランジスタの場合は、スイッチングトランジスタ１１ｂもＮチャンネルトランジスタとする。つまり、駆動用トランジスタ１１ａとスイッチングトランジスタ１１ｂの両方を同一極性のトランジスタで構成することが好ましい。

【００６４】

つぎに、図３を用いて、本発明のＥＬ表示パネルで使用する電源（電圧）について説明をする。ゲートドライバ回路１２は、主としてバッファ回路３２とシフトレジスタ回路３１から構成される。バッファ回路３２はオフ電圧（ＶＧＨ）とオン電圧（ＶＧＬ）を電源電圧として使用する。一方、シフトレジスタ回路３１はシフトレジスタの電源ＶＧＤＤとグランド（ＧＮＤ）電圧を使用し、また、入力信号（ＣＬＫ、ＵＤ、ＳＴ）の反転信号を発生させるためのＶＲＥＦ電圧を使用する。また、ソースドライバ回路（ＩＣ）１４は、電源電圧Ｖｓとグランド（ＧＮＤ）電圧を使用する。

【００６５】

ゲートドライバ回路１２ａはゲート信号線１７ａをオンオフ制御する。ゲートドライバ回路１２ｂはゲート信号線１７ｂをオンオフ制御する。説明を容易にするため、画素構成は図１を例にあげて説明をする。

【００６６】

各シフトレジスタ回路３１は、正相と負相のクロック信号ＣＬＫｘ（ＣＬＫｘＰ、ＣＬＫｘＮ）、スタートパルス（ＳＴｘ）で制御される。なお、ｘは添え字である。その他、ゲート信号線の出力、非出力を制御するイネーブル（ＥＮＢＬ）信号、シフト方向を上下逆転するアップダウン（ＵＤ）信号を付加することが好ましい。他に、スタートパルスがシフトレジスタ回路３１にシフトされ、そして出力されていることを確認する出力端子などを設けることが好ましい。

【００６７】

シフトレジスタ回路３１のシフトタイミングはコントローラ回路（図示せず）からの制御信号で制御される。また、外部データのレベルシフトを行うレベルシフト回路３１を内蔵する。なお、クロック信号は正相のみとしてもよい。正相のみのクロック信号とすることにより信号線数が削減でき、狭額縁化を実現できる。

【００６８】

シフトレジスタ回路３１のシフトタイミングはコントロールＩＣ（図示せず）からの制御信号で制御される。また、ゲートドライバ回路１２は、外部データのレベルシフトを行うレベルシフト回路を内蔵する。なお、クロック信号は正相のみとしてもよい。正相のみのクロック信号とすることにより信号線数が削減でき、狭額縁化を実現できる。

【００６９】

シフトレジスタ回路３１の駆動能力は小さいため、直接にはゲート信号線１７を駆動することができない。そのため、シフトレジスタ回路３１の出力とゲート信号線１７を駆動する出力ゲート間には少なくとも２つ以上のインバータ回路（バッファ回路３２に含まれる）が形成されている。

【００７０】

ここで理解を容易にするため、電圧値を規定する。まず、アノード電圧Ｖｄｄを６（Ｖ）とし、カソード電圧Ｖｓｓを－９（Ｖ）とする（図１などを参照のこと）。ＧＮＤ電圧は０（Ｖ）とし、ソースドライバ回路１４のＶｓ電圧はＶｄｄ電圧と同一の６（Ｖ）とする。ＶＧＨ１とＶＧＨ２電圧は、Ｖｄｄより０．５（Ｖ）以上３．０（Ｖ）以下とすることが好ましい。ここでは、ＶＧＨ１＝ＶＧＨ２＝８（Ｖ）とする。

【００７１】

ゲートドライバ回路１２のＶＧＬ１は、図１のトランジスタ１１ｃのオン抵抗を十分に小さくするため、低くする必要がある。ここでは、回路構成を容易にするため、ＶＧＨ１と絶対値が逆であるＶＧＬ１＝－８（Ｖ）にする。ＶＧＤＤ電圧はシフトレジスタ回路の電圧である。ＶＧＨよりも低く、ＧＮＤ電圧よりも高くする必要がある。ここでは、発生電圧回路を容易にし、回路コストを低減するため、ＶＧＨ電圧の１／２の４（Ｖ）にする。一方で、ＶＧＬ２電圧は、余り低くすると、トランジスタ１１ｂのリークを発生する危険性があるため、ＶＧＤＤ電圧とＶＧＬ１電圧の中間電圧にすることが好ましい。ここでは、電圧回路を容易にし、回路コストを低減するため、ＶＧＤＤ電圧と絶対値が等しく、また反対極性である－４（Ｖ）にする。

【００７２】

本発明のＥＬ表示装置の各部の電圧について図４を用いて説明をする。本発明では、カソード電圧Ｖｓｓをグランド（ＧＮＤ）電圧とする。アノード電圧Ｖｄｄとソースドライバ回路１４の電源電圧Ｖｄは共通にしている。つまり同一電圧とする。もちろん、カソード電圧Ｖｓｓは、ＧＮＤ以外の電圧に設定することができるが、図４のように構成することにより、電源回路が簡略化でき、効率も向上する。

【００７３】

図４の本発明の電源回路方式では、アノード電圧Ｖｄｄが上下変動すれば、ソースドライバ回路１４の電源電圧Ｖｄも同様に上下変動する。プリチャージ電圧Ｖｐの最高電圧は、アノード電圧Ｖｄｄと同一（一致）にし、最低電圧は、図４に図示するようにＶｍｉｎとする。したがって、プリチャージ電圧Ｖｐは、アノード電圧Ｖｄｄを基準としてグランド方向に電位をとる。Ｖｍｉｎ電圧は、負のレギュレータで入力電圧をＶｄｄとグランド（ＧＮＤ）にすることにより容易に発生できる。なお、Ｖｄｄ－Ｖｍｉｎの値は、２Ｖ以上４Ｖ以下とすることが好ましい。プリチャージ電圧Ｖｐは、ＶｄｄとＶｍｉｎ電圧を刻み数（階調数）で分割して電子ボリウムを構成し、入力デジタルデータを前記電子ボリウムでアナログデータに変換して出力する。プリチャージ電圧Ｖｐとは、プリチャージ電圧Ｖｐ電圧だけでなく、プログラム電圧も意味する。

【００７４】

ゲートドライバ回路１２が出力するゲートオン電圧ＶＧＨは、図４に図示するようにアノード電圧Ｖｄｄを基準（原点）にして正方向にとる。ＶＧＨ－Ｖｄｄは、０．５Ｖ以上２．５Ｖ以下にする。また、ゲートドライバ回路１２が出力するゲートオフ電圧ＶＧＬは、図４に図示するようにグランド電圧（ＧＮＤ）を基準（原点）にして負方向にとる。ＧＮＤ－ＶＧＬは、０．５以上２．５Ｖ以下にする。ＶＧＬは、Ｖｄｄを基準として発生してもよい。ＶＧＨ、ＶＧＬはチャージポンプ回路で発生する。

【００７５】

画素１６を選択するゲート信号線１７ａの振幅の大きさＶｇ＝ＶＧＨ－ＶＧＬとするとき、本発明では、Ｖｇの大きさを６（Ｖ）以上としている。また、アノード電圧Ｖｄｄ、カソード電圧Ｖｓｓとするとき、アノード電圧とカソード電圧の電位差Ｖｅ＝Ｖｄｄ－Ｖｓｓは、Ｖｇ＋２（Ｖ）以上としている。また、ＶＧＬ電圧は、ポリシリコン技術により、アレイ基板３０にチャージポンプ回路などを形成して発生させてもよい。また、アノード電圧を発生するＤＣＤＣ（直流－直流）コンバータ回路には、入力部または出力部に突入電流制限回路を設けることが好ましい。

【００７６】

図４では、ＶＧＬ１とＶＧＬ２（図３を参照のこと）を同一の電圧としたが、これに限定するものではなく、ＶＧＬ１＜ＶＧＬ２の関係にすることが好ましい。つまり、ＶＧＬ１の方がＶＧＬ２より電圧が低い。ただし、駆動用トランジスタ１１ａがＰチャンネルの場合である。駆動用トランジスタ１１ａがＮチャンネルの場合は、逆の関係にする。なお、ＶＧＬ１は画素行を選択するゲートドライバ回路１２ａのオン電圧であり、ＶＧＬ２は、トランジスタ１１ｄを選択するゲートドライバ１２ｂのオン電圧である。

【００７７】

ＶＧＬ１をＶＧＬ２より小さくすることにより、ゲート信号線１７ａの振幅動作により、駆動用トランジスタ１１ａのゲート端子の突き抜け電圧が大きくなり、本発明の駆動方式と組み合わせることにより良好な黒表示を実現できるからである。たとえば、ＶＧＬ１＝－９（Ｖ）、ＶＧＬ２＝－３（Ｖ）が例示される。

【００７８】

駆動用トランジスタ１１ａが出力するプログラム電流の大きさを大きくするには、アノード電圧Ｖｄｄを高くする必要がある。プログラム電流を大きくすれば、ＥＬ素子１５は高輝度に発光するから、ＥＬ表示装置を高輝度表示することができる。高輝度表示はＥＬ表示装置を屋外で使用するときに有効である。しかし、常時、アノード電圧Ｖｄｄを高くするとＥＬ表示装置で使用する消費電力が増大する。そのため、駆動用トランジスタ１１ａが大きなプログラム電流を出力する期間あるいは状態を極力少なくしたい。本発明では

、高輝度表示が必要な場合に、アノード電圧Ｖｄｄを高くする。また、低階調表示あるいは低点灯率のように、プログラム電流の書き込み不足が発生する場合に、図４に示すようにアノード電圧を高くする。この方式は、図１４７で説明する。

【００７９】

図４では、高輝度表示が必要な場合、低階調表示あるいは低点灯率のようにプログラム電流の書き込み不足が発生する場合に、アノード電圧Ｖｄｄを高くするとして説明した。しかし、駆動方式としては、カソード電圧Ｖｓｓを低下させる方式も考えられる。つまり、高輝度表示が必要な場合、低階調表示あるいは低点灯率のようにプログラム電流の書き込み不足が発生する場合に、カソード電圧Ｖｓｓを低くする方式が例示される。また、高輝度表示が必要な場合、低階調表示あるいは低点灯率のようにプログラム電流の書き込み不足が発生する状態をアノード電圧Ｖｄｄまたはカソード電圧Ｖｓｓを通常状態とし、通常の輝度時あるいは、書き込み不足が発生してもよい場合に、アノード電圧Ｖｄｄまたはカソード電圧を低くしてもよい。また、アノード電圧Ｖｄｄとカソード電圧Ｖｓｓの両方を変化させてもよい。

【００８０】

また、動画、静止画など表示画像の種類あるいは状態により、アノード電圧Ｖｄｄ、カソード電圧Ｖｓｓを変化させてもよい。また、外部照度の高低に対応してアノード電圧Ｖｄｄ、カソード電圧Ｖｓｓを変化させてもよい。外部照度が高い時は、アノード電圧Ｖｄｄなどを高くし、照度が低い時は、アノード電圧Ｖｄｄなどを低くする。照度の検出は、ＰＩＮホトダイオードなどにより行う。また、パネル温度より、プログラム電圧またはプログラム電流を印加したときの書き込み状態が変化する場合がある。この場合も、アノード電圧Ｖｄｄなどを変化すればよい。温度の検出はパネルの裏面あるいは無効領域（表示に有効な光が出射しない領域）に取り付けたサーミスタ、ポジスタで行う。アノード電圧Ｖｄｄ、カソード電圧Ｖｓｓの変化あるいは調整は、本発明は、表示輝度、プログラム電流の書き込み状態、表示状態、点灯率、外部照度などに対応させて、アノード電圧Ｖｄｄ、カソード電圧Ｖｓｓを変化あるいは調整する方式である。

【００８１】

以上のように表示装置で使用する電源電圧を発生あるいは制御することにより、アノード電圧Ｖｄｄを変化させた時、同時にソースドライバ回路１４の電源電圧、プリチャージ電圧ＶｐのＶｍｉｎ、ＶＧＨも変化する。したがって、高輝度表示が必要な時に、アノード電圧Ｖｄｄなどを変化させても、ＶＧＨ、プリチャージ電圧Ｖｐの相対値も同時に変化するので良好な画像表示を維持できる。以上の動作は、後に図１４７などで説明する点灯率制御方式と組み合わせることで特に有効な効果を発揮できる。また、図６、図９などで説明するＮ倍駆動、ｄｕｔｙ比駆動方式と組み合わせることも有効である。Ｎが大きいときに、アノード電圧Ｖｄｄなどを高くする。

【００８２】

本発明では、点灯率に対応して図４で示すアノード電圧Ｖｄｄなどを変化させる。点灯率が低い時は、アノード電圧Ｖｄｄを定常値よりも高くし、また、基準電流を大きくすることにより、電流駆動における書き込み不足を改善する。また、図９、図１０、図１１などで説明するＮ倍駆動（非点灯領域挿入駆動）を実施し、階調に対する輝度は定常値と略同一に制御している。

【００８３】

第１の本発明のＥＬ表示装置およびその駆動方法では、基本的には第１の動作（書き込み動作）と第２の動作（発光動作）の２つの動作状態からなる。また、第１の動作は、プリチャージ電圧Ｖｐなどをソース信号線１８に印加し、ソース信号線１８の電位を強制的に変化させる電位変化動作（画素１６の駆動用トランジスタ１１ａのゲート端子電位を変化させることも含む）と、プログラム電流を駆動用トランジスタ１１ａなどに印加する電流プログラム動作に分離される。また、必要に応じて、第１の動作前に、ソース信号線１８に定電流（０（Ａ）も含む）を印加し、ソース信号線１８の電位を測定あるいは取得する初期動作を実施する。

【００８４】
第２の動作は、プログラムされた電流を画素１６のＥＬ素子１５に印加し、もしくは、画素１６のＥＬ素子１５にプログラムされた電流を流れるようにし、ＥＬ素子１５を発光させる期間である。この第２の動作において、必要に応じて、図９、図１０、図１１などで説明するようにゲート信号線１７ｂにオンオフ電圧を印加し、駆動用トランジスタ１１ａからＥＬ素子１５に供給される電流を印加または遮断動作を行う。また、図１４７で説明するように、点灯率制御を実施する。
【００８５】
プリチャージ電圧Ｖｐ（または、Ｖａ、Ｖ０）などの電圧印加動作において、印加するのは電圧に限定されるものではない。プログラム電流よりも大きな電流（過電流）をソース信号線１８に印加し、短時間でソース信号線の電荷を充放電させることも技術範疇である。この実施例は、図８１、図８２などで説明している。つまり、電位変化動作は、ソース信号線１８または駆動用トランジスタ１１ａのゲート端子電位を変化させる動作であればいずれの方式であってもよい。また、過電流を印加する前に、所定の電圧をソース信号線１８に印加し、その後に過電流を印加してもよい。
【００８６】
初期動作では、画素の駆動用トランジスタ１１ａに定電流（所定のプログラム電流）を印加し、前記駆動用トランジスタ１１ａを動作させ、駆動用トランジスタ１１ａの動作が定常状態になった時点で、駆動用トランジスタ１１ａのゲート端子電圧またはソース信号線１８の電圧を測定する。測定した電圧は、Ａ／Ｄ変換してメモリなどに格納する。もしくは、サンプルホールド回路などに電圧をホールドさせる。取得した電圧は、第１の動作の電位変化動作用の電圧として使用する。
【００８７】
なお、初期動作で、定電流を印加するとしたが、本発明ではこれに限定するものではなく、定電流を印加せず（定電流＝０（Ａ））、選択した画素１６の駆動用トランジスタ１１ａのゲートードレイン端子を短絡して、駆動用トランジスタ１１ａがオフセットキャンセル（駆動用トランジスタ１１ａが電流を流さない状態、カットオフの状態）した時に電位（ＶａまたはＶ０）を測定あるいは取得してもよい。画素１６を選択した時、ソース信号線１８と画素１６の駆動用トランジスタ１１ａのゲート端子とは電気的接続状態であるので、この電位もソース信号線１８の電位を測定することにより、取得することが可能である。
【００８８】
第２の本発明のＥＬ表示装置およびその駆動方法では、初期動作と、第１の動作（書き込み動作）と第２の動作（発光動作）の２つの動作状態からなる。
【００８９】
初期動作は、第１の本発明のＥＬ表示装置(パネル）およびその駆動方法と同様である。初期動作では、画素の駆動用トランジスタ１１ａに定電流（所定のプログラム電流）を印加し、前記駆動用トランジスタ１１ａを動作させる。駆動用トランジスタ１１ａの動作が定常状態になった時点で、駆動用トランジスタ１１ａのゲート端子電圧またはソース信号線１８の電圧（ＶａまたはＶ０）を測定する。
【００９０】
定電流は、書き込む階調に応じて変化させることが好ましい。ただし、定電流は０（Ａ）の場合も含まれる。定電流が０（Ａ）の場合は、実質的に駆動用トランジスタ１１ａをオフセットキャンセルしていることになる。測定した電圧（ＶａまたはＶ０）は、Ａ／Ｄ変換してメモリなどに格納する。もしくは、サンプルホールド回路などに電圧をホールドさせる。取得した電圧は、第１の動作の電位変化動作用の電圧として使用する。
【００９１】
なお、初期動作前に、ソース信号線１８に所定電圧を印加し、ソース信号線１８の電位を安定にまたは所定電圧にすることが好ましい。
【００９２】

第１の動作は、初期動作で取得した電圧を基準電圧Ｖａ（または原点電圧Ｖ０）として、この基準電圧に階調電圧を加減算し、目標電圧を求める。求めた目標電圧は、該当画素を選択している期間に、該当画素に書き込む。

【００９３】

第２の動作は、プログラムされた電圧（目標電圧）を駆動用トランジスタ１１ａで電圧－電流変換を行い、得られた電流を画素１６のＥＬ素子１５に印加する動作である。目標電圧は、画素１６のコンデンサ１９に保持されている。この第２の動作の期間において、必要に応じてゲート信号線１７ｂにオンオフ電圧を印加し、駆動用トランジスタ１１ａからＥＬ素子１５に供給される電流を印加または遮断動作を行う。また、基準電流の増減制御、ｄｕｔｙ比制御（図９、図１１など）を行う。また、点灯率に対応してオンオフ制御を変化させる。

【００９４】

階調電圧は、電圧に限定されるものではない。電流（過電流）をソース信号線１８に印加し、短時間でソース信号線の電荷を充放電させることも技術的範疇である。電流の印加によりソース信号線１８の電位は変化する。つまり、電流を印加することも電圧を印加していることと実質上同じである。電位変化動作は、ソース信号線１８または駆動用トランジスタ１１ａのゲート端子電位を変化させる動作であればいずれの方式であってもよい。

【００９５】

図５は図１の動作の説明図である。図５（ａ）は、ソースドライバ回路１４から定電流を供給し、駆動用トランジスタ１１ａから定電流Ｉｗがソースドライバ回路１４に向かって流れている状態を示している。駆動用トランジスタ１１ａが定電流Ｉｗを流している時は、トランジスタ１１ｂ、１１ｃがクローズ（オン）状態である。したがって、駆動用トランジスタ１１ａのゲート端子電位とソース信号線１８の電位は同一である。

【００９６】

図５（ｂ）は、駆動用トランジスタ１１ａからＥＬ素子１５に電流Ｉｅを供給している状態を示している。つまり、ＥＬ素子１５に電流を供給し、画像表示を行っている状態である。

【００９７】

以上の動作を表示画面３４で図示すると、図６に図示するようになる。図６（ａ）の６１は、表示画面３４における、ある時刻での電流プログラムされている画素（行）（書き込み画素行）を示している。あるいは、Ｖａ、Ｖ０電圧を測定している画素行（画素）である。または、目標電圧Ｖｃを書き込んでいる画素行（画素）である。

【００９８】

基本的には、定電流が０（Ａ）の時のソース信号線１８の電位をＶ０とし、定電流Ｉａ（Ｉａは任意の値）の時のソース信号線１８の電位をＶａと呼ぶ。しかし、便宜的に、また、説明を容易にするため、映像信号の階調０に対応する電圧をＶ０とし、映像信号の階調ａに対応する電圧をＶａの意味で使用する場合もある。

【００９９】

画素（行）６１は、非点灯（非表示画素（行））とする。非点灯にするには、ゲートドライバ回路１２ｂを制御し、画素１６のトランジスタ１１ｄをオープン状態にすればよい。トランジスタ１１ｄをオープンにするためには、ゲート信号線１７ｂにオフ電圧を印加すればよい。ゲートドライバ回路１２がゲート信号線１７にオフ電圧を印加する位置は、水平同期信号に同期してシフトさせる。

【０１００】

非点灯（非表示）とは、ＥＬ素子１５に流れていない状態をいう。もしくは、一定以内の小さな電流が流れている状態をいう。つまり、暗い表示状態である。したがって、非点灯画素行とは、該当画素行のＥＬ素子１５に電流が流れていない状態あるいは比較的暗い表示状態を意味する。

【０１０１】

表示画面３４の非表示（非点灯）の範囲を非表示領域６２と呼ぶ。表示画面３４の表示

（点灯）の範囲を表示（点灯）領域６３と呼ぶ。表示領域６３の画素１６のスイッチング用トランジスタ１１ｄはクローズし、ＥＬ素子１５に電流が流れている。ただし、黒表示の画像表示ではＥＬ素子１５に電流が流れないのは当然である。スイッチング用トランジスタ１１ｄがオープンの領域は、非表示領域６２となる。

【０１０２】

図６、図９では、表示画面３４に非表示領域６２と、表示領域６３を発生させる。このように表示する駆動方法をｄｕｔｙ比駆動方式と呼ぶ。

【０１０３】

本発明は、表示領域６３と非表示領域６２との比を変化させる、あるいは表示画面３４の面積に対し非表示領域６２の面積を変化させる、あるいは表示状態の画素数を増減することにより、画面の輝度あるいは明るさを調整することを特徴とする。

【０１０４】

本発明は、画面３４に占める表示領域６３を複数に分割できる。また、表示領域６３または非表示領域６２の分割数を動画表示と静止画表示で異ならせる。画面３４に占める非表示領域６２または表示領域６３が、帯状となって画面の上から下方向または画面の下から上方向に移動することを特徴とする。

【０１０５】

通常、ＮＴＳＣのフレームレートは６０Ｈｚ（１秒間に６０枚、１画面を書き換える時間は１／６０秒）、ＰＡＬは５０Ｈｚ（１秒間に５０枚）である。図６、図９のように、本発明のｄｕｔｙ比駆動を実施する場合は、フレームレートを１．２倍以上２．５倍以下に変換して表示する。つまり、入力フレームレートが６０Ｈｚの場合は、６０×１．２＝７２Ｈｚ以上、６０×２．５＝１５０Ｈｚ以下にする。好ましくは、１．２５倍の７５Ｈｚ以上２倍の１２０Ｈｚ以下とする。あるいは、１．２５倍の７５Ｈｚ、１．５倍の９０Ｈｚ、２倍の１２０Ｈｚのいずれかを選択する。

【０１０６】

入力信号は、画像メモリに蓄積し、フレームレート変換を行う。もしくは、入力信号のフレームレートを７２Ｈｚ以上１５０Ｈｚ以下で本発明の表示装置に入力する。以上のフレームレートに関する事項は、本発明の他の実施例においても適用される。

【０１０７】

図１の画素構成の場合は、図５（ａ）に図示するように、プログラム電流（定電流）Ｉｗがソース信号線１８に流れる。このプログラム電流Ｉｗが駆動用トランジスタ１１ａを流れ、プログラム電流Ｉｗを流す電流が保持されるように、コンデンサ１９に電圧設定（プログラム）される。または、駆動用トランジスタ１１ａのゲート端子にプログラム電流Ｉｗを流す電流が流れるようにコンデンサ１９に電圧が保持される。このとき、トランジスタ１１ｄはオープン状態（オフ状態）である。

【０１０８】

ＥＬ素子１５に電流を流す期間は図５（ｂ）のように、トランジスタ１１ｃ、１１ｂがオフし、トランジスタ１１ｄが動作する。つまり、ゲート信号線１７ａにオフ電圧（ＶＧＨ）が印加され、トランジスタ１１ｂ、１１ｃがオフする。一方、ゲート信号線１７ｂにオン電圧（ＶＧＬ）が印加され、トランジスタ１１ｄがオンする。

【０１０９】

タイミングチャートを図７に図示する。図７において、選択された画素行の画素１６では、ゲート信号線１７ａにオン電圧（ＶＧＬ）が印加されている時（図７（ａ）を参照）には、ゲート信号線１７ｂにはオフ電圧（ＶＧＨ）が印加されている（図７（ｂ）を参照）。この期間は、選択された画素行のＥＬ素子１５には電流が流れていない（非点灯状態）。選択期間は１水平走査期間（１Ｈ）としている。

【０１１０】

ゲート信号線１７ａにオン電圧が印加されていない（選択されていない）画素行で、点灯状態の画素行では、ゲート信号線１７ｂにはオン電圧（ＶＧＬ）が印加されている。この画素行のＥＬ素子１５には電流が流れ、ＥＬ素子１５が発光している。

【０１１１】
ゲート信号線１７ａにオン電圧が印加されていない（選択されていない）画素行で、非点灯状態の画素行では、ゲート信号線１７ｂにはオフ電圧（ＶＧＨ）が印加されている。この画素行のＥＬ素子１５には電流が流れず、ＥＬ素子１５は非発光状態である。
【０１１２】
以上の動作を図示すると、図６のようになる。図６（ａ）の６１は、表示画面３４における、ある時刻での電流プログラムされている画素（行）（書き込み画素行）を示している。画素（行）６１は、非点灯（非表示画素（行））とする。また、スイッチング用トランジスタ１１ｄがクローズし、ＥＬ素子１５に電流が流れている（ただし、黒表示は流れない）領域は、表示領域６３となる。また、スイッチング用トランジスタ１１ｄがオープンの領域は、非表示領域６２となる。
【０１１３】
図１の画素構成の場合は、図５（ａ）に示すように、電流Ｉｗが駆動用トランジスタ１１ａを流れ、プログラム電流Ｉｗを流す電流が保持されるように、コンデンサ１９に電圧設定（プログラム）される。または、駆動用トランジスタ１１ａのゲート端子にプログラム電流Ｉｗを流す電流が流れるように電圧が保持される。このとき、トランジスタ１１ｄはオープン状態（オフ状態）である。
【０１１４】
次に、ＥＬ素子１５に電流を流す期間は図５（ｂ）のように、トランジスタ１１ｃ、１１ｂがオフし、トランジスタ１１ｄが動作する。つまり、ゲート信号線１７ａにオフ電圧（ＶＧＨ）が印加され、トランジスタ１１ｂ、１１ｃがオフする。一方、ゲート信号線１７ｂにオン電圧（ＶＧＬ）が印加され、トランジスタ１１ｄがオンする。
【０１１５】
Ｖａ電圧を測定あるいは取得する際に、ソース信号線１８の充放電を高速に行う場合、また、画像表示に黒挿入（非表示領域挿入）を行い、動画視認性を向上させる場合は、定電流の大きさをＮ倍にする。定電流の大きさをＮ倍にすることによりＥＬ素子１５に流れる電流もＮ倍となる。
【０１１６】
Ｖｘ（ｘは階調番号）を従来と同様に１倍とする場合は、Ｎ倍の定電流を書き込み効果によりソース信号線１８の充放電を高速にできるという効果が発揮される。この場合は、基準となるＶａ電圧がすでにＮ倍のＥＬ電流となる電圧であるから、加減算するＶｘ電圧もこの点を考慮して設定する必要がある。目標電圧Ｖｃも同様である。
【０１１７】
以下、説明を容易にするため、Ｖａ電圧を測定する際の定電流ＩｗもＮ倍（基準となる電圧Ｖａも駆動用トランジスタ１１ａがＮ倍の電流を流すように設定される。）とし、Ｖａ、Ｖ０に加算されるＶｘも駆動用トランジスタ１１ａがＥＬ素子１５にＮ倍の電流を流すように設定されるとする。また、１倍の電流の時にＥＬ表示装置が表示する表示画面３４の輝度はＢとし、Ｎ倍の電流が流れる時は発光部の輝度は、Ｂ×Ｎの輝度で表示されるものとする。なお、説明は、Ｎは１以上として説明するが、Ｎが１未満であっても、本発明は適用できることは言うまでもない。
【０１１８】
図６、図９では、表示画面３４の表示領域６３の画素１６をＮ倍の輝度で発光させる。もしくは、Ｎ倍の電流を流す。このように、表示する駆動方法をＮ倍駆動方式と呼ぶ。
【０１１９】
ＥＬ素子１５に流す定電流あるいはプログラム電流Ｉｗは、表示画面３４の平均（所定）輝度Ｂを得るのに必要な電流のＮ倍とする。したがって、ＥＬ素子１５は、所定のＮ倍の輝度（Ｎ・Ｂ）で点灯する。点灯期間は１Ｆ／Ｎとする。１Ｆとは１フィールド（フレーム）である。なお、説明を容易にするため、１フィールド（フレーム）にブランキング期間はないとして説明をする。実用上は、ブランキング期間があるため、正確にはＮ・Ｂとはならない。つまり、１Ｆの１／Ｎの期間、Ｎ倍の輝度（Ｎ・Ｂ）でＥＬ素子１５が発

光する。したがって、１Ｆを平均した表示パネルの表示輝度は、（Ｎ・Ｂ）×（１／Ｎ）＝Ｂ（所定輝度）となる。

【０１２０】

なお、Ｎはいずれの値でもよい。ただし、Ｎがあまりにも大きいとＥＬ素子１５に流れる瞬時電流が大きいため、Ｎは１０以下にすることが好ましい。もちろん、Ｎ＝１とし、書き込み画素行１８１以外を表示（点灯）領域６３としてもよいことは言うまでもない。この場合は、ＥＬ素子１５に流す電流Ｉｗは、表示画面３４の平均（所定）輝度Ｂを得るのに必要な電流とする。したがって、ＥＬ素子１５は、所定の輝度Ｂで点灯（発光）する。

【０１２１】

また、発光輝度Ｎ・Ｂとなるように定電流あるいはプログラム電流Ｉｗを流す理由の１つは、ソース信号線１８の寄生容量の影響を小さくするためである。大きな電流を流すことにより、寄生容量の電荷を短期間で充放電することができるようになる。

【０１２２】

以上の実施例は、主としてシリコンチップからなるＩＣでソースドライバ回路（ＩＣ）１４を構成するものであった。しかし、本発明はこれに限定するものではなく、図８などに図示するように、アレイ基板３０に直接にポリシリコン技術（ＣＧＳ技術、低温ポリシリコン技術、高温ポリシリコン技術など）を用いて出力段回路８１など（ポリシリコン電流保持回路８２）を形成または構成してもよい。

【０１２３】

図８は、Ｒ、Ｇ、Ｂの出力段回路８１（Ｒ用は８１Ｒ、Ｇ用は８１Ｇ、Ｂ用は８１Ｂ）と、ＲＧＢの出力段回路８１を選択するスイッチＳがポリシリコン技術で形成（構成）されている。スイッチＳは１水平走査期間（１Ｈ期間）を時分割して動作する。基本的には、スイッチＳは、１Ｈの１／３期間がＲの出力段回路８１Ｒに接続され、１Ｈの１／３期間がＧの出力段回路８１Ｇに接続され、残りの１Ｈの１／３期間がＢの出力段回路８１Ｂに接続される。

【０１２４】

図８に図示するように、シフトレジスタ回路、サンプリング回路などを有するソースドライバ（回路）１４は、出力端子８３でソース信号線１８と接続される。ポリシリコンからなるスイッチＳが時分割で切り換えられ、出力段回路８１Ｒ、８１Ｇ、８１Ｂに接続される。出力段回路８１（８１Ｒ、８１Ｇ、８１Ｂ）はＲＧＢの映像データからなる電流が保持される。なお、図８ではポリシリコン電流保持回路８２は１段分しか図示していないが、実際には２段構成されていることは言うまでもない。

【０１２５】

図８では、スイッチＳは、１Ｈの１／３期間がＲの出力段回路８１Ｒに接続され、１Ｈの１／３期間がＧの出力段回路８１Ｇに接続され、残りの１Ｈの１／３期間がＢの出力段回路８１Ｂに接続されると説明したが本発明はこれに限定するものではない。Ｒ、Ｇ、Ｂを選択する期間は異なっていてもよい。これは、Ｒ、Ｇ、Ｂのプログラム電流Ｉｗの大きさが異なっているためである。Ｒ、Ｇ、ＢでＥＬ素子１５の効率が異なるため、Ｒ、Ｇ、Ｂでプログラム電流の大きさが異なる。プログラム電流の大きさが小さいと、ソース信号線１８の寄生容量の影響を受けやすいため、プログラム電流の印加期間を長くし、十分にソース信号線１８の寄生容量の充放電期間を確保する必要がある。一方で、ソース信号線１８の寄生容量の大きさは、Ｒ、Ｇ、Ｂで同一であることが多い。

【０１２６】

図６では表示領域６３を１つにした方式である。しかし、本発明はこれに限定するものではない。たとえば、図９に図示するように、表示領域６３と非表示領域６２とを複数に分散させてもよい。

【０１２７】

また、図９に図示するように、間欠する間隔（非表示領域６２／表示領域６３）は等間隔に限定するものではない。たとえば、ランダムでもよい（全体として、表示期間もしく

は非表示期間が所定値（一定割合）となればよい）。また、ＲＧＢで異なっていてもよい。つまり、白（ホワイト）バランスが最適になるように、Ｒ、Ｇ、Ｂ表示期間もしくは非表示期間が所定値（一定割合）となるように調整（設定）すればよい。

【０１２８】

非表示領域６２とは、ある時刻において非点灯ＥＬ素子１５の画素１６領域である。表示領域６３とは、ある時刻において点灯ＥＬ素子１５の画素１６領域である。非表示領域６２、表示領域６３は、水平同期信号に同期して、１画素行ずつ位置がシフトしていく。

【０１２９】

本発明の駆動方法では、図１０に図示するように間欠表示実施することができる。しかし、間欠表示を実施するにあたり、トランジスタ１１ｄは最大でも１Ｈ周期でオンオフ制御するだけでよい。したがって、回路のメインクロックは従来と変わらないため、回路の消費電力が増加することもない。液晶表示パネルでは、間欠表示を実現するために間欠表示の期間、映像データを蓄積するため画像メモリが必要である。本発明は、画像データは各画素１６のコンデンサ１９に保持されている。そのため、本発明の駆動方法では間欠表示を実施するための画像メモリは不要である。

【０１３０】

本発明の駆動方法はスイッチングのトランジスタ１１ｄ（図１などを参照のこと）などをオンオフさせるだけでＥＬ素子１５に流す電流を制御する。つまり、ＥＬ素子１５に流れる電流Ｉｗをオフしても、画像データはそのまま画素１６のコンデンサ１９に保持されている。したがって、次のタイミングでトランジスタ１１ｄなどをオンさせ、ＥＬ素子１５に電流を流せば、その流れる電流は前に流れていた電流値と同一である。

【０１３１】

本発明では黒挿入（黒表示などの間欠表示）を実現する際においても、回路のメインクロックをあげる必要がない。また、時間軸伸張を実施する必要もないための画像メモリも不要である。また、有機ＥＬ素子１５は電流を印加してから発光するまでの時間が短く、高速に応答する。そのため、動画表示に適し、さらに間欠表示を実施することにより、従来のデータ保持型の表示パネル（液晶表示パネル、ＥＬ表示パネルなど）の問題である動画表示の問題を解決できる。

【０１３２】

さらに、大型の表示装置でソース信号線１８の配線長が長くなり、ソース信号線１８の寄生容量が大きくなる場合は、Ｎ値（Ｎは１よりも大きな値）を大きくすることにより対応できる。ソース信号線１８に印加するプログラム電流値をＮ倍にした場合、ゲート信号線１７ｂ（トランジスタ１１ｄ）の導通期間を１Ｆ／Ｎとすればよい。これによりテレビ、モニターなどの大型表示装置などにも適用が可能である。

【０１３３】

１つの本発明は、電流駆動の画素構成のＥＬ表示パネルにおいて、各画素の駆動用トランジスタ１１ａに定電流を流し、または、定電流（Ｉｗ＝０）が流れないようにして、Ｖａ電圧またはＶ０電圧を測定あるいは取得する。測定あるいは取得したＶａ電圧またはＶ０電圧をＡ／Ｄ変換してメモリなどに格納する。画像表示時に、このＶａ電圧またはＶ０電圧を読み出しＤ／Ａ変換し、プリチャージ電圧Ｖｐとしてソース信号線１８に印加する。プリチャージ電圧Ｖｐの印加後に、必要に応じてプログラム電流を印加するものである。

【０１３４】

１つの本発明は、各画素の駆動用トランジスタ１１ａに定電流を印加し、または、電流が流れないようにして、Ｖａ電圧またはＶ０電圧を測定する。測定した電圧はＡ／Ｄ変換してメモリなどに格納する。画像表示時に、このＶａ電圧またはＶ０電圧を読み出しＤ／Ａ変換し、このＶａ電圧またはＶ０電圧を基準として階調電圧Ｖｘ（ｘは階調番号）を加算し、目標電圧Ｖｃを発生する方式である。

【０１３５】

なお、本発明はこれに限定するものでない。たとえば、電圧Ｖａを測定あるいは取得す

る際、印加する定電流Ｉｗを最大階調Ｉｗｍに該当する電流としてもよい。

【０１３６】

最大階調に該当する定電流Ｉｗｍを駆動用トランジスタ１１ａに印加することにより、駆動用トランジスタ１１ａは最大階調の電流が流れるように、そのゲート端子に電圧Ｖａｍが発生する。このＶａｍを基準にし、階調電圧Ｖｘを減算して目標電圧Ｖｃを発生させる。発生させた電圧Ｖｃｍを駆動用トランジスタ１１ａのゲート端子に印加する。

【０１３７】

以上のように、本発明の重要な駆動方式の重要なあるいは特徴ある動作は、電流駆動方式の画素を流れる電流をソース信号線１８に取り出す、もしくはソース信号線１８の電位を測定することである。駆動用トランジスタ１１ａもしくは駆動用トランジスタ１１ａとカレントミラー結合されたトランジスタ１１ｂのドレイン端子またはソース端子が、直流的にソース信号線１８に結線されている構成あるいは配置、つまり、駆動用トランジスタ１１（１１ａ、１１ｂ）である必要がある。ＥＬ素子１５に電流を流すとは、ＥＬ素子１５に電流を供給する場合と、ＥＬ素子１５から前記駆動用トランジスタ１１に流れ込む場合の両方を含む。

【０１３８】

本発明は、Ｖａ、Ｖ０、Ｖａｍを基準として駆動用トランジスタ１１に略１倍の電流Ｉｅを流す実施例であった。しかし、本発明はこれに限定するものではない。たとえば、「１Ｆ／Ｎの期間の間だけ、ＥＬ素子１５に電流を流し、他の期間（１Ｆ（Ｎ－１）／Ｎ）は電流を流さない」駆動方式では、定電流をＮ倍に設定してもよいことは言うまでもない。つまり、Ｎ倍の定電流（リセット電流）に対応するＶａ電圧を求め、この電圧Ｖａを基準にして目標電圧Ｖｃを発生させる。なお、Ｎ倍の定電流としたが、これに限定するものではない。Ｎは１以上であればいずれの値でもよい。

【０１３９】

この方式は、ソース信号線１８の寄生容量が大きい場合に特に有効である。また、ＥＬ表示装置が１０インチ以上と大きい場合に有効である。ソース信号線１８の寄生容量が大きい場合、リセット電流（プログラム電流Ｉｗ）をＮ倍にすること（少なくも１倍以上とすること）により、定電流Ｉｗの「書き込み不足」を改善することができる。

【０１４０】

本発明の駆動方法では、図１１に図示するように赤（Ｒ）、緑（Ｇ）、青（Ｂ）ごとに間欠表示実施することができる。しかし、間欠表示を実施するにあたり、トランジスタ１１ｄは最大でも１Ｈ周期でオンオフ制御するだけでよい。したがって、回路のメインクロックは間欠表示を行わない駆動方式と同じであるため、回路の消費電力が増加することもない。液晶表示パネルでは、間欠表示を実現するために画像メモリが必要である。

【０１４１】

本発明の画素構成は、図１の構成を例示して説明するが、これに限定するものではない。たとえば、図１２の画素構成であってもよい。図１２の画素構成は、電流プログラム時は、トランジスタ１１ｃ、１１ｄがオン（クローズ）する。ソースドライバ回路１４がプログラム電流（定電流）Ｉｗを出力する。駆動用トランジスタ１１ｂとカレントミラー回路を構成するトランジスタ１１ａにプログラム電流（定電流）Ｉｗが流れ、プログラム電流に対応した電圧がコンデンサ１９に保持される。なお、トランジスタ１１ｅはゲート信号線１７ｂに印加した制御信号（オンオフ信号）により、オンオフ（クローズオープン）制御されて図１１、図９などで説明した間欠制御などを実現する。

【０１４２】

図１２の実施例は、トランジスタ１１ａにプログラム電流Ｉｗを流す。図１のようにＥＬ素子１５に電流Ｉｅを印加するトランジスタ１１ｂにプログラム電流（定電流）Ｉｗを流す実施例ではない。図１２の画素構成は、トランジスタ１１ａとトランジスタ１１ｂとがカレントミラー回路を構成し、ミラー比が１の場合は、トランジスタ１１ａを流れる電流Ｉｗとトランジスタ１１ｂを流れる電流Ｉｅが等しい。しかし、トランジスタ１１ａにプログラム電流Ｉｗを流し、トランジスタ１１ｂの特性補償をするという点では、図１の

画素構成と同一である。

【０１４３】

本発明の技術的思想は、ソースドライバ回路１４などからプログラム電流または定電流Ｉｗなどを流し、直接的に駆動用トランジスタ１１ａまたは間接的にＥＬ素子１５に電流を流す駆動用トランジスタ１１ｂの特性補償を行う点にある。定電流Ｉｗの印加により、駆動用トランジスタ１１の特性がゲート端子電位（＝ソース信号線１８の電位）として出力されるからである。この出力された電圧を変数として用いて、階調電流あるいは階調電圧を求める。したがって、図１２の画素構成であっても、本発明の駆動方式を実施することができるから、図１２の画素構成は、本発明の技術的範疇である。なお、図１２の画素構成では、トランジスタ１１ｅを省略してもよい。Ｖａ測定時などに定電流Ｉｗが分流されてＥＬ素子１５に流れることがないからである。

【０１４４】

図１、図１２などの画素構成は、トランジスタ１１ｄによりＥＬ素子１５に流す電流をトランジスタ１１ｄにより制御するものであった。本発明はこれに限定するものではない。たとえば、図１３に図示する画素構成でも本発明を適用できる。図１３は、トランジスタ１１ｄがなくともＥＬ素子１５に印加する電流をオンオフ制御することができる。

【０１４５】

図１３では、ゲートドライバ回路１２ｂは、ゲート信号線１７ｂを制御し、ゲート信号線１７ｂの電位は、Ｖｄｄ電圧と、それより低い電圧であるＥＬ素子１５に電流が流れない電圧Ｖｇで駆動される。つまり、ゲート信号線１７ｂには、Ｖｄｄ電圧とＶｇ電圧が出力される。ゲート信号線１７ｂにＶｄｄ電圧が印加されたときは、ＥＬ素子１５に電流が流れ、ゲート信号線１７ｂにＶｇ電圧が印加されたときには、ＥＬ素子１５には電流が流れない。駆動用トランジスタ１１ａに定電流Ｉｗを印加する点において、図１３でも図１と同様である。したがって、図１３のように、ゲートドライバ１２ｂを有さない構成も本発明の技術的範疇である。同様に、図１の画素構成の変形である図１４にも適用できることはいうまでもない。スイッチング用トランジスタ１１ｄをオンオフ制御する。

【０１４６】

駆動用トランジスタ１１ａ、１１ｂは１つのトランジスタに限定するものではなく、複数個で構成してもよい。たとえば、５つのトランジスタ１１ａを並列あるいは直列に形成する構成が例示される。また、スイッチング用トランジスタ１１ｃ、１１ｄなどを複数個並列にあるいは直列に形成してもよい。

【０１４７】

以下、ソースドライバ回路１４と、定電流あるいはプログラム電流Ｉｗの電流出力回路について説明をする。図１５は、本発明のソースドライバ回路１４の構成の説明図である。本発明のソースドライバ回路１４は、赤（Ｒ）、緑（Ｇ）、青（Ｂ）に対応する基準電流回路１５３（１５３Ｒ，１５３Ｇ、１５３Ｂ）を有している。

【０１４８】

基準電流回路１５３は、抵抗Ｒ１（Ｒ１ｒ、Ｒ１ｇ、Ｒ１ｂ）とオペアンプ１５１ａ、トランジスタ１６７ａから構成される。抵抗Ｒ１（Ｒ１ｒ、Ｒ１ｇ、Ｒ１ｂ）の値は、Ｒ、Ｇ、Ｂの階調電流に対応して独立に設定あるいは調整できるように構成されている。抵抗Ｒ１は、ソースドライバ回路１４の外部に配置された外付け抵抗である。

【０１４９】

オペアンプの＋端子ｃには、電子ボリウム１５２により、電圧Ｖｉが印加されている。電圧Ｖｉは、安定した基準電圧Ｖｓを抵抗Ｒで分圧し、スイッチＳ（Ｓ１、Ｓ２、Ｓ３、・・・・）で分圧して発生した電圧を選択することにより得られる。

【０１５０】

電子ボリウム１５２は、外部信号でスイッチＳの制御することにより出力電圧Ｖｉを変化させるものである。したがって、外部からの制御信号により、出力電圧を変化させる電圧出力回路と考えてもよい。また、本発明はこれに限定するものではなく、内部インピーダンスを変化させる電子抵抗であってもよい。また、電圧だけでなく、出力電流を変化さ

せるものであってもよい。たとえば、図１５において、外部からの制御信号により、基準電流Ｉｃを直接発生あるいは供給するものであってもよい。これらの概念も電子ボリウム１５２の技術的思想に含まれる。

【０１５１】

基準電流Ｉｃは（Ｖｓ－Ｖｉ）／Ｒ１となる。ＲＧＢの基準電流Ｉｃ（Ｉｃｒ、Ｉｃｇ、Ｉｃｂ）は、それぞれ独立した基準電流回路１５３で調整あるいは可変される。可変は、ＲＧＢごとに形成された電子ボリウムで実施される。したがって、電子ボリウム１５２に印加される制御信号により、電子ボリウム１５２から出力される電圧Ｖｉの値が変化する。電圧ＶｉによりＲＧＢの基準電流の大きさが変化し、端子８３から出力される階調電流（プログラム電流）Ｉｗの大きさが比例して変化する。

【０１５２】

発生した基準電流Ｉｃ（Ｉｃｒ、Ｉｃｇ、Ｉｃｂ）は、トランジスタ１６７ａから１６７ｂに印加される。トランジスタ１６７ｂとトランジスタ群１６５ｃとはカレントミラー回路を構成している。なお、図１５において、トランジスタ１６７ｂ１は、１つのトランジスタで構成しているように図示しているが、実際には、トランジスタ群１６５ｃと同様に、単位トランジスタ１６４の集合（トランジスタ群）として形成している。

【０１５３】

ソースドライバ回路１４が出力する階調数をＫとし、単位トランジスタ１６４の大きさをＳｔ（平方μｍ）としたとき、４０ ≦ Ｋ／√（Ｓｔ） かつ Ｓｔ ≦ ３００を満足するように、単位トランジスタ１６４が形成されている。

【０１５４】

トランジスタ群１６５ｃからのプログラム電流Ｉｗは出力端子８３より出力される。トランジスタ群１６５ｃの各単位トランジスタ１６４のゲート端子およびトランジスタ１６７ｂのゲート端子は、ゲート配線１６３で接続されている。

【０１５５】

トランジスタ群１６５ｃは、図１６に図示するように、単位トランジスタ１６４の集合として構成される。理解を容易にするため、映像データとプログラム電流は比例あるいは相関の関係で変換されるとして説明する。映像信号によりスイッチ１６１が選択され、スイッチ１６１の選択により、単位トランジスタ１６４の集合としてのプログラム電流Ｉｗが発生する。したがって、映像信号をプログラム電流Ｉｗに変換できる。本発明は単位トランジスタ１６４の単位電流が、映像データ１の大きさに該当するように構成されている。

【０１５６】

各端子８３の出力電流Ｉｗがバラツキなく発生するには、複数の単位トランジスタ１６４を動作させる必要がある。各出力端子８３で出力電流Ｉｗのバラツキを少なくするためには、電流を発生する単位トランジスタ１６４が占める面積を一定以上の大きさにする必要がある。したがって、定電流Ｉｗを各端子８３でバラツキなく（精度よく）出力できるようにするには、出力電流源を複数の単位トランジスタ１６４で形成し、かつ、所定の面積以上に構成する必要がある。本発明では、図１５、図１６は階調電流回路として、説明しているが、単位トランジスタ１６４の個数を固定すれば、所定の定電流Ｉｗとなる。したがって、トランジスタ群１６５は定電流Ｉｗの発生部であり、階調電流回路１５４である。もちろん、図１５の定電流回路１５３などを使用してもよい。

【０１５７】

単位電流とは、基準電流Ｉｃの大きさに対応して単位トランジスタ１６４が出力する１単位のプログラム電流の大きさである。基準電流Ｉｃが変化すると、単位トランジスタ１６４が出力する単位電流も比例して変化する。トランジスタ１６７ｂと単位トランジスタ１６４がカレントミラー回路を構成しているからである。

【０１５８】

図１５のトランジスタ１６７ｂ１、図１６のトランジスタ１６７ｂは、本発明の別のトランジスタの一例にあたる。なお、トランジスタ１６７ｂはトランジスタ群１６５ｂを構

成してもよい。図２０にトランジスタ群１６５ｂとして図示している。

【０１５９】

単位トランジスタ１６４とは、１単位あるいは最小単位のプログラム電流Ｉｗを出力するトランジスタもしくは電流源である。つまり、単位トランジスタ１６４＝単位電流源である。また、複数の単位トランジスタ１６４が集合し、階調に対応したプログラム電流を出力する構成あるいは部分をトランジスタ群（電流出力回路）１６５ｃと呼ぶ。

【０１６０】

単位電流の大きさは基準電流回路１５３が出力する基準電流Ｉｃの大きさあるいは強さを調整することにより可変することができる。基準電流Ｉｃの調整は、ソースドライバ回路１４内に内蔵した電子ボリウム１５２などで行う。基準電流Ｉｃを発生する基準電流回路１５３はＲ、Ｇ、Ｂ回路ごとに設けられている。

【０１６１】

ＲＧＢの各トランジスタ群１６５ｃは単位トランジスタ１６４の集合で構成されており、単位トランジスタ１６４の出力電流（単位プログラム電流）の大きさは、基準電流Ｉｃの大きさで調整できる。基準電流Ｉｃの大きさを調整すれば、ＲＧＢごとに各階調のプログラム電流（定電流）Ｉｗの大きさを変更あるいは可変することができる。したがって、ＲＧＢの単位トランジスタ１６４の特性が同一であるような理想的状態では、ＲＧＢの基準電流回路１５３の基準電流Ｉｃの大きさの比率を変化させることにより、ＥＬ表示装置の表示画像のホワイトバランスをとることができる。

【０１６２】

以下、説明を容易にする、また作図を容易にするため、ソースドライバ回路（ＩＣ）１４のトランジスタ群１６５ｃは６ビットであるとして説明をする。図１６において、各単位トランジスタ１６４は、定電流データ（Ｄ０～Ｄ５）ごとに配置される。Ｄ０ビットには１個の単位トランジスタ１６４が配置される。Ｄ１ビットには２個の単位トランジスタ１６４が配置される。Ｄ２ビットには４個の単位トランジスタ１６４が配置され、Ｄ３ビットには８個の単位トランジスタ１６４が配置され、Ｄ４ビットには１６個の単位トランジスタ１６４が配置される。同様に、Ｄ５ビットには３２個の単位トランジスタ１６４が配置されている。

【０１６３】

各ビットの単位トランジスタ１６４の出力電流が出力端子８３に出力されるか否かは、アナログスイッチ１６１（１６１ａ～１６１ｆ）によるオンオフ制御で実現される。アナログスイッチ１６１ａ～１６１ｆは定電流Ｉｗの制御信号の各ビット（一例として６ビット）に対応する。Ｄ０ビットに対応するスイッチ１６１ａが閉じると、１単位電流が出力端子８３から出力（入力）される。出力端子８３には、ソース信号線１８が接続されている。同様に、Ｄ１ビットに対応するスイッチ１６１ｂが閉じると、２単位電流が出力端子８３から出力（入力）される。

【０１６４】

同様に、Ｄ２ビットに対応するスイッチ１６１ｃが閉じると、４単位電流が出力端子８３から出力（入力）される。Ｄ３ビットに対応するスイッチ１６１ｄが閉じると、８単位電流が出力端子８３から出力（入力）される。Ｄ４ビットに対応するスイッチ１６１ｅが閉じると、１６単位電流が出力端子８３から出力（入力）される。Ｄ５ビットに対応するスイッチ１６１ｆが閉じると、３２単位電流が出力端子８３から出力（入力）される。

【０１６５】

以上のように、定電流の制御信号のビットに対応して、デジタル的にスイッチ１６１がクローズまたはオープンし、単位電流の総和（プログラム電流Ｉｗ）が出力端子８３から出力される。

【０１６６】

プログラム電流Ｉｗは内部配線１６２を流れる。内部配線１６２の電位Ｖｗは、ソース信号線１８の電位となる。ソース信号線１８の電位は、定電流Ｉｗをソース信号線１８に印加し、定常状態した時は、画素１６の駆動用トランジスタ１１ａのゲート端子の電圧（

図１の画素構成の場合）である。

【０１６７】

単位トランジスタ１６４はトランジスタ１６７ｂとカレントミラー回路を構成している。なお、図１５、図１６、図１７では、理解を容易にするためトランジスタ１６７ｂを１つと図示している。実際は、複数のトランジスタ（トランジスタ群）で構成（形成）される。トランジスタ１６７ｂとトランジスタ群１６５ｃとは所定のカレントミラー比でカレントミラー回路を構成する。

【０１６８】

つまり、トランジスタ１６７ｂも多数の単位トランジスタ１６４を有する群として構成されている。ただし、トランジスタ群１６５ｃを構成する単位トランジスタ１６４とトランジスタ１６７ｂを構成する単位トランジスタのサイズ、出力電流特性は異ならせてもよいことは言うまでもない。また、トランジスタ１６７ａも複数のトランジスタで形成あるいは構成してもよいことは言うまでもない。なお、単位トランジスタ１６４を有する定電流出力回路をトランジスタ群１６５ｃと呼ぶ。

【０１６９】

以上のように、１つの動作を行うトランジスタ（図１５、図１６、図１７などの１６７ｂ、１６７ａ、１６８ａ、１６８ｂ、１６５ｂ、１６５ｃ）を、複数の同一特性の単位トランジスタ１６４からなるトランジスタ群として形成することにより、出力端子８３間、ソースドライバ回路１４間で特性バラツキが少なくなり、良好な動作を実現できる。

【０１７０】

トランジスタ１６７ｂには基準電流Ｉｃが流れ、この基準電流Ｉｃのカレントミラー比に応じた電流が単位トランジスタ１６４に流れる。図１６の６３個の単位トランジスタ１６４はすべて同一の単位電流を出力する。単位トランジスタ１６４の単位電流が内部配線１６２に流れるためには、該当のスイッチ１６１を閉じ、電流経路を構成する必要がある。

【０１７１】

図１５で説明したように、基準電流Ｉｃはオペアンプ１５１ａと抵抗Ｒ１からなる定電流発生回路１５３で発生する。基準電流Ｉｃは基準電圧Ｖｓを安定化かつ高精度化することにより安定化させる。電圧ＶｉとＶｓが抵抗Ｒ１の両端に印加される。したがって、基準電流Ｉｃ＝（Ｖｓ－Ｖｉ）／Ｒ１となる。基準電流ＩｃはＲＧＢごとに設定することができる。つまり、ＲＧＢごとにトランジスタ群１６５ｃが構成（形成）されている。前記トランジスタ群１６５ｃのトランジスタ１６７ｂに流れる電流Ｉｃを設定（調整）できる。抵抗Ｒ１は、ソースドライバ回路（ＩＣ）１４外に配置されており、抵抗Ｒ１の値をＲＧＢで調整することにより、良好にホワイトバランスを調整あるいは設定できる。

【０１７２】

図１７（ａ）は基準電流Ｉｃを、Ｖｓ電圧を用いて発生する回路構成である。図１７（ｂ）はＧＮＤとオペアンプ１５１ａの－端子間に配置（挿入）された抵抗Ｒ１を用いて基本的な電流を発生させ、トランジスタ２９２ｂとトランジスタ１６７ａからなるカレントミラー回路で折り返し、トランジスタ１６７ｂに基準電流Ｉｃを流す構成である。図１７（ｂ）の方が、基準電流のＩｃの大きさを調整しやすい。しかし、トランジスタ２９２ｂとトランジスタ１６７ａからなるカレントミラー回路で折り返すために、出力電流Ｉｗのバラツキが発生しやすい。したがって、図１５、図１７（ａ）のように構成することが好ましい。

【０１７３】

本発明は図１６（ａ）に図示するように、各ビットに１個または複数の単位トランジスタ１６４を形成または配置するとした。たとえば、１ビット目は、１個の単位トランジスタを形成し、２ビット目は２個の単位トランジスタを形成する。

【０１７４】

しかし、本発明はこれに限定するものではない。たとえば、各ビットに、各ビットに応じた電流を出力する１つの単位トランジスタ１６４を形成または配置してもよいことは言

うまでもない。たとえば、１ビット目のトランジスタは、０ビット目のトランジスタの２倍の電流を出力するトランジスタを１個形成または配置する。２ビット目のトランジスタは、０ビット目のトランジスタの４倍の電流を出力するトランジスタを１個形成または配置する。その他、２ビット目のトランジスタは、１ビット目のトランジスタの２倍の電流を出力するトランジスタを２個形成または配置してもよい。

【０１７５】

図１６（ａ）に図示するように、６４階調（ＲＧＢ各６ビット）の場合は、６３個の単位トランジスタ１６４を形成するとした。したがって、２５６階調（ＲＧＢ各８ビット）の場合、２５５個の単位トランジスタ１６４が必要になることになる。

【０１７６】

トランジスタ群１６５ｃが出力する電流は、電流の加算ができるという特徴ある効果がある。また、単位トランジスタ１６４において、チャンネル長Ｌを一定にし、チャンネル幅Ｗを１／２にすれば、単位トランジスタ１６４が流す電流がおよそ１／２になるという特徴ある性質がある。同様に、チャンネル長Ｌを一定にし、チャンネル幅Ｗを１／４にすれば、単位トランジスタ１６４が流す電流がおよそ１／４になるという特徴ある性質がある。実際には、完全には１／ｎにはならない。しかし、本明細書では説明を容易にするため、チャンネルＷを１／ｎにするとして説明をする。技術的な主旨は、単位トランジスタの単位電流の１／ｎの電流を出力する単位トランジスタを形成または配置することである。

【０１７７】

図１８（ａ）は、各ビットに対して同一のサイズの単位トランジスタ１６４を配置したトランジスタ群１６５ｃの構成である。説明を容易にするため、図１８（ａ）は６３個の単位トランジスタ１６４が構成され、６ビットのトランジスタ群１６５ｃを構成（形成）している。また、図１８（ｂ）は８ビットであるとする。

【０１７８】

図１８（ｂ）では、下位２ビット（Ａで示す）は、単位トランジスタ１６４よりも小さいサイズのトランジスタで構成している。最小ビット目の第０ビット目は、単位トランジスタ１６４のチャンネル幅Ｗの１／４で形成している（単位トランジスタ１６４ｂで示す）。また、第１ビット目は、単位トランジスタ１６４のチャンネル幅Ｗの１／２で形成している（単位トランジスタ１６４ａで示す）。なお、単位トランジスタ１６４ａは、単位トランジスタ１６４のチャンネル幅Ｗの１／４である単位トランジスタ１６４ｂを２個で形成してもよい。

【０１７９】

以上の実施例では、単位トランジスタ１６４ｂのＷは、単位トランジスタ１６４のＷの１／４であるとした。単位トランジスタ１６４ｂの出力電流は、単位トランジスタ１６４の１／４である。単位トランジスタ１６４のＷが６μｍであれば、単位トランジスタ１６４ｂのＷは１／４の１．５μｍとなる。しかし、これは理想的な特性を示す場合である。実際には１．５μｍより大きくしている。つまり、２．０μｍなど大きくしている。一般的にトランジスタが小さな領域では、出力電流とチャンネル幅は比例関係にない。チャンネル幅を理想値の１／４よりも大きくすることにより、単位トランジスタ１６４ｂの４倍の電流が単位トランジスタ１６４の電流と一致するように構成することができる。以上の事項は後にさらに詳しく説明をする。

【０１８０】

図１９に図示するように、単位トランジスタ１６４ａ（図１９（ｂ））、トランジスタ１６４ｂ（図１９（ｂ））、トランジスタ１６４（図１９（ａ））のゲート端子はゲート配線１６３に接続される。ゲート配線１６３はトランジスタ１６７ｂのゲート端子と接続されている。

【０１８１】

下位２ビットは上位の単位トランジスタ１６４よりも小さいサイズの単位トランジスタ（１６４ａ、１６４ｂ）で形成している。したがって、単位トランジスタ１６４ａ、１６

４ｂは、単位トランジスタ１６４の１／２、１／４の単位電流を出力することができる。単位トランジスタ１６４ａ、１６４ｂが占める面積はわずかである。また、正規の単位トランジスタ１６４の個数は６３個で変化がない。したがって、６ビット（６４階調）から８ビット（２５６階調）に変更しても、トランジスタ群１６５ｃの形成面積は図１８（ａ）と図１８（ｂ）で大差はない。つまり、プログラム電流方式で用いるソースドライバ回路１４のチップサイズは階調数にほとんど依存しない。逆に、プログラム電圧方式で用いるソースドライバ回路１４は、階調数に大きく依存する。

【０１８２】

図１８（ｂ）に図示するように、６ビットから８ビット仕様に変化させても、電流プログラム方式のソースドライバ回路１４の出力段のトランジスタ群１６５ｃのサイズが大きくならないのは、単位電流（１／ｎの単位電流も含む）の加算によりプログラム電流（定電流）が発生できるという点、単位トランジスタ１６４において、チャンネル長Ｌを一定にし、チャンネル幅Ｗを１／ｎにすれば、単位トランジスタ１６４が流す電流がおよそ１／ｎになるという点をうまく利用しているからである。

【０１８３】

また、図１８（ｂ）に図示するように、単位トランジスタ１６４ａ、１６４ｂのようにトランジスタサイズが小さくなると、出力電流（定電流）バラツキも大きくなる。しかし、いかにバラツキが大きくとも、単位トランジスタ１６４ａまたは１６４ｂの出力電流は加算される。つまり、階調の逆転は原理的に発生しない。また、出力されるプログラム電流のバラツキは、最大階調時は、６ビットも８ビットも同一である。出力電流のバラツキは、各出力段の単位トランジスタ群が占める面積に依存しているからである。

【０１８４】

実際にはチャンネル幅Ｗを１／ｎにしても出力電流は正確には１／ｎにはならない。多少の補正が必要である。チャンネル幅Ｗ１／２にすることに大きな意味を持つものではなく、トランジスタ２４ａの出力電流を単位トランジスタ１６４の出力電流を１／２にすることに技術的意味がある。したがって、チャンネル幅Ｗだけでなく、チャンネル長Ｌを変化させて出力電流を１／２あるいは１／４のように、略整数分の１に構成すれはよい。また、図１８（ｂ）で図示した単位トランジスタ１６４、１６４ａ、１６４ｂは同一ゲート電圧で動作させる。これは図１６に図示するように、内部配線１６２にすべての単位トランジスタのゲート端子を接続することにより容易に実現できる。また、すべての単位トランジスタ（１６４、１６４ａ、１６４ｂ）はトランジスタ１６７ｂとカレントミラー回路を構成させればよい。

【０１８５】

チャンネル幅Ｗを１／２にすると、トランジスタのゲート端子電圧を同一とした場合、出力電流は、１／２以下となる。そのため、本発明は、下位ビットを構成するトランジスタと、上位ビットを構成するトランジスタのサイズを変化させる場合、以下のようにトランジスタサイズを設定している。

【０１８６】

ソースドライバ回路（ＩＣ）１４の単位トランジスタ１６４を２種類のサイズのように、少ない形状の種類で構成する。複数の単位トランジスタ１６４のチャンネル長Ｌは同一にする。つまり、チャンネル幅Ｗのみを変化させる。もしくは、チャンネル幅ＷまたはチャンネルＬの一方のみを変化させて単位トランジスタを形成する。好ましくは、トランジスタ群１６５ｃを構成する単位トランジスタ１６４の大きさ、形状は、３種類以下とする。特に、２種類以下とすることが好ましい。

【０１８７】

第１の単位トランジスタの第１の単位出力電流と、第２の単位トランジスタの第２の単位出力電流の比をｎ（第１の単位出力電流：第２の単位出力電流＝１：ｎ、ただし、ｎは１より小さい値）とするとき、第１の単位トランジスタのチャンネル幅Ｗ１　＜　第２の単位トランジスタのチャンネル幅Ｗ２×ｎ×ａの関係となるように構成する。

【０１８８】

Ｗ１×ｎ×ａ＝Ｗ２とした場合、１．０５＜　ａ　＜１．３の関係が成り立つようにすることが好ましい。補正係数ａは、テストトランジスタを形成し、測定あるいは評価することにより補正係数を容易に把握することができる。

【０１８９】

本発明は、下位のビットを作製（構成）するために、上位のビットの単位トランジスタ１６４に比較して小さい単位トランジスタ１６４を形成または配置するものである。この小さいという概念は、上位ビットを構成する単位トランジスタ１６４の出力電流よりも小さいという意味である。したがって、単位トランジスタ１６４に比較してチャンネル幅Ｗが小さいだけでなく、同時にチャンネル長Ｌも小さい場合も含まれる。また、他の形状も含まれる。単位トランジスタ１６４ａの出力電流が単位トランジスタ１６４の１／２とは精度が要求されるものではない。したがって、各ビットでの出力電流が反転しないように、６０％～１４０％の範囲で設定できればよい。つまり、略１／２、略１／４であればよい。

【０１９０】

図１８（ｂ）はトランジスタ群１６５ｃを構成する単位トランジスタ１６４のサイズを複数種類とするものであった。図１８（ｂ）では３種類（１６４、１６４ａ、１６４ｂ）としている。種類の数を限定する理由は、先に説明したように、単位トランジスタ１６４のサイズが異なると出力電流の大きさが形状に比例しないため、設計が難しくなるからである。したがって、トランジスタ群１６５ｃを構成する単位トランジスタ１６４のサイズは低階調用と高階調用の２種類とすることが好ましい。たとえば、図１８（ｂ）において、低階調の単位トランジスタである０ビット目の単位トランジスタ１６４ｂを２個用いて、１ビット目を構成すればよい。つまり、高階調用の単位トランジスタ１６４で２ビット目から７ビット目を形成し、低階調の単位トランジスタ１６４ｂを用いて０ビット目と１ビット目を形成する。

【０１９１】

図１６でも図示しているように、トランジスタ群１６５ｃを構成する単位トランジスタ１６４のゲート端子は、１つの内部配線１６２で接続されている。内部配線１６２に印加された電圧により単位トランジスタ１６４の出力電流が決定される。したがって、トランジスタ群１６５ｃ内の単位トランジスタ１６４の形状が同一であれば、各単位トランジスタ１６４は同一の単位電流を出力する。

【０１９２】

本発明は、トランジスタ群１６５ｃを構成する単位トランジスタ１６４の内部配線１６２を共通にすることには限定されない。たとえば、図１９（ａ）のように構成してもよい。なお、トランジスタ群１６５ｂとはトランジスタ１６７ｂが対応する。つまり、トランジスタ群１６５ｃによりトランジスタ１６７ｂが構成されている。図１９（ａ）において、トランジスタ群１６５ｂ１とカレントミラー回路を構成する単位トランジスタ１６４と、トランジスタ群１６５ｂ２とカレントミラー回路を構成する単位トランジスタ１６４とが配置されている。

【０１９３】

トランジスタ群１６５ｂ１は内部配線１６２ａで接続されている。トランジスタ群１６５ｂ２は内部配線１６２ｂで接続されている。図１９（ａ）の一番上の１個の単位トランジスタ１６４はＬＳＢ（０ビット目）であり、２段目の２個の単位トランジスタ１６４は１ビット目、３段目の４個の単位トランジスタ１６４は２ビット目である。また、４段目の組の８個の単位トランジスタ１６４は３ビット目である。

【０１９４】

図１９（ａ）において、内部配線１６２ａと内部配線１６２ｂの印加電圧を変化させることにより、各単位トランジスタ１６４のサイズ、形状が同一であっても、各単位トランジスタ１６４の出力電流を内部配線１６２の印加電圧により変化（変更）することができる。

【０１９５】

図１９（ａ）において、単位トランジスタ１６４のサイズなどを同一にして、内部配線１６２ａ、１６２ｂの電圧を異ならせるとしたが、本発明はこれに限定するものではない。単位トランジスタ１６４のサイズなどを異ならせ、印加する内部配線１６２ａ、１６２ｂの電圧を調整することにより、異なる形状の単位トランジスタ１６４の出力電流を同一となるようにしてもよい。

【０１９６】

ソースドライバ回路（ＩＣ）１４の単位トランジスタ１６４の最小出力電流は０．５ｎＡ以上１０ｎＡにしている。特に単位トランジスタ１６４の最小出力電流は２ｎＡ以上２０ｎＡにすることがよい。ドライバＩＣ１４内のトランジスタ群１６５ｃを構成する単位トランジスタ１６４の精度を確保するためである。

【０１９７】

また、図２０に図示するように、トランジスタ１６７ｂを単位トランジスタ１６４の集合からなるトランジスタ群１６５ｂとして形成してもよい。トランジスタ群１６５ｂの単位トランジスタのゲート端子はトランジスタ群１６５ｃの単位トランジスタ１６４のゲート端子と共通にされ、カレントミラー回路を構成している。トランジスタ群１６５ｂは複数形成することが好ましい。

【０１９８】

また、図２０に図示するように、トランジスタ１６７ｂまたはトランジスタ群１６５ｂは、トランジスタ群１６５ｃの左右に形成配置することが好ましい。また、トランジスタ群１６５ｂ、トランジスタ１６７ｂには、基準電流発生回路１５３から基準電流Ｉｃを供給する。

【０１９９】

本発明のトランジスタ群１６５ｃが電流出力であるとして説明するが、これに限定するものではない。たとえば、トランジスタ群１６５ｃが電圧出力であってもよい。つまり、ソースドライバ回路（ＩＣ）１４が液晶表示パネルのように、トランジスタ群１６５ｃが電圧を出力し、電圧駆動を実施する場合が例示される。その他、トランジスタ群１６５ｃが電圧出力するオペアンプなどで構成してもよい。本発明は、ＥＬ表示パネルが電圧駆動である場合も同様に適用される。また、選択回路２２２、２９１は、ソースドライバ回路（ＩＣ）１４がシリコンチップとして構成され、前記チップ１４に内蔵されているとして説明するが、これに限定するものではない。たとえば、トランジスタ群１６５ｃを、ポリシリコン技術などでガラスアレイ基板３０に直接形成してもよい。また、別チップに形成または構成してもよい。

【０２００】

図２１に図示するように、ソースドライバ回路（ＩＣ）１４は、ソース信号線１８の電荷を強制的に放出または充電するプリチャージ回路２１４を内蔵する。プリチャージ回路は、プリチャージ電圧Ｖｐを出力する。プリチャージ電圧Ｖｐとは、Ｖａ電圧、Ｖ０電圧が該当する。また、プリチャージ電圧Ｖｐの概念には、ソース信号線１８の電荷を強制的に放出する電圧と充電する電圧の両方が含まれる。また、プリチャージ電圧Ｖｐの概念には、プログラム電圧も含まれる。つまり、プリチャージ電圧Ｖｐを印加するとは、電圧を印加する動作である。プリチャージ電圧Ｖｐは、基本的にはソース信号線１８に印加する。もちろん、画素１６の駆動用トランジスタ１１ａのゲート端子に直接印加してもよい。たとえば、画素電極に圧接したプローブでプリチャージ電圧Ｖｐを印加する方式が例示される。プリチャージ電圧Ｖｐは、Ｒ、Ｇ、Ｂで独立に設定できるように構成することが好ましい。ＥＬ素子１５の閾値がＲＧＢで異なるからである。

【０２０１】

プリチャージ電圧Ｖｐの印加とは、ソース信号線１８の電荷を充放電させるため、もしくはソース信号線１８に所定の電圧にするために用いる方式である。Ｖａ、Ｖ０電圧を印加すること、水平走査期間の最初に目標階調電圧またはプログラム電圧を印加すること、過電流印加によりソース信号線電位を変化させることも、プリチャージ電圧Ｖｐの印加の概念に含まれる。

【０２０２】
図２１はプリチャージ回路部の構成図である。プリチャージ電圧Ｖｐは映像データＤ０～Ｄ５により出力期間範囲が決定される。プリチャージ電圧Ｖｐは、水平走査期間におよびドットクロックＣＬＫに同期して出力される。プリチャージ電圧Ｖｐを出力する時間は、水平同期信号ＨＤを基点としてカウンタ回路２１２の設定値で決定される。カウンタ回路２１２はクロックＣＬＫ信号に同期してカウントアップされる。プリチャージ電圧Ｖｐの出力期間は、水平走査期間（１Ｈ）の最初から開始される。
【０２０３】
カウンタ回路２１２はカウントしたカウント値と設定値が一致すると、プリチャージ電圧Ｖｐの出力期間が終了する。カウンタ回路３４２の出力はアンド（ＡＮＤ）回路２１３のａ部入力となる。なお、プリチャージ電圧Ｖｐは、オン（印加する）／オフ（印加しない）を切り替えられるように構成する。オン／オフは、ソース信号線１８に印加する映像信号もしくは映像信号に対応するプログラム電流またはプログラム電圧の大きさ、あるいは映像信号の変化（前水平走査期間に印加した映像信号との差）映像信号に対応するプログラム電流またはプログラム電圧の大きさ（前水平走査期間で印加したプログラム電流またはプログラム電圧の変化）で決定される。
【０２０４】
図２１の構成では、どの電圧範囲までプリチャージするかは、一致回路２１１で決定される。一致回路２１１には、映像データＤ０～Ｄ５が印加される。一致回路はプリチャージ範囲が記憶あるいは設定されている。記憶または設定された値よりも、映像データＤ０～Ｄ５が小さい時、プリチャージ電圧が端子８３から出力される。一致回路２１１はクロックＣＬＫで同期して動作する。また、イネーブル信号ＥＮがＨレベルの時、プリチャージ電圧は出力され、Ｌレベルの時は映像データの値によらず、プリチャージ電圧は出力されない。一致回路２１１の出力はＡＮＤ回路２１３のｂ端子入力となる。
【０２０５】
ＡＮＤ回路２１３のａ部入力がＨで、ｂ端子入力がＨの時、スイッチ１６１ａが閉じ、プリチャージ電圧Ｖｐが内部配線１６２に印加され、かつＨＩ信号がＨの時、スイッチ１６１ｂが閉じて出力端子８３からプリチャージ電圧Ｖｐが出力される。
【０２０６】
図２２は、ソースドライバ回路（ＩＣ）１４のプリチャージ回路（プリチャージ電圧を出力する回路構成部）を中心とするブロック図である。プリチャージ回路２１４は、プリチャージ制御回路からプリチャージ制御信号ＰＣ信号（赤（ＲＰＣ）、緑（ＧＰＣ）、青（ＢＰＣ））が出力される。
【０２０７】
選択（セレクタ）回路２２２は、メインクロックに同期して出力段に対応するラッチ回路２２１に順次ラッチしていく。ラッチ回路２２１はラッチ回路２２１ａとラッチ回路２２１ｂの２段構成である。ラッチ回路２２１ｂは水平走査クロック（１Ｈ）に同期してプリチャージ回路２１４にデータを送出する。つまり、セレクタは、１画素行分の画像データおよびＰＣデータを順次ラッチしていき、水平走査クロック（１Ｈ）に同期して、ラッチ回路２２１ｂでデータをストアする。
【０２０８】
なお、図２２では、ラッチ回路２２１のＲ、Ｇ、ＢはＲＧＢの画像データ６ビットのラッチ回路であり、Ｐはプリチャージ信号（ＲＰＣ、ＧＰＣ、ＢＰＣ）の３ビットを保持するラッチ回路である。
【０２０９】
プリチャージ回路２１４は、ラッチ回路２２１ｂの出力がＨレベルの時、スイッチ１６１ａをオンさせ、ソース信号線１８にプリチャージ電圧Ｖｐを出力する。トランジスタ群１６５ｃは画像データに応じて、プログラム電流（定電流）をソース信号線１８に出力する。
【０２１０】

プリチャージ電圧Ｖｐを印加するか否かは、判断前にソース信号線１８に印加されている電圧（保持されている電位）に基づいて判断する。判断前にソース信号線１８に印加されている電位と、次に印加する電圧（あるいはプログラム電流の印加による想定されるソース信号線１８の電位）との電位差あるいは変化量にもとづいて判断する。たとえば、第Ｎ（Ｎは１以上最大画素行以下の整数）画素行の画素に印加した電圧あるいはプログラム電流の印加による変化電位が、４．０（Ｖ）で、次に印加する電圧が、４．１（Ｖ）と電位差が小さい時は、第Ｎ＋１画素行の画素にはプリチャージ電圧Ｖを印加する。逆に２．０（Ｖ）と電位差が大きな時は、第Ｎ＋１画素行の画素にはプリチャージ電圧Ｖｐを印加しない。

【０２１１】

本発明は、画素１６の駆動用トランジスタ１１ａがＰチャンネルの時にあっては以下の範囲で、プリチャージ電圧Ｖｐの印加の有無を判断する。説明を容易にするため、アノード電圧をＶｄｄ、カソード電圧をＶｓｓとし、ソースドライバ回路１４の電源電圧をＶｄ、ソースドライバ回路１４のグランド電位をＧＮＤとする。また、ソース信号線１８に保持されている電位（１Ｈ前に印加された電圧）をＶｎ、ソースドライバ回路１４から出力される電圧（またはプログラム電流の印加により変化する目標電圧）をＶｍとする。なお、アノードＶｄｄ、カソードＶｓｓ、Ｖｎ、ＶｍはＧＮＤに対する電圧値である。また、図４の電位関係を満足させることが好ましい。

【０２１２】

画素１６の駆動用トランジスタ１１ａがＰチャンネルの時にあっては少なくとも以下の条件の１つ以上が合致する時に、ソース信号線１８または画素１６にプリチャージ電圧Ｖｐを印加する。

【０２１３】

０．５≦（Ｖｄｄ－Ｖｍ）／Ｖｄｄ≦０．９

０．５≦（Ｖｄ－Ｖｍ）／Ｖｄｄ≦０．９

０．１≦｜（Ｖｎ－Ｖｍ）｜／Ｖｎ　≦０．３　ただし、０．５≦（Ｖｄ－Ｖｍ）／Ｖｄｄ

画素１６の駆動用トランジスタ１１ａがＮチャンネルの時にあっては少なくとも以下の条件の１つ以上が合致する時に、ソース信号線１８または画素１６にプリチャージ電圧Ｖｐを印加する。ただし、Ｖｎ、Ｖｍは、Ｖｓｓ側の電圧であり、－極性の電圧である。

【０２１４】

０．５≦｜（Ｖｓｓ－Ｖｍ）｜／Ｖｓｓ≦０．９

０．５≦｜（Ｖｓｓ－Ｖｎ）｜／Ｖｓｓ≦０．９

０．１≦｜（Ｖｎ－Ｖｍ）｜／Ｖｎ　≦０．３　ただし、０．５≦（Ｖｓｓ－Ｖｍ）／Ｖｓｓ

以上の実施例は、ソース信号線１８に保持されている電位または印加する電圧などに基づき、プリチャージ電圧Ｖｐを印加するか否かを判断するとした。しかし、このことは、画素１６に印加する映像信号の階調により判断を行っても同様のことを実現できることは言うまでもない。本発明では、最大の階調数をＭとし、各ソース信号線１８に対して、１Ｈ前に印加した映像信号の階調をＮ１とし、次に印加する映像信号の階調をＮ２とした時、少なくとも、以下の条件のうち、１つ以上が該当するときに、プリチャージ電圧Ｖｐを印加する。

【０２１５】

１≦Ｎ２≦Ｍ×０．２５

１≦｜Ｎ２－Ｎ１｜≦８

１画素のデータについてプリチャージするかしないかを判断することに限定するものではない。たとえば、複数画素行の画像データにもとづいてプリチャージ判断をおこなってもよい。また、プリチャージを行う周辺画素の画像データを勘案して（たとえば、重み付け処理など）プリチャージ判断を行っても良い。また、動画と静止画でプリチャージ判断を変化する方法も例示される。以上事項は、画像データに基づき、コントローラがプリチ

ャージ信号を発生することにより、良好な汎用性が発揮される点が重要である。

【０２１６】

本発明は、１画素のデータについてプリチャージするかしないかを判断することに限定するものではない。たとえば、複数画素行の画像データにもとづいてプリチャージ判断を行ってもよい。また、プリチャージを行う周辺画素の画像データを勘案して（たとえば、重み付け処理など）プリチャージ判断を行っても良い。また、動画と静止画でプリチャージ判断を変化する方法も例示される。以上は、画像データに基づき、コントローラがプリチャージ信号を発生することにより、良好な汎用性が発揮される点が重要である。以降、このプリチャージ判断とプリチャージモードを中心に説明をする。

【０２１７】

プリチャージをするかしないかの判定は、１画素行前の画像データ（あるいは、直前にソース信号線に印加された画像データ）にもとづいて行っても良い。たとえば、あるソース信号線１８に印加される画像データが白→黒→黒であれば、白から黒になる時は、プリチャージ電圧を印加する。黒階調は書込みにくいからである。黒から黒の場合は、プリチャージ電圧を印加しない。先に黒表示でソース信号線１８の電位が次に書き込む黒表示の電位となっているからである。以上の動作は、コントローラ回路（ＩＣ）８０１に１画素行分（ＦＩＦＯのため２ラインのメモリが必要）のラインメモリを形成（配置）することにより容易に実現できる。

【０２１８】

本発明において、プリチャージ駆動では、プリチャージ電圧Ｖｐ（Ｖａ、Ｖ０）を出力するとして説明をするが、これに限定するものではない。１水平走査期間よりも短く、プログラム電流よりも大きい電流をソース信号線１８に書き込む方式でもよい。つまり、プリチャージ電流をソース信号線１８に書込み、その後にプログラム電流をソース信号線１８に書き込む方式でもよい。プリチャージ電流も物理的には電圧変化を引き起こしていることには差異はない。プリチャージをプリチャージ電流で行う方式も本発明のプリチャージ駆動の技術的範疇である（本発明の範囲内である）。

【０２１９】

本発明のプリチャージ駆動では所定電圧をソース信号線１８に印加する。また、ソースドライバＩＣはプログラム電流を出力するとした。しかし、本発明は、プリチャージ駆動を階調に応じて出力電圧を変化させてもよい。つまり、ソース信号線１８に出力するプリチャージ電圧はプログラム電圧になる。ソースドライバＩＣ内にこのプリチャージ電圧の電圧階調回路２３１を導入した回路構成が図２３である。

【０２２０】

電圧階調回路２３１は、プログラム電圧などの階調電圧を出力する構成あるいは動作として説明するが、本発明はこれに限定するものではない。所定の定電圧あるいはプログラム電圧を出力する回路の意味でも用いる。その他、サンプルホールド回路の意味でも用いる。つまり、多段階で電圧値を出力できる回路である。ただし、プリチャージ電圧Ｖｐが固定値の場合は、１つの電圧を出力する構成でよい。この場合も、電圧階調回路２３１の概念に含まれる。また、電子ボリウム１５２も外部入力データにより、出力電圧を変化あるいは調整できるから、電圧階調回路である。また、Ｄ／Ａ（デジタルーアナログ変換）回路３９１も電圧階調回路である。

【０２２１】

なお、電圧階調回路２３１は、デジタル信号入力に対応してアナログ電圧を出力するものに限定するものではなく、アナログ電圧をインピーダンス変換あるいは、増幅もしくは低減して出力するものも含まれる。また、広義には、１つの所定電圧あるいは複数の電圧を選択して出力するものも電圧階調回路２３１である。つまり、電圧階調回路２３１とは、定電圧発生源として理解してもよい。

【０２２２】

図２３は主として１つのソース信号線１８に対応する１出力回路のブロック図である。階調に応じてプログラム電流を出力する電流階調回路１５４と、階調に応じたプリチャー

ジ電圧を出力する電圧階調回路２３１で構成される。電流階調回路１５４と電圧階調回路２３１には映像データが印加される。電圧階調回路２３１の出力はスイッチ１６１ａ、１６１ｂがオンすることによりソース信号線１８に印加される。スイッチ１６１ａはプリチャージイネーブル（プリチャージＥＮＢＬ）信号と、プリチャージ信号（プリチャージＳＩＧ）で制御される。

【０２２３】

電流階調回路１５４は、基本的にはプログラム電流などの階調電流を出力するとして説明するが、本発明はこれに限定しない。所定の定電流を出力する回路（定電流出力回路）としての意味でも使用する。また、定電流源の意味でも使用する。階調電流を出力できる回路構成であれば、１μＡ、０．５μＡなどのように、所定値の定電流を出力できるからである。

【０２２４】

当然のことながら、電流階調回路１５４を簡略化し、定電流Ｉｗを出力する定電流回路として構成してもよいことは言うまでもない。また、Ｖａ、Ｖ０を測定するためには、定電流Ｉｗを印加するだけで十分であり、この機能を達成するためには、階調電流回路１５４を用いてもよいし、簡略化された定電流回路を用いてもよいことは言うまでもない。また、階調電流は、プログラム電流Ｉｗを定電流と考えてもよい。

【０２２５】

電圧階調回路２３１は、一例としてサンプルホールド回路で構成される。また、必要に応じてＤ／Ａ変換回路などで構成される。デジタルの映像データに基づいて、Ｄ／Ａ変換回路によりプリチャージ電圧に変換される。この変換されたプリチャージ電圧は、サンプルホールド回路２４１によりサンプルホールドされ、オペアンプを介してスイッチ１６１ａの一端子に印加される。

【０２２６】

Ｄ／Ａ変換回路は電圧階調回路２３１ごとに構成または形成する必要がなく、ソースドライバ回路（ＩＣ）１４の外部にＤ／Ａ変換回路を構成し、このＤ／Ａ変換回路の出力を電圧階調回路２３１内でサンプルホールドしてもよい。また、ポリシリコン技術で形成してもよい。

【０２２７】

図２４に図示するように、８ビットの映像信号ＤＡＴＡに対応する電圧（プログラム電圧）が、映像クロックに同期して電子ボリウム１５２から出力される。プログラム電圧は、駆動用トランジスタ１１ａにプリチャージ電圧として印加される電圧である。また、プログラム電圧は、この電圧を印加することにより、階調にほぼ対応した電流がＥＬ素子１５に印加されるように駆動用トランジスタ１１ａのゲート端子に保持される電圧である。

【０２２８】

プログラム電圧はＣｃ容量に一時的に保持され、バッファアンプ１５１ａから出力される。出力された電圧は、サンプルホールド回路（この実施例では切り換え回路のように図示している）２４１により、各出力端子８３に順次振り分けられる（出力端子８３ａ、８３ｂ、８３ｃ、８３ｄ・・・・・、８３ｎ、８３ａ、８３ｂ、８３ｃ、・・・・・・・８３ｎ・・・・・・）。振り分けはクロックＣＬＫに同期して実施される。なお、本発明では、８ビットのアドレス信号ＰＡＤＲＳにより、任意の端子にプログラム電圧を振り分けできるように構成されている。このように、アドレス信号ＰＡＤＲＳにより任意の出力端子８３に振り分け（８ビットであるから２５６本の端子のいずれかに振り分け可能である）できるように構成することにより、プログラム電圧の書き換えが必要な端子のみ新規のプログラム電圧を印加することができる。また、プログラム電圧の振り分けをランダム化することができる。プログラム電圧は容量Ｃに保持され（サンプリングされ）、バッファ回路１５１ｂの出力は、スイッチＳｐの制御により出力端子８３に印加されたり、遮断されたりする。スイッチＳｐは、図２３ではスイッチ１６１ａが該当する。

【０２２９】

電流階調回路１５４は、具体的には図１６の回路構成が該当する。電流階調回路１５４

のプログラム電流出力はスイッチＳｉにより制御される。以上のように、電流階調回路１５４と電圧階調回路２３１の出力はスイッチＳｉ、Ｓｐにより制御され、プリチャージ駆動（電圧プログラム）＋電流プログラミングが実現される。以上の信号は、出力端子８３からソース信号線端子２４２に印加される。プログラム電圧はソース信号線１８の寄生容量Ｃａを短期間で充放電させる。

【０２３０】

電圧階調回路２３１の出力であるプリチャージ電圧Ｖｐは、図２５に図示するように、１水平走査期間（１Ｈ）の最初に印加される（記号Ａで示す）。その後、電流階調回路１５４によりソース信号線にプログラム電流が供給される（記号Ｂで示す）。つまり、プリチャージ電圧により概略のソース信号線電位まで電圧設定される。したがって、駆動用トランジスタ１１ａは目的電流に近い値まで、高速に設定される。その後、電流階調回路１５４が出力するプログラム電流により駆動用トランジスタ１１ａの特性バラツキを補償する目的電流（＝プログラム電流）まで設定される。

【０２３１】

プリチャージ電圧信号が印加されるＡ期間は、１水平走査期間（１Ｈ）の１／１００以上１／２以下の期間が好ましい。または、０．２μｓｅｃ以上４０μｓｅｃ以下の期間に設定することが好ましい。好ましくは１水平走査期間（１Ｈ）の１／１００以上１／５以下の期間が好ましい。または、０．２μｓｅｃ以上１０μｓｅｃ以下の期間に設定することが好ましい。したがって、Ａ期間以外がＢ期間のプログラム電流の印加期間である。Ａ期間が短いとソース信号線１８の電荷の充放電が十分に行われないため、書き込み不足が発生する。一方、長すぎると電流印加期間（Ｂ）が短くなり十分にプログラム電流を印加することができない。したがって、駆動用トランジスタ１１ａの電流補正不足となる。

【０２３２】

電圧印加期間（Ａ期間）は、１Ｈの最初から実施することが好ましいが、これに限定されない。たとえば、１Ｈの終わりのブランキング期間から開始してもよい。また、１Ｈ（水平走査期間）の途中にＡ期間を実施してもよい。つまり、１Ｈのいずれかの期間に電圧印加期間を実施すれはよい。しかし、好ましくは、電圧印加期間は、１Ｈの最初から１／４Ｈ（＝０．２５Ｈ）の期間内に実施することが好ましい。

【０２３３】

図２５の実施例では、電圧プリチャージ（Ａ）の期間後、電流を印加（Ｂ期間）するとしたがこれに限定するものではない。たとえば、図２６（ａ）に図示するように、１Ｈの期間のすべてを（あるいは大半を、あるいは過半数を）プリチャージ電圧Ｖｐを印加する期間（電圧プリチャージ（＊Ａで示す）期間）としてもよい。

【０２３４】

図２６（ａ）でも理解できるように、ソース信号線１８の電位がアノード電位（Ｖｄｄ）に近い場合に、１Ｈの期間のすべてに（大半に）電圧が印加される。ソース信号線１８の電位が０（Ｖ）に近くなると、電圧プログラム（Ａ期間）と電流プログラム（Ｂ）が１Ｈの期間内に実施される。なお、ソース信号線１８の電位が０（Ｖ）に近い場合（高階調領域）では、１Ｈの期間中のすべての期間にわたり、電流プログラムを実施してもよい。

【０２３５】

図２６（ａ）の＊Ａ以外の期間は、１Ｈの一定期間（Ａで示す）に電圧プログラムによる電圧をソース信号線１８に印加し、その後、Ｂの期間に電流プログラムによる電流を印加している。以上のようにＡ期間の電圧の印加により画素１６のトランジスタ１１ａのゲート電位に所定電圧を印加し、概略ＥＬ素子１５に流す電流が所望値になるようにしている。その後、Ｂ期間のプログラム電流により、ＥＬ素子１５に流れる電流が所定値となるようにしている。＊Ａ期間は、１Ｈ期間の全般にわたり電圧プログラムが実施されている（電圧が印加されている）。

【０２３６】

図２６（ａ）は、画素１６のトランジスタ１１ａ（駆動用トランジスタ）がＰチャンネルの場合のソース信号線１８への印加信号波形である。しかし、本発明はこれに限定する

ものではない。画素１６のトランジスタ１１ａがＮチャンネルであってもよい。この場合は、図２６（ｂ）に図示するように、ソース信号線１８の電位が０（Ｖ）に近い場合に、１Ｈの期間のすべてに（大半に）電圧が印加される。ソース信号線１８の電位がアノード電圧（Ｖｄｄ）に近くなると、電圧プログラム（Ａ期間）と電流プログラム（Ｂ）が１Ｈの期間に実施される。

【０２３７】

なお、ソース信号線１８の電位がＶｄｄに近い場合（高階調領域）では、１Ｈの期間中のすべての期間にわたり、電流プログラムを実施してもよい。

【０２３８】

本発明では、駆動用トランジスタ１１ａはＰチャンネルとして説明するがこれに限定するものではなく、駆動用トランジスタ１１ａはＮチャンネルであってもよいことはいうまでもない。説明を容易にするために、駆動用トランジスタ１１ａがＰチャンネルトランジスタであるとして説明を行うだけである。

【０２３９】

本発明の実施例では、主として低階調領域は電圧プログラムが主で画素に書き込みがされる。中高階調領域は、電流プログラムが主で書き込みが行われる。つまり、電流と電圧駆動の両方のよいところの融合を実現できる。なぜなら、低階調領域は、電圧により所定階調表示される。これは、電流駆動では書き込み電流が微小のため、１Ｈの最初に印加した電圧（電圧駆動あるいはプリチャージ駆動による。プリチャージ駆動と電圧駆動は概念的には同一である。大きく差別化するならば、プリチャージ駆動は印加する電圧に種類が比較的少なく、電圧駆動は印加する電圧の種類が多いと言うべきである）が支配的となるからである。

【０２４０】

中階調領域は、電圧により書き込んだ後、電圧のずれ量を、プログラム電流で補償する。つまり、プログラム電流が支配的となる（電流駆動が支配的である）。高階調領域は、プログラム電流で書き込む。プログラム電圧印加は不要である。印加した電圧がプログラム電流で書き換えられるからである。つまり、電流駆動が圧倒的に支配的である。もちろん、電圧を印加してもよいことは言うまでもない。

【０２４１】

電圧階調回路の出力と電流階調回路（プリチャージ回路も含む）の出力とを出力端子８３でショートして構成することができるのは、電流階調回路は高インピーダンスであることによる。つまり、電流階調回路は高インピーダンスのため、電圧階調回路からの電圧が電流階調回路に印加されても、回路に問題点（短絡で過電流が流れるなど）が発生することがない。

【０２４２】

本発明で電圧出力と電流出力状態とを切り換えるとしたがこれに限定するものではない。電流階調回路１５４からプログラム電流を出力した状態で、スイッチ１６１（図２３を参照のこと）をオンして、電圧階調回路２３１の電圧を出力端子８３に印加してもよいことは言うまでもない。

【０２４３】

スイッチ１６１を閉じて出力端子８３に電圧を印加した状態で、電流階調回路１５４からプログラム電流を出力してもよい。電流階調回路１５４は高インピーダンスであるので回路的には問題がない。以上の状態も、本発明は電圧駆動状態と電流駆動状態とを切り換えているという動作の範疇である。本発明は電流回路と電圧回路の性質をうまく利用している。このことは、他のドライバ回路にない特徴ある構成である。

【０２４４】

図２７に図示するように、１Ｈ期間に印加するプログラムを電圧またはプログラム電流の一方にしてもよいことは言うまでもない。図２７において、Ａの期間は電圧プログラムが実施された１Ｈ期間であり、Ｂの期間は電流プログラムが実施されている１Ｈ期間である。主として低階調領域では電圧プログラムが実施され（Ａで示す）、中間調以上の領域

では電流プログラムが実施される（Ｂで示す）。以上のように、階調あるいはプログラム電流の大きさに応じて、電圧駆動を選択するか電流駆動を選択するかを切り換えても良い。

【０２４５】

図２３の本発明の実施例では、電圧階調回路２３１と電流階調回路１５４には、同一の映像信号ＤＡＴＡが入力されている。したがって、映像信号ＤＡＴＡのラッチ回路は電圧階調回路２３１と電流階調回路１５４と共通でよい。つまり、映像信号ＤＡＴＡのラッチ回路は電圧階調回路２３１と電流階調回路１５４とに独立に設ける必要はない。共通の映像信号ＤＡＴＡのラッチ回路からのデータに基づき、電流階調回路１５４または（および）電圧階調回路２３１がデータを出力端子８３に出力する。

【０２４６】

図２８は本発明の駆動方法のタイミングチャートである。図２８において、（ａ）のＤＡＴＡは画像データである。（ｂ）のＣＬＫは回路クロックである。（ｃ）のＰｃｎｔｌは、プリチャージのコントロール信号である。Ｐｃｎｔｌ信号がＨレベルの時は、電圧駆動のみモード状態になり、Ｌレベルの時、電圧＋電流駆動モードになる。（ｄ）のＰｔｃはプリチャージ電圧あるいは電圧階調回路２３１からの出力の切り換え信号である。Ｐｔｃ信号がＨレベルの時は、プリチャージ電圧などの電圧出力がソース信号線１８に印加される。Ｐｔｃ信号がＬレベルの時は、電流階調回路１５４からのプログラム電流がソース信号線に出力される。

【０２４７】

たとえば、映像信号データＤ（２）、Ｄ（３）、Ｄ（８）の時は、Ｐｃｎｔｌ信号がＨレベルであるから、ソース信号線１８に電圧階調回路２３１から電圧が出力される（Ａ期間）。ＰｃｎｔｌがＬレベルの時は、ソース信号線１８にはまず、電圧が出力され、その後、プログラム電流が出力される。電圧が出力される期間をＡで示し、電流が出力される期間をＢで示す。電圧を出力する期間Ａは、Ｐｔｃ信号で制御される。Ｐｔｃ信号は、図２３のスイッチ１６１のオンオフを制御する信号である。

【０２４８】

Ｐｃｎｔｌ信号がＨレベルの時は、電圧駆動のみモード状態になり、Ｌレベルの時、電圧＋電流駆動モードになると説明した。電圧を印加する期間は、点灯率あるいは階調に応じて変化させることが好ましい。低階調の時は、電流駆動では画素にプログラム電流を完全に書き込むことができない。したがって、電圧駆動を実施することが好ましい。電圧を印加する期間を長くすることによって、電圧＋電流駆動モードであっても、電圧駆動モードが支配的になり、良好に画素に低階調状態を書き込むことができる。低点灯率の場合は、低階調状態の画素が多い。したがって、低階調状態（低点灯率）の場合も、電圧を印加する期間を長くすることによって、電圧＋電流駆動モードであっても、電圧駆動モードが支配的になり、良好に画素に低階調状態を書き込むことができる。

【０２４９】

以上のように、電圧＋電流駆動モードであっても、点灯率あるいは画素に書き込む階調データ（映像データ）に応じて、電圧駆動状態の期間を変化させることが好ましい。つまり、ＥＬ素子１５に流す電流を小さくするときは（本発明では低点灯率範囲）、電圧駆動モード期間を長くし、ＥＬ素子１５に流す電流を大きくするときは（本発明では高点灯率範囲）、電圧駆動モード期間を短くするか、もしくは’なし’にするように制御あるいは調整もしくは装置を構成する。

【０２５０】

図２８において、電圧出力期間Ａと電流出力期間Ｂとを切り換えるとしたが、これに限定するものではない。プログラム電流の出力した状態で、スイッチ１６１（図２３を参照）をオンして、電圧階調回路２３１の電圧を出力端子８３に印加してもよいことは言うまでもない。また、スイッチ１６１を閉じて出力端子８３に電圧を印加した状態で、電流階調回路１５４からプログラム電流を出力してもよい。Ａ期間後にスイッチ１６１をオープンにする。以上のように電流階調回路１５４は高インピーダンスであるので電圧回路と短

絡状態にしても回路的には問題がない。

【０２５１】

図２９は、図２３などの電流階調回路１５４と電圧階調回路２３１の構成部分をさらに詳細に記載したブロック図である。シフトレジスタ回路（セレクタ回路）２２２はスタート信号（ＳＴ１）、クロック（ＣＬＫ１）により順次シフト動作する。シフト動作により、第１のラッチ回路（保持回路）２２１ａに、ＤＡＴＡ９ビットの保持位置を指定する。ＤＡＴＡ９ビットとは、映像信号８ビットとプリチャージ信号１ビットの計９ビットである。ラッチ回路２２１ａは１水平期間に順次ＤＡＴＡを保持していく。

【０２５２】

第１のラッチ回路に保持されたＤＡＴＡは、ロード信号（ＬＤ）により２段目の第２のラッチ回路２２１ｂにロードされる。ラッチ回路２２１ｂに保持されたＤＡＴＡは、電圧階調回路２３１の入力と、電流階調回路１５４の入力となる。プリチャージ信号の１ビットは、電圧階調回路２３１のプログラム電圧と、電流階調回路１５４のプログラム電流の切り換え信号である。プリチャージ信号は、切り換え回路（図２３のスイッチ１６１などが該当する）２９１を時間的に制御し、出力端子８３からプリチャージ信号がオンのときはまずプリチャージ電圧を出力し、その後プログラム電流を出力する。

【０２５３】

なお、電圧階調回路のサンプルホールド回路は比較的低速でしか動作しないため、電圧階調回路のサンプルホールド用として１段のラッチ回路を追加し、３段のラッチ回路で構成してもよいことは言うまでもない。また、切り換え回路２９１はアレイ基板３０にポリシリコン技術で形成してもよい。

【０２５４】

図３０はプリチャージ電圧発生回路からの出力（一例としてＶｐａ、Ｖｐｂ、Ｖｐ）をソースドライバ回路１４の内部配線で伝達した構成である。配線は、ＩＣチップの長手方向に形成される（各トランジスタ群１６５と垂直）。プリチャージ電圧Ｖｐ（Ｖｐａ、Ｖｐｂ、Ｖｐ、ｏｐｅｎ）を伝達するプリチャージ電圧配線ＰＳ（ＰＳａ、ＰＳｂ、ＰＳｃ、ＰＳｄ）がソース信号線１８に直交するように配線される。プリチャージ電圧配線ＰＳと内部配線１６２とは直交し、各交点にスイッチＳｐが配置されている。スイッチＳｐはＳＥＬ信号（プリチャージ電圧の選択信号、ｏｐｅｎを含む）で切り換えられる。ｏｐｅｎがスイッチＳｐ０ａで選択された場合は、プリチャージ電圧は出力されない。スイッチＳｐは出力端子８３ごとに自由に設定できる。スイッチＳｐは映像信号の大きさ、変化などにより適切なものが選択され制御される。

【０２５５】

図２９と図３０との差異は、図２９が映像信号ごとに対応するプリチャージ電圧をサンプルホールドして発生させる構成である。サンプルホールドしたプリチャージ電圧は、出力端子ごとに、プリチャージビット（プリチャージ電圧を印加するか否かの判断ビット）により判断され印加される。図３０は複数のプリチャージ電圧を発生させておき、１つのプリチャージ電圧を選択する構成である。選択するプリチャージ電圧は、プリチャージビット（ＳＥＬ信号：どのプリチャージ電圧を印加するかの指定ビット。ただし、プリチャージ電圧を印加しない（ｏｐｅｎ）場合もある）により判断され、ソース信号線１８に印加される。

【０２５６】

以上の実施例は、ソースドライバ回路１４内にプリチャージ電圧Ｖｐ（Ｖａ、Ｖ０）を形成し、この回路から、必要に応じてソース信号線１８にプリチャージ電圧Ｖｐを印加するものであったが、本発明はこれに限定するものではない。たとえば、アレイ基板３０にプリチャージ電圧用トランジスタ素子を形成し、このトランジスタ素子をオンオフ制御することにより、プリチャージ電圧線に印加されたプリチャージ電圧Ｖｐをソース信号線１８に印加するように構成してもよいことは言うまでもない。

【０２５７】

図３０などで、オープン機能（ｏｐｅｎの選択、つまりプリチャージを実施しない）を

設けている。しかし、必ずしもソースドライバ回路１４内に構成あるいは形成することに限定するものではない。

【０２５８】

以上の実施例では、プリチャージ電圧Ｖｐ（Ｖａ、Ｖ０）はアノード電圧Ｖｄｄに近い電圧（Ｖｄｄ以下Ｖｄｄ－３（Ｖ））であるとして説明をした、しかし、画素構成によっては、プリチャージ電圧Ｖｐがカソード電圧に近い（Ｖｓｓ以上Ｖｓｓ＋３（Ｖ））場合がある。たとえば、駆動用トランジスタ１１ａがＮチャンネルトランジスタで形成している場合、駆動用トランジスタ１１ａが、Ｐチャンネルトランジスタで吐き出し電流（図１の画素構成は吸い込み（シンク）電流）で電流プログラムが実施される場合である。この場合は、プリチャージ電圧Ｖｐはカソード電圧に近い電圧とする必要がある。

【０２５９】

電流駆動で書き込み不足が発生する原因は、図３１に図示するようにソース信号線１８の寄生容量Ｃｓによる影響が大きい。寄生容量Ｃｓはゲート信号線１７とソース信号線１８との交差部などに発生する。

【０２６０】

以下の説明は説明を容易にするために、画素１６の駆動用トランジスタ１１ａがＰチャンネルトランジスタで、かつ吸い込み（シンク）電流（ソースドライバ回路（ＩＣ）１４に吸い込む電流）で電流プログラムを実施する場合であるとして説明をする。

【０２６１】

なお、画素１６の駆動用トランジスタ１１ａがＮチャンネルトランジスタの場合、あるいは駆動用トランジスタ１１ａを吐き出し（ソース）電流（ソースドライバ回路１４から吐き出す電流）で電流プログラムを実施する場合は逆の関係にする。この場合は、ソースドライバ回路１４内に形成された単位トランジスタ１６４は、Ｐチャンネルトランジスタで形成する。つまり、本発明は吸い込み（シンク）電流の場合を例示して説明するが、吐き出し（ソース）電流の場合は、画素の構成あるいは動作、ソースドライバ回路１４の構成あるいは動作を逆の関係に変更あるいは読み変える。このことは当業者であれば容易であるので説明を省略する。

【０２６２】

図３１（ａ）に図示するように、黒表示（低階調表示）から白表示（高階調表示）に変化する時は、ソースドライバ回路（ＩＣ）１４が出力するシンク電流が主体的に関与する。ソースドライバ回路（ＩＣ）１４がプログラム電流Ｉｄ１（Ｉｗ）で寄生容量Ｃｓの電荷を吸い込む。電流を吸い込むことにより、寄生容量Ｃｓの電荷を放電し、ソース信号線１８の電位が低下する。したがって、画素１６の駆動用トランジスタ１１ａのゲート端子電位が低下し、プログラム電流Ｉｗを流すように電流プログラムが行われる。

【０２６３】

白表示（高階調表示）から黒表示（低階調表示）に変化する時は、画素１６の駆動用トランジスタ１１ａの動作が主体である。ソースドライバ回路（ＩＣ）１４は黒表示の電流を出力するが、微小であるため実効的に動作しない。駆動用トランジスタ１１ａが動作し、プログラム電流Ｉｄ２（Ｉｗ）の電位に一致するように寄生容量Ｃｓを充電する。寄生容量Ｃｓに電荷を充電することにより、ソース信号線１８の電位が上昇する。したがって、画素１６の駆動用トランジスタ１１ａのゲート端子電位が上昇し、プログラム電流Ｉｗを流すように電流プログラムが行われる。

【０２６４】

しかし、図３１（ａ）の駆動は低階調領域では電流Ｉｄ１が小さく、また、定電流動作のため、寄生容量Ｃｓの電荷の放電に非常に長時間を必要とする。特に白輝度に到達するまでの時間が長いため白ウィンドウ表示で上辺の輝度が所定輝度より低い。ソース信号線１８の電位が黒表示電位（アノード電圧Ｖｄｄに近い）から白表示電位（アノード電圧Ｖｄｄ－３（Ｖ）など）へ、１水平走査期間内に変化できないためである。白ウィンドウ部の下辺の次の画素行の黒表示輝度は、比較的目標の黒表示になりやすい。この変化では、図３１（ｂ）に図示するように駆動用トランジスタ１１ａが主体的に変化する。また、図

３１（ｂ）では駆動用トランジスタ１１ａが非線形動作するため、比較的電流Ｉｄ２が大きい。そのため、Ｃｓの充電時間が比較的はやい。したがって、白ウィンドウ部の最終白表示画素部の次に位置する黒表示画素行では、輝度が目標の輝度あるいはその近傍に変化する。

【０２６５】

プログラム電流の書き込み不足の課題を解決するために、プリチャージ駆動を実施する。しかし、この方法だけでは、パネルが超大型になれば、図３１（ｂ）の白から黒表示の実現が困難になる場合がある（プリチャージ電圧Ｖｐにより、ソース信号線１８の電位をアノードＶｄｄ側に変化させることにより、黒表示を実現することを想定している）。

【０２６６】

この対策として、本発明では、１Ｈの前半にソースドライバ回路（ＩＣ）１４からのプログラム電流を増加させる。なお、後半は正規のプログラム電流Ｉｗを出力する。ただし、正規のプログラム電流は、図６、図９などの場合はＮ倍される。つまり、所定条件の時は、１Ｈの最初に所定のプログラム電流よりも大きな電流をソース信号線１８に流し、後半に正規のプログラム電流をソース信号線１８に流す。以下この実施例について説明をする。

【０２６７】

以下に説明する駆動方法（駆動装置あるいは駆動方式）を過電流駆動と呼ぶ。また、過電流駆動は本発明の他の駆動方式あるいは駆動装置と組み合すことができることは言うまでもない。たとえば、プリチャージ電圧Ｖｐを印加した後、過電流駆動を実施し、その後、プログラム電流を印加（プログラム電流駆動）することが例示される。また、プリチャージ電圧Ｖｐを印加せず、過電流駆動を実施し、その後、プログラム電流駆動を行う方式が例示される。

【０２６８】

なお、過電流駆動は、ソース信号線１８の電荷を充放電する方式であるから、技術的思想としては、プリチャージ電圧駆動の概念に含まれる。

【０２６９】

なお、過電流は、吐き出し電流と吸い込み電流のいずれでもよい。画素１６の駆動用トランジスタ１１ａのチャンネル極性に対応して実施する。画素１６の駆動用トランジスタ１１ａがＰチャンネルの場合は、過電流は、ソースドライバ回路１４に流れ込む方向（シンク電流）とし、画素１６の駆動用トランジスタ１１ａがＮチャンネルの場合は、過電流は、ソースドライバ回路１４から吐き出す方向（ソース電流）とする。また、過電流駆動は、すべての画素１６に実施するものではなく、画素１６に印加された階調値、ソース信号線１８の電位、または、次に印加する階調による電位変化などに対応して印加の有無を判断する。また、過電流の大きさ、印加期間を変化させる。

【０２７０】

図３２は本発明の過電流駆動方式を実現するソースドライバ回路（ＩＣ）１４の説明図である。図示を容易とするため、単位トランジスタ１６４が１個の電流回路は単位トランジスタ群３２１ａとし、’１’で図示している。以下同様に、単位トランジスタ１６４が２個の電流回路（カレントミラー回路）は単位トランジスタ群３２１ｂとし、’２’で図示している。また、単位トランジスタ１６４が４個の電流回路は単位トランジスタ群３２１ｃとし、’４’で図示している。単位トランジスタ１６４が８個の電流回路は単位トランジスタ群３２１ｄとし、’８’で図示している。

【０２７１】

以下、同様に、単位トランジスタ１６４が６４個の電流回路は単位トランジスタ群３２１ｇとし、’６４’で図示し、単位トランジスタ１６４が１２８個の電流回路は単位トランジスタ群３２１ｈとし、’１２８’で図示している。ただし、図１８（ｂ）で説明したように、各単位トランジスタ群３２１に、物理的に必要な単位トランジスタ１６４を形成することに限定しない。各単位トランジスタ群３２１に必要な単位電流を出力するものであればいずれの構成あるいは方式であってもよい。

【０２７２】
これらの単位トランジスタ群３２１（３２１ａ～３２１ｈ）の１組がトランジスタ群１６５ｃである。なお、作図を容易にするため、また、説明を容易にするため単位トランジスタ群３２１のビット数は各８ビットとしている。したがって、ビット数は、６ビット、１０ビットでもよいことは言うまでもない。
【０２７３】
また、単位トランジスタ群３２１は、ＲＧＢごとに形成される。ただし、ＲＧＢで、形成するビット数を変化させてもよい。たとえば、ＲとＢを６ビットとし、階調が多く必要なＧを８ビットにする構成が例示される。また、過電流の大きさについても、ＲＧＢで変化あるいは変更できるように構成することが好ましい。たとえば、Ｒ、Ｂで過電流の大きさを大きくし、Ｇで過電流の大きさを小さくできるようにする構成、方式が例示される。以上の事項は、本発明の他の実施例に適用される。以上の事項は、トランジスタ群１６５ｃにも適用される。また、トランジスタ群１６５ｂにも適用される。
【０２７４】
図３２の構成は、過電流のプログラム電流を流す担当のトランジスタ群は、単位トランジスタ群３２１ｈとしている。つまり、階調データの最上位ビットのスイッチＤ７をオンオフ制御することにより、過電流をソース信号線１８に流す。過電流を流すことにより寄生容量Ｃｓの電荷を短時間で放電させることができる。たとえば、階調５の場合は、スイッチＤ０とＤ２をクローズさせて、５単位のプログラム電流を流すが、プログラム電流印加前に、スイッチＤ７をオンさせて、１２８単位の電流（過電流）をソース信号線１８に印加する。また、過電流の印加前に、必要に応じてあるいは必須的にソース信号線１８にプリチャージ電圧Ｖｐを印加する。
【０２７５】
最上位ビットを過電流制御（過電流を発生させる）に使用するのは、以下の理由による。まず、説明を容易にするため、１階調から４階調に変化させるとする。また、階調数は２５６階調（ＲＧＢ各８ビット）とする。
【０２７６】
１階調から白階調に変化させる場合であっても、１階調から中間調以上（たとえば、１２８階調以上）に変化させる場合は、プログラム電流の書き込み不足は発生しない。プログラム電流が比較的大きく、寄生容量Ｃｓの充放電が比較的早いからである。
【０２７７】
しかし、１階調から中間調以下（たとえば、１２７階調以下）に変化する場合は、プログラム電流が小さく、１Ｈ期間に寄生容量Ｃｓを十分に充放電させることができない。したがって、１階調から４階調などのように、中間調以下に階調変化させることを改善させる必要がある。この場合に、本発明の過電流駆動を実施する。
【０２７８】
以上のように変化する階調が中間調以下であるから、プログラム電流の指定に最上位ビットは使用しない。つまり、１階調から変化させる場合、目標の階調は、’０１１１１１１’以下である（最上位ビットのスイッチＤ７は絶えずオフ状態である。本発明はたえず、オフ状態の最上位ビットを制御して過電流駆動を実施する。
【０２７９】
最初の階調（変化前の階調）が１であれば、スイッチＤ０がオンで単位トランジスタ１６４が１個動作する。目標の階調が４であれば、スイッチＤ２が動作し、単位トランジスタ１６４が４個動作する。しかし、単位トランジスタ１６４が４個では十分に寄生容量Ｃｓの電荷を目標値まで放電させることができない。そこで、スイッチＤ７を閉じ単位トランジスタ群３２１ｈを動作させる。
【０２８０】
なお、Ｄ７スイッチの動作は、Ｄ２スイッチの動作に加えて実施してもよいし（１Ｈの前半あるいは最初にＤ７とＤ２スイッチをオンさせ、後半にＤ２スイッチのみをオンさせる）、１Ｈの前半あるいは最初にスイッチＤ７のみをオンさせ、後半にスイッチＤ２のみ

をオンさせてもよい。

【０２８１】

スイッチＤ７がオンすれば、単位トランジスタ１６４が１２８個動作する（もしくは１２８個分に相当する単位電流が出力される）。したがって、Ｄ２スイッチのみの動作に比較して１２８／４＝３２であるから３２倍の速度で寄生容量Ｃｓの電荷を放電させることができる。したがって、プログラム電流の書き込み改善が可能である。

【０２８２】

スイッチＤ７をオンさせるか否かは、ＲＧＢの映像データごとにコントローラ回路（ＩＣ）（図示せず）で判断する。コントローラ回路（ＩＣ）からは判断ビットＫＤＡＴＡがソースドライバ回路（ＩＣ）１４に印加される。ＫＤＡＴＡは一例として５ビットである。ＫＤＡＴＡは、ＭＳＢの１ビットと下位４ビットに分けられる。ＫＤＡＴＡのＭＳＢが０（Ｌレベル）の時は、過電流駆動は実施しない。ＫＤＡＴＡのＭＳＢが１（Ｈレベル）の時は過電流駆動を実施する。つまり、過電流駆動を実施し、その後、目的階調に対応するプログラム電流を印加する。

【０２８３】

なお、プリチャージ電圧Ｖｐを印加するか否かは、プリチャージビットで設定する。プリチャージビットが０（Ｌレベル）の時は、プリチャージ電圧Ｖｐを印加しない。プリチャージビットが１（Ｈレベル）の時は、プリチャージ電圧Ｖｐを印加し、また、ＫＤＡＴＡの設定値に対応して過電流駆動を実施し、その後、目的階調に対応するプログラム電流を印加する。

【０２８４】

ＫＤＡＴＡの下位４ビットは過電流を印加する期間を１５段階で示す。この値に基づき、１６段階の期間の過電流駆動を実施する。したがって、ＫＤＡＴＡの下位４ビットの大きさは、Ｄ５ビットをオンさせる時間を示す。

【０２８５】

ＫＤＡＴＡはラッチ回路２２１で１Ｈ期間保持される。カウンタ回路２１２はＨＤ（１Ｈの同期信号）でリセットされ、クロックＣＬＫでカウントされる。カウンタ回路２１２とラッチ回路２２１のデータが比較され、カウンタ回路２１２のカウント値が、ラッチ回路２２１のデータ値（ＫＤＡＴＡの下位４ビット）よりも小さいとき、ＡＮＤ回路２１３は内部配線１６２ｂにオン電圧を出力しつづけ、スイッチＤ５のオン状態が維持される。したがって、単位トランジスタ群３２１ｈの単位トランジスタ１６４の電流が内部配線１６２ａおよびソース信号線１８に流れる。なお、電流プログラム時はスイッチ１６１ｂが閉じ、プリチャージ駆動時は、スイッチ１６１ａが閉じ、スイッチ１６１ｂがオープン状態となる。

【０２８６】

図３３はコントローラＩＣ（回路）の動作の説明図である。ただし、１画素列（ＲＧＢの組）の処理の説明図である。映像データＤＡＴＡ（８ビット×ＲＧＢ）は内部クロックに同期してラッチ回路２２１ａと２２１ｂに２段ラッチされる。したがって、ラッチ回路２２１ｂには、１Ｈ前の映像データが保持され、ラッチ回路２２１ａには現在の映像データが保持される。

【０２８７】

比較回路３３１は１Ｈ前の映像データと現在の映像データを比較し、ＫＤＡＴＡの値を導出する。導出は、過電流駆動を実施するか否かのＭＳＢの１ビットと、過電流を印加する期間である下位４ビットの値である。また、必要に応じて、プリチャージ電圧Ｖｐを印加するか否かのプリチャージビットの設定も行う。また、過電流駆動において必要に応じて、どのスイッチＤ０～Ｄ７をオン（クローズ）するかを設定してもよい。また、プリチャージ電圧Ｖｐの大きさを設定してもよい。

【０２８８】

映像データＤＡＴＡはソースドライバ回路（ＩＣ）１４に転送される。また、コントローラＩＣ（回路）はカウンタ回路２１２の上限カウント値ＣＮＴをソースドライバ回路（

ＩＣ）１４に転送する。

【０２８９】

ＫＤＡＴＡは比較回路３３１で決定される。決定は、変化前の映像データ（１Ｈ前のデータ）と変化後の映像データ（現在のデータ）から決定される。１Ｈ前のデータとは、現在のソース信号線１８の電位を示す。現在のデータとは、変化させるソース信号線１８の目標電位を示す。また、ソース信号線１８の電位は、映像データの階調に対応するから、映像データに基づいて決定してもよい。

【０２９０】

図３１に図示して説明したように、プログラム電流の書き込みは、ソース信号線１８の電位を考慮して行うことが重要である。書き込み時間Ｔは、Ｔ＝ＡＣＶ／Ｉ（Ａ：比例定数、Ｃ：寄生容量の大きさ、Ｖ：変化する電位差、Ｉ：プログラム電流）で表すことができる。したがって、変化する電位差Ｖが大きければ書き込み時間が長くなる。一方、プログラム電流Ｉ＝Ｉｗが大きくすれば書き込み時間は短くなる。

【０２９１】

本発明では、過電流駆動でＩを大きくする。しかし、いずれの場合でもＩを大きくすると、目標のソース信号線１８電位を越える場合が発生する。したがって、過電流駆動を実施する場合には、電位差Ｖを考慮する必要がある。現在のソース信号線１８の電位と、次の映像データ（現在の映像データ（次に印加する映像データ＝（変化後：図３４の縦方向）））から決定される目標のソース信号線１８電位から、ＫＤＡＴＡを求める。

【０２９２】

ＫＤＡＴＡはＤ７スイッチをオンさせる時間の場合もあるが、過電流駆動での電流の大きさでもよい。また、Ｄ７スイッチのオン時間（時間が長いほどソース信号線１８に印加する過電流印加時間が長くなり、過電流の実効値が大きくなる）と、過電流の大きさ（大きさが大きいほどソース信号線１８に印加する過電流の実効値が大きくなる）の両方を組み合わせてもよい。説明を容易にするため、最初、ＫＤＡＴＡはＤ７スイッチのオン時間であるとして説明をする。

【０２９３】

比較回路３３１は１Ｈ前と変化後（図３４を参照のこと）の映像データを比較してＫＤＡＴＡの大きさを決定する。ＫＤＡＴＡに０以外のデータが設定される場合は以下の条件に合致する場合である。

【０２９４】

１Ｈ前の映像データが低階調領域である場合（０階調以上全階調の１／８以下の領域であることが好ましい。たとえば、２５６階調の場合は、０階調以上３２階調以下である。）で、かつ、変化後の映像データが中間調領域以下である場合（１階調以上全階調の１／２以下の領域であることが好ましい。たとえば、２５６階調の場合は、１階調以上１２８階調以下の領域である。）にＫＤＡＴＡを設定する。設定するデータは、駆動用トランジスタ１１ａのＶＩ特性カーブを考慮して決定する。ソース信号線１８のＶｄｄ電圧から、０階調目の電圧であるＶ０（完全黒表示）までの電位差は大きい。また、Ｖ０電圧から、１階調目のＶ１までの電位差は大きい。次の２階調目であるＶ２電圧とＶ１電圧までの電位差は、Ｖ０電圧からＶ１電圧までの電位差よりもかなり小さい。以降、Ｖ３とＶ２、Ｖ４とＶ３になるにつれて電位差は小さくなる。以上のように高階調側になるにしたがって、電位差が小さくなるのは、駆動用トランジスタ１１ａのＶＩ特性が非線形であることにほかならない。

【０２９５】

階調間の電位差は、寄生容量Ｃｓの電荷の放電量に比例する。したがって、プログラム電流の印加時間つまり、過電流駆動では過電流Ｉｄの印加時間と大きさに連動する。たとえば、１Ｈ前のＶ０（階調０）と変化後のＶ１（階調１）の階調差が小さいからといって、過電流Ｉｄの印加時間を短くすることはできない。電位差が大きいからである。

【０２９６】

逆に、階調差が大きくとも過電流を大きくする必要がない場合もある。たとえば、階調

１０と階調３２では、階調１０の電位Ｖ１０と階調３２の電位Ｖ３２の電位差も小さく、階調３２のプログラム電流Ｉｗも大きいため、寄生容量Ｃｓを短時間で充放電できるからである。

【０２９７】

図３４は、横軸に１Ｈ前（変化前、つまり現在のソース信号線１８電位を示す）の映像データの階調番号を示している。また、縦軸に現在の映像データの階調番号（変化後、つまり変化させる目標のソース信号線１８電位を示す）を示している。

【０２９８】

０階調目（１Ｈ前）から０階調目（変化後）に変化させるのは、電位変化がないため、ＫＤＡＴＡは０でよい。ソース信号線１８の電位変化がないからである。０階調目（１Ｈ前）から１階調目（変化後）に変化させるのは、Ｖ０電位からＶ１電位に変化させる必要がある。Ｖ１－Ｖ０電圧は大きいから、ＫＤＡＴＡはＭＳＢを１とし、下位４ビットを最高値の１５（一例である）に設定する。ソース信号線１８の電位変化が大きいからである。１階調目（１Ｈ前）から２階調目（変化後）に変化させるのは、Ｖ１電位からＶ２電位に変化させる必要があり、Ｖ２－Ｖ１電圧は比較的大きいから、ＫＤＡＴＡの下位４ビットは最高値近傍の１２（一例である）に設定する。ソース信号線１８の電位変化が大きいからである。３階調目（１Ｈ前）から４階調目（変化後）に変化させるのは、Ｖ３電位からＶ４電位に変化させる必要がある。しかし、Ｖ４－Ｖ３電圧は比較的小さいため、ＫＤＡＴＡの下位４ビットは小さい値の２に設定する。ソース信号線１８の電位変化が小さくてすみ、寄生容量Ｃｓの充放電が短時間で実施でき、目標のプログラム電流を画素１６に書き込むことができるからである。

【０２９９】

変化前が低階調領域であっても、変化後の階調が中間調以上の場合は、ＫＤＡＴＡのＭＳＢ＝０とし、下位４ビットの値は０である。変化後の階調に対応するプログラム電流が大きく、１Ｈ期間内にソース信号線１８の電位を目標電位または近傍の電位まで変化させることができるからである。たとえば、２階調から３８階調目に変化させる場合は、ＫＤＡＴＡ＝０である。

【０３００】

変化後が変化前より低階調の場合において、過電流駆動は実施しない。３８階調から２階調目に変化させる場合は、ＫＤＡＴＡのＭＳＢを０とし、下位４ビット＝０である。この場合は、図３１（ｂ）が該当し、主として画素１６の駆動用トランジスタからプログラム電流Ｉｄが寄生容量Ｃｓに供給されるからである。図３１（ｂ）の場合は、過電流駆動方式は実施せず、電圧＋電流駆動方式あるいはプリチャージ電圧駆動を実施することが好ましい。

【０３０１】

本発明の過電流駆動方式において、図６、図９などで説明したＮ倍駆動方式、ｄｕｔｙ比を制御する駆動方式と組み合わせることは効果がある。また、過電流を印加する時に基準電流を増加させることは効果がある。基準電流の可変は、図１５などで説明した電子ボリウム１５２などで行う。基準電流の増加により、図３２などの構成では過電流も増加させることができるからである。したがって、寄生容量Ｃｓの充放電時間も短くなる。基準電流の大きさあるいは基準電流比の制御により、過電流駆動方式の過電流の大きさを制御することができる点も本発明の特徴ある構成である。

【０３０２】

以上のように、ＫＤＡＴＡがコントロールＩＣ（回路）で決定され、ＫＤＡＴＡがソースドライバ回路（ＩＣ）１４に差動信号で伝送される。伝送されたＫＤＡＴＡは図３２のラッチ回路２２１で保持され、Ｄ７スイッチが制御される。なお、制御は、スイッチＤ７だけでなく、スイッチＤ７、Ｄ６を同時に制御してもよい。また、時分割で制御してもよい。つまり、複数のスイッチを過電流印加時に制御を行ってもよい。

【０３０３】

図３４の表の関係は、マトリックスＲＯＭテーブルまたはルックアップテーブル９３１

を用いてＫＤＡＴＡを設定してもよいが、計算式をプログラムし、マイコンあるいはコントローラＩＣ（回路）の乗算器を用いてＫＤＡＴＡの算出（導出）を行ってもよい。また、コントローラＩＣ（回路）で実施することに限定されるものではなく、ソースドライバ回路（ＩＣ）１４に内蔵のコントロール回路あるいは演算回路で実施してもよいことは言うまでもない。

【０３０４】

本発明は、基準電流の大きさによりプログラム電流Ｉｗの大きさが基準電流に比例して変化する。したがって、図３２などの過電流駆動の過電流の大きさも基準電流の大きさに比例して変化する。図３４で説明したＫＤＡＴＡの大きさも基準電流の大きさの変化に連動させる必要があることは言うまでもない。つまり、ＫＤＡＴＡの大きさは、基準電流の大きさに連動させる、あるいは基準電流の大きさを考慮することが好ましい。基準電流が大きければ過電流の大きさが比例して大きくなり、基準電流の大きさが小さければ過電流の大きさも小さくなるからである。

【０３０５】

本発明の過電流駆動方式の技術的思想は、プログラム電流の大きさ、駆動用トランジスタ１１ａからの出力電流などに対応して過電流の大きさ、印加時間（印加期間）、過電流の実効値を設定するものである。また、過電流駆動とプリチャージ駆動とを組み合わせるものである。

【０３０６】

比較回路３３１または比較手段などではＲＧＢの映像データごとに比較を実施するが、ＲＧＢデータから輝度（Ｙ値）を求めて、ＫＤＡＴＡを算出してもよいことは言うまでもない。つまり、単に、各ＲＧＢで比較するのではなく、色度変化、輝度変化を考慮し、また、階調データの連続性、周期性、変化割合を考慮してＫＤＡＴＡを算出あるいは決定もしくは演算する。また、１画素単位でなく、周辺の画素の映像データもしくは映像データに類するデータを考慮してＫＤＡＴＡを導出してもよいことは言うまでもない。たとえば、表示画面３４を複数のブロックに分割し、各ブロック内の映像データなどを考慮してＫＤＡＴＡを決定する方式が例示される。

【０３０７】

図３２などにおいて、過電流駆動時に過電流を流すために選択するスイッチのクローズ期間（たとえば、Ｄ７スイッチが選択される時間）は、１Ｈ（１水平走査期間）の３／４期間以下１／３２期間以上に設定することが好ましい。さらに好ましくは１Ｈ（１水平走査期間）の１／２期間以下１／１６期間以上に設定することが好ましい。過電流を印加する期間が長いと、正規のプログラム電流を印加する期間が短くなり、電流補償が良好にならない場合がある。また、寄生容量の温度依存性により過電流を印加しすぎとなるからである。逆に過電流の印加期間が短いとソース信号線１８の電位変化を目標値に到達させることができなくなり、目標値の電位に対する偏差も大きくなる。

【０３０８】

過電流を印加する期間が短いと、目標のソース信号線１８の電位まで到達することができない。過電流駆動では、目標の階調のソース信号線１８電位まで行うことが好ましいのは言うまでもない。しかし、過電流駆動のみで完全に目標のソース信号線電位にする必要はない。１Ｈの前半の過電流駆動後に、正規の電流駆動を実施し、過電流駆動により生じた誤差は、正規の電流駆動によるプログラム電流で補償されるからである。したがって、過電流駆動は、ソース信号線１８の電位目標値よりも小さめに設定（未到達）することが好ましい。本発明は、過電流駆動での偏差が発生しても、映像信号に対するプログラム電流で補正できることが１つの特徴ある方式である。

【０３０９】

図３５は、過電流駆動方式を実施した場合の、ソース信号線１８の電位変化を図示している。図３５（ａ）は一例としてＤ７スイッチを１／（２Ｈ）期間オン状態にした場合である。１水平走査期間（１Ｈ）の最初であるｔ１よりＤ７スイッチをオンし、１２８個分の単位トランジスタ１６４の単位電流が出力端子８３から吸い込まれる。Ｄ７スイッチは

１／（２Ｈ）のｔ２期間までの間、オン状態が維持され、過電流Ｉｄ２がソース信号線１８に流れる。したがって、ソース信号線１８の電位は目標電位のＶｎ電位近傍のＶｍ電位まで低下する。その後（ｔ２後）、Ｄ５スイッチはオフ状態となり、正規のプログラム電流Ｉｗが１Ｈの終了（ｔ３）まで、ソース信号線１８に流れて、ソース信号線１８電位は目標のＶｎ電位となる。

【０３１０】

ソースドライバ回路（ＩＣ）１４は定電流動作する。したがって、ｔ２～ｔ３期間には定電流のプログラム電流Ｉｗが流れる。このプログラム電流Ｉｗにより、寄生容量Ｃｓが目標電位になるまで充放電されると、画素１６の駆動用トランジスタ１１ａから電流Ｉが流れ、ソース信号線１８の電位は目標プログラム電流Ｉｗが流れるように保持される。したがって、駆動用トランジスタ１１ａは所定プログラム電流Ｉｗが流れるように保持される。以上のように、過電流駆動の過電流の精度は必要ない。精度がなくとも、画素１６の駆動用トランジスタ１１ａにより補正される。

【０３１１】

図３５（ｂ）はＤ７スイッチを１／（４Ｈ）期間オン状態にした場合である。１水平走査期間（１Ｈ）の最初であるｔ１よりＤ７スイッチをオンし、３２個分の単位トランジスタ１６４の単位電流が出力端子８３から吸い込まれる。Ｄ７スイッチは１／（４Ｈ）のｔ４期間までの間、オン状態が維持され、過電流Ｉｄ２がソース信号線１８に流れる。したがって、ソース信号線１８の電位は目標電位のＶｎ電位近傍のＶｍ電位まで低下する。その後（ｔ４後）、Ｄ７スイッチはオフ状態となり、正規のプログラム電流Ｉｗが１Ｈの終了（ｔ３）まで、ソース信号線１８に流れて、ソース信号線１８電位は目標のＶｎ電位となる。

【０３１２】

ソースドライバ回路（ＩＣ）１４は定電流動作する。したがって、ｔ４～ｔ３期間には定電流のプログラム電流Ｉｗが流れる。このプログラム電流Ｉｗにより、寄生容量Ｃｓが目標電位になるまで充放電されると、画素１６の駆動用トランジスタ１１ａから電流Ｉが流れ、ソース信号線１８の電位は目標プログラム電流Ｉｗが流れるように保持される。したがって、駆動用トランジスタ１１ａは所定プログラム電流Ｉｗが流れるように保持される。以上のように、過電流駆動の過電流の精度は必要ない。精度がなくとも、画素１６の駆動用トランジスタ１１ａにより補正される。

【０３１３】

図３５（ｃ）はＤ７スイッチを１／（８Ｈ）期間オン状態にした場合である。１水平走査期間（１Ｈ）の最初であるｔ１よりＤ７スイッチをオンし、３２個分の単位トランジスタ１６４の単位電流が出力端子８３から吸い込まれる。Ｄ７スイッチは１／（８Ｈ）のｔ５期間までの間、オン状態が維持され、過電流Ｉｄ２がソース信号線１８に流れる。したがって、ソース信号線１８の電位は目標電位のＶｎ電位近傍のＶｍ電位まで低下する。その後（ｔ５後）、Ｄ７スイッチはオフ状態となり、正規のプログラム電流Ｉｗが１Ｈの終了（ｔ３）まで、ソース信号線１８に流れて、ソース信号線１８電位は目標のＶｎ電位となる。

【０３１４】

以上のように、単位トランジスタ１６４の動作個数と、１つの単位トランジスタ１６４の単位電流の大きさが固定値である。したがって、Ｄ７スイッチのオン時間により、比例して寄生容量Ｃｓの充放電時間を操作することができ、ソース信号線１８の電位を操作することができる。なお、説明を容易にするため、寄生容量Ｃｓを過電流により充放電させるとしているが、画素１６のスイッチトランジスタなどのリークもあるから、Ｃｓの充放電に限定されるものではない。

【０３１５】

以上のように、過電流の大きさが単位トランジスタ１６４の動作個数により把握できる点が本発明の特徴ある構成である。書き込み時間ｔは、Ｔ＝ＡＣＶ／Ｉ（Ａ：比例定数、Ｃ：寄生容量の大きさ、Ｖ：変化する電位差、Ｉ：プログラム電流）で表すことができる

から、ＫＤＡＴＡも値も、寄生容量（アレイ設計時に把握できる）、駆動用トランジスタ１１ａのＶＩ特性（アレイ設計時に把握できる）などから理論値にＫＤＡＴＡの値を決定できる。

【０３１６】

図３２の実施例は、最上位ビットＤ７スイッチを操作することにより、過電流駆動の過電流Ｉｄの大きさ、印加時間を制御するものであった。本発明はこれに限定するものではない。最上位ビット以外のスイッチを操作あるいは制御してもよいことは言うまでもない。

【０３１７】

図３６は、ソースドライバ回路（ＩＣ）１４が各ＲＧＢ８ビット構成である場合において、最上位ビットのスイッチＤ７と最上位ビットから２番目のスイッチＤ６をＫＤＡＴＡにより制御した構成である。なお、説明を容易にするため、Ｄ７ビットには１２８個の単位トランジスタ１６４が形成または配置されているとし、Ｄ６ビットには６４個の単位トランジスタ１６４が形成または配置されているとする。

【０３１８】

図３６（ａ１）はＤ７スイッチの動作を示している。図３６（ａ２）はＤ６スイッチの動作を示している。図３６（ａ３）はソース信号線１８の電位変化を示している。図３６（ａ）ではＤ７、Ｄ６のスイッチが同時に動作するため、単位トランジスタ１６４は１２８＋６４個が同時に動作し、出力端子８３からソースドライバ回路（ＩＣ）１４に流れ込む。したがって、階調０のＶ０電圧から階調３のＶ３電圧まで高速にソース信号線１８電位を変化させることができる。なお、ｔ２後は、正規のスイッチＤが閉じ、正規のプログラム電流Ｉｗが出力端子８３からソースドライバ回路（ＩＣ）１４に吸い込まれる。

【０３１９】

同様に、図３６（ｂ１）はＤ７スイッチの動作を示している。図３６（ｂ２）はＤ６スイッチの動作を示している。図３６（ｂ３）はソース信号線１８の電位変化を示している。図３６（ｂ）ではＤ７スイッチのみが動作するため、単位トランジスタ１６４は１２８個が同時に動作し、出力端子８３からソースドライバ回路（ＩＣ）１４に流れ込む。したがって、階調０のＶ０電圧から階調２のＶ２電圧まで高速にソース信号線１８電位を変化させることができる。図３６（ａ）より変化速度は小さい。しかし、変化する電位がＶ０からＶ２であるから、適正である。なお、ｔ２後は、正規のスイッチＤが閉じ、正規のプログラム電流Ｉｗが出力端子８３からソースドライバ回路（ＩＣ）１４に吸い込まれる。

【０３２０】

なお、以上の実施例は、シンク電流の場合である。駆動用トランジスタ１１ａがＮチャンネルの場合は、ソースドライバ回路１４の単位トランジスタ１６４は、Ｐチャンネルトランジスタで形成される。したがって、単位トランジスタ１６４からの出力電流（過電流）は、ソース信号線１８に吐き出される。

【０３２１】

以上のように、本発明は、ソースドライバ回路１４がシンク電流動作する場合を例示して説明しているがこれに限定するものではなく、ソース電流（吐き出し電流）の場合も、実施例の必要箇所を読み替えるだけで適用することができるから、本発明の技術的範疇である。

【０３２２】

同様に、図３６（ｃ１）はＤ７スイッチの動作を示している。図３６（ｃ２）はＤ６スイッチの動作を示している。図３６（ｃ３）はソース信号線１８の電位変化を示している。図３６（ｃ）ではＤ６スイッチのみが動作するため、単位トランジスタ１６４は６４個が同時に動作し、出力端子８３からソースドライバ回路（ＩＣ）１４に流れ込む。したがって、階調０のＶ０電圧から階調１のＶ１電圧まで高速にソース信号線１８電位を変化させることができる。図３６（ｂ）より変化速度は小さい。しかし、変化する電位がＶ０からＶ１であるから、適正である。なお、ｔ２後は、正規のスイッチＤが閉じ、正規のプログラム電流Ｉｗが出力端子８３からソースドライバ回路（ＩＣ）１４に吸い込まれる。

【０３２３】
以上のようにＫＤＡＴＡにより、スイッチのオン期間だけでなく、複数のスイッチを操作あるいは動作させ、動作させる単位トランジスタ１６４の個数あるいは単位電流の大きさを変化あるいは可変もしくは調整することにより、適正なソース信号線電位に設定あるいは変化させることができる。
【０３２４】
図３６では、過電流駆動によるスイッチＤ（Ｄ６、Ｄ７）をｔ１からｔ２の期間に動作させるとしたが、これに限定するものではなく、図２８に図示あるいは説明したように、ｔ２、ｔ３、ｔ４などのようにＫＤＡＴＡの値によって変化あるいは変更してもよいことは言うまでもない。また、過電流を印加している期間に基準電流あるいは基準電流の大きさを制御あるいは変更し、過電流の大きさを調整してもよい。なお、この場合であっても、正規のプログラム電流を印加している期間は基準電流あるいは基準電流の大きさは正規の値にする。
【０３２５】
操作するスイッチはＤ７、Ｄ６に限定するものではなく、Ｄ７など他のスイッチも同時にあるいは選択して動作あるいは制御してもよいことは言うまでもない。ａ期間の例では、過電流駆動として１／（２Ｈ）の期間Ｄ７スイッチをオン状態にして、１２８個の単位電流からなる過電流をソース信号線１８に印加している。
【０３２６】
ｂ期間の例では、過電流駆動として１／（２Ｈ）の期間Ｄ７、Ｄ６スイッチをオン状態にして、１２８＋６４個の単位電流からなる過電流をソース信号線１８に印加している。
【０３２７】
ｃ期間の例では、過電流駆動として１／（２Ｈ）の期間Ｄ７、Ｄ６、Ｄ５スイッチをオン状態にして、１２８＋６４＋３２個の単位電流からなる過電流をソース信号線１８に印加している。
【０３２８】
ｄ期間の例では、過電流駆動として１／（２Ｈ）の期間Ｄ７、Ｄ６、Ｄ５スイッチと前記スイッチに該当しない映像データのスイッチ（たとえば、映像データが４であれば、Ｄ２スイッチ）をオン状態にして、１２８＋６４＋３２＋α個の単位電流からなる過電流をソース信号線１８に印加している。
【０３２９】
以上の実施例は、図３２などで説明したように、スイッチＤ７などを制御することにより、所定期間に過電流を発生させる方式であった。他に、図１５で説明した基準電流Ｉｃを変化させることも例示される。つまり、所定期間に、電子ボリウム１５２を制御することにより、基準電流Ｉｃを大きくし、出力端子８３から出力されるプログラム電流Ｉｗを大きくする。大きくしたプログラム電流Ｉｗは図３２などで説明した過電流とみなせる。したがって、図３２などで説明した効果を享受できる。また、以上に説明した所定期間に基準電流を大きくする方式と、図３２などで説明した所定期間にスイッチＤを制御する方式を組み合わせてもよいことは言うまでもない。また、以上の方式と図１４７で説明する点灯率制御方式などと組み合わせてもよいことは言うまでもない。また、ｄｕｔｙ比制御、Ｎ倍駆動方式、プリチャージ駆動などと組み合わせてもよいことは言うまでもない。
【０３３０】
本発明では、ソースドライバ回路（ＩＣ）１４内にトランジスタ群１６５ｃを有し、このトランジスタ群１６５ｃはスイッチＤのオンオフにより、階調の対応した単位電流（プログラム電流）を出力できる。したがって、トランジスタ群１６５ｃから所定の階調に該当するプログラム電流を出力し、画素１６の駆動用トランジスタ１１ａを動作させることにより、前記画素１６の駆動用トランジスタ１１ａがプログラム電流を流すことができるように設定あるいは調整することができる。
【０３３１】
この動作時、図１に図示する画素構成では、トランジスタ１１ｂ、１１ｃがクローズ状

態であるから、ソース信号線１８の電位と、画素１６の駆動用トランジスタ１１ａのゲート端子の電位は同一電位である。したがって、画素１６の駆動用トランジスタ１１ａがプログラム電流Ｉｗを流している時のソース信号線１８の電位は、画素１６の駆動用トランジスタ１１ａがプログラム電流Ｉｗを流すのに必要な電位（電圧）ということになる。この電圧をプリチャージ電圧Ｖｐとすると、プリチャージ電圧Ｖｐをソース信号線１８に印加すれば、画素１６の駆動用トランジスタ１１ａがプログラム電流Ｉｗを流すことになる。

【０３３２】

ソースドライバ回路１４からプリチャージ電圧Ｖｐをソース信号線１８に印加し、該当画素行のゲート信号線１７ａにオン電圧を印加することにより選択する。画素１６の駆動用トランジスタ１１ａのゲート端子にプリチャージ電圧Ｖｐが印加され、駆動用トランジスタ１１ａがプログラム電流Ｉｗを流すようにプログラム（設定）される。したがって、プリチャージ電圧Ｖｐを該当画素１６の駆動用トランジスタ１１ａの特性に合わせて印加すれば、精度よく駆動用トランジスタ１１ａはプログラム電流Ｉｗにプログラムされる。プリチャージ電圧Ｖｐは電圧であるから、ソース信号線１８に寄生容量があっても、順次のソース信号線１８の電位を充放電できる。つまり、プリチャージ駆動の利点を享受できる。

【０３３３】

本発明では、映像の階調信号に対応するプログラム電流と、定電流をＩｗと表現している。これは、定電流Ｉｗはソースドライバ回路１４から発生させるため発生素子、その構造が一致していること、階調に対応するプログラム電流を所定の設定にした場合が定電流であるためである。

【０３３４】

以上のように、ソース信号線１８に定電流（所定電流）Ｉｗを印加し、その時にソース信号線１８の電位を測定したものをプリチャージ電圧Ｖｐとした。図２５のＡ期間に印加する電圧をプリチャージ電圧Ｖｐとした。両者は意味合いが多少異なるが、ソース信号線１８に印加し、ソース信号線１８の電荷を充放電する機能として同一である。したがって、両者ともプリチャージ電圧Ｖｐと呼ぶ。

【０３３５】

以上のことから、画素１６の各駆動用トランジスタ１１ａがプログラム電流Ｉｗを流す電位を測定あるいは把握し、この電圧をプリチャージ電圧Ｖｐとして、プログラム時（階調書き込み時）に設定できれば、ソース信号線１８の寄生容量に左右されず、高速に画素１６に階調を書き込むことができる。もちろん、プリチャージ電圧Ｖｐの印加後、プログラム電流Ｉｗを印加することにより、高い精度で画素のプログラム設定することができる。

【０３３６】

つまり、本発明は、駆動用トランジスタ１１ａに定電流Ｉｗ（Ｉｗ＝０（Ａ）も含む）を印加し、その時の駆動用トランジスタ１１ａのゲート端子電位を、ソース信号線１８を介して測定あるいは取得する。測定あるいは取得した電位を、演算あるいは所定の処理を行い、もしくはそのままプリチャージ電圧Ｖｐとして、ソース信号線１８に印加することにより、画素１６の駆動用トランジスタ１１ａの特性を反映して階調書き込み（電圧プログラム、電流プログラム）を行うものである。

【０３３７】

本発明は、画素のトランジスタに定電流Ｉｗを印加し、もしくは画素の駆動トランジスタ１１ａから定電流Ｉｗを出力させ、前記定電流Ｉｗを印加または出力した状態で画素の駆動トランジスタ１１ａのゲート端子の電圧を測定する。各画素の駆動トランジスタ１１ａのゲート端子の電圧は、駆動トランジスタ１１ａの特性により異なる。つまり、駆動トランジスタ１１ａに定電流を印加し、駆動トランジスタ１１ａのゲート端子電圧を測定することは、駆動トランジスタ１１ａの特性を測定することになる。

【０３３８】

測定した電圧は、Ａ／Ｄ変換してソースドライバ回路１４の内部あるいは外部に形成または配置されたメモリに記憶する。ＥＬ表示装置に画像を表示する際は、このメモリに記憶した電圧データをＤ／Ａ変換してアナログ電圧とし、このアナログ電圧（プリチャージ電圧Ｖｐ）をそのまま、あるいはこのアナログ電圧を基準または原点として、階調電圧を加減算し、目標の階調信号（プリチャージ電圧Ｖｐ）を求め、対応する画素に印加する。

【０３３９】

したがって、測定した電圧を基準として、階調あるいは階調差に対応する映像電圧を加算し前記駆動用トランジスタ１１ａに印加するという動作は、画素の駆動用トランジスタ１１ａの特性を補償した上で、映像信号としての階調信号（電圧信号）を印加していることになる。

【０３４０】

測定あるいは取得する駆動用トランジスタ１１ａのゲート端子電圧は、測定後、リアルタイムに映像電圧に加減算処理、あるいはそのまま画素の駆動用トランジスタに印加するように構成してもよい。また、定電流Ｉｗは０（Ａ）の状態も含む（定電流を流さない）。定電流Ｉｗ＝０（Ａ）の場合は、対応画素を選択し、画素の駆動用トランジスタ１１ａのゲートードレイン端子を短絡すればよい。

【０３４１】

電圧プログラム方式は、画素のトランジスタ１１ａの特性補償が不十分であるという欠点を有していた。しかし、本発明は、画素のトランジスタ１１ａに定電流を印加するという電流プログラム方式を実施し、トランジスタのゲート端子電位を測定することにより、電流プログラム方式の利点であるトランジスタの特性補償能力を発揮させる。

【０３４２】

定電流Ｉｗを所定以上の大きさの電流値とすることにより、電流プログラム方式の弱点である低階調領域（低電流領域）での書き込み不足の課題が発生しない。また、映像表示する際に、画素に印加する映像信号は、電圧信号であるから、低階調領域であっても、書き込み不足は発生しない。つまり、測定した電圧を基準として電圧を加算あるいは減算することにより階調電圧を算出あるいは求め、この階調電圧を画素のトランジスタ１１ａに印加することにより電圧駆動の特徴である全階調領域で書き込み不足がないという利点を発揮させることができる。

【０３４３】

本発明はトランジスタ１１ａに定電流を印加し、トランジスタ１１ａのゲート端子電圧を直接あるいは間接的に測定もしくは保持するとして説明するが、これに限定するものではない。また、定電流の印加による電圧の測定あるいはメモリへの取得したデータは、電圧の大きさに限定するものではなく、前後の電圧の変化量、電圧の変化速度、電圧の差分値であってもよい。つまり、プリチャージ電圧Ｖｐを発生できるデータなどであればいずれのものであってもよい。

【０３４４】

電圧の測定とは、測定した電圧をアナログーデジタル変換（Ａ／Ｄ変換）して、ドライバ回路外部あるいは内部に保持する動作あるいは構成も含む。また、電圧をデジタルデータとしてメモリに保持する動作を含む。また、測定だけでなく、コンデンサなどの保持媒体に一時的に保持あるいはラッチもしくは記憶する動作あるいは構成も含む。また、定電流Ｉｗとは０（Ａ）も含む。

【０３４５】

画素１６構成は、図１のように駆動用トランジスタ１１ａの出力電流がソース信号線１８に入出力できる構成、または図１２のように、駆動用トランジスタ１１ｂとカレントミラー回路を構成するトランジスタ１１ａの出力電流がソース信号線１８に入出力できる構成であることが必要である。もしくは、画素１６構成は、図１のように駆動用トランジスタ１１ａのゲート端子電位がソース信号線１８から測定あるいは把握できる構成、または図１２のように、駆動用トランジスタ１１ｂとカレントミラー回路を構成するトランジスタ１１ａ、トランジスタ１１ｂのゲート端子の電位がソース信号線１８から測定あるいは

把握できる構成であることが必要である。これらは、電流駆動の画素構成である。

【０３４６】

以上のように動作あるいは構成することにより、画素１６の駆動用トランジスタ１１ａに前記プリチャージ電圧Ｖｐに該当するプログラム電流が流れるように動作させることができる。この時のソース信号線１８の電位を測定することにより、前記所定の階調に該当するプリチャージ電圧Ｖｐを取得することができる。

【０３４７】

以上の実施例では、各画素１６の駆動用トランジスタ１１ａに定電流（０も含む）を印加し、画素１６の駆動用トランジスタ１１ａが定電流Ｉｗを流すプリチャージ電圧Ｖｐを測定するとしたが、本発明はこれに限定するものではない。アレイ３０にマトリックス状に形成される駆動用トランジスタ１１ａの特性は各ロットでは異なっているが、ロット内の各アレイでは、特性バラツキが少ない。したがって、アレイ３０内で特性のトランジスタに定電流（０も含む）を流し、このトランジスタのゲート端子の電位Ｖｐを測定し、このＶｐをその他の画素の駆動用トランジスタ１１ａに印加してもよい。印加するＶｐは、多少画素の駆動用トランジスタ１１ａがプログラム電流Ｉｗを流す特性電圧から乖離しているが、その後、プログラム電流を印加するので問題はない。

【０３４８】

本発明は、プリチャージ電圧Ｖｐの設定に必要な階調に該当するプログラム電流をソースドライバ回路（ＩＣ）１４から出力し、このプログラム電流（定電流）を駆動用トランジスタ１１ａが流すように駆動用トランジスタ１１ａのゲート端子電圧を変化させる。駆動用トランジスタ１１ａのゲート端子電圧を測定してプリチャージ電圧Ｖｐとしてフィードバックするのである。このように動作あるいは設定させることにより、ソースドライバ回路（ＩＣ）１４の特性とアレイの特性をフィードバックして精度のよいプリチャージ電圧Ｖｐを設定することができる。

【０３４９】

以下、図面を参照しながら、プリチャージ電圧Ｖｐを精度よく取得する方法について説明をする。なお、プリチャージ電圧Ｖｐとはプログラム電圧であり、駆動用トランジスタ１１ａのゲート端子電圧であるとして説明をする。プログラム電圧の印加によりＥＬ素子１５に目標電流を供給するものである。

【０３５０】

まず、プリチャージ電圧Ｖｐを測定あるいは取得する実施例として、アレイ３０に形成または配置された測定画素１６ｓに定電流を印加する方法について説明する。測定画素１６ｓは、表示画面３４の周辺部（画像表示に寄与しない領域）などに形成されている。もちろん画像表示で使用する画素１６を測定画素１６ｓとしてもよい。

【０３５１】

図３７（ａ）は、説明を容易にするため、階調に対応するプリチャージ電圧Ｖｐの関係を示している。図３７（ａ）に図示するように、一例として、階調０に対応するプリチャージ電圧ＶｐをＶ０とする。階調１に対応するプリチャージ電圧ＶｐをＶ１、階調８に対応するプリチャージ電圧ＶｐをＶ２、階調３２に対応するプリチャージ電圧ＶｐをＶ３、階調１２８に対応するプリチャージ電圧ＶｐをＶ４、階調２５５に対応するプリチャージ電圧ＶｐをＶ５とする。もちろん、他の階調をＶ０～Ｖ５に設定してもよい。また、Ｖ０～Ｖ５の６つに限定するものではなく、６つ以上であってもよいし、６つ以下でもよい。

【０３５２】

図３７（ｂ）は、プリチャージ電圧Ｖｐを発生するための駆動用トランジスタ１１ａを有する測定画素１６ｓを示している。測定画素１６ｓは、プログラム電流を発生させるものであるから、ＥＬ素子１５を形成する必要はない。したがって、図１におけるトランジスタ１１ｄは不要であり、また、ゲート信号線１７ｂも必要ない。もちろん、画像を表示する画素１６と同様に、ＥＬ素子１５を形成してもよい。寄生容量などが画素１６と同一となり、プリチャージ電圧Ｖｐの測定が良好になるからである。なお、プリチャージ電圧Ｖｐを測定するために用いる画素１６を測定画素１６ｓと呼ぶ。

【０３５３】
測定画素１６ｓは、ゲート信号線１７ａにオン電圧が印加され、ソース信号線１８にプログラム電流が印加されることにより、駆動用トランジスタ１１ａが動作し、駆動用トランジスタ１１ａのゲート端子電圧が変化する。この時のソース信号線１８電位を読み取ることにより、プリチャージ電圧Ｖｐを取得することができる。
【０３５４】
たとえば、階調１のプリチャージ電圧Ｖ１を取得する場合には、階調１に該当するプログラム電流（通常、１個の単位トランジスタからの出力電流）をソース信号線１８に印加し、測定画素１６ｓの駆動用トランジスタ１１ａを動作させる。この動作が完了時のソース信号線１８の電位を測定すれば、プリチャージ電圧Ｖ１を取得することができる。
【０３５５】
本発明の実施例ではソース信号線１８の電位を測定するとして説明するが、本発明はこれに限定するものではない。たとえば、画素１６の駆動用トランジスタ１１ａのゲート端子にプローブ針を圧接して測定してもよい。また、１つの駆動用トランジスタ１１ａのゲート端子電位を測定するものではなく、たとえば、複数画素行を同時に選択し、複数の画素１６の駆動用トランジスタ１１ａのゲート端子を同時にあるいは平均して測定あるいは把握してもよい。また、Ｖｐ電圧の測定は、ゲートドライバ回路１２を制御し、選択するゲート信号線１７ａの位置を順次走査することにより行う。
【０３５６】
本発明の実施例において、電圧を測定するとしたが、測定の概念は、電圧を保持するあるいは、得る、把握するを含む概念である。つまり、取得したソース信号線１８の電位をプリチャージ電圧Ｖｐとして活用できる方式であれば、いずれの構成、形式、方法であってもよい。たとえば、ソース信号線１８ｓの電位をサンプルホールドして活用する構成が例示される。また、ソース信号線１８ｓのアナログ電位をアナログ－デジタル変換（Ａ／Ｄ変換）し、デジタルデータをそのまま、プリチャージ電圧Ｖ０～Ｖ５として活用する構成あるいはアナログ変換してＶ０～Ｖ５として活用する構成が例示される。また、ソース信号線１８ｓの電位をそのまま、フィードバックし、Ｖ０～Ｖ５として活用する構成が例示される。
【０３５７】
本発明の方式において、取得または測定したソース信号線１８ｓの電位あるいは電圧もしくは電位変化をかさ上げしたり、一定の比率と演算したり、重み付け処理をしたり、レベルシフトしたり、また、所定の加工あるいは他の電圧値と、加算あるいは減算などをしてもよいことはいうまでもない。また、複数回の測定値を平均して所望値を得てもよいことは言うまでもない。また、ソース信号線１８ｓの電位変化から目的電圧を予測あるいは推測する動作あるいは処理を含む。本明細書では、説明を容易にするため、これらの概念、方式あるいは構成を含む概念として’測定’として説明する。
【０３５８】
プリチャージ電圧Ｖ０～Ｖ５は、プリチャージ電圧Ｖｐの発生だけではなく、電圧駆動あるいは、ガンマ曲線を発生することにも用いることができる。したがって、本発明の技術的思想は、電流プログラム方式（駆動）だけではなく、電圧プログラム方式（駆動）としても適用することができるものである。
【０３５９】
図３７（ｂ）において、コンデンサ１９ｂを付加することにより、駆動用トランジスタ１１ａが流す電流をレベルシフトすることができる。また、ゲート信号線１７ａの電位の振幅値を変化させることにより、駆動用トランジスタ１１ａが流す電流をレベルシフトすることができる。コンデンサ１９ｂの大きさなどの画像を表示する画素１６と異ならせることにより、プリチャージ電圧Ｖｐを適正な値にアナログ的に変化（シフト）させることができる。
【０３６０】
たとえば、ゲート信号線１７ａにオン電圧（ＶＧＬ）を印加し、画素１６ｓを選択し、

駆動用トランジスタ１１ａに定電流Ｉｗを流した時の駆動用トランジスタ１１ａのゲート端子電位が、３．８（Ｖ）とする。次に、ゲート信号線１７ａにオフ電圧（ＶＧＨ）を印加し、画素１６の選択を完了させる。すると、ゲート信号線１７ａの電位は、ＶＧＬからＶＧＨに変化する。変化により、駆動用トランジスタ１１ａのゲート端子電位もコンデンサ１９ａ、１９ｂにより電位が突き抜けアノード電位Ｖｄｄ側にシフトする。たとえば、突き抜けによる電位変化が、０．５（Ｖ）であれば、駆動用トランジスタ１１ａのゲート端子電位は、３．８（Ｖ）＋０．５（Ｖ）＝４．３（Ｖ）となり、駆動用トランジスタ１１ａはＩｗより小さな電流を流すように設定されて保持される。

【０３６１】

以上の実施例は、定電流Ｉｗより小さな電流が流れるように画素１６に設定できることを意味する。電流駆動では、小さなプログラム電流を画素１６に書き込むことは苦手である。しかし、以上のように構成あるいは動作させることにより、小さな電流をプログラムできる。したがって、その利点は大きい。

【０３６２】

図３８は本発明のプリチャージ電圧Ｖｐの測定回路の説明図である。プリチャージ電圧Ｖｐの電圧測定回路３８１はソースドライバ回路１４内に形成または構成されている。もちろん、ポリシリコン技術を用いてアレイ基板３０に直接に形成または構成してよいことは言うまでもない。

【０３６３】

ソースドライバ回路１４内に電圧測定回路３８１を構成することにより、ソース信号線１８ｓに接続された出力端子８３ｓからプリチャージ電圧Ｖｐを取得することができる。したがって、プリチャージ電圧Ｖｐを測定するために新たな出力端子８３の形成は不要である。また、ソースドライバ回路１４を半導体チップで形成あるいは構成することにより、サンプルホールド回路、オペアンプ、アナログスイッチなどプリチャージ電圧Ｖｐを測定するための回路が小面積で高精度に作製あるいは形成もしくは構成することができる。

【０３６４】

プリチャージ電圧Ｖｐを測定するために出力するプログラム電流の発生回路は、プログラム電流を出力する電流階調回路１５４の構成と同様である。電流階調回路は図１６、図１７、図１８、図２３などで説明しているので説明を省略する。

【０３６５】

ゲートドライバ回路１２ａは、測定画素１６ｓを選択するゲート信号線１７ａ１と、画像を表示する画素１６を順次選択するゲート信号線１７ａ２（図１などでは、ゲート信号線１７ａが該当する）を制御する。ゲート信号線１７ａ１は画像表示に関係なく、選択あるいは非選択動作にされる。プリチャージ電圧Ｖｐを測定する時は、ゲート信号線１７ａ１が選択される。それ以外の期間は、非選択とされる。ソース信号線１８ｓはプリチャージ電圧Ｖｐを測定するため、形成された専用線である。

【０３６６】

電流階調回路１５４は、階調０に対応するプログラム電流を出力する。ただし、階調０に対応するプログラム電流Ｉｗは０である。したがって、スイッチ１６１ｂ（図２１を参照のこと）はオープン状態と同一である。つまり、ソース信号線１８ｓにはプログラム電流は供給されず、ゲート信号線１７ａ１が選択される。測定画素１６ｓの駆動用トランジスタ１１ａはソース信号線１８ｓに電流が流れない状態まで、ソース信号線１８ｓに電荷を充電あるいは放電させる。ソース信号線１８ｓの電位が一定値に落ち着くと、電圧測定回路３８１を動作させて、ソース信号線１８ｓの電位を測定する。ソース信号線１８ｓの電位は、画素１６ｓの駆動用トランジスタ１１ａのゲート端子の電位である。もちろん、電圧測定回路３８１はたえず、動作させておき、ソース信号線１８ｓの電位が安定した後、プリチャージ電圧Ｖｐとしてもよいことは言うまでもない。

【０３６７】

電圧測定回路３８１は、ソース信号線１８ｓの電圧を測定し、電圧階調回路２３１に保持する。もしくはメモリに測定あるいは取得した値を記憶する。保持されたプリチャージ

電圧Ｖ０は、図３７などのＶ０電圧となる。電圧測定回路３８１の機能は電圧測定だけでなく、電圧を取得する概念、一定期間あるいは一時的に電圧を保持する概念も含む。また、電圧には限定されず、電圧と相関するデータを間接的にあるいは直接に測定あるいは取得する概念も含まれる。また、Ａ／Ｄ変換回路３９１も内部に構成してもよい。また、電圧測定回路３８１は、ソースドライバ回路１４内に形成しても、ソースドライバ回路１４の外部に配置してもよい。

【０３６８】

同様に、電流階調回路１５４は、階調１に対応するプログラム電流Ｉｗを出力する。階調１に対応するプログラム電流は１個の単位トランジスタ１６４の出力電流（１単位電流）である。ソース信号線１８ｓには１単位のプログラム電流が供給され、ゲート信号線１７ａ１が選択される。ただし、プリチャージ電圧Ｖ０～Ｖ５を連続して測定する場合は、ゲート信号線１７ａ１は連続して選択状態を維持してもよい。測定画素１６ｓの駆動用トランジスタ１１ａはソース信号線１８ｓに１単位のプログラム電流が定常的に流れるように動作する。定常の単位電流が流れることにより、また、定常の単位電流が流れるように、ソース信号線１８ｓの電位が変化する。また、駆動用トランジスタ１１ａは、１単位電流が安定して流れるような状態になるまで、ソース信号線１８ｓに電荷を充電あるいは放電させる。

【０３６９】

ソース信号線１８ｓの電位が一定値に落ち着くと、電圧測定回路３８１を動作させて、ソース信号線１８ｓの電位Ｖ１を測定する。もちろん、電圧測定回路３８１はたえず、動作させておき、ソース信号線１８ｓの電位が安定した後に測定した電圧Ｖ１を、プリチャージ電圧Ｖｐとしてもよいことは言うまでもない。

【０３７０】

電圧測定回路３８１が電圧Ｖ１を測定している時は、ゲート信号線１７ａ１を非選択状態として説明するが、たえず、ゲート信号線１７ａ１を選択状態としてもよいことは言うまでもない。電圧測定回路３８１は、ソース信号線１８ｓの電圧Ｖ１を測定し、電圧階調回路２３１に保持する、またはメモリに記憶する。測定されたＶ１電圧は、図３７などのＶ１電圧となる。

【０３７１】

プリチャージ電圧Ｖ２も同様である。電流階調回路１５４は、階調８に対応するプログラム電流を出力する（図３７（ａ）を参照のこと。図３７では説明を容易にするため、Ｖ２電圧は階調８番目に対応するとしている）。階調２に対応するプログラム電流は８個の単位トランジスタ１６４の出力電流（８単位電流）である。図１６では図示していないが、スイッチ１６１ｄがクローズし、他のスイッチ１６１はオープン状態に制御される。

【０３７２】

ソース信号線１８ｓには８単位のプログラム電流が供給され、ゲート信号線１７ａ１が選択される。測定画素１６ｓの駆動用トランジスタ１１ａはソース信号線１８ｓに８単位のプログラム電流が定常的に流れるように動作する。定常の単位電流が流れることにより、また、定常の単位電流が流れるように、ソース信号線１８ｓの電位が変化する。

【０３７３】

ソース信号線１８ｓの電位が一定値に落ち着く、あるいは、一定値となることが推定される時間後に、電圧測定回路３８１を動作させて、ソース信号線１８ｓの電位を測定する。もちろん、電圧測定回路３８１はたえず、動作させておき、ソース信号線１８ｓの電位が安定した後、あるいは安定すると推定される時間経過後に測定してもよい。また、ソース信号線１８が変化している状態であっても、ソース信号線１８の定常電位が推測できる場合は、変化状態で測定してもよい。測定した電圧は、プリチャージ電圧Ｖｐ＝Ｖ２となる。電圧測定回路３８１は、ソース信号線１８ｓの電圧（プリチャージ電圧Ｖ２）を測定し、電圧階調回路２３１に保持する。

【０３７４】

同様の操作あるいは動作または駆動を、階調３２に対応するプリチャージ電圧ＶｐをＶ

３、階調１２８に対応するプリチャージ電圧ＶｐをＶ４、階調２５５に対応するプリチャージ電圧ＶｐをＶ５として実施する。

【０３７５】

以上の実施例では、プリチャージ電圧ＶｐはＶ０からＶ５まで順次測定するとしたが、この順序に限定するものではない、プリチャージ電圧Ｖ５からＶ０に順次測定してもよい。また、ランダムに測定してもよい。また、Ｖ０からＶ５のすべてを測定することに限定されるものではない。たとえば、Ｖ０、Ｖ３、Ｖ５を測定し、Ｖ１、Ｖ２、Ｖ４の電位は、Ｖ０、Ｖ３、Ｖ５の電圧値から計算により求めてもよい。また、ソース信号線１８ｓに一定の電圧（黒電圧あるいはリセット電圧）を印加し、ソース信号線１８ｓの電位を所定電位にしてから、各プリチャージ電圧Ｖｐに対応する単位電流をソース信号線１８ｓに印加してもよい。また、プリチャージ電圧Ｖ０～Ｖ５の測定は複数回行って平均化してもよい。また、プリチャージ電圧Ｖｐ＝Ｖ０のみを測定してもよい。Ｖ０は定電流Ｉｗ＝０（Ａ）であり、階調０に対応する。したがって、ガンマカーブの原点である。原点が測定あるいは把握できれば、他の階調（８ビットの場合は、１～２５５）は容易に発生できるからである。

【０３７６】

プリチャージ電圧Ｖ０を測定する時間を長くし、プリチャージ電圧Ｖ５を測定する時間を短くするなど、各プリチャージ電圧Ｖｐ測定に、設定する測定時間を可変してもよい。プリチャージ電圧Ｖ１などは、ソース信号線１８ｓに流れ込む電流（定電流Ｉｗ）が小さく、ソース信号線１８ｓの電位変化が遅いからである。

【０３７７】

一方、プリチャージ電圧Ｖ５などは、ソース信号線１８ｓに流れ込む電流（定電流Ｉｗ）が大きく、ソース信号線１８ｓの電位変化が速いからである。また、定電流Ｉｗはソースドライバ回路１４内で発生することに限定されるものではなく、ソースドライバ回路１４外に定電流発生回路を形成または配置し、定電流発生回路が出力する定電流Ｉｗを画素１６に直接にあるいはソースドライバ回路１４を介して供給してもよい。

【０３７８】

図３８に図示する本発明では、マトリックス状に配置された表示画素１６の駆動用トランジスタ１１ａの特性を反映する測定画素１６ｓの駆動用トランジスタ１１ａは、アレイ基板３０内に形成されている。つまり、測定画素１６ｓの駆動用トランジスタ１１ａはアレイ基板３０の表示画素１６のトランジスタの特性を反映している。

【０３７９】

この測定画素１６ｓの駆動用トランジスタ１１ａに、ソースドライバ回路（ＩＣ）１４からプログラム電流Ｉｗを供給し、プリチャージ電圧Ｖｐを測定する。したがって、プリチャージ電圧Ｖ０～Ｖ５はアレイ基板３０の画素１６の駆動用トランジスタ１１ａの特性を反映したものとなっている。また、温度依存に関しても、本発明の表示パネルを駆動している温度を反映したものとなっている。

【０３８０】

以上のように、本発明は、ソースドライバ回路１４から、精度のよいプログラム電流を発生させる。このプログラム電流が、実際に表示装置の画像表示するための階調に対応する電流である。したがって、全体としてソースドライバ回路（ＩＣ）１４の小型化、低コスト化を実現できる。また、測定画素１６ｓは、画素１６を形成するアレイ基板３０に作製あるいは形成する。測定画素１６ｓは画像を表示する画素１６と同時に形成する（同一プロセスあるいは工程）。また、同一のプログラム電流を画素１６と、測定画素１６ｓに印加したとき、ソース信号線１８とソース信号線１８ｓの電位は略同一になるようにする。

【０３８１】

画素１６の駆動用トランジスタ１１ａと測定画素１６ｓの駆動用トランジスタ１１ａとは、同一特性になるように構成あるいは形成する。同一特性にするには、基本的には、画素１６と画素１６ｓを同一構成あるいはレイアウトにすればよい。駆動用トランジスタ１

１ａのチャンネル幅Ｗ、チャンネル長Ｌに構成するのが最も簡単であり、好ましい。本発明では、測定用画素１６ｓの駆動用トランジスタ１１ａと、画素１６の駆動用トランジスタ１１ａとは、同一サイズ、形状に構成している。

【０３８２】

図３９は、アナログ－デジタル（Ａ／Ｄ）変換回路３９１を用いた構成である。電流階調回路１５４内のトランジスタ群１６５ｓ（図１６、図１８などで説明したトランジスタ群１６５ｃと同一の構成である）から、プログラム電流がソース信号線１８ｓに出力される。

【０３８３】

以上の実施例ではプログラム電流は吸い込み（シンク）電流であるが、本発明はこれに限定するものではない。画素１６の駆動用トランジスタ１１ａがＮチャンネルトランジスタなどの場合は、吐き出し（ソース）電流にする。この場合は、トランジスタ群１６５ｃを構成する単位トランジスタ１６４はＰチャンネルトランジスタで構成する。

【０３８４】

測定画素１６ｓの駆動用トランジスタ１１ａは、プログラム電流により動作し、ソース信号線１８ｓの電位が変化する。プログラム電流に対応するソース信号線１８の電位をＶｐとする。Ｖｐ電圧は電圧測定回路３８１により測定される。この電圧はＡ／Ｄ変換回路３９１でデジタルデータに変換され、メモリあるいは保持回路（ラッチ回路など）により蓄積または保持される。保持されたデータは電圧階調回路２３１に印加される。電圧階調回路２３１は、デジタル－アナログ（Ｄ／Ａ）変換してプリチャージ電圧Ｖｐとしてソース信号線１８に印加する。

【０３８５】

プリチャージ電圧Ｖｐは、ソース信号線１８に印加するとしたが、本発明はこれに限定するものではない。たとえば、画素１６の駆動用トランジスタ１１ａのゲート端子あるいはＥＬ素子１５の画素電極などにプローブ針を圧接し、このプローブ針にプリチャージ電圧Ｖｐを印加してもよい。

【０３８６】

ソース信号線１８に出力された測定プリチャージ電圧Ｖｐは、電圧測定回路３８１を介さず、直接にＡ／Ｄ変換回路３９１によりデジタルデータに変換してもよい。つまり、本発明では、電圧測定回路３８１を形成または配置し、この電圧測定回路３８１を使用あるいは動作させるとしたが、何らかの構成あるいは手段あるいは方法により、ソース信号線１８ｓあるいはソース信号線１８の電圧を取得できるものあればいずれの構成あるいは手段でもよい。たとえば、サンプルホールド回路により、プリチャージ電圧Ｖｐをサンプルホールドし一定の期間、保持してもよい。

【０３８７】

ソース信号線１８ｓにプログラム電流を流すトランジスタ群１６５ｓ、電圧測定回路３８１などは、ソースドライバ回路（ＩＣ）１４と分離し、別チップ（ＩＣ）としてもよい。この別チップ（ＩＣ）をアレイ基板３０にＣＯＧ技術で実装する。また、ＴＡＢ技術で実装してもよい。

【０３８８】

図３８の実施例では、測定画素１６ｓは１つの場合と図示した。しかし、本発明はこれに限定するものではない。たとえば、図４０に図示するように、複数の測定画素１６ｓ（１６ｓ１、１６ｓ２、１６ｓ３、１６ｓ４、・・・・・・・）を形成又は構成し、測定画素１６ｓをゲート信号線１７ａ（１７ａ１、１７ａ２、１７ａ３、１７ｓ４、・・・・・・・）で順次選択する。

【０３８９】

各測定画素１６ｓはそれぞれプリチャージ電圧Ｖ０～Ｖ５を測定する。複数の測定画素１６ｓで測定したプリチャージ電圧Ｖ０～Ｖ５をそれぞれ平均化し、平均値としてのＶ０～Ｖ５を求めることにより、精度のよいプリチャージ電圧Ｖｐを求めることができる。

【０３９０】

測定画素１６ｓ１はプリチャージ電圧Ｖ０を測定する画素とし、測定画素１６ｓ２はプリチャージ電圧Ｖ１を測定する画素とし、測定画素１６ｓ３はプリチャージ電圧Ｖ２を測定する画素とし、・・・・・・・・・、測定画素１６ｓ６はプリチャージ電圧Ｖ５を測定する画素とする、というように、各測定画素１６ｓが受け持つプリチャージ電圧Ｖｐを設定してもよい。

【０３９１】

各測定画素１６ｓが受け持つプリチャージ電圧Ｖｐは、一定の周期で変更してもよい。たとえば、１周期目は、測定画素１６ｓ１はプリチャージ電圧Ｖ０を測定する画素とし、測定画素１６ｓ２はプリチャージ電圧Ｖ１を測定する画素とし、測定画素１６ｓ３はプリチャージ電圧Ｖ２を測定する画素とし、・・・・・・・・・、測定画素１６ｓ６はプリチャージ電圧Ｖ５を測定する画素とする。

【０３９２】

２周期目は、測定画素１６ｓ１はプリチャージ電圧Ｖ５を測定する画素とし、測定画素１６ｓ２はプリチャージ電圧Ｖ４を測定する画素とし、測定画素１６ｓ３はプリチャージ電圧Ｖ３を測定する画素とし、・・・・・・・・・、測定画素１６ｓ６はプリチャージ電圧Ｖ０を測定する画素とする、というように制御する。

【０３９３】

周期は、１フレーム周期でもよいし、それ以上あるいはそれ以下でもよい。また、ゲート信号線１７ｂの走査と同期を取って、ゲート信号線１７ａを順次選択してもよい。つまり、１つのゲート信号線１７ａの選択期間は、１水平走査期間（１Ｈ）となる。

【０３９４】

図４１に図示するように、電圧測定回路３８１は測定信号に同期してプリチャージ電圧Ｖｐを測定する。図４１では、Ｈレベルの時にプリチャージ電圧Ｖｐを測定し、Ｌレベルの時には、プリチャージ電圧Ｖｐは測定しない。図４１では、上段は、トランジスタ群１６５ｓが出力する単位電流の大きさを示している。０は、すべての単位トランジスタ１６４が選択されていない状態である（階調０）。１は単位トランジスタ１６４が１個選択された状態である（階調１）。２は単位トランジスタ１６４が２個選択された状態である（階調２）。以下同様に、４は単位トランジスタ１６４が４個選択された状態（階調４）であり、・・・・・・・３２は単位トランジスタ１６４が３２個選択された状態である（階調３２）。

【０３９５】

図４１の実施例では、出力電流は、１、２、４、８、１６、・・・・・・・と２の乗数で変化させている。つまり、図１６において、スイッチ１６１ａ、１６１ｂ、１６１ｃ、１６１ｄ・・・・・・・と順次クローズしていく方式である。プリチャージ電圧Ｖｐの階調の２の乗数で測定し取得される。図４１の構成では、トランジスタ群１６５ｓの制御が容易であり、プリチャージ電圧Ｖｐの測定精度も高い。

【０３９６】

図３９のトランジスタ群１６５ｓからの出力電流により、測定用画素１６ｓの駆動用トランジスタ１１ａなどが動作して、ソース信号線１８ｓの電位が変化する。本発明の構成では、単位電流の大きさ（プログラム電流の大きさ）が大きくなるにつれてソース信号線１８ｓの電位は低下する。駆動用トランジスタ１１ａがＰチャンネルとして説明しているからである。

【０３９７】

プログラム電流の大きさが変化すると、ソース信号線１８ｓの電位は変化する。ソース信号線１８ｓには寄生容量があるため、目標電位まで変化するのに一定の期間が必要である。図４１ではこの期間は、測定信号はＬレベルであり、電圧測定回路３８１は動作しない。ソース信号線１８ｓの寄生容量を充放電し、目標電位まで変化すると、測定信号はＨレベルとなり、プリチャージ電圧Ｖｐ（ソース信号線１８ｓの電位）が測定される。以上の測定がソース信号線１８ｓに印加されるプログラム電流に対応して順次繰り返され、プリチャージ電圧Ｖｐが測定し保持される。

【０３９８】
図４１はプログラム電流を２の乗数倍で変化させ、プリチャージ電圧Ｖｐを測定するものである（取得するものである）。図４２は、図３７で説明したように、プリチャージ電圧Ｖ０、Ｖ１、Ｖ２、Ｖ３、Ｖ４、Ｖ５を測定（取得）する方法である。トランジスタ群１６５ｓから、プログラム電流、０、１、８、３２、１２８、２５５が順次ソース信号線１８ｓに印加される。このプログラム電流に対応して、ソース信号線１８ｓの電位が変化する。電圧測定回路３８１は変化後のソース信号線１８ｓの電位を測定する。
【０３９９】
プリチャージ電圧Ｖｐは、決められた階調に対応して測定あるいは取得するとしたが、本発明はこれに限定するものではない。すべての階調（たとえば、２５６階調の場合は、０階調目から２５５階調目）に対してプリチャージ電圧Ｖｐを測定（取得）してもよい。このプリチャージ電圧Ｖｐを階調信号として使用すれば、良好な電圧駆動を実現できる。
【０４００】
以上の実施例では、３つ以上のプリチャージ電圧Ｖｐを測定するものであった。しかし、最大階調の階調２５５（２５６階調の時）と、最低階調の階調０を測定し、この両者から中間のプリチャージ電圧Ｖｐを発生させてもよい。
【０４０１】
図４３の駆動方式によりプリチャージ電圧Ｖｐ＝Ｖ０、Ｖ２５５を測定する方式である。図４４は、図４３で測定されたプリチャージ電圧Ｖ０と、Ｖ２５５を用いる方式である。図４４において、切り換え回路（Ｖ０電圧をＶ２５５電圧の振り分け回路）４４１で、Ｖ０電圧を平均化回路４４３ａに入力する。また、測定したプリチャージ電圧Ｖｐを切り換え回路（Ｖ０電圧をＶ２５５電圧の振り分け回路）４４１で、Ｖ２５５電圧を平均化回路４４３ｂに入力する。平均化回路４４３ａは交互にあるいは連続して測定されたプリチャージ電圧Ｖ０、プリチャージ電圧Ｖ２５５を平均化し、安定したプリチャージ電圧Ｖ０、プリチャージ電圧Ｖ２５５とするものである。
【０４０２】
平均化回路４４３の出力はオペアンプ１５１に入力され、インピーダンスを低減して、電子ボリウム１５２に入力される。電子ボリウム１５２では、入力されたプリチャージ電圧Ｖｐ＝Ｖ０、Ｖ５５を抵抗Ｒで分圧し、階調に対応するプリチャージ電圧（Ｖ０～Ｖ２５５）を発生する。
【０４０３】
図４３に図示するように、トランジスタ群１６５ｓからの出力電流（０または２５５）により、駆動用トランジスタ１１ａなどが動作して、ソース信号線１８ｓの電位が変化する。プログラム電流の大きさが変化すると、ソース信号線１８ｓの電位は変化する。ソース信号線１８ｓには寄生容量があるため、目標電位まで変化するのに一定の期間が必要である。そのため、ソース信号線１８ｓの電位変化は曲線を描く。階調に対するプリチャージ電圧Ｖｐ（ソース信号線１８ｓの電位）と、階調２５５に対するプリチャージ電圧Ｖｐが、電圧測定回路３８１により測定される。以上の測定がソース信号線１８ｓに印加されるプログラム電流に対応して順次繰り返され、測定された、プリチャージ電圧Ｖ０とＶ２５５が図４４に図示する切り換え回路４４１に伝送（伝達）される。
【０４０４】
図４３は、プリチャージ電圧Ｖ０とＶ２５５の場合であった。本発明はこれに限定するものではない。図４５に図示するように、プリチャージ電圧Ｖ０～Ｖ５を順次、電圧測定回路３８１で測定し、順次、切り換え回路４４１に伝送する。切り換え回路４４１は受信したプリチャージ電圧Ｖ０～Ｖ５を平均化回路４４３に振り分ける。平均化回路４４３はそれぞれのプリチャージ電圧Ｖｐを平均化する。Ｖ０～Ｖ５電圧は、Ｖ０（Ａ）～Ｖ５（Ａ）として安定化され、電子ボリウム１５２などに印加される。
【０４０５】
図３７（ｂ）で説明したように、ＥＬ素子１５を有しない測定画素１６ｓを形成し、プリチャージ電圧Ｖｐを測定するとした。しかし、図４６に図示するように、駆動用トラン

ジスタ１１ａからなる測定画素１６ｓを形成し、この測定画素１６ｓを動作させてプリチャージ電圧Ｖｐを測定してもよい。図４６の測定画素１６ｓのゲート端子とドレイン端子は短絡して形成されている。ソース端子は画素１６の駆動用トランジスタと同様にアノード電圧Ｖｄｄに接続されている。

【０４０６】

測定画素１６ｓは、図４７に図示するように、アレイ基板３０の複数箇所の画素（１６ｓａ、１６ｓｂ、１６ｓｃ、１６ｓｄ）として形成することが好ましい。複数箇所に形成された測定画素１６ｓの駆動用トランジスタ１１ａを動作させてプリチャージ電圧Ｖｐを測定することが好ましい。アレイ基板３０内の各部分で作製された駆動用トランジスタ１１ａの特性バラツキがあるからである。複数箇所の測定画素１６ｓで測定されたプリチャージ電圧Ｖｐは平均化して、所望のプリチャージ電圧Ｖ０～Ｖ５を取得する。また、複数箇所に測定画素１６ｓを形成しておけば、そのうち１つの測定画素１６ｓが不良であっても、他の測定画素１６ｓからプリチャージ電圧Ｖ０～Ｖ５を取得することができる。

【０４０７】

図４８に図示するように、画像を表示するためのトランジスタ群１６５ｃと同様に、プリチャージ電圧Ｖｐを測定するためのトランジスタ群１６５ｓを形成してもよい。トランジスタ群１６５ｓの単位トランジスタ１６４数を選択して、測定画素１６ｓに印加する。

【０４０８】

図４８などのトランジスタ群１６５ｃ、１６５ｓの数字は、単位トランジスタ１６４の個数を示している。つまり、１は単位トランジスタ１６４が１個であり、２は単位トランジスタ１６４が２個であり、４は単位トランジスタ１６４が４個であり、８は単位トランジスタ１６４が８個・・・・・・・１２８は単位トランジスタ１６４が１２８個である。単位トランジスタ１６４の個数をスイッチ１６１で切り換え、各単位トランジスタ１６４の個数に対する（階調に対する）プリチャージ電圧Ｖｐを測定する。

【０４０９】

図４８などの構成では、ソース信号線１８にプログラム電流を出力するトランジスタ群１６５ｃと、ソース信号線１８ｓにプログラム電流を出力するトランジスタ群１６５ｓとは、同一の構成である（図１６、図２０などを参照のこと）。したがって、トランジスタ群１６５ｓとトランジスタ群１６５ｃの単位トランジスタが出力する単位電流は同一である。しかし、本発明はこれに限定するものではない。たとえば、図４９に図示するように、トランジスタ群１６５ｓとカレントミラー回路を構成するトランジスタ群またはトランジスタ１６７ｂに流れる基準電流を、トランジスタ群１６５ｃとは別に発生させてもよい。

【０４１０】

図４９の電子ボリウム１５２は、電圧Ｖを変化させる８ビットのＤＡＴＡにより制御される。ＤＡＴＡは、コントローラ（図示せず）で制御される。この電圧Ｖと抵抗Ｒ１によりトランジスタ１６７ｂに流れる基準電流Ｉｃを変更（可変）することができる。トランジスタ１６７ｂはトランジスタ群１６７ｂとカレントミラー回路を構成する。

【０４１１】

図５０の実施例では、ソースドライバ回路（ＩＣ）１４にスイッチＳ（Ｓ１、Ｓ２、Ｓ３、・・・・・・・）が形成されている。１つのスイッチＳが選択されることにより、選択されたスイッチＳに接続された出力端子８３のソース信号線１８の電位が、ソース信号線電位検出線５０１に印加される。

【０４１２】

図５０では、各出力端子８３に接続されたトランジスタ群１６５ｃからプログラム電流Ｉｗ＝Ｉ０（階調０に対応する。ただし、階調０ではプログラム電流Ｉｗ＝０とする）が出力される。各ソース信号線１８の電位は、プログラム電流Ｉ０に対応する電位に変化する。この状態でスイッチＳ０からＳｎ（ｎは出力端子８３の最大番号値）まで、順次クローズする。各ソース信号線１８の電位がソース信号線電位検出線５０１に印加され、この電圧はＶｓｄとして測定されてコントローラ回路（ＩＣ）８０１に伝送される。コントロ

ーラ回路（ＩＣ）８０１では、プログラム電流Ｉ０に対する各ソース信号線１８の電位は、Ｖｓｔ０電圧として、メモリ５０２に記憶される。このＶｓｔ０がプリチャージ電圧Ｖ０に該当する。

【０４１３】

ソース信号線１８の電位検出は、図５１に図示するように、第１画素行目あるは第１画素列などのように特定の画素行あるいは画素列を指定して検出してもよいことは言うまでもない。

【０４１４】

プリチャージ電圧Ｖ１に対しては、各出力端子８３に接続されたトランジスタ群１６５ｃからプログラム電流Ｉ１が出力される。すると、各ソース信号線１８の電位は、プログラム電流Ｉ１に対応する電位に変化する。この状態でスイッチＳ０からＳｎ（ｎは出力端子８３の最大番号値）まで、順次クローズし、各ソース信号線１８の電位がソース信号線電位検出線５０１に印加される。この電圧はＶｓｄ１として測定されてコントローラ回路（ＩＣ）８０１に伝送される。コントローラ回路（ＩＣ）８０１は、この電圧データをプログラム電流Ｉ１に対する各ソース信号線１８の電位Ｖｓｔ１として、メモリ（ＳＲＡＭ、ＥＥＰＲＯＭ）５０２に記憶させる。このＶｓｔ１がプリチャージ電圧Ｖｐ＝Ｖ１に該当する。

【０４１５】

プリチャージ電圧Ｖｐ＝Ｖ２に対しては、各出力端子８３に接続されたトランジスタ群１６５ｃからプログラム電流Ｉｗ＝Ｉ２が出力され、この状態でスイッチＳ０からＳｎ（ｎは出力端子８３の最大番号値）まで、順次クローズし、各ソース信号線１８の電位がソース信号線電位検出線５０１に印加され、この電圧はＶｓｄ２として測定されてコントローラ回路（ＩＣ）８０１に伝送される。以下同様である。

【０４１６】

以上のように測定されたプリチャージ電圧Ｖ０～Ｖ５は、プリチャージ電圧Ｖｐの設定値Ｖｓｔとして、また、必要に応じて、ソースドライバ回路（ＩＣ）１４に伝送され、電子ボリウム１５２などの設定値として使用される。

【０４１７】

以上のように構成すれば、プリチャージ電圧Ｖｐを測定するためのプログラム電流Ｉｗを、トランジスタ群１６５ｃと変化させることができる。したがって、より柔軟にかつ適正なプリチャージ電圧Ｖｐを測定することができる。

【０４１８】

プリチャージ電圧Ｖｐの測定回路は、図５２に図示するように、ソースドライバ回路（ＩＣ）１４と別回路またはＩＣとしてもよい。図５２では、電圧測定回路機能を有する電圧測定回路ＩＣ６２１をアレイ基板３０にＣＯＧ実装した実施例である。また、図５３は３つのソースドライバ回路（ＩＣ）１４に電圧測定回路３８１からの出力を印加した構成である。また、図５４は３つのソースドライバ回路（ＩＣ）１４にＡ／Ｄ変換回路３９１からのデジタル信号にされたプリチャージ電圧Ｖｐを印加した構成である。

【０４１９】

複数のソースドライバ回路（ＩＣ）１４を用いる場合は、各ソースドライバ回路（ＩＣ）１４内に電圧測定回路３８１を構成あるいは形成し、複数のソースドライバ回路（ＩＣ）１４のうち、１つの電圧測定回路３８１を動作させる。この電圧測定回路３８１からのプリチャージ電圧Ｖｐを他のソースドライバ回路（ＩＣ）１４に供給あるいは印加すればよい。図５５はこの構成の説明図である。３つのソースドライバ回路（ＩＣ）１４は、マスタースレーブ選択端子（Ｍ／Ｓ）により、マスターとスレーブ設定がロジック的に設定される。マスターモードの時は、Ｍ／Ｓ端子はロジックレベル１とされ、スレーブモードの時は、Ｍ／Ｓ端子はロジックレベル０と設定される。

【０４２０】

図５５ではソースドライバ回路（ＩＣ）１４ａがマスターモードに設定され、ソースドライバ回路（ＩＣ）１４ｂと１４ｃがスレーブモードに設定されている。マスターモード

では、ソースドライバ回路（ＩＣ）１４ａ内の電圧測定回路３８１が動作し、ソース信号線１８ｓの電位を測定してプリチャージ電圧Ｖ０～Ｖ５を出力する。出力されたプリチャージ電圧Ｖ０～Ｖ５はスレーブモードのソースドライバ回路（ＩＣ）１４（１４ｂ、１４ｃ）の電子ボリウム回路などに印加される。スレーブモードに設定されたソースドライバ回路（ＩＣ）１４（１４ｂ、１４ｃ）の電圧測定回路３８１は動作しないように構成されている。

【０４２１】

以上のように、ソースドライバ回路（ＩＣ）１４にマスターモードとスレーブモードが設定されるのは、プリチャージ電圧Ｖｐを測定するソース信号線１８ｓまたは測定画素１６ｓが表示画面３４以外の箇所に形成されるためである。したがって、測定用画素１６ｓは表示画面３４の端に構成されることになる。したがって、プリチャージ電圧Ｖｐを測定するソースドライバ回路（ＩＣ）１４は、表示画面３４の端に位置するものが選択されることになる（図５５ではソースドライバ回路（ＩＣ）１４ａが該当する）。この選択をＭ／Ｓ端子で設定する。マスターモードとはプリチャージ電圧Ｖｐを測定する動作あるいは機能をもたせたモードであり、スレーブモードとはプリチャージ電圧Ｖｐを測定あるいは持たせないモードである。

【０４２２】

表示画面３４の両端にソース信号線１８ｓ、測定画素１６ｓが形成できる場合は、図５７に図示するように、表示画面３４の両端に位置するソースドライバ回路（ＩＣ）１４（１４ａ、１４ｄ）をマスターモードに設定する。ソースドライバ回路（ＩＣ）１４ａが出力するプリチャージ電圧Ｖｐを選択するか、ソースドライバ回路（ＩＣ）１４ｄが出力するプリチャージ電圧Ｖｐを選択してスレーブモードのソースドライバ回路（ＩＣ）１４に印加するかは、スイッチＳａとＳｂにより行う。もちろん、スイッチＳａとＳｂの両方を選択し、プリチャージ電圧Ｖｐを測定してもよい。

【０４２３】

ソースドライバ回路（ＩＣ）１４ａをマスターモードにする時は、スイッチＳａをクローズし、ソースドライバ回路（ＩＣ）１４ｄをスレーブモードにして、スイッチＳｂをオープンにする。他のソースドライバ回路（ＩＣ）１４（１４ｂ、１４ｃ）はスレーブモードとして使用する。ソースドライバ回路（ＩＣ）１４ｄをマスターモードにする時は、スイッチＳｂをクローズし、ソースドライバ回路（ＩＣ）１４ａをスレーブモードにして、スイッチＳａをオープンにする。他のソースドライバ回路（ＩＣ）１４（１４ｂ、１４ｃ）は常時スレーブモードとして使用する。

【０４２４】

ソースドライバ回路（ＩＣ）１４ａを常時マスターモードにするか、もしくはソースドライバ回路（ＩＣ）１４ｄを常時マスターモードにするかを固定する方法も例示されるが、ソースドライバ回路（ＩＣ）１４ａとソースドライバ回路（ＩＣ）１４ｄを交互にマスターモードにして使用するほうが、プリチャージ電圧Ｖｐが平均化され、良好な結果が得られる。

【０４２５】

切り換えは、１フィールドあるいは１フレームなど周期的に行う。もちろん、１水平走査期間などの周期で切り換えてもよい。また、マスターモードにするソースドライバ回路（ＩＣ）１４は、２つ以上であってもよい。たとえば、４つであれば、４つのソースドライバ回路（ＩＣ）１４から１つのスイッチＳを制御してプリチャージ電圧Ｖｐを他のソースドライバ回路（ＩＣ）１４に印加すればよい。

【０４２６】

たとえば、第１フレームで、ソースドライバ回路（ＩＣ）１４ａをマスターモードにし、スイッチＳａをクローズし、ソースドライバ回路（ＩＣ）１４ｄをスレーブモードにし、スイッチＳｂをオープンにする。他のソースドライバ回路（ＩＣ）１４（１４ｂ、１４ｃ）はスレーブモードとして使用する。第１フレームの次の第２フレームでは、ソースドライバ回路（ＩＣ）１４ｄをマスターモードにし、スイッチＳｂをクローズし、ソースド

ライバ回路（ＩＣ）１４ａをスレーブモードにし、スイッチＳａをオープンにする。同様に、第２フレームの次の第３フレームでは、ソースドライバ回路（ＩＣ）１４ａをマスターモードにし、スイッチＳａをクローズし、ソースドライバ回路（ＩＣ）１４ｄをスレーブモードにし、スイッチＳｂをオープンにする。他のソースドライバ回路（ＩＣ）１４（１４ｂ、１４ｃ）はスレーブモードとして使用する。

【０４２７】

他の実施例として図５８に図示するように、２ビットのセレクタ信号（ＣＳ）で切り換える方式も例示される。図５８において、ＣＳ＝１の時は、チップ１４ａの左側のトランジスタ群１６５Ｓａが動作する。チップ１４ｃは、ＣＳ＝２であり、ＣＳ＝２の時は、チップ１４ｃの右側のトランジスタ群１６５Ｓａが動作する。チップ１４ｂは、ＣＳ＝０であり、ＣＳ＝０の時は、チップ１４ｂの両方のトランジスタ群１６５Ｓは選択されない。

【０４２８】

図５２の電圧測定回路（ＩＣ）５２１は、トランジスタ群１６５ｓを内部に構成または配置してもよい。また、Ａ／Ｄ変換回路３９１もソースドライバ回路１４の内部に構成または配置してもよい。電圧測定回路ＩＣ５２１が測定したプリチャージ電圧Ｖ０～Ｖ５は、アナログデータあるいはデジタルデータとして、ソースドライバ回路（ＩＣ）１４に供給（印加）される。ソースドライバ回路（ＩＣ）１４が複数ある場合は、複数のソースドライバ回路（ＩＣ）１４に共通に印加される。

【０４２９】

以上の実施例は、１つのトランジスタ群１６５ｓからのプログラム電流を１つの測定画素１６ｓに印加し、複数のプリチャージ電圧Ｖｐを取得する方式であった。本発明はこれに限定するものではない。図５９に図示するように、１つのトランジスタ群１６５ｓからのプログラム電流を複数の測定画素１６ｓに印加し、プリチャージ電圧Ｖｐを取得してもよい。

【０４３０】

図５９の構成では、トランジスタ群１６５ｓのプリチャージ電圧Ｖ０～Ｖ５に対応する単位トランジスタ１６４から構成されている。図５９において、トランジスタ群１６５ｓの’０’は、プリチャージ電圧Ｖ０を発生させる０個の単位トランジスタ（単位トランジスタ群０）を意味している。トランジスタ群１６５ｓの’１’は、プリチャージ電圧Ｖ１を発生させる１個の単位トランジスタ（単位トランジスタ群１）を意味している。同様に、トランジスタ群１６５ｓの’８’は、プリチャージ電圧Ｖ２を発生させる８個の単位トランジスタ（単位トランジスタ群８）を意味している。

【０４３１】

同様に、トランジスタ群１６５ｓの’３２’は、プリチャージ電圧Ｖ３を発生させる３２個の単位トランジスタの集合（単位トランジスタ群３２）を意味し、トランジスタ群１６５ｓの’１２８’は、プリチャージ電圧Ｖ４を発生させる１２８個の単位トランジスタの集合（単位トランジスタ群１２８）を意味し、トランジスタ群１６５ｓの’２５５’は、プリチャージ電圧Ｖ５を発生させる２５５個の単位トランジスタの集合（単位トランジスタ群２５５）を意味する。

【０４３２】

トランジスタ群１６５ｓ１はプログラム電流Ｉ１を出力する。トランジスタ群１６５ｓ８はプログラム電流Ｉ８を出力する。同様に、トランジスタ群１６５ｓ３２はプログラム電流Ｉ３２を出力し、トランジスタ群１６５ｓ１２８はプログラム電流Ｉ１２８を出力し、トランジスタ群１６５ｓ２５５はプログラム電流Ｉ２５５を出力する。

【０４３３】

単位トランジスタ群１６５ｓ０だけは特殊で、単位トランジスタは配置されていない。つまり、電流Ｉｗ＝０である。プリチャージ電圧Ｖ０を測定する電圧測定回路３８１ａがソース信号線１８ｓ０に接続されている。また、測定画素１６ｓ０が接続されている。測定画素１６ｓ０はプリチャージ電圧Ｖ０に対応する電圧をソース信号線１８ｓ０に設定し、電圧測定回路３８１ａはプリチャージ電圧Ｖ０を測定し出力する。

【０４３４】
単位トランジスタ群１６５ｓ１は、単位トランジスタが１個形成または配置されている。もしくは、階調１に該当するプログラム電流が出力できるように構成されている。単位トランジスタ群１６５ｓ１には、プリチャージ電圧Ｖ１を測定する電圧測定回路３８１ｂがソース信号線１８ｓ１に接続されている。また、測定画素１６ｓ１が接続されている。測定画素１６ｓ１は、階調１に対応するプログラム電流Ｉｗの印加により、プリチャージ電圧Ｖ１に対応する電圧をソース信号線１８ｓ１に設定あるいは調整あるいは動作し、電圧測定回路３８１ｂはプリチャージ電圧Ｖ１を測定し出力する。

【０４３５】
単位トランジスタ群１６５ｓ８は、単位トランジスタが８個形成または配置されている。もしくは、階調８に該当するプログラム電流Ｉｗが出力できるように構成されている。たとえば、単位トランジスタの８倍のチャンネル幅を有するトランジスタが１個形成されている。ただし、トランジスタ群１６５ｓもトランジスタ群１６５ｃと同様に同一の単位トランジスタ１６４の集合で構成するほうが、出力する定電流Ｉｗのバラツキが少なく有利である。

【０４３６】
単位トランジスタ群１６５ｓ８には、プリチャージ電圧Ｖ２を測定する電圧測定回路３８１ｃがソース信号線１８ｓ８に接続されている。また、測定画素１６ｓ２が接続されている。測定画素１６ｓ２は、階調８に対応するプログラム電流Ｉｗ＝Ｉ８の印加により、プリチャージ電圧Ｖ２に対応する電圧をソース信号線１８ｓ２に設定あるいは調整あるいは動作し、電圧測定回路３８１ｃはプリチャージ電圧Ｖ２を測定し出力する。

【０４３７】
同様に、単位トランジスタ群１６５ｓ３２には、プリチャージ電圧Ｖ３を測定する電圧測定回路３８１ｄがソース信号線１８ｓ３に接続されている。また、測定画素１６ｓ３が接続されている。測定画素１６ｓ３は、階調３２に対応するプログラム電流Ｉｗ＝Ｉ３２の印加により、プリチャージ電圧Ｖ３に対応する電圧をソース信号線１８ｓ３に設定あるいは調整あるいは動作し、電圧測定回路３８１ｄはプリチャージ電圧Ｖ３を測定し出力する。

【０４３８】
単位トランジスタ群１６５ｓ１２８には、プリチャージ電圧Ｖ４を測定する電圧測定回路３８１ｅがソース信号線１８ｓ４に接続されている。また、測定画素１６ｓ４が接続されている。測定画素１６ｓ４は、階調１２８に対応するプログラム電流Ｉｗ＝Ｉ１２８の印加により、プリチャージ電圧Ｖ４に対応する電圧をソース信号線１８ｓ４に設定あるいは調整あるいは動作し、電圧測定回路３８１ｅはプリチャージ電圧Ｖ４を測定し出力する。

【０４３９】
同様に、単位トランジスタ群１６５ｓ２５５には、プリチャージ電圧Ｖ５を測定する電圧測定回路３８１ｆがソース信号線１８ｓ５に接続されている。また、測定画素１６ｓ５が接続されている。測定画素１６ｓ５は、階調２５５に対応するプログラム電流Ｉｗ＝Ｉ２５５の印加により、プリチャージ電圧Ｖ５に対応する電圧をソース信号線１８ｓ５に設定あるいは調整あるいは動作し、電圧測定回路３８１ｆはプリチャージ電圧Ｖ５を測定し出力する。

【０４４０】
図５９は、プリチャージ電圧Ｖ０～Ｖ５の場合であったが、本発明はＶ０～Ｖ５に限定するものではない。図６０に図示するようにプリチャージ電圧Ｖ０～Ｖ８としてもよい。また、プリチャージ電圧ＶｐをＶ０～Ｖ２５５のいずれの電圧設定としてもよい。他の構成は、図５９と同様であるので説明を省略する。

【０４４１】
なお、本発明の第１の画素がマトリックス状に形成され、画像を表示する。本発明の第２の画素は、たとえば、図５９の画素１６ｓ０、１６ｓ１、１６ｓ８、１６ｓ３２、１６

ｓ１２８、１６ｓ２５５が該当する。また、図６０の画素１６ｓ０、１６ｓ１、１６ｓ２、１６ｓ４、１６ｓ８、１６ｓ１６、１６ｓ３２、１６ｓ６４、１６ｓ１２８も、本発明の第２の画素に該当する。また、図７３の１６Ｓも、本発明の第２の画素に該当する。なお、本発明の第２の画素は、図７５の画素１６Ｓのようにマトリックス状に配置してもよい。

【０４４２】

なお、本発明の第１の画素および第２の画素は、いずれも本発明の画素の一例にあたる。

【０４４３】

以上の実施例では、ソース信号線１８ｓおよび測定画素１６ｓを形成し、ソース信号線１８ｓにプログラム電流Ｉｗを印加して、ソース信号線１８ｓの電位を電圧測定回路３８１で測定するものであった。しかし、本発明はこれに限定するものではない。たとえば、表示画面３４に形成されたソース信号線１８および画素１６にプログラム電流Ｉｗを印加し、ソース信号線１８の電位を測定してプリチャージ電圧Ｖｐを取得してよい。

【０４４４】

この回路構成の実施例を図６１に示している。基本的な構成は、以前に説明した構成と同一であり、動作も同一である。単にソース信号線１８ｓをソース信号線１８に、測定画素１６ｓを画素１６に置き換えればよい。したがって、構成、動作は以前に説明した内容と同一あるいは類似であるため説明は省略する。つまり、別途測定画素１６ｓを形成することなく、マトリックス状に形成された表示画素１６を用いてプリチャージ電圧Ｖｐを測定あるいは取得する。

【０４４５】

図６１は、これらの構成に加えて、各ソース信号線１８から測定されるプリチャージ電圧ＶｐをスイッチＳ（Ｓａ、Ｓｂ、Ｓｃ、・・・・・・・・Ｓｎ）により選択する。たとえば、トランジスタ群１６５ｃ１からプリチャージ電圧Ｖｐを測定するためのプログラム電流を出力した場合は、スイッチＳａを選択し、電圧測定回路３８１に印加する。トランジスタ群１６５ｃ２からプリチャージ電圧Ｖｐを測定するためのプログラム電流を出力した場合は、スイッチＳｂを選択し、電圧測定回路３８１に印加する。

【０４４６】

もちろん、すべてのソース信号線１８あるいは、複数のソース信号線１８にプリチャージ電圧Ｖｐを測定するためのプログラム電流Ｉｗを印加した場合は、該当するソース信号線に接続されたスイッチＳを選択してあるいは、順次選択して電圧測定回路３８１に印加する。

【０４４７】

なお、プログラム電流Ｉｗの発生回路は、ソースドライバ回路１４外に構成または配置してもよい。このプログラム電流の発生回路が出力する定電流をソース信号線１８に印加する。また、定電流は一定値に限定するものではない。一定周期で変化させてもよいことは言うまでもない。また、パルス状に変化させてもよい。以上の事項は本発明の他の実施例にも適用される。

【０４４８】

図６１などにおいて、スイッチＳの選択は１つに限定されるものではない。複数のスイッチＳを同時に選択し、電圧測定回路３８１に印加してもよい。たとえば、すべてのトランジスタ群１６５ｃから階調１に対応するプログラム電流を出力し、ゲート信号線１７ａを選択して、階調１のプログラム電流を印加したソース信号線１８に接続された画素１６の駆動用トランジスタ１１ａを動作させる。

【０４４９】

各画素１６の駆動用トランジスタ１１ａは各ソース信号線１８に階調１に対応するプログラム電流を出力する。このとき、階調１のプログラム電流を印加したソース信号線１８に接続されたスイッチをクローズする。すると、各ソース信号線は電圧配線６１１で短絡される。したがって、各ソース信号線１８の電位は同一電圧になる。この同一電圧となっ

た電圧Ｖ１は、各ソース信号線１８の階調１のプリチャージ電圧Ｖｐを平均化した値となる。したがって、電圧配線６１１のプリチャージ電圧Ｖ１を電圧測定回路３８１１で測定すれば、良好なプリチャージ電圧Ｖ１を取得することができる。他の階調のプリチャージ電圧Ｖｐの測定にあっても同様である。

【０４５０】

以上の実施例では、すべてのソース信号線１８に階調に対応するプログラム電流Ｉｗ（Ｉｗ＝０（Ａ）も含む）を印加し、すべてのスイッチＳをクローズさせてプリチャージ電圧Ｖｐを取得するとしたが、これに限定するものではない。任意の複数のソース信号線１８に階調に対応するプログラム電流を印加し、前記選択した任意のスイッチＳをクローズさせてプリチャージ電圧Ｖｐを取得してもよいことは言うまでもない。たとえば、偶数番目に位置するソース信号線１８のスイッチをクローズさせ、電圧Ｖｐを測定し、次のタイミングでは、奇数番目に位置するソース信号線１８のスイッチをクローズさせ、電圧Ｖｐを測定する方式が例示される。その他、２つまたは４つのスイッチを順次選択し、プリチャージ電圧Ｖｐを順次測定する方式が例示される。

【０４５１】

すべてのソース信号線１８に同一の階調に対応するプログラム電流を印加する必要はない。たとえば、奇数番目に位置するトランジスタ群１６５には、階調１に対応するプログラム電流を印加し、偶数番目に位置するトランジスタ群１６５には、階調３２に対応するプログラム電流を印加し、奇数番目に位置するソース信号線１８に接続されたスイッチをクローズして、階調１に対応するプリチャージ電圧Ｖ１を測定し、偶数番目に位置するソース信号線１８に接続されたスイッチをクローズして、階調３２に対応するプリチャージ電圧Ｖ３を測定するとしてもよい。

【０４５２】

ソース信号線１８の選択数と、選択するスイッチの個数とが一致している必要はない。プログラム電流を印加するソース信号線１８が３２本であっても、そのうち、１６本のソース信号線１８に接続されたスイッチを選択してクローズ動作させてもよい。また、スイッチＳをクローズする前に、あらかじめソース信号線１８に定電流Ｉｗを印加しておくことは、プリチャージ電圧Ｖｐを測定する時間を短縮するのに効果がある。

【０４５３】

各ソース信号線１８に印加する階調に対応するプログラム電流は、順次変化させ、順次プリチャージ電圧Ｖｐを測定していってもよいことは言うまでもない。また、１つのソース信号線１８を固定して特定の階調のプリチャージ電圧Ｖｐを測定するよりは、周期的に変化させて各プリチャージ電圧Ｖｐを測定するように構成あるいは動作させることが好ましい。

【０４５４】

測定するプリチャージ電圧Ｖｐは、階調ごとに測定期間あるいはウエイト期間（測定までの待ち時間）を異ならせることが好ましい。ウエイト時間はコントローラ回路（ＩＣ）８０１からの指示により可変できるプログラム機能を持たせる。ウエイト時間を異ならせるのは、たとえば、Ｖ１電圧はプログラム電流が小さいためソース信号線１８の電位変化が完了するのに時間を必要とするからである。階調２５５に対応するＶ５電圧は、プログラム電流が大きいためソース信号線１８の電位変化は短時間で完了するので、ウエイト時間はほとんど必要ない。また、電圧測定回路３８１などを複数形成することにより、プリチャージ電圧Ｖｐの測定を同時に複数行うことができる。したがって、プリチャージ電圧Ｖｐの測定時間（期間）を短縮できる。

【０４５５】

図６１の実施例では、表示画面３４の画素１６を用いて、プリチャージ電圧Ｖｐを測定する。したがって、画像表示させている期間には、プリチャージ電圧Ｖｐを測定できない。ただし、表示画像の階調のプログラム電流が、プリチャージ電圧Ｖｐを取得するためのプログラム電流と一致している時は、プリチャージ電圧Ｖｐを取得できることは言うまでもない。

【０４５６】
基本的は、プリチャージ電圧Ｖｐの取得は、図６２に図示するように、１フィールドまたは１フレームのブランキング期間あるいは、１水平走査期間のブランキング期間に実施する。ブランキング期間に、プリチャージ電圧Ｖｐに該当するプログラム電流をソース信号線１８に印加し、電圧測定回路３８１でプリチャージ電圧Ｖｐを測定する。
【０４５７】
図６３に図示するように、画像表示を行う前、つまり、表示装置の電源をオン（ｐｏｗｅｒ　ＯＮ）し、画像表示を行うまえに、リチャージ電圧に該当するプログラム電流をソース信号線１８に印加し、電圧測定回路３８１でプリチャージ電圧Ｖｐを測定してもよい。
【０４５８】
さらには、一度あるいは前回の動作時に測定した、プリチャージ電圧Ｖｐはデジタル化して表示装置のメモリに格納し、次回からはこの格納したデジタルデータを初期電圧（開始電圧）としてプリチャージ電圧Ｖｐを発生させてもよい。また、前記プリチャージ電圧Ｖｐに対応するデジタルデータから対応する定電流Ｉｗを計算し、あるいは求め、ソース信号線１８に印加してもよい。
【０４５９】
図６３の実施例では、画像表示を行う前に、プリチャージ電圧Ｖｐを測定するとしたが、これに限定するものではない。たとえば、表示装置の電源をオフする前に、プリチャージ電圧Ｖｐを測定し、測定したデータをフラシュメモリに書き込んで保持してもよい。つまり、本発明はプリチャージ電圧Ｖｐの測定は、何らかのタイミングにおいて測定し、測定したプリチャージ電圧Ｖｐを使用するものであればいずれでもよい。
【０４６０】
本発明の実施例において、電圧測定回路３８１は、ソース信号線１８の電圧を測定するとした。しかし、本発明はこれに限定するものではない。ソース信号線１８に限定されず、擬似的にソース信号線１８のように電位変化を発生できるものであればいずれのものでもよい。たとえば、別途形成した配線でもよい。また、測定画素１６ｓの駆動用トランジスタ１１ａのゲート端子と電圧測定回路３８１とを直接結線するように構成してもよい。また、画素１６の駆動用トランジスタ１１ａのゲート端子にプローブ針を圧接し、電位（電圧）を測定してもよい。
【０４６１】
電圧測定回路３８１の機能は、ソース信号線１８などの電位（電圧）を測定することに限定するものではなく、ソース信号線１８の電荷、あるいは電界からプリチャージ電圧Ｖｐを求めるものであってもよい。あるいは、これらの変化速度からプリチャージ電圧Ｖｐを求めるものであってもよい。たとえば、ピックアップコイルを画素１６上に配置し、画素１６から放射される電気力線の大きさからプリチャージ電圧Ｖｐを間接的に取得してもよい。その他、画素１６に電子ビームを照射し、電荷などの大きさを測定する方式も例示される。
【０４６２】
以上の実施例では、１つの測定画素１６ｓにプログラム電流を印加し、ソース信号線１８の電位を電圧測定回路３８１で測定するものであった。本発明はこれに限定するものでなない。たとえば、図６４に図示するように、複数の画素１６（１６ａ～１６ｎ）を動作させ、各ソース信号線１８の電圧を電圧測定回路３８１で測定させてもよい。
【０４６３】
図６４では、表示画素１６に各トランジスタ群１６５ｃからプログラム電流を印加し、また、表示画素１６の駆動用トランジスタ１１ａを動作させる。たとえば、トランジスタ群１６５ｃａは、画素１６ａに所定の測定すべきプリチャージ電圧Ｖｐに対応するプログラム電流を印加する。画素１６ａの駆動用トランジスタ１１ａはプログラム電流を流し、ソース信号線１８ａの電位はプログラム電流に該当する電圧に変化する。
【０４６４】

トランジスタ群１６５ｃｂは、画素１６ｂに所定の測定すべきプリチャージ電圧Ｖｐに対応するプログラム電流を印加する。画素１６ｂの駆動用トランジスタ１１ａはプログラム電流を流し、ソース信号線１８ｂはプログラム電流に該当する電圧に充電または放電される。以下、同様に、トランジスタ群１６５ｃｃは、画素１６ｃに所定の測定すべきプリチャージ電圧Ｖｐに対応するプログラム電流を印加する。画素１６ｃの駆動用トランジスタ１１ａはプログラム電流を流し、ソース信号線１８ｃはプログラム電流に該当する電圧に充電または放電される。

【０４６５】

電圧測定回路３８１は、スイッチＳａをクローズすることにより、ソース信号線１８ａに保持されたプリチャージ電圧Ｖｐを測定する。また、スイッチＳｂをクローズすることにより、ソース信号線１８ｂに保持されたプリチャージ電圧Ｖｐを測定する。以下、同様に、スイッチＳｃをクローズすることにより、ソース信号線１８ｃに保持されたプリチャージ電圧Ｖｐを測定する。

【０４６６】

また、電圧測定回路３８１は、同時に複数のスイッチＳ（Ｓａ～Ｓｎ）のいずれかを選択する。複数のスイッチＳを選択することにより、選択された複数のソース信号線１８に保持されたプリチャージ電圧Ｖｐが平均化し、表示領域の駆動用トランジスタ１１ａの特性を反映したプリチャージ電圧Ｖｐを測定できるようになる。

【０４６７】

以上のように、本発明は、複数の画素１６を選択し、各ソース信号線１８に保持されたプリチャージ電圧Ｖｐを測定してもよい。また、複数のソース信号線１８を選択してプリチャージ電圧Ｖｐを測定してもよい。また、１つあるいは複数の画素１６にｎ倍（ｎは１以上の整数）のプログラム電流を印加し、前記画素１６の駆動用トランジスタ１１ａを動作させて、ソース信号線１８を充放電させ、このソース信号線１８の電位を測定してもよい。測定したソース信号線１８の電位は、演算処理などによりプリチャージ電圧Ｖｐを取得する。

【０４６８】

ソースドライバ回路１４の内部配線１６２は、出力端子８３を介してソース信号線１８と接続されている。本発明は、ソース信号線１８の電位あるいはソースドライバ回路１４の内部配線１６２の電位を測定することにより、プリチャージ電圧Ｖｐを取得する。しかし、電圧測定回路３８１で測定された（取得された）プリチャージ電圧Ｖｐはそのままプリチャージ電圧Ｖｐとして、使用できない場合がある。たとえば、０階調あるいは１階調に該当するプリチャージ電圧Ｖｐは、完全な黒表示を実現するため、トランジスタ群１６５から０階調または１階調に該当するプログラム電流を印加して取得したプリチャージ電圧Ｖｐよりもアノード側に寄せる（アノード電圧に近い方にシフトさせる）必要がある。この例は、駆動用トランジスタ１１ａがＰチャンネルトランジスタの場合で、前記トランジスタのソース端子がアノード端子に接続されている場合である。

【０４６９】

以上の課題を解決する方式を図６５に図示している。電圧測定回路３８１で測定されたプリチャージ電圧Ｖｐは、Ａ／Ｄ変換回路３９１でデジタルデータＭＤＡＴＡに変換される。一方、どの程度アノード電圧側に電位シフトさせるかの大きさを示すデータＨＤＡＴＡは、ラッチ回路２２１に保持されている。ＨＤＡＴＡは、ソースドライバ回路１４の外部のコントローラ回路（ＩＣ）８０１により設定される。

【０４７０】

演算回路６５１はＨＤＡＴＡとＭＤＡＴＡとを加算し、目標のＶＤＡＴＡが得られる。ＶＤＡＴＡがＤ／Ａ変換されて、アナログデータとなりプリチャージ電圧Ｖｐとして出力される。あるいは電子ボリウム１５２に入力される。なお、ＨＤＡＴＡとＭＤＡＴＡとを加算するとしたが、場合によっては減算により、ＶＤＡＴＡを求める場合もある。また、ＨＤＡＴＡあるいはＭＤＡＴＡに一定の割合で重み付け処理をしてＶＤＡＴＡを求めてもよいことは言うまでもない。以上の事項は本発明の他の実施例にも適用されることはいう

までもない。

【０４７１】

以上の場合は、測定データなどをデジタル信号処理する方法である。しかし、本発明はこれに限定するものではない。図６６に図示するようにアナログ的に処理を実施してもよい。電圧測定回路３８１で測定されたプリチャージ電圧Ｖｐは、アナログデータＭＤＡＴＡとして演算回路６５１に印加される。一方、どの程度アノード電圧側に電位シフトするかを示すデータＨＤＡＴＡは、可変抵抗ＶＲで発生される。この場合、ＨＤＡＴＡはアナログ値である。演算回路６５１はＨＤＡＴＡとＭＤＡＴＡとを加算し、目標のＶＤＡＴＡが得られる。ＶＤＡＴＡがＤＡ変換されて、アナログデータとなり、電子ボリウム１５２などに印加される。

【０４７２】

図６５、図６６などのＨＤＡＴＡ、ＶＤＡＴＡは温度により可変してもよい。また、パネルの表示輝度に応じて変化させてもよい。温度は温度センサで検出し、表示輝度は、アノードに流れる電流により間接的に検出あるいは取得する。もちろん、表示輝度は輝度計あるいはホトセンサで測定してもよい。温度センサとして、サーミスタが例示される。

【０４７３】

プリチャージ電圧Ｖ０～Ｖ５は、対応するプログラム電流Ｉｗを、画素１６に印加することにより取得する。図６７では、トランジスタ群１６５ｃｂよりプログラム電流Ｉｗを出力し、画素１６が動作する。電圧Ｖ０の測定は、ソース信号線１８にはプログラム電流は流さない。つまり、ソース信号線１８はフローティング状態である。選択された画素１６の駆動用トランジスタ１１ａのゲート端子とドレイン端子は短絡される。短絡によりトランジスタ１１ａは電流を出力しないようにゲート端子電位を変化させる。変化が終了した電位がＶ０電圧となる。電圧測定回路３８１は電圧Ｖ０を測定し出力し、出力された電圧は、Ａ／Ｄ変換などされてメモリ（記憶手段）に格納される。

【０４７４】

トランジスタ群１６５ｃｂは、電圧Ｖ１に相当するプログラム電流を出力し、電圧測定回路３８１は電圧Ｖ１を測定し出力する。同様に、トランジスタ群１６５ｃｂは、電圧Ｖ２に相当するプログラム電流を出力し、電圧測定回路３８１は電圧Ｖ２を測定し出力する。以上の動作をＶ５まで繰り返し、Ｖ５まで実施すると、再びＶ０の測定動作（取得動作）より実施する。

【０４７５】

図６７は、電圧測定回路３８１は出力端子８３ａと接続されている。トランジスタ群１６５ｃｂは出力端子８３ｂと接続されている。出力端子８３ａはアレイ基板３０のソース信号線端子２４２ａと接触し、電気的接続が取られている。出力端子８３ｂはアレイ基板３０のソース信号線端子２４２ｂと接触し、電気的接続が取られている。

【０４７６】

図４８などでは、電圧測定回路３８１の端子とトランジスタ群１６５の出力端子８３ｓは共通である。図６７ではトランジスタ群１６５ｃの出力端子８３ｂと、電圧測定回路３８１の出力端子８３ａは分離されている。図６７のように構成すれば、端子数は増加するが、電圧測定回路３８１とトランジスタ群１６５ｃとを分離して検査を行うことができる。

【０４７７】

以上の実施例は、電圧測定回路３８１でソース信号線１８の電位を測定するものであった。電圧測定回路３８１の概念あるいは動作さらにメモリへの記憶動作には、図６８で図示するように、サンプルホールド回路も含まれる。一例としてのサンプルホールド回路は、スイッチＳ１、Ｓ２、コンデンサＣ、オペアンプ１５１で構成されている。

【０４７８】

図６８に図示するように、トランジスタ群１６５ｃから出力されたプログラム電流Ｉｗは、ソースドライバ回路１４の内部配線１６２、出力端子８３を通じてソース信号線１８に印加され、画素１６に供給される。ソース信号線１８にプログラム電流Ｉｗに対応した

プリチャージ電圧Ｖｐが出力され、プリチャージ電圧Ｖｐは内部配線１６２に印加させる。

【０４７９】

スイッチＳ２が閉じることによりプリチャージ電圧Ｖｐはコンデンサ Ｃに印加され、その後、スイッチＳ２が閉じてもプリチャージ電圧Ｖｐは保持される。プリチャージ電圧Ｖｐはオペアンプ１５１により低インピーダンス化されて出力される。スイッチＳ１が閉じることによりプリチャージ電圧ＶｐはＣｎに保持される。保持されたプリチャージ電圧Ｖｐは電子ボリウム１５２などに印加される。以上のような構成あるいは方式も電圧測定回路３８１である。また、図６８の構成は、プリチャージ電圧Ｖｐを保持するメモリ回路も共用している。したがって、低コスト化が可能である。

【０４８０】

以上の構成は、トランジスタ群１６５ｓなどを半導体チップとして構成したものである。しかし、図６９に図示するように、トランジスタ群１６５ｃ、電圧測定回路３８１の双方あるいはいずれかをアレイ基板３０に直接に構成あるいは形成してもよい。また、図６９に図示するように画素１６あるいは測定画素１６ｓの駆動用トランジスタ１１ａはＰチャンネルトランジスタではなく、Ｎチャンネルトランジスタであってもよい。

【０４８１】

図６９に図示するように、トランジスタ群１６５ｃから出力されたプログラム電流Ｉｗにより駆動用トランジスタ１１ａが動作する。ソース信号線１８はプリチャージ電圧Ｖｐに相当する電圧が出力され（プログラム電流Ｉｗによりソース信号線１８に印加されていると考えることもできる）、この電圧がアレイ基板３０に形成された電圧測定回路３８１により測定される。もちろん、トランジスタ群１６５ｃをアレイ基板３０に直接形成し、電圧測定回路３８１を半導体チップとして構成してもよい。

【０４８２】

表示パネルでは、各ＲＧＢで独立したトランジスタ群１６５ｃを形成する。階調０に対応するプリチャージ電圧Ｖｐ＝Ｖ０は、ＲＧＢで共通にできる。Ｖ１～Ｖｎは別のプリチャージ電圧Ｖｐに設定する。ＲＧＢでプログラム電流Ｉｗに対する発光効率が異なるからである。もちろん、ＲＧＢのプログラム電流が同一の時あるいは略一致する場合であれば、ＲＧＢで各階調に対するプリチャージ電圧Ｖｐは共通としてもよい。

【０４８３】

ＲＧＢでプリチャージ電圧Ｖｐを異ならせる場合は、図７０のように構成する。トランジスタ群１６５ｃ（１６５ｃＲ、１６５ｃＧ、１６５ｃＢ）はスイッチＳａ（ＳａＲ、ＳａＧ、ＳａＢ）により選択させて、ソースドライバ回路１４の内部配線１６２に接続される。スイッチＳａ、Ｓｂはアナログスイッチやトランジスタが例示される。スイッチＳａ、Ｓｂは選択手段である。内部配線１６２は出力端子８３により測定画素１６Ｓに接続されている。したがって、スイッチＳａ（ＳａＲ、ＳａＧ、ＳａＢ）によりトランジスタ群１６５ｃ（１６５ｃＲ、１６５ｃＧ、１６５ｃＢ）が選択されて、各トランジスタ群１６５ｃからのプログラム電流Ｉが電圧測定画素１６Ｓ（または画素１６）に印加される。

【０４８４】

トランジスタ群１６５ｃＲからのプログラム電流はスイッチＳａＲがクローズすることにより、測定画素１６Ｓに印加される。スイッチＳａＲがクローズする時は、スイッチＳｂＲがクローズし、ソース信号線１８の電位がＲの電圧測定回路３８１Ｒに印加され、電圧測定回路３８１ＲはプリチャージＶ０Ｒ～ＶｍＲ（ｍはプリチャージ電圧Ｖｐの最大番号値）を測定あるいは取得する。

【０４８５】

トランジスタ群１６５ｃＧからのプログラム電流はスイッチＳａＧがクローズすることにより、測定画素１６Ｓに印加される。スイッチＳａＧがクローズする時は、スイッチＳｂＧがクローズし、ソース信号線１８の電位がＧの電圧測定回路３８１Ｇに印加され、電圧測定回路３８１ＧはプリチャージＶ０Ｇ～ＶｍＧを測定あるいは取得する。

【０４８６】

トランジスタ群１６５ｃＢからのプログラム電流はスイッチＳａＢがクローズすることにより、測定画素１６Ｓに印加される。スイッチＳａＢがクローズする時は、スイッチＳｂＢがクローズし、ソース信号線１８の電位がＢの電圧測定回路３８１Ｂに印加され、電圧測定回路３８１Ｂはプリチャージ電圧Ｖ０Ｂ～ＶｍＢを測定あるいは取得する。

【０４８７】

電圧測定回路３８１Ｒ、３８１Ｇ、３８１Ｂは、共通にして、１つの電圧測定回路３８１で兼用してもよい。また、内部配線１６２、測定画素１６ＳもＲＧＢごとに分離してもよい。また、図７１に図示するように、スイッチＳｂを形成しなくともよい。

【０４８８】

図７２は、ＲＧＢでプリチャージ電圧Ｖｐを異ならせた場合の構成図である。電子ボリウム１５２にはデジタル化されたプリチャージ電圧Ｖｐが印加される。電子ボリウム１５２Ｒには、プリチャージ電圧Ｖ０Ｒ～Ｖ５Ｒが印加される。電子ボリウム１５２Ｇには、プリチャージ電圧Ｖ０Ｇ～Ｖ５Ｇが印加される。電子ボリウム１５２Ｂには、プリチャージ電圧Ｖ０Ｂ～Ｖ５Ｂが印加される。

【０４８９】

トランジスタ群１６５ｓあるいはトランジスタ群１６５ｃから出力するプログラム電流Ｉはｎ倍にして出力してもよい。ｎ倍にすることは図６などで説明している。ｎ倍のプログラム電流を印加し、プリチャージ電圧Ｖｐを取得する場合は、図７３に図示するように、測定画素１６ｓも駆動用トランジスタ１１ａをｎ個形成する。もしくは、ｎ倍のプログラム電流で、既定のプリチャージ電圧Ｖｐ（画素１６が１つの駆動用トランジスタ１１ａで構成されている場合に取得されるプリチャージ電圧Ｖｐ）が得られるように構成または形成する。もしくはプログラム電流の大きさを設定あるいは調整する。

【０４９０】

図７３に図示するように、プリチャージ電圧Ｖｐを測定するための画素１６ｓをｎ個の駆動用トランジスタ１１ａで構成することにより、駆動用トランジスタ１１ａの特性バラツキによるプリチャージ電圧Ｖｐのバラツキを低減することができる。つまり、プリチャージ電圧Ｖｐの精度を向上できる。

【０４９１】

図７３において、トランジスタ群１６５ｓから出力されたプログラム電流は、ソースドライバ回路１４の内部配線１６２、出力端子８３を通じてソース信号線１８に印加され、画素１６ｓあるいは画素１６に供給（印加）される。画素１６ｓのｎ個の駆動用トランジスタ１１ａからソース信号線１８にプログラム電流ｎＩに対応したプリチャージ電圧Ｖｐが出力され、プリチャージ電圧Ｖｐは内部配線１６２に印加される。図７３ではｎ＝４とし、画素１６ｓには４つの駆動用トランジスタ１１ａを形成している。

【０４９２】

図７３では、４×Ｉ＝４Ｉのプログラム電流が印加され、４個の駆動用トランジスタ１１ａが動作する。したがって、個々の駆動用トランジスタ１１ａはＩの大きさのプログラム電流を流すことになる。トランジスタ群１６５ｃからは４Ｉのプログラム電流を出力するが、１つの駆動用トランジスタ１１ａはＩのプログラム電流を流すことになる。結局、画素１６が１個の駆動用トランジスタ１１ａで構成されている場合に、トランジスタ群１６５ｃからＩのプログラム電流を流し、画素１６の駆動用トランジスタ１１ａがＩの電流を流す場合と同一になる。しかし、画素１１ｓには駆動用トランジスタ１１ａが複数形成されているため、多少駆動用トランジスタ１１ａにバラツキが発生していても、精度のよいプリチャージ電圧Ｖｐを取得することができる。他の構成あるいは動作は、本発明の他の実施例と同様であるので説明を省略する。

【０４９３】

本発明は測定画素１６ｓまたは画素１６を用いてプリチャージ電圧Ｖｐを取得する方式である。しかし、課題はプリチャージ電圧Ｖｐを取得する画素１６などに欠陥が発生している場合である。欠陥が発生した画素は正常なプリチャージ電圧Ｖｐを出力しない。またはプリチャージ電圧Ｖｐを取得することができない。また、プリチャージ電圧Ｖｐを取得

する駆動用トランジスタ１１ａの特性が異常の場合も問題となる。

【０４９４】

本発明はこの課題に対して、プリチャージ電圧Ｖｐを取得する画素１６ｓを複数個形成し、この複数個の画素１６ｓから正常な画素を選択することにより解決している。図７４はその説明図である。図７４において、プリチャージ電圧Ｖｐを取得する測定画素１６ｓが４個形成されている。どの測定画素１６ｓを選択するかは、スイッチＳ（Ｓ１～Ｓ４）により決定される。図７４では、スイッチＳ１がクローズされ、他のスイッチＳ２～Ｓ４をオープンにすることにより、測定画素１６ｓ１が選択される。したがって、トランジスタ群１６５ｃからのプログラム電流は測定画素１６ｓ１に印加される。

【０４９５】

どの測定画素１６ｓを選択するかは、事前に複数の画素１６ｓの特性を測定し選択あるいは設定しておく。選択あるいは設定した情報はスイッチＳ（Ｓ１～Ｓ４）のクローズ情報として不揮発性のメモリに保持する。また、デフォルトで選択するスイッチＳ（Ｓ１、Ｓ２、Ｓ３、Ｓ４）を決めておく。

【０４９６】

図７３のように、ｎ個のスイッチＳをクローズさせ、ｎ倍のプログラム電流を印加してもよいことは言うまでもない。また、複数の測定画素１６ｓが正常の場合は、正常な測定画素１６ｓが接続されたスイッチＳを順次切り換えてプリチャージ電圧Ｖｐを取得してもよい。

【０４９７】

測定画素１６ｓは図７５に図示するようにマトリックス状に形成してもよい。また、１画素列あるいは１画素行として複数個の測定画素１６ｓを形成してもよい。図７５は４画素行、６画素列のマトリックス状に測定画素１６ｓを形成した場合を示している。

【０４９８】

マトリックス状に形成された測定画素１６ｓの構成は、表示画面３４の構成と同様である。測定画素１６ｓの画素行方向には、ゲートドライバ回路１２ｓが接続または形成され、測定画素１６ｓの画素列方向には、ソースドライバ回路（ＩＣ）１４のトランジスタ群１６５ｓが接続または形成されている。どの測定画素１６ｓを選択するかは、選択するソース信号線１８とゲートドライバ１２ｓの制御により決定される。また、どのソース信号線１８のプリチャージ電圧Ｖｐを測定するかは、電圧測定回路３８１の制御により決定される。

【０４９９】

ゲートドライバ回路１２ｓがどの測定画素行を選択するかは、ゲートドライバ回路１２のＳＴ１、ＣＬＫ１（図３も参照のこと）の制御と同様に、ＳＴ３とＣＬＫ３により実施される。ゲートドライバ回路１２ｓはゲート信号線１７ｓ（ゲート信号線１７ａと同様の機能を有する）を順次選択し、選択した画素行の駆動用トランジスタ１１ａを動作させる。

【０５００】

ゲートドライバ回路１２ｓはあらかじめ指定（決定）されたゲート信号線１７ｓ（ゲート信号線１７ａと同様の機能を有する）を選択し、選択した画素行の駆動用トランジスタ１１ａを動作させる。この場合はどの測定画素行を選択し、また、どの測定画素を選択するかは、事前に複数の画素１６ｓの特性を測定し選択しておく。選択した情報は不揮発性のメモリに保持する。また、デフォルトで測定画素行あるいは測定画素１６ｓを決めておく。また、ソースドライバ回路（ＩＣ）１４の制御により、測定画素行にプログラム電流Ｉｗを印加する。

【０５０１】

図７３と同様に、ｎ個の測定画素１６ｓを選択し、ｎ倍のプログラム電流を印加してもよいことは言うまでもない。また、ゲートドライバ１２ｓを走査し、プリチャージ電圧Ｖｐを測定する測定画素１６ｓを順次切り換えてプリチャージ電圧Ｖｐを取得してもよい。

【０５０２】

図７５において、ゲートドライバ回路１２ｓとゲートドライバ１２は別回路のように図示したが、これに限定するものではなく、１つの回路として構成してもよい。この１つのゲートドライバ回路の走査により、たとえば、１Ｆの最初のブランキング時間にゲートドライバ回路により測定画素行を選択し、その後、表示画面３４の画素行を選択するように構成してもよい。

【０５０３】

図７５において、ソースドライバ回路（ＩＣ）１４の測定画素用と表示領域用の２つを別回路のように図示したが、これに限定するものではなく、１つの回路として構成し、この１つのソースドライバ回路（ＩＣ）１４の制御により、たとえば、１Ｆの最初のブランキング時間にソースドライバ回路（ＩＣ）１４により測定画素行にプログラム電流を印加し、その後、表示画面３４の画素行にプログラム電流を印加するように構成してもよい。

【０５０４】

図７６は、プリチャージ電圧Ｖ０～Ｖ５を測定する測定画素１６ｓと電圧測定回路３８１とを形成または配置した構成である。また、プリチャージ電圧Ｖｐを取得するトランジスタ群１６５ｓと画像を表示するトランジスタ群１６５ｃと、共通のトランジスタ群１６５ｂとでカレントミラー回路を構成した実施例である。

【０５０５】

図７６において、トランジスタ群１６５ｓは、プリチャージ電圧Ｖ０～Ｖ５に対応するプログラム電流Ｉｗを順次出力する。プリチャージ電圧Ｖ０に対応するプログラム電流Ｉｗ（＝０（Ａ））がソース信号線１８ｓに印加されたときは、測定画素１６ｓ０が選択され、電圧測定回路３８１ａでプリチャージ電圧Ｖ０が測定され、電子ボリウム１５２などに印加される。

【０５０６】

プリチャージ電圧Ｖ１に対応するプログラム電流Ｉｗがソース信号線１８ｓに印加させたときは、測定画素１６ｓ１が選択され、電圧測定回路３８１ｂでプリチャージ電圧Ｖ１が測定され、電子ボリウム１５２などに印加される。同様に、プリチャージ電圧Ｖ２に対応するプログラム電流がソース信号線１８ｓに印加されたときは、測定画素１６ｓ２が選択され、電圧測定回路３８１ｃでプリチャージ電圧Ｖ２が測定される。プリチャージ電圧Ｖ３に対応するプログラム電流がソース信号線１８ｓに印加されたときは、測定画素１６ｓ３が選択され、電圧測定回路３８１ｄでプリチャージ電圧Ｖ３が測定される。プリチャージ電圧Ｖ４に対応するプログラム電流がソース信号線１８ｓに印加されたときは、測定画素１６ｓ４が選択され、電圧測定回路３８１ｅでプリチャージ電圧Ｖ４が測定される。プリチャージ電圧Ｖ５に対応するプログラム電流がソース信号線１８ｓに印加されたときは、測定画素１６ｓ５が選択され、電圧測定回路３８１ｆでプリチャージ電圧Ｖ５が測定され、電子ボリウム１５２などに印加される。

【０５０７】

図７６の構成に本発明が限定されるものではなく、図７７のように、電圧測定回路３８１は１つで構成してもよい。また、図７８に図示するように、ＲＧＢごとにトランジスタ群２６１ｓ、電圧測定回路３８１を構成してもよいことは言うまでもない。

【０５０８】

以上の実施例ではプリチャージ電圧Ｖｐは、測定画素１６ｓまたは画素１６を動作させて取得するとした。しかし、プリチャージ電圧Ｖｐはパネル外部で発生して印加してもよい。たとえば、図７９に図示するように、外部で発生したプリチャージ電圧Ｖ０ｂ～Ｖ５ｂと、測定画素１６ｓまたは画素１６を動作させて取得したプリチャージ電圧Ｖ０ａ～Ｖ５ａとをスイッチＳで選択または切り換えできるように構成する。外部で発生したプリチャージ電圧Ｖ０ｂ～Ｖ５ｂを選択する場合はスイッチをｂ側に切り換える。測定画素１６ｓまたは画素１６を動作させて取得したプリチャージ電圧Ｖ０ａ～Ｖ５ａ（内部で発生したプリチャージ電圧Ｖｐ）を選択する場合はスイッチＳをａ側に切り換える。スイッチＳの切り換えは、ユーザーが手動で切り換えてもよいし、外光センサ、温度センサなどの出力結果により自動で切り換えてもよい。

【０５０９】
プリチャージ電圧Ｖｐを測定するタイミング、測定時間、測定画素１６ｓの指定、プリチャージ電圧Ｖｐの印加期間、タイミングなどの制御は、図８０に図示するようにコントローラ回路（ＩＣ）８０１で実施する。また、プリチャージ電圧Ｖｐを測定するタイミング、測定時間、測定画素１６ｓの指定、プリチャージ電圧Ｖｐの印加期間、タイミングなどの制御は、ユーザーが独自に設定あるいは可変できるように構成してもよい。
【０５１０】
図８０において、ＲＤＡＴＡは赤の映像データ、ＧＤＡＴＡは緑の映像データ、ＢＤＡＴＡは青の映像データである。ＰＣはプリチャージをするしないを制御する信号、ＰＴはプリチャージ期間信号、ＶＣは、プリチャージ電圧Ｖｐの測定信号、ＶＮＯはＶ０～Ｖ５のどのプリチャージ電圧Ｖｐを測定するかの指定信号、ＶＴはプリチャージ電圧Ｖｐの測定期間を指定する信号である。
【０５１１】
以上のように、本発明は、定電流Ｉｗ（階調０に対応する０（Ａ）も含む）をソース信号線１８に印加し、駆動用トランジスタ１１ａを動作させることによって、プリチャージ電圧Ｖｐを測定するものである。プリチャージ電圧Ｖｐの測定は、画像表示以前（パネル製造直後の検査、調整時を含む）あるいは画像表示を行っている時（ブランキング期間、１水平走査期間の最初など）に行う。
【０５１２】
測定あるいは取得したプリチャージ電圧Ｖｐは、図２５、図２６、図２７、図２８、図３２などで説明したＡ期間に、プリチャージ電圧Ｖｐ（階調電圧と呼ぶべきである）として印加する。ただし、Ａ期間に印加するプリチャージ電圧Ｖｐと測定したプリチャージ電圧Ｖｐとは同一であることに限定されない。測定したプリチャージ電圧Ｖｐ電圧から、表示する映像信号の階調番号に基づき、Ａ期間に印加する電圧に変換してもよいことはいうまでない。
【０５１３】
たとえば、階調１６に対応する定電流Ｉｗ１６を画素１６の駆動用トランジスタ１１ａに印加し、前記定電流Ｉｗ＝１６に対応するプリチャージ電圧Ｖｐ１６が測定された場合を例示する。この場合で、画素１６に階調３２を印加する場合は、プリチャージ電圧Ｖｐ１６に階調３２と階調１６との電位差Ｖｓｄを加算して、プリチャージ電圧Ｖｐ３２を求め、Ａ期間にソース信号線１８にプリチャージ電圧Ｖｐ３２を印加する。プリチャージ電圧Ｖｐ１６に階調３２と階調１６などの各階調の電位差Ｖｓｄは、標準的な駆動用トランジスタ１１ａの特性を測定しておき、あらかじめ求めておく。
【０５１４】
また、以上の本発明の実施例では、階調０に対応するプリチャージ電圧Ｖｐ＝Ｖ０を求めることが有効である。プリチャージ電圧Ｖｐ＝Ｖ０は、ＲＧＢの画素の駆動用トランジスタ１１ａの特性が一致している場合、ＲＧＢの画素で同一であるからである。つまり、原点電圧として使用することができる。
【０５１５】
Ｖ０電圧は、画素１６を選択し、ゲート信号線１７ａにオン電圧を印加することにより、対象の駆動用トランジスタ１１ａのゲート端子とドレイン端子とを短絡することにより得られる。印加するプログラム電流Ｉｗ＝０（Ａ）であるから、各ソース信号線１８はソースドライバ回路１４から電気的に切り離された状態（フローティング状態）である。駆動用トランジスタ１１ａは電流が流れないようにソース信号線１８の電位を変化させる。駆動用トランジスタ１１ａが、電流が流れない（カットオフ）状態になった時の電位がＶ０電圧である。
【０５１６】
測定あるいは取得されたＶ０電圧には、突き抜け電圧の影響などが含まれているため、一定電圧を加減算あるいは一定比率を乗算することにより目的のプリチャージ電圧Ｖｐ＝Ｖ０が得られる。

【０５１７】
プリチャージ電圧Ｖｐ＝Ｖ０は図８１に図示するように、Ａ期間に印加する。説明を容易にするため、第１行目の画素行を選択する期間を「第１Ｈが対応する」とする。次の第２行目の画素行を選択する期間を「第２Ｈが対応する」とする。同様に、第３行目の画素行を選択する期間を「第３Ｈが対応する」とする。以下、同様である。
【０５１８】
図８１（ａ）では、Ｖ０電圧は各画素行で同一のように図示している。もちろん、Ｖ０電圧は、各画素行で共通でもよいが、各画素１６で測定したプリチャージ電圧Ｖｐに対応させて変化させてもよい（画素１６ごとに個別設定をおこなってもよい）。
【０５１９】
図８１（ａ）では、水平走査期間（画素行選択期間）の最初のＡ期間にプリチャージ電圧ＶｐとしてＶ０電圧を印加する。Ｖ０電圧の印加により、画素１６の駆動用トランジスタ１１ａは黒表示（電流を流さない状態）とされる。もしくは、Ｖ０電圧は低階調領域の電圧とし、駆動用トランジスタ１１ａが出力する電流が低階調領域の電流以下となるようにする。
【０５２０】
低階調領域以下では、階調に対するプログラム電流が小さい。したがって、ソース信号線１８の寄生容量の影響を強く受け、書き込み不足が起こりやすい。したがって、プログラム精度が得にくい。プリチャージ電圧Ｖｐ＝Ｖ０の印加により、ソース信号線１８の電位は、階調０の電位となる。駆動用トランジスタ１１ａにプログラムされるプログラム電流が低階調領域であっても、ソース信号線１８の電位変化は、階調０からの電位変化であるから、ソース信号線１８の電荷の充放電は少なくてすむ。したがって、目標の低階調領域の電位に変化させることができる。
【０５２１】
図８１において、第１ＨのＣ１期間、第２ＨのＣ２期間、第３ＨのＣ３期間は、Ｂ期間に印加する目標階調に対応するプログラム電流の大きさによって異なる。Ｃ１、Ｃ２、Ｃ３期間に過電流駆動を行う。過電流駆動は図３２などを用いて説明した方式である。過電流の印加によりソース信号線１８の電位は、プリチャージ電圧Ｖｐ＝Ｖ０から目標階調の電位となるように高速に変化する。
【０５２２】
Ｖ０電圧が駆動用トランジスタ１１ａの特性を反映したものであれば、過電流駆動により変化する電位も駆動用トランジスタ１１ａの特性を反映したものとなる。過電流駆動での電位変化は線形成があるからである。したがって、マトリックス状に形成された画素１６の駆動用トランジスタ１１ａの特性にバラツキが発生していても、各駆動用トランジスタ１１ａの階調０に対応するプリチャージ電圧Ｖｐ＝Ｖ０を印加することにより、表示ムラのない、均一な画像表示を実現できる。
【０５２３】
Ｂ期間は、画素１６に表示する階調に対応するプログラム電流を印加している期間である。プリチャージ電圧Ｖｐ＝Ｖ０と過電流印加により、最適に目標電位に変化していれば、期間Ｂでは電位変化は発生しない。目標電位に未到達であっても、Ｂ期間にプログラム電流を印加することにより、精度よく目標電位に変化（補償）させることができる。したがって、精度よく画素１６のＥＬ素子１５にプログラムされた電流を印加できる。
【０５２４】
図８１（ｂ）は、第２Ｈの期間に、Ｖ０電圧を印加していない。また、過電流駆動を実施していない。これは、第１Ｈのソース信号線１８の電位から第２Ｈのソース信号線１８への電位変化が小さく、プログラム電流により十分に目標電位に変化できると判断されたためである。判断は、コントローラ回路（ＩＣ）８０１にプログラムされた判断ルーチンで実施される。
【０５２５】
図８２は、第２Ｈの期間に、Ｃ期間がない。つまり過電流を印加していない。これは、

Ｖ０電圧のソース信号線１８の電位から第２Ｈのソース信号線１８への電位変化が小さく、プログラム電流により十分に目標電位に変化できると判断されたためである。判断は、コントローラ回路（ＩＣ）８０１にプログラムされた判断ルーチンで実施される。

【０５２６】

以上のように、水平走査期間の最初にプリチャージ電圧Ｖｐを印加するか否か、過電流駆動を実施するか否かは、画素１６に書き込む階調あるいは電位変化などに基づいて判断される。

【０５２７】

最適なＶ０電圧はパネル温度で変化する。また、各プリチャージ電圧Ｖｐ＝Ｖ１、Ｖ２、Ｖ３・・・・・・も温度により変化する。したがって、パネルの温度をモニターし（サーミスタなどの温度センサを用いる）、温度による補正係数をかけてＶ０電圧を求めてＡ期間に印加することが好ましい。

【０５２８】

また、Ａ期間に印加するプリチャージ電圧Ｖｐは書き込む階調あるいは電位、もしくは前水平走査期間のソース信号線電位または、前水平走査期間に画素に書き込まれた階調との変化に基づいて変化あるいは調整することが好ましい。また、Ｖ０電圧に限定するものではなく、書き込む階調に対応して印加する。

【０５２９】

０階調に該当するＶ０電圧は、画素１６の駆動用トランジスタ１１ａによって決定される。通常、駆動用トランジスタ１１ａは、ＲＧＢで共通のサイズあるいは大きさである。したがって、ＲＧＢではＶ０電圧は一致している。寄生容量Ｃｓの充放電はＶ０電圧が基準になる場合が多い。したがって、Ｖ０電圧は電流駆動あるいは電圧駆動方式において原点（階調０）の電圧の位置づけとなる。

【０５３０】

以上の実施例は、ソース信号線１８の電位などからプリチャージ電圧Ｖｐを取得するものであった。プリチャージ電圧Ｖｐは、ソース信号線１８の電位以外からも取得することができる。以下、説明を容易にするため、プリチャージ電圧Ｖｐ＝Ｖ０を求める方式について説明をする。

【０５３１】

Ｖ０電圧の取得は、図８３、図８４の構成でも測定あるいは取得もしくは把握できる。図８３は、カソード電流を測定することにより取得する方法である。図８３は各ソース信号線１８を短絡し、短絡した状態でソース信号線に設定するＶ０’電圧を印加する。この状態で、ゲートドライバ１２ａ、１２ｂを走査し、ソース信号線１８に印加されたＶ０’電圧を画素１６に書きこむ。一方、抵抗Ｒｍ１８電位を電圧測定回路３８１で測定する。

【０５３２】

図８３では、電圧測定回路３８１を用いて、カソード端子に直列接続した抵抗Ｒ０に分流抵抗Ｒｍを接続し、前記抵抗Ｒｍの端子電圧を測定するとしたが、本発明の目的は、カソードに流れる電流を測定するものである。したがって、カソード端子に直接電流測定手段を配置して測定してもよい。また、電流の測定は、アノード端子側でもよい。ＥＬ表示装置において、カソード電流とアノード電流とは略一致しているからである。

【０５３３】

ソース信号線１８に印加されたＶ０’電圧を画素１６に書きこむ。Ｖ０’電圧は、設定された最大電流値Ｉｍの値が目標値（以下）となるように調整する。最大電流Ｉｍとは、階調０に対応する電流値Ｉ０で、理想的にはＩ０＝０（Ａ）である。しかし、完全に０（Ａ）とするのは困難であり、また、余りにも階調０での電流値が０に近いと、階調０の電位が余りにもアノード電圧Ｖｄｄに近くなりすぎ、次の水平走査期間において、他の階調への変化が困難になる。したがって、Ｉ０の最大値であるＩｍを設定する。

【０５３４】

Ｉｍが目標値となったときのソース信号線１８に印加するＶ０’電圧をＶ０電圧とする。図８３の画素構成では、Ｖ０’電圧をアノード端子側にすれば、Ｉ０電流は減少する。

しかし、Ｖ０’電圧を必要以上にアノード電圧よりにすると、階調０に対応するＶ０電圧を印加したときは、良好な黒表示を実現できるが、階調０電位が深すぎ、階調０から階調１などに変化する時に、階調１が書き込みにくくなる。

【０５３５】

適正なＶ０電圧が得られるＩ０電流は、表示パネルの表示領域の対角長をｄ（インチ）とし、Ｉ０（ｍＡ）するとき、Ｋ＝Ｉ０／ｄとした時、Ｋは０．２以上２以下とすることが好ましい。さらに好ましくは、Ｋは、０．３以上１．０以下とすることが好ましい。このＩ０電流をＩｍとして設定する。以上に設定することにより、良好な黒表示を実現でき、かつ０階調から他の階調にプリチャージ駆動（過電流駆動）を実施する場合でも良好な階調変化を実現できる。

【０５３６】

以上のように、Ｖ０’電圧を変化させ、変化に対応して、Ｉ０電流を測定する。Ｉ０電流がＫの範囲（Ｉｍ以下）を満足した時点で、ソース信号線１８に印加しているＶ０’電圧をプリチャージ電圧Ｖ０とする、

プリチャージ電圧Ｖ０は図８４で取得することも好ましい。図８４では、複数のソース信号線１８は、短絡配線８４１で短絡されている。短絡配線８４１は黒電圧（プリチャージ電圧Ｖ０）を測定した後、ａ－ａ’線で割断される。

【０５３７】

図８４においては、すべてのソース信号線１８は短絡配線８４１で短絡されている。したがって、各ソース信号線１８はフローティング状態である。短絡配線８４１には端子電極８４２が形成または配置されている。端子電極８４２にはプローブ８４３が圧接されている。プローブ８４３には、配線８４５を介して定電流源８４４が接続されている。定電流源８４４はプリチャージ電圧Ｖ０の場合は、出力する電流は０である。

【０５３８】

配線８４５には、配線８４５の電位を測定する電圧測定回路３８１が接続されている。電圧測定回路３８１はプローブ８４３を介してソース信号線１８の電位を測定していることになる。今、定電流源８４４の出力電流は０であるから、ソース信号線１８には電流が印加されていない。つまり、ソース信号線１８はプリチャージ電圧Ｖ０（階調０）の状態である。

【０５３９】

図８５は、取得されたＶ０電圧から補正し、適正なＶ０電圧を得る方法の説明図である。得られたプリチャージ電圧Ｖ０は一定の補正をすることが好ましい。たとえば、より黒表示を実現したいと言う場合である。

【０５４０】

図８５において、プローブ８４３が端子８４２に接続される。配線８４１の電位は電圧測定回路３８１で８ビットのデジタルデータに変換される。補正する大きさはＲＯＭ５０２に保持されている。ＲＯＭデータは、ＲＤａＴａとして、外部より書き換えることができる。

【０５４１】

ＲＯＭ５０２に保持されたデータも８ビットである。このＲＯＭデータと電圧測定回路３８１のデータが加算（減算の場合もある）回路６５１で加算される。一般的に加算データにより、アノード電圧側にデータはシフトされる。

【０５４２】

加算されたデータは９ビットになる。このデータはＤ／Ａ（デジタルーアナログ変換）回路３９１でアナログデータに変換され、パネル温度を検出する温度補償回路８５１で温度補償されて、ソースドライバ回路（ＩＣ）１４に印加される。温度補償回路８５１を必要とするのは、プリチャージ電圧Ｖｐは電圧駆動であるため、温度依存性があるからである。これは、駆動用トランジスタ１１ａが流す電流は、ゲート端子電位が一定値であっても、温度により変化することに起因する。図８５ではＶ０電圧を補正するとしたが、他のプリチャージ電圧Ｖｐにおいても同様の処理を実施すればよいことは言うまでもない。

【０５４３】
図８６はソース信号線１８の信号波形である。図８６（ａ）の電流駆動の場合はプログラム電流が微弱であるため、寄生容量により信号波形はなまってしまう。図８６（ｂ）の電圧駆動の場合は、ソースドライバ回路（ＩＣ）１４の出力インピーダンスが小さいため、ソース信号線１８に印加される信号波形は、ほとんど鈍ることがない。したがって、駆動信号を確実に画素１６に書き込める方法としては電圧駆動方式が良好である。しかし、電圧駆動方式では画素１６に駆動用トランジスタ１１ａのバラツキを補償することができない。電流駆動では画素１６の駆動用トランジスタ１１ａを良好に補償することができる。

【０５４４】
以下、図８７などを参照しながら、本発明の他の駆動方式を説明する。電流階調回路１５４は所定の階調番号に対応する電流を出力する。説明を容易にするため、一例として出力する階調電流Ｉ１は、２５６階調の１２８階調目であり、その値がＩ１＝１μＡであるとする。

【０５４５】
なお、電流階調回路１５４はすべての階調に対応するプログラム電流を出力する必要はなく、１２８階調目、６４階調目あるいは０階調目、１階調目、２５５階調目など特定の階調の電流を出力できればよい。もちろん、全階調電圧を出力できる電圧階調回路２３１に構成することが望ましいことは言うまでもない。また、低階調（１２７階調以下）のプログラム電圧を出力できるものであればよいことは言うまでもない。

【０５４６】
説明を容易にするため、電流階調回路１５４はソースドライバ回路（ＩＣ）１４内に形成あるいは構成するとしたが、これに限定するものではない。たとえば、ソースドライバ回路（ＩＣ）１４外に定電流Ｉｗ＝Ｉ１を発生する回路を設け、この定電流Ｉ１にスイッチ回路を介してソース信号線１８に供給し、画素１６の駆動用トランジスタ１１ａのゲート端子電圧（ソース信号線１８）Ｖ１を測定してもよい。また、測定した電圧は、ソースドライバ回路（ＩＣ）１４の外部に配置したＥＥＰＲＯＭに書き込み、書き込んだデータから画素１６の駆動用トランジスタ１１ａＶ－Ｉカーブを発生させてもよい。以上の測定はパネル出荷前のパネル調整工程で実施してもよいことは言うまでもない。

【０５４７】
まず、駆動用の電圧データを測定あるいは発生する測定段階について説明をする。測定段階は、電源投入時など、画像表示を行っていない状態で実施する。または、画像表示に影響を与えない状態で実施する。

【０５４８】
以前にも説明したように、本発明の駆動方式には、画素構成は、図１、図１２、図１４などの電流駆動型である必要がある。図８７の実施例である本発明の駆動方式は、ソースドライバ回路（ＩＣ）１４から印加する定電流を、該当駆動用トランジスタ１１ａなどに流し、駆動用トランジスタ１１ａのゲート端子の電位を変化させ、ソース信号線１８の電位を測定する必要があるからである。つまり、駆動用トランジスタ１１ａから流れる電流がソース信号線１８に流入あるいは流出するように画素１６が構成されている必要がある。

【０５４９】
電圧駆動型の画素（たとえば、図２の画素構成）では、駆動用トランジスタ１１ａからの出力電流はソース信号線１８には流れ込まない。また、電圧オフセットキャンセル型の画素構成では、ソース信号線１８と駆動用トランジスタ１１ａ間はコンデンサでＤＣ電流のカットが行われている。したがって、基本的には本発明のＥＬ表示パネルには採用できない。

【０５５０】
本発明は、画素構成は電流駆動型の画素構成であり、この画素にプログラム電圧を印加し、電圧駆動（プログラム電圧を印加）を実施するものである。また、少なくとも１点以

上の画素１６の駆動用トランジスタ１１ａの特性カーブの電圧を測定し、この電圧から電圧駆動に対応する特性カーブを発生し、駆動するものである。階調０の電圧Ｖ０を測定あるいは発生し、この階調０の電圧Ｖ０を基準に電圧プログラムデータを発生し、駆動する状態は電圧オフセットキャンセルと同一あるいは類似の電圧方式である。

【０５５１】

もちろん、階調０に対応する電圧に限定するものではない。ただし、階調０の測定電圧値を精度よく求めることにより、精度のよい電圧オフセットを実施することができる。また、階調０以外であれば、中間階調（最大階調の１／８以上１／２以下の階調）で測定あるいは求めた電圧値を用いて特性カーブを求めることが好ましい。この範囲での駆動用トランジスタの特性バラツキがめだつからである。

【０５５２】

駆動用トランジスタ１１ａ（ＥＬ素子１５に電流を供給するトランジスタまたは前記トランジスタに流れる電流を規定するトランジスタ）の電圧－電流（Ｖ－Ｉ）特性カーブは、多項式を演算することにより、あるいはマトリックステーブルあるいはルックアップテーブル９３１を参照することにより、発生することができる。前記処理は、映像信号データに対応して逐次求めてもよいし、あらかじめ求めておいてもよい。また、すべての映像信号データに対応して求める必要はなく、間欠あるいは飛び飛びにもとめてもよい。近傍の画素の映像信号データは近似しており、また、アレイ３０の駆動用トランジスタなどの特性も近傍の画素では近似しているからである。

【０５５３】

以上のように構成することにより、本発明のＥＬ表示装置は電圧駆動と電流駆動の両方が実施できることになる。したがって、電圧＋電流駆動を実施することができる（図２５、図８１などを参照のこと）。特に、プログラム電流の小さい低階調領域では、精度のよい電圧駆動を実施するとができ、プログラム電流が大きい高階調領域では、精度のよい電流駆動を実施することができ、また、電圧駆動と電流駆動とを双方を補完した駆動方式を実施することができる。

【０５５４】

図８７の構成は、本発明のソースドライバ回路（ＩＣ）１４に、ソース信号線１８に発生している電位を順次選択して出力するか、あるいは複数のソース信号線１８を選択してその電位を出力するスイッチＳｘ（ｘ＝１～ｎ：ｎはソース信号線１８の形成数）を付加した構成である。

【０５５５】

なお、ソース信号線１８の電位を測定するとしたが、これに限定するものではない。たとえば、電荷の移動を検出したり、電界の強度を測定したりして、近似的にソース信号線１８の電位を測定あるいは推定するものであればよい。また、ソース信号線１８の電位に限定するものではなく、画素１６の駆動用トランジスタ１１のゲート端子電圧を直接にあるいは間接的に測定できるものであればいずれの構成であってもよい。

【０５５６】

本発明は、ゲートドライバ回路１２ａを制御し、順次ゲート信号線１７ａを選択し、選択した画素行の駆動用トランジスタ１１ａのゲート端子電圧を順次測定する点にも特徴がある。つまり、画素行を選択し、規定の定電流をソース信号線１８に印加し、選択した画素行の駆動用トランジスタのゲート端子電圧を測定する。測定は十分時間をかけて行われる。測定したゲート端子電圧から前記駆動用トランジスタのＶ－Ｉ特性を推定する。映像信号は、推定されたＶ－Ｉカーブからプログラム電圧に変換され、前記プログラム電圧が画像表示時にソース信号線に印加される。

【０５５７】

スイッチＳｘ（ｘ＝１～ｎ）は、各ソース信号線１８に形成され、スイッチＳｘは主としてアナログスイッチで形成される。スイッチＳｘは、電圧の検出だけであり、電流はほとんど流さないから小さな高インピーダンスのもので十分である。

【０５５８】

スイッチＳｘは、図８９、図８８に図示するように、Ａ端子から各ソース信号線１８に電位を入力あるいは出力できるように構成してもよい。また、スイッチＳｘで入出力するのは電圧だけでなく、電流、電荷であってもよいことは言うまでもない。また、スイッチＳｘはソースドライバ回路（ＩＣ）１４内に形成することに限定されるものではなく、ソースドライバ回路（ＩＣ）１４外に形成してもよい。たとえば、プローブ針を各ソース信号線１８に接続し、各プローブ針をリレー回路などにより選択することにより、各ソース信号線１８に電圧を印加したり、電圧を出力したり、また、電流を印加したり、電流を取り出したりする構成が例示される。

【０５５９】

スイッチＳｘは各ソース信号線１８に形成するとしたが、これに限定するものではなく、たとえば、奇数番目のソース信号線１８のみに形成してもよい。また、たとえば４の倍数に位置するソース信号線１８に形成してもよい。また、表示パネルの構成によっては、ゲート信号線１７にスイッチあるいはそれに類するものを形成もしくは接続してもよい。

【０５６０】

スイッチＳｘは図９０で説明するように、各カソード線（アノード線）を選択するように形成してもよいことは言うまでもない。つまり、本発明の構成は、各画素１６あるいは選択した画素１６に印加する電圧あるいは出力される電圧もしくは電流（ＥＬ素子１５に流れる電流、ＥＬ素子１５に流れ込む電流など）もしくはこれらに類する電流あるいは電圧を、検出あるいは出力もしくは選択して処理できるように構成するものであればいずれの構成であってもよい。

【０５６１】

図８７の構成図は、ソースドライバ回路（ＩＣ）１４内にＡ／Ｄ変換（アナログーデジタル変換回路）、メモリ（フラッシュメモリなど）５０２などを形成または配置するとしたが、これに限定するものではない。たとえば、図８９に図示するように、ソースドライバ回路（ＩＣ）１４に端子Ａを設け、ここからソース信号線１８に印加あるいは出力されている電圧を出力し、この電圧を外部に配置または構成したＡ／Ｄ変換回路３９１に印加するように構成してもよい。

【０５６２】

図８９に図示するようにメモリ５０２も外付け部品を用いてもよい。また、図８８に図示するように、電流階調回路１５４（もしくは電流階調回路）もソースドライバ回路（ＩＣ）１４外に形成または配置し、この電流階調回路１５４からの出力電流を各ソース信号線１８に印加できるように構成してもよいことは言うまでもない。

【０５６３】

図８７のブロック図は本発明のソースドライバ回路（ＩＣ）１４を説明するブロック図である。出力端子８３はアレイ基板のソース信号線１８の端子と接続する。電流階調回路１５４は電流階調回路である。電圧階調回路２３１は電圧出力手段であり、プログラム電圧を出力する。セレクタ回路２２２は外部クロックによりスイッチ回路Ｓ（Ｓ１～Ｓｎ、ｎは画素行数）を順次選択し、出力端子８３に印加されている電圧をアナログーデジタル変換回路（Ａ／Ｄ変換回路）３９１と接続する。

【０５６４】

Ａ／Ｄ変換回路３９１は各ソース信号線１８に印加された電圧（出力端子８３に印加された電圧）をデジタル化して、ソースドライバ回路（ＩＣ）１４のメモリ５０２に保持する。各メモリのビット数は８ビットであり、メモリ５０２は、画素数分が作製または形成されている。

【０５６５】

Ａ／Ｄ変換回路３９１により、出力端子８３に印加されている電圧（ソース信号線１８の電位＝駆動用トランジスタ１１ａのゲート端子電圧）をデジタル化するとしたが、これに限定するものではない。アナログ信号をサンプルホールドし、アナログ信号から電圧階調データを生成できる場合は、Ａ／Ｄ変換回路３９１は不要である。なお、説明に不要な箇所は省略している。また、本発明の他の実施例と組みあわせることができることもいう

までもない。

【０５６６】

図８７の主要部を取り出すと図９１の構成となる。スイッチＳｖをクローズすることによりプログラム電圧がソース信号線に出力される。スイッチＳｉをクローズすることにより定電流が出力される。電流階調回路１５４は一例として図１６に図示するように単位トランジスタ１６４で構成される。また、１μＡ、０．５μＡなど規定の電流を選択して出力される構成が例示される。

【０５６７】

本発明のＥＬ表示パネル（表示装置）は、本発明のソースドライバ回路（ＩＣ）１４を用いる。図８７において、電流階調回路１５４は所定の定電流Ｉ１をソース信号線１８に供給する。ゲートドライバ回路１２は順次画素行を選択する。図９２（ａ）に図示するように、画素１６は駆動用トランジスタ１１ａを介してソース信号線１８に定電流Ｉ１を供給する。駆動用トランジスタ１１ａのゲート端子は、定電流Ｉ１を流せるように電位が変化する（図９２（ｂ）を参照のこと）。駆動用トランジスタ１１ａのゲート端子電位はスイッチ用トランジスタ１１ｃを介してソース信号線１８と接続されている。したがって、ソース信号線１８の電位をＡ／Ｄ変換回路で測定すれば、定電流Ｉ１を流す場合の駆動用トランジスタ１１ａのゲート端子電圧を測定あるいは把握することができる。

【０５６８】

以上のことから、定電流Ｉ１を流すプログラム電圧Ｖ１を測定できることになる。前記プログラム電圧Ｖ１は駆動用トランジスタ１１ａの特性カーブ（ゲート電圧－出力電流（Ｖ－Ｉ）カーブ）の一点である。このＶ１から、特性カーブを推定できることになる。なお、プログラム電圧Ｖ１は特性カーブの任意の一点でよい。階調０番目の電圧Ｖ０であってもよい。ただし、階調０番目の定電流は０である。Ｖ０は電流０のときの駆動用トランジスタ１１ａのゲート端子電圧である。

【０５６９】

表示画面３４の画素１６はレーザーアニール特性ムラなどにより特性がばらついている。しかし、定電流Ｉ１を流し、Ｖ１電圧を測定し、Ｖ１電圧の大きさから各画素の特性を把握することができる。したがって、Ｖ１電圧の大きさから各画素１６の特性カーブを求めることができる。特性カーブは、Ｖ１データからマトリックステーブルあるいはルックアップテーブル９３１による変換によりリアルタイムに求める。また、単項あるいは多項の演算式により求めることもできる。

【０５７０】

ルックアップテーブル９３１による変換を図９３に図示している。８ビットの映像データＤＡＴＡはルックアップテーブル９３１に入力される。測定された８ビットのＶ０ｘ（Ｖ１ｘ）データもルックアップテーブル９３１に入力される。Ｖ０ｘ（Ｖ１ｘ）データがアドレスとなり、ルックアップテーブル９３１の１つの階調特性データを指定する。また、映像データＤＡＴＡにより前記指定された階調特性データより、映像データＤＡＴＡに対応する階調ＶＤＡＴＡが選択される。ＶＤＡＴＡは９ビットで出力される。ＶＤＡＴＡは図５６に図示するように、電子ボリウム１５２に入力され、電子ボリウム１５２は、Ｖｂｂ とＶｄｄ間の電圧を複数にきざんで出力する。電子ボリウム１５２の出力は電圧階調回路２３１に入力される。

【０５７１】

以上により電圧階調プログラムデータが求まる。つまり、映像階調データは推定あるいは求められたＶ－Ｉカーブで電圧階調プログラムデータに変換される。変換は画素１６ごとに行われる。電圧階調データの精度を高めるためには、電流階調回路１５４から複数の定電流を発生させ、各定電流を各表示画面３４の画素１６に流し、ソース信号線１８の電位を測定すればよい。

【０５７２】

電圧Ｖ１を測定するときは、出力端子８３ａ～８３ｎから定電流Ｉ１を流し、ゲートドライバ回路１２ａを選択し、選択された画素１６行の駆動用トランジスタ１１ａからＩ１

電流を供給する。前記状態で、セレクタ回路２２２は、スイッチＳ１からＳｎを順次選択し、Ａ／Ｄ変換回路３９１でソース信号線１８の電位を測定する。Ａ／Ｄ変換回路３９１でデジタル変換された８ビットの電圧データは図９４（ａ）に図示するように、マトリックス状の配置されたＳＲＡＭに格納される。なお、８ビットに限定されるものではない。少なくとも４ビット以上あればいずれのビット数であってもよい。

【０５７３】

図９４において、ａ、ｂ、ｃ、ｄ、・・・・は画素列を示している。１、２、３、４、・・・・・は画素行を示している。スイッチＳ１～ｓｎを順次選択し、１画素行の画素１６の駆動用トランジスタ１１ａの特性の測定を完了すると、ゲートドライバ回路１２ａを制御して選択位置を１画素行シフトさせ、次の画素行の画素１６の特性を測定する。

【０５７４】

図９５は、図８７をさらに詳細に記載したブロック図である。ＶＤＡＴＡにより、電圧プログラムデータが発生する。プリチャージ電圧Ｖｐを印加するときは、ＯＲ回路９５１のＰＣＨＧ端子にＨレベル信号が印加され、スイッチ１６１ａがクローズする。また、プリチャージ電圧ＶｐのデータＰＤＡＴＡにより電子ボリウム１５２はプリチャージ電圧Ｖｐを発生させ、スイッチ１６１ｃはａ端子を選択し、出力端子８３からプリチャージ電圧Ｖｐが出力される。ソース信号線１８の電位を測定（Ｖ１電圧を測定）するときは、セレクタ回路２２２によりＯＲ回路を介して、順次スイッチ１６１ａをクローズし、またスイッチ１６１ｃはｂ端子側に切り替えられ、Ａ／Ｄ変換回路３９１と接続される。測定されたＶ１データはメモリ５０２に格納され、格納されたデータは電圧階調回路２３１で各映像データに対応する階調データＶＤＡＴＡに変換され、画像表示期間に出力端子８３から出力される。

【０５７５】

電圧データはすべての画素１６に対して格納する必要はない。たとえば、図９４（ｂ）に図示するように、間引いて格納してもよい。図９４（ｂ）において、画素列は、ａ、ｃ、ｅ、ｇ、ｉ・・・・と格納し、画素行は８画素行置きの８、１６、２４、３２、４０・・・・と格納している。近傍の各画素１６の特性は近似しているから、間引いて取得した画素１６の特性からＳＲＡＭに格納しなかった画素１６の特性を求めることができるからである。

【０５７６】

以上の実施例では、ソースドライバ回路（ＩＣ）１４から１μＡ、０．５μＡなどの定電流Ｉ１をソース信号線１８または駆動用トランジスタ１１ａに供給し、ソース信号線１８の電位Ｖ１を測定する。あるいは電位を推定する。もしくは、該当の画素１６の駆動用トランジスタ１１ａのゲート端子電圧を測定する。また、定電流を流さない時のソース信号線１８の電位Ｖ０を測定するとした（図９６（ａ）を参照のこと）。この測定したＶ１とＶ０から駆動用トランジスタ１１ａの特性カーブを求め、各階調に対応する電圧プログラムデータを作成する。特性カーブは略２乗カーブである。したがって、Ｖ０を基点とし、一定の刻みを加算して各階調に対する電圧値を求める。また、Ｖ０を基点とし、Ｖ０とＶ１から特性カーブを想定し、各階調に対する電圧値を求める。

【０５７７】

ソースドライバ回路（ＩＣ）１４には、各画素１６のＶ０データ、もしくは各画素１６のＶ０とＶ１データをメモリする。他の階調に対する電圧値は、メモリしたＶ０データ、Ｖ０とＶ１データから映像信号データに対応して、その都度、発生し、発生したプログラム電圧をソース信号線１８に印加する。印加したプログラム電圧はゲートドライバ回路１２ａと同期して、各画素１６の駆動用トランジスタ１１ａのゲート端子に印加され、１フィールド（フレーム）の期間、保持される。

【０５７８】

また、Ｖ０のみを測定し、特性カーブを想定して電圧階調を求めてもよい。また、図９６（ｂ）に図示するように、定電流Ｉ２をソース信号線１８に印加し、画素１６の駆動用トランジスタ１１ａからＩ２電流を供給し、Ｉ２電流に対するソース信号線１８の電位Ｖ

２を求め、Ｖ０、Ｖ２、Ｖ１から階調電圧を求めてもよい。つまり、本発明の駆動方式は、少なくとも１つの定電流（電流０を含む）からソース信号線１８の電位を測定し、測定した電位から、階調に対応する電圧（プログラム電圧）を求めるものである。

【０５７９】

Ｖ０電圧などから特性カーブを求める場合は、Ｖ０電圧から特性カーブ（Ｖ－Ｉカーブ）の傾きが固定であるとしてもよい。図９７（ａ）はその実施例である。ある画素１６の０階調目の電圧値がＶ０ａとし、他の画素１６の０階調目の電圧値がＶ０ｂとする。Ｖ０ａを用いて点線の特性カーブを発生する。Ｖ０ｂを用いて実線の特性カーブを発生する。点線の特性カーブと実線の特性カーブの傾きは同一であるとして、特性カーブを発生させる。つまり、基点のＶ０ａとＶ０ｂがシフトしたとして特性カーブを発生させる。

【０５８０】

図９７（ｂ）は特性カーブの傾きを変化させている。立ち上がり電圧が高い場合（図９７（ｂ）のＶ０ｂはＶ０ａよりも立ち上がり電圧が高い）は、特性カーブの傾きを小さくする（図９７（ｂ）の実線は点線よりも傾きが小さい）。立ち上がり電圧が高い場合は、駆動用トランジスタ１１ａのモビリティが悪い場合が多いからである。立ち上がり電圧が低い場合は、特性カーブの傾きを大きくする。立ち上がり電圧が低い場合は、駆動用トランジスタ１１ａのモビリティが良好な場合が多いからである。

【０５８１】

図９８の実線と点線に一例として図示するように、駆動用トランジスタ１１ａのＶ－Ｉ（ゲート電圧－ドレイン電流）特性は、レーザーアニール条件などにより特性がばらつく。しかし、一例としてＩ１＝１μＡを流し、そのときの駆動用トランジスタ１１ａのゲート電圧Ｖ（実線の駆動用トランジスタ１１ａはＶ１、点線で示す駆動用トランジスタ用１１ａはＶ２）を測定できれば、ゲート電圧Ｖに対する出力電流Ｉが推定できる。また、Ｖ１あるいは Ｖ２に対する出力電流Ｉが精度よく１μＡであることがわかっているから、各階調に対する出力電流（＝ＥＬ素子１５に流れる電流）をほぼ精度よく決定できる。

【０５８２】

以上の実施例は、Ｉ＝１μＡを測定してＶ－Ｉカーブを推測し、各階調電流を算出するものである。Ｉを０μＡ（階調０が該当）、２μＡ、０．５μＡと複数点にわたって測定し、各電流値に対する駆動用トランジスタ１１ａのゲート端子電圧を測定できれば、さらに良好なＶ－Ｉカーブを決定でき、特性ムラのない良好な画像表示を実現できる。

【０５８３】

本発明の駆動方法、表示パネルおよび表示装置とそれを用いた平面表示装置では、Ｖ０、Ｖ１電圧もしくはＩ１電流を測定あるいは対応するデータを求め、測定あるいは求めたデータより駆動用トランジスタ１１ａなどのＶ－Ｉカーブを想定あるいは発生させるとした。もちろん、あらかじめ、データからＶ－Ｉカーブを求め、あるいは推定し、各階調に対するプログラム電流あるいはプログラム電圧をメモリなどに蓄積しておき、このメモリ（記憶手段）から各階調に対するプログラム電圧またはプログラム電流に対応するデータを読み出し画素１６に印加する。

【０５８４】

本発明の表示パネルは、表示期間以外の期間に、電流階調回路１５４などから所定定電流を各画素１６に印加し、定電流に対する駆動用トランジスタ１１ａなどのＥＬ素子１５に電流を供給するトランジスタあるいはそれと同様の動作をするトランジスタのゲート電圧Ｖを取得する。この取得する電圧Ｖは１つ以上の電圧データである。この電圧データを用いて電圧階調回路２３１が発生する映像信号に対応する階調電圧データを求める。あるいは取得した電圧Ｖを用いる。なお、所定定電流は、ソースドライバ回路（ＩＣ）１４の外部で発生し、各ソース信号線１８に供給してもよいことは言うまでもない。

【０５８５】

この階調電圧データを図２５のＡ期間に印加する。なお、必ずしもＡ期間が必要でないことは以前に説明した。階調が大きい時は、電流階調回路１５４のデータで十分駆動できるからである。Ａ期間に印加した電圧により、まず目標値に近い輝度まで駆動用トランジ

スタなどはプログラムされる。さらに、Ｂ期間に印加する電流階調回路２３１からの階調電流（プログラム電流）により駆動用トランジスタ１１ａは目標値に近くプログラムされる。

【０５８６】

以上の事項は、Ｖ０、Ｖ１あるいはそれ以上の電圧値を測定した場合も同様である。なお、測定したＶ０、Ｖ１電圧から特性カーブを発生させるとしたが、ソース信号線１８から測定した電圧データをそのまま使用するものでない。たとえば、図１などの画素構成において、ゲート信号線１７ａにオフ電圧が印加される際に発生する駆動用トランジスタ１１ａのゲート端子への突き抜け電圧の大きさ、影響を考慮して階調電圧を発生させる。つまり、測定された電圧から前述の影響を考慮してＶ－Ｉカーブを作成する。

【０５８７】

ソース信号線１８電圧の測定と、測定された電位から階調電圧を求めるのは、電源オン時に実施する。つまり、画像表示前に行う。図９９（ａ）は電源の立ち上げ波形である。Ａの期間はＶｄｄまで到達する期間である。この期間は、ＥＬ表示装置の回路全体が不安定状態である。したがって、ソース信号線の電圧測定を行うことはできない。Ｂの期間は電源が立ち上がり安定している。画像表示状態ではない。このＢの期間を１フィールド（フレーム）期間以上とり、このＢの期間に定電流に対するソース信号線１８の電位を測定するとともに、階調電圧値を発生させる。その後、Ｃ期間に入り、ＥＬ表示パネルに画像表示を行う（図９９（ｂ）を参照のこと）。

【０５８８】

ソース信号線１８電圧の測定と、測定された電位から階調電圧を求めるのは、垂直ブランキング期間あるいは水平ブランキング期間に実施してもよい。図１００（ａ）は水平ブランキング時間に実施した実施例である。映像信号は図１００のＢの期間にソース信号線１８に印加される。Ａの期間はブランキング時間であり、ソース信号線１８には映像信号は印加されない。このＡの期間にソースドライバ回路（ＩＣ）１４から定電流を出力し、該当の画素行から電流Ｉ１を供給するとともに、ソース信号線１８の電位を測定し、測定した電位から階調電圧を求める。水平ブランキング時間では、すべての表示画面３４の階調電圧を求めることはできない。図１００（ｂ）に図示するように、ｂの期間に区分された領域（１、２、３、４、５・・・・・）ごとに実施する。

【０５８９】

０階調目に対応するＶ０電圧を図９９のように電源オン時に測定し、中間あるいは最大階調に対応するＶ１電圧を図１００のようにブランキング時間に測定してもよい。

【０５９０】

Ｖ０電圧などの低階調部に対応する電圧は、微小定電流（プログラム電流）をソース信号線１８に印加して測定する。したがって、ソース信号線１８の寄生容量の影響を受け、時定数が長い。したがって、ゲートドライバ回路１２ａのクロックを遅くし、十分な時間をかけて低階調部に該当する電圧を測定する。したがって、低階調部の電圧を測定するときは、電源オン時などに測定することが好ましい。

【０５９１】

本発明の実施例では、ソースドライバ回路１４から定電流Ｉｗ（Ｉｗ＝０（Ａ）を含む）を出力し（吐き出し電流、吸い込み電流のいずれでもよい）、また、画素１６を選択するとした。画素１６の駆動用トランジスタ１１ａが前記定電流Ｉｗを流し、または略定常状態の定電流Ｉｗを流すようにする。この状態で、ソース信号線１８の電位または前記駆動用トランジスタ１１ａのゲート端子電位もしくはドレイン端子電位を測定または取得するとした。電位の測定または取得は、電位が定常状態になっていることには限定されず、定常状態が推定または予測される場合は、変化状態で行って、定常状態の電位を求めてもよい。

【０５９２】

以上の実施例は、定電流Ｉｗを印加し、ソース信号線１８の電位を測定することにより、画素１６の駆動用トランジスタ１１ａの特性を把握する。しかし、駆動用トランジスタ

１１ａの特性を把握するには、逆の動作でもよい。つまり、ソース信号線１８または画素１６の駆動用トランジスタ１１ａに所定の定電圧Ｖａを印加し、この定電圧Ｖａを印加したときに、前記駆動用トランジスタ１１ａが流す電流Ｉａを測定する。電流Ｉａは、駆動用トランジスタ１１ａの特性により異なる。したがって、電流Ｉａにより駆動用トランジスタ１１ａの特性を把握することができる。測定あるいは取得した電流Ｉａは、電流－電圧変換した後、Ａ／Ｄ変換し、メモリなどの記憶手段に保持させる。以上の事項は、本発明の他の実施例に適用されることは言うまでもない。

【０５９３】

以上の実施例では、表示画面３４のすべての画素に対応する定電流を流し、それぞれの画素のソース信号線１８の電位（各画素１６の駆動用トランジスタ１１ａのゲート端子電圧）を測定するとしたが、これに限定するものではない。すべての画素を測定せずとも、任意の画素の周辺の画素の特性は類似しているからである。

【０５９４】

たとえば、図１０１（ａ）に１画素置きの画素（斜線を記入した部分に対応する画素）１６を測定し、測定していない画素１６は隣接した画素（斜線を記入した部分に対応する画素）から作成する。図１０１（ｂ）で図示するように、画素１６ｃの駆動電圧を求めるには、隣接した画素１６ａと画素１６ｂに定電流を流し、対応するソース信号線１８の電位を測定する。今、たとえば、測定されたデータが画素１６ａを選択した時は３（Ｖ）、画素１６ｂを選択した時は、２．８（Ｖ）であるとする。画素１６ｃは（３＋２．８）／２＝２．９（Ｖ）として求まる。

【０５９５】

以上のように画素１６に定電流を印加し、この定電流印加によるソース信号線１８の電位変化あるいは電位は、すべての画素１６に対して実施する必要はない。また、測定は、隣接した画素１６に限定されるものではない。たとえば、２画素置きに、画素１６の特性を測定してもよい。また、偶数画素列を選択し、偶数画素列の駆動用トランジスタ１１ａの特性を測定し、この結果から奇数画素列の駆動用トランジスタ１１ａの特性を求めてもよい。また、偶数画素行を選択し、偶数画素行の駆動用トランジスタ１１ａの特性を測定し、この結果から奇数画素行の駆動用トランジスタ１１ａの特性を求めてもよい。また、以上の処理を複数画素行ごと、複数画素列ごとに行ってもよい。

【０５９６】

画素行の選択は、１画素行に限定されるものではない。また、選択した時のソース信号線電位は１画素ずつ測定する必要はない。たとえば、図１０２（ａ）に図示するように、２画素行（複数画素行）を同時に選択して、定電流Ｉｗを流してもよい。図１０２に図示するように、２画素行を同時に選択する場合は、定電流Ｉ１は２倍（つまり、Ｉｗ＝Ｉ１×２）をソースドライバ回路（ＩＣ）１４からソース信号線１８に供給する。もちろん、Ｉｗは２倍に限定されず、１倍でもそれ以外でもよい。

【０５９７】

図１０２（ａ）は２番目と３番目の画素行が選択されている状態を示している。次のクロックでは、画素（３）と画素（４）を選択する駆動でもよいし、画素（４）と画素（５）を選択する駆動のいずれでもよい。また、３画素行以外を同時に選択してもよい。また、全画素行を同時に選択する実施例も例示される。

【０５９８】

ソースドライバ回路（ＩＣ）１４から定電流Ｉｗ＝２・Ｉ１の電流を画素１６（２）と画素１６（３）に供給する。画素１６（２）が出力する電流と、画素１６（３）が出力する電流とを加算した電流は２・Ｉ１であるが、画素１６（２）が出力する電流と、画素１６（３）が出力する電流とは異なっていてもよい。ソース信号線１８の電位は、画素１６（２）の駆動用トランジスタ１１ａのゲート端子電位と画素１６（３）の駆動用トランジスタ１１ａのゲート端子電位が釣り合った電位となる。電位は平均した電位となる場合が多い。しかし、隣接した画素の特性は近似するため、Ａ／Ｄ変換回路３９１で測定される電位から求められた電圧階調データは実用上問題ない。

【０５９９】
複数画素行を選択する場合は、図１０２（ｂ）に図示するように隣接する必要はない。図１０２（ｂ）は隣接しない画素行を複数選択している。また、連続した１０画素行程度（つまり、ブロック的）にゲート信号線１７ａを選択し、ソース信号線１８の電位を測定してもよい。
【０６００】
以上の実施例では、駆動用トランジスタ１１ａに電流を流し、前記電流を流したときの駆動用トランジスタ１１ａのゲート端子電圧を測定するとした。しかし、本発明はこれに限定するものではない。たとえば、画素列ごとに配線あるいは形成されたＶｓｓ端子（カソード端子）に電流計（図示せず）を接続する。つぎに、０階調目に対応するＶ０電圧を印加し、Ｖ０電圧を印加したときに、電流計に流れる電流を０あるいは微小な値となるように、印加するＶ０を調整すれば、階調０に対するプログラム電圧Ｖ０が精度よく求めることができる。
【０６０１】
その他、電流計で測定される電流が１μＡとなるように、駆動用トランジスタ１１ａに印加する電圧を調整すれば１μＡを流す電圧を測定することができる。複数点の電圧と電流の関係を測定すれば、さらに精度のよいＶ－Ｉカーブを推定あるいは求めることができる。
【０６０２】
以上の実施例は、複数画素行を同時に選択するとしたが、複数画素列を同時に選択すると読み替えてもよいことは言うまでもない。
【０６０３】
以上の実施例は、複数の画素行を同時に選択し、定電流Ｉｗを印加し、複数の画素行の駆動用トランジスタ１１ａのゲート端子電位が平均された電位特性を測定あるいは取得するものであった。つまり、複数画素の駆動用トランジスタ１１ａの平均したゲート端子電位を測定するものである。
【０６０４】
以上の実施例は、複数の画素行あるいは画素列を選択し、定電流Ｉｗを印加し、ソース信号線１８の電位を測定することにより、画素１６の駆動用トランジスタ１１ａの特性を把握する。しかし、駆動用トランジスタ１１ａの特性を把握するには、逆の動作でもよい。つまり、ソース信号線１８または画素１６の駆動用トランジスタ１１ａに所定の定電圧Ｖａを印加し、この定電圧Ｖａを印加したときに、選択された複数の前記駆動用トランジスタ１１ａが流す電流Ｉａを測定する。電流Ｉａは、選択された駆動用トランジスタ１１ａの特性により異なる。したがって、電流Ｉａにより駆動用トランジスタ１１ａの特性を把握することができる。測定あるいは取得した電流Ｉａは、電流－電圧変換した後、Ａ／Ｄ変換し、メモリなどの記憶手段に保持させる。以上の事項は、本発明の他の実施例に適用されることは言うまでもない。
【０６０５】
図２に図示するような電圧駆動方式の画素構成であっても、本発明を実施できる。この説明を図９０に図示している。なお、図９０では画素１６はマトリックス状に形成または配置されるが、説明を容易にするため２画素分の画素１６のみ図示している。なお、各画素１６に流れるカソード電流（アノード電流）を選択するスイッチＳｘを各カソード（アノード）電流を取り出す位置に形成または構成もしくは配置してもよいことは言うまでもない。
【０６０６】
電圧駆動の場合は、駆動用トランジスタ１１ａのゲート端子に所定電圧Ｖ１を印加する。また、前記電圧Ｖ１により流れる電流ＩはカソードＶｓｓ端子で測定する。たとえば、画素列ごとに配線あるいは形成されたＶｓｓ端子（カソード端子）に電流計を接続する。または、図９０に図示するように、カソード電流が流れる経路にピックアップ抵抗Ｒを接続し、電圧計（電圧測定回路）３９１で抵抗Ｒの電位を測定してもよい。

【０６０７】
なお、ピックアップ抵抗Ｒを挿入する位置は、カソード端子に限定されるものではなく、アノード端子でもよい。また、電流はカソード端子とアノード端子で測定してもよい。また、電流Ｉ１を直接測定することに限定されるものではなく、ピックアップコイルなどで測定してもよい。また、電気力線を測定してもよい。特に精度が必要でないときは、複数あるいはすべてのカソード端子もしくはアノード端子を短絡し、短絡した箇所に電流計を接続してもよい。つまり、電流Ｉ１の測定は、電流Ｉ１を直接にあるいは間接的に測定あるいは把握できるものであればいずれのものでもよい。
【０６０８】
以上のように、駆動用トランジスタ１１ａに電圧階調回路２３１により各ソース信号線１８に既知の電圧Ｖ１を印加し、その電圧に対する出力電流Ｉ１を測定する。もちろん、１つまたは複数のソース信号線１８を選択して既知の電圧を印加してもよい。また、複数の画素行を同時にあるいは走査して選択してもよい。したがって、図９２（ｂ）の逆の関係になる。つまり、Ｖ１印加によりＩ１を測定し、このＶ１とＩ１との関係から、図９２（ｂ）の実線で示す駆動用トランジスタ１１ａのＶ－Ｉ特性を求める。Ｖ１の他、０階調目に対応するＶ０電圧を印加し、Ｖ０電圧を印加したときに、電流計に流れる電流を０あるいは所定の微小な値となるように、印加するＶ０を調整すれば、階調０に対するプログラム電圧Ｖ０を精度よく求めることができる。そのときは、電圧階調回路２３１の出力電圧を変化させて０になるように調整する。その他、たとえば１μＡが流れるように、駆動用トランジスタ１１ａに印加する電圧Vxを調整する。複数点の電圧Vと電流の関係を測定すれば、さらに精度のよいＶ－Ｉカーブを推定あるいは求めることができる。
【０６０９】
図９０の実施例では、スイッチＳをセレクタ回路２２２により、クロックに同期させて順次クローズさせている。スイッチＳｘ（ｘ＝１～ｎ）により各ソース信号線１８に接続された画素１６が選択される。また、選択する画素行の画素１６はゲートドライバ１２ａにより選択され、選択画素行位置は順次シフトされる。
【０６１０】
各スイッチＳが選択されることにより、選択された画素１６のカソード電流Ｉ１（あるいはアノード電流）は抵抗Ｒに流れ込む。スイッチＳの選択は複数個を同時に選択してもよい。カソード電流などにより抵抗Ｒの両端に発生する電圧はＡ／Ｄ変換回路３９１により、デジタル化され、メモリ５０２に蓄えられる。蓄えられたデータによりプログラム電圧に対応する階調電圧が算出あるいは求められる。もちろん、カソード電流Ｉ１などは電流計により測定してもよいことは言うまでもない。なお、階調０の場合は、抵抗Ｒの両端に発生する電圧は０であることは言うまでもない。また、カソード電流の方向は吐き出し方向の場合もある。本発明はいずれの場合であっても適用可能である。
【０６１１】
図１０３、図１０４は電圧プログラムの画素構成における本発明の第２の実施例での適用例である。画素１６の駆動用トランジスタ１１ａはＰチャンネルトランジスタで形成されている。また、電流Ｉ１はアノード端子Ｖｄｄ側に供給される。
【０６１２】
電圧駆動の場合は、駆動用トランジスタ１１ａに電圧Ｖ１を印加する必要がある。また、前記電圧Ｖ１により流れる電流Ｉ１はＶｄｄ端子側で測定する。たとえば、図１０３に図示するように、アノード電流が流れる経路にピックアップ抵抗Ｒを接続し、電圧計（Ａ／Ｄ変換回路３９１）などＲの両端の電圧を測定する。
【０６１３】
以上のように、駆動用トランジスタ１１ａに電圧階調回路２３１により各ソース信号線１８に既知の電圧Ｖ１を印加し、その電圧に対する出力（入力）電流Ｉ１を測定する。もちろん、１つまたは複数のソース信号線１８を選択して既知の電圧を印加してもよい。したがって、図９２（ｂ）の逆の関係になる。つまり、Ｖ１印加によりＩ１を測定し、このＶ１とＩ１との関係から、図９２（ｂ）の実線で示す駆動用トランジスタ１１ａのＶ－Ｉ

特性を求める。Ｖ１の他、０階調目に対応するＶ０電圧を印加してもよい。

【０６１４】

Ｖ０電圧の場合はＶ０電圧を印加したときに、電流計に流れる電流を０あるいは微小な値となるように、印加するＶ０を調整すれば、階調０に対するプログラム電圧Ｖ０が精度よく求めることができる。そのときは、電圧階調回路２３１の出力電圧を変化させて０になるように調整する。その他、たとえば１μＡが流れるように、駆動用トランジスタ１１ａに印加する電圧Ｖｘを調整する。複数点の電圧Ｖと電流の関係を測定すれば、さらに精度のよいＶ－Ｉカーブを推定あるいは求めることができる。

【０６１５】

図１０３の実施例でも図９０と同様に、スイッチＳをセレクタ回路２２２により、クロックに同期させて順次クローズさせている。スイッチＳｘ（ｘ＝１～ｎ）により各ソース信号線１８に接続された画素１６が選択される。また、選択する画素行の画素１６はゲートドライバ１２ａにより選択され、選択画素行位置は順次シフトされる。

【０６１６】

各スイッチＳが選択されることにより、選択された画素１６にアノード電流が流れ込む。アノード電流により抵抗Ｒの両端に電圧が発生する。発生する電圧はＡ／Ｄ変換回路３９１により、デジタル化され、メモリ５０２に蓄えられる。蓄えられたデータによりプログラム電圧に対応する階調電圧が算出あるいは求められる。もちろん、カソード電流Ｉ１などは電流計により測定してもよいことは言うまでもない。なお、階調０の場合は、抵抗Ｒの両端に発生する電圧は０であることは言うまでもない。

【０６１７】

図９０、図１０３では、ソース信号線１８に電圧Ｖｘを印加し、そのときに流れる電流Ｉ１を測定して、Ｖ－Ｉ特性を求めるとしたが、本発明はこれに限定するものではない。たとえば、図１０４に図示するように、ピックアップ抵抗Ｒの電圧が所定電圧（Ｖ１、Ｖ０、つまり電流Ｉ１を測定）となるように、ソース信号線１８に印加する電圧Ｖｘを調整してもよい。つまり、Ｉ１電流になるときのソース信号線１８に印加した電圧Ｖｘを調整する。このＶｘ－Ｉ１の関係からＶ－Ｉ特性を決定する。

【０６１８】

ソース信号線１８に電圧Ｖｘを印加することにより、駆動用トランジスタ１１ａからのカソード電流Ｉ１が流れる。カソード電流Ｉ１はピックアップ抵抗Ｒで電圧に変換されて測定される。測定される電圧Ｖ＝Ｉ１×Ｒとなるように、ソース信号線１８に印加する電圧Ｖｘを調整する。

【０６１９】

図１０４の実施例でも図９０と同様に、スイッチＳをセレクタ回路２２２により、クロックに同期させて順次クローズさせている。スイッチＳｘ（ｘ＝１～ｎ）により各ソース信号線１８に接続された画素１６が選択される。また、選択する画素行の画素１６はゲートドライバ１２ａにより選択され、選択画素行位置は順次シフトされる。

【０６２０】

各スイッチＳが選択されることにより、選択された画素１６にアノード電流が流れ込む。アノード電流により抵抗Ｒの両端に電圧が発生する。ソース信号線１８に印加した電圧はＡ／Ｄ変換回路３９１により、デジタル化され、メモリ５０２に蓄えられる。蓄えられたデータによりプログラム電圧に対応する階調電圧が算出あるいは求められる。他の構成は図９０、図１０３と同様あるいは類似であるので説明を省略する。

【０６２１】

図９０、図１０３、図１０４の実施例では、画素は図２のように電圧駆動（電圧プログラムを行う画素構成）の画素構成であるとした。したがって、画素構成は、図２だけでなく、図１１５などの画素構成であっても適用できる。また、以上の実施例である本発明は、アノード端子あるいはカソード端子に流れる電流を検出あるいは測定もしくは取得するものである。したがって、図１のように電流駆動（電流プログラムを行う画素構成）であっても適用できることは言うまでもない。つまり、図９０、図１０３、図１０４などにお

いて、画素１６の構成を図１、図１２、図１３、図１４などの画素構成に置き換えても本発明の実施例を適用できる。

【０６２２】

また、本発明は測定した電圧あるいは電流はフラッシュメモリなどに記憶させ、この記憶したデータに基づいて、映像信号に対するプログラム電圧またはプログラム電流を求め画素１６に印加するものである。したがって、画素構成は、図１、図１２、図１３、図１４などの電流プログラム、図２、図１１５の電圧プログラムのいずれであっても本発明の実施例を適用することができる。

【０６２３】

測定あるいは取得した電圧データＶは、フラッシュメモリなどに格納し、フラッシュメモリからデータをコントローラ回路（ＩＣ）８０１のメモリに転送して映像データに対応するプログラム電圧またはプログラム電流を発生させる。しかし、フラッシュメモリの読み出し速度は低速である。本発明では、図１０５に図示するように、複数のフラッシュメモリ１０５１を表示装置に実装する。実装したフラッシュメモリ１０５１からコントローラ回路（ＩＣ）８０１の制御により、対応するソースドライバ回路（ＩＣ）１４に電圧データを転送する。各ソースドライバ回路（ＩＣ）１４は転送された電圧データによりＶ－Ｉカーブを発生させ、映像データに対応するプログラム電圧またはプログラム電流をソース信号線１８出力し、対応する画素１６に駆動用トランジスタ１１ａに印加する。

【０６２４】

以上に説明した本発明の技術的思想は、本発明の他の実施例と組み合わせることができることはいうまでもない。また、以上の本発明の技術的思想を用いて、ソースドライバ回路（ＩＣ）１４などの半導体、表示パネル、表示装置を構成できることは言うまでもない。また、スイッチＳ、抵抗Ｒ、Ａ／Ｄ変換回路３９１，電圧階調回路２３１などは、アレイ基板３０にポリシリコン技術を用いて直接に形成してもよい。

【０６２５】

以上の実施例では、説明を容易にするため、測定した電圧または電流データはメモリに蓄えるとしたが、本発明のメモリとは一時的にデータをデジタルまたはアナログで保持できるものであればいずれのものでもよい。たとえば、メモリとはアナログデータをサンプリングするサンプルホールド回路であってもよい。もちろん、メモリとはフラッシュメモリ、ＳＲＡＭ、ＤＲＡＭなどの半導体も概念に含まれる。メモリは、ソースドライバ回路１４の内部に構成してもよいし、外部に配置してもよい。以上の事項は、本発明の他の実施例にも適用できる。

【０６２６】

以上のように、本発明は、駆動用トランジスタ１１ａに電圧あるいは電流を印加あるいは供給し、この印加した電圧あるいは電流に対して駆動用トランジスタなど（図１２のカレントミラーの画素構成ではトランジスタ１１ｂ）から出力される電流あるいは測定することにより、駆動用トランジスタのＶ－Ｉカーブを求め、この求めたＶ－Ｉカーブから各階調に対応するプログラム電圧あるいはプログラム電流を求めるものである。

【０６２７】

本発明は、既知の電圧あるいは電流を各ソース信号線１８に印加し、出力される電流あるいは電圧を測定し、もしくは、出力される電流あるいは電圧が所定の値となるように、ソース信号線１８に印加する電圧または電流を調整することにより、ＥＬ素子１５に電流を供給する駆動用トランジスタ１１のＶ－Ｉカーブを求め、あるいは類推し、各階調に対するプログラム電圧あるいはプログラム電流を決定するものである。

【０６２８】

以上のように実施することにより、各駆動用トランジスタ１１ａのＶ－Ｉカーブを精度よく求めることができる。求められた電圧はプログラム電圧となり、または、プログラム電流となる。各プログラム電流、プログラム電圧は映像信号に対応している。

【０６２９】

図１０６に図示するように、電圧データは、求められた駆動用トランジスタ１１ａのＶ

－Ｉカーブより映像信号データに対応するように変換されて９ビットのデータ（ＶＤＡＴＡ）となる。８ビット以上の９ビットとしているのは、立ち上がり電圧Ｖｔ以下の電圧を発生させるためである。これは、ゲート信号線１７ａのオンオフ動作による駆動用トランジスタ１１ａのゲート端子への突き抜け電圧の影響を補償し、良好な黒表示または低階調領域の表示を実現するためである。

【０６３０】

測定した電圧は、突き抜け電圧を補正するため所定電圧を加減算あるいは補正処理され、また映像データのガンマカーブあるいはＥＬ特性に適合するように処理され、映像信号の階調データとしてのプリチャージ電圧Ｖｐとなる。プリチャージ電圧Ｖｐは多ビットの映像データに対応するものであるから、以後の説明ではプリチャージ電圧ＶｐをＶＤＡＴＡと呼ぶ。また、ＶＤＡＴＡは、画素１６にプログラムする（書き込む）電圧であるので、プログラム電圧ＶＤＡＴＡと呼ぶこともある。

【０６３１】

図１０６に図示するように、映像信号に対応するＶＤＡＴＡは、電圧階調回路２３１に入力され、図２５、図８１などのＡ期間（電圧）にソース信号線１８にプログラム電圧として印加される。Ａ期間で印加する電圧ＶＤＡＴＡは、ソース信号線１８の寄生容量を高速に充放電するものであるから、プリチャージ電圧Ｖｐとして機能する。したがって、本明細書においてプリチャージ電圧Ｖｐとプログラム電圧ＶＤＡＴＡは同義または類似の機能、動作を有している。なお、図２５、図８１などでＡ期間に電圧を印加する方式は以前に詳細に説明しているので説明を省略する。

【０６３２】

プログラム電圧ＶＤＡＴＡ（プリチャージ電圧Ｖｐ）は、ソース信号線１８に定電流Ｉｗ（Ｉｗ＝０（Ａ）も含む）を印加し、駆動用トランジスタ１１ａに定電流Ｉｗを流し、そのときのソース信号線１８の電位を測定したものである。したがって、駆動用トランジスタ１１ａの特性（Ｖ－Ｉカーブ）で補正されている。印加するプログラム電圧ＶＤＡＴＡは、各画素１６の駆動用トランジスタ１１ａの特性バラツキを反映している。

【０６３３】

ＶＤＡＴＡは、Ｖ－Ｉカーブの特性位置（たとえば、Ｖａ）で、誤差０（誤差がない。たとえば、Ｉｗを印加すればＶ－ＩカーブでＶａは一義に定まる）である。誤差０とは、特定位置（たとえば、Ｖａ）で誤差がキャンセルされたことになる。この特定位置（たとえば、Ｖａ）の前後で、理想値からずれ、理想特性から誤差が発生する。しかし、特定位置では理想値で動作する。この方式ではソース信号線１８で測定した電圧（映像階調に適合するように処理を行っている電圧）を印加し、誤差をキャンセルしていること、電圧（たとえば、Ｖａ）位置を中心として理想値から誤差が発生することから、電圧オフセットキャンセルと呼ぶ。

【０６３４】

プログラム電圧ＶＤＡＴＡは、電圧オフセットキャンセルされた値となっている。Ａ期間のこのプログラム電圧ＶＤＡＴＡにより、ソース信号線１８は、目標の電流がＥＬ素子１５に流れるように充放電される。精度が最もよいのは、オフセット電圧（たとえば、Ｖａ）とその近傍である。オフセット電圧から遠ざかるにつれ、目標電流からの誤差は大きくなる。

【０６３５】

本発明は、Ａ期間にプログラム電圧ＶＤＡＴＡを印加後、Ｂ期間（必要に応じて図８１に図示するように、過電流を印加する）に、プログラム電流ＩＤＡＴＡを印加する。ＩＤＡＴＡは最終的に画素１６に書き込む（プログラムする）階調電流である。

【０６３６】

本発明ではプログラム電流ＩＤＡＴＡをＢ期間に印加する。オフセット電圧近傍以外でＶＤＡＴＡを印加することにより、目標電流（画素１６に書き込む目標値）からの誤差が大きくなっても、Ｂ期間に印加するプログラム電流ＩＤＡＴＡにより理想的な誤差のない（精度の高い）書き込みを実現できる。

【０６３７】
ＩＤＡＴＡは、電流階調回路１５４でプログラム電流に変換され、ソース信号線１８に供給される。供給期間は、図２５のＢ期間である。図２５などでも説明したように、プログラム電流は非常に精度が高いものである。したがって、精度のよいＡ期間のプログラム電圧とＢ期間のプログラム電圧により、画素１６のコンデンサ１９には、目標の電流がＥＬ素子１５に流れるようにプログラムされる。つまり、電圧＋電流プログラムを実施できる。
【０６３８】
図２５、図８１、図１０６では、Ａ期間の電圧印加と、Ｂ期間の電流印加の両方を１Ｈ期間（１水平走査期間）に実施するとしたが、これに限定するものではない。たとえば、低階調領域では１Ｈのすべての期間をＡ期間としてもよい。また、高階調領域では１Ｈのすべての期間をＢ期間としてもよい。低階調領域では、プログラム電流は微小でありほとんどソース信号線１８の充放電には影響を与えないからである。また、低階調領域では、プログラム電圧が支配的となるからである。
【０６３９】
以上の実施例では、電圧＋電流プログラム駆動を実施することにより、あたかも、低階調領域では電圧オフセットキャンセルを実施しているように駆動され、高階調領域では、電流プログラム駆動を実施していることなる。したがって、電圧駆動の効果と電流駆動の効果が補間して実施することができる。
【０６４０】
図１０６における電流データＩＤＡＴＡと、電圧データＶＤＡＴＡの関係は、図１０７のように示される。図１０６において、Ｖｔとは駆動用トランジスタの立ち上がり電圧であり、Ｖｔ電圧以下では、ＥＬ素子１５には電流が供給されない。Ｖｔ電圧は駆動用トランジスタの特性バラツキにより各駆動用トランジスタで異なっている。本発明では、Ｖｔ電圧またはＶｔ電圧の近傍の電圧をＶ０としている。Ｖ０をＶｔ電圧の近傍としたのは、ゲート信号線１８のオンオフ制御により駆動用トランジスタ１１ａのゲート端子に突き抜け電圧が発生するからである。この影響を考慮し、駆動用トランジスタ１１ａが完全な、あるいは画像表示として理想的なあるいは実用的な黒表示ができる階調０の電圧として、Ｖｂｂを規定（想定）している。
【０６４１】
本発明では、駆動用トランジスタをオフ状態（電流が流れない）にする電圧Ｖｂｂを原点として処理あるいは動作させている。つまり、ＶＤＡＴＡはＶｂｂ電圧を０とし、９ビット（５１２）きざみとしている。一方、プログラム電流であるＩＤＡＴＡは、ＥＬ素子１５に電流が流れないときは、０であるから、０を原点とし、８ビット（２５６きざみ）としている。
【０６４２】
図１０６の構成をさらに詳しく図示すれば図５６となる。ＶＤＡＴＡは電子ボリウム１５２に入力され、電子ボリウム１５２は、Ｖｂｂとアノード電圧Ｖｄｄ間の電圧を複数（この実施例では９ビット＝５１２分割）にきざんで出力する。電子ボリウム１５２の出力は電圧階調回路２３１に入力される。なお、電圧階調回路２３１は電子ボリウム１５２を含むと考えてもよい。他の構成は、図２３と同様であるので説明を省略する。
【０６４３】
図１０６、図５６に図示するように、１つの画素１６には、プログラム電流データ（ＩＤＡＴＡ）とプログラム電圧データ（ＶＤＡＴＡ）が必要である。したがって、図１０８（ａ）に図示するように倍速でＩＤＡＴＡ、ＶＤＡＴＡを伝送している。しかし、倍速伝送は回路系の負担が大きい。この課題を解決するために、まず、アレイ基板３０においても対策が必要である。そこで、まず、本発明のアレイ３０の製造方法などについて図１０９などを参照しなから説明をする。
【０６４４】
画素はＲＧＢの３画素で正方形の形状となるように作製されている。したがって、Ｒ、

Ｇ、Ｂの各画素は縦長の画素形状となる。したがって、レーザー照射スポット１０９２を縦長にしてアニールすることにより、１画素内ではトランジスタ１１の特性バラツキが発生しないようにすることができる。また、１つのソース信号線１８に接続されたトランジスタ１１の特性（モビリティ、Ｖｔ、Ｓ値など）を均一にすることができる（つまり、隣接したソース信号線１８のトランジスタ１１とは特性が異なる場合があるが、１つのソース信号線に接続されたトランジスタ１１の特性はほぼ等しくすることができる）。

【０６４５】

一般的にレーザー照射スポット１０９２の長さは１０インチというように固定値である。このレーザー照射スポット１０９２を移動させるのであるから、１つのレーザー照射スポット１０９２を移動できる範囲内におさまるようにパネルを配置する必要がある（つまり、パネルの表示画面３４の中央部でレーザー照射スポット１０９２が重ならないようにする）。

【０６４６】

図１０９の構成では、レーザー照射スポット１０９２の長さの範囲内に３つのパネルが縦に配置されるように形成されている。レーザー照射スポット１０９２を照射するアニール装置はガラス基板１０９４の位置決めマーカー１０９３ａ、１０９３ｂを認識（パターン認識による自動位置決め）してレーザー照射スポット１０９２を移動させる。位置決めマーカー１０９３の認識はパターン認識装置で行う。アニール装置（図示せず）は位置決めマーカー１０９３を認識し、画素列の位置をわりだす（レーザー照射範囲１０９２がソース信号線１８と平行になるようにする）。画素列位置に重なるようにレーザー照射スポット１０９２を照射してアニールを順次行う。

【０６４７】

図１０９で説明したレーザーアニール方法（ソース信号線１８に平行にライン状のレーザースポットを照射する方式）は、有機ＥＬ表示パネルの本発明の駆動方式に採用することが好ましい。なぜならば、ソース信号線に平行方向にトランジスタ１１の特性が一致しているためである（縦方向に隣接した画素トランジスタの特性が近似している）。そのため、電流駆動時にソース信号線の電圧レベルの変化が少なく、電流書き込み不足が発生しにくい。駆動用トランジスタ１１ａの特性が一致するとは、たとえば図１０７においてＶｔ電圧が一致あるいは類似していることである。したがって、ソース信号線１８に沿った画素の駆動用トランジスタ１１ａのＶｔに対するプログラム電圧は略一致していることになる。ソース信号線１８に平行にレーザーを照射し、そのレーザー照射範囲１０９２をソース信号線１８に垂直に移動させているからである。

【０６４８】

１つのソース信号線１８に接続された駆動用トランジスタ１１ａの特性が一致していることは電流駆動において以下の利点がある。たとえば、白ラスター表示であれば、隣接した各画素のトランジスタ１１ａに流す電流はほぼ同一のため、ソースドライバ回路１４から出力する電流振幅の変化が少ない。もし、図１のトランジスタ１１ａの特性が同一であり、各画素に電流プログラムする電流値が画素列で等しいのであれば、電流プログラム時のソース信号線１８の電位は一定である。したがって、ソース信号線１８の電位変動は発生しない。また、電圧＋電流駆動を実施する場合においても、印加する電圧（プログラム電圧）は変化させる必要がないということになる。

【０６４９】

１つのソース信号線１８に接続されたトランジスタ１１ａの特性がほぼ同一であれば、ソース信号線１８の電位変動は小さいことになる。このことは、ソース信号線１８に沿った画素のＶ０電圧あるいはＶｂｂ電圧は略同一の値としてもよいことを意味する。また、Ｖ－Ｉ特性も略一致しているため、Ｖａ電圧なども同一でよい。つまり、ソース信号線１８に沿った画素のＶ－Ｉ特性は略一致していると考えてよい。

【０６５０】

ゲート信号線１８に平行にレーザーを照射し、そのレーザー照射範囲１０９２をゲート信号線１８に垂直に移動させる場合は、ゲート信号線１８に沿った画素のＶ０電圧は略同

一の値としてもよいことを意味する。また、Ｖ－Ｉ特性も略一致しているため、Ｖ１電圧なども同一でよい。つまり、ゲート信号線１８に沿った画素のＶ－Ｉ特性は略一致していると考えて以下の実施例を適用することは言うまでもない。

【０６５１】

Ｖ０電圧は、階調０の電圧を意味するとして説明する。広義には、Ｖｔ電圧、Ｖｂｂ電圧なども意味する。Ｖ０電圧は階調０であるから完全な黒表示が対応する。そのため、映像信号とのかかわりで理解が容易であるためＶ０電圧を基準として説明をする。実際には、駆動用トランジスタ１１ａが電流を流し始める電圧がＶｔ電圧であり、理想的な黒表示を行う電圧をＶｂｂ電圧としている。

【０６５２】

図１０９のようにアレイを作製することにより、ソース信号線１８に沿って駆動用トランジスタ１１ａのＶ０特性などのプログラム電圧が略一致している。したがって、複数画素のＶ０電圧などが同一として処理（ＶＤＡＴＡの発生など）を行ってもよい。

【０６５３】

図１１０はソース信号線１８に沿った２画素のＶ０電圧を同一にした実施例である。アレイ３０は、図１０９で説明した製造方法で作製している。

【０６５４】

Ｖ０電圧は駆動用トランジスタ１１ａで異なる。図１１０などの以下で示す実施例では、異なるＶ０電圧をＶ０ｘとし、ｘの添え字をつけて示している（Ｖ０１、Ｖ０２など）。なお、Ｖ０などのＶＤＡＴＡは複数画素で共通にするが、ＩＤＡＴＡを各画素で映像信号に対応して異ならせている。もちろん、画像の解像度が必要でない場合は、ＩＤＡＴＡも複数画素で共通にしてもよいことは言うまでもない。

【０６５５】

図１１０（ａ）は第１Ｆ（フィールド（フレーム））の状態である。図１１０（ａ）の点線で示すように奇数画素行と偶数画素行でＶ０電圧を共通にしている。このように構成することにより、２つのＩＤＡＴＡに対して１つのＶＤＡＴＡを伝送することだけでよい。したがって、図１０８の映像信号ＳＤＡＴＡの階調データであるＩＤＡＴＡ、ＶＤＡＴＡの伝送速度は、１．５倍速で済むことになる。

【０６５６】

しかし、図１１０のように、２画素に共通のＶＤＡＴＡにすると、解像度が低下する可能性がある。この課題に対しては、図１１０（ｂ）に図示するように、第１Ｆ（フィールド（フレーム））の次の第２Ｆ（フィールド（フレーム））では、偶数画素行と奇数画素行で共通にしている（点線で示している）。第３Ｆ（フィールド（フレーム））では、図１１０（ａ）のようにＶＤＡＴＡを共通にする（Ｖ－Ｉカーブを共通にする）。

【０６５７】

図１１１では、ソース信号線１８に沿った画素１６のＶ０データ（Ｖ－Ｉカーブ）を共通にした実施例である。図１０９の実施例のようにアレイを形成する場合に有効である。Ｖ０電圧は、１つの画素列のＶ０、Ｖ１、Ｖ－Ｉカーブなどを平均化したものを用いる。

【０６５８】

平均化の方法としては各画素列のソース信号線１８に定電流（０電流を含む）を印加し、第１番目の画素行から最後の画素行まで順次選択し、選択するごとにソース信号線１８のＶ０あるいはＶ１電圧を測定する。測定後、得られたＶ１またはＶ０電圧を平均化して、プログラム電圧Ｖ０、Ｖ１を求める。

【０６５９】

図１１２は、ＲＧＢの画素でＶ０電圧などを共通にした実施例である。近接したＶ０電圧は略一致しているからである。図１１２のようにＲＧＢで共通にする場合は、ＩＤＡＴＡ、ＶＤＡＴＡの伝送は、図１０８（ｂ）のようになる。ＲＧＢで共通のＶＤＡＴＡを伝送し、次に各ＲＧＢ画素のＩＤＡＴＡを伝送する。以上のように構成すれば、伝送速度はほとんど高くならない。

【０６６０】

当然のことながら、図１１３に図示するようにマトリックス状（ブロック状）にＶ０電圧などを共通にしてもよいことは言うまでもない。図１１３では１つのブロックを点線で囲っている。

【０６６１】

なお、図１１０などの実施例では、複数画素においてＶ０電圧を共通にするとしたが、これに限定するものではなく、複数画素のＶ１電圧などを一致させてもよい。また、本発明は複数画素でＶ－Ｉ特性を共通にするという技術的思想である。したがって、Ｖ０、Ｖ１電圧を複数画素で共通にすることに限定されるものではない。Ｖ－Ｉカーブを共通にするとしてよい。また、２画素に限定されるものではないことも言うまでもない。

【０６６２】

以上の実施例は、定電流Ｉｗをソース信号線１８に印加し、定電流Ｉｗに対応する電圧（Ｖａ、Ｖ０電圧など）を測定するとした。測定あるいは取得した電圧値を基準として使用あるいは処理を実施し、各駆動用トランジスタ１１ａあるいは表示領域内の全体としてあるいは平均として駆動用トランジスタ１１ａＶ－Ｉカーブを求める。

【０６６３】

本発明の実施例において、各画素でＶ０電圧などを測定するとしたが、これに限定するものではない。たとえば、図１０９などのように、アレイ３０が形成される場合は、ソース信号線１８に沿った画素列（レーザー照射範囲に沿った画素領域）で共通のＶ０、Ｖ１、Ｖ－Ｉカーブとしてもよいことは言うまでもない。たとえば、画素列でＶ０電圧を共通にする場合は、Ｖ０電圧は画素列ごとに１つだけ測定するだけでよいことは言うまでもない。また、図１１０、図１１１、図１１２、図１１３のようにＶ－Ｉカーブ、プログラム電圧Ｖ０、Ｖ１、Ｖａなどを設定してもよい。

【０６６４】

以上の実施例は、Ｖ０、Ｖ１、Ｖａなどを測定し、Ｖ－Ｉカーブを求めあるいは算出し、電圧＋電流駆動などを実施する方式であった。しかし、本発明はこれに限定するものではない。たとえば、図１１４に図示する実施例を実施してもよい。

【０６６５】

図１１４において、スイッチＳ１～Ｓｎ（ｎはソース信号線１４番号の最大値）を順次クローズさせ、各ソース信号線１４の電位を測定し、測定した電位をＡ／Ｄ変換回路３９１でＡ／Ｄ変換してＥＥＰＲＯＭなどの不揮発性メモリ５０２に保持する。保持はＪＰＥＧなどの圧縮技術を用いておこなってもよい。この保持したデータと映像信号とを用いて電圧階調回路２３１から電圧階調信号をソース信号線１８に印加し、電圧駆動を実施してよい。

【０６６６】

図９６で説明したＶ０、Ｖ１を測定する際は、図１１６に図示するように、ソースドライバ回路１４内に定電流発生回路または電流階調回路１５４を設け、前記回路１５４から定電流を発生させ、この定電流をスイッチＳＩ１からスイッチＳＩｎ（ｎはソース信号線１８の最大値）を順次クローズし、かつスイッチＳ１からスイッチＳｎを順次クローズさせてソース信号線１８の電位を測定してもよい。

【０６６７】

たとえば、スイッチＳＩ２をクローズするとともにソース信号線１８に定電流Ｉｘを印加し、スイッチＳ２をクローズさせてソース信号線１８の電位Ｖｘを測定する。測定したＶｘはＡ／Ｄ変換回路３９１でＡ／Ｄ変換し、メモリ５０２に保持させる。

【０６６８】

以上の動作をすべてのソース信号線１８あるいは必要なソース信号線１８を選択して実施し、各ソース信号線１８の電位を測定してメモリ５０２に保持させる。この保持したデータよりＶ－Ｉカーブを求めあるいは立ち上がり電圧を発生させて、電圧階調回路２３１または電流階調回路などを用いて電圧駆動あるいは電圧＋電流駆動もしくは過電流＋階調電流駆動（図２５、図８１とその説明などを参照のこと）を実施する。

【０６６９】

図１１６は１つの電流階調回路１５４を用いた構成であったが、本発明はこれに限定するものではない。たとえば、図１１７に図示するように、複数（図１１７では３つの電流階調回路１５４（１５４ａ、１５４ｂ、１５４ｃ））の定電流回路を構成してもよい。

【０６７０】

それぞれの電流階調回路１５４は出力する定電流値が固定されている。たとえば、電流階調回路１５４ａは定電流Ｉ１を出力し、電流階調回路１５４ｂは定電流Ｉ２を出力し、電流階調回路１５４ｃは定電流Ｉ３を出力する。どの電流階調回路１５４を選択するかは、スイッチＳＷ１で選択する。電流階調回路１５４が出力する相対的な定電流の大きさは、ソースドライバ回路１４に外付けの抵抗により可変することができる。

【０６７１】

図３８、図５９、図６１、図６７、図１０２、図１１１、図１１２、図１１３などで説明したように、各ソース信号線１８には定電流Ｉｗなどを印加し、ゲート信号線１７ａを順次選択して、ソース信号線１８の電位を測定する。しかし、本発明はこれに限定するものではない。たとえば、図１１８に図示するように、すべてのゲート信号線１７ａを選択し、画素１６のトランジスタ１１ａを動作状態にしてもよい。

【０６７２】

図１１８では、一例としてゲートドライバ回路１２ａを用いて、すべてのゲート信号線１７ａにオン電圧を印加する。前記オン電圧印加状態で、各ソース信号線１８または１つ以上のソース信号線１８に定電流を印加する。一方、ゲートドライバ回路１２ｂを動作させてゲート信号線１７ｂにはオフ電圧を印加しておく。つまり、ＥＬ素子１５には電流経路は発生していない。他の動作は以前に説明した実施例と同様であるので説明を省略する。

【０６７３】

また、ソース信号線１８には電流を流さない状態にする。つまり、ソースドライバ回路１４は図２３のスイッチ１６１ｂをオープン状態にする。表示画面３４のすべての画素１６の駆動用トランジスタ１１ａは平均して最も電流ＥＬ素子１５に電流を流さないように自然に調整される。この状態のソース信号線１８の電圧をＶ０電圧としてメモリに保持させる。他の動作は以前に説明した実施例と同様であるので説明を省略する。

【０６７４】

もちろん、図１１９に図示するように、１つのソース信号線１８を選択して定電流（Ｉｗ＝Ｉ１）を印加し、１つ以上のゲート信号線１７ａを順次選択して、Ｖ１電圧などを測定してもよいことはいうまでもない。また、図２３のスイッチ１６１ｂをオープン状態にしてＶ０電圧を測定する。

【０６７５】

また、図１２０に図示するように、表示画面３４を選択ブロック（３４ａ、３４ｂ）に分割し、複数の表示ブロックのいずれかをブロック単位で選択（選択されたブロックのゲート信号線１７ａにはオン電圧を印加する）し、各ブロックに定電流などを印加あるいはソース信号線１８をソースドライバ回路１４から切り離してハイインピーダンス状態にして、Ｖ１電圧、Ｖ０電圧を測定してもよいことはいうまでもない。この場合は、各選択したブロックでＶ０あるいはＶ１電圧などを測定し、平均化処理を実施する。たとえば、３４ａ、３４ｂの２ブロックでＶ０１、Ｖ０２の電圧を測定されたとするならば、Ｖ０＝（Ｖ０１＋Ｖ０２）／２とする。

【０６７６】

以上のように、複数の画素行を同時に選択し、定電流を印加することにより平均した電圧Ｖ０、Ｖ１などを測定することができる。したがって、後に平均化処理などを実施する必要がなくなる。

【０６７７】

測定されたＶ０、Ｖ１電圧などは、Ａ／Ｄ変換されたメモリ５０２などに記憶され、また、メモリから読み出されＤ／Ａ変換されることに限定されるものではない。表示状態（たとえば、０階調目の黒表示）に適合したように、測定などされたＶ０、Ｖ１は処理され

る。たとえば、測定などされたＶ０、Ｖ１から一定の値を加算あるいは減算される。また、一定の比率で除算あるいは乗算される。また、パネル温度などにより補正される。

【０６７８】

たとえば、ソース信号線Ｓ１で測定されたＶ０＝４．１Ｖ、ソース信号線Ｓ２で測定されたＶ０＝３．９Ｖの場合、一定比率の０．２Ｖが加算されて、ソース信号線Ｓ１に４．３Ｖが、ソース信号線Ｓ２に４．１Ｖが０階調目の電圧として印加される。０階調目の電圧の印加後、電流プリチャージ電圧Ｖｐが実施され、その後、階調電流が印加される。

【０６７９】

もちろん、図１２１に図示するように、表示画面３４を複数のブロックに区分してもよい。なお、図１２１（ａ）のＶ０１、Ｖ０２などの表示は、各処理ブロックで測定された電圧値である。また、図１２１（ｂ）は縦方向の処理ブロックで平均した値である。たとえば、図１２１（ａ）のａ列は、Ｖ０１、Ｖ０２、Ｖ０１、Ｖ０１・・・・・Ｖ０４である。この平均化処理した結果が、図１２１（ｂ）のａ列のＶ０１となっている。同様に、図１２１（ａ）のｂ列は、Ｖ０２、Ｖ０４、Ｖ０６、Ｖ０２・・・・・Ｖ０２である。この平均化処理した結果が、図１２１（ｂ）のｂ列のＶ０２となっている。図１２１（ａ）のｃ列は、Ｖ０１、Ｖ０２、Ｖ０１、Ｖ０１・・・・・Ｖ０１である。この平均化処理した結果が、図１２１（ｂ）のｃ列のＶ０１となっている。

【０６８０】

本発明において、図１０９などで説明したように、レーザー照射はソース信号線１８に平行になるようにすることが好ましい。また、ドーピング方向もトランジスタ１１ａの特性がソース信号線に平行方向に近似するように実施することが好ましい。図１２１などで説明したＶ０、Ｖ１電圧が画素列方向に近似し、補正あるいは補償が容易になるからである。

【０６８１】

図１２２に図示するように、ソースドライバ回路１４ａの電流階調回路１５４は、カスケード接続により隣接したドライバＩＣ１４ｂに定電流を引き渡せるように構成されている。図１２２のソースドライバ回路１４の電流階調回路１５４ａはスイッチＳａ～Ｓｎによりソース信号線１８に定電流を印加できるように構成されている。また、電圧階調回路２３１ａは、Ｖ０、Ｖ１電圧で補正された階調電圧がソース信号線１８に印加されるように構成されている。

【０６８２】

また、各ソース信号線１８に印加（出力）された電圧はソースドライバ回路１４ａのスイッチＳ１～Ｓ１６０と、ソースドライバ回路１４ｂのスイッチＳ１６１～Ｓ３２０に共通に接続あるいは配置されている。したがって、１～３２０本の各ソース信号線１８の電位は、１つのＡ／Ｄ変換回路３９１に出力される。スイッチＳの電圧配線１２２２は、各ソースドライバ回路１４内を横方向に配線されている。ソースドライバ回路１４ａとソースドライバ回路１４ｂ間はソースドライバ回路１４のａ、ｂ端子で接続されている。

【０６８３】

ソースドライバ回路１４ａの電流階調回路１５４ａはトランジスタ１６８ａとカレントミラー回路を構成している。トランジスタ１６８ａに流れる電流は外付け抵抗Ｒ１で調整される（図１７などを参照のこと）。トランジスタ１６８ａへの経路にカスケード回路１２２１ａが形成されている。基本的には、カスケード回路１２２１は図１７、図１５などで説明したようにオペアンプ回路１５１ａとトランジスタ１６７ａから構成される。同様に、ソースドライバ回路１４ｂのトランジスタ１６８ｂと電流階調回路１５４ｂもカレントミラー回路を構成している。

【０６８４】

カスケード回路１２２１ａは２つの同一の定電流を発生させ、１つの電流をトランジスタ１６８ａに供給し、もう一方の電流を端子ｃ、端子ｄで、ソースドライバ回路１４ｂのカスケード回路１２２１ｂに供給する。この構成により、トランジスタ１６８ａとトランジスタ１６８ｂには同一の電流が供給される。したがって、ソースドライバ回路１４ａの

電流階調回路１５４ａの出力電流は抵抗Ｒ１で調整あるいは可変される。この電流と同一の電流がソースドライバ回路１４ｂの電流階調回路１５４ｂにも印加される。そのため、ソース信号線１８の１〜３２０には同一の定電流が供給されることになる。

【０６８５】

図１２４は、主として図１２２にＥＥＰＲＯＭ５０２などの接続状態を記載した説明図である。ソース信号線１８はオープン状態に保持されてＶ０電圧を測定されるか、電流階調回路１５４から定電流が各ソース信号線１８に供給されて、Ｖ１などの電圧が測定される。測定は、スイッチＳ１〜Ｓｎが順次クローズされることにより実施される。

【０６８６】

測定されたＶ０、Ｖ１電圧などは、端子ｃより出力され、Ａ／Ｄ変換回路３９１でアナログ−デジタル変換されてＥＥＰＲＯＭなどのメモリ５０２に格納される。メモリ５０２に格納するデータは、１つの絶対値を示すＶ０データと、このデータとの差分であるＶｓデータである。具体的には、Ｖ０＝１．５Ｖとすると、ソース信号線Ｓ１の電圧値は１．６Ｖとすると、差分であるＶｓ１＝０．１Ｖが格納される。また、ソース信号線Ｓ２の電圧値は１．７Ｖとすると、差分であるＶｓ２＝０．２Ｖが格納される。・・・・・・・、ソース信号線Ｓｎの電圧値は１．４Ｖとすると、差分であるＶｓ１＝−０．１ＶがＥＥＰＲＯＭ５０２に格納される。差分データなどは、ＪＰＥＧ圧縮などを実施してもよいことはいうまでもない。ＥＥＰＲＯＭ５０２には、パネルの特性データ（ガンマカーブなど）、制御ＤＡＴＡ（ゲート信号線のタイミング信号など）も格納される。

【０６８７】

ＥＥＰＲＯＭ５０２のデータＶ０ｘは、コントローラ回路（ＩＣ）８０１の制御信号により３線シリアルバスによって、コントローラ回路（ＩＣ）８０１のメモリ領域に転送される。格納されたデータは、サンプルホールド回路２４１にデジタル映像信号ＤＡＴＡのＣＬＫに対して、通常クロックの１／２以下のゆっくりしたクロックＳＣＬＫで転送される。なお、デジタルデータＶ０ｘはＤ／Ａ変換回路１２４１でアナログの電圧データＶ０ｘに変換される。

【０６８８】

一方、デジタル映像信号ＤＡＴＡはＣＬＫに同期して、コントローラ回路（ＩＣ）８０１に印加され、コントローラ回路（ＩＣ）８０１はデジタル映像信号ＤＡＴＡをソースドライバ回路１４の入力フォーマットに適応するように処理し、クロックＭＣＬＫに同期して、ソースドライバ回路１４に印加される。

【０６８９】

以上の実施例では、表示を行う画素１６に定電流を供給し、ソース信号線１８の電位を測定あるいは計測もしくは取得するものであった。しかし、本発明はこれに限定するものではない。たとえば、図１２３に図示するように、Ｖ０電圧を測定する画素１６ｄを形成しておいてもよい。画素１６ｄでＶ０、Ｖ１電圧などを測定し、測定したデータを前記画素１６ｄが接続されたソース信号線１８に接続された画素列の特性データとする。

【０６９０】

図１２３に図示するように、画素１６ｄに定電流Ｉ１を印加する。また、ゲート信号線１７ａｄにオン電圧を印加する。このようにすることにより、電流Ｉ１が駆動トランジスタ１１ａｄから供給される。電流Ｉ１が流れている時の、ソース信号線１８の電位Ｖ０、Ｖ１などを測定する。他の構成は以前に説明した内容と同一または類似であるので説明を省略する。

【０６９１】

電圧階調回路２３１は、図１２５に図示するようにサンプルホールド回路で構成してもよい。電流階調回路１５４で定電流がソース信号線１８に供給される。また、スイッチＳ１〜Ｓｎにより、各ソース信号線１８の電位は電圧配線に読み出され、Ａ／Ｄ変換回路３９１でデジタルデータに変換されてＥＥＰＲＯＭ５０２に格納される。

【０６９２】

ＥＥＰＲＯＭ５０２に格納されたデータは、コントローラ回路８０１により定期的に読

み出され、Ｄ／Ａ変換回路１２４１でアナログデータに変換される。この際、プリチャージに適合するように、値は補正される。サンプルホールド回路２４１では、前記データをサンプルホールドする。サンプルホールドするのは、回路規模が小さく、ソースドライバ回路１４のチップサイズを小さくできるからである。

【０６９３】

サンプルホールドされた電圧は、１Ｈの同期信号に同期して、各ソース信号線１８に印加される。ただし、サンプルホールド電圧を出力する必要がないソース信号線１８には印加されない。必要印加後、電流あるいは電圧プリチャージが必要な階調変化が発生する箇所には、プリチャージ処理が実施される。プリチャージ処理の後、またはサンプルホールド電圧が出力された後、電流階調回路１５４から映像信号に対応する駆動電流がソース信号線１８に出力される。

【０６９４】

以上のように、本発明は、必要に応じてサンプルホールド電圧をソース信号線１８に印加後、必要に応じて電流あるいは電圧プリチャージを実施する。その後、階調電流をソース信号線１８に印加する駆動方式である。なお、以上の信号をソース信号線１８に印加するとしたが、画素１６あるいは画素の駆動トランジスタ１１ａに印加あるいは供給すると読み替えてもよいことは言うまでもない。

【０６９５】

図１２５は、ソースドライバ回路１４の外にＡ／Ｄ変換回路などを具備する構成であった。しかし、本発明はこれに限定するものではない。たとえば、図１２６に図示するように、ソースドライバ回路１４の内部にＥＥＰＲＯＭ５０２を形成してもよい。Ｖ０などのオフセット電圧は、端子ａからソースドライバ回路１４外部に出力される。また、ＥＥＰＲＯＭ５０２からのデータをソースドライバ回路１４の内部に形成したＤ／Ａ変換回路１２４１でアナログデータに変換して、サンプルホールド回路２４１に供給してもよい。サンプルホールド回路２４１はクロックＳＣＬＫに同期して動作する。ＳＣＬＫは映像信号の同期クロックよりもゆっくりとしたクロックである。ＳＣＬＫはサンプルホールドが放電によりゆれが発生しないレベルに低速動作する。たとえば、水平同期クロックで動作する。他の構成あるいは動作は、本発明の他の実施例で説明しているので説明を省略する。

【０６９６】

以上の実施例は、プリチャージ電圧Ｖｐ（プログラム電圧ＶＤＡＴＡ）を印加後、プログラム電流を印加する方式であった。本発明はこれに限定するものではない。たとえば、図１２７に図示するように、完全に電圧駆動としてもよい。なお、図８１（ｂ）で説明したように、一定の条件を満足する場合は、プリチャージ電圧Ｖｐ（プログラム電圧ＶＤＡＴＡ）を印加せず、プログラム電流を印加してもよい。

【０６９７】

図１２７において、定電流出力回路１２７１から定電流（Ｉｗ＝Ｉｘ）がソース信号線１８に供給される。なお、供給あるいは印加とは、吐き出し電流と吸い込み電流の２通りがある。各ソース信号線１８の電位Ｖｘ（Ｖｘは駆動用トランジスタ１１ａのＶ－Ｉ特性において、Ｉｘに対応する電圧）には、スイッチＳ１～Ｓｘの操作により端子ａから出力される。

【０６９８】

選択された画素１６の駆動用トランジスタ１１ａの動作により、ソース信号線１８の電位は、Ｖｘとなる。なお、定電流を供給しない場合はＶ０であるとする。また、定電流Ｉｘを印加した場合はＶｘとする。ｘは階調に該当し１以上２５５以下（８ビット表示の場合））とする。

【０６９９】

ソース信号線１８の電位Ｖｘ（Ｖ０も含む）は、Ａ／Ｄ変換回路３９１でＡ／Ｄ変換されＥＥＰＲＯＭ５０２に保持される。ＥＥＰＲＯＭ５０２の出力は、電圧階調回路２３１で、Ｖｘ電圧を基準として、映像データに対応してガンマ処理などが実施されて各ソース信号線１８に印加される。図１２７は、駆動状態としては電圧駆動である。ただし、最初

に画素１６に定電流を供給し、オフセットの電圧（Ｖ０）を取得している点が従来のプログラム電圧駆動と異なる。

【０７００】

図１２７の実施例は、ソース信号線１８の電位Ｖｘをメモリ５０２に保持する方式であった。しかし、本発明はこれに限定するものではなく、電位Ｖｘをサンプルホールド回路で一時的に保持して、この電圧Ｖｘから映像信号に対応する階調電圧（プログラム電圧）を発生し、ソース信号線１８に印加（画素１６に印加）してもよい。

【０７０１】

以下、本発明の他の実施例について説明をする。本発明のドライバ回路およびそれを用いたＥＬ表示装置は、定電流発生回路と、前記定電流発生回路を出力する定電流はＥＬ素子を駆動するトランジスタに印加し、前記定電流を印加した状態で前記トランジスタのゲート端子電圧を測定あるいは所定期間保持する電圧保持回路と、前記電圧保持回路が保持などした電圧に所定の電圧信号を加算、減算あるいは所定処理をし、前記トランジスタのゲート端子に印加する電圧印加回路とを具備する構成あるいは方法である。

【０７０２】

図１２８は本発明の駆動回路部の説明図である。ソースドライバ回路１４の出力端子８３はソース信号線１８に接続されている。各ソース信号線１８には、画素１６が接続されている。各出力端子８３には、電流階調回路１５４、電圧階調回路２３１が構成あるいは形成されている。なお、電流階調回路１５４は、プログラム電流などの階調電流を出力できるものである。ただし、機能的には所定の定電流（プログラム電流）を出力できる構成であればよい。

【０７０３】

各出力にはスイッチＳＷ１、ＳＷ２、ＳＷ３、ＳＷ４、ＳＷ５が形成または配置されている。また、コンデンサ１３４１、バッファ１５１が形成または配置されている。コンデンサ１３４１は、直流（ＤＣ）成分のカットする機能を有するものであればいずれでもよい。または、電位をシフトできるものであればいずれのものでもよい。バッファ１５１は入力のａ部が高インピーダンスで、出力のｂ部が低インピーダンスのものであればいずれでもよい。たとえば、バッファアンプ、オペアンプなどが例示される。その他、トランジスタ素子でエミッタフォロワ回路を構成してもよい。

【０７０４】

先の実施例と同様に、本発明のＥＬ表示パネル（ＥＬ表示装置）の画素１６の構造は、図１などに示すように、１つの画素１６が４つのトランジスタ１１ならびにＥＬ素子１５により形成される。少なくとも、ＥＬ素子１５を駆動するトランジスタを介した電流の経路が、ソース信号線１８まで継続できる画素構成である。

【０７０５】

本発明は、画素１６の駆動用トランジスタ１１ａにプログラム電流（定電流Ｉｗ）を流し、プログラム電流を流した状態で駆動用トランジスタ１１ａのゲート端子電位を測定または一定の期間、保持することを特徴とする。また、ゲート端子電位に階調電圧を加減算し、加減算した電圧を画素の駆動用トランジスタ１１ａのゲート端子に書き込むことを特徴とする。

【０７０６】

第１の動作はＥＬ素子１５に流す電流値を記憶させる動作である。まず、ソースドライバ回路１４の電流階調回路１５４から所定の定電流がソース信号線１８に印加される。電流階調回路１５４の一例を図１２９に示す。

【０７０７】

電流階調回路１５４は、一例としてオペアンプ１５１とトランジスタ１６７および抵抗Ｒで構成される。オペアンプ１５１の＋側端子には電子ボリウム１５２が接続される。電子ボリウムは、デジタルデータＤＡＴＡをアナログデータＶに変換するＤ／Ａ変換回路として動作する。電子ボリウム１５２の出力電圧Ｖは設定データ（デジタルデータ）ＤＡＴＡにより変更される。ソース信号線１８に流れる電流Ｉｗは、電子ボリウム１５２の出力

電圧Ｖを抵抗Ｒで除算した値となる。

【０７０８】

本発明において電子ボリウム１５２を削除し、＋端子に抵抗分圧回路などにより電圧Ｖを発生させ、オペアンプ１５１に印加することにより定電流をソース信号線１８に印加してもよい。その他、定電流は電流階調回路１５４に限定するものではなく、所定あるいは一定範囲の定電流を発生できるものであればいずれのものであってもよい。たとえば、エミッタフォロワ回路でも定電流を発生することができる。

【０７０９】

定電流Ｉｗとは電流０の状態（電流が流れない）も含む。図１の画素構成にあって、プログラム電流Ｉｗ＝０とすれば、駆動用トランジスタ１１ａは、電流が流れないようにゲート端子の電位（コンデンサ１９の一端子の電位）を変動（可変）させる。したがって、定常電流Ｉｗは０となる。この変動後の駆動用トランジスタ１１ａのゲート端子電圧は駆動用トランジスタ１１ａの特性を示していることになり、この端子電圧を基準に階調設定を行うことにより駆動用トランジスタ１１ａの特性補償を良好に実施できる。

【０７１０】

ソースドライバ回路１４からソース信号線１８にプログラム電流Ｉｗを印加しているときは、図５（ａ）に図示するように、トランジスタ１１ｂならびにトランジスタ１１ｃがオン（クローズ）する。また、トランジスタ１１ｄはオープン状態に制御される。トランジスタ１１ｂ、１１ｃ、１１ｄの制御は、ゲート信号線１７ａ、１７ｂに印加するオンオフ信号により行う（図１３０（ａ）を参照のこと）。

【０７１１】

図１３０（ａ）に図示するように、ソースドライバ回路１４は、プログラム電流（定電流）を印加する前に、リセット動作を行う。リセット動作では、図１２８、図１３０に図示するスイッチＳＷ２、ＳＷ４、ＳＷ５はオープン状態に設定され、スイッチＳＷ３はクローズにされて、コンデンサ１３４１にグランド電位または所定の固定電圧が印加される。スイッチＳＷ１はクローズさせた状態でソース信号線１８にプログラム電流を印加してもよい。以上の動作がリセット動作である。リセット動作では、コンデンサ１３４１の一端子ｃに固定（既知）の電圧を印加する。既知の電圧とはグランド電圧も含まれる。コンデンサ１３４１の容量は、０．０５ｐＦ以上２ｐＦ以下とすることが好ましい。

【０７１２】

次の電圧読み取り動作では、スイッチＳＷ１をクローズさせ、プログラム電流（定電流）Ｉｗをソース信号線１８に印加する。このとき、スイッチＳＷ３、ＳＷ４、ＳＷ５はオープン状態とし、スイッチＳＷ２はクローズ状態にする（図１３０（ａ）を参照のこと）。

【０７１３】

図１に示す画素１６の駆動用トランジスタ１１ａは、プログラム電流Ｉｗを流し、また、プログラム電流Ｉｗを流すようにゲート端子電位を変化させる。ゲート端子電位は、トランジスタ１１ｂ、１１ｃがクローズ状態であるため、ソース信号線１８に出力される（読み出される）。ソースドライバ回路１４内のスイッチＳＷ２がクローズされているため、結果的にプログラム電流（定電流）Ｉｗを流す駆動用トランジスタ１１ａのゲート端子電位は、ソースドライバ回路１４のａに印加される（読み出される）ことになる。

【０７１４】

プログラム電流（定電流）Ｉｗの大きさは、０でもよいが、最大階調電流の１／８以上２／３以下の範囲となるように設定することが好ましい。なお、書き込み時間を短縮するため、最大階調電流の1倍以上１０倍以下に設定しても構わない。最大階調電流とは、最大階調でのＥＬ素子１５に流れる電流の大きさまたは画素１６にプログラムされるプログラム電流の大きさである。たとえば、２５６階調では、最大階調電流は、２５５階調目でＥＬ素子１５にプログラムされる電流である（０階調から階調番号は開始されるとしている）。

【０７１５】

プログラム電流（定電流）が小さいと、ソース信号線１８の寄生容量を充放電する時間に長時間を必要とし、駆動用トランジスタ１１ａのゲート電位の変化が１水平走査期間（１Ｈ期間）の最初の短時間では収束しない。また、プログラム電流（定電流）が大きいと、比較的駆動用トランジスタ１１ａの特性バラツキの影響が画像表示として出現しやすい低階調領域での特性補償が低くなる。以上の実施例では、最大階調電流の１／８以上２／３以下の定電流を画素１６に印加するとしたが、階調数の番号でこの範囲を表現してもよい。以上が電圧の読み出し動作である。

【０７１６】

以上の動作により、コンデンサ１３４１のａ部には、駆動用トランジスタ１１ａのゲート端子電位が読み出される。または、コンデンサ１３４１のａ部に保持される。図１２８の実施例では、コンデンサ１３４１のａ部に駆動用トランジスタ１１ａのゲート端子電位を読み出し、保持するとした。本発明はこれに限定するものではない。たとえば、ａ部の電位をＡ／Ｄ（アナログ－デジタル）変換し、デジタルデータとしてソースドライバ回路１４内または外部に形成または構成されたメモリ回路に保持してもよい。もちろん、アナログデータの状態で一定の期間、ソースドライバ回路１４外あるいは内の記憶手段などに保持させてもよい。

【０７１７】

次の動作は、読み取った電圧を基準（中心、原点）にして階調電圧を印加する動作である（図１３０（ｂ）を参照のこと）。この動作では、スイッチＳＷ１、ＳＷ２、ＳＷ３がオープン状態となり、スイッチＳＷ４、ＳＷ５がクローズ状態に制御される。コンデンサ１３４１のａ部には、選択した画素１６の駆動用トランジスタ１１ａのゲート端子電圧が保持されている。この定電流を流した時に保持される電圧をＶａ電圧と呼ぶ。ゲート端子電圧は、駆動用トランジスタ１１ａが、プログラム電流（定電流）をＥＬ素子１５に流すのに必要な電圧である。ｃ部にグランド（ＧＮＤ）電圧が印加されているとすると、コンデンサ１３４１の両電極間には、駆動用トランジスタ１１ａのゲート端子電圧が保持されていることになる。

【０７１８】

オペアンプ１５１のゲインが１とすると、ａ部の電圧がスイッチＳＷ５を介してソース信号線１８に印加されることになる。画素１６のトランジスタ１１ｂ、１１ｃは選択された１水平走査期間（１Ｈ期間）、クローズしているから、この状態では、読み出された駆動用トランジスタ１１ａのゲート端子電圧が、再び画素１６の駆動用トランジスタ１１ａのゲート端子に印加されることになる。したがって、駆動用トランジスタ１１ａは定電流に該当する電流をＥＬ素子１５に流す。以上の状態は駆動用トランジスタ１１ａの特性バラツキを補償し、精度よくＥＬ素子１５に定電流（プログラムされた電流）を流していることになる。なお、Ｖａ電圧は、駆動用トランジスタ１１ａの特性により各画素で異なっていることは言うまでもない。しかし、ＥＬ素子１５に流す電流は精度よくプログラム電流（定電流）が印加される。

【０７１９】

電圧階調回路２３１は、各階調に対応する階調電圧Ｖｘを出力する。階調電圧Ｖｘとは、映像信号の階調番号に対応する電圧である。映像信号と考えてもよい。階調電圧Ｖｘをそのままあるいは一定処理（比例処理、シフト処理、加減算処理など）を行い、駆動用トランジスタ１１ａにプログラム電圧として印加することにより画像表示を行うことができる。

【０７２０】

階調電圧Ｖｘは、スイッチＳＷ４と介して、コンデンサ１３４１のｃ部に印加される。コンデンサ１３４１のａ部の電位Ｖａは、電圧階調回路２３１が出力する階調電圧Ｖｘ分がシフトされる。したがって、ａ部の電位は、理想的にはＶａ＋Ｖｘとなる。

【０７２１】

Ｖａ＋Ｖｘ電圧は、ゲイン１であるオペアンプ１５１で低インピーダンスにされて出力される。Ｖａ＋Ｖｘ電圧は、スイッチＳＷ５、出力端子８３を介してソース信号線１８に

印加され、画素１６の駆動用トランジスタ１１ａのゲート端子に印加される。したがって、駆動用トランジスタ１１ａは、Ｖａ＋Ｖｘに対応する電流をＥＬ素子１５に印加する。

【０７２２】

図１２８では、オペアンプ１５１は、ゲイン１としたがこれに限定するものではなく、１以外でもよい。たとえば、２倍であれば、オペアンプ１５１はａ部に印加された電圧を２倍にしてソース信号線１８に印加する。また、印加されたａ部の電圧の極性の反転動作を行ってもよい。また、階調電圧Ｖｘとは、各階調に対する任意の電圧である。階調電圧Ｖｘは、Ｖａ電圧を中心として発生あるいは設定する。

【０７２３】

図１２８では、オペアンプ１５１を使用するとしたがこれに限定するものでない。入力インピーダンスが高く、出力インピーダンスが低いものであればいずれのものであってもよい。たとえば、図１４６はトランジスタによるエミッタフォロワ回路１４３１を用いた構成例である。トランジスタＱと抵抗Ｒでエミッタフォロワ回路１４３１が構成されている。ａ部からトランジスタＱのゲートをみたインピーダンスは高く、ｂ部の出力インピーダンスは低くなっている。したがって、コンデンサ１３４１の電位を安定して保持することができ、スイッチＳＷ５を介して印加する電圧によりソース信号線１８を良好に充放電することができるため、画素１６の駆動用トランジスタ１１ａに良好に階調電圧を印加できる。

【０７２４】

図１２８において、電流階調回路１５４は、各ソース信号線１８に対応してソースドライバ回路１４内に配置または形成するとしたが、本発明はこれに限定するものではない。たとえば、図１３１に図示するように、１つまたは複数の定電流源１３１２を配置し、前記定電流源１３１２はスイッチ回路１３１１で切り替え、各ソース信号線１８または各出力端子８３に形成または構成された電流出力回路１３１３に印加してもよい。電流出力回路１３１３は、カレントミラー回路あるいはカレントコピア回路が構成されており、定電流源１３１２から印加された電流値を保持できるように構成されている。保持は、電流出力回路１３１３内に構成あるいは形成されたカレントミラー回路またはカレントコピア回路により行われる。

【０７２５】

定電流源１３１２が出力する定電流（階調電流）は、一定値の定電流に限定するものではない。６４階調あるいは２５６階調など、複数の階調数、電流の大きさを出力できるものであってもよい。また、定電流は、１水平走査期間（１Ｈ）ごとにその値を変化できるように構成してもよい。また、ドットクロックに同期して１画素ごとにその値を変化できるように構成してもよい。定電流源１３１２は電流階調回路１５４と置き換えてもよい。

【０７２６】

階調電圧Ｖａは階調番号に置き換えてもよい。たとえば、Ｖａ電圧が２５６階調の１２８階調目とし、Ｖｘ＝Ｖｃ－Ｖａが６４階調分の電圧に該当するとする。電圧階調回路２３１がＶｘを出力することにより、Ｖｃは１２８＋６４＝１９２階調となる。Ｖｘが－方向に作用するとし、Ｖａ－Ｖｘが６４階調分の電圧に該当するとすれば、電圧階調回路２３１がＶｘを出力することにより、Ｖｂは１２８－６４＝６４階調となる。図１３２では、Ｖｂに対応する電流はＩｂである。もちろん、階調電圧Ｖａは電圧であればいずれの単位、大きさのものであってもよいことはいうまでもない。

【０７２７】

以上の階調電圧によるＥＬ素子１５に流す電流は、図１３２で示される。図１３２の実線は、画素１６の駆動用トランジスタ１１ａのＶ－Ｉ特性を示している。図１３２では、Ｖａ電圧では、電流ＩａがＥＬ素子１５に流れるとしている。階調電圧Ｖｘは、各階調に対応する電圧である。階調電圧は、Ｖａを中心に＋側（＋Ｖａ）と－側（－Ｖｘ）で変化させる。たとえば、＋側に変化させた時、ＥＬ素子１５に印加される電流はＩｗであり、－側に変化させた時、ＥＬ素子１５に流れる電流はＶｂである。つまり、電圧階調回路２３１は、電圧Ｖａを基準として＋側または－側の電圧を加減算などし、ａ部に保持させる

。なお、電圧階調回路２３１が出力する電圧は０であってもよいことは言うまでもない。

【０７２８】

Ｖａ電圧は、駆動用トランジスタ１１ａの出力電流が０となる電圧であってもよい。この場合は、電流階調回路１５４の出力電流は０とする（電流階調回路１５４は不要である）。該当する選択画素１６のゲート信号線１７ａにオン電圧を印加する。ゲート信号線１７ａにオン電圧を印加することにより、駆動用トランジスタ１１ａは、ＥＬ素子１５に流す電流が０となるように、ゲート端子電位を変動させる。このＥＬ素子１５に流す電流が０となる電位Ｖ０が、オペアンプ１５１のａ部に保持される。電圧階調回路２３１が＋側の電圧を出力し、＋側の電圧とａ部に保持された電圧が加算されてオペアンプ１５１のｂ部に出力される（図１３３を参照のこと）。

【０７２９】

図１３３に示すように、電流階調回路１５４からソース信号線１８に流す電流を０とし、駆動用トランジスタ１１ａがＥＬ素子１５に流す電流が０となるように動作した後のソース信号線１８の電位Ｖ０を測定する。Ｖ０は電圧オフセットキャンセル動作した後の電圧である。Ｖ０を基準として階調電圧Ｖｘを印加してＥＬ素子１５に電流Ｉｅを流すように動作する。

【０７３０】

図１３０（ｃ）に示す第２の動作は、ＥＬ素子１５に電流を印加する第２の動作である。第２の動作は、図１にあっては、駆動用トランジスタ１１ａのゲート端子に印加された電圧に基づき、駆動用トランジスタ１１ａがＥＬ素子１５に電流Ｉｅを印加する。各画素１６のＥＬ素子１５は印加された電流Ｉｅにより発光動作する。

【０７３１】

以上の動作は、ゲートドライバ回路１２が順次、画素行を選択することにより実施される。つまり、１水平走査期間に画素行を選択する。まず、１水平走査期間の最初に、選択した画素行に定電流を印加する。定電流の印加状態で、前記駆動用トランジスタ１１ａが定電流を流すために必要なＶａを読み取る、あるいはａ部に保持させる。次にＶａ電圧に階調電圧を加減算して、駆動用トランジスタ１１ａのゲート端子に印加する。以上で１水平走査期間が完了する。選択された画素行は次の１水平走査期間以降の所定の期間、ＥＬ素子１５に電流を印加し、ＥＬ素子１５が発光する。

【０７３２】

次に１水平走査期間では、次の隣接した画素行が選択される。１水平走査期間に画素行を選択し、水平走査期間の最初に選択した画素行に定電流を印加して、前記駆動用トランジスタ１１ａが定電流を流すために必要なＶａを読み取る。次にＶａ電圧に階調電圧を加減算して、駆動用トランジスタ１１ａのゲート端子に印加する。以上で１水平走査期間が完了する。

【０７３３】

各画素１６に印加する定電流Ｉｗは、各画素１６のＥＬ素子１５に流す電流Ｉｅの大きさ、書き換える電流差、点灯周期などに対応して、定電流Ｉｗの大きさを可変あるいは変化もしくは調整してもよい。また、表示画面３４全体で使用する最大電流に対するそれぞれの画像表示で使用する電流の割合（点灯率）に対応して可変あるいは変化もしくは調整してもよい。特に最大値が１００％として、２５％以下の場合に、定電流Ｉｗを増加させることが好ましい。つまり、点灯率に対応して定電流Ｉｗの大きさを変化（制御）する。

【０７３４】

各画素１６のＥＬ素子１５に流す電流の大きさ、書き換える電流差、点灯周期などに対応して、オペアンプ１５１のアンプ倍率を変化させてもよい。また、定電流を印加している期間を可変してもよい。また、各画素１６のＥＬ素子１５に流す電流の大きさ、書き換える電流差、点灯周期などに対応して、電圧階調回路２３１が出力する階調電圧Ｖｘの増幅率を変化してもよい。また、Ｖａ電圧、Ｖ０電圧に対して一定量の電圧を補正して、補正したＶａ、Ｖ０を基準電圧として使用してもよい。また、スイッチＳＷ２などは省略してもよい。

【０７３５】
図１２８は、図１３４のように構成してもよい。図１３４は、スイッチＳＷ３にＤ／Ａ（デジタル－アナログ）変換回路１２４１を接続した構成である。Ｄ／Ａ変換回路１２４１は８ビットのデジタルデータＤＡＴＡに基づきスイッチＳＷ３を介してｃ部に電圧を印加する。したがって、ｃ部には、グランド（ＧＮＤ）電位に限定せず、多種多様な電圧を印加することができる。たとえば、駆動用トランジスタ１１ａのゲート端子から読み取った電圧Ｖａをコンデンサ１３４１の一方の電極ｃ部に印加することができる。したがって、コンデンサ１３４１のオフセットキャンセルを容易にかつ良好、また自由に実施あるいは設定できる。
【０７３６】
また、図１３４の構成によりａ部に印加される電圧を一定の電圧シフトを行うことができる。この構成により、ゲート信号線１７ａがオン電圧印加状態からオフ電圧印加状態に変化した時に発生する突き抜け電圧により駆動用トランジスタ１１ａのゲート端子電位の電位がシフトすることを抑制または増大することができる。他の構成は、図１２８と同様または類似であるので説明を省略する。
【０７３７】
また、図１２８では、ソース信号線１８の電位をコンデンサ１３４１などにより、アナログ的に保持させるとしたが、本発明はこれに限定するものではない。たとえば、図１３５のように構成してもよい。
【０７３８】
図１３５において、ソース信号線１８の電位は、アナログ－デジタル（Ａ／Ｄ）変換回路３９１でアナログ－デジタル変換される。Ａ／Ｄ変換されたデジタルデータは、加算回路６５１により電圧階調回路２３１の出力電圧と加算される。加算された電圧は、図１２８と同様にオペアンプ１５１の入力ａ部に印加され、インピーダンス変換されてｂ部より出力される。他の動作、構成は図１２８と同様あるいは類似であるので説明を省略する。
【０７３９】
加算回路６５１は図１２８においては、コンデンサ１３４１と電圧階調回路とを加えたのと同様あるいは類似の機能を発揮する。Ａ／Ｄ変換回路３９１は電位を測定し、保持する機能を有するため、図１２８のコンデンサ１３４１の機能を有する。加算回路６５１は、電圧階調回路２３１の出力データをＡ／Ｄ変換回路３９１の出力データを加算（減算でもよい）して、ａ部に出力する。したがって、コンデンサ１３４１のａ部の電圧Ｖａと電圧階調回路の出力電圧Ｖｘを加えてａ部の電位をシフトするのと同様の動作となる。
【０７４０】
また、Ａ／Ｄ変換回路３９１は測定あるいは保持した電圧をデジタルデータとして加算回路６５１に印加するとしたがこれに限定するものではない。たとえば、Ａ／Ｄ変換回路３９１のデジタルデータをソースドライバ回路１４の外部あるいは内部に構成あるいは形成したメモリ回路（図示せず）に保持させてもよい。このデジタルデータを随時読み出し、加算回路６５１に印加あるいは出力する。
【０７４１】
ソース信号線１８の電位は、ソースドライバ回路１４が出力する電圧または電流により変動する。基本的には、ソース信号線１８の電位は、１水平走査期間ごとに書き換えられる。本発明は、１水平走査期間（１Ｈ）の最初に定電流を印加して、駆動用トランジスタ１１ａを動作させ、動作が完了し定常状態となった駆動用トランジスタ１１ａのゲート電位を測定あるいは取得もしくは保持する。測定等した電圧を基準として階調電圧を駆動用トランジスタ１１ａに印加することにより、駆動用トランジスタ１１ａの特性バラツキを補償する。
【０７４２】
なお、定電流Ｉｗは１水平走査期間（１Ｈ期間）内において、定常的に所定の一定電流とすることに限定するものではない。たとえば、定電流Ｉｗを、定電流の印加開始時に大きな電流とし、一定期間後、所定の定電流Ｉｗに設定してもよい。このように動作させる

ことにより、ソース信号線１８などの寄生容量を短時間で充放電することができる。つまり、定電流Ｉｗは１Ｈ期間において、多段階に変化させてもよい。また、ソース信号線１８の電位により、多段階に切り替える定電流の大きさを変化あるいは変更してもよい。

【０７４３】

駆動用トランジスタ１１ａのゲート端子の電位を変動させ、駆動用トランジスタ１１ａの特定バラツキを補償するためには、まず、定電流Ｉｗにより（もちろん、駆動用トランジスタ１１ａの動作も加わる）ソース信号線１８の寄生容量を充放電させる必要がある。充放電時間は、１水平走査期間前のソース信号線１８の電位により左右される。そのため、ソース信号線１８の電位状態によっては、所定時間内で充放電する時間が足りない場合がある。

【０７４４】

本発明はこの課題を解決するため、１水平走査期間（１Ｈ）の最初の期間に、プリチャージ電圧Ｖｐをソース信号線１８に印加する。プリチャージ電圧Ｖｐは、後に説明するが、ソースドライバ回路１４内に形成され、所定の電圧をソース信号線１８に印加できるように構成する。

【０７４５】

図１３７は、各水平走査期間のＡ期間にプリチャージ電圧Ｖｐを印加している。プリチャージ電圧Ｖｐの印加により各ソース信号線は瞬時に充放電され電位Ｖｐとなる。プリチャージ電圧Ｖｐの印加期間は、ソース信号線１８の電位により、可変あるいは調整できるようにする。

【０７４６】

本発明は、Ａ期間にプリチャージ電圧Ｖｐを印加することに限定するものではない。プリチャージ電圧Ｖｐを印加する前のソース信号線１８の電位が所定範囲以内の場合は、プリチャージ電圧Ｖｐを印加しなくともよい。以上のようにプリチャージ電圧Ｖｐを印加するか否かは、ソース信号線１８の電位、印加するプリチャージ電圧Ｖｐの大きさ、印加するプリチャージ電圧Ｖｐとソース信号線１８との電位差、印加する階調値により、判断、調整する。

【０７４７】

プリチャージ電圧Ｖｐは、ＶａあるいはＶ０電圧よりのアノード電圧Ｖｄｄに近い電圧に設定する。プリチャージ電圧Ｖｐは、所定の固定電圧であってもよいが、ＶａまたはＶ０電圧に対応して可変あるいは調整できるように構成してもよい。

【０７４８】

第１～３Ｈ（１～３番目の水平走査期間）は、それぞれ１水平走査期間である。また、第１～３Ｈ（１～３番目の水平走査期間）は画素行が選択される順番である。画素行は、第ｎ画素行あるとすると、１フィールド（フレーム）期間は、ｎ水平走査期間（画素行）とブランキング期間で構成される。それぞれの水平走査期間の最初のＡ期間にプリチャージ電圧Ｖｐが印加される。したがって、１Ｈ前のソース信号線１８の電位がどんな電位であっても、瞬時にプリチャージ電圧Ｖｐとなる。

【０７４９】

プリチャージ電圧Ｖｐは、階調０に対応するＶ０電圧に設定しておくことが好ましい。良好な黒表示を実現できるからである。Ｖｐ電圧は、各画素１６の駆動用トランジスタ１１ａの特性バラツキにより異なっていることは言うまでもない。パネル特性を評価あるいは測定し、定電流Ｉａ＝０（Ａ）に対する電圧Ｖ０を求め、この電圧Ｖ０をプリチャージ電圧Ｖｐとして用いればよい。以上のように、本発明では、収束時間を一定とするため、あらかじめ、Ｖ０電圧を測定などし、プリチャージ電圧Ｖｐを求めておく。Ｖ０電圧は、図９２～図１１３などで説明した実施例で測定あるいは取得することができる。

【０７５０】

水平走査期間のＡ期間後のＢ期間に、電流階調回路１５４から定電流Ｉｗが出力される。なお、定電流ＩｗはＡ期間も印加してもよい。また、定電流Ｉｗ＝０（Ａ）としてもよい。定電流Ｉｗ＝０（Ａ）の場合は、図１３２のＶ０となる。定電流Ｉｗは画素１６の駆

動用トランジスタ１１ａからソース信号線１８を介して電流階調回路１５４に流れ込む。定電流Ｉｗ＝Ｉａにより画素１６の駆動用トランジスタ１１ａのゲート端子の電位はＶａ電圧となる。

【０７５１】

Ｖａ電圧は、各画素１６の駆動用トランジスタ１１ａの特性バラツキにより異なっていることは言うまでもない。パネル特性を評価あるいは測定し、定電流Ｉａに対する電圧Ｖａを求め、この電圧Ｖａを用いれば、精度よく電圧を書き込むことができる。Ｖａ電圧は、図９２～図１１３などで説明した実施例で測定などすることができる。

【０７５２】

Ｂ期間の次のＣ期間は、映像信号としての目標電圧Ｖｃが印加される。したがって、Ｖａを基準として目標階調Ｖｃ＝Ｖａ＋Ｖｘとしてソース信号線１８に印加される。図１３７では、第１Ｈは目標階調はＶ１であり、第２Ｈは目標階調はＶ２であり、第３Ｈは目標階調はＶ３の例である。Ｂ期間は、目標階調を得るための電圧を印加する。以降第ｎＨまで画素行の選択位置がシフトされ、目標階調に対応する電圧印加が実施される。

【０７５３】

図１３７は、プリチャージ電圧Ｖｐを一定とした実施例であったが、本発明はこれに限定するものではない。たとえば、図１３７に図示するようにプリチャージ電圧Ｖｐを変化させてもよい。図１３７では、第１Ｈはプリチャージ電圧Ｖｐ１であり、第２Ｈはプリチャージ電圧Ｖｐ２であり、第３Ｈはプリチャージ電圧Ｖｐ３の例である。

【０７５４】

図１３６は、プリチャージ電圧Ｖｐを一定とした実施例であったが、本発明はこれに限定するものではない。たとえば、図１３８に図示するようにＶａ電圧を変化させてもよい。目標としてのＶａ電圧は、定電流を変化させることにより行う。図１３８では、第１Ｈは電圧Ｖａ１であり、第２Ｈは電圧Ｖａ２であり、第３Ｈは電圧Ｖａ３の例である。

【０７５５】

以上の実施例は、水平走査期間の最初にプリチャージ電圧Ｖｐを印加し、その後に、目標電圧Ｖを印加する方法であった。本発明は、これに限定することなく、水平走査期間の最初にプリチャージ電圧Ｖｐを印加し、その後に、目標のプログラム電流を印加してもよい。図１３９はその実施例である。なお、プリチャージ電圧Ｖｐは、必要に応じて印加する。したがって、必ずしも水平走査期間の最初に実施するものではない。

【０７５６】

図１３９の実施例において、水平走査期間の最初であるＡ期間に印加するプリチャージ電圧Ｖｐは、映像信号として画素に書き込むプログラム電流Ｉｗに対応する電圧である。つまり、画素１６の駆動用トランジスタ１１ａに目標の階調信号に対応するプログラム電流Ｉｗを書き込んだ時の、ゲート端子電位と同一あるいは近傍の値である。このプリチャージ電圧Ｖｐは、図３８～図６６、図７４～図７８、図８５などで説明した方式により取得する。プリチャージ電圧Ｖｐは、メモリ５０２などに確保され、表示状態に応じて、読み出されてプリチャージ電圧Ｖｐとして画素１６に印加される。

【０７５７】

Ａ期間に印加するプリチャージ電圧Ｖｐは、書き込む映像信号に対応するプログラム電圧または近傍の電圧である。このプリチャージ電圧Ｖｐにより、画素１６の駆動用トランジスタ１１ａは、目標の階調電流（プログラム電流）Ｉｗと一致するか、近傍の値の電流を流せるようにプログラムされる。

【０７５８】

第１Ｈ（第１水平走査期間）は、プリチャージ電圧Ｖｐ＝Ｖｐ１であり、ソース信号線１８にプリチャージ電圧Ｖｐ１が印加される。プリチャージ電圧Ｖｐ１の印加により短期間に目標あるいは目標の近傍の電圧にソース信号線１８の電位が設定される。もしくは選択した画素行の画素の駆動トランジスタ１１ａのゲート端子電位が設定される。

【０７５９】

第２Ｈ（第２走査期間）は、プリチャージ電圧Ｖｐ＝Ｖｐ２であり、第３Ｈは、プリチ

ャージ電圧Ｖｐ＝Ｖｐ３である。プリチャージ電圧Ｖｐは画素１６に書き込む映像信号に対応した値を電圧として印加する。Ａ期間に印加したプリチャージ電圧Ｖｐでは、目標値からずれが発生する場合が多い。ずれの原因としては、駆動用トランジスタ１１ａの温度依存性、駆動用トランジスタ１１ａの劣化などがある。しかし、本発明は、Ａ期間の後に、Ｂ期間にプログラム電流Ｉｗを印加する。プログラム電流の印加により温度依存性なども補償できる。

【０７６０】

したがって、Ａ期間に電圧駆動することにより、短時間でソース信号線１８の電荷を充放電させ、Ｂ期間に精度のよいプログラム電流を画素１６に書き込むことができる。また、Ａ期間ですでに目標値あるいは目標値に近い電位に設定されているため、プログラム電流Ｉｗによる電位変化はわずかである。低階調領域でプログラム電流Ｉｗが小さくとも、書き込み不足（目標値に達しない）が発生することなく、精度のよい階調電流設定を行える。プログラム電流Ｉｗは、電流階調回路１５４より出力される。

【０７６１】

Ｂ期間における、第１Ｈのプログラム電流Ｉｗ１によりソース信号線１８は、電位Ｖ１となる。電位Ｖ１は、画素１６の駆動用トランジスタ１１ａのゲート端子に印加され、保持される電圧である。

【０７６２】

駆動用トランジスタ１１ａは、プログラム電流Ｉｗ１を流すようにプログラムされる。第２Ｈ（次の画素行）において、プログラム電流Ｉｗ２によりソース信号線１８は、電位Ｖ２となる。電位Ｖ２は、画素１６の駆動用トランジスタ１１ａのゲート端子に印加され、保持される電圧である。駆動用トランジスタ１１ａは、プログラム電流Ｉｗ２を流すようにプログラムされる。

【０７６３】

同様に、第３行目の第３Ｈでは、プログラム電流Ｉｗ３によりソース信号線１８は、電位Ｖ３となる。電位Ｖ３は、画素１６の駆動用トランジスタ１１ａのゲート端子に印加され、保持される電圧である。したがって、駆動用トランジスタ１１ａは、プログラム電流Ｉｗ３を流すようにプログラムされる。

【０７６４】

なお、プリチャージ電圧Ｖｐは、Ｖ０電圧（階調０）に対応するものであってもよい。この場合であっても、プリチャージ電圧ＶｐのＶ０は各画素１６の駆動用トランジスタ１１ａの特性を反映した電圧を印加する（図８１、図８２で説明している）。Ｖ０電圧は、定電流Ｉｗ＝０である。したがって、Ｖ０電圧を測定する時は、電流階調回路１５４から定電流を出力する必要はなく、ゲートドライバ回路１２ａを制御して順次、対応する画素行（画素）を選択していくだけでよい。画素行（画素）を選択している期間に、ソース信号線１８の電位を測定し、測定した電位、あるいは測定し処理を行った電位をＶ０電圧とする。

【０７６５】

Ａ期間の長さは、印加するプログラム電圧、ソース信号線１８の電位と書き込むプログラム電圧の電位差などに対応して変化させてもよい。たとえば、ソース信号線１８の電位が２．５Ｖで、印加するプリチャージ電圧Ｖｐが４．１Ｖというように、１．５Ｖ以上の電位差が発生する場合に、Ａ期間を１０μｓｅｃとする。ソース信号線１８の電位が３．０Ｖで、印加するプリチャージ電圧Ｖｐが４．１Ｖというように、１．０Ｖ以上１．５Ｖ以下の電位差が発生する場合に、Ａ期間を６μｓｅｃとする。また、同一のソース信号線１８において、１画素行前の画素に印加した映像信号が階調５で、次の画素行に印加する映像信号が階調２１のように、階調差が１５以上の場合に、Ａ期間を１０μｓｅｃとする。１画素行前の画素に印加した映像信号が階調１０で、次の画素行に印加する映像信号が階調２１のように、階調差が１０以上１５以下の場合に、Ａ期間を６μｓｅｃとする。

【０７６６】

プリチャージ電圧Ｖｐ、プログラム電流Ｉｗは、直流電圧、直流電流に限定するもので

はなく、矩形波、三角波、交流、サイン波であってもよい。また、Ｂ期間に印加する信号は、電圧階調回路２３１から出力するプログラム電圧であってもよい。この実施例では、プリチャージ電圧Ｖｐも電圧駆動となり、Ｂ期間のプログラム電圧も電圧駆動となる。また、図６、図９のｄｕｔｙ比駆動と組み合わせてもよいことは言うまでもない。

【０７６７】

以上に記載した事項は、本発明の他の実施例にも適用されることは言うまでもない。

【０７６８】

図１２８の回路構成を用いて図１３９の駆動方式を実現できる。プリチャージ電圧Ｖｐを印加する前に、ソースドライバ回路１４は、必要に応じてリセット動作を行う。リセット動作では、図１２８、図１３０に図示するスイッチＳＷ２、ＳＷ４、ＳＷ５はオープン状態に設定され、スイッチＳＷ３はクローズにされて、コンデンサ１３４１にグランド電位または所定の固定電圧が印加される。

【０７６９】

次に、スイッチＳＷ２、ＳＷ３をオープンし、スイッチＳＷ４、ＳＷ５をクローズさせて、電圧階調回路２３１を動作させ、プリチャージ電圧Ｖｐを印加する。Ａ期間にプリチャージ電圧Ｖｐは、バッファ回路１５１を介してソース信号線１８に印加する。プリチャージ電圧Ｖｐは、駆動用トランジスタ１１ａのゲート端子に印加される。バッファ回路１５１のゲインは、図６、図９のｄｕｔｙ比に対応させて設定する。

【０７７０】

Ｂ期間では、スイッチＳＷ２、ＳＷ５をオープンさせ、電流階調回路１５４を動作させてプログラム電流Ｉｗをソース信号線１８に印加する。

【０７７１】

なお、プログラム電流Ｉｗを印加後、必要に応じて、電圧階調回路２３１を動作させて階調電圧Ｖｘを印加してもよい。以上に記載した事項は、本発明の他の実施例にも適用されることは言うまでもない。

【０７７２】

以下、他の実施例について、図面を参照しながら説明をする。図１４０では、各水平走査期間のＡ期間にプリチャージ電圧Ｖｐを印加している。プリチャージ電圧Ｖｐの印加により各ソース信号線は瞬時に充放電され電位Ｖｐとなる。

【０７７３】

プリチャージ電圧Ｖｐは、最大階調に相当する電圧付近に設定する。プリチャージ電圧Ｖｐは、所定の固定電圧であってもよいが、ＶａまたはＶ０電圧に対応して可変あるいは調整できるように構成してもよい。

【０７７４】

第１～３Ｈ（１～３番目の水平走査期間）は、図１３６と同様に、それぞれ１水平走査期間である。また、第１～３Ｈ（１～３番目の水平走査期間）は画素行が選択される順番である。それぞれの水平走査期間の最初のＡ期間にプリチャージ電圧Ｖｐが印加される。したがって、１Ｈ前のソース信号線１８の電位がどんな電位であっても、瞬時に電圧Ｖｐとなる。１ＨのＡ期間後のＢ期間に、電流階調回路１５４から定電流Ｉｗが出力される。

【０７７５】

定電流ＩｗはＡ期間も印加してもよい。定電流Ｉｗは画素１６の駆動用トランジスタ１１ａからソース信号線１８を介して電流階調回路１５４に流れ込む。定電流Ｉｗにより画素１６の駆動用トランジスタ１１ａのゲート端子はＶａ電圧となる。

【０７７６】

Ｖａ電圧は、各画素１６の駆動用トランジスタ１１ａの特性バラツキにより異なっていることは言うまでもない。しかし、Ｖａ電圧とＶｐ電圧との電位差はほぼ一定である。したがって、１Ｈ前のソース信号線１８の電位がいずれであっても、プリチャージ電圧Ｖｐの印加により、定電流の印加時は、ＶｐからＶａへの変化となっている。したがって、収束時間は略一定である。

【０７７７】

Ｂ期間の次のＣ期間は、映像信号としての目標電圧Ｖｃが印加される。したがって、Ｖａを基準として目標階調Ｖｃ＝Ｖａ＋Ｖｘとしてソース信号線１８に印加される。図１４０では、第１Ｈは目標階調はＶ１であり、第２Ｈは目標階調はＶ２であり、第３Ｈは目標階調はＶ３の例である。以降第ｎＨまで画素行の選択位置がシフトされ実施される。

【０７７８】

図１４０は、プリチャージ電圧Ｖｐを一定とした実施例であったが、本発明はこれに限定するものではない。たとえば、図１４１に図示するようにプリチャージ電圧Ｖｐを変化させてもよい。図１４１では、第１Ｈはプリチャージ電圧Ｖｐ１であり、第２Ｈはプリチャージ電圧Ｖｐ２であり、第３Ｈはプリチャージ電圧Ｖｐの例である。以降第ｎＨまで画素行の選択位置がシフトされ実施される。

【０７７９】

図１４０は、プリチャージ電圧Ｖｐを一定とした実施例であったが、本発明はこれに限定するものではない。たとえば、Ｖａ電圧を変化させてもよい。目標としてのＶａ電圧は、定電流を変化させることにより行う。

【０７８０】

定電流Ｉｗを階調的にあるいは多段階に変化させるには、また、階調電圧Ｖｘを画素ごとに変化させるには、電流データと電圧データをソースドライバ回路１４に送信する必要がある。図１４２はその実施例である。８ビットの定電流データＩＤ（７：０）と８ビットの階調電圧データＶＤ（７：０）を組として、また交互に伝送している。定電流データＩＤ（７：０）は電流階調回路１５４が出力する定電流を発生させるデータである。電圧データＶＤ（７：０）は、電圧階調回路２３１が出力する階調電圧Ｖｘを発生させるものである。

【０７８１】

図１２８などの実施例では、ゲートドライバ回路１２ａは、１画素行を順次選択し、各画素行の画素に定電流Ｉｗを印加するとしたが、本発明はこれに限定するものではない。たとえば、図１４３に図示するように複数の画素行を選択して定電流Ｉｗを印加してもよい。また、複数画素を同時に、あるいは共通にＶａ電圧またはＶ０電圧を測定等してもよい。Ｖａ、Ｖ０電圧は隣接した画素行では近似しているからである。

【０７８２】

図１４３（ａ）の実施例は、隣接した２画素行を同時に選択し、２画素行で定電流Ｉ１を電流階調回路１５４から印加した構成である。選択した２画素行の各画素行の駆動用トランジスタ１１ａがそれぞれ出力する電流には、駆動用トランジスタ１１ａの特性が異なるため差異がある。しかし、隣接した画素行ではその差異はわずかである。画素行の選択は、１、２画素行、３、４画素行、５、６画素行・・・・・と２画素行ずつ順次選択してもよいし、１、２画素行、２、３画素行、３、４画素行・・・・・と１画素行ずつずらせて順次選択してもよい。

【０７８３】

図１４３（ｂ）は、隣接した画素行でなく、１画素行離れた位置の画素行を選択した実施例である。たとえば、１、３、５画素行を選択し、次に２、４、６画素行を選択し、次に３、５、７画素行を選択していく。

【０７８４】

図１４３においても、他の構成、動作は、図１２８などで説明した実施例と同様であるので説明を省略する。以上のように、複数画素行を同時に選択し、Ｖａ電圧などを測定することは、電流階調回路１５４の動作時間を短縮できる。また、電流階調回路１５４などの構成を簡略化できる。

【０７８５】

図１４３の実施例は、複数の画素行を同時に選択する駆動方式であった。図１４３に図示するように、本発明は２画素行に限定するものではない。３画素行以上を同時に選択してもよい。また、画素行の選択は、画素行を順次走査して選択することに限定するものではなく、ランダムの画素行を選択してもよい。また、奇数フィールド（フレーム）目は画

面の上から下方向に順次選択し、偶数フィールド（フレーム）目は画面の下から上に順次選択してもよい。

【０７８６】

また、１Ｈ期間に複数の画素行を順次選択し、それぞれの画素行に定電流Ｉｗを印加し、電圧Ｖａ、Ｖ０などを測定してもよい。たとえば、１Ｈの前半の１／２Ｈ期間に、第１行目の画素行を選択して定電流Ｉｗを印加し、後半の１／２Ｈ期間に次の第２行目の画素行を選択する駆動方法が例示される。

【０７８７】

Ｖａ（図１３２を参照のこと）、Ｖ０電圧（図１３３を参照のこと）は、順次画素行を選択し、測定などするとしたが、これに限定するものではない。たとえば、映像信号のブランキング時間に表示領域内の画素行を順次選択して走査し、Ｖａ、Ｖ０電圧を測定などして、メモリに記憶させておいてもよい。また、複数の画素行を同時にまたは順次に選択し、Ｖａ、Ｖ０電圧を測定し一定期間保持し、この保持したＶａ、Ｖ０電圧を順次読み出して、Ｖｘ電圧と加減算してソース信号線１８に順次印加してもよい。

【０７８８】

図１３３に図示するように、駆動用トランジスタ１１ａが電流を流さない電圧Ｖ０（オフセット電圧）にし、このＶ０を基準にして階調電圧Ｖｘを印加する場合は、図１４４に図示するように定電流出力回路（電流階調回路）１５４は不要である。なお、以下の説明において、図１２８と同様の事項は省略する。

【０７８９】

図１４４も図１２８と同様に、ゲートドライバ回路１２が順次、画素列を選択することにより実施される。つまり、１水平走査期間に画素行を選択する。まず、最初に、スイッチＳＷ３をクローズし、スイッチＳＷ４、ＳＷ２、ＳＷ５をオープンする。スイッチＳＷ３のクローズにより、コンデンサ１３４１の一方の端子ｃ部にグランド（ＧＮＤ）電圧が印加され、グランド電圧に維持される。また、図１３４で説明したように任意の所定電圧を印加できるように構成してもよい。

【０７９０】

コンデンサ１３４１のｃ部にグランド電位を印加しリセットを行った後、次に、図１４５（ａ）に図示するように、スイッチＳＷ２、ＳＷ３をクローズし、また、スイッチＳＷ４、ＳＷ５をオープンする。コンデンサ１３４１のａ部には、駆動用トランジスタ１１ａがＥＬ素子１５に電流が流れない電圧（＝駆動用トランジスタ１１ａのゲート端子電圧）が保持される。この期間も該当画素行が選択されている。該当画素行の各画素１６の駆動用トランジスタ１１ａのゲート端子電位は、オフセット状態（トランジスタ１１ｄをクローズしてもＥＬ素子１５に電流が流れない状態）に維持される。図１４５（ａ）の動作により、前記駆動用トランジスタ１１ａがオフセットとなるのに必要なＶ０電圧が読み取られる（保持される）。したがって、駆動用トランジスタ１１ａは図１３３に示すように、そのままＶ０電圧を駆動用トランジスタ１１ａのゲート端子に印加すれば、カットオフ状態（ＥＬ素子１５に流す電流が０となる状態）となる。

【０７９１】

コンデンサ１３４１のａ部には、駆動用トランジスタ１１ａがＥＬ素子１５に電流が流れない電圧（＝駆動用トランジスタ１１ａのゲート端子電圧）が保持される。この期間も該当画素行が選択されている。該当画素行の各画素１６の駆動用トランジスタ１１ａのゲート端子電位は、オフセット状態（トランジスタ１１ｄをクローズしてもＥＬ素子１５に電流が流れない状態）に維持される。

【０７９２】

次に、図１４５（ｂ）に図示するように、スイッチＳＷ４、ＳＷ５をクローズし、また、スイッチＳＷ２、ＳＷ３をオープンする。電圧階調回路２３１は、階調電圧Ｖｘを出力する。目標電圧Ｖｃ＝Ｖ０＋Ｖｘとする。この期間も該当画素行が選択されている。

【０７９３】

電圧階調回路２３１に出力された電圧Ｖｘは、コンデンサ１３４１のａ部の電位を電位

シフトさせる。ａ部の電圧シフトにより、Ｖ０電圧とＶｘ電圧が加算される。以上で１水平走査期間が完了する。選択された画素行は次の１水平走査期間でＥＬ素子１５に電流を印加し、ＥＬ素子１５が発光する。

【０７９４】

図１２８、図１３４、図１３５、図１３２、図１３３などで説明した本発明の駆動方式は、定電流Ｉｗを印加し、Ｖ０、Ｖａ電圧を測定あるいは取得し、この電圧を基準として階調電圧を求め、ソース信号線１８に印加する方式であった。しかし、本発明はこれに限定するものではなく、Ｖ０、Ｖａ電圧を基準としてあるいは使用して、水平走査期間内に階調電流(プログラム電流）を求め、求めた階調電流をソース信号線１８に印加して、画像表示を行ってもよい。図２５、図８１、図８２の電圧印加状態となる。また、求めた電圧は、図２６、図２７などに図示するように、１水平走査期間全体に印加してもよいことは言うまでもない。

【０７９５】

以上の本発明の実施例は、Ｖａ、Ｖ０測定と、これらの電圧にＶｘ電圧を加減算して画素１６の駆動用トランジスタ１１ａに印加すると言う点を中心に説明した。以下、本発明のＥＬ表示装置の画像表示を中心に説明を行う。

【０７９６】

本発明では、プログラム電流（定電流）Ｉｗを流した状態で駆動用トランジスタ１１ａのゲート端子の電位（図１のｆで示す）を測定する（電位を取得する）。または、電位を図１２８のコンデンサ１３４１に保持させる。もしくは、電位に対応するデータをメモリなどの記憶手段に保持する。

【０７９７】

図１において、ゲート端子の電位ｆは、トランジスタ１１ｂ、１１ｃがオン状態のため、ソース信号線１８の電位（ｄで示す）も、同一電位となる。したがって、ソースドライバ回路１４の出力端子８３を介して、ソース信号線１８の電位を測定すれば、トランジスタ１１ａのゲート端子の電位ｆを測定したことになる。

【０７９８】

第２の動作はトランジスタ１１ｂとトランジスタ１１ｃが閉じ、トランジスタ１１ｄが開いた動作状態であり、そのときの等価回路は図５（ｂ）となる。トランジスタ１１ａのソース－ゲート間の電圧は保持されたままとなる。この場合、トランジスタ１１ａは常に飽和領域で動作するため、Ｉｅ＝Ｉｗの電流は一定となる。なお、Ｉｅは駆動用トランジスタ１１ａがＥＬ素子１５に流す電流であり、Ｉｅ＝Ｉｗは、画素１６に突き抜け電圧などの影響がなく、理想状態の場合である。

【０７９９】

図１３３の実施例では、電圧Ｖ０を求め、この電圧Ｖ０を基準として階調電圧Ｖｘを加算し、目標電圧Ｖｃを発生する方式であった。また、図１３０は、電圧Ｖａを求め、この電圧を基準にして階調電圧Ｖｘを加減算などし、目標電圧Ｖｃを発生させる方式であった。本発明はこれに限定するものでない。たとえば、電圧Ｖａを求める際、印加する定電流Ｉｗを最大階調Ｉｗｍに該当する電流としてもよい。

【０８００】

最大階調に該当する定電流Ｉｗｍを駆動用トランジスタ１１ａに印加することにより、駆動用トランジスタ１１ａは最大階調の電流が流れるように、そのゲート端子に電圧Ｖａｍが発生する。このＶａｍを基準にし、階調電圧Ｖｘを減算して目標電圧Ｖｃを発生させる。発生させた電圧Ｖｃｍを駆動用トランジスタ１１ａのゲート端子に印加する。

【０８０１】

以上のように、本発明は、電流駆動方式の画素（駆動用トランジスタ１１ａもしくは駆動用トランジスタ１１ａとカレントミラー結合されたトランジスタ１１ｂのドレイン端子またはソース端子が、直流的にソース信号線１８に結線されている構成あるいは配置、つまり、駆動用トランジスタ１１（１１ａ、１１ｂ）を流れる電流をソース信号線１８に取り出す、もしくはソース信号線１８から入力できる構成）がマトリックス状に配置された

ＥＬ表示パネルに関するものである。定電流を駆動用トランジスタ１１に印加し（もしくは駆動用トランジスタ１１から定電流を流し）、略定常状態となった時以降に、前記駆動用トランジスタ１１のゲート端子電位を測定（取得）する。

【０８０２】

測定（取得）した電位を基準（原点もしくは相対的な位置）として、階調電圧に対応する電圧を加減算などの処理をして、目標電圧Ｖｃを発生させるものである。発生した目標電圧を前記駆動用トランジスタ１１のゲート端子などに印加し、前記駆動用トランジスタ１１が目標電圧に対応する電流をＥＬ素子１５に流すようにするものである。なお、ＥＬ素子１５に電流を流すとは、ＥＬ素子１５に電流を供給する場合と、ＥＬ素子１５から前記駆動用トランジスタ１１に流れ込む場合の両方を含む。

【０８０３】

また、以上の実施例は、Ｖａ、Ｖ０、Ｖａｍを基準として駆動用トランジスタ１１に略１倍の電流Ｉｅを流す実施例であった。しかし、本発明はこれに限定するものではない。たとえば、図６、図９などで説明した、「１Ｆ／Ｎの期間の間だけ、ＥＬ素子１５に電流を流し、他の期間（１Ｆ（Ｎ－１）／Ｎ）は電流を流さない」駆動方式では、定電流をＮ倍に設定してもよいことは言うまでもない。つまり、Ｎ倍の定電流（リセット電流）に対応するＶａ電圧を求め、この電圧Ｖａを基準にして目標電圧Ｖｃを発生させる。なお、Ｎ倍の定電流としたが、これに限定するものではない。Ｎは１以上であればいずれの値でもよい。

【０８０４】

この方式は、ソース信号線１８の寄生容量が大きい場合に特に有効である。また、ＥＬ表示装置が１０インチ以上と大きい場合に有効である。ソース信号線１８の寄生容量が大きい場合、リセット電流（プログラム電流Ｉｗ）をＮ倍にすること（少なくも１倍以上とすること）により、定電流Ｉｗの「書き込み不足」を改善することができる。

【０８０５】

以上のように、本発明の表示装置は、画素構成が電流プログラムの画素構成であり、この画素構成で電圧駆動を実施する方式とも言うことができる。

【０８０６】

以上の実施例では、定電流Ｉｗを画素１６に印加し、ソース信号線１８の電位などを測定し、この測定あるいは取得した電圧を用いて、ＥＬ表示装置をプログラムするものであった。定電流Ｉｗは基準電流で調整できる。また、図６、図９では、ｄｕｔｙ比駆動（間欠駆動）を実施する。以下、ｄｕｔｙ比制御について説明をする。

【０８０７】

本発明の明細書において、表示画面３４において、表示領域６３と全表示画面３４の割合をｄｕｔｙ比と呼ぶ。つまり、ｄｕｔｙ比は表示領域６３の面積／全表示画面３４の面積である。あるいは、ｄｕｔｙ比はオン電圧が印加されているゲート信号線１７ｂの本数／全ゲート信号線１７ｂの本数でもある。また、ゲート信号線１７ｂにオン電圧が印加され、このゲート信号線１７ｂに接続されている選択画素行数／表示画面３４の全画素行数でもある。

【０８０８】

本明細書において、点灯率に応じてｄｕｔｙ比制御などを変化させるとして説明する。しかし、点灯率とは、一定の意味ではない。たとえば、低点灯率とは、表示画面３４に流れる電流が小さいことを意味しているが、画像を構成する低階調表示の画素が多いことも意味する。つまり、表示画面３４を構成する映像は、暗い画素（低階調の画素）が多い。

【０８０９】

したがって、低点灯率とは、画面を構成する映像データのヒストグラム処理をした時、低階調の映像データが多い状態と言い換えることができる。高点灯率とは、表示画面３４に流れる電流が大きいことを意味しているが、画像を構成する高階調表示の画素が多いことも意味する。つまり、表示画面３４を構成する映像は、明るい画素（高階調の画素）が多い。高点灯率とは、画面を構成する映像データのヒストグラム処理をした時、高階調の

映像データが多い状態と言い換えることができる。つまり、点灯率に対応して制御するとは、画素の階調分布状態あるいはヒストグラム分布に対応して制御することと同義あるいは類似の状態を意味することがある。

【０８１０】

以上のことから、点灯率にもとづいて制御するとは、場合に応じて画像の階調分布状態（低点灯率＝低階調画素が多い。高点灯率＝高階調画素が多い。）にもとづいて制御すると言い換えることができる。たとえば、低点灯率になるにしたがって基準電流比を増加させ、高点灯率になるにしたがってｄｕｔｙ比を小さくするとは、低階調の画素数が多くなるにしたがって、基準電流比を増加させ、高階調の画素数が多くなるにしたがってｄｕｔｙ比を小さくすると言い換えることができる。または、低点灯率になるにしたがって基準電流比を増加させ、高点灯率になるにしたがってｄｕｔｙ比を小さくするとは、低階調の画素数が多くなるにしたがって基準電流比を増加させ、高階調の画素数が多くなるにしたがってｄｕｔｙ比を小さくするのと同一あるいは類似の意味あるいは動作もしくは制御である。

【０８１１】

また、たとえば、所定の低点灯率以下で基準電流比をＮ倍し、かつ選択信号線数をＮ本にするとは、低階調の画素数が一定以上の時に、基準電流比をＮ倍し、かつ選択信号線数をＮ本にすることと同一あるいは類似の意味あるいは動作もしくは制御である。

【０８１２】

また、たとえば、通常は、ｄｕｔｙ比１／１で駆動し、所定の高点灯率以上で段階的にあるいはスムーズにｄｕｔｙ比を低下させるとは、低階調あるいは高階調の画素数が一定の範囲以内の時に、ｄｕｔｙ比１／１で駆動し、高階調の画素数が一定以上の数となった時に、段階的にあるいはスムーズにｄｕｔｙ比を低下させることと同一あるいは類似の意味あるいは動作もしくは制御である。

【０８１３】

図１４７に図示するように、低点灯率領域（図１４７では点灯率２０％以下）でｄｕｔｙ比を低下させ（図１４７（ａ））、ｄｕｔｙ比の低下にあわせて、基準電流比を上昇させ（図１４７（ｂ））てもよい。以上のようにｄｕｔｙ比制御と基準電流比制御を同時に行うことにより、図１４７（ｃ）で図示するように輝度の変化はなくなる。

【０８１４】

低点灯率では低階調領域でのプログラム電流の書き込み不足が顕著に目立つ。しかし、図１４７（ａ）、（ｂ）に図示するように低点灯率領域で基準電流を増加させることによりプログラム電流を基準電流に比例して増加させることができるので電流の書き込み不足がなくなる。かつ輝度も一定であるから良好な画像表示を実現できる。つまり、低点灯率あるいは所定の点灯率の範囲で基準電流比×ｄｕｔｙ比が定数の関係となるように制御する。

【０８１５】

図１４７において、点灯率が高い領域（図１４７では４０％以上）では、ｄｕｔｙ比は低下させるが、基準電流比は１のまま一定とする。したがって、輝度はｄｕｔｙ比の低下にともなって低下するから、パネルの消費電力を制御（基本的には少なく）することができる。

【０８１６】

基準電流比、ｄｕｔｙ比と点灯率との関係は以下に説明するように一定の関係を保つことが好ましい。フリッカの発生の増加またはパネルの自己発熱による劣化が加速されるからである。点灯率が３０％以下の領域では、ｄｕｔｙ比×基準電流比（Ａ）が０．７以上１．４以下にすることが好ましい。さらに好ましくは０．８以上１．２以下にすることが好ましい。また、点灯率が８０％以下の領域では、ｄｕｔｙ比×基準電流比（Ａ）が０．１以上０．８以下になるように制御あるいは設定することが好ましい。また、さらに好ましくは０．２以上０．６以下なるように制御あるいは設定することが好ましい。

【０８１７】

あるいは、点灯率５０％の時のｄｕｔｙ比×基準電流比をＡとした時、点灯率が３０％以下の領域では、ｄｕｔｙ比×基準電流比×Ａが０．７以上１．４以下に設定あるいは制御することが好ましい。さらに好ましくは０．８以上１．２以下に設定あるいは制御することが好ましい。また、点灯率が８０％以下の領域では、ｄｕｔｙ比×基準電流比×Ａが０．１以上０．８以下に設定あるいは制御することが好ましい。さらに好ましくは０．２以上０．６以下に設定あるいは制御することが好ましい。

【０８１８】

しかし、基準電流の可変は、図８１で説明した過電流駆動で課題となる。過電流の大きさが、基準電流の大きさに比例するからである。したがって、図１４７（ｂ）に図示するように低点灯率の領域で基準電流の大きさを変化させると、この領域での過電流プリチャージの大きさが変化する。具体的には、基準電流比を２倍にすると過電流も２倍となり、目標の階調値に到達する時間が１／２となる。過電流を印加する期間は、固定であるから、基準電流比が大きくなるなど変化すると目標値からずれてしまう。

【０８１９】

この課題に対して、図１４７（ｄ）に図示するように、過電流（プリチャージ電流）の比（プリチャージ電流比と呼ぶ）も、基準電流比および点灯率に対応して変化させる。図１４７（ｄ）では、基準電流比が点灯率２０％以下で２まで変化するため、点灯率２０％以下でプログラム電流比を１から１／２まで変化させる。（過電流）プリチャージ電流比×基準電流比が定数（Ｃ）となるように設定する。つまり、Ｃ＝プリチャージ電流比×基準電流比とする。また、基準電流比がｎ倍になれば、プリチャージ電流比を１／ｎにする。なお、Ｃは完全に固定（定数）値とすることに限定されない。多少の変化があっても、表示には反映されないからである。Ｃの変動幅は、０．８以上１．２以下となるようにする。

【０８２０】

なお、図１４７（ｄ）において、点灯率に対応させて線形に、プリチャージ電流比を変化させるとした。しかし、本発明はこれに限定するものではない。プリチャージ電流比などをステップで変化させてもよい。たとえば、図１４７の実施例において、点灯率０％以上５％以下は、プリチャージ電流比を２．０とし、点灯率５％以上１０％以下は、プリチャージ電流比を１．７５とし、点灯率１０％以上１５％以下は、プリチャージ電流比を１．５０とし、点灯率１５％以上２０％以下は、プリチャージ電流比を１．２５Ｖとし、点灯率２０％以上でプリチャージ電流比を１．０と変化させてもよい。

【０８２１】

プリチャージ電流比をステップ的に変化させた場合であっても、プリチャージ電流比の変化に対応して基準電流比を変化させる。また、基準電流比、プリチャージ電流比などの変化スピードは、ローパスフィルタ特性（速い点灯率の変化には追従しない）を持たせることが好ましい。また、ヒステリシス特性（一度、変化すると、再び点灯率が元に復帰しても比が変化しない）を持たせることが好ましい。

【０８２２】

また、同様のこと（ステップ的に変化させること、ヒステリシス特性を有すること）は、ｄｕｔｙ比についても適用される。

【０８２３】

以上のように、ｄｕｔｙ比、基準電流比、プリチャージ電流比は、相関の関係に制御する。ｄｕｔｙ比×基準電流比は定数の関係とする。基準電流比×プリチャージ電流比も定数の関係にする。したがって、ｄｕｔｙ比×（１／プリチャージ電流比）も定数の関係にする。あるいは略定数の関係にする。

【０８２４】

図１４８の実施例では、プリチャージ電流としての過電流は最上位ビットのＤ７スイッチをオン（クローズ）させることにより実施している。過電流の大きさは、Ｄ７スイッチがクローズする期間によって制御あるいは調整する。

【０８２５】

図１４８の実施例は、階調は階調スイッチ制御回路１４８１で実施する。つまり、８ビットの映像信号に対応して該当のスイッチＤ０～Ｄ７がオンオフ制御される。一方プリチャージ電流（過電流）は、の基準電流比に対応して、スイッチＳ０～Ｓ７を制御して出力される。

【０８２６】

図１４８は、８ビットの映像電流信号の１出力段である。映像データＤ０～Ｄ７はスイッチＤ＊ａ（＊は０～７で、ビット位置を示す）がクローズすることにより出力端子８３から出力される。スイッチＤ＊ａは、映像データに応じて該当スイッチがクローズする。一方、スイッチＤ＊ｂ（＊は０～７で、ビット位置を示す）は、電流プリチャージ期間の間クローズする。スイッチＤ＊ｂのクローズにより、プリチャージ電流（過電流Ｉｄ）が出力端子８３から出力される。

【０８２７】

０階調目に相当するオフセット電圧であるプリチャージ電圧Ｖ０はスイッチ１６１ａがクローズすることにより出力端子８３から出力される。プリチャージ電流ＩｄおよびプログラＭ電流Ｉｗはスイッチ１６１ｂがクローズすることにより出力端子８３から出力される。スイッチ１６１ａとスイッチ１６１ｂとは同時にクローズしないようにインバータ１４８４により排他的に制御されている。

【０８２８】

インバータ１４８４へのロジックデータは、プリチャージ期間判定部１４８３により印加される。つまり、プリチャージ期間判定部１４８３は、電流プリチャージパルスの長さ設定値によりインバータ１４８３を制御する。

【０８２９】

実施例では、基準電流比が１から２まで変化する。したがって、プリチャージ電流の大きさ（比率）も、１から１／２に変化させる。たとえば、基準電流比が１の時は、プリチャージ電流制御回路１４８２によりスイッチＳ７がクローズすると設定されていれば、基準電流比が２に変化した時は、プリチャージ電流制御回路１４８２によりスイッチＳ６がクローズするように制御される。スイッチＳ７がクローズ状態でのプリチャージ電流の大きさと、スイッチＳ６がクローズ状態でのプリチャージ電流の大きさは、２倍差が発生するからである。基準電流比１から２の間のプリチャージ電流の変化はスイッチＳ０～Ｓ７を制御することによりリニアに調整することができる。

【０８３０】

以上のように実施することにより、プリチャージ電流比×基準電流比が定数（Ｃ）となるように設定あるいは制御することができる。つまり、Ｃ＝プリチャージ電流比×基準電流比とする。また、プリチャージ電流の大きさも、プリチャージ電流期間の調整、スイッチＳの選択の組み合わせにより調整することができる。

【０８３１】

以上のように、図１４７に図示するように、低点灯率範囲など点灯率に対応させて基準電流を変化させても、同時に点灯率に対応してプリチャージ電流の大きさの相対値を変化させることにより、プリチャージ電流を良好に実現できる。したがって、階調が変化してもプリチャージ電流により良好に目標階調に到達させることができる。

【０８３２】

基準電流を大きくすることは、ＥＬ素子１５に流れる電流の大きさも大きくなる。また、駆動用トランジスタ１１ａのチャンネル（Ｓ－Ｄ）間電圧も高くなる。したがって、基準電流比が大きくなれば、アノード電圧（Ｖｄｄ）とカソード電圧（Ｖｓｓ）間の絶対値を大きくする必要がある。

【０８３３】

アノード電圧（Ｖｄｄ）とカソード電圧（Ｖｓｓ）間の絶対値を大きくすることは、ＥＬ表示装置の消費電力が増大することになる。消費電力の増大は発熱を引き起こし、ＥＬ表示装置を劣化させる。本発明は、点灯率にあわせて、特に低点灯率の範囲で書き込み不足を解消する点から基準電流を大きくする。したがって、低点灯率領域で、基準電流が大

きくなるため、アノード電圧（Ｖｄｄ）とカソード電圧（Ｖｓｓ）間の絶対値を大きくする必要がある。しかし、従来の電圧発生回路は点灯率によらず、アノード電圧（Ｖｄｄ）とカソード電圧（Ｖｓｓ）の電圧値は一定であった。そのため、特に、高点灯率の領域で消費電流も増大するため、ＥＬ表示装置が発熱するという問題点があった。

【０８３４】

この課題に解決するため、図１４９に図示するように、低点灯率領域でカソード電圧を低下させている。カソード電圧の低下制御は、基準電流の変化に対応して行う。図１４７の実施例では、点灯率が２０％以下で基準電流を増大させている。したがって、図１４９の実施例でも点灯率２０％以下でカソード電圧を低下させている。

【０８３５】

図１４９でアノード電圧を一定にし、基準電流の変化に対応してカソード電圧を変化させているのは、本発明の実施例における画素１６の駆動用トランジスタ１１ａがＰチャンネルであるからである。アノード電位を起点として、電流プログラムを行うからである。したがって、アノード電圧を一定値とした方が、電流プログラムの精度が高く維持でき、また、回路構成も容易だからである。また、本発明のＥＬ表示装置は、カソードにＥＬ素子１５の一端子が接続されているため、カソード電圧の変化が発生しても表示に影響を与えないからである。しかし、図１５１に図示するようにアノード電圧を基準電流に対応して変化させてもよい。

【０８３６】

以上のように、本発明は、点灯率に応じてＥＬ表示装置の電源電圧を変化させることに特徴がある。特に、基準電流の変化に対応して電源電圧を変化させる。また、点灯率に対応して電源電圧（アノード電圧Ｖｄｄとカソード電圧Ｖｓｓのうち、少なくとも一方）を変化させる駆動方式である。また、プリチャージ電流の大きさに対応して電源電圧を変化させる。もしくは、アノード電圧Ｖｄｄとカソード電圧Ｖｓｓの絶対値を大きくする。特に、低点灯率の領域において、電源電圧（アノード電圧Ｖｄｄとカソード電圧Ｖｓｓ）の絶対値を大きくする。

【０８３７】

電源電圧の絶対値を大きくする方法は、容易である。通常、電源ＩＣは、パルス制御が行われている。印加される（電源ＩＣの内部で発生する）パルスの周波数が高くなれば、電圧は上昇する。印加される（電源ＩＣの内部で発生するあるいは発振する）パルスの周波数が低くなれば、電圧は低下する。したがって、電源ＩＣのパルス制御を行うことにより、電源ＩＣから出力される電圧の大きさを容易に制御できる。

【０８３８】

逆に、基準電流が大きい領域を基準として考えれば、本発明は点灯率に対応して電源電圧（アノード電圧Ｖｄｄとカソード電圧Ｖｓｓのうち、少なくとも一方）を低下させる駆動方式である。つまり、高点灯率領域で電源電圧を低下させる。また、プリチャージ電流の大きさに対応して電源電圧を低下させる。もしくは、アノード電圧Ｖｄｄとカソード電圧Ｖｓｓの絶対値を大きくする。つまり、プリチャージ電流が小さくなれば、電源電圧を低下させる。特に、高点灯率の領域において、電源電圧（アノード電圧Ｖｄｄとカソード電圧Ｖｓｓ）の絶対値を小さくする方式である。

【０８３９】

図１４９はアノード電圧とカソード電圧を発生させる２電源方式の実施例である。図１５１は、カソード側をグランド（ＧＮＤ）とし、アノード電圧を変化させる方式である。図１５１でも、図１４９と同様に、点灯率に応じてＥＬ表示装置の電源電圧を変化させることに特徴がある。特に、基準電流の変化に対応して電源電圧を変化させる。また、点灯率に対応して電源電圧（アノード電圧Ｖｄｄ）を変化させる駆動方式である。また、プリチャージ電流の大きさに対応して電源電圧を変化させる。もしくは、アノード電圧Ｖｄｄの絶対値を大きくする。特に、低点灯率の領域において、電源電圧（アノード電圧Ｖｄｄ）の絶対値を大きくする。

【０８４０】

図１５１の単一電源の場合は、図１５０に図示するように、パルス制御などを実施するロジック信号レベルＶｃｃをレベルシフトしてアノード電圧Ｖｄｄレベルまで上昇させる。オフセットキャンセル電圧Ｖ０などのプリチャージ電圧Ｖｐレベルは、アノード電圧Ｖｄｄを基準となるようにする。この構成により、Ｖｄｄ電圧が変化してもプリチャージ電圧には影響を与えない。

【０８４１】

なお、図１４９、図１５０において、点灯率に対応させて線形に、カソード電圧またはアノード電圧を変化させるとした。しかし、本発明はこれに限定するものではない。カソード電圧などをステップで変化させてもよい。たとえば、図１４９の実施例において、点灯率０％以上５％以下は、カソード電圧を－９Ｖとし、点灯率５％以上１０％以下は、カソード電圧を－８．５Ｖとし、点灯率１０％以上１５％以下は、カソード電圧を－８．０Ｖとし、点灯率１５％以上２０％以下は、カソード電圧を－６．５Ｖとし、点灯率２０％以上で－５．５Ｖと変化させてもよい。

【０８４２】

また、カソード電圧とアノード電圧は同時に変化させてもよい。また、カソード電圧とアノード電圧との絶対値を変化させるように制御してもよいことはいうまでもない。

【０８４３】

カソード電圧の変化は、電源ＩＣの外付け抵抗の分圧比で調整する。したがって、スイッチ回路により複数の抵抗を切り替え、選択することにより、抵抗値はステップ的に変更あるいは変化させることができる。また、他ステップを有する電子ボリウムなどを用いることにより、点灯率に対してほぼリニアに変化させることができる。

【０８４４】

また、カソード電圧値、アノード電圧値などの電圧の変化スピードは、ローパスフィルタ特性（速い点灯率の変化には追従しない）を持たせることが好ましい。また、ヒステリシス特性（一度、カソード電圧値、アノード電圧値が変化すると、再び点灯率が元に復帰しても電圧値が変化しない）を持たせることが好ましい。

【０８４５】

本発明の実施例において、ソース信号線１８などに定電流を流す、あるいは、ソース信号線１８をハイインピーダンス状態に保持してＶ１、Ｖ０電圧などを測定するとした。測定した電圧は、ＥＥＰＲＯＭや、ＲＯＭなどに電圧データ（あるいは電流データ）として保持される。あるいはソースドライバ回路１４などに保持される。しかし、すべての電圧データなどを保持すると非常に膨大なデータ量となる。そのため、圧縮技術を用いてＲＯＭ５０２などに保持させてもよい。

【０８４６】

たとえば、ＪＰＥＧなどの静止画圧縮技術あるいはフォーマットが例示される。とくに、トランジスタ１１ａの特性分布はランダムではなく、周辺部の特性と近似している。そのため、画像データの圧縮技術を用いることにより良好な圧縮を実施することができる。また、ＭＰＥＧなどの動画圧縮技術などを用いてもよいことはいうまでもない。以上の事項は本発明の他の実施例にも適用できることは言うまでもない。

【０８４７】

図６などの実施例では、ゲートドライバ回路１２ａとゲートドライバ回路１２ｂは、水平同期信号に同期して動作するとした。そのため、点灯、非点灯の制御は、１画素行単位（１水平走査期間）であった。

【０８４８】

図１５２の実施例は、点灯、非点灯制御を１水平走査期間以内で実施できる実施例である。ゲートドライバ回路１２ａのシフトレジスタ回路３１ａは、水平走査期間信号（水平同期信号）に同期してデータ位置をシフトする。

【０８４９】

ゲート信号線１７ｂを選択するゲートドライバ回路１２ｂのシフトレジスタ回路３１ｂは、ゲートドライバ回路１２ａのシフトレジスタ回路３１ａの４倍の段数を有している。

ゲートドライバ回路１２ｂのシフトレジスタ回路３１ｂは、シフトレジスタ回路３１ａの４倍の動作クロック（ＣＬＫ４）でデータをシフトする。

【０８５０】

つまり、シフトレジスタ回路３１ａが１データシフトする期間に、シフトレジスタ回路３１ｂは、４データをシフトする。以上の構成により、１水平走査期間の１／４単位で画素行の点灯、非点灯制御を実現できる。

【０８５１】

図１５３にさらに、シフトレジスタ回路３１ｂの段数と、ゲート信号線１７ｂの接続された位置を示したものである。シフトレジスタ回路３１ｂの出力は４段ごとにゲート信号線１７ｂのロジック出力として出力される。

【０８５２】

隣接したシフトレジスタ回路３１ｂの段数を低減するため、また、各段のデータの変化を緩和するためには、図１５４のように構成するとよい。

【０８５３】

図１５４において、×はゲート信号線１７を非選択（オフ電圧を出力する）にするデータであることを、○はゲート信号線１７を選択（オン電圧を出力する）にするデータであることを示している。なお、ＡＮＤ回路２１３の出力にはレベル変換回路が構成されるが説明を容易にするため省略している。

【０８５４】

シフトレジスタ回路３１ｂの隣接した各段のデータ出力は、ＡＮＤ回路２１３でＡＮＤ（積和）する。また、垂直方向のアウトプットイネーブル（ＯＥＶ）端子により、ゲート信号線１７ｂの選択を強制的に非選択とするように構成されている。

【０８５５】

以上の構成によりシフトレジスタ回路３１ｂの隣接した段の２つが、選択”○”の時、該当のゲート信号線１７ｂから選択電圧（ＶＧＬ）が出力される。

【０８５６】

図１５５は、シフトレジスタ回路３１ｂの隣接した２つの段数のデータが選択の時で、かつ２つの段数が独立してロジック制御できるように構成した実施例である。隣接した段の２つが、選択”○”の時、該当のゲート信号線１７ｂから選択電圧（ＶＧＬ）が出力される。

【０８５７】

以上の実施例は、シフトレジスタ回路３１ｂの出力にＡＮＤ回路２１３を形成した実施例であった。しかし、本発明はこれに限定するものではなく、図１５５に図示するように、ＯＲ回路９５１を形成してもよい。

【０８５８】

また、シフトレジスタ回路３１をシフトレジスタ回路３１ａとシフトレジスタ回路３１ｂの２段で構成し、さらにＯＥＶ端子を形成し、シフトレジスタ回路３１ａとシフトレジスタ回路３１ｂとＯＥＶ端子のロジックとをＡＮＤすることにより、ゲート信号線１７ｂの選択、非選択を柔軟に実施することができる。このロジック信号の組み合わせ例を図１５７に示す。

【０８５９】

以上のように、図１５２などの本発明の構成は、ゲートドライバ回路１２ｂのシフトレジスタ回路３１ｂの段数を、ゲートドライバ回路１２ａのシフトレジスタ回路３１ａの段数のｍ倍（ｍは２以上の整数）とし、また、ゲートドライバ回路１２ｂのシフトレジスタ回路３１ｂの動作クロックを、ゲートドライバ回路１２ａのシフトレジスタ回路３１ａの動作クロックのｍ倍（ｍは２以上の整数）とすることにより、１水平走査期間以下の点灯制御を実施できるように構成したもの、あるいは方式である。この構成により、輝度制御をフリッカレスでスムーズに行うことができる。

【０８６０】

図６などで説明したように、本発明は、主として表示領域６３または非表示領域６２を

帯状にし、画面３４を上下または逆に移動させた表示する方式であった。しかし、本発明はこれに限定するものではない。図１５９に図示するように、画面３４を上下に分割し、画像表示をおこなってもよい。

【０８６１】

図１５９（ａ）は、１フレームの前半の（１／２）フレームの表示状態である。図１５９（ｂ）は、１フレームの後半の（１／２）フレームの表示状態である。１フレームの前半では、画面３４の上半分は非表示領域６２（該当領域のゲート信号線１７ｂに選択電圧（ＶＧＬ）が印加されていない）となっている。上半分の領域では、ゲートドライバ回路１２ａによりゲート信号線１７ａに選択電圧が順次印加されている。

【０８６２】

図１５９（ｂ）は、１フレームの後半の（１／２）フレームの表示状態である。１フレームの後半では、画面３４の下半分は非表示領域６２（該当領域のゲート信号線１７ｂに選択電圧（ＶＧＬ）が印加されていない）となっている。下半分の領域では、ゲートドライバ回路１２ａによりゲート信号線１７ａに選択電圧が順次印加されている。

【０８６３】

理解を容易にするため、具体的数値を記載して説明する。画素行を２４０とする。したがって、上半分の領域とは、１画素行目から１２０画素行目が該当する。下半分の領域とは、１２１画素行目から２４０画素行目が該当する。ゲートドライバ回路１２ａは、ゲート信号線１７ａを順次選択し、１フレーム期間で、１画素行目から２４０画素行目を順次選択し、ソースドライバ回路１４のプログラム電流(電圧）を順次画素１６に印加する。ゲートドライバ回路１２ｂは、図１６１に図示するように、画面３４の上半分を駆動するゲートドライバ回路１２ｂ１と画面３４の下半分を駆動するゲートドライバ回路１２ｂ２が構成されている。ゲートドライバ回路１２ｂ１、ゲートドライバ回路１２ｂ２は、それぞれ内部にシフトレジスタ回路３１を有し、データをシフトすることにより、任意のゲート信号線１７ｂのオン電圧またはオフ電圧を印加することができる。しかし、図１５９の実施例では、ＯＥＶ端子制御を行う。

【０８６４】

ＯＥＶ１端子は、端子にロジックレベルのＬを入力することにより、ゲートドライバ回路１２ｂ１の全ゲート信号線１７ｂにオフ電圧が出力される。したがって、画面３４の上半分が非表示領域６２となる。また、ＯＥＶ１端子にロジックレベルのＨを入力することにより、ゲートドライバ回路１２ｂ１の全ゲート信号線１７ｂにオン電圧が出力される。したがって、画面３４の上半分が表示領域６３となる。

【０８６５】

ＯＥＶ２端子は、端子にロジックレベルのＬを入力することにより、ゲートドライバ回路１２ｂ２の全ゲート信号線１７ｂにオフ電圧が出力される。したがって、画面３４の下半分が非表示領域６２となる（図１５９（ｂ））。また、ＯＥＶ２端子にロジックレベルのＨを入力することにより、ゲートドライバ回路１２ｂ２の全ゲート信号線１７ｂにオン電圧が出力される。したがって、画面３４の下半分が表示領域６３となる（図１５９（ａ））。

【０８６６】

ゲートドライバ回路１２ａが、画面３４の１画素行目から１２０画素行目を書き換えている期間は、図１５９（ａ）の状態に制御される。つまり、ＯＥＶ１端子にＬロジック信号が印加され、ゲートドライバ回路１２ｂ１が受け持つゲート信号線１７ｂにはオフ電圧が印加される。また、ＯＥＶ２端子にＨロジック信号が印加され、ゲートドライバ回路１２ｂ２が受け持つゲート信号線１７ｂにはオン電圧が印加される。

【０８６７】

ゲートドライバ回路１２ａが、画面３４の１２１画素行目から２４画素行目を書き換えている期間は、図１５９（ｂ）の状態に制御される。つまり、ＯＥＶ１端子にＨロジック信号が印加され、ゲートドライバ回路１２ｂ１が受け持つゲート信号線１７ｂにはオン電圧が印加される。また、ＯＥＶ２端子にＬロジック信号が印加され、ゲートドライバ回路

１２ｂ２が受け持つゲート信号線１７ｂにはオフ電圧が印加される。

【０８６８】

図１６０は、２フレーム期間の画像表示状態を図示している。画面３４の上半分とした下半分とが交互に表示される。以上のように表示制御することにより、動画視認性が大幅に向上する。また、ゲートドライバ回路１２ｂにシフトレジスタ回路３１を形成する必要がなく、回路構成を簡略化できる。また、狭額縁化が可能である。

【０８６９】

以上の実施例は、画面３４を上下に２分割にする構成であった。しかし、本発明はこれに限定するものではなく、たとえば、図１６２に図示するように、画面を４分割してもよい。この実施例の場合は、ゲートドライバ回路１２ｂをゲートドライバ回路１２ｂ１、ゲートドライバ回路１２ｂ２、ゲートドライバ回路１２ｂ３、ゲートドライバ回路１２ｂ４に構成し、各ゲートドライバ回路１２ｂにＯＥＶ端子（ＯＥＶ１、ＯＥＶ２、ＯＥＶ３、ＯＥＶ４）を配置すればよい。ゲートドライバ回路１２ａの動作は図１６１と同様に画面の上方から下方に向かって順次走査する。

【０８７０】

さらに、図１７１に図示するように、表示領域３４を細分化して制御をおこってもよい。図１７１は１画素行ごとに、表示領域６３と非表示領域６２の制御を行ったものである。

【０８７１】

以上の実施例は、フレームを２分割し、表示領域６３と非表示領域６２を交互に実施するものであった。しかし、本発明はこれに限定するものではない。たとえば、１フレームを４つの期間に分割し、表示領域６３と非表示領域６２を交互に実施してもよい。

【０８７２】

以上のように、本発明は、１フレーム期間を複数の時間に分割し、また、表示領域を複数に分割して表示領域６３、非表示領域６２の制御を実施するものである。

【０８７３】

なお、本発明は、図１５９などの画面３４を分割する方式に限定するものではない。たとえば、図１６３に図示するように、実施してもよい。図１６３は１フレーム期間の駆動方式の説明図である。

【０８７４】

図１６３において、図１６３（ａ）（（ａ１）、（ａ２）、（ａ３）、（ａ４））は、ゲートドライバ回路１２ａによる画像の書き込み位置（矢印で示している）を示している。ゲートドライバ回路１２ａは、図１５９などと同様に画面の１画素行目から２４０画素行目に順次ゲート信号線１７ａを選択し、ソースドライバ回路１４からの映像信号を画素行に書き込む。

【０８７５】

図１６３（ｂ）（（ｂ１）、（ｂ２）、（ｂ３）、（ｂ４））は、ゲートドライバ回路１２ｂによる表示領域６３、非表示領域６２の制御状態を示している。ゲートドライバ回路１２ｂは、画面３４全体をＯＥＶ端子の制御により、点灯あるいは非点灯状態に制御する。

【０８７６】

ゲートドライバ回路１２ａの画像書き込みは、（１／２）フレーム期間で完了する。つまり、倍速書き込みを行う。その期間は、ゲートドライバ回路１２ｂのＯＥＶ端子は、Ｌロジックが印加され、すべてのゲート信号線１７ｂにはオフ電圧が印加される。１フレームの後半の１／２フレーム期間では、ゲートドライバ回路１２ａの書き込み動作は停止する。この期間は、ゲートドライバ回路１２ｂのＯＥＶ端子にはＨロジック信号が印加され、すべてのゲート信号線１７ｂにはオン電圧が印加される。したがって、１フレームの（１／２）フレーム期間では画面３４は非点灯状態（非表示）であり、後半の（１／２）フレーム期間では画面３４は点灯状態（表示）である。なお、画像の表示時間、非表示期間は、（１／２）フレームに限定するものではない。ゲートドライバ回路１２ａの書き込み

クロック、ゲートドライバ回路１２ｂのＯＥＶ端子の制御により自由に設定あるいは調整できる。

【０８７７】

以上のように画面３４の表示を制御することにより動画視認性が向上し、ＣＲＴと同等の画像表示を実現できる。

【０８７８】

以上の実施例は、本明細書の他の実施例と組み合わせることができることは言うまでもない。また、本実施例を本発明の装置などに適用できることも言うまでもない。

【０８７９】

図３、図６、図９、図１１、図１５２などの実施例では、ゲートドライバ１２ａの動作周波数とゲートドライバ１２ｂの動作周波数とは一致させるとした。もしくは、画素１６行を選択するゲート信号線１２ａと、ＥＬ素子１５の行を選択するゲート信号線１７ｂとは同期させ、選択画素１６行とＥＬ素子１５の行とは一定間隔を保持し、選択するとした。

【０８８０】

しかし、本発明はこれに限定するものではない。たとえば、図１５８に図示するように、ゲートドライバ回路１２ａとゲートドライバ回路１２ｂの動作周波数あるいは選択周波数を異ならせても良い。図１５８の実施例では、ゲートドライバ回路１２ａを６０Ｈｚ周期で動作させ、ゲートドライバ回路１２ｂを１．５倍の７５Ｈｚ周期で動作させた実施例である。

【０８８１】

周期とは、ｍ（ｍは１以上画素行ｎ以下の整数）番目のゲート信号線１２を選択し、次にｍ番目のゲート信号線１２を選択する時間である。たとえば、ゲートドライバ回路１２ａの６０Ｈｚ周期とは、１秒間に１番目の画素行のゲート信号線１２ａを選択する回数が６０回である。つまり、それぞれのゲート信号線１２ａが選択され、次に選択されるまでを１周期とし、１秒間におけるその周期が６０回発生するのが６０Ｈｚである。ゲートドライバ回路１２ｂの７５Ｈｚ周期とは、１秒間に１番目の画素行のゲート信号線１２ａを選択する回数が７５回である。

【０８８２】

図１５８の実施例では、ゲートドライバ回路１２ａは、入力映像信号の周波数６０Ｈｚ（１秒間に画像が６０枚）に同期して画面３４を書き換える。つまり、ゲートドライバ回路１２ａは、水平走査同期信号に同期して表示領域３４の１番目の画素行からｎ（ｎは画素行の最大値）番目の画素行を順次選択し、ソースドライバ回路１４からのプログラム電流（電圧）を選択された画素行に印加する。この書き換えの回数が１秒間に６０回である。

【０８８３】

ゲートドライバ回路１２ｂは、ゲートドライバ回路１２ａの水平走査同期信号とは異なる同期信号に同期して表示領域３４の１番目の画素行からｎ（ｎは画素行の最大値）番目の画素行を順次選択する。このゲートドライバ回路１２ｂが使用する同期信号を点灯制御同期信号と呼ぶ。点灯制御同期信号は、メインクロックから発生させる。ただし、水平走査同期信号もメインクロックから発生させているため、点灯制御同期信号と水平走査同期信号とは同期がとれている。

【０８８４】

ゲートドライバ回路１２ｂは、点灯制御同期信号に同期してゲート信号線１７ｂを選択し、ゲート信号線１７ｂのオンオフ制御を行う。ゲートドライバ回路１２ｂは、点灯制御同期信号に同期して表示領域３４の１番目の画素行からｎ（ｎは画素行の最大値）番目の画素行のゲート信号線１７ｂを順次選択し、ＥＬ素子１５の発光制御を実施する。ｍ（ｍは１以上ｎ以下の整数）番目のゲート信号線１７ｂが選択され、つぎにｍ番目のゲート信号線１７ｂが選択される期間を１周期とし、この周期の回数が１秒間に７５回実施される（７５Ｈｚ動作のとき）。

【０８８５】
図６などで説明したように、黒挿入（非表示領域の挿入）あるいは表示領域を間欠にして駆動することにより、動画視認性が大幅に向上する。しかし、帯状の表示領域６３の周期が遅いとフリッカが発生する。この課題に対して本発明は、ゲートドライバ回路１２ｂの動作速度（周期＝フレームレート）を入力映像信号のフレームレート（通常６０フレーム／秒＝６０Ｈｚ）よりも速くする。
【０８８６】
本発明のＥＬ表示装置は、図１でも説明したように、映像信号は画素１６のコンデンサ１９で保持されている。つまり、表示領域の画像メモリを保有するのと等価である。コンデンサ１９で保持された画像は、トランジスタ１１ｄをオンさせることによりＥＬ素子１５に電流が流れ、画像表示される。したがって、ゲート信号線１７ｂを制御するだけで画像表示を実現できる。
【０８８７】
なお、ゲート信号線１７ｂにオン電圧を印加することにより、ＥＬ素子１５に電流が流れるとして説明するが、駆動トランジスタ１１ａにプログラムされた映像信号が、黒表示であれば、ＥＬ素子１５には電流は流れない。本明細書において、ＥＬ素子１５に電流が流れるとは、映像信号などに応じてＥＬ素子１５に流れる電流が制御される意味である場合がある。
【０８８８】
表示領域３４に画像メモリが有すると言うことは、この画像メモリを用いてフレームレート変換を実現できる。たとえば、入力映像信号のフレームレート（周期）が６０Ｈｚであれば、フレームレート＝６０Ｈｚで表示領域３４にマトリックス状に形成されたコンデンサ１９に画像を書き込み、保持させる。読み出しは、ゲートドライバ回路１２ｂを操作することにより読み出せる。読み出しとはＥＬ素子１５に電流を流し、画像表示を行うことである。
【０８８９】
ゲートドライバ回路１２ｂがゲート信号線１７ｂを選択する周期（フレームレート）はゲートドライバ回路１２ａと独立に行えるから、フレームレート変換を実現できる。つまり、ゲートドライバ回路１２ｂのフレームレート（動作周期）を７５Ｈｚとすれば、図６の表示領域６３が画面３４の上下方向に移動する動作を１秒間に７５回実施できる。
【０８９０】
液晶表示装置では、フレームレート変換を行うには、外付けの半導体メモリが必要である。また、フレームレート変換にはメモリの読み出し速度を高速に行う必要がある。しかし、本発明のＥＬ表示装置では半導体メモリは不要であり、低コスト化を実現できる。
【０８９１】
図１５８の技術的思想としては、ＥＬ素子１５行を選択し、ＥＬ素子１５行を発光させる周期を６０Ｈｚ以上とすることが重要である。好ましくは、周期は７０Ｈｚ以上１５０Ｈｚ以下とする。さらに好ましくは、７２Ｈｚ以上１３０Ｈｚ以下とする。
【０８９２】
また、好ましくは、ゲートドライバ回路１２ｂの１周期動作する周波数は、ゲートドライバ回路１２ｂの動作周波数の１．２５倍、１．５倍、１．７５倍、２．０倍の周波数をする。たとえば、ゲートドライバ回路１２ａが１画面３４を書き換える周期が６０Ｈｚであれば、ゲートドライバ回路１２ｂが１画面３４を選択する周期は、７５Ｈｚ、９０Ｈｚ、１０５Ｈｚ、１２０Ｈｚとする。ゲートドライバ回路１２ａが１画面３４を書き換える周期が５０Ｈｚであれば、ゲートドライバ回路１２ｂが１画面３４を選択する周期は、６２．５Ｈｚ、７５Ｈｚ、８７．５Ｈｚ、１００Ｈｚとする。
【０８９３】
なお、以上の１．２５倍、１．５倍などの倍数は、この数値のみに限定されるものではない。回路の構成上、前後してもその効果は有効である。したがって、上記に例示する倍数の±１０％の範囲であれば問題ない。以上の事項は以下の実施例においても同様に適用

される。

【０８９４】

また、ゲート信号線１７ｂの１番目が選択され、次にゲート信号線１７ｂの１番目が選択される周期は、周期は７０Ｈｚ以上１５０Ｈｚ以下とする。さらに好ましくは、７２Ｈｚ以上１３０Ｈｚ以下とすることが好ましい。

【０８９５】

また、ゲート信号線１７ｂの１番目が選択され次にゲート信号線１７ｂの１番目が選択される周期は、ゲート信号線１７ａの１番目が選択され次にゲート信号線１７ａの１番目が選択される周期の１．２５倍、１．５倍、１．７５倍、２．０倍の周波数をすることが好ましい。

【０８９６】

以下、本発明の駆動方法の動作について、図１７２を参照しながら説明をする。図１７２において、縦軸は、画素行番号である。画素行は、ｎ画素行あるとする。したがって、ゲートドライバ回路１２が選択する画素行は１番目からｎ番目の画素行である。横軸は、時間である。フレームとも考えることができる。なお、説明を容易にするため、画素行の選択は、画面３４の上辺の１画素行から開始されるものとする。また、図１７２では、ゲートドライバ回路１２ｂは、フレームレート（周期）は入力の６０Ｈｚ×２＝１２０Ｈｚとしている。また、画素構成は、図１の画素構成を例示して説明をする。

【０８９７】

図１７２において、実線は、ゲートドライバ回路１２ａの動作を示している。つまり、ゲートドライバ回路１２ａがシフト動作し、オン電圧（ＶＧＬ）を出力するゲート信号線１７ａの位置を示している。ゲートドライバ回路１２ａは、６０Ｈｚの１フレーム（１Ｆ）で１画素行からｎ画素行を選択する。ゲートドライバ回路１２ｂは、１２０Ｈｚで動作する。したがって、ゲートドライバ回路１２ａの１Ｆで２回画面３４を選択する。つまり、（１／２）Ｆで、１番目の画素行からｎ番目の画素行を選択する。なお、ゲートドライバ回路１２ｂは、ｄｕｔｙ駆動では、複数の画素行を選択する。図１７２では理解を容易にするため、点線をゲートドライバ回路１２ｂが動作の先端位置とする。たとえば、１画素行しかゲート信号線１７ｂを選択しない状態において、そのゲート信号線１７ｂにオン電圧（ＶＧＬ）が印加されている画素行の位置である。

【０８９８】

図１７２において、Ａからゲートドライバ回路１２による画素行の選択が行われる。説明を容易にするため、また、理解を容易にするため、ゲートドライバ回路１２ｂが１画素行目を選択し、次の走査期間でゲートドライバ回路１２ａが１画素行目を選択するとする。つまり、ゲート信号線１２ａが選択するゲート信号線１７ａとゲートドライバ回路１２ｂが選択するゲート信号線１７ｂが同一の画素行とならないように制御を開始する。

【０８９９】

ゲートドライバ回路１２ａによりゲート信号線１７ａが順次選択され、ソースドライバ回路１４からプログラム電流が出力されて選択された画素行に書き込まれる。１Ｆで画面３４の下辺であるｎ画素行（Ｃ点）まで走査が完了し、次のフレームではまた画面３４の上辺の１画素行目からゲート信号線１７ａの選択が開始される。

【０９００】

また、ゲートドライバ回路１２ｂによりゲート信号線１７ｂが順次選択され、ゲート信号線１７ｂにオン電圧（ＶＧＬ）またはオフ電圧（ＶＧＨ）が印加され、その印加位置が、点灯制御同期信号に同期してシフトされる。ゲートドライバ回路１２ｂの動作フレームレートは１２０Ｈｚであるから、Ｂ点で１フレームが完了し、このフレーム期間は、ゲートドライバ回路１２ａの（１／２）Ｆ期間である。

【０９０１】

図１７２のように、ゲートドライバ回路１２ａとゲートドライバ回路１２ｂは異なるフレームレートで動作する。ゲートドライバ回路１２ｂのフレームレートは１２０Ｈｚであるから、図６の表示領域６３は、ゲートドライバ回路１２ａの１Ｆ期間に２回画面の上下

方向に走査される。また、ゲートドライバ回路１２ｂのフレームレートは１２０Ｈｚと７０Ｈｚ以上であるので、フリッカは発生しない。

【０９０２】

ゲートドライバ回路１２ｂが同時にオン電圧を印加するゲート信号線１７ｂの本数が１本の場合は、図１７２に図示するように、ゲートドライバ回路１２ａとゲートドライバ回路１２ｂの開始タイミングを１水平走査期間離せば問題は発生しない。つまり、任意の画素行において、ゲート信号線１７ａとゲート信号線１７ｂに同時にオン電圧が印加されることはない。

【０９０３】

しかし、大抵の場合は、図１７５に図示するように、ゲートドライバ回路１２ｂが選択するゲート信号線１７ｂは複数である。たとえば、図１７５（ａ）の（１／２）ｄｕｔｙ駆動の場合は、ｎ／２本のゲート信号線１７ｂにオン電圧（ＶＧＬ）が印加される。したがって、図１７５（ａ）に図示するように、ゲートドライバ回路１２ｂの１周期の（１／２）の期間にオフ電圧（ＶＧＨ）が印加され、（１／２）Ｆの期間にオン電圧（ＶＧＬ）が印加される。なお、図１７５において、ＯＮとはゲート信号線１７ｂにオン電圧が印加された状態を、ＯＦＦとはゲート信号線１７ｂにオフ電圧が印加された状態を示す。たとえば、図１７５（ａ）では、Ａ点の時間から動作し、Ｂ点の時間となったとき、１画素行から、ｎ／２画素行までは、該当ゲート信号線１７ｂには、オン電圧が印加されている。（ｎ／２＋１）画素行からｎ画素行までは、該当ゲート信号線１７ｂにはオフ電圧が印加されている。

【０９０４】

本発明において、図１７５、図１７２に図示するように、Ａの開始後は、ゲートドライバ回路１２ｂは、オフ電圧を出力するようにデータをシフト回路３１ｂに入力して動作させる。１／２ｄｕｔｙであれば、ｎ／２のゲート信号線１７ｂにオフ電圧を出力した状態の後、以降のゲート信号線１７ｂにオン電圧を出力するように操作する。

【０９０５】

図１７５は（１／４）ｄｕｔｙ駆動の実施例である。図１７５（ａ）と同様にゲートドライバ回路１２ｂのフレームレートは１２０Ｈｚとしている。（１／４）周期にＯＦＦ電圧が印加され、（３／４）周期もＯＮ電圧が印加される。したがって、表示領域３４の１／４が点灯し、３／４が非点灯である。

【０９０６】

しかし、ゲートドライバ回路１２ｂにより、複数の画素行が選択されると、ゲートドライバ回路１２ｂに選択された（オン電圧が印加された）画素行とゲートドライバ回路１２ａに選択電圧が印加された画素行とは一致する期間が発生する。この課題に対して、本発明では、垂直アウトプットイネーブル（ＯＥＶ）信号を操作して対応する。ＯＥＶ信号は、ロジック信号であり、Ｌレベルにすることにより、すべてのゲート信号線１７ｂにオフ電圧が出力される。したがって、任意の画素行において、ＯＥＶ信号によりゲート信号線１７ａとゲート信号線１７ｂは同時にオン電圧が印加されることはない。ＯＥＶ信号は、ゲートドライバ回路１２ｂのシフトレジスタ回路３１ｂの出力信号とＯＥＶ信号とをＡＮＤロジックで制御することにより実現できる。ＯＥＶ信号は、ゲート信号線１７ｂの選択を解除する信号と言うこともできる。

【０９０７】

以上のように、ＯＥＶ信号を制御することにより、任意の画素において、ゲート信号線１７ａとゲート信号線１７ｂが同時に選択されるときに、強制的にゲート信号線１７ｂにオフ電圧を印加し、非選択状態とすることにより対策できる。

【０９０８】

図１７３は、ゲートドライバ回路１２ａのフレームレートを６０Ｈｚとし、ゲートドライバ回路１２ｂのフレームレートの周期は、ゲートドライバ回路１２ａのフレームレートの周期の３／４とした実施例である。ゲートドライバ回路１２ｂは、ゲートドライバ回路１２ａの（３／４）Ｆ期間で、１画面を選択走査する。

【０９０９】
図１７４は、ゲートドライバ回路１２ａのフレームレートを６０Ｈｚとし、ゲートドライバ回路１２ｂのフレームレートの周期は、ゲートドライバ回路１２ａのフレームレートの周期の１／４とした実施例である。ゲートドライバ回路１２ｂは、ゲートドライバ回路１２ａの（１／４）Ｆ期間で、１画面を選択走査する。図１７４の実施例では、ゲートドライバ回路１２ａが選択するゲート信号線１７ａとゲートドライバ回路１２ｂが選択するゲート信号線１７ｂとは、Ｋ１、Ｋ２位置で同一の画素行となる。この場合は、図１７２で説明したように、ＯＥＶ端子を制御して、ゲートドライバ回路１２ｂが選択するゲート信号線１７ｂを強制的に非選択とする。
【０９１０】
なお、選択とは、該当ゲート信号線１７にオン電圧（ＶＧＬ）が印加されていることを意味し、非選択とは該当ゲート信号線１７にオフ電圧（ＶＧＨ）が印加されていることを意味する。図１の画素構成では、ゲート信号線１７ａにオン電圧を印加することにより、トランジスタ１１ｂ、１１ｃがクローズする。ゲート信号線１７ｂにオン電圧を印加することにより、トランジスタ１１ｄがクローズする。
【０９１１】
以上の実施例では、ゲートドライバ回路１２ｂが選択するゲート信号線１７ｂをＯＥＶ端子の制御により、強制的に非選択状態とするとしたがこれに限定するものではなく、ゲートドライバ回路１２ａが選択するゲート信号線１７ａを強制的に非選択状態としてもよい。この場合は、該当画素行にはソースドライバ回路１４からのプログラム電流（あるいはプログラム電圧）が書き込まれないが、次のフレーム周期で書き込まれるので問題ない。
【０９１２】
以上の実施例では、ゲートドライバ回路１２ａとゲートドライバ回路１２ｂとは動作フレーム周波数は異なるが、同期は維持するとしたが、これに限定するものではなく、非同期であってもよい。ただし、図１などの画素構成にあっては、ゲートドライバ回路１２ａが選択するゲート信号線１７ａとゲートドライバ回路１２ｂが選択するゲートドライバ回路１２ｂが同一の画素行を選択しないように、管理する必要はある。管理は容易である。コントローラがゲートドライバ回路１２ａ、１２ｂのデータ信号を管理し、制御しているからである。コントローラのロジックでＯＥＶ端子を制御すればよい。なお、ゲート信号線１７ａと１７ｂのうち一方を非選択状態にするとしたが、本発明はこれに限定するものではなく、両方を非選択状態に制御してもよいことは言うまでもない。したがって、複数のゲート信号線を有する構成の場合は、少なくとも１つのゲート信号線の選択あるいは日選択状態を制御できるものであればよい。また、選択、非選択の制御は時分割でおこなってもよい。たとえば、１水平走査期間を１／２に分割し、最初の１／２の期間でゲート信号線１７ａにより制御を実施し、後半の１／２の期間でゲート信号線１７ｂにより制御を行っても良い。
【０９１３】
図１７６に図示するようにゲートドライバ回路１２を構成することにより、該当画素行において、ゲート信号線１７ａとゲート信号線１７ｂが同時に選択されことを、ゲートドライバ回路１２で実施するようにより、よりゲート信号線１７の選択、非選択制御が容易になる。また、ＯＥＶ制御により、ゲートドライバ回路１２ｂが複数選択するゲート信号線１７ｂを同時に選択あるいは非選択することなく、１つのゲート信号線１７ｂを非選択状態に制御を実施できる。
【０９１４】
図１７６におけるゲートドライバ回路１２の構成は、ゲートドライバ回路１２ａのシフトレジスタ回路３１ａとゲートドライバ回路１２ｂのシフトレジスタ回路３１ｂを有する構成である。ゲートドライバ回路１２は、表示領域３４の左右のいずれか一方に形成する。
【０９１５】

図１７６、図１７７においても、×はゲート信号線１７を非選択（オフ電圧を出力する）にするデータであることを、○はゲート信号線１７を選択（オン電圧を出力する）にするデータであることを示している。

【０９１６】

シフトレジスタ回路３１ａが動作するフレームレートと、シフトレジスタ回路３１ｂが動作するフレームレートは同一または異ならせる。本発明では、図１５８、図１７２などで説明したように、シフトレジスタ回路３１ａが動作するフレームレートよりも、シフトレジスタ回路３１ｂが動作するフレームレートの方が大きくしている。ただし、本発明はこれに限定するものではない。たとえば、シフトレジスタ回路３１ｂが動作するフレームレートよりも、シフトレジスタ回路３１ａが動作するフレームレートの方が大きくしてもよい。本発明は、映像書き込みのフレームレートと、画像表示のフレームレートとを異ならせる、あるいは自由に設定できることが特徴である。

【０９１７】

シフトレジスタ回路３１ａは映像信号の水平走査同期信号に同期してデータ位置をシフトし、シフトレジスタ回路３１ｂは、点灯制御同期信号に同期してデータ位置をシフトする。水平走査同期信号と点灯制御同期信号とは、同一のメインクロックまたは発振周波数を基に作成される。

【０９１８】

シフトレジスタ回路３１ａは、プログラム電流（電圧）を書き込む画素行あるいはゲート信号線１７ａを選択するものである。したがって、選択するデータである”○”は１箇所である。この”○”は、ゲートドライバ回路１２の映像信号の水平走査周波数に同期してシフトされる。

【０９１９】

シフトレジスタ回路３１ｂは、ＥＬ素子１５を点灯させる画素行を選択するものである。したがって、該当画素行に接続されたゲート信号線１７ｂを選択するものである。選択するゲート信号線１７ｂは複数であり、また、選択するゲート信号線１７ｂは隣接して選択される。これが、動画視認性を向上させるためである。選択するデータである”○”は複数箇所である。図１７６では、理解を容易にするため、４つの○の群と、２つの○の群とを記載している。実際には○の連続は、１／４ｄｕｔｙで、ｎ／４（ｎ＝２４０画素行である場合は６０）とされる。また、図１７６のように、○の群を分離するよりは、連続させることが好ましい。シフトレジスタ回路３１ｂの”○”は、点灯制御同期信号に同期してシフトされる。

【０９２０】

図１７６、図１７７において、３２はレベル変換回路である。レベル変換回路３２は、ＡＮＤの出力であるロジック信号を、ゲート信号線１７のオンオフ制御ロジックに一致するように変換するとともに、ＶＧＬ、ＶＧＨ電圧にレベルシフトする。

【０９２１】

シフトレジスタ回路３１ａの出力はロジック反転してＡＮＤ回路の入力となり、シフトレジスタ回路３１ｂの出力はそのまま前記ＡＮＤ回路の入力となる。ＡＮＤ回路の出力は、ゲート信号線１７ｂのロジック信号としてレベル変換回路３２に印加される。シフトレジスタ回路３２ａの出力はゲート信号線１７ａのロジック信号としてレベル変換回路３２に入力される。レベル変換回路３２は入力されたロジック信号をゲート信号線１７の制御ロジックに一致するように、また、電圧のレベルシフトを行う。

【０９２２】

図１７６で図示するように、シフトレジスタ回路３１ｂの○データにより、ゲート信号線１７ｂ（３）、ゲート信号線１７ｂ（４）、ゲート信号線１７ｂ（７）、ゲート信号線１７ｂ（８）、ゲート信号線１７ｂ（１０）には選択電圧であるオン電圧（ＶＧＬ）が出力される。しかし、ゲート信号線１７ｂ（９）は、該当シフトレジスタ回路３１ａの選択電圧（ＶＧＬ）が出力されるため、オフ電圧（ＶＧＨ）出力となっている。他のゲート信号線１７ｂは、オフ電圧（ＶＧＨ）出力となっている。

【０９２３】
シフトレジスタ回路３１ａは、○データにより、ゲート信号線１７ａ（９）には選択電圧であるオン電圧（ＶＧＬ）が出力される。他のゲート信号線１７ａは、オフ電圧（ＶＧＨ）出力となっている。
【０９２４】
以上のように構成することにより、選択電圧が印加されたゲート信号線１７ａと選択電圧が印加されたゲート信号線１７ｂが同一の画素とならないように容易に制御することができる。また、ゲート信号線１７ａは、ゲート信号線１７ｂの選択に依存せず、選択した画素行にソースドライバ回路１４からの映像信号を書き込むことができる。映像信号の書き込みは、画素１６のコンデンサ１９にメモリすることを意味する。このメモリ機能を後いて、フレームレート変換を容易に実現できる。
【０９２５】
図１７７は、映像信号を書き込むゲート信号線１７ａを選択するゲートドライバ回路１２ａを表示領域３４の左辺に形成し、図１７６で説明したゲート信号線１７ｂを選択するゲートドライバ回路１２をゲートドライバ回路１２ｂとして表示領域３４の右辺に形成した実施例である。ゲートドライバ回路１２ａのシフトレジスタ回路３１ａのデータと、ゲートドライバ回路１２ｂのシフトレジスタ回路３１ｂのデータは同一データであり、またシフトレジスタ回路３１ａとシフトレジスタ回路３１ｂとは、同一の水平走査同期信号でデータ位置をシフトするとともに、選択データの入力が実施される。ゲートドライバ回路１２ｂのシフトレジスタ回路３１ｂは、点灯制御同期信号に同期してデータ位置をシフトするとともに、選択データが入力される。
【０９２６】
なお、ゲートドライバ回路１２のシフトレジスタ回路３１をシフト動作する期間は、ＡＮＤ回路などのロジック信号が不安定である。この期間は、ＯＥＶ端子の制御により、ゲート信号線１７の出力が非選択状態（オフ電圧出力）となるように制御することが好ましい。
【０９２７】
なお、他の構成および駆動方式は以前に説明した実施例と同様あるいは類似であるので説明を省略する。また、本発明は本明細書に記載する他の実施例と組み合わせで実施できることは言うまでもない。
【０９２８】
なお、画素１６の構成は、図１２などで説明したカレントミラー構成の場合は、図１７４などで説明したイネーブル処理を実施する必要はない。つまり、任意の画素１６において、ゲート信号線１７ａとゲート信号線１７ｂが同時に選択されても、ソースドライバ回路１４が画素１６に書き込みプログラム電流Ｉｗに影響を与えないからである。図１５８で例示する本発明の技術的思想は、図１の画素構成であっても、図１２の画素構成であってもよい。また、図１３、図１４の画素構成であってもよい。また、図２などの電圧プログラムの画素構成であってもよい。プログラムする画素行を選択するゲート信号線１７ａとＥＬ素子１５を選択するゲート信号線１７ｂが独立に制御できるアレイ構成であれば、いずれの構成であっても実施できる。
【０９２９】
また、ゲートドライバ回路１２ａが同時に選択する画素行は１画素行に限定されるものではない。たとえば、２画素行以上の複数画素行を同時に選択してもよい。
【０９３０】
また、任意の画素行において、ゲート信号線１７ａとゲート信号線１７ｂが同時に選択されたとき、ゲート信号線１７ｂを強制的に非選択状態にするとした（たとえば、図１７６など）。しかし、本発明はこれに限定するものではない。たとえば、前記任意の画素行において、その画素行に隣接する画素行のゲート信号線１７ｂも非選択状態にしてもよい。また、ゲートドライバ回路１２ａの走査方向と、ゲートドライバ回路１２ｂの走査方向は、同一方向としたが、これに限定するものではなく、逆方向でもよい。または、適時、

走査方法を変化させてもよい。また、走査の開始は、画面３４の上辺または下辺に限定するものではない。たとえば、画面３４の中央部から開始してもよい。

【０９３１】

図１５８、図１７２～図１７７で説明した実施例あるいは本発明は、プログラム電流あるいはプログラム電圧（画素に書き込む映像信号あるいは画像データ）の制御と、ＥＬ素子１５に流す電流あるいは電圧をオンオフさせる制御とが独立に実施できる構成あるいは方式に有効である。なお、独立に制御とは、複数のゲート信号線（たとえば、ゲート信号線１７ａ、１７ｂ）のよる制御に限定されるものではない。たとえば、１つのゲート信号線で、時分割で、プログラム電流あるいはプログラム電圧（画素に書き込む映像信号あるいは画像データ）の制御と、ＥＬ素子１５に流す電流あるいは電圧をオンオフさせる制御とを実施できる構成あるいは方式でもよい。これらの条件が満足できれば、すべての構成に本発明の方式を適用できる。また、その効果を享受できる。

【０９３２】

また、図１５８、図１７２～図１７７で説明したように、複数のゲート信号線（１７ａ、１７ｂ）を有する構成の場合は、少なくとも１つにゲート信号線１７を強制的に非選択状態に制御することが非常に有効である。この構成も本発明の特徴ある構成である。

【０９３３】

また、以上の実施例は、画素を構成するトランジスタがｐチェンネルトランジスタであっても、ｎチャンネルトランジスタであっても適用できる。また、トランジスタでなくてもよい。また、画素構成が電圧プログラム方式であっても、電流プログラム方式であっても適用できることも言うまでもない。

【０９３４】

以上の実施例は、本発明の他の実施例と組み合わせることができることは言うまでもない。

【０９３５】

ＥＬ表示装置１６４４は、自己発光デバイスであるため、パネル内部で光を発生する。発生した光のうち臨界角以上の光は、図１６７に図示するようにスネルの法則によりパネル内部に閉じ込められる。パネル内部に閉じ込められた光は、パネル内部で乱反射し、パネルの表示コントラストを低下させる。

【０９３６】

この課題に対して、本発明は、図１６８に図示するように、パネル１６４４の側面を斜めにカットしている。斜めの角度θは、３０度以上６０度（ＤＥＧ．）とする。パネル１６４４内部で発生した光１６７１は、パネル１６４４の側面で反射するかあるいは、突き抜ける。パネル１６４４の側面で反射した光１６７１は、パネル１６４４の周辺部から出射される。出射された光は、パネルの非表示領域を照明し、デザイン的にすぐれたものとなる。

【０９３７】

図１６９は、パネル１６４４と筐体１６４３との間に光結合材１６９１を充填したものである。光結合材１６９１としては、サルチル酸メチル、エチレングリコール等の液体、アルコール、水、フェノール樹脂、アクリル樹脂、エポキシ樹脂、シリコン樹脂、低融点ガラス等の固体が例示される。光結合材１６９１はパネル１６４４等が発生する光をよりよく筐体１６４３に導入するためのものである。光結合材１６９１の屈折率は１．３８以上１．５５以下の透明材料であればほとんどのものを用いることができる。主として表示パネル１６４４の側面と筐体１６４３とは光結合材１６９１で光結合される。したがって、表示パネル１６４４で発生した光の一部は、光結合材１６９１を介して筐体１６４３に伝達される。そのため、筐体１６４３は、表示パネル１６４４の発光色に対応して輝く。

【０９３８】

パネル１６４４の内部で発生した光のうち、画像表示に有効な表示領域３４以外（無効領域）から出射される光は、光結合材１６９１を介して筐体１６４３に伝達される。

【０９３９】

好ましくは、筐体１６４３の内面は、金属材料などからなる反射膜を形成する。金属膜を形成することにより、ＥＭＩ対策も実現できる。また、筐体１６４３の内面は、無機材料からなる多層干渉膜を形成し、光１６７１を反射する反射膜を形成してもよい。また、筐体１６４３の内面は、反射材料を含有する塗料を塗布し、反射膜としてもよい。

【０９４０】

なお、筐体１６４３の表面にも、干渉膜あるいは特定の波長帯域を出射するカラーフィルタを形成し、特定の波長帯域の光１６７１が筐体１６４３から出射されるように構成してもよい。また、筐体１６４３を構成する材質に特定の波長の光成分を吸収する顔料あるいは染料を含有させ、特定の波長の光が筐体１６４３から出射されるように構成してもよい。また、筐体１６４３の表面に光拡散材を塗布してもよい。また、筐体１６４３を構成する材料に光拡散材を含有させてもよい。

【０９４１】

筐体１６４３は、光透過性を有する材料で構成する。たとえば、透明あるいは着色された樹脂材料である。パネル１６４４で発生した光の一部は、光結合材１６９１を介して筐体１６４３に伝達される。筐体１６４３に伝達された光１６７１は、図１７０に図示するように、筐体１６４３で反射を繰り返し、その一部は、筐体１６４３から出射される。そのため、筐体１６４３は、表示パネル１６４４の発光色に対応して光輝く。

【０９４２】

本発明は、ＥＬパネル１６４４から画像表示に無効な光を筐体１６４３などに伝達する構成である。画像表示に無効な光とは、表示領域３４以外（無効領域）に限定されるものではない。表示領域３４で発生した光でも、パネルの表面で反射し迷光となる光も画像表示に無効な光である。つまり、本発明は画像表示に無効な光を筐体１６４３など、表示パネル１６４４以外に伝達するものである。

【０９４３】

たとえば、図１６９（ｃ）に図示する構成は、表示領域３４から発生する光のうち、表示領域３４から出射しない光を筐体１６４３に伝達する構成である。透明カバー（カバー板）１６９２とＥＬパネル１６４４間は、光結合材１６９１でオプティカルカップリングされている（光結合されている）。また、カバー板１６９２と筐体１６４３間、パネル１６４４と筐体１６４３間が光結合材１６９１でオプティカルカップリングされている。ＥＬ表示パネル１６４４のＥＬ素子１５で発生し、透明カバー１６９２の空気との界面で反射した光は、透明カバー１６９２内を乱反射し、光結合材１６９１を介して筐体１６４３に伝達される。

【０９４４】

以上のように、筐体１６４３とパネル１６４４とを光結合材１６９１で光結合させることにより、本来、有効な画像表示として寄与しない光を筐体１６４３に導くことができる。したがって、パネル１６４３内でハレーションする光を抑制できるから、パネル１６４４の表示コントラストを向上できる。また、筐体１６４３がパネル１６４４の表示色に対応して変化し、デザイン的にも有効である。

【０９４５】

以下、本発明のＥＬ表示パネルまたはＥＬ表示装置もしくはその駆動方法などを用いた装置などについて説明をする。以下の装置は、以前に説明した本発明の装置または方法を実施する。図１６４は情報端末装置の一例としての携帯電話の平面図である。筐体１６４３にアンテナ１６４１、テンキー１６４２などが取り付けられている。

【０９４６】

図１６５はビデオカメラの斜視図である。ビデオカメラは撮影（撮像）レンズ部１６５２とビデオカメラ本体を具備し、撮影レンズ部１６５２とビューファインダ部とは背中合わせとなっている。また、ビューファインダ部には接眼カバーが取り付けられている。観察者（ユーザー）はこの接眼カバー部から表示パネル１６４４の表示画面１８４を観察する。

【０９４７】

本発明のＥＬ表示パネルは表示モニターとしても使用されている。表示部１８４は支点１６５１で角度を自由に調整できる。表示部１８４を使用しない時は、格納部１６５３に格納される。

【０９４８】

本実施の形態のＥＬ表示装置などはビデオカメラだけでなく、図１６６に示すような電子カメラ、スチルカメラなどにも適用することができる。表示装置はカメラ本体１６６１に付属されたモニター１８４として用いる。カメラ本体１６６１にはシャッタスイッチ１６６３の他、スイッチ１６５４が取り付けられている。

【０９４９】

図１、図３、図１２、図１３、図１４、図７３、図７４、図７５、図８６、図１０３、図１０４、図１０５、図１０６、図１０７、図１０９、図１１５、図１１８、図１２４、図１２５、図１２６、図１２７などで説明したあるいは記載した本発明の画素構成あるいは表示パネル（表示装置）とその構成回路あるいはその制御方法もしくは技術的思想は、相互に組み合わせることができる。また、相互に適用あるいは複合の構成もしくは形成あるいは組み合わせをすることができる。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【０９５０】

図４、図１４９、図１５０、図１５１などで説明した本発明の電源回路構成あるいはその制御方法もしくは技術的思想は、相互に組み合わせることができる。また、相互に適用あるいは複合の構成もしくは形成あるいは組み合わせをすることができる。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【０９５１】

図８、図１５、図１６、図１７、図１８、図１９、図２０、図２１、図２２、図２３、図２４、図２９、図３０、図３２、図３７、図３８、図３９、図４１、図４２、図４３、図４４、図４５、図４９、図５０、図５６、図５７、図５８、図５９、図６０、図６１、図６５、図６６、図６８、図７１、図７２、図７７、図７８、図７９、図８０、図８７、図８８、図８９、図９０、図９６、図１１４、図１１５、図１１６、図１１７、図１２２、図１４４、図１４５、図１４６、図１４８、図１５２、図１５３、図１５４、図１５５、図１５６、図１５７、図１５８などで説明した本発明のソースドライバＩＣ（回路）とその構成回路あるいはその制御方法もしくは技術的思想は、相互に組み合わせることができる。また、相互に適用あるいは複合の構成もしくは形成あるいは組み合わせをすることができる。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【０９５２】

図５、図６、図７、図９、図１０、図１１、図２５、図２６、図２７、図２８、図３３、図３４、図３５、図３６、図４０、図４６、図４７、図４８、図５１、図５２、図５３、図５４、図５５、図６２、図６３、図６４、図６７、図６９、図７０、図７６、図８１、図８２、図８３、図８４、図８５、図８６、図９１、図９２、図９３、図９４、図９５、図９７、図９８、図９９、図１００、図１０１、図１０２、図１０８、図１１０、図１１１、図１１２、図１１３、図１１９、図１２０、図１２１、図１２３、図１２８、図１２９、図１３０，図１３１、図１３２、図１３３、図１３４、図１３５、図１３９、図１４０、図１４１、図１４２、図１４３、図１４７、図１５９、図１６０、図１６０、図１６１、図１６２、図１６３、図１７１、図１７１、図１７３などで説明した本発明の駆動方法と制御方法もしくは技術的思想は、相互に組み合わせることができる。また、相互に適用あるいは複合の構成もしくは形成あるいは組み合わせをすることができる。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【０９５３】

以上の本発明は、図１６４、図１６５、図１６６、図１６７、図１６８、図１６９、図１７０などで説明した表示装置に適用できる。また、相互に適用あるいは複合の構成もしくは形成あるいは組み合わせをすることができる。また、これらの技術的思想などは、一

部あるいは全部を問わず相互に組み合わせることができる。

【０９５４】

さらに、以上に記載した画素構成あるいは表示パネル（表示装置）あるいはその制御方法もしくは技術的思想、表示パネルあるいは表示装置の駆動方法もしくは制御方法もしくはその技術的思想、ソースドライバ回路（ＩＣ）、ゲートドライバＩＣ（回路）などの駆動回路あるいはコントローラＩＣ（回路）もしくはそれらの制御回路とその調整あるいは制御方法（ゲートドライバ回路なども含む）もしくは技術的思想、検査（評価）装置および検査（評価）方法の技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。また、相互に適用あるいは構成もしくは形成することができることはいうまでもない。また、本発明の調整方法の技術的思想などは、本発明の表示パネルもしくは表示装置などに適用できることは言うまでもない。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【０９５５】

本発明の実施例で説明した表示装置あるいは駆動方法あるいは制御方法あるいは方式などの技術的思想は、ビデオカメラ、プロジェクター、立体（３Ｄ）テレビ、プロジェクションテレビ、フィールドエミッションディスプレイ（ＦＥＤ）、ＳＥＤ（キヤノンと東芝が開発したディスプレイ）、ＰＤＰ（プラズマディスプレイパネル）などに適用できる。また、ビューファインダ、携帯電話のメインモニターおよびサブモニターあるいは時計表示部、ＰＨＳ、携帯情報端末およびそのモニター、デジタルカメラ、衛星テレビ、衛星モバイルテレビおよびそのモニターにも適用できる。また、電子写真システム、ヘッドマウントディスプレイ、直視モニターディスプレイ、ノートパーソナルコンピュータ、ビデオカメラ、デジタルスチルカメラ、電子スチルカメラにも適用できる。また、現金自動引き出し機のモニター、公衆電話、テレビ電話、パーソナルコンピュータ、腕時計およびその表示装置などにも適用できる。また、バーコードなどの情報の発生機器にも適用することができる。これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【０９５６】

本発明は、炊飯器などの家庭電器機器の表示モニター、カーオーディオの表示部、車のスピードメーター、ひげそりの表示部、ポケットゲーム機器およびそのモニター、電話器の番号、工場の計測器のインジケーターなどの表示モニター、電車の行き先表示モニター、ネオン表示装置の置き換え、表示パネル用バックライトあるいは家庭用もしくは業務用の照明装置、天井灯、窓ガラス、車のヘッドライトなどの照明装置などにも適用あるいは応用展開できることは言うまでもない。照明装置は色温度を可変できるように構成することが好ましい。これは、ＲＧＢの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更できる。また、広告あるいはポスターなどの表示装置、ＲＧＢの信号器、警報表示灯などにも応用できる。これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【０９５７】

スキャナの光源としても本発明の自己発光素子もしくは表示装置あるいは有機ＥＬ表示パネルは有効である。ＲＧＢのドットマトリックスを光源として、対象物に光を照射し、画像を読み取る。もちろん、単色でもよいことは言うまでもない。また、本発明の表示装置から出力される光を単一波長あるいは狭帯域の波長がでるように構成し、レーザー表示装置またはその応用として用いても良いことは言うまでもない。狭帯域化は、干渉効果あるいは光学フィルタなどを用いることにより実現できる。

【０９５８】

なお、本発明は上記各実施形態に限定されるものではなく、その実施の段階ではその要旨を逸脱しない範囲で種々な変形・変更が可能である。また、各実施形態は可能な限り適宜組み合わせて実施されてもよく、その場合は、その組み合わせによる特徴ある効果が得られる。

【産業上の利用可能性】

【０９５９】
本発明に係るＥＬ表示装置およびＥＬ表示装置の駆動方法は、表示ムラを低減しつつ、全階調領域で書き込み不足を生じさせないという効果を有するので、有機または無機エレクトロルミネッセンス（ＥＬ）素子などを用いたＥＬ表示パネル（表示装置）などの自発光表示パネル（表示装置）、その駆動方法、駆動装置、およびこれらの表示パネルを用いた表示装置などに有用である。
【図面の簡単な説明】
【０９６０】
【図１】本発明のＥＬ表示パネルの画素の構成図
【図２】従来のＥＬ表示パネルの画素の構成図
【図３】本発明のＥＬ表示パネルの構成図
【図４】本発明のＥＬ表示装置の構成図
【図５】本発明のＥＬ表示パネルの駆動方法の説明図
【図６】本発明のＥＬ表示パネルの駆動方法の説明図
【図７】本発明のＥＬ表示パネルの駆動方法の説明図
【図８】本発明のＥＬ表示パネルの構成図
【図９】本発明のＥＬ表示パネルの駆動方法の説明図
【図１０】本発明のＥＬ表示パネルの駆動方法の説明図
【図１１】本発明のＥＬ表示パネルの駆動方法の説明図
【図１２】本発明のＥＬ表示パネルの画素構造の説明図
【図１３】本発明のＥＬ表示パネルの画素構造の説明図
【図１４】本発明のＥＬ表示パネルの画素構造の説明図
【図１５】本発明のＥＬ表示パネルのドライバ回路の構成図
【図１６】本発明のＥＬ表示パネルのドライバ回路の構成図
【図１７】本発明のＥＬ表示パネルのドライバ回路の構成図
【図１８】本発明のＥＬ表示パネルのドライバ回路の構成図
【図１９】本発明のＥＬ表示パネルのドライバ回路の構成図
【図２０】本発明のＥＬ表示パネルのドライバ回路の構成図
【図２１】本発明のＥＬ表示パネルのドライバ回路の構成図
【図２２】本発明のＥＬ表示パネルのドライバ回路の構成図
【図２３】本発明のＥＬ表示パネルのドライバ回路の構成図
【図２４】本発明のＥＬ表示パネルのドライバ回路の構成図
【図２５】本発明のＥＬ表示パネルの駆動方法の説明図
【図２６】本発明のＥＬ表示パネルの駆動方法の説明図
【図２７】本発明のＥＬ表示パネルの駆動方法の説明図
【図２８】本発明のＥＬ表示パネルの駆動方法の説明図
【図２９】本発明のＥＬ表示パネルのドライバ回路の構成図
【図３０】本発明のＥＬ表示パネルのドライバ回路の構成図
【図３１】本発明のＥＬ表示パネルのドライバ回路の構成図
【図３２】本発明のＥＬ表示パネルのドライバ回路の構成図
【図３３】本発明のＥＬ表示パネルのドライバ回路の構成図
【図３４】本発明のＥＬ表示パネルのドライバ回路の構成図
【図３５】本発明のＥＬ表示パネルの駆動方法の説明図
【図３６】本発明のＥＬ表示パネルの駆動方法の説明図
【図３７】本発明のＥＬ表示パネルのドライバ回路の構成図
【図３８】本発明のＥＬ表示パネルのドライバ回路の構成図
【図３９】本発明のＥＬ表示パネルのドライバ回路の構成図
【図４０】本発明のＥＬ表示パネルのドライバ回路の構成図
【図４１】本発明のＥＬ表示パネルの駆動方法の説明図
【図４２】本発明のＥＬ表示パネルの駆動方法の説明図

【図４３】本発明のＥＬ表示パネルの駆動方法の説明図
【図４４】本発明のＥＬ表示パネルのドライバ回路の構成図
【図４５】本発明のＥＬ表示パネルのドライバ回路の構成図
【図４６】本発明のＥＬ表示パネルの説明図
【図４７】本発明のＥＬ表示パネルの説明図
【図４８】本発明のＥＬ表示パネルの説明図
【図４９】本発明のＥＬ表示パネルの説明図
【図５０】本発明のＥＬ表示パネルの説明図
【図５１】本発明のＥＬ表示パネルの説明図
【図５２】本発明のＥＬ表示パネルの説明図
【図５３】本発明のＥＬ表示パネルの説明図
【図５４】本発明のＥＬ表示パネルの説明図
【図５５】本発明のＥＬ表示パネルの説明図
【図５６】本発明のＥＬ表示パネルの説明図
【図５７】本発明のＥＬ表示パネルの説明図
【図５８】本発明のＥＬ表示パネルの説明図
【図５９】本発明のＥＬ表示パネルの説明図
【図６０】本発明のＥＬ表示パネルの説明図
【図６１】本発明のＥＬ表示パネルの説明図
【図６２】本発明のＥＬ表示パネルの駆動方法の説明図
【図６３】本発明のＥＬ表示パネルの駆動方法の説明図
【図６４】本発明のＥＬ表示パネルの説明図
【図６５】本発明のＥＬ表示パネルの説明図
【図６６】本発明のＥＬ表示パネルの説明図
【図６７】本発明のＥＬ表示パネルの説明図
【図６８】本発明のＥＬ表示パネルの説明図
【図６９】本発明のＥＬ表示パネルの説明図
【図７０】本発明のＥＬ表示パネルの説明図
【図７１】本発明のＥＬ表示パネルの説明図
【図７２】本発明のＥＬ表示パネルの説明図
【図７３】本発明のＥＬ表示パネルの説明図
【図７４】本発明のＥＬ表示パネルの説明図
【図７５】本発明のＥＬ表示パネルの説明図
【図７６】本発明のＥＬ表示パネルの説明図
【図７７】本発明のＥＬ表示パネルの説明図
【図７８】本発明のＥＬ表示パネルの説明図
【図７９】本発明のＥＬ表示パネルの説明図
【図８０】本発明のＥＬ表示パネルの説明図
【図８１】本発明のＥＬ表示パネルの駆動方法の説明図
【図８２】本発明のＥＬ表示パネルの駆動方法の説明図
【図８３】本発明のＥＬ表示パネルの駆動方法の説明図
【図８４】本発明のＥＬ表示パネルの駆動方法の説明図
【図８５】本発明のＥＬ表示パネルの駆動方法の説明図
【図８６】本発明のＥＬ表示パネルの駆動方法の説明図
【図８７】本発明のＥＬ表示パネルのドライバ回路の構成図
【図８８】本発明のＥＬ表示パネルのドライバ回路の構成図
【図８９】本発明のＥＬ表示パネルのドライバ回路の構成図
【図９０】本発明のＥＬ表示パネルのドライバ回路の構成図
【図９１】本発明のＥＬ表示パネルの駆動方法の説明図
【図９２】本発明のＥＬ表示パネルの駆動方法の説明図

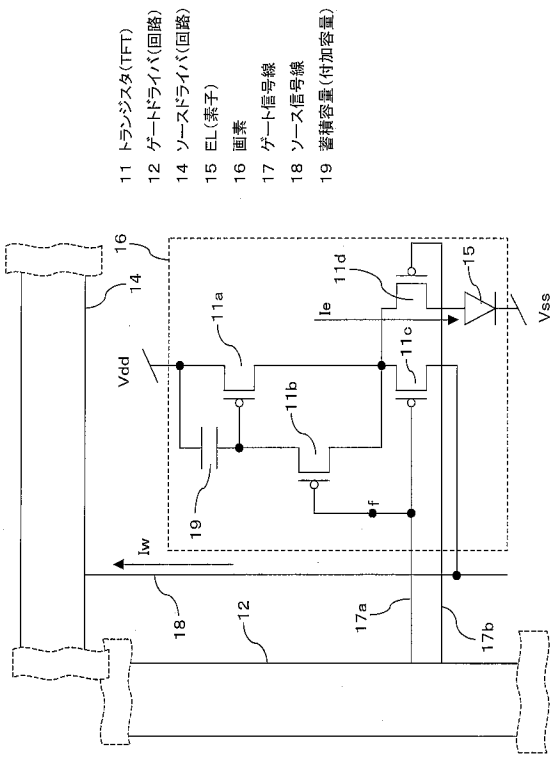
【図９３】本発明のＥＬ表示パネルの駆動方法の説明図
【図９４】本発明のＥＬ表示パネルの駆動方法の説明図
【図９５】本発明のＥＬ表示パネルの駆動方法の説明図
【図９６】本発明のＥＬ表示パネルの駆動方法の説明図
【図９７】本発明のＥＬ表示パネルの駆動方法の説明図
【図９８】本発明のＥＬ表示パネルの駆動方法の説明図
【図９９】本発明のＥＬ表示パネルの駆動方法の説明図
【図１００】本発明のＥＬ表示パネルの駆動方法の説明図
【図１０１】本発明のＥＬ表示パネルの駆動方法の説明図
【図１０２】本発明のＥＬ表示パネルの駆動方法の説明図
【図１０３】本発明のＥＬ表示パネルのドライバ回路の構成図
【図１０４】本発明のＥＬ表示パネルのドライバ回路の構成図
【図１０５】本発明のＥＬ表示パネルの説明図
【図１０６】本発明のＥＬ表示パネルの説明図
【図１０７】本発明のＥＬ表示パネルの駆動方法の説明図
【図１０８】本発明のＥＬ表示パネルの駆動方法の説明図
【図１０９】本発明のＥＬ表示パネルの駆動方法の説明図
【図１１０】本発明のＥＬ表示パネルの駆動方法の説明図
【図１１１】本発明のＥＬ表示パネルの駆動方法の説明図
【図１１２】本発明のＥＬ表示パネルの駆動方法の説明図
【図１１３】本発明のＥＬ表示パネルの駆動方法の説明図
【図１１４】本発明のＥＬ表示パネルのドライバ回路の構成図
【図１１５】本発明のＥＬ表示パネルの説明図
【図１１６】本発明のＥＬ表示パネルのドライバ回路の構成図
【図１１７】本発明のＥＬ表示パネルのドライバ回路の構成図
【図１１８】本発明のＥＬ表示パネルの駆動方法の説明図
【図１１９】本発明のＥＬ表示パネルの駆動方法の説明図
【図１２０】本発明のＥＬ表示パネルの駆動方法の説明図
【図１２１】本発明のＥＬ表示パネルの駆動方法の説明図
【図１２２】本発明のＥＬ表示パネルのドライバ回路の構成図
【図１２３】本発明のＥＬ表示パネルの駆動方法の説明図
【図１２４】本発明のＥＬ表示パネルのドライバ回路の構成図
【図１２５】本発明のＥＬ表示パネルのドライバ回路の構成図
【図１２６】本発明のＥＬ表示パネルのドライバ回路の構成図
【図１２７】本発明のＥＬ表示パネルのドライバ回路の構成図
【図１２８】本発明のＥＬ表示パネルのドライバ回路の構成図
【図１２９】本発明のＥＬ表示パネルのドライバ回路の構成図
【図１３０】本発明のＥＬ表示パネルの駆動方法の説明図
【図１３１】本発明のＥＬ表示パネルの駆動方法の説明図
【図１３２】本発明のＥＬ表示パネルの駆動方法の説明図
【図１３３】本発明のＥＬ表示パネルの駆動方法の説明図
【図１３４】本発明のＥＬ表示パネルの駆動方法の説明図
【図１３５】本発明のＥＬ表示パネルの駆動方法の説明図
【図１３６】本発明のＥＬ表示パネルの駆動方法の説明図
【図１３７】本発明のＥＬ表示パネルの駆動方法の説明図
【図１３８】本発明のＥＬ表示パネルの駆動方法の説明図
【図１３９】本発明のＥＬ表示パネルの駆動方法の説明図
【図１４０】本発明のＥＬ表示パネルの駆動方法の説明図
【図１４１】本発明のＥＬ表示パネルの駆動方法の説明図
【図１４２】本発明のＥＬ表示パネルの駆動方法の説明図

【図１４３】本発明のＥＬ表示パネルの駆動方法の説明図
【図１４４】本発明のＥＬ表示パネルの駆動方法の説明図
【図１４５】本発明のＥＬ表示パネルの駆動方法の説明図
【図１４６】本発明のＥＬ表示パネルの駆動方法の説明図
【図１４７】本発明のＥＬ表示パネルの駆動方法の説明図
【図１４８】本発明のＥＬ表示パネルの駆動方法の説明図
【図１４９】本発明のＥＬ表示装置の電源回路の説明図
【図１５０】本発明のＥＬ表示装置の電源回路の説明図
【図１５１】本発明のＥＬ表示装置の電源回路の説明図
【図１５２】本発明のＥＬ表示装置の説明図
【図１５３】本発明のＥＬ表示装置の説明図
【図１５４】本発明のＥＬ表示装置の説明図
【図１５５】本発明のＥＬ表示装置の説明図
【図１５６】本発明のＥＬ表示装置の説明図
【図１５７】本発明のＥＬ表示装置の説明図
【図１５８】本発明のＥＬ表示装置の駆動方法の説明図
【図１５９】本発明のＥＬ表示装置の駆動方法の説明図
【図１６０】本発明のＥＬ表示装置の駆動方法の説明図
【図１６１】本発明のＥＬ表示装置の駆動方法の説明図
【図１６２】本発明のＥＬ表示装置の駆動方法の説明図
【図１６３】本発明のＥＬ表示装置の説明図
【図１６４】本発明のＥＬ表示装置の説明図
【図１６５】本発明のＥＬ表示装置の説明図
【図１６６】本発明のＥＬ表示装置の説明図
【図１６７】本発明のＥＬ表示装置の説明図
【図１６８】本発明のＥＬ表示装置の説明図
【図１６９】本発明のＥＬ表示装置の説明図
【図１７０】本発明のＥＬ表示装置の説明図
【図１７１】本発明のＥＬ表示装置の駆動方法の説明図
【図１７２】本発明のＥＬ表示装置の駆動方法の説明図
【図１７３】本発明のＥＬ表示装置の駆動方法の説明図
【図１７４】本発明のＥＬ表示装置の駆動方法の説明図
【図１７５】本発明のＥＬ表示装置の駆動方法の説明図
【図１７６】本発明のＥＬ表示装置の駆動方法の説明図
【図１７７】本発明のＥＬ表示装置の駆動方法の説明図
【符号の説明】
【０９６１】
１１　トランジスタ（ＴＦＴ）
１２　ゲートドライバＩＣ（回路）
１４　ソースドライバ回路（ＩＣ）
１５　ＥＬ（素子）（発光素子）
１６　画素
１７　ゲート信号線
１８　ソース信号線
１９　蓄積容量（付加コンデンサ、付加容量）
３０　アレイ基板（透明基板、ガラス基板）
３１　シフトレジスタ回路
３２　バッファ回路
３４　表示画面
６１　書き込み行

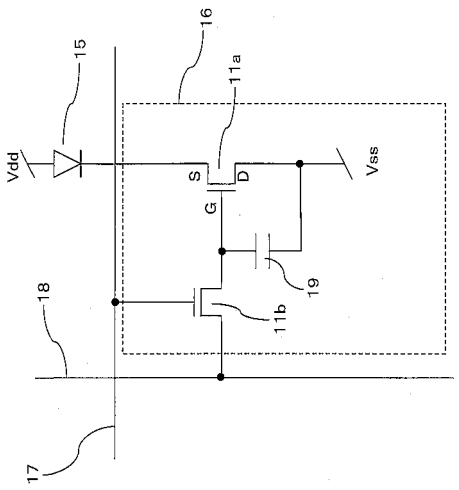
６２　非表示領域（非点灯領域、黒表示領域）
６３　表示領域（点灯領域、画像表示領域）
８１　電流保持回路
８２　ポリシリコン電流保持回路（内蔵電流保持回路）
８３　出力端子
１５１　オペアンプ（バッファ回路）
１５２　電子ボリウム(電圧出力回路)
１５３　定電流回路
１５４　電流階調回路
１６１　スイッチ（オンオフ手段、選択手段）
１６２　内部配線（電流出力配線）
１６３　ゲート配線
１６４　単位トランジスタ（単位電流源）
１６５　トランジスタ群
１６７　トランジスタ
１６８　トランジスタ
２１１　一致回路
２１２　カウンタ回路
２１３　ＡＮＤ（回路）
２１４　プリチャージ回路（プリチャージ電圧発生回路）
２２１　ラッチ回路
２２２　セレクタ回路（選択回路）
２３１　電圧階調回路（電圧出力回路）
２４１　サンプルホールド回路
２４２　ソース信号線端子
２９１　切り換え回路
３２１　単位トランジスタ
３３１　比較回路
３８１　電圧測定回路（電圧取得手段）
３９１　Ａ／Ｄ変換回路
４４１　切り換え回路
４４３　平均化回路
５０１　ソース信号線電位検出線
５０２　メモリ（記憶手段）
５２１　電圧測定回路（ＩＣ）
６１１　電圧配線
６５１　演算回路（処理回路）
８０１　コントロールＩＣ（回路）
８４１　短絡配線
８４２　端子電極
８４３　プローブ
８４４　定電流源
８４５　配線
８５１　温度補償回路
９３１　ルックアップテーブル
９５１　ＯＲ回路
１０５１　フラッシュメモリ
１０９２　レーザー照射範囲（エキシマレーザースポット）
１０９３　位置決めマーカー
１０９４　ガラス基板

１２２１　カスケード回路
１２２２　電圧配線
１２４１　Ｄ／Ａ変換回路
１２７１　定電流出力回路
１３１１　スイッチ回路
１３１２　定電流源
１３１３　電流出力回路
１３４１　コンデンサ
１４３１　エミッタフォロワ回路
１４８１　階調スイッチ制御回路
１４８２　プリチャージ電流制御回路
１４８３　プリチャージ期間判定回路
１４８４　インバータ回路
１６４１　アンテナ
１６４２　キー
１６４３　筐体
１６４４　表示パネル
１６５１　支点
１６５２　撮影レンズ
１６５３　格納部
１６５４　スイッチ
１６６１　カメラ本体
１６６２　撮影部
１６６３　シャッタスイッチ
１６７１　光
１６９１　光結合材

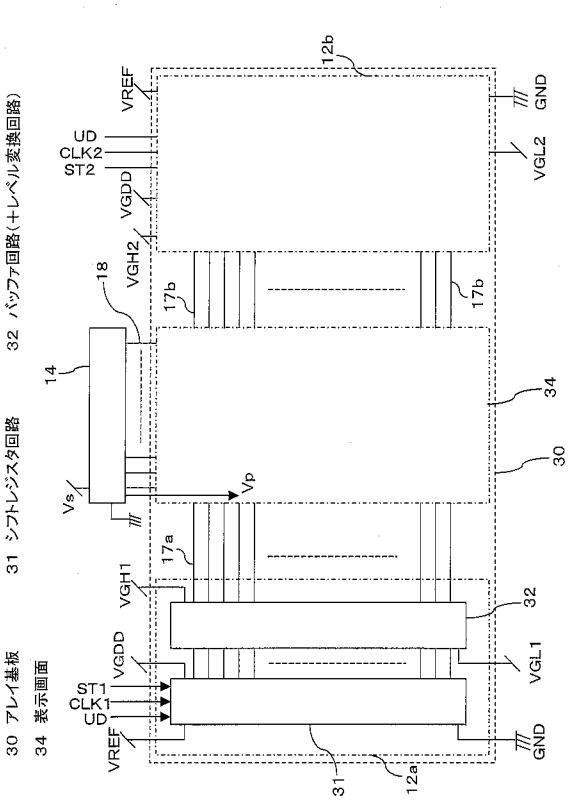
【図１】


11 トランジスタ(TFT)
12 ゲートドライバ(回路)
14 ソースドライバ(回路)
15 EL(素子)
16 画素
17 ゲート信号線
18 ソース信号線
19 蓄積容量(付加容量)
Vdd
Vss
Ie
Iw
f

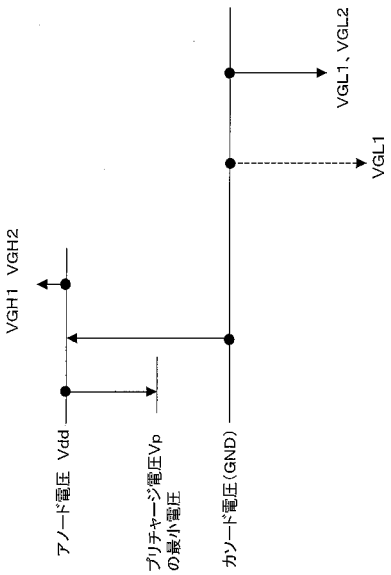
【図２】


Vdd
Vss
S
D
G

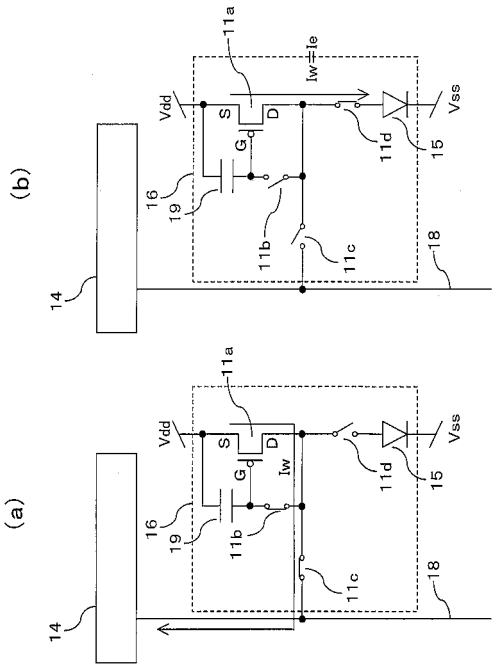
【図３】


30 アレイ基板
34 表示画面
31 シフトレジスタ回路
32 バッファ回路(+レベル変換回路)
VREF
ST1
CLK1
UD
VGDD
VGH1
VGH2
ST2
CLK2
GND
VGL1
VGL2
Vs
Vp

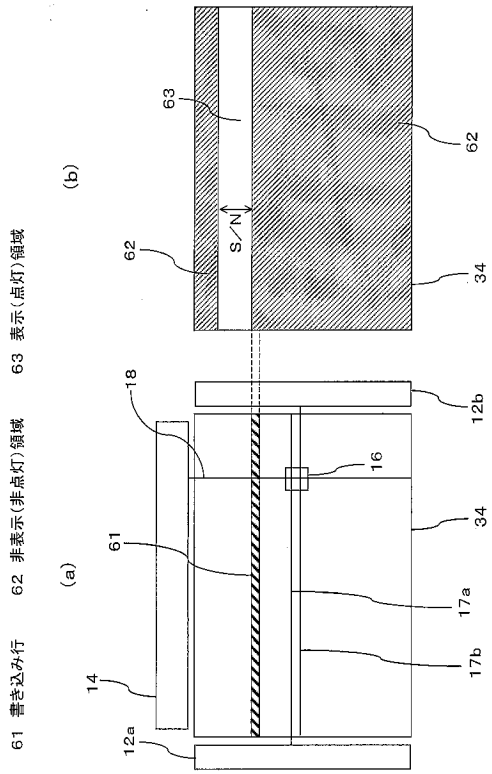
【図４】


VGH1 VGH2
アノード電圧 Vdd
プリチャージ電圧Vp
の最小電圧
カソード電圧(GND)
VGL1
VGL1、VGL2

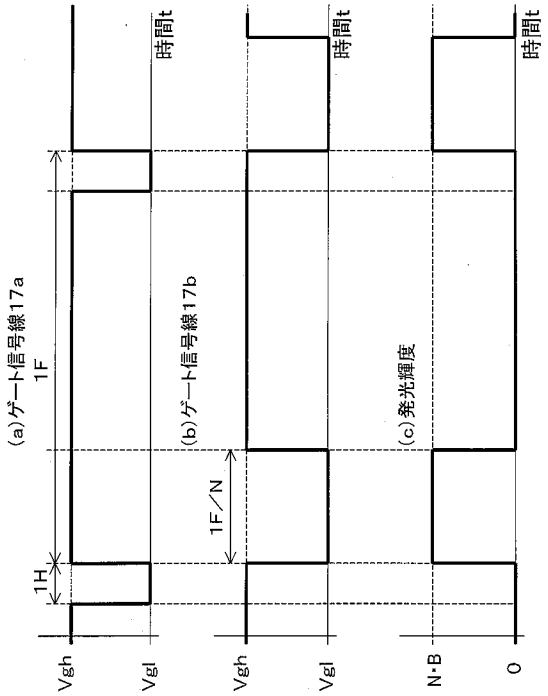
【図５】


(a)
(b)
14
16
19
11a
11b
11c
11d
15
18
Vdd
Vss
S
D
G
Iw
Iw=Ie

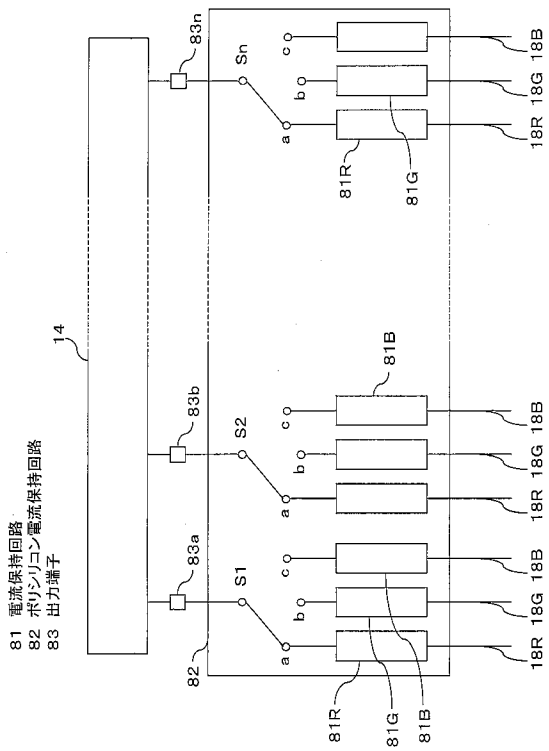
【図６】


61 書き込み行
62 非表示(非点灯)領域
63 表示(点灯)領域
(a)
(b)
S/N
12a
12b
14
16
17a
17b
18
34
61
62
63

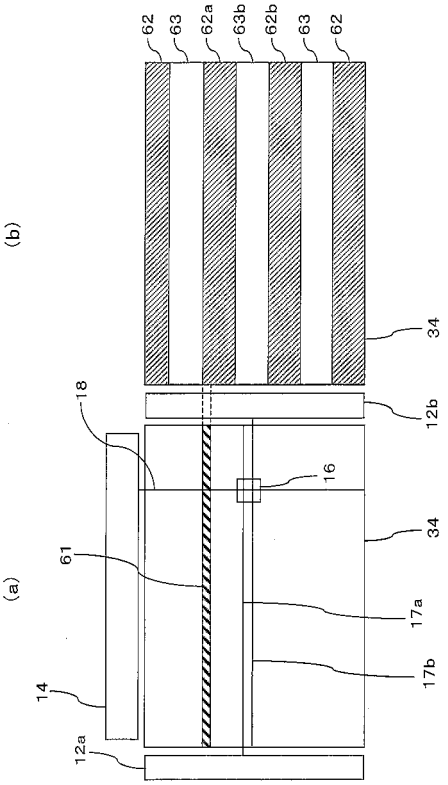
【図７】


(a)ゲート信号線17a
(b)ゲート信号線17b
(c)発光輝度
1F
1H
1F／N
Vgh
Vgl
N･B
0
時間t

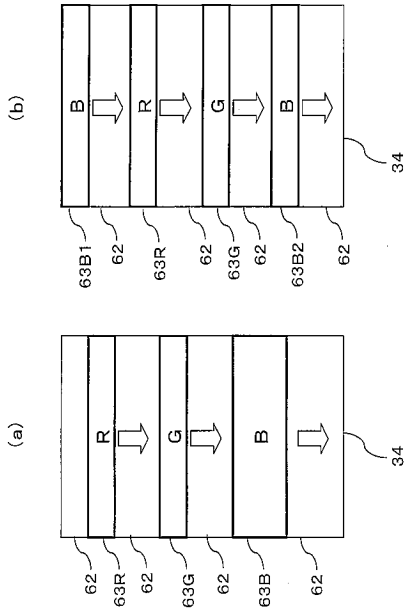
【図８】


81 電流保持回路
82 ポリシリコン電流保持回路
83 出力端子
14
82
83a
83b
83n
S1
S2
Sn
a
b
c
81R
81G
81B
18R
18G
18B

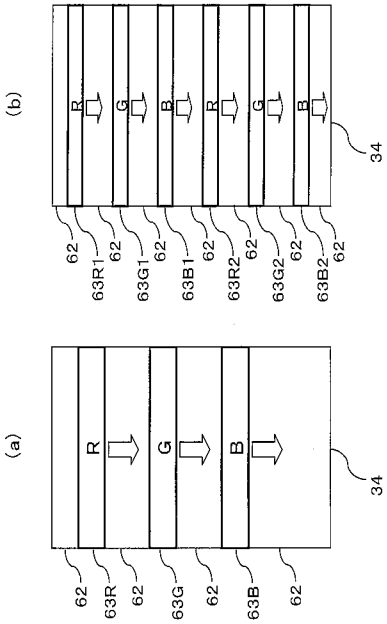
【図９】



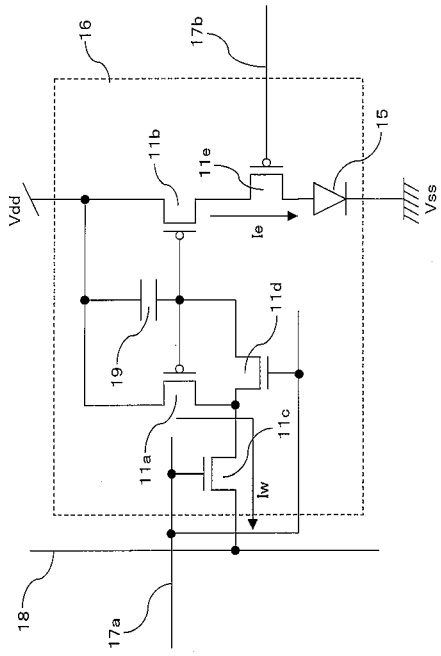
【図１０】



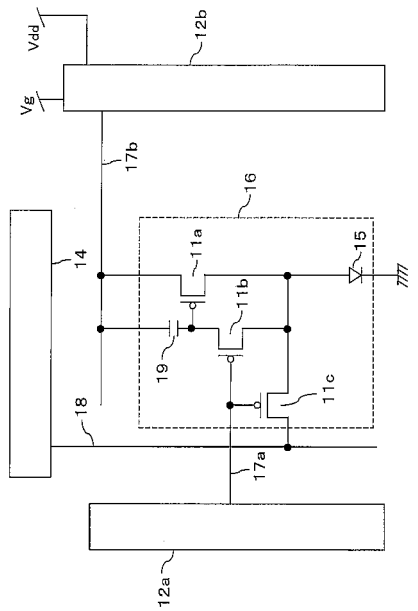
【図１１】



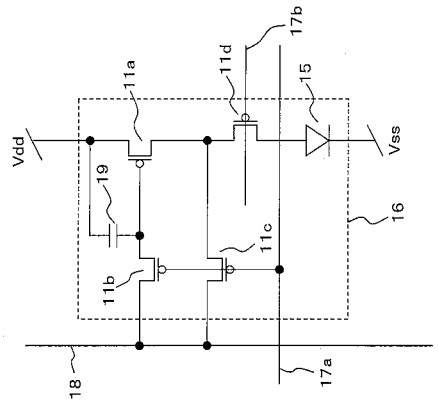
【図１２】



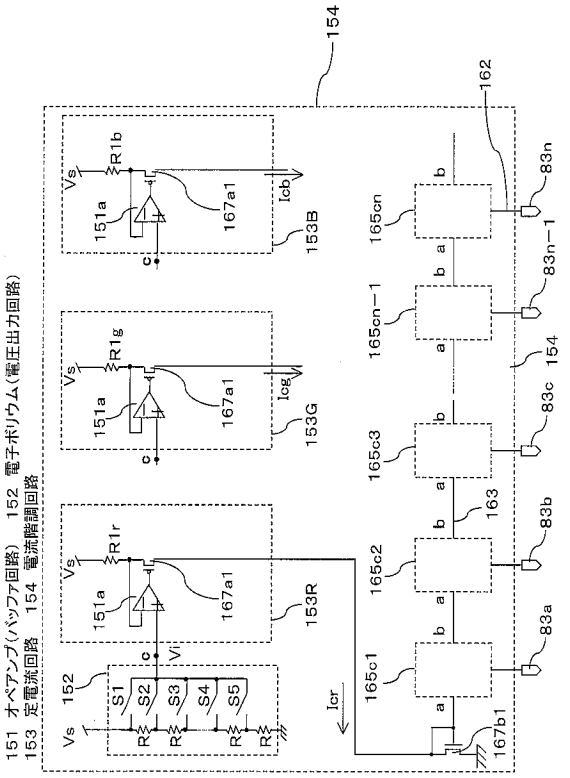
【図１３】



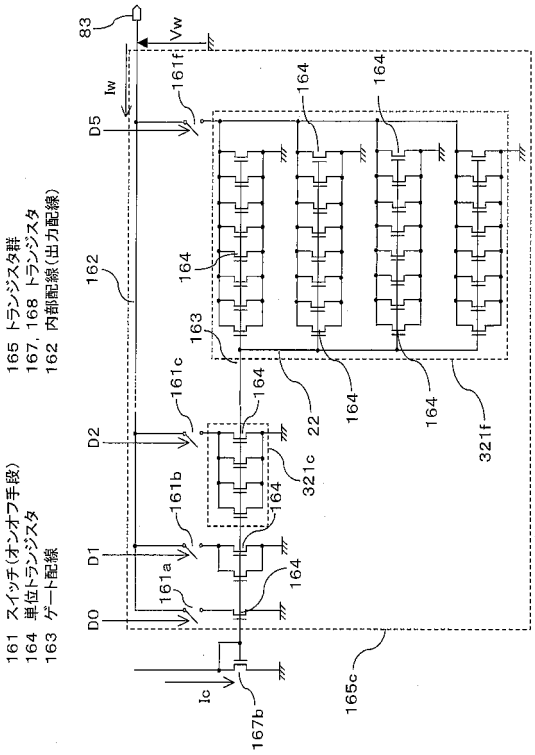
【図１４】



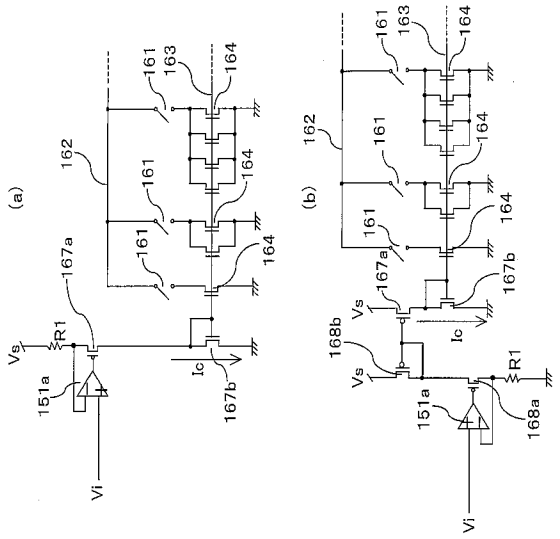
【図１５】



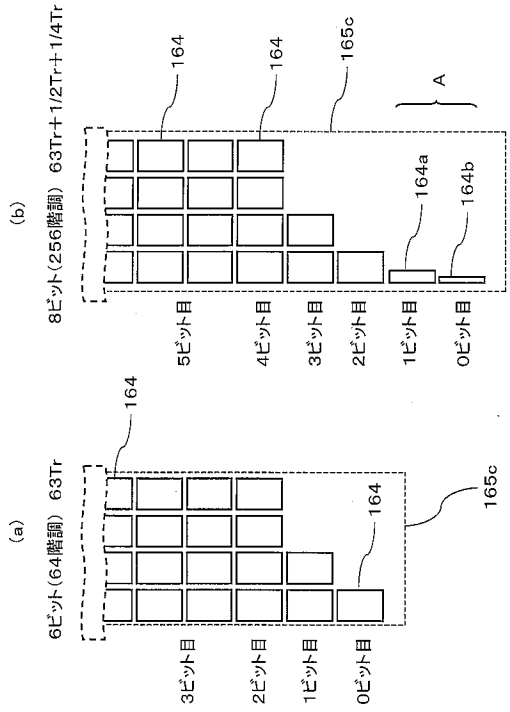
【図１６】



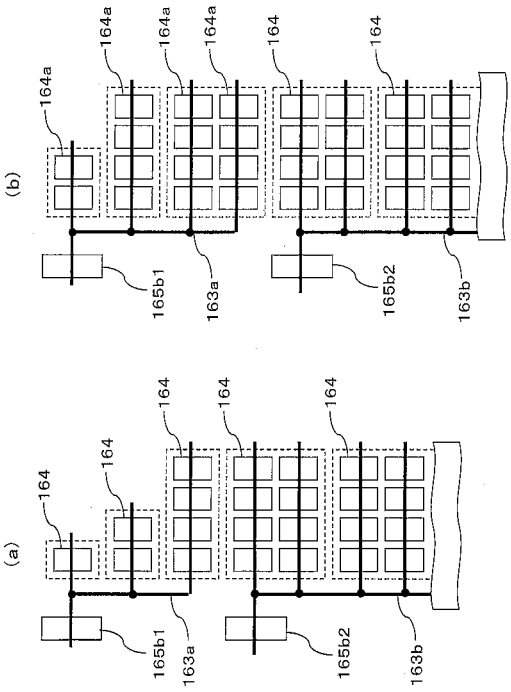
【図１７】



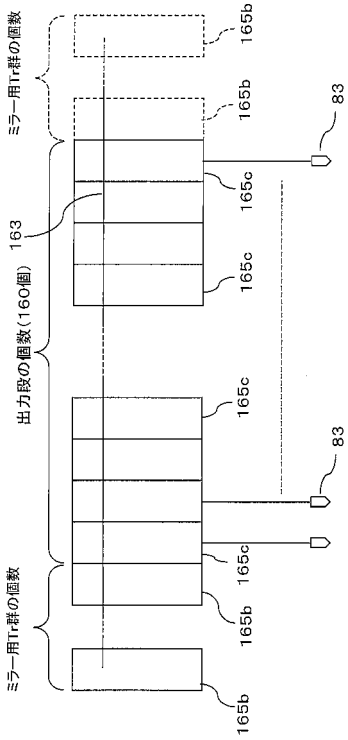
【図１８】



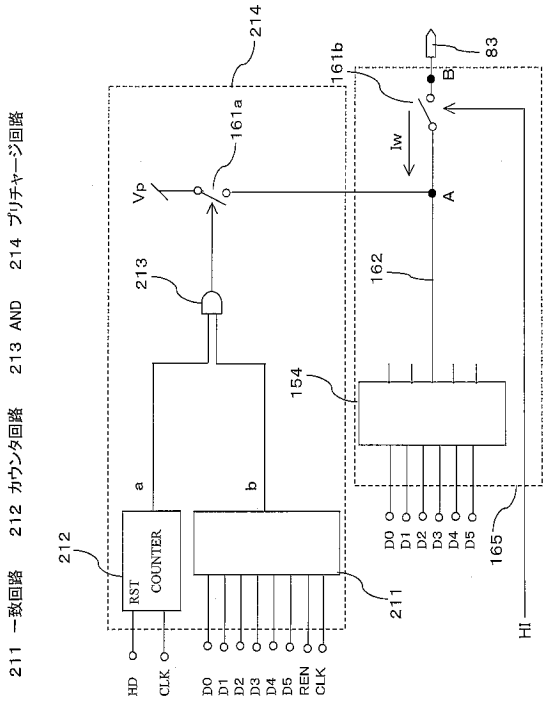
【図１９】



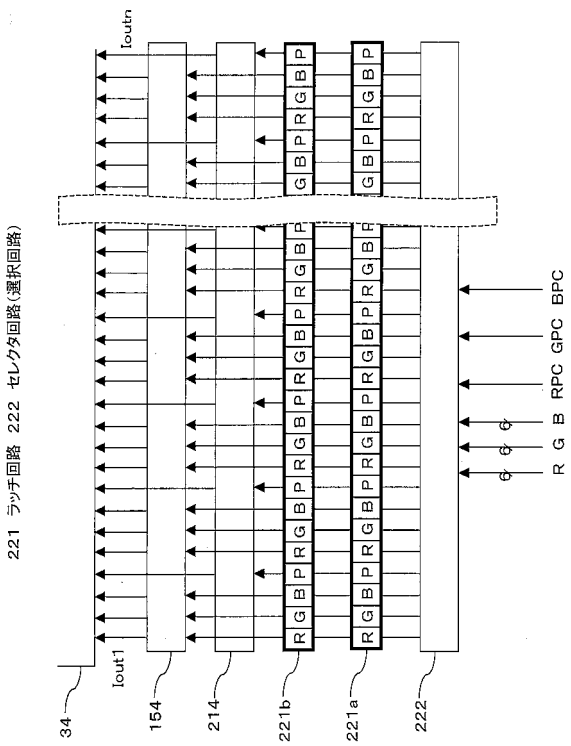
【図２０】



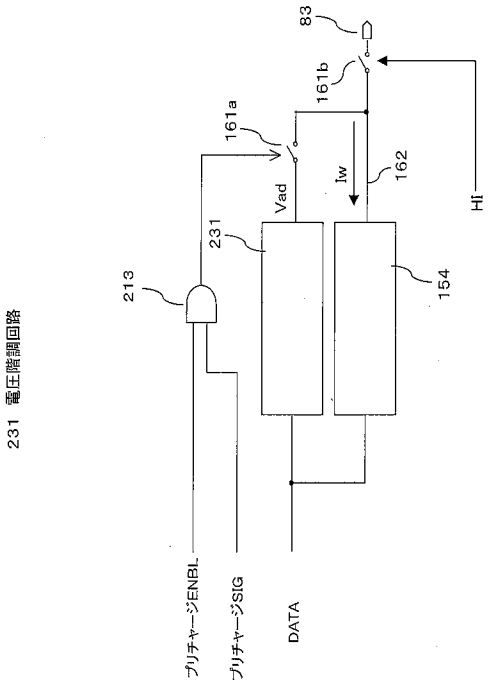
【図２１】



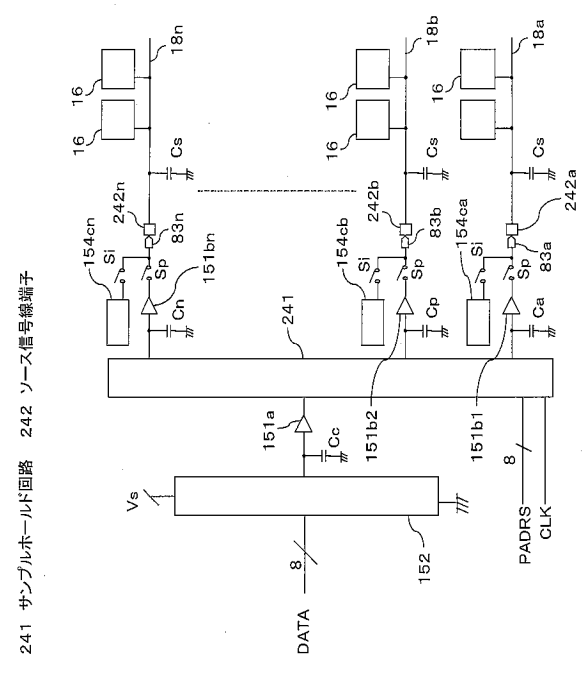
【図２２】



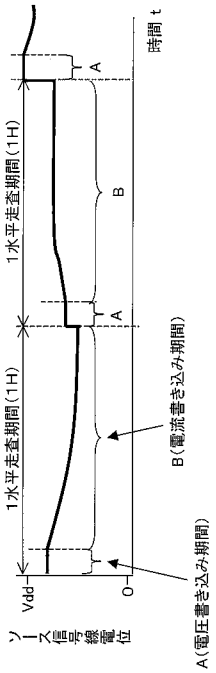
【図２３】



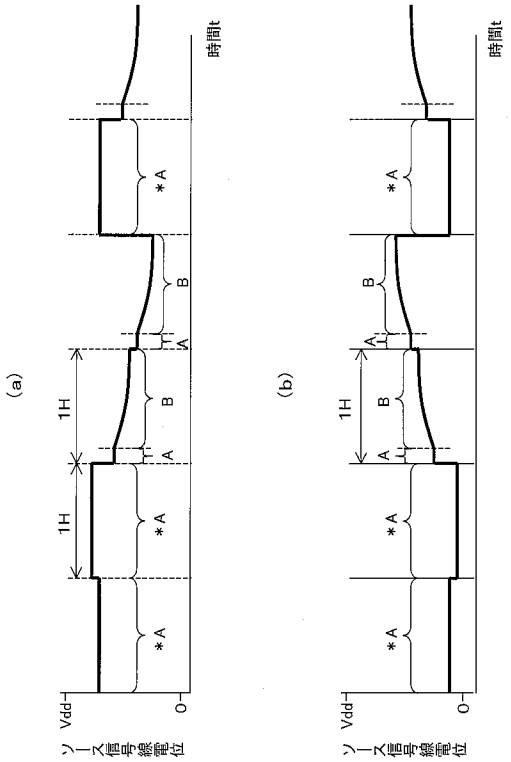
【図２４】



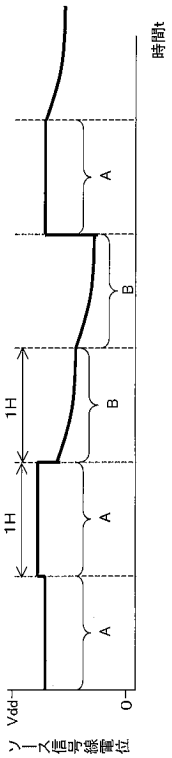
【図２５】



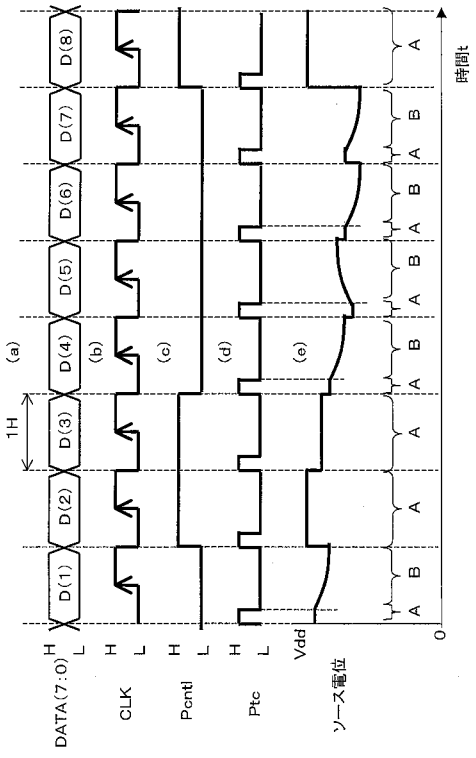
【図２６】



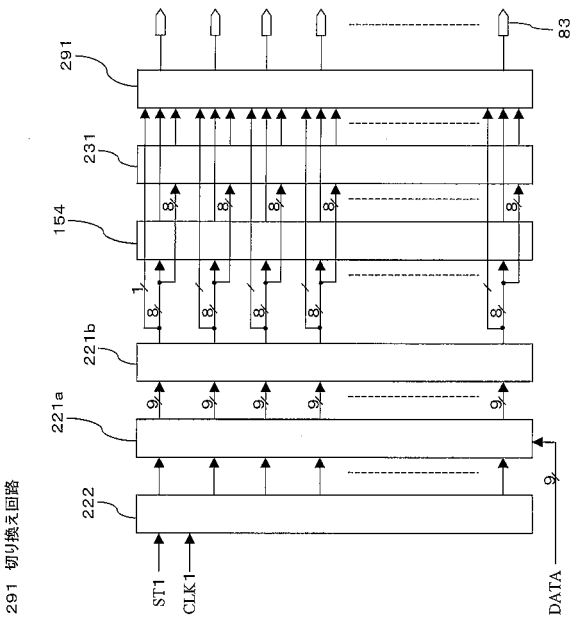
【図２７】



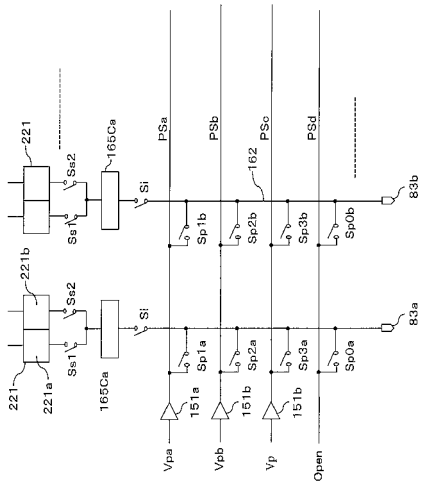
【図２８】



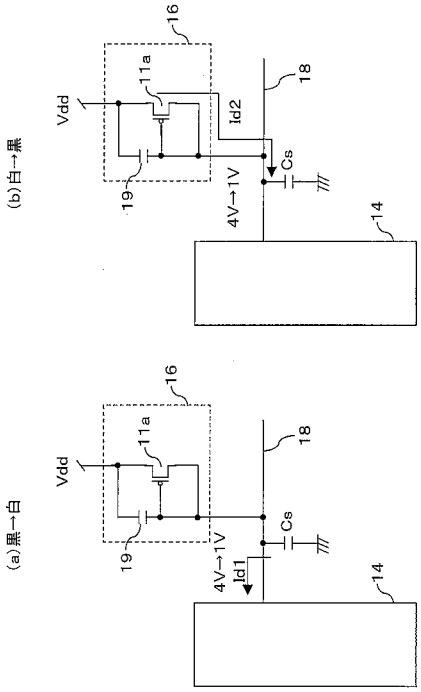
【図２９】



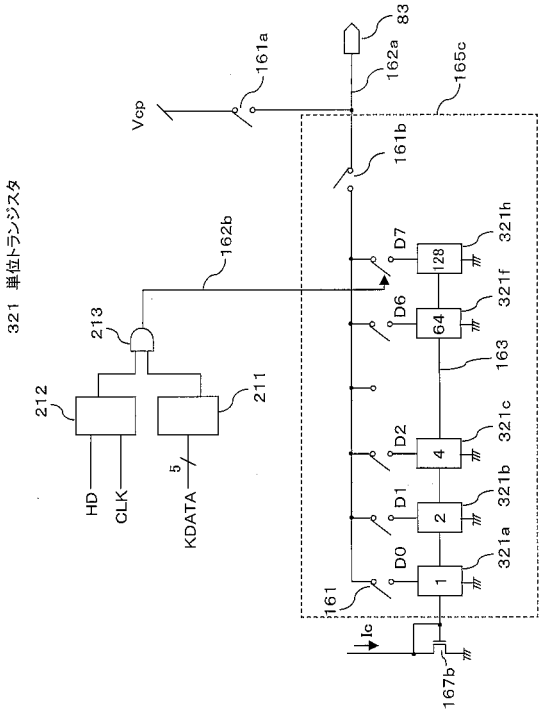
【図３０】



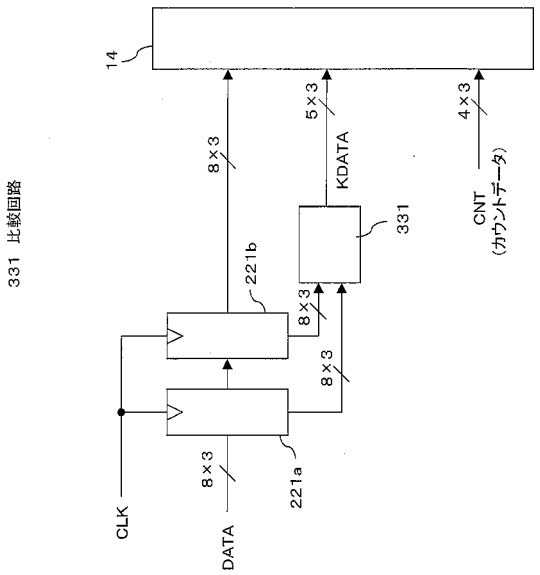
【図３１】



【図３２】



【図３３】

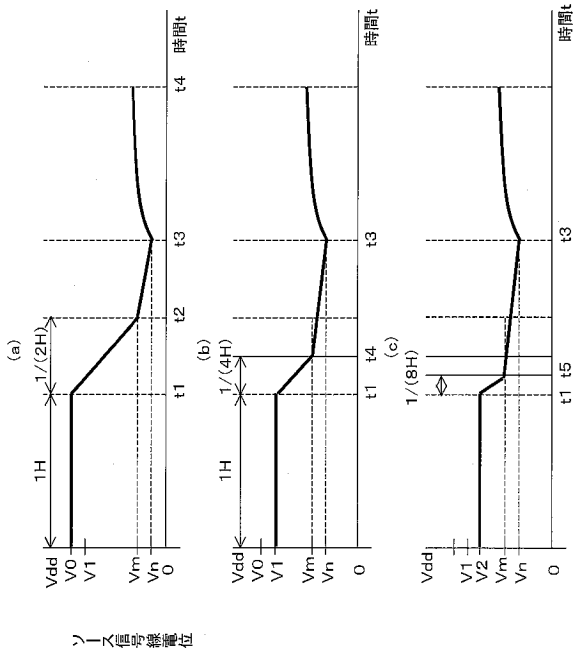


【図３４】

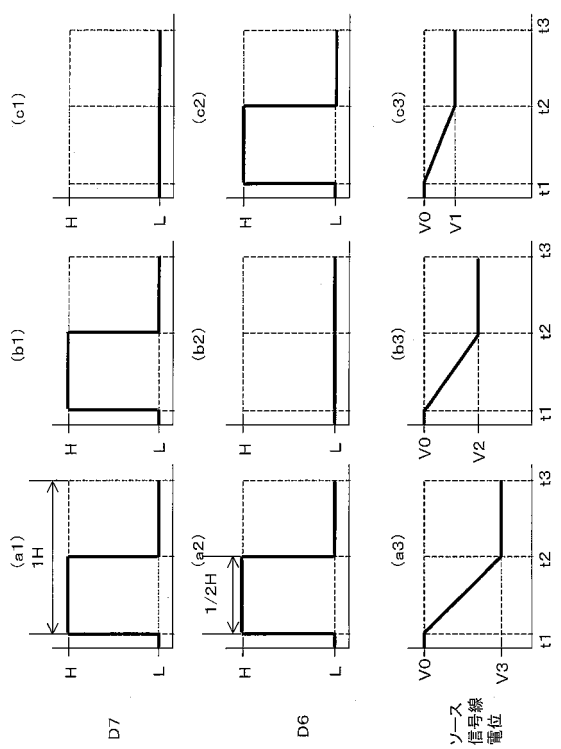
KDATA

	変化前(1H前)								
	0	1	2	3	----------	n-1	n
変化後	0	0	—	—		—	—
	1	15	0	—		—	—
	2	12	10	0		—	—
	3	10	8	6	0	—	—
	4	8	6	4	2	—	—
	----------						
	n-1	0	0	0	0	—	—
	n	0	0	0	0	—	—

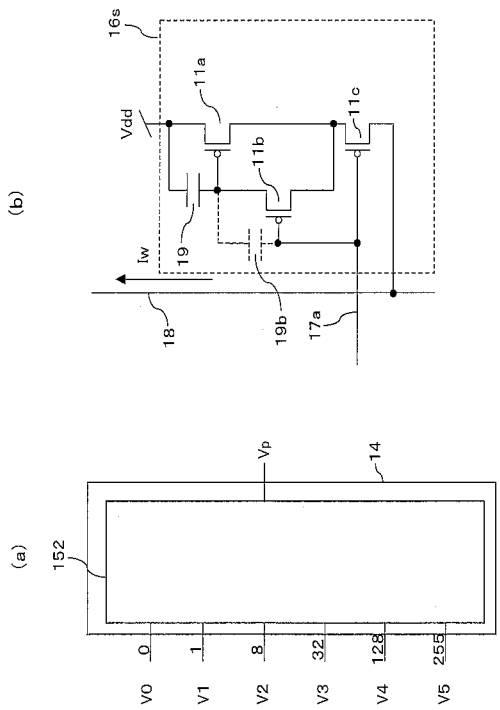
【図３５】



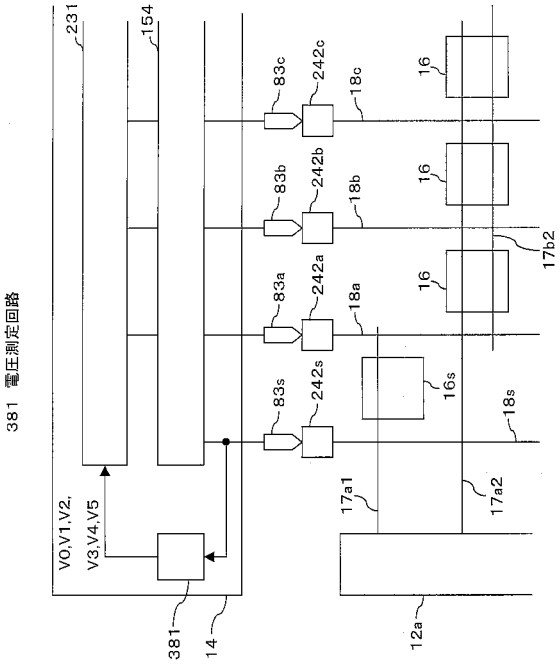
【図３６】



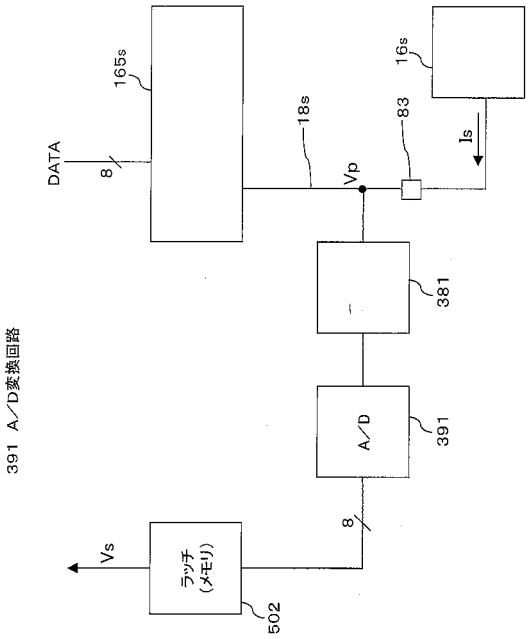
【図３７】



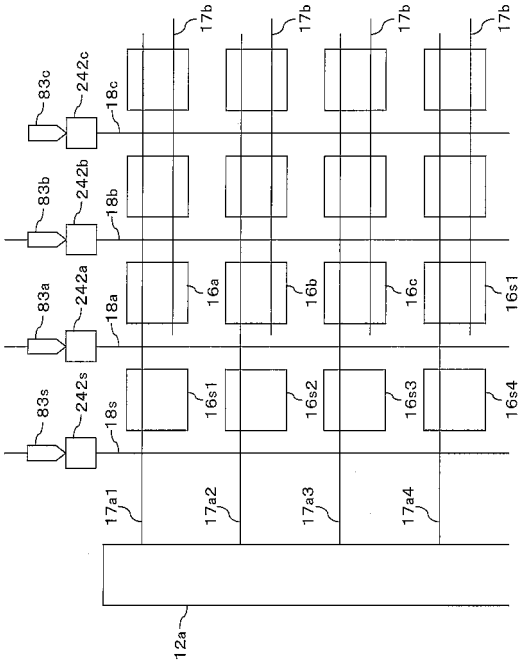
【図３８】



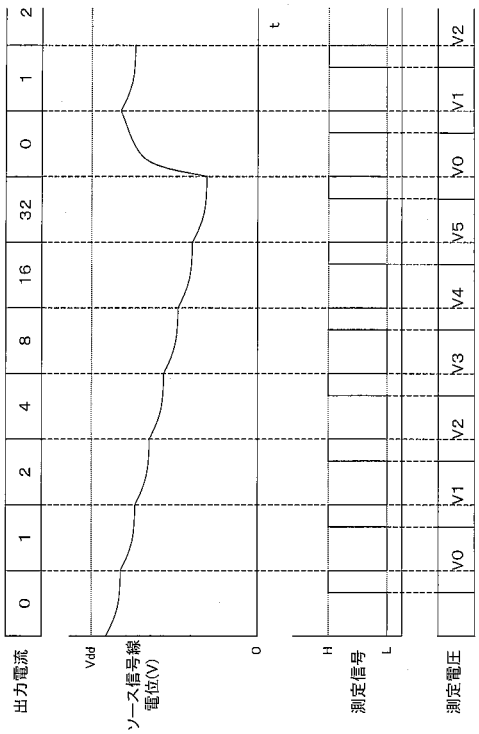
【図３９】



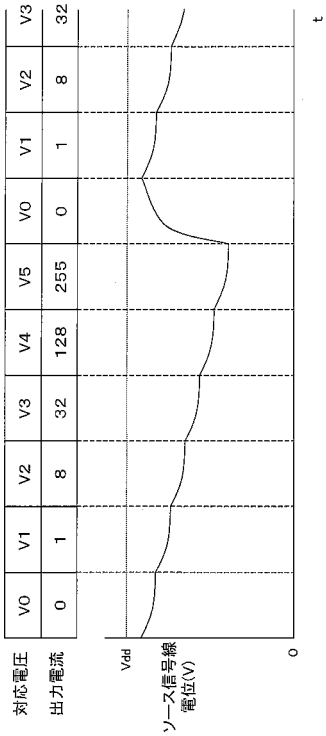
【図４０】



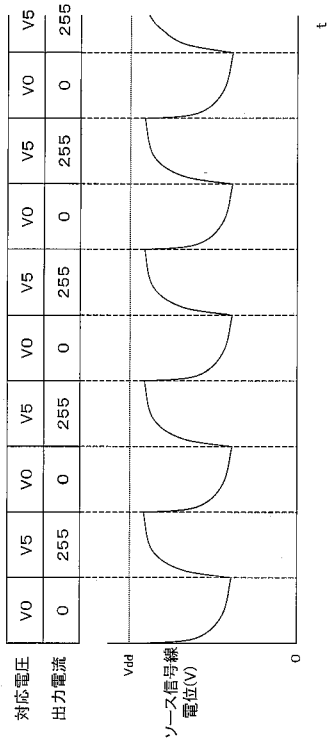
【図４１】



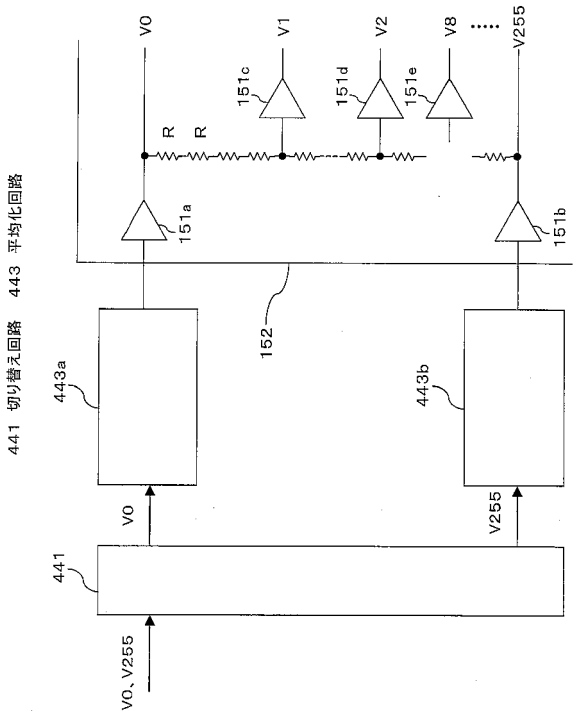
【図４２】



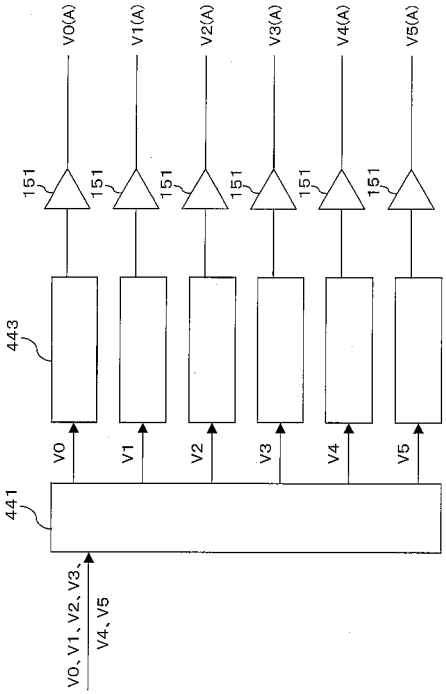
【図４３】



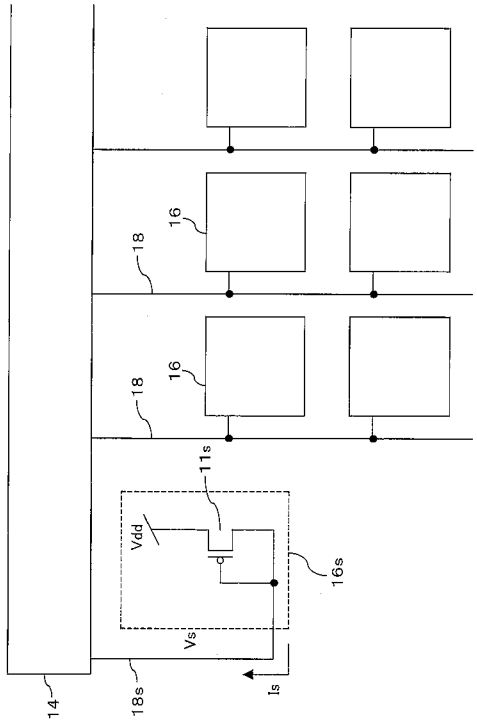
【図４４】



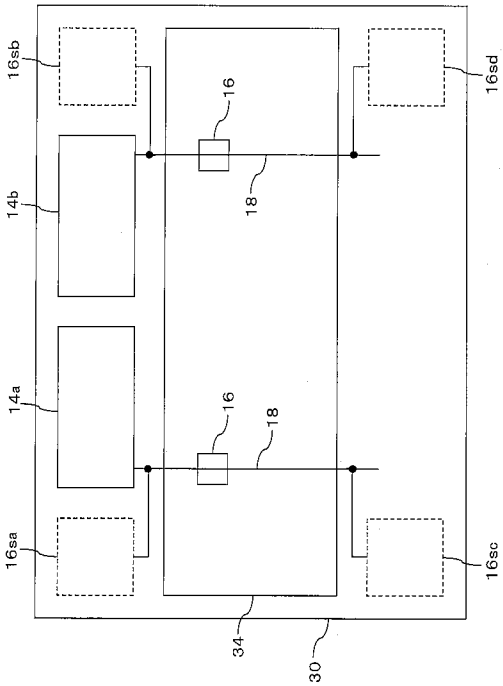
【図４５】



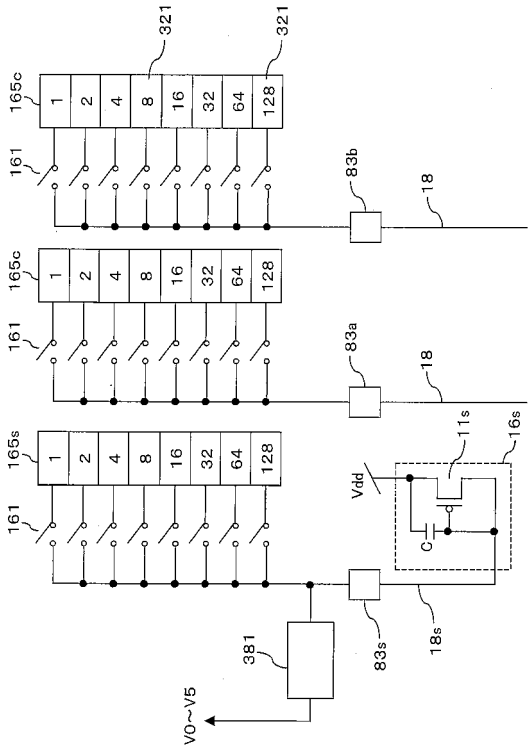
【図４６】



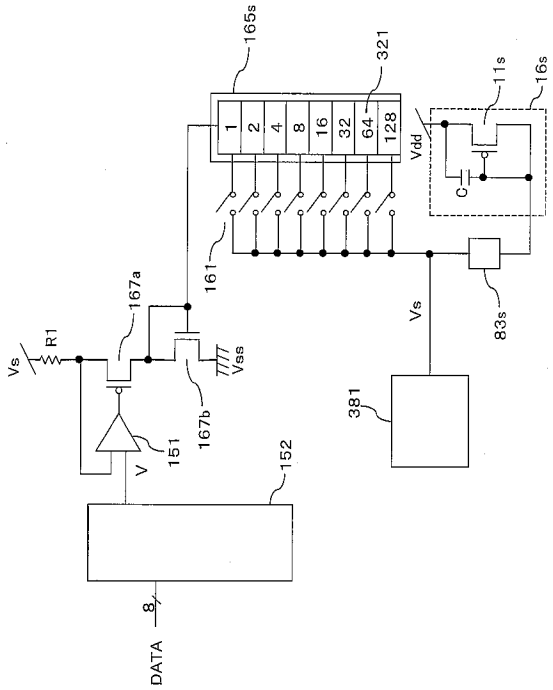
【図４７】



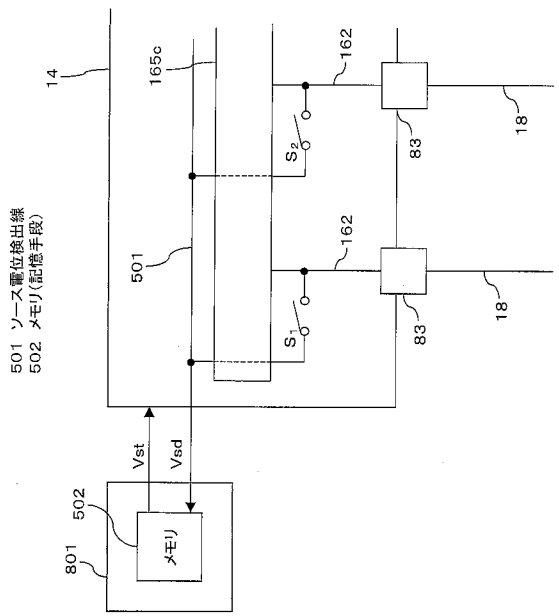
【図４８】



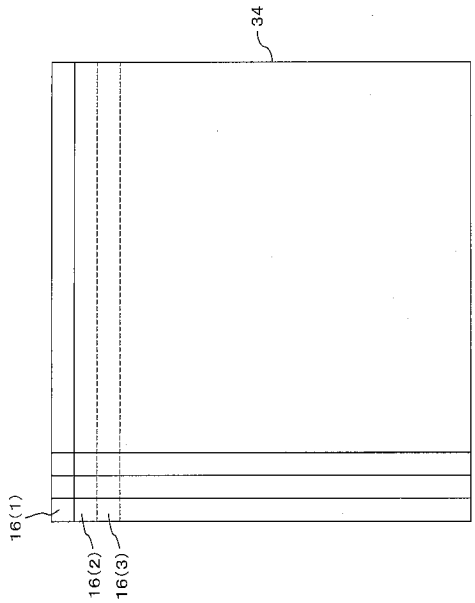
【図４９】



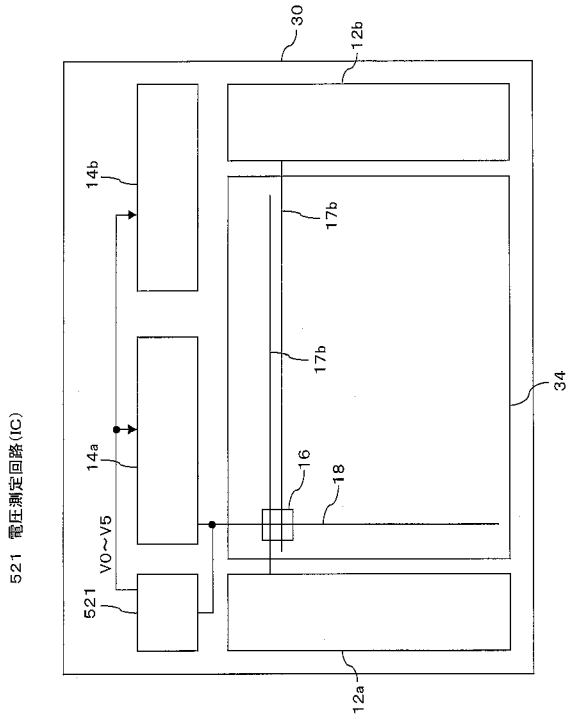
【図５０】



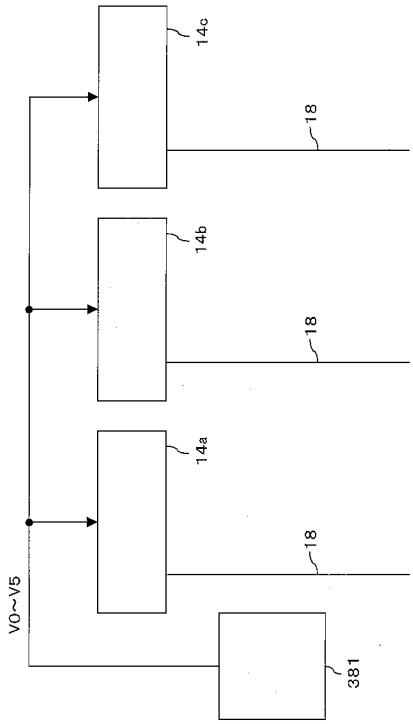
【図５１】



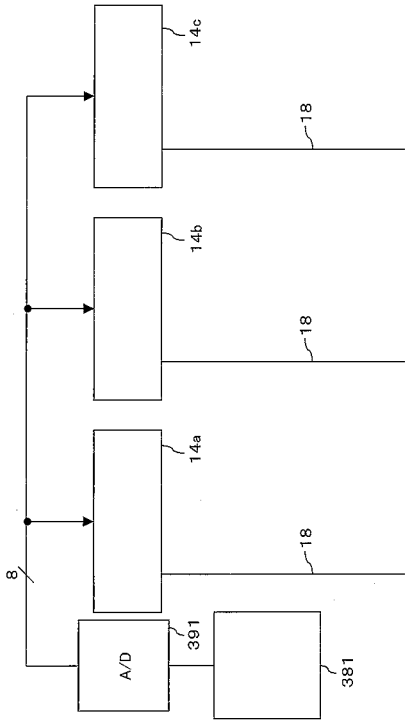
【図５２】



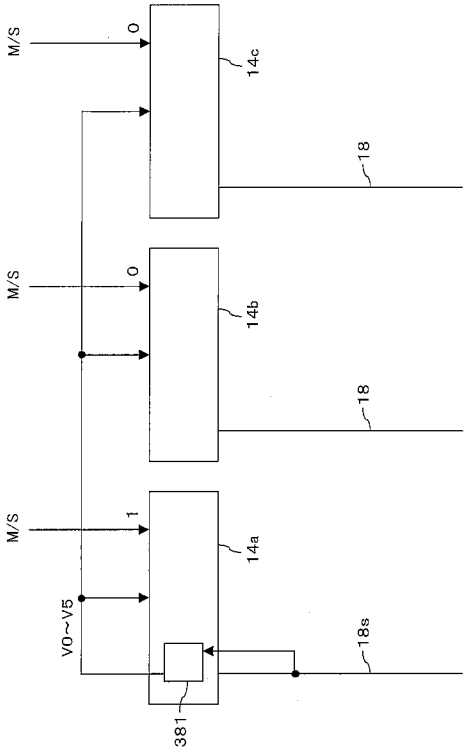
【図５３】



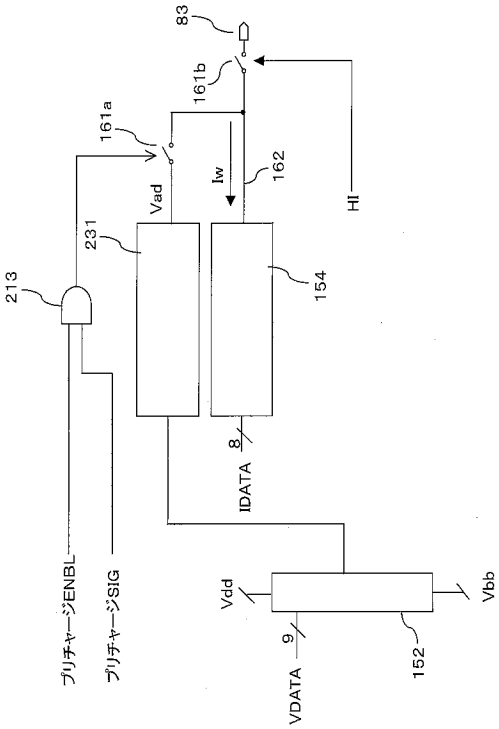
【図５４】



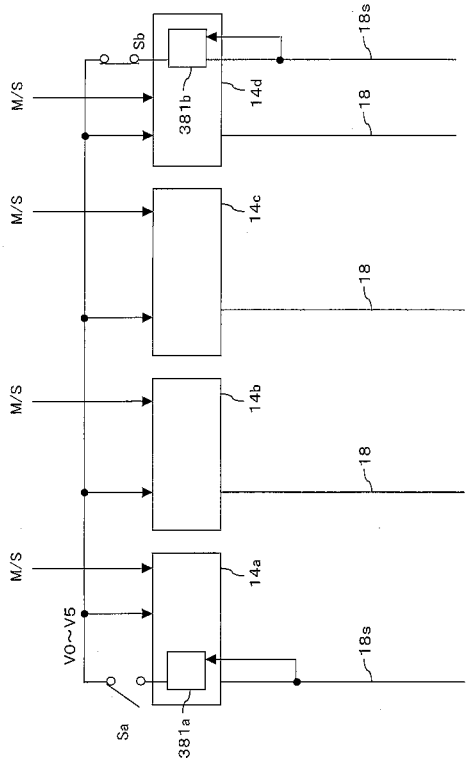
【図５５】



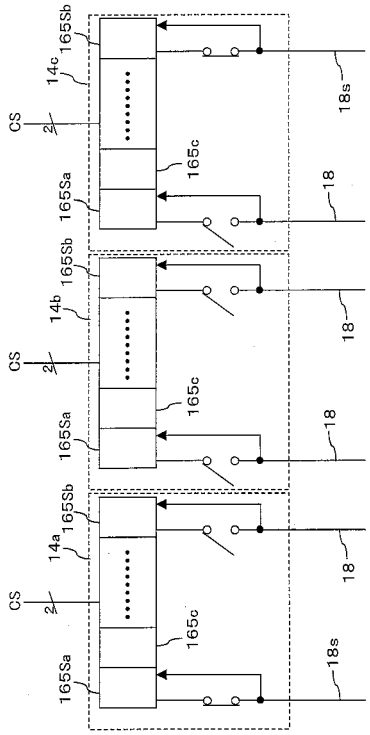
【図５６】



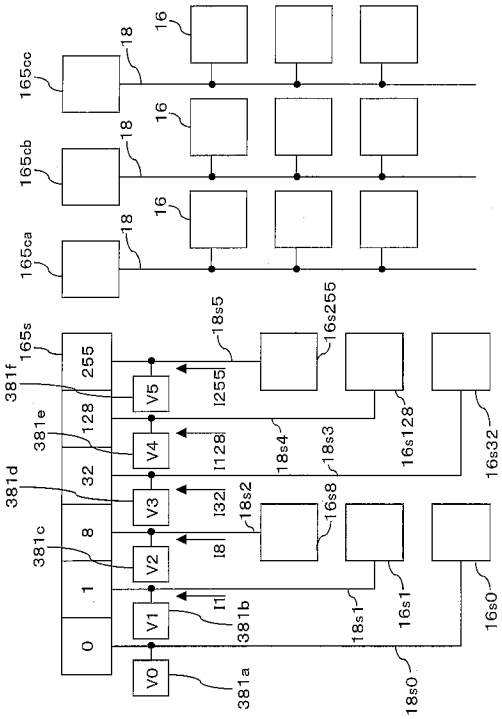
【図５７】



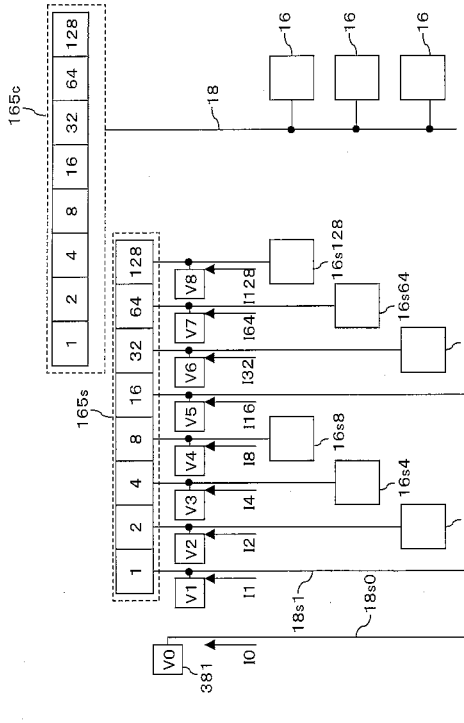
【図５８】



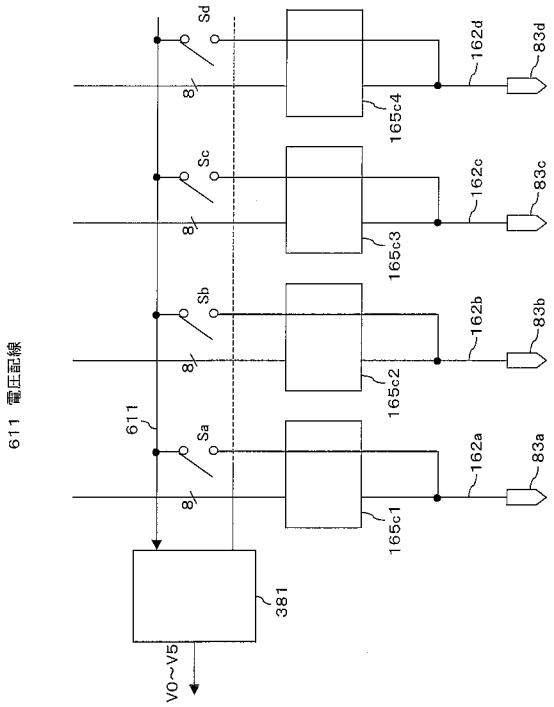
【図５９】



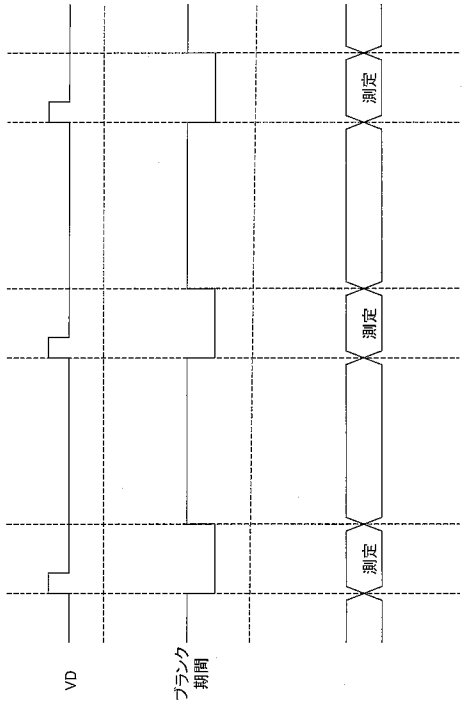
【図６０】



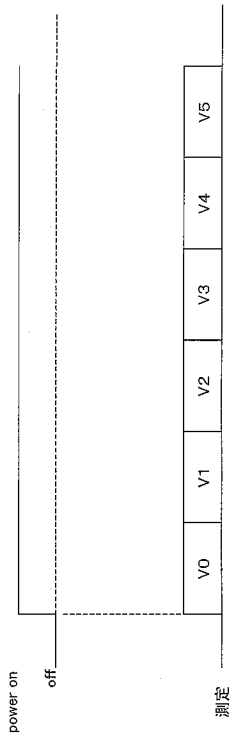
【図６１】



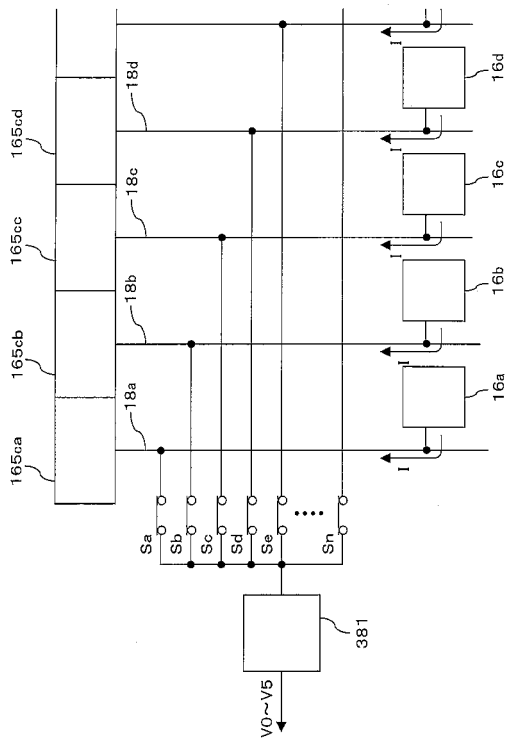
【図６２】



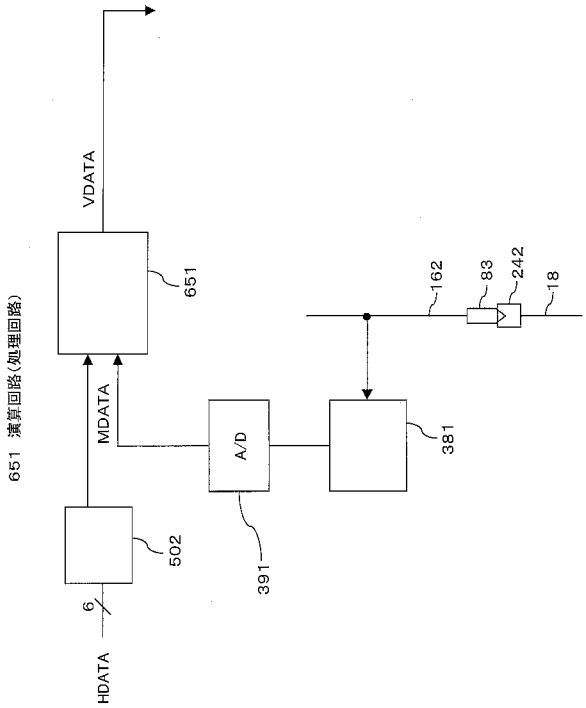
【図６３】



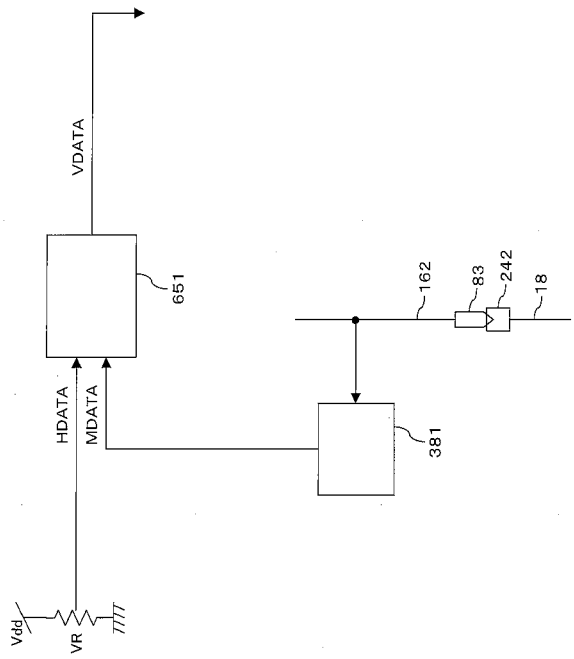
【図６４】



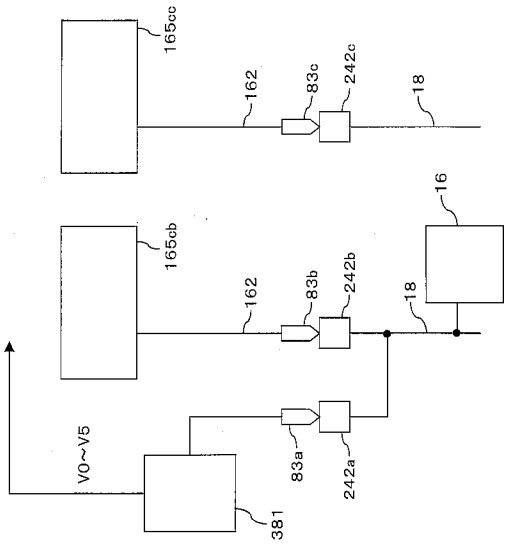
【図６５】



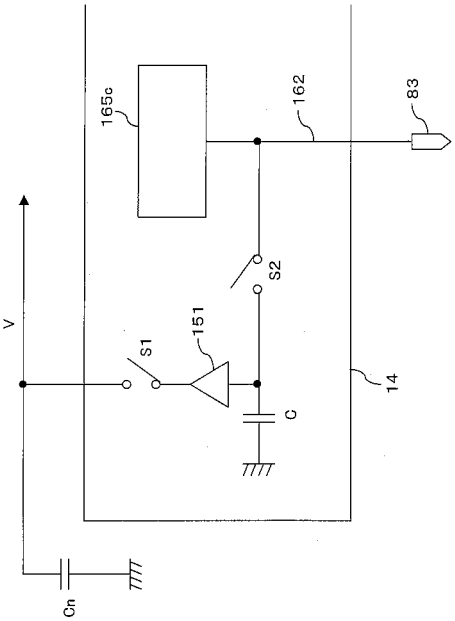
【図６６】



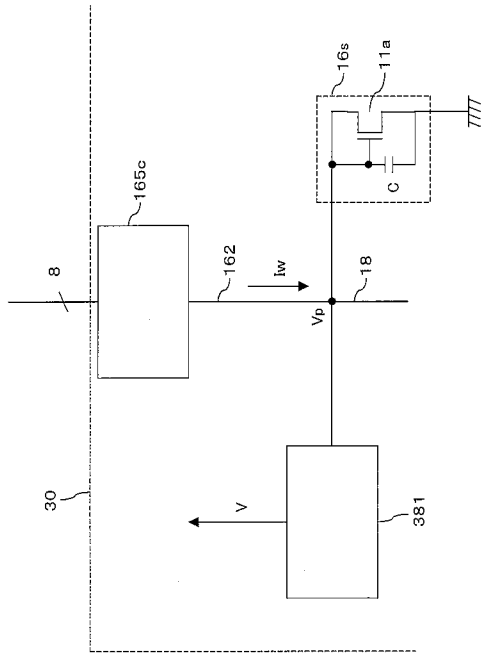
【図６７】



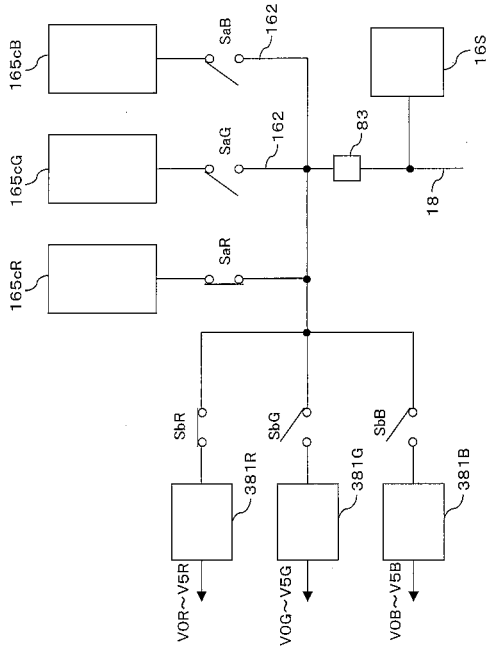
【図６８】



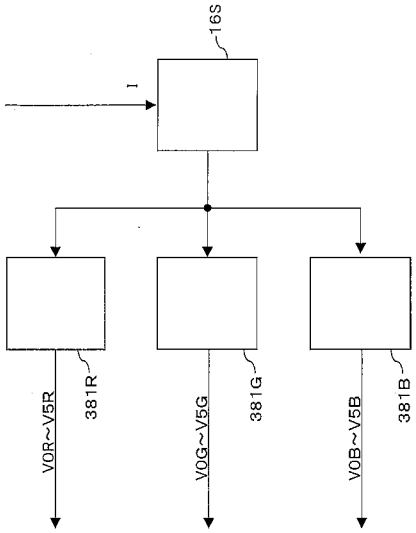
【図６９】



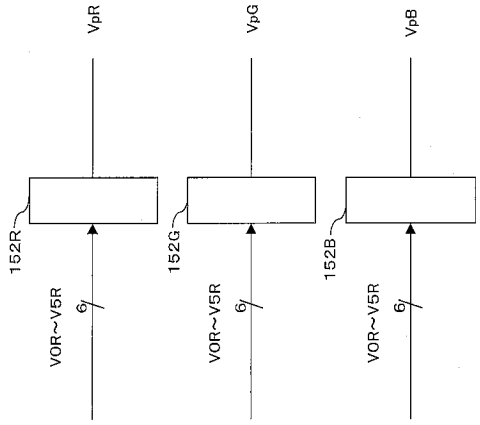
【図７０】



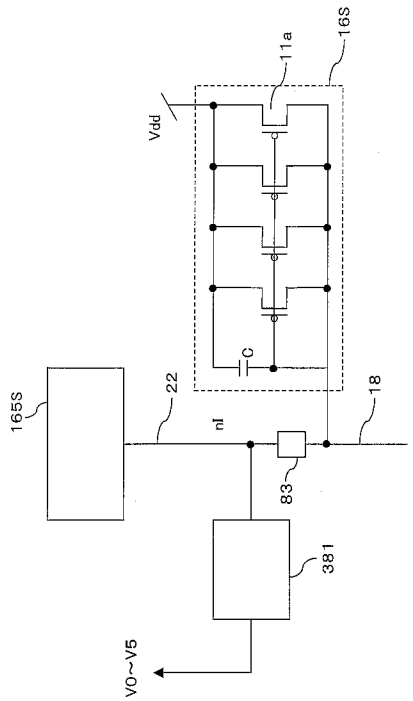
【図７１】



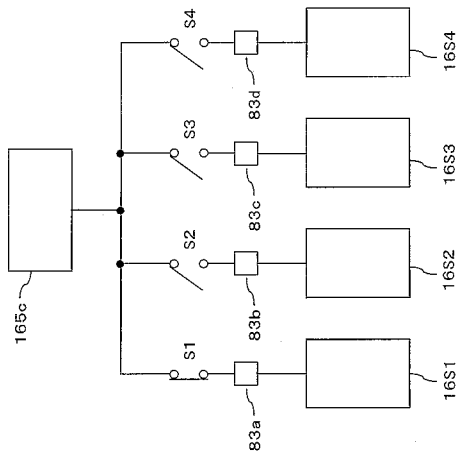
【図７２】



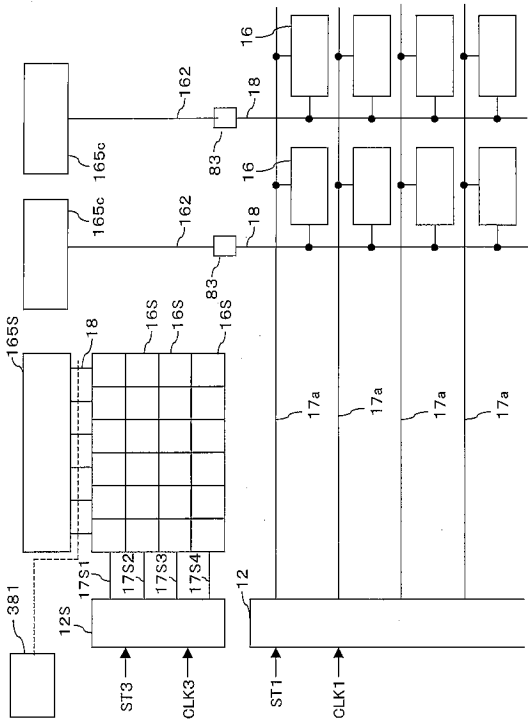
【図７３】



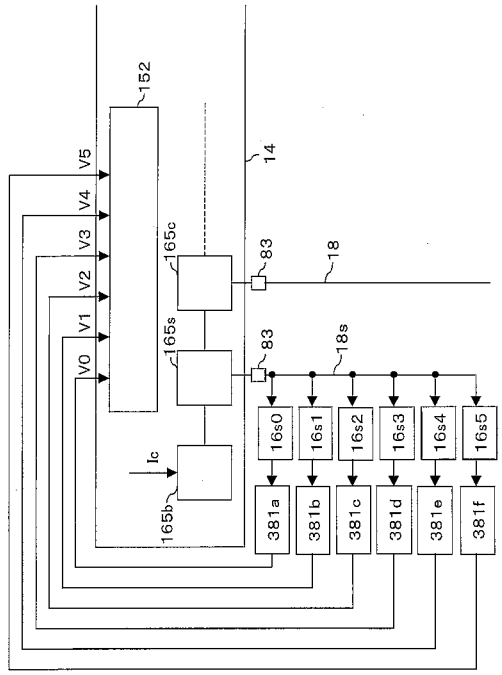
【図７４】



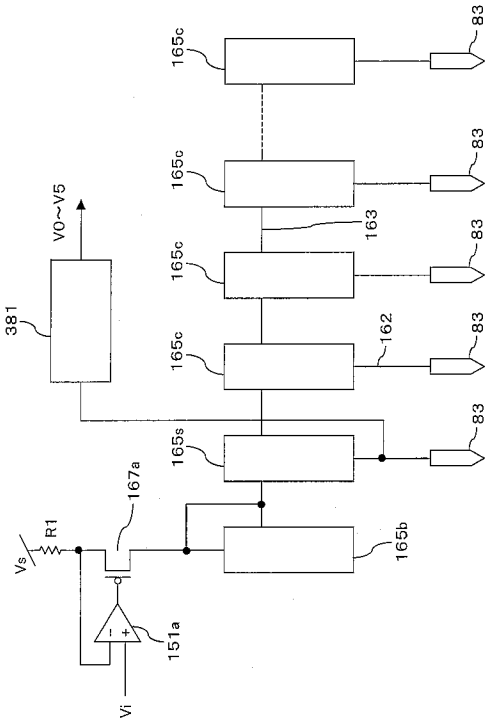
【図７５】



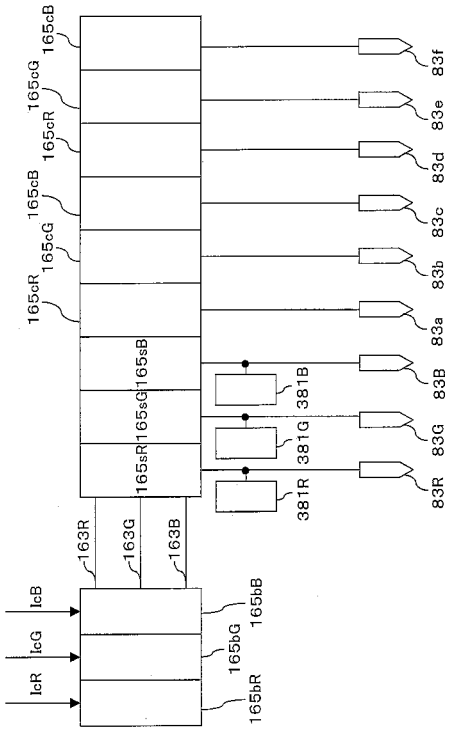
【図７６】



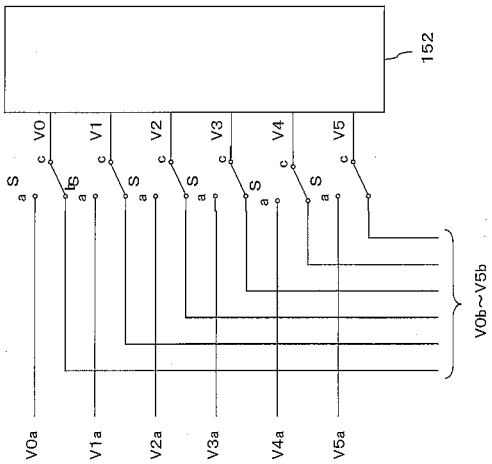
【図７７】



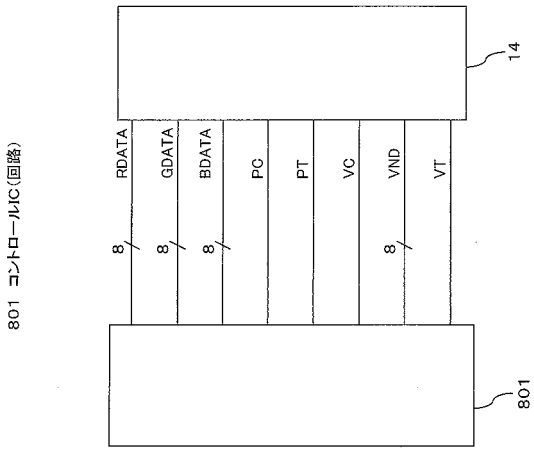
【図７８】



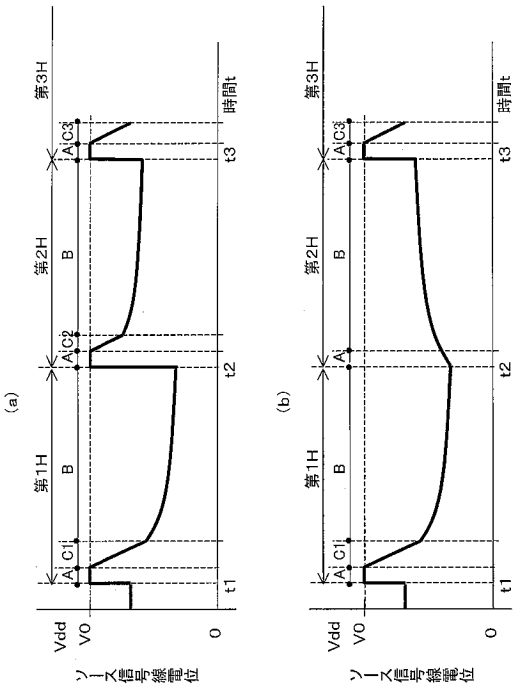
【図７９】



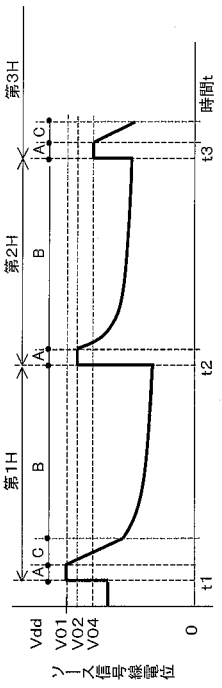
【図８０】



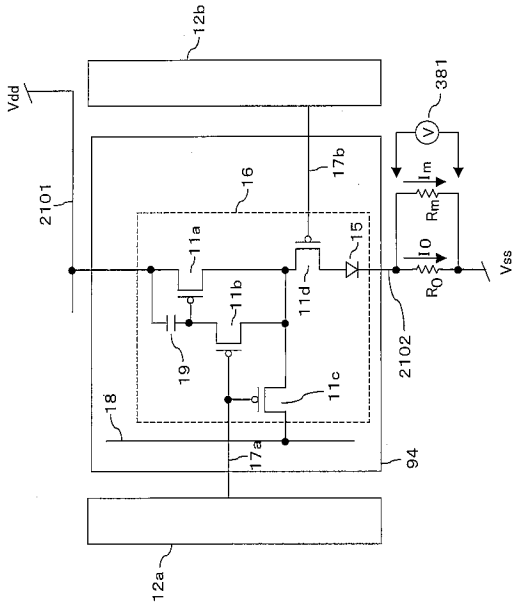
【図８１】



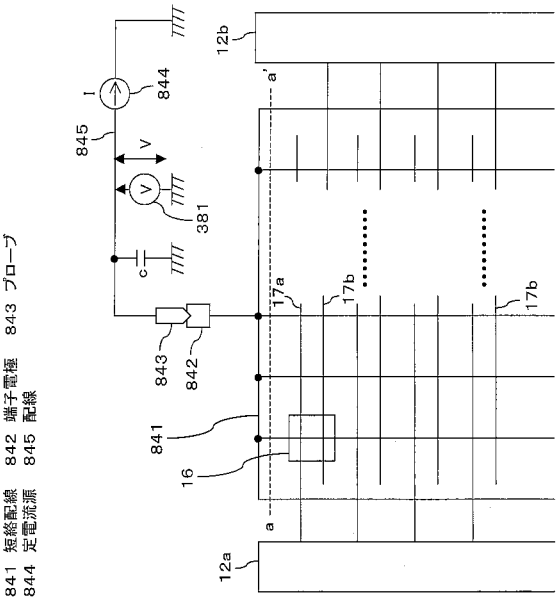
【図８２】



【図８３】

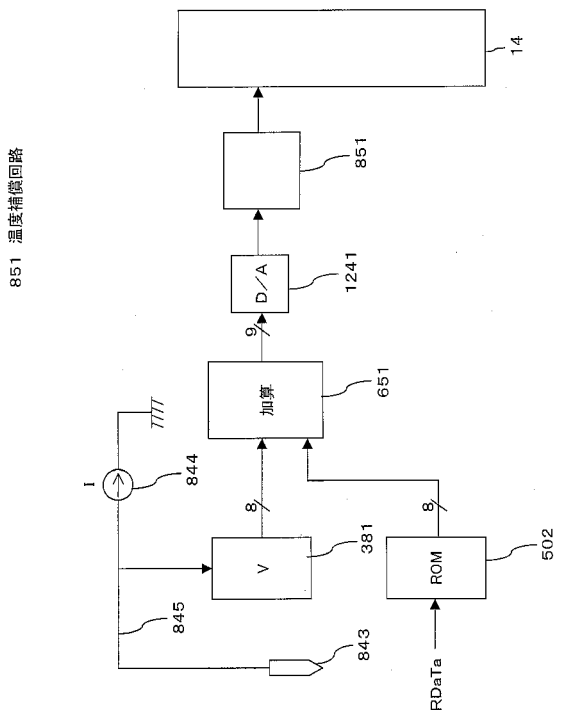


【図８４】

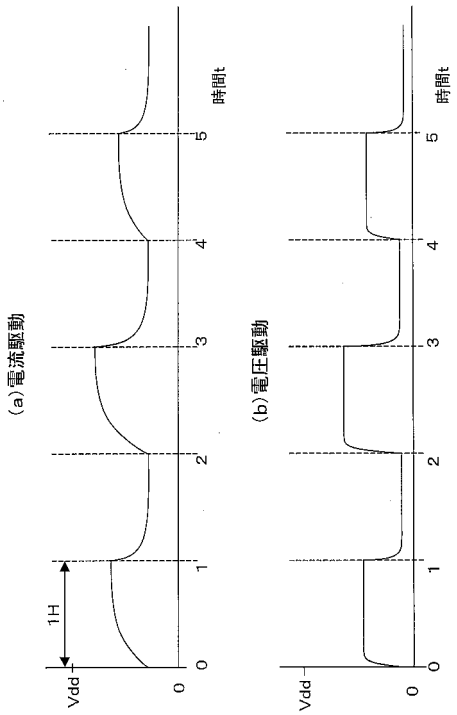


841 短絡配線　842 端子電極　843 プローブ
844 定電流源　845 配線

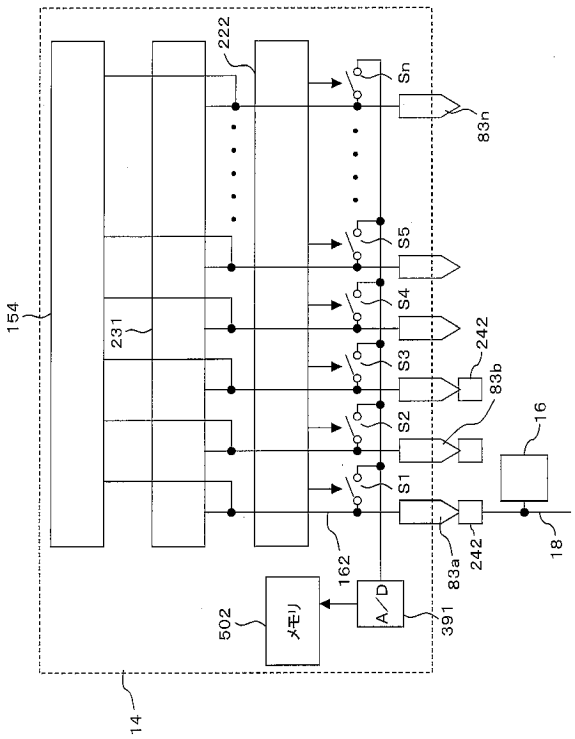
【図８５】



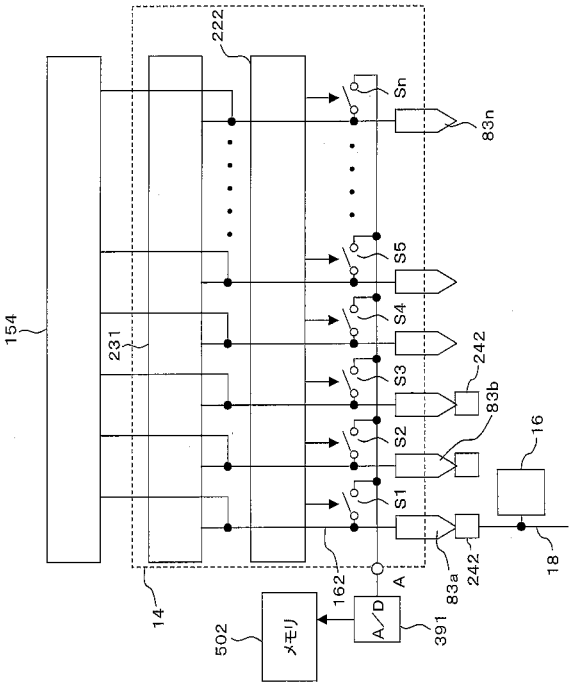
【図８６】



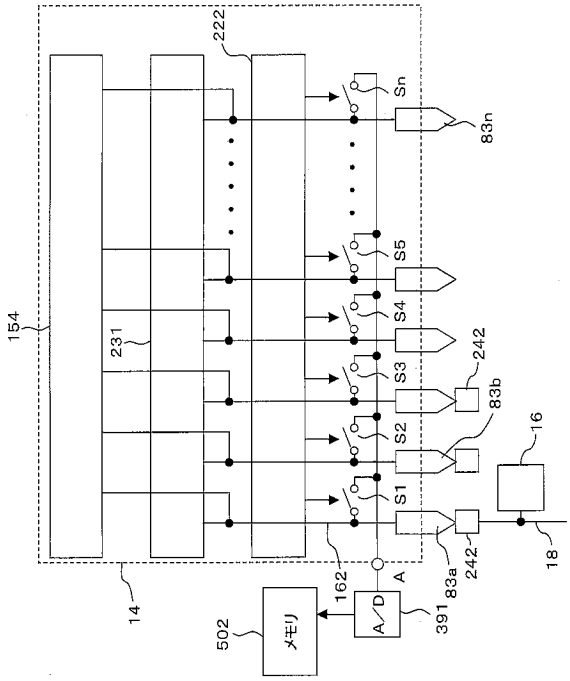
【図８７】



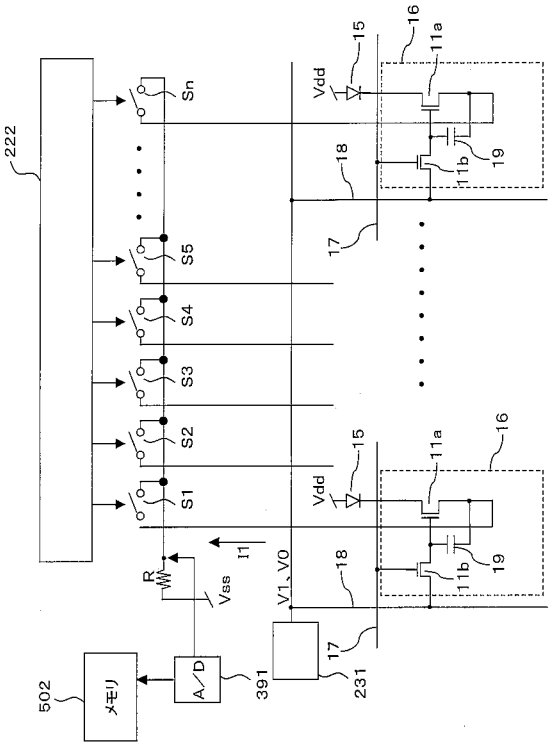
【図８８】



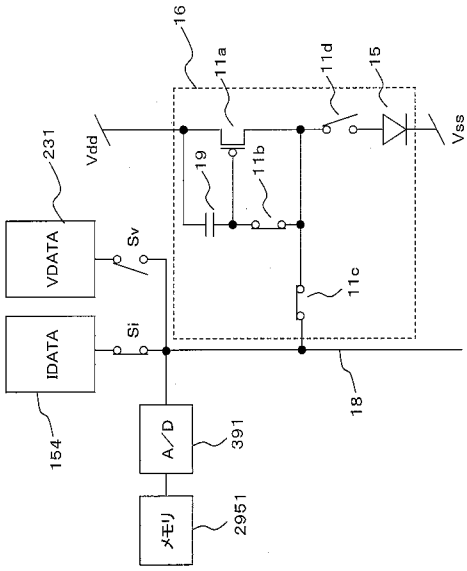
【図８９】



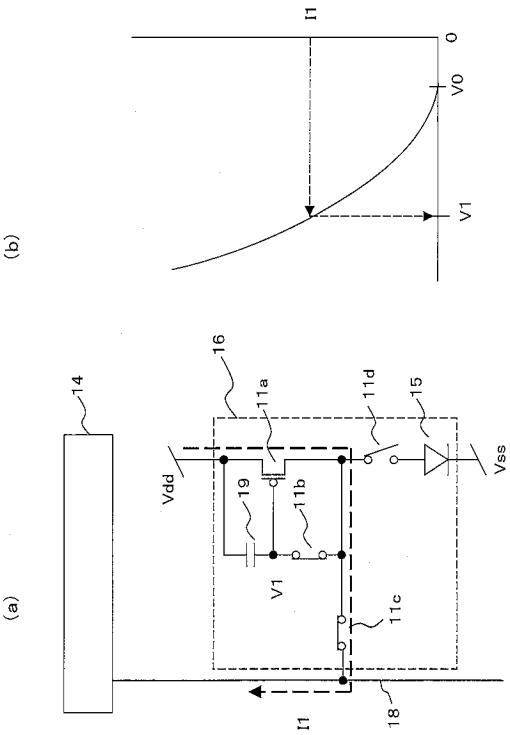
【図９０】



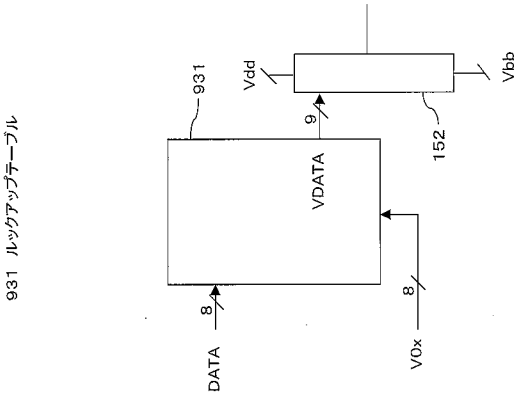
【図９１】



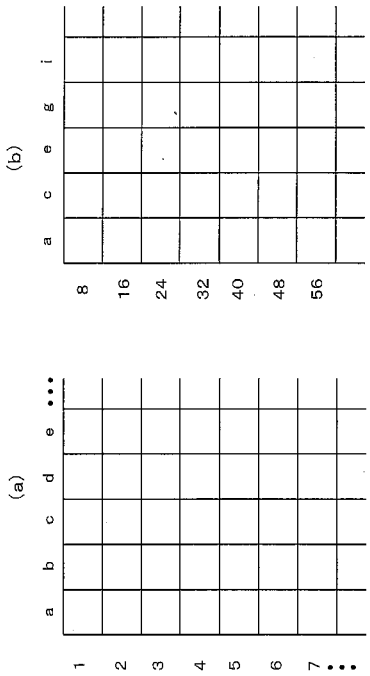
【図９２】



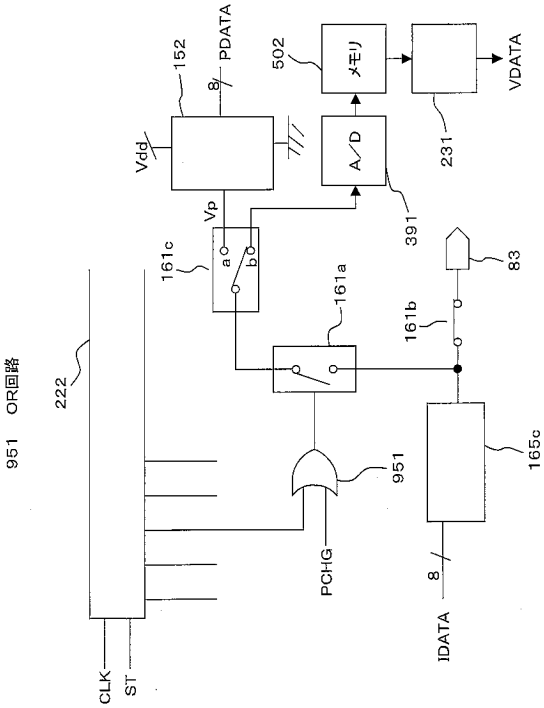
【図９３】



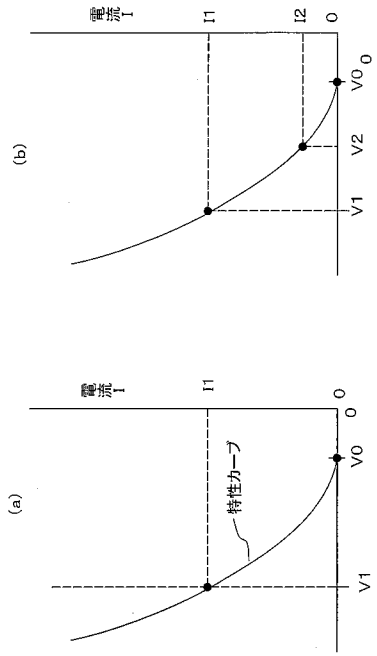
【図９４】



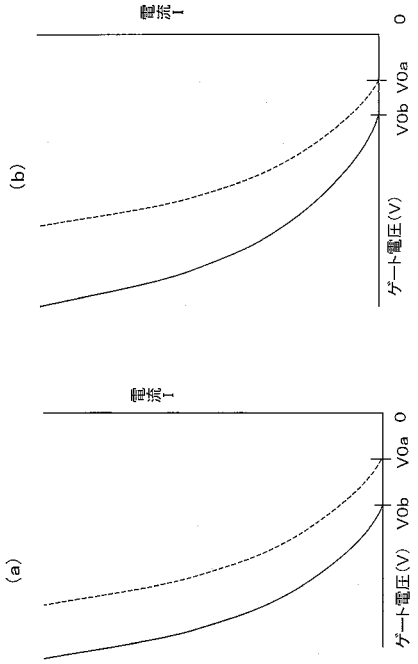
【図９５】



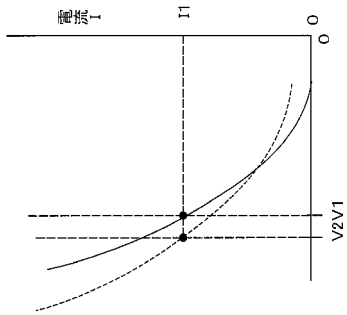
【図９６】



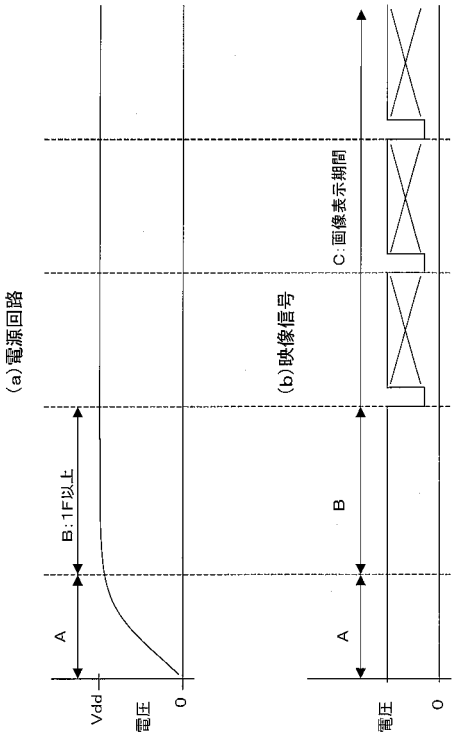
【図９７】



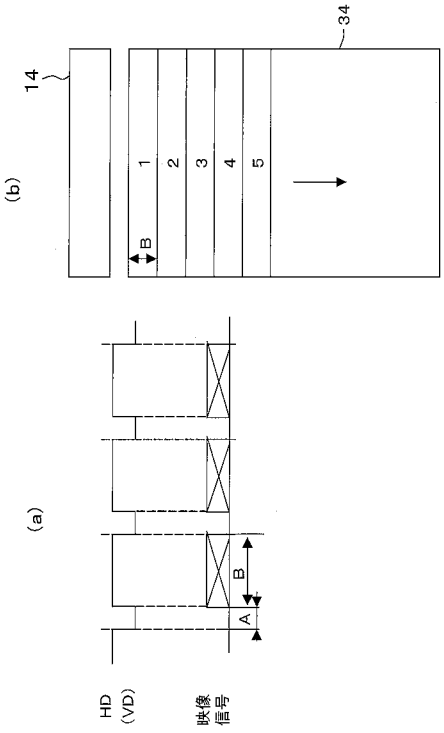
【図９８】



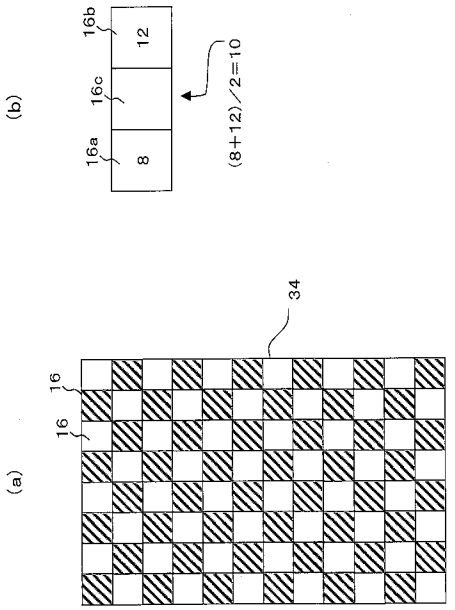
【図９９】



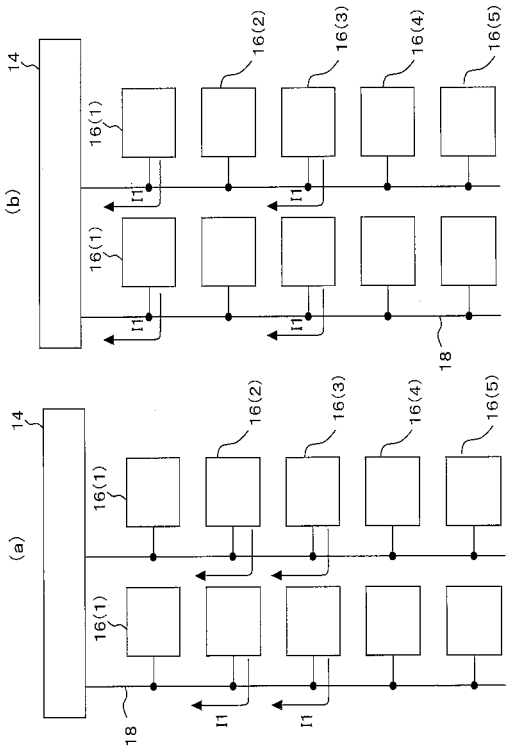
【図１００】



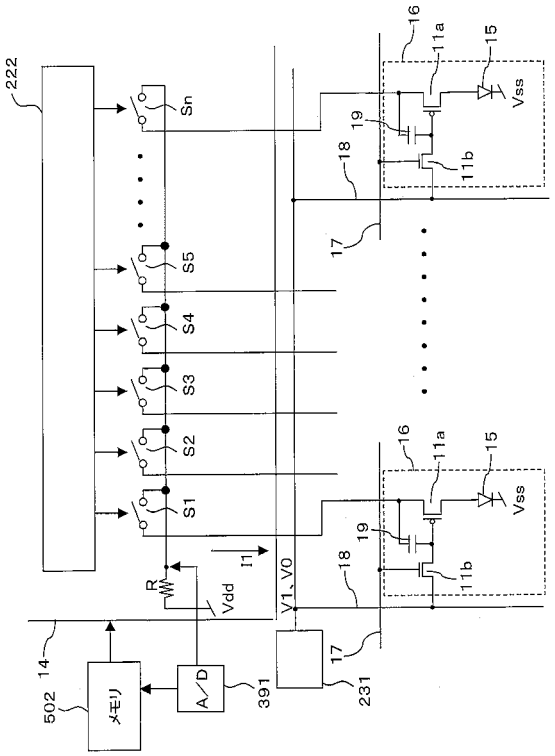
【図１０１】



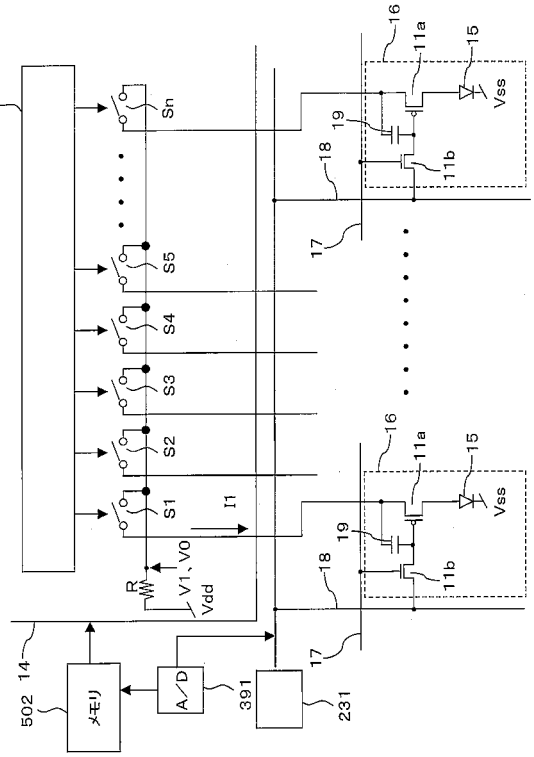
【図１０２】



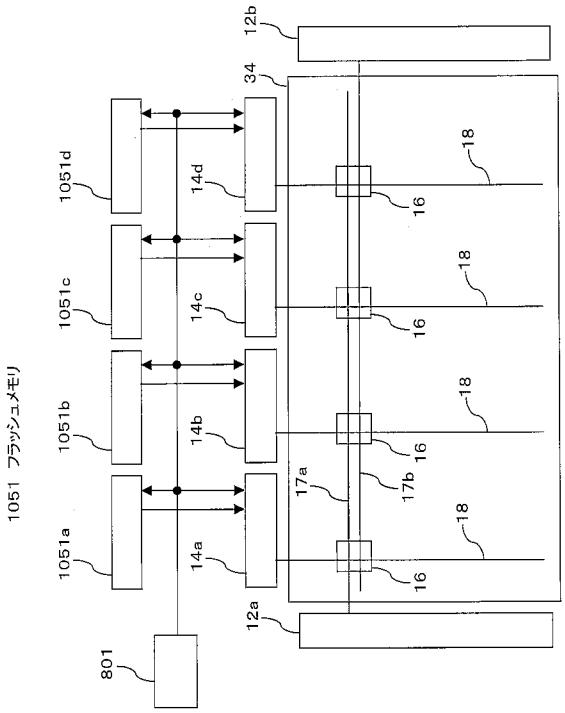
【図１０３】



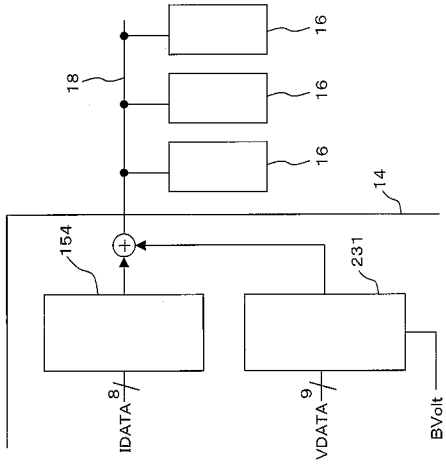
【図１０４】



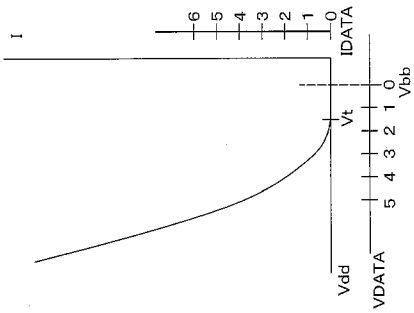
【図１０５】



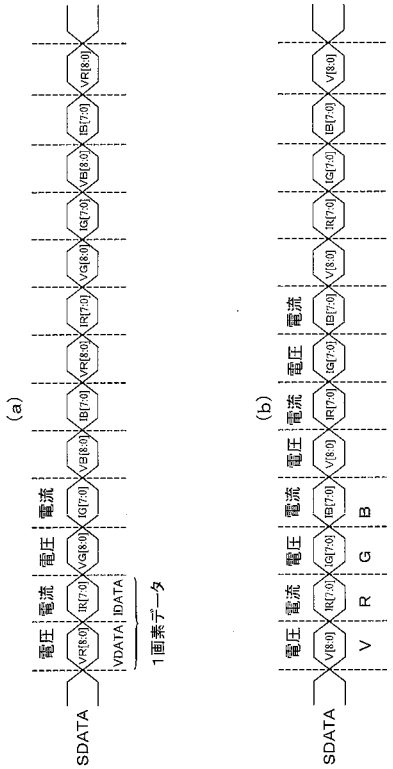
【図１０６】



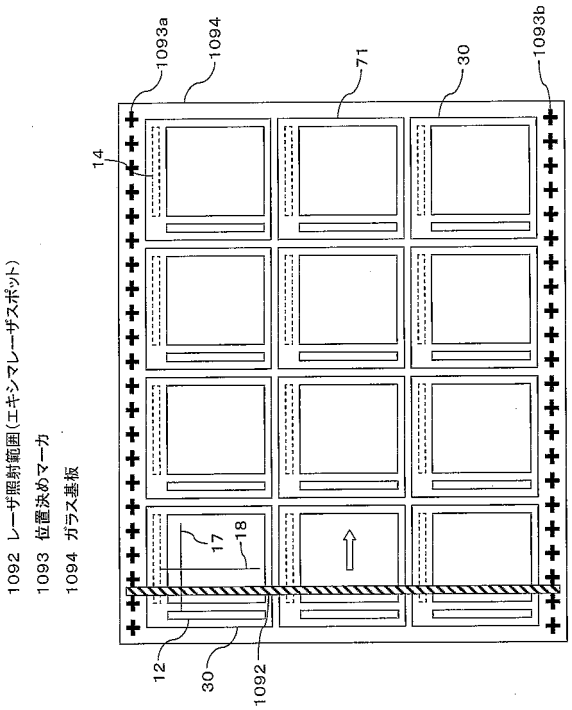
【図１０７】



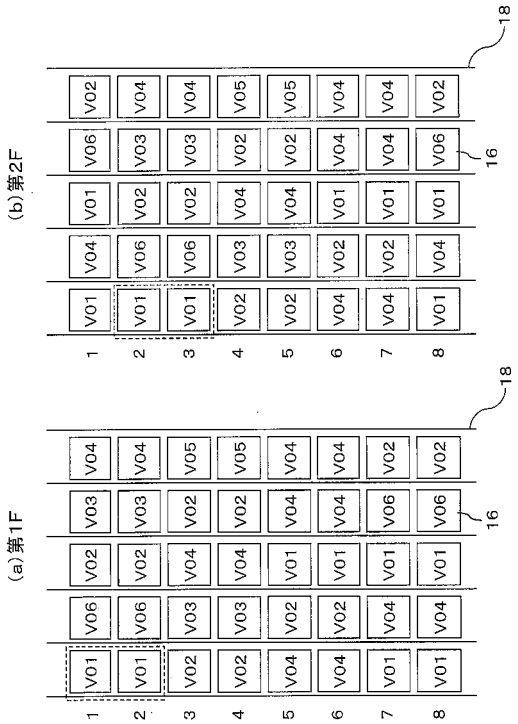
【図１０８】



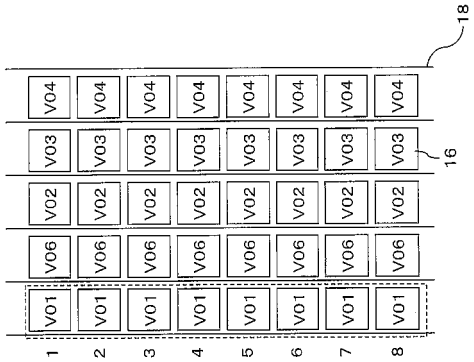
【図１０９】



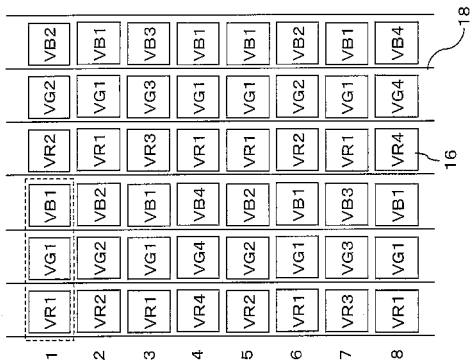
【図１１０】



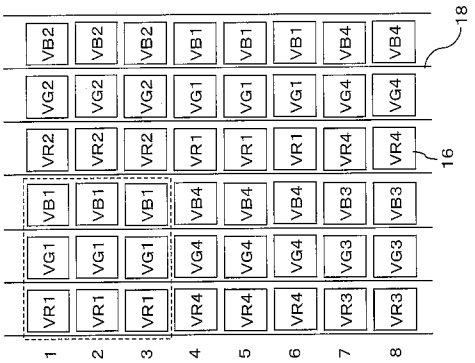
【図１１１】



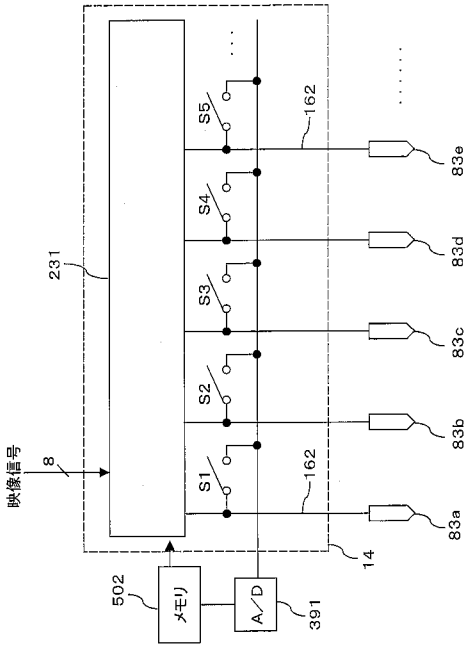
【図１１２】



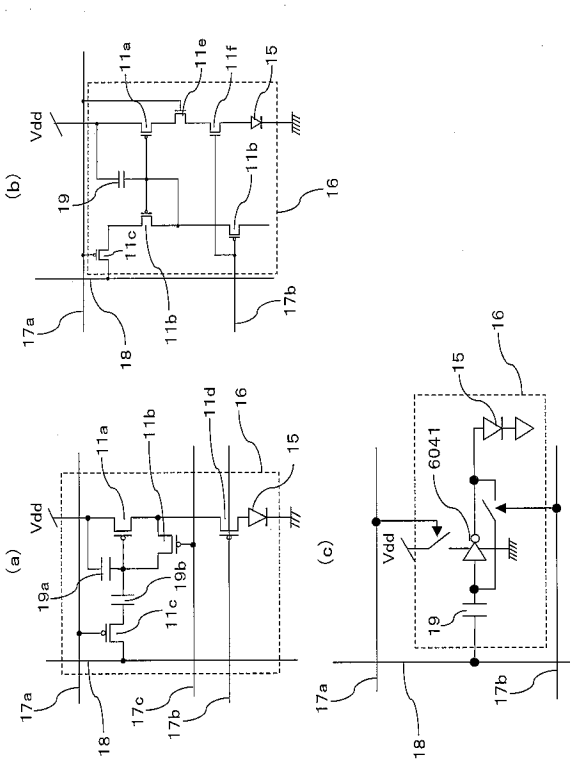
【図１１３】



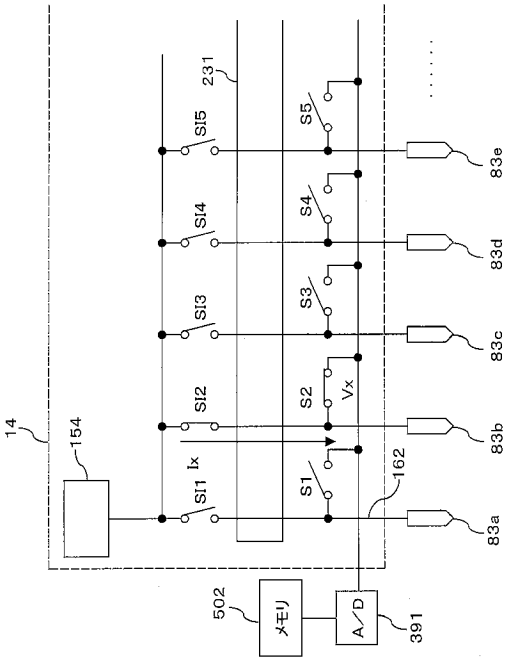
【図１１４】



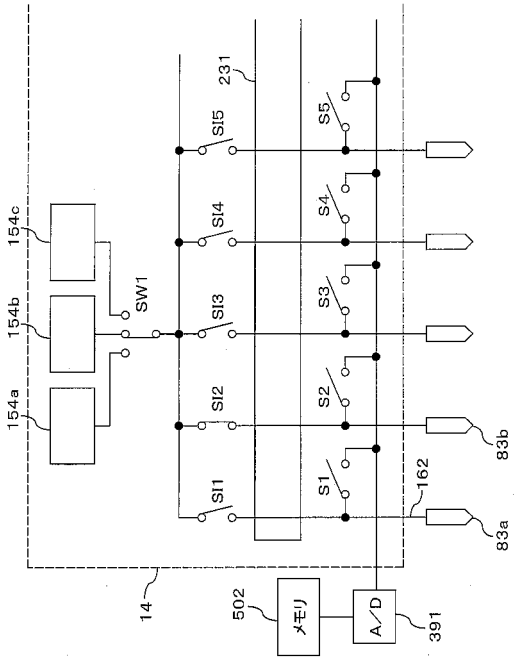
【図１１５】



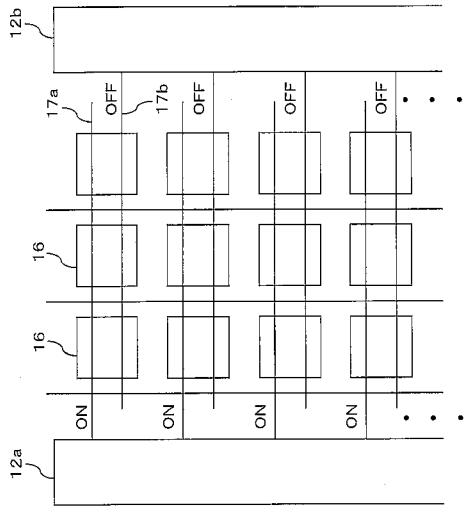
【図１１６】



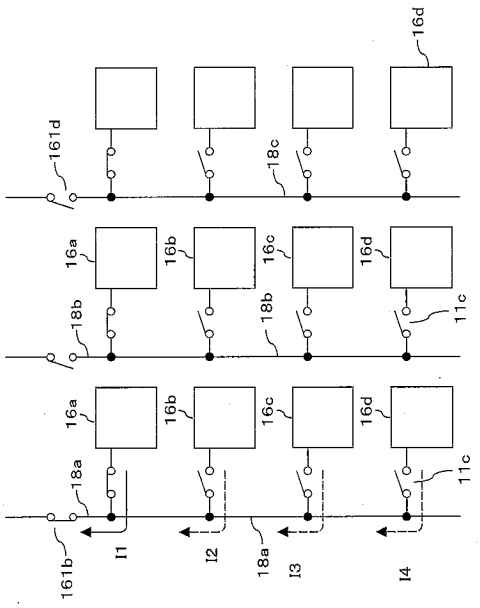
【図１１７】



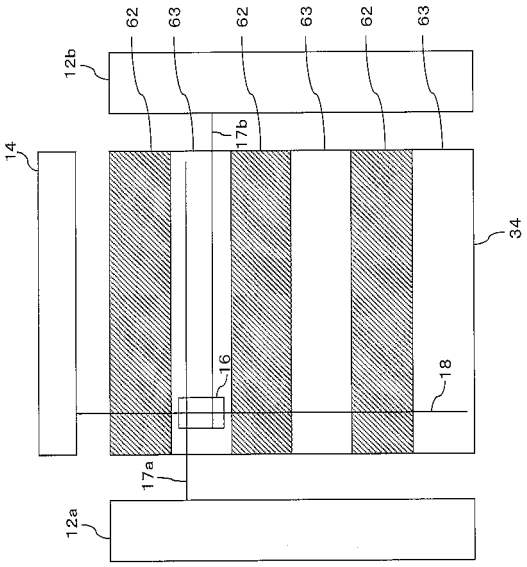
【図１１８】



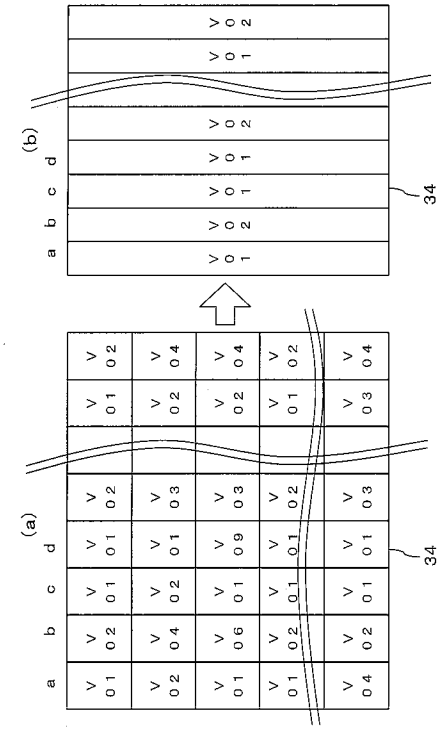
【図１１９】



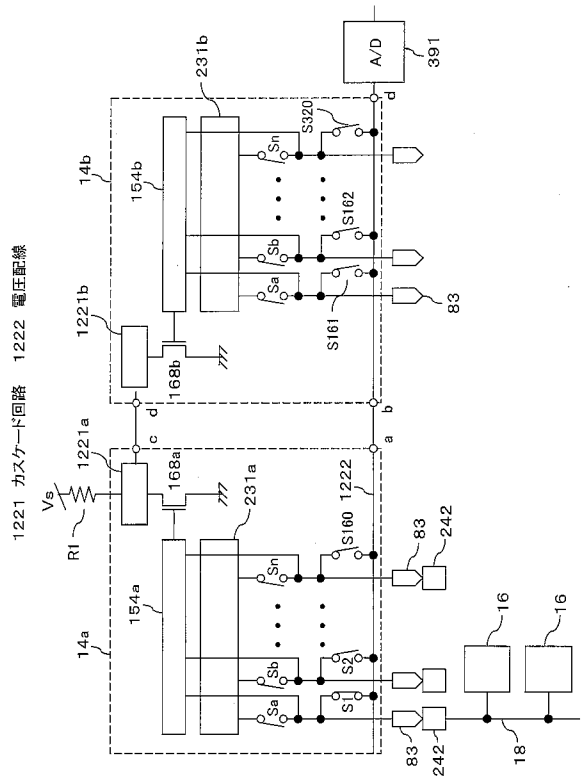
【図１２０】



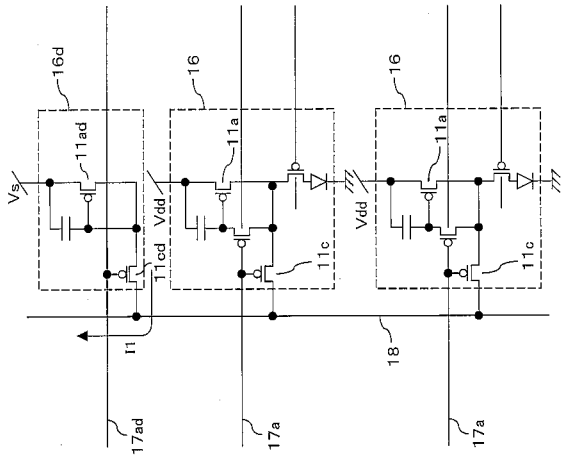
【図１２１】



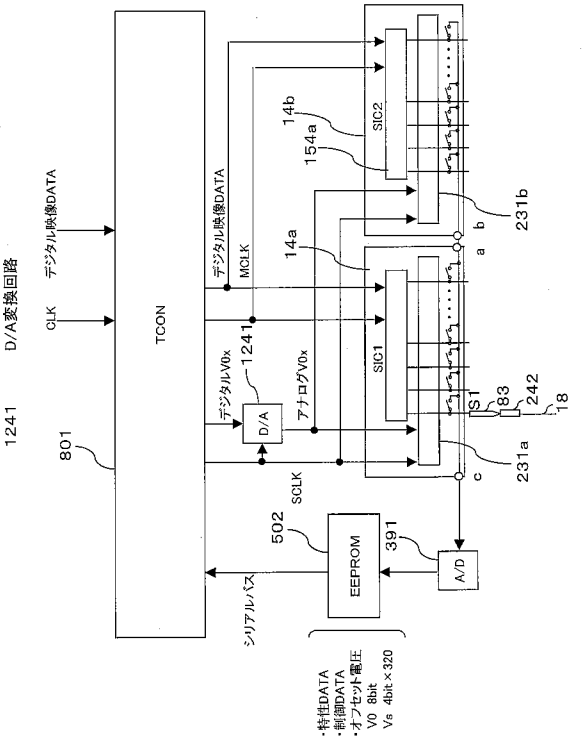
【図１２２】



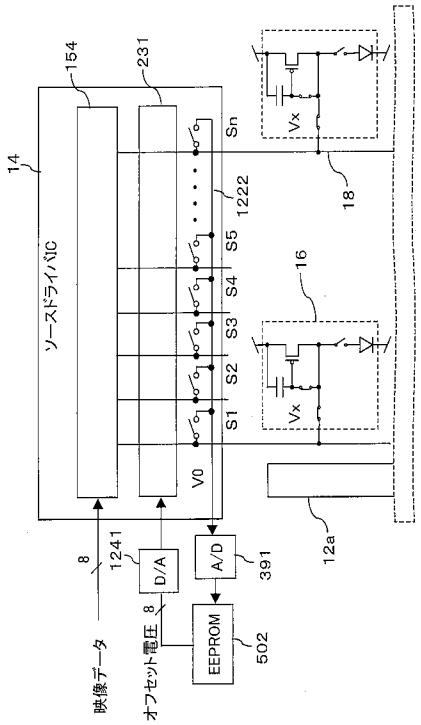
【図１２３】



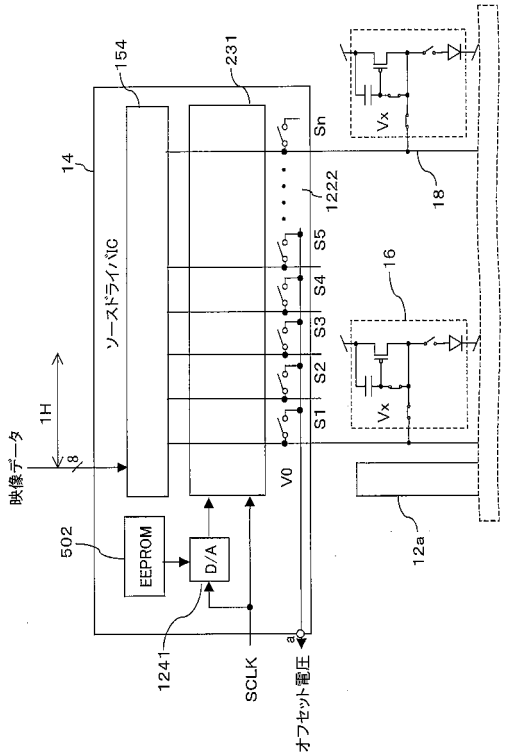
【図１２４】



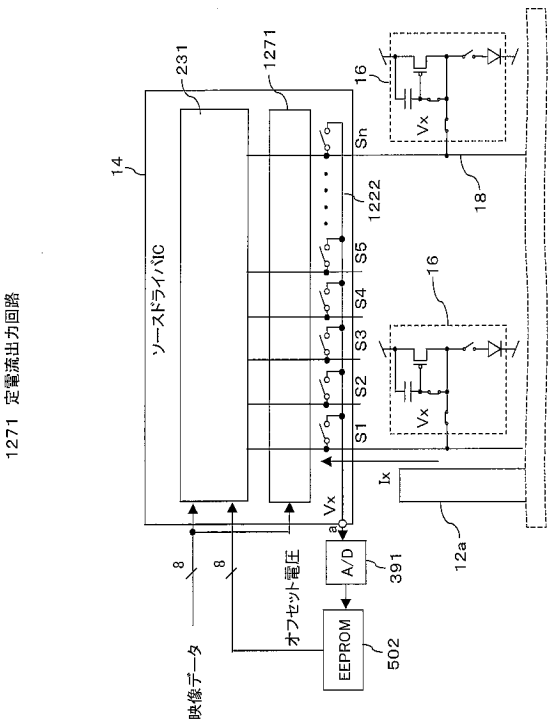
【図１２５】



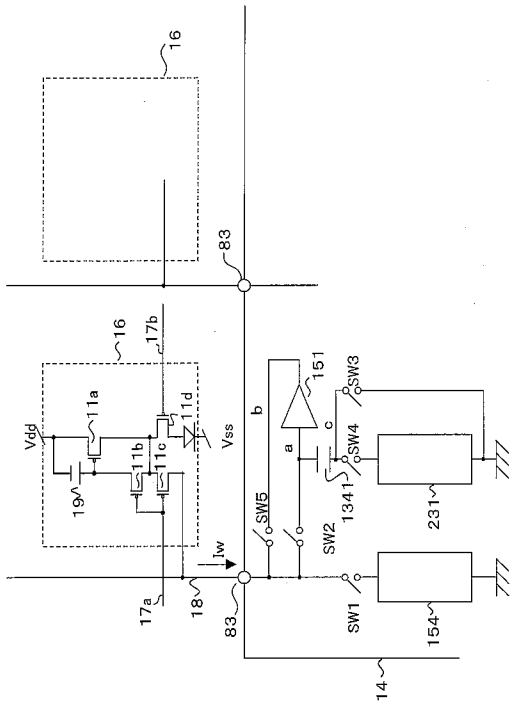
【図１２６】



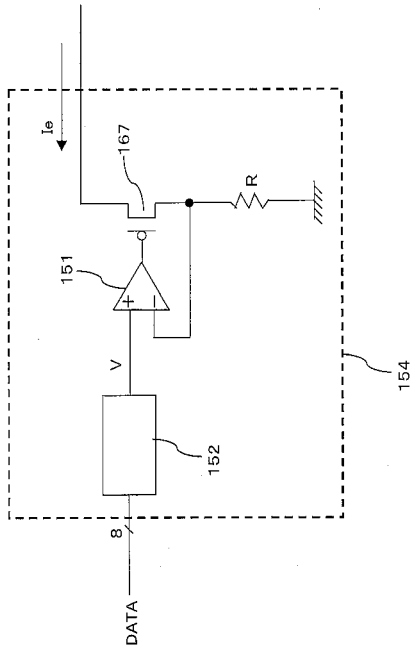
【図１２７】



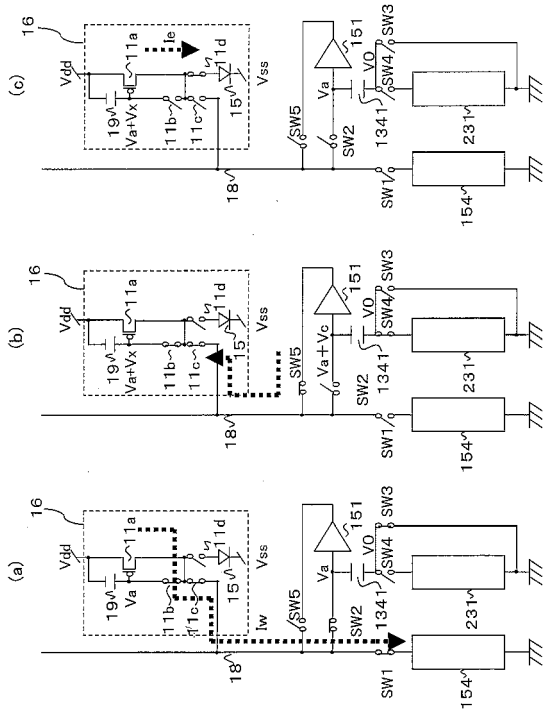
【図１２８】



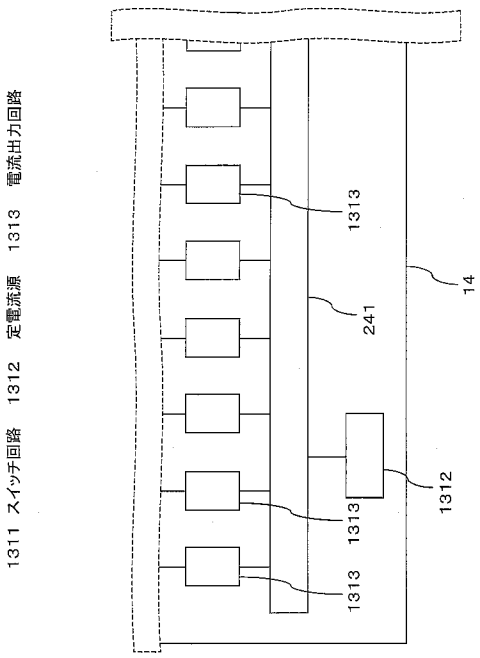
【図１２９】



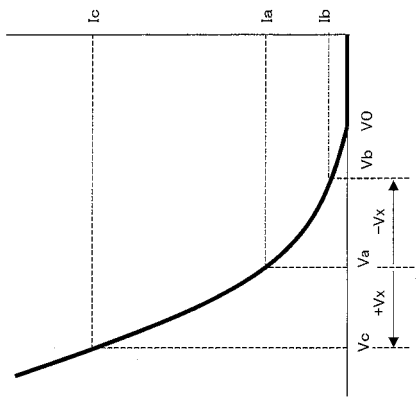
【図１３０】



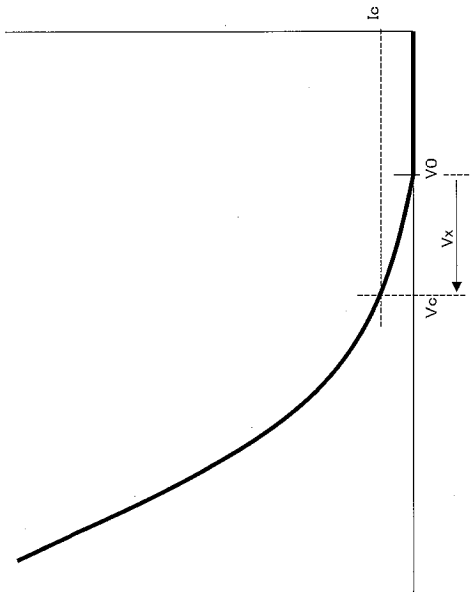
【図１３１】



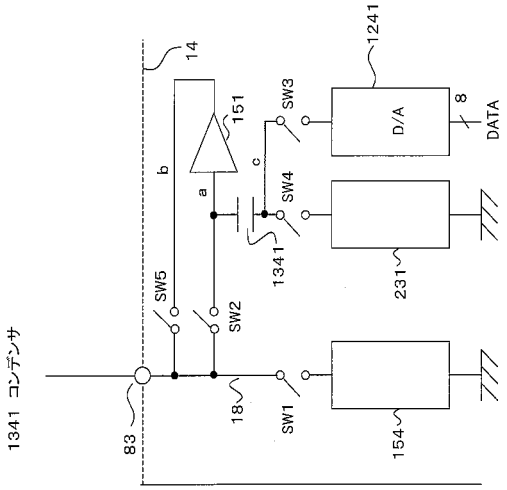
【図１３２】



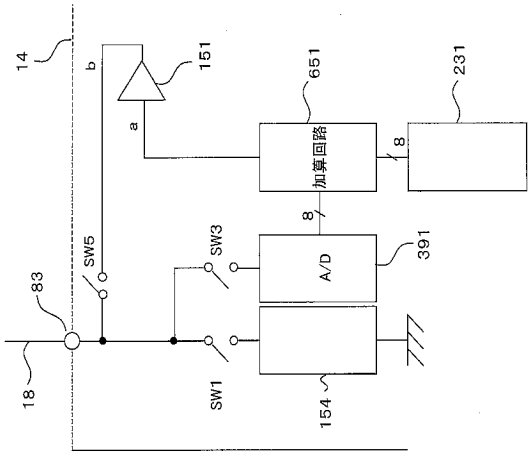
【図１３３】



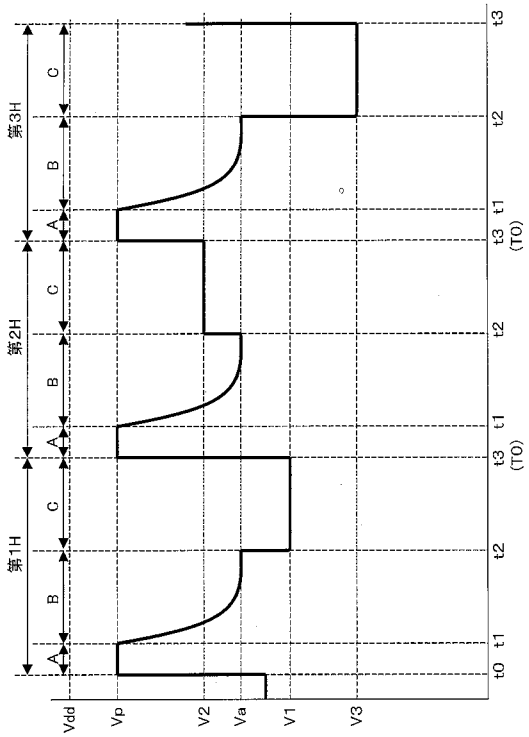
【図１３４】



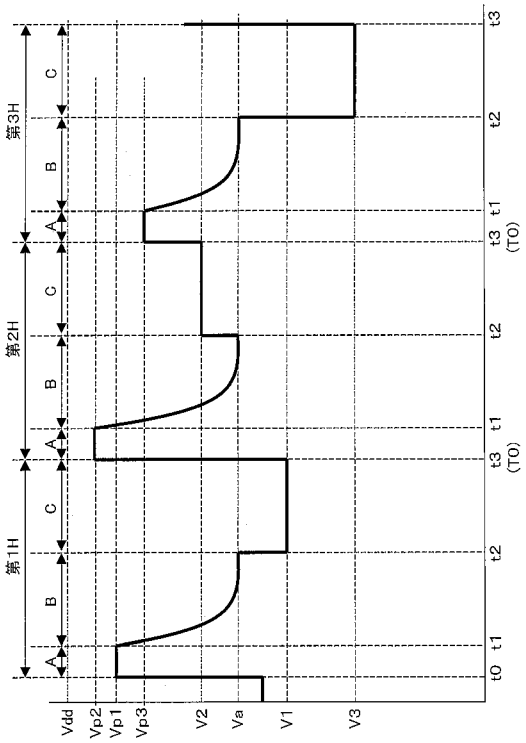
【図１３５】



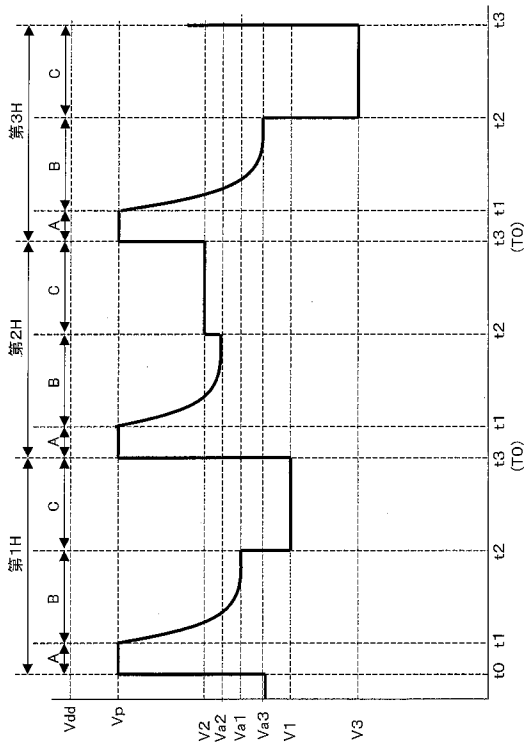
【図１３６】



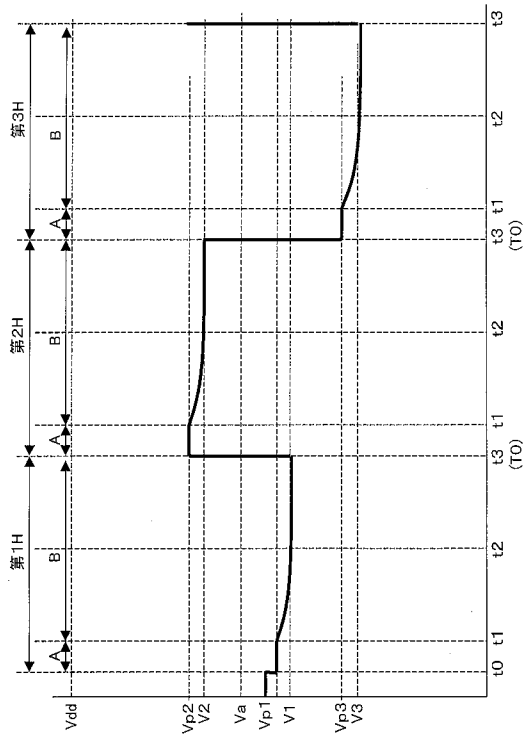
【図１３７】



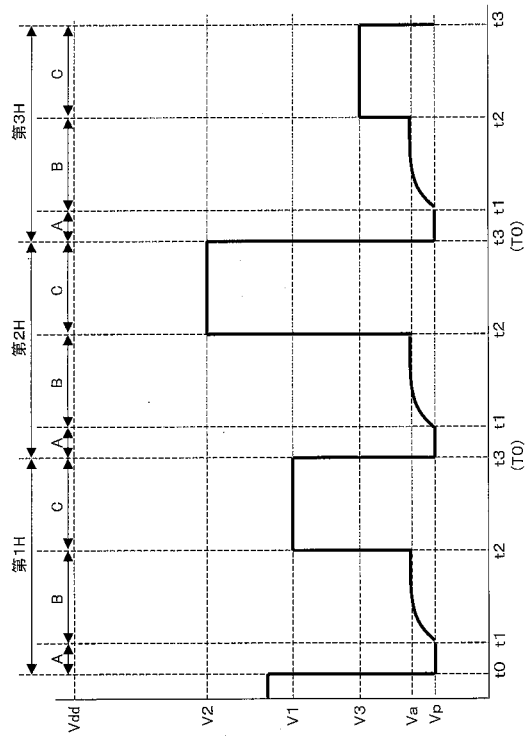
【図１３８】



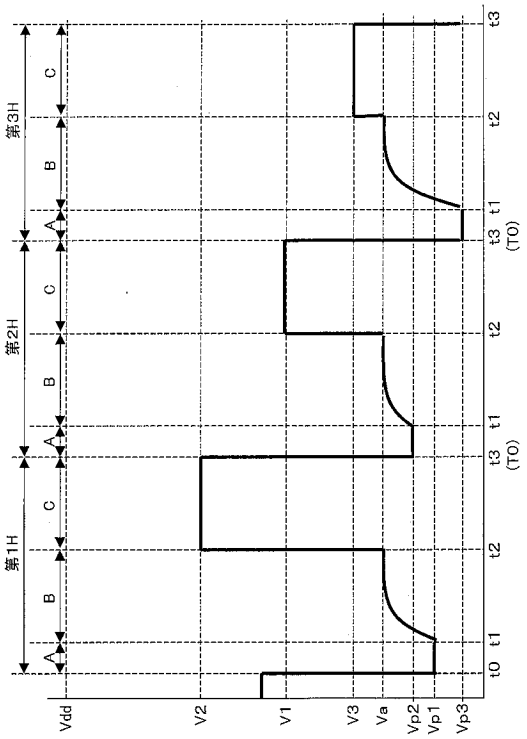
【図１３９】



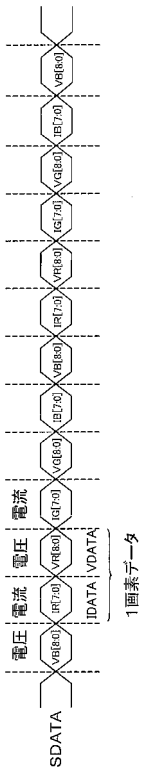
【図１４０】



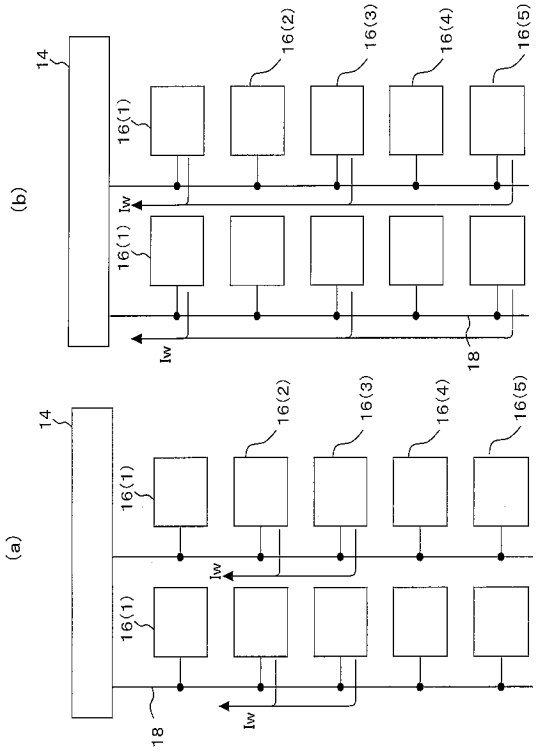
【図１４１】



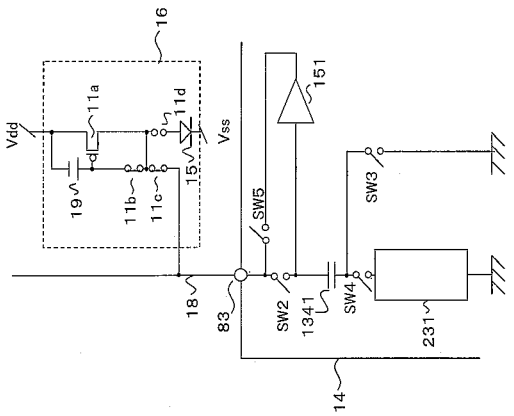
【図１４２】



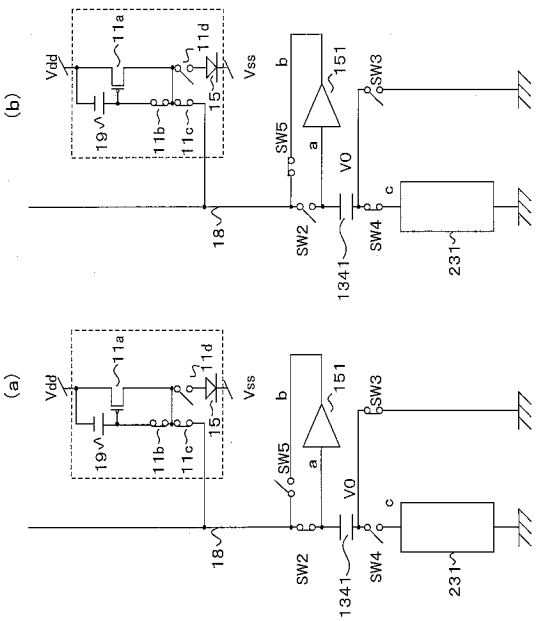
【図１４３】



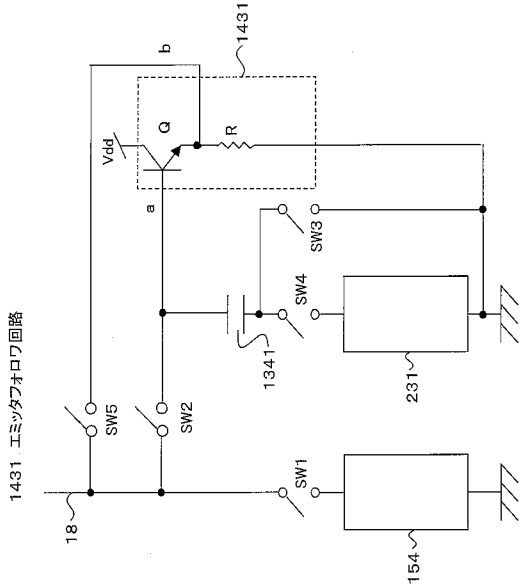
【図１４４】



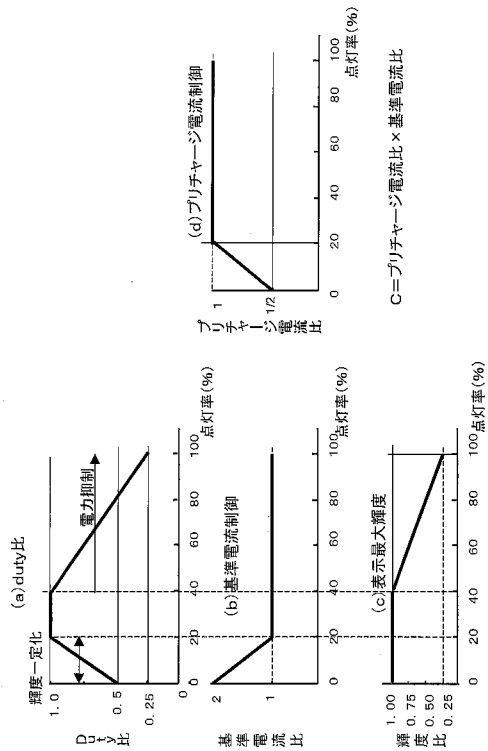
【図１４５】



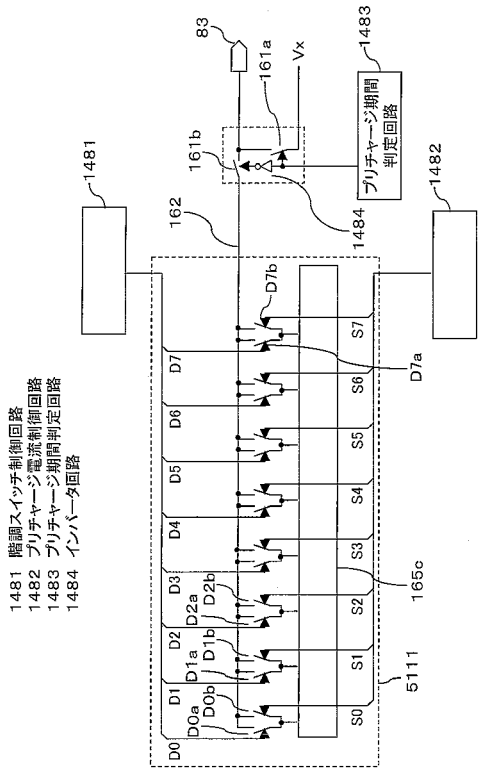
【図１４６】



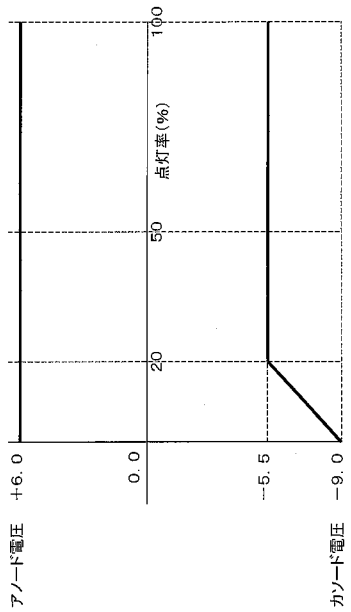
【図１４７】



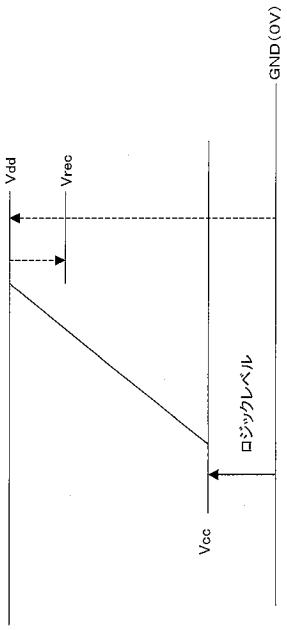
【図１４８】



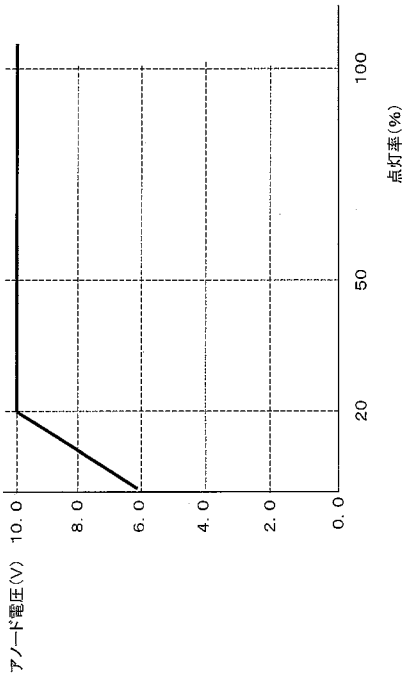
【図１４９】



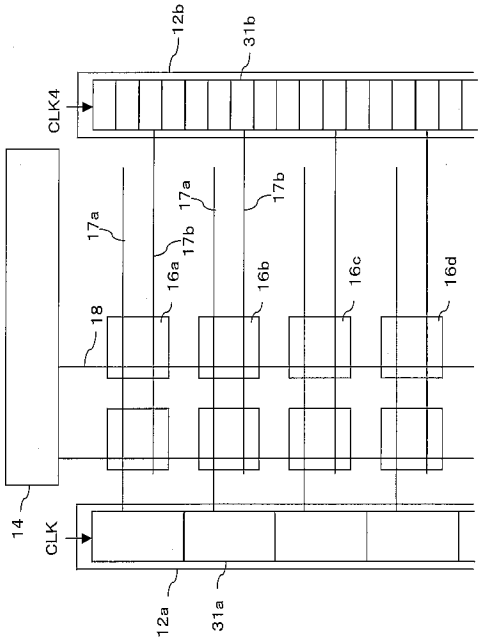
【図１５０】



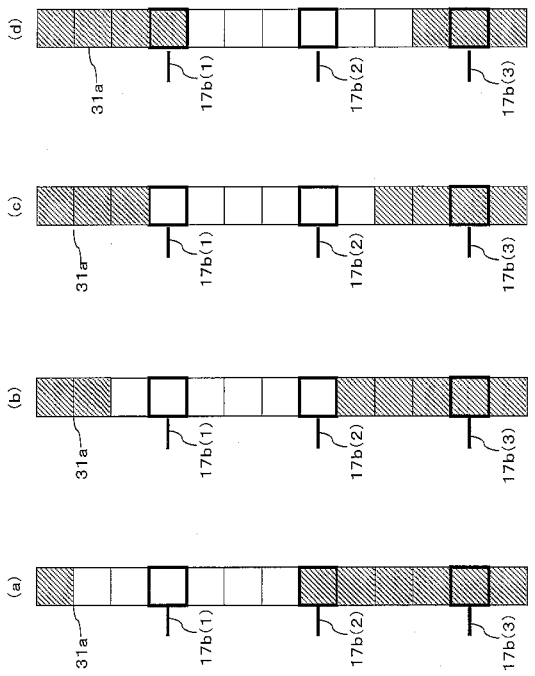
【図１５１】



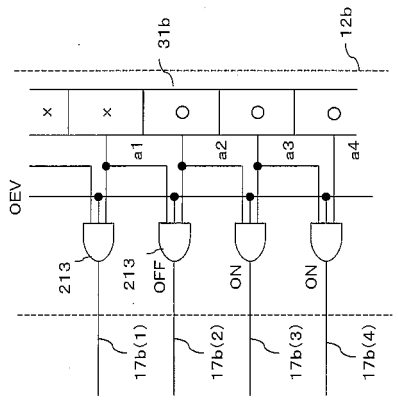
【図１５２】



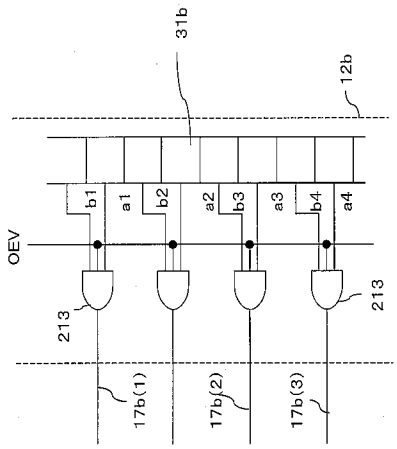
【図１５３】



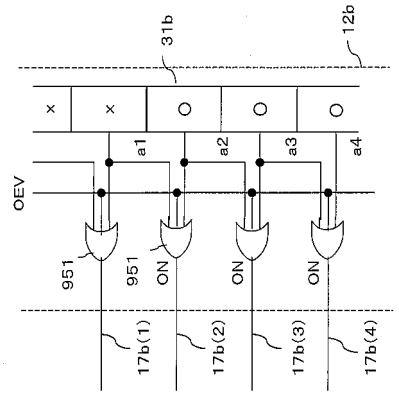
【図１５４】



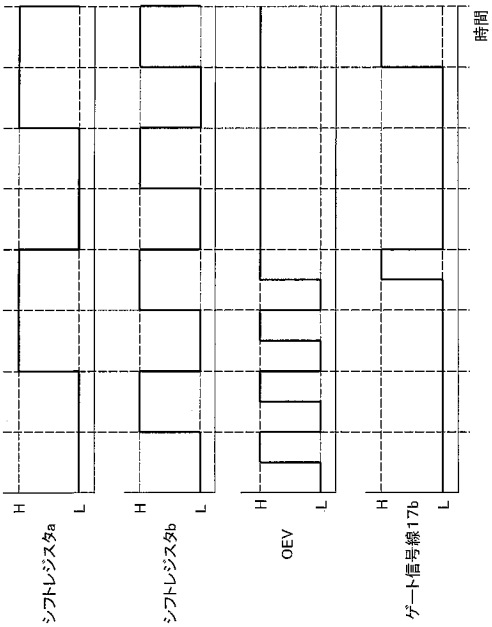
【図１５５】



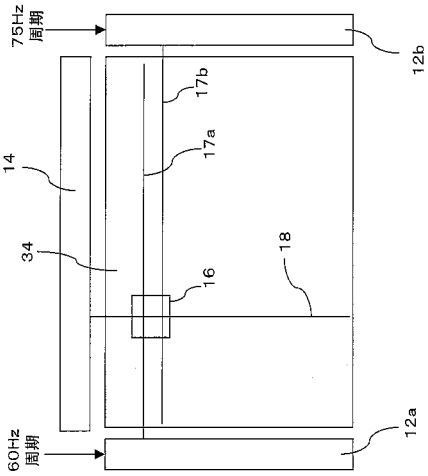
【図１５６】



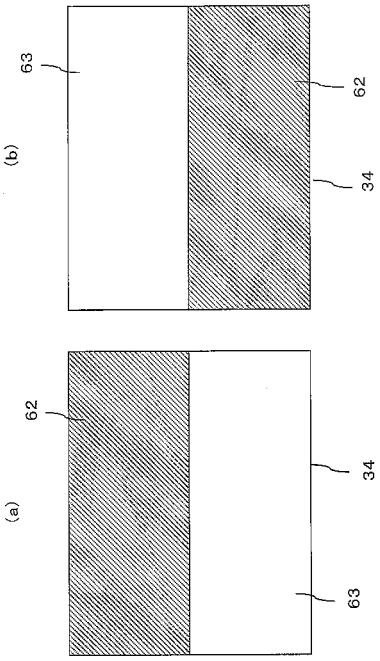
【図１５７】



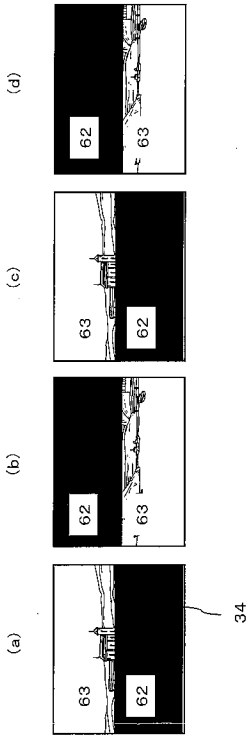
【図１５８】



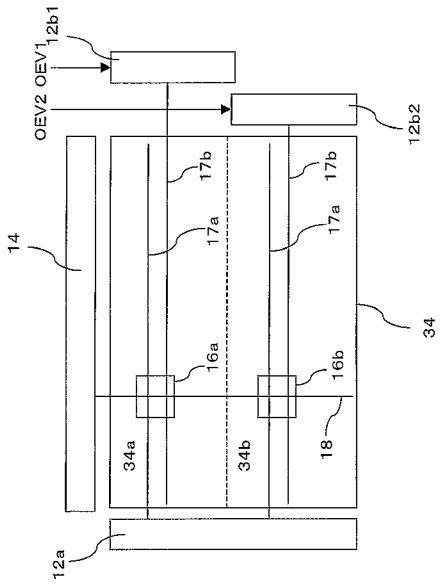
【図１５９】



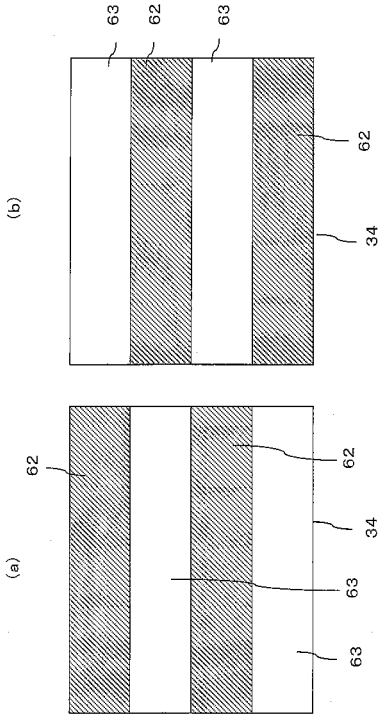
【図１６０】



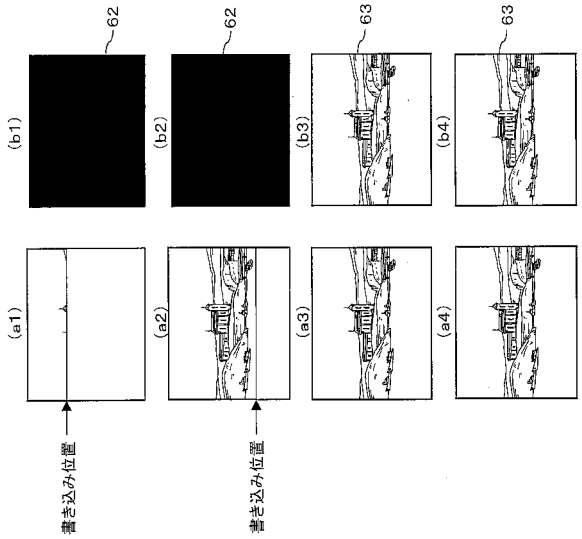
【図１６１】



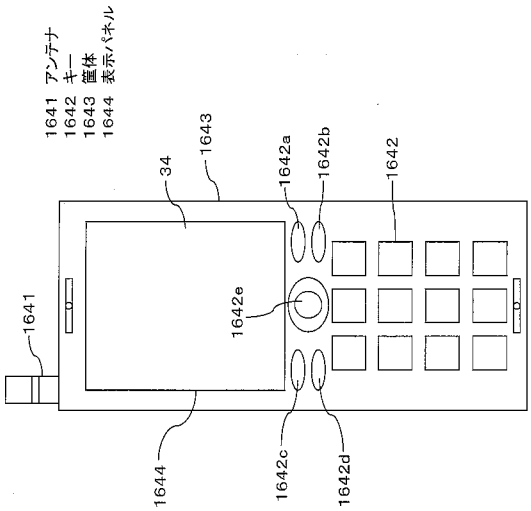
【図１６２】



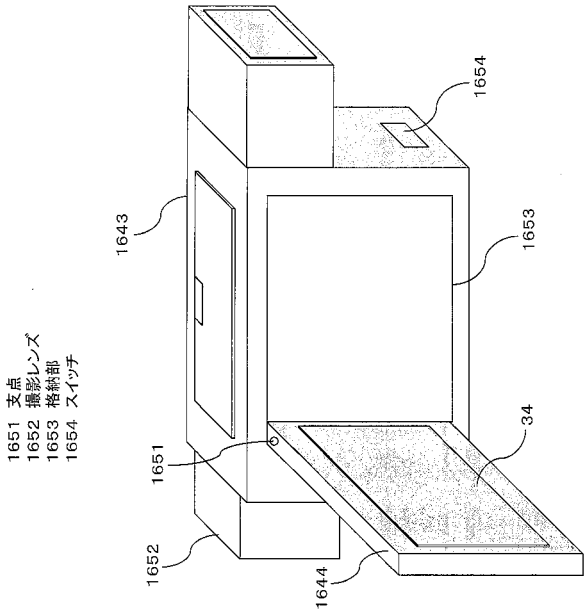
【図１６３】



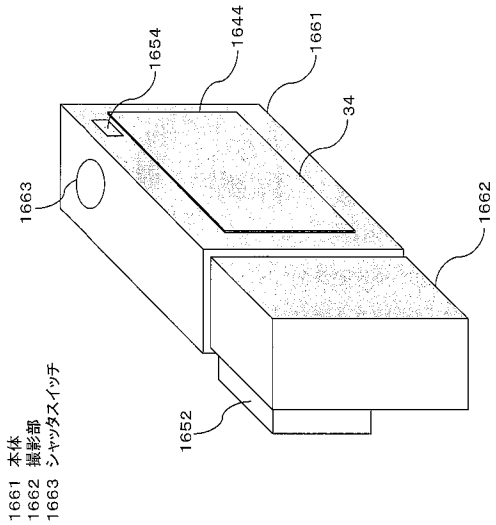
【図１６４】



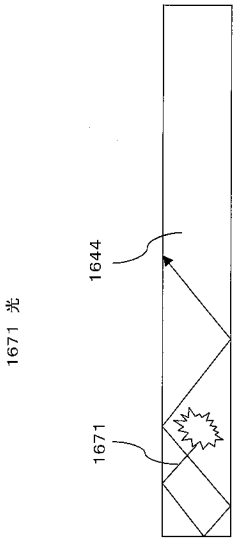
【図１６５】



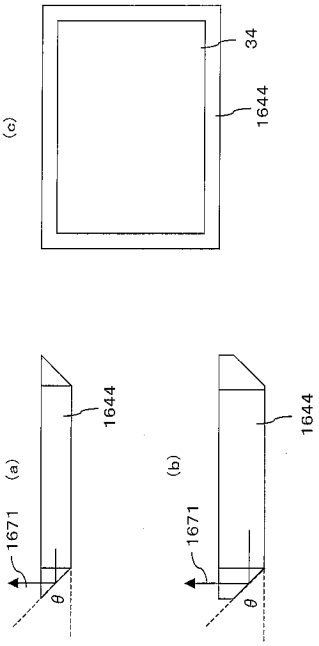
【図１６６】



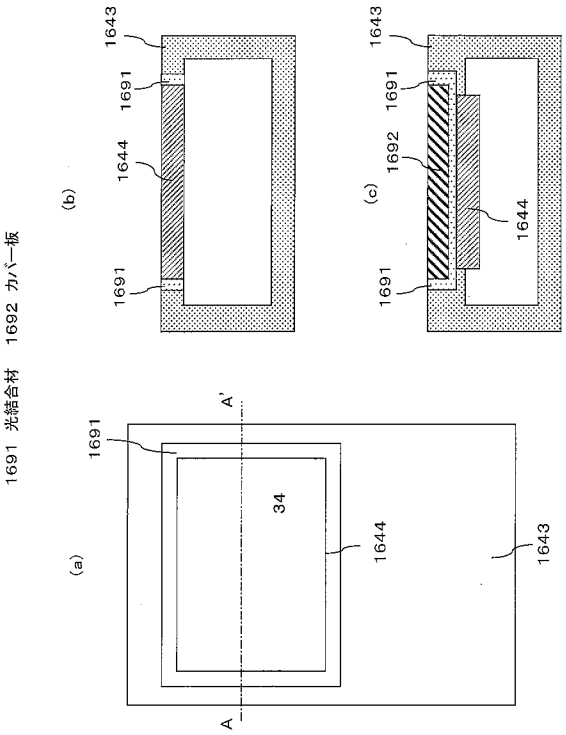
【図１６７】



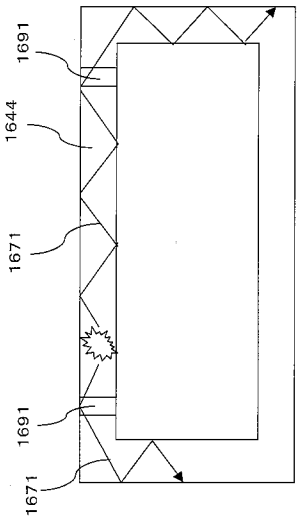
【図１６８】



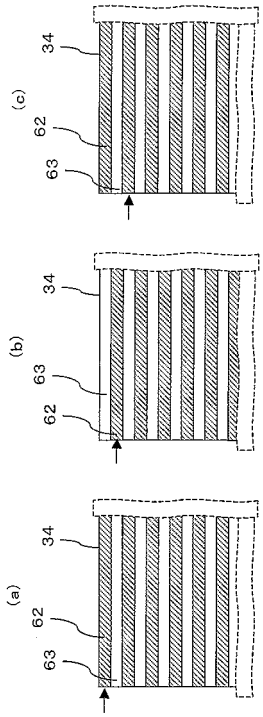
【図１６９】



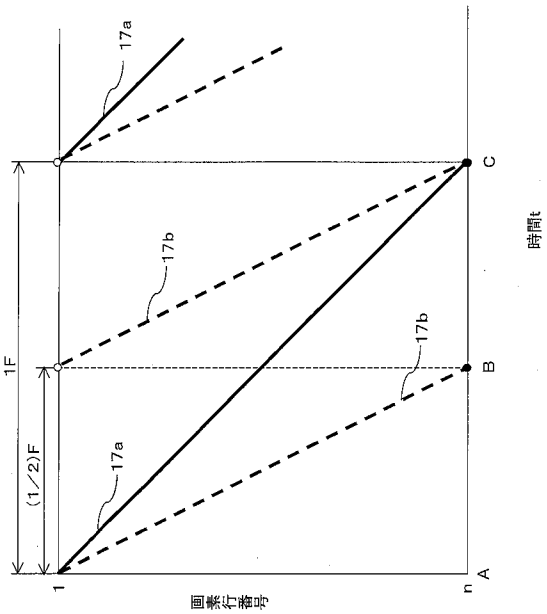
【図１７０】



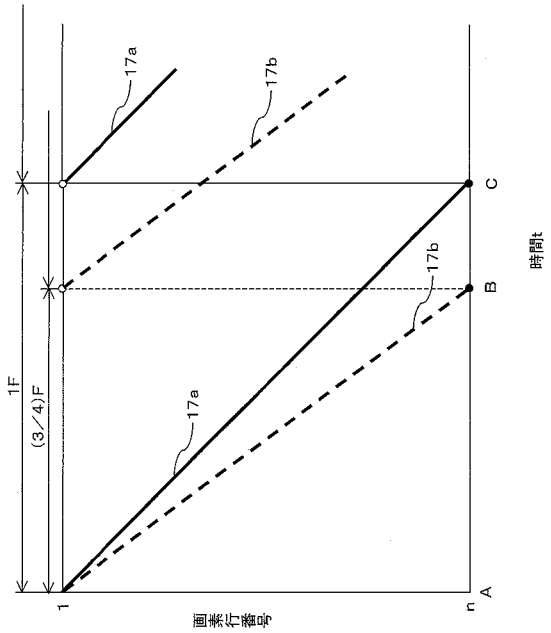
【図１７１】



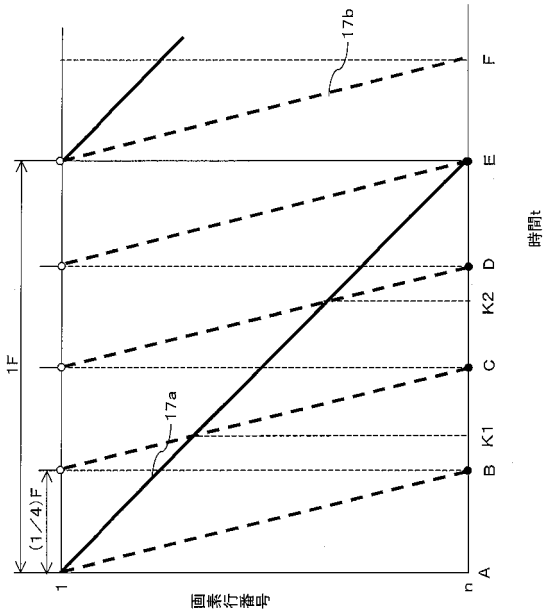
【図１７２】



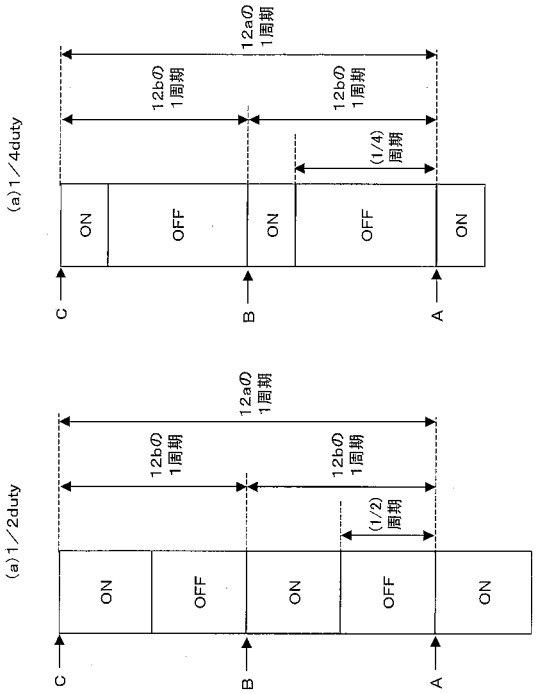
【図１７３】



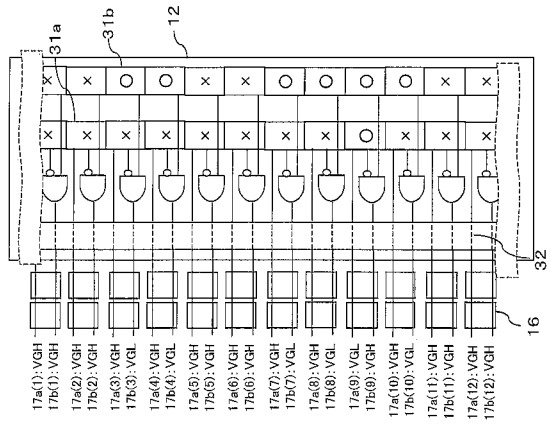
【図１７４】



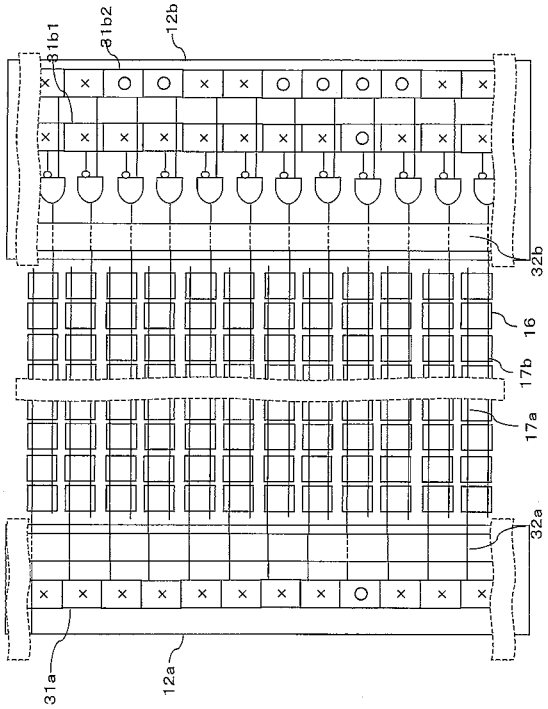
【図１７５】



【図１７６】



【図１７７】

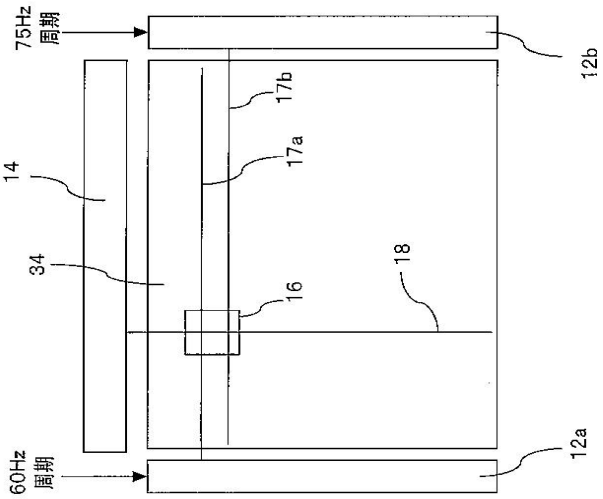


フロントページの続き

(51)Int.Cl.	ＦＩ			テーマコード（参考）
	Ｇ０９Ｇ	3/20	６１２Ｒ	
	Ｇ０９Ｇ	3/20	６２１Ｍ	
	Ｇ０９Ｇ	3/20	６８０Ｇ	
	Ｈ０５Ｂ	33/14	Ａ	
	Ｈ０５Ｂ	33/02		

专利名称(译)	EL显示装置和EL显示装置的驱动方法		
公开(公告)号	JP2007225928A	公开(公告)日	2007-09-06
申请号	JP2006047303	申请日	2006-02-23
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	高原博司		
发明人	高原 博司		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 H05B33/02		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.642.A G09G3/20.624.B G09G3/20.641.D G09G3/20.612.R G09G3/20.621.M G09G3/20.680.G H05B33/14.A H05B33/02 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC05 3K107/CC33 3K107/EE03 3K107/EE21 3K107/EE63 3K107/HH02 3K107/HH04 5C080/AA06 5C080/BB05 5C080/DD04 5C080/DD05 5C080/DD28 5C080/EE19 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AA02 5C380/AB18 5C380/AB22 5C380/AB24 5C380/AB31 5C380/AB34 5C380/AB37 5C380/AB39 5C380/AB43 5C380/AB46 5C380/AB47 5C380/AC02 5C380/AC04 5C380/AC07 5C380/AC08 5C380/AC10 5C380/AC11 5C380/AC12 5C380/AC13 5C380/AC16 5C380/AC18 5C380/BA01 5C380/BA10 5C380/BA14 5C380/BA15 5C380/BA17 5C380/BA19 5C380/BA23 5C380/BA24 5C380/BA25 5C380/BA29 5C380/BA33 5C380/BA38 5C380/BA39 5C380/BA42 5C380/BA43 5C380/BA46 5C380/BA47 5C380/BA48 5C380/BB04 5C380/BB05 5C380/BB09 5C380/BB15 5C380/BC02 5C380/BC07 5C380/BC09 5C380/BC12 5C380/BC14 5C380/BC18 5C380/BD02 5C380/BD09 5C380/BD10 5C380/BE05 5C380/BE07 5C380/CA04 5C380/CA12 5C380/CA16 5C380/CA17 5C380/CA21 5C380/CA23 5C380/CA26 5C380/CA29 5C380/CA30 5C380/CA32 5C380/CA35 5C380/CA36 5C380/CA43 5C380/CA49 5C380/CA53 5C380/CA54 5C380/CA57 5C380/CB02 5C380/CB09 5C380/CB12 5C380/CB14 5C380/CB24 5C380/CB26 5C380/CB30 5C380/CB31 5C380/CC02 5C380/CC14 5C380/CC18 5C380/CC19 5C380/CC27 5C380/CC39 5C380/CC41 5C380/CC52 5C380/CC61 5C380/CC62 5C380/CC63 5C380/CC64 5C380/CD012 5C380/CD014 5C380/CD015 5C380/CD016 5C380/CD024 5C380/CE03 5C380/CE04 5C380/CE05 5C380/CE06 5C380/CE07 5C380/CE08 5C380/CE13 5C380/CE15 5C380/CE20 5C380/CE22 5C380/CF02 5C380/CF03 5C380/CF04 5C380/CF07 5C380/CF09 5C380/CF12 5C380/CF18 5C380/CF22 5C380/CF24 5C380/CF25 5C380/CF26 5C380/CF27 5C380/CF32 5C380/CF33 5C380/CF42 5C380/CF43 5C380/CF48 5C380/CF49 5C380/CF52 5C380/CF53 5C380/CF56 5C380/CF61 5C380/CF64 5C380/CF68 5C380/DA02 5C380/DA19 5C380/DA30 5C380/DA32 5C380/DA33 5C380/DA34 5C380/DA35 5C380/DA37 5C380/DA39 5C380/DA40 5C380/DA41 5C380/DA42 5C380/DA47 5C380/DA49 5C380/DA50 5C380/DA51 5C380/DA55 5C380/DA56 5C380/DA57 5C380/DA58 5C380/EA04 5C380/EA05 5C380/EA12 5C380/EA16 5C380/FA02 5C380/FA04 5C380/FA06 5C380/FA12 5C380/FA13 5C380/FA16 5C380/FA18 5C380/FA19 5C380/FA22 5C380/FA23 5C380/FA28 5C380/GA09 5C380/GA18 5C380/HA02 5C380/HA05 5C380/HA06 5C380/HA11 5C380/HA13 5C380/HA16		
代理人(译)	松田 正道		
其他公开文献	JP2007225928A5		
外部链接	Espacenet		

摘要(译)

解决的问题：在减少显示不均匀的同时，防止所有灰度区域的写入不足。 另外，提高视频可见度。 栅极驱动器电路12a与60Hz的输入视频信号的频率（每秒60张图像）同步地重写屏幕34。 栅极驱动器电路12a与水平扫描同步信号同步地从显示区域34的第一像素行中依次选择第n（n为像素行的最大值）像素行，并选择来自源极驱动器电路14的程序。 电流（电压）施加到所选像素行。 栅

极驱动器电路12b与不同于栅极驱动器电路12a的水平扫描同步信号的点亮控制同步信号同步，并且与从第一像素行到第n像素行的点亮控制同步信号同步（n是像素行的最大值）。 被顺序选择。 栅极驱动器电路12b与点亮控制同步信号同步地选择栅极信号线17b，并对栅极信号线17b进行导通/截止控制。 [选择图]图158