

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-86678

(P2007-86678A)

(43) 公開日 平成19年4月5日(2007.4.5)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 611A	5C080
H01L 51/50 (2006.01)	G09G 3/20 611H	
	G09G 3/20 631K	
	G09G 3/20 631R	
審査請求 未請求 請求項の数 8 O L (全 12 頁) 最終頁に続く		

(21) 出願番号 特願2005-278433 (P2005-278433)

(22) 出願日 平成17年9月26日 (2005.9.26)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(74) 代理人 100107906

弁理士 須藤 克彦

(72) 発明者 安田 仁志

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 松室 智紀

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 高井 和順

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

最終頁に続く

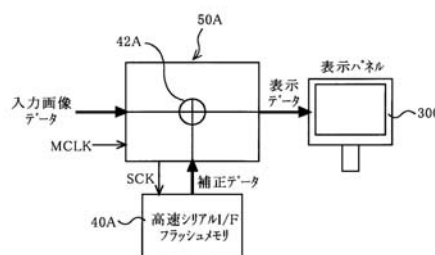
(54) 【発明の名称】 表示システム

(57) 【要約】

【課題】 駆動LSIのチップ面積を低減して、コストを大幅に低減する。

【解決手段】 この表示システムは、各画素の表示ムラを反映した補正データを高速シリアルI/Fフラッシュメモリ40Aに予め記憶させておき、この補正データを高速シリアルI/Fフラッシュメモリ40Aから高速に読み出し、この補正データと外部から入力される入力画像データとを駆動LSI50A内の合成回路42Aによってリアルタイムで合成して、補正された表示データVsigを作成し、この表示データVsigを有機EL表示パネル300へ出力する。前記駆動LSI50AはマスタークロックMCLKによって動作するが、補正データの高速シリアルI/Fフラッシュメモリ40Aからの読み出しは、マスタークロックMCLKに同期したシリアルクロックSCKに基づいて行われる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

薄膜トランジスタと、この薄膜トランジスタによって駆動される発光素子を備えた複数色の画素がマトリクス状に複数配置された表示パネルと、前記複数の画素のそれぞれに対応した補正データが予め記憶され、前記補正データを複数のデータバスに出力するメモリと、外部から入力される画像データと前記メモリからデータバスを介して読み出される補正データを画素毎にリアルタイムで合成して前記表示パネルに出力する駆動 L S I とを備えることを特徴とする表示システム。

【請求項 2】

前記メモリは前記複数のデータバスの中で、1本のデータバスに前記補正データの上位 2 ビットのデータを連続して出力するように構成したことを特徴とする請求項 1 に記載の表示システム。 10

【請求項 3】

前記メモリは前記表示パネルの中で隣接した同色の画素に対応した補正データの同位ビットデータを各データバスに連続して出力するように構成したことを特徴とする請求項 1 に記載の表示システム。

【請求項 4】

前記メモリは、前記補正データの上位ビットデータを前記各データバスに出力し、その後の残りの前記補正データの残りの下位ビットデータを各データバスに出力することを特徴とする請求項 3 に記載の表示システム。 20

【請求項 5】

前記メモリはフラッシュメモリなどの不揮発性メモリであることを特徴とする請求項 1 , 2 , 3 , 4 のいずれかに記載の表示システム。

【請求項 6】

前記表示パネルは、青、緑、赤の 3 原色の画素を備えることを特徴とする請求項 1 , 2 , 3 , 4 のいずれかに記載の表示システム。

【請求項 7】

前記表示パネルは、青、緑、赤の 3 原色の画素と、白色の画素を備えることを特徴とする請求項 1 , 2 , 3 , 4 のいずれかに記載の表示システム。

【請求項 8】

前記発光素子は有機 E L エレクトロルミネッセンス素子であることを特徴とする請求項 1 , 2 , 3 , 4 のいずれかに記載の表示システム。 30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリクス型の表示パネルを備えた表示システムに関し、特にメモリに補正データを記憶し、このメモリから読み出した補正データに基づいて画像データの補正を行うようにした表示システムに関する。

【背景技術】

【0002】

近年、有機エレクトロルミネッセンス (Organic Electro Luminescence: 以下、「E L」と略称する) 素子を用いた有機 E L 表示装置は、C R T や L C D に代わる表示装置として注目されている。特に、有機 E L 素子を駆動させるスイッチング素子として薄膜トランジスタ (Thin Film Transistor: 以下、「T F T」と略称する) を備えた有機 E L 表示装置が開発されている。 40

【0003】

図 8 に、有機 E L 表示パネル 300 の等価回路図を示す。ゲート信号を供給する複数のゲート信号線 11 が Y 方向に延びて配置され、表示データ V s i g を供給する複数のデータ線 12 が X 方向に延びて配置されている。それらの両信号線の交差点に、画素がマトリクス状に配置されており、これらの画素が表示画面 10 を形成している。各画素は、画素 50

選択用 T F T 1 3、有機 E L 素子 1 4 及びこの有機 E L 素子 1 4 を駆動する駆動用 T F T 1 5、表示データ V s i g を一時的に保持する保持容量 1 6 を備えている。

【 0 0 0 4 】

画素選択用 T F T 1 3 のゲートにはゲート信号線 1 1 が接続されてゲート信号が供給され、そのドレインにはデータ線 1 2 が接続され、表示データ V s i g が供給される。画素選択用 T F T 1 3 のソースは駆動用 T F T 1 5 のゲートに接続されている。ゲート信号は垂直駆動回路 3 0 から出力される。表示データ V s i g は水平駆動回路 2 0 を通して供給される。

【 0 0 0 5 】

また、駆動用 T F T 1 5 のソースには正電位 P V d d が供給されており、駆動用 T F T 1 5 のソースは有機 E L 素子 1 4 のアノードに接続されている。有機 E L 素子 1 4 のカソードには負電位 C V が供給されている。 10

【 0 0 0 6 】

上述した構成の有機 E L 表示装置の動作を説明する。ゲート信号が一水平期間、ハイレベルになると、画素選択用 T F T 1 3 がオンする。すると、データ線 1 2 から表示データ V s i g が画素選択用 T F T 1 3 を通して、駆動用 T F T 1 5 のゲートに印加される。

【 0 0 0 7 】

そして、そのゲートに供給された表示データ V s i g に応じて、駆動用 T F T 1 5 のコンダクタンスが変化し、それに応じた駆動電流が駆動用 T F T 1 5 を通して有機 E L 素子 1 4 に供給され、有機 E L 素子 1 4 が点灯する。そのゲートに供給された表示データに応じて、駆動用 T F T 1 5 がオフ状態の場合には、駆動用 T F T 1 5 には電流が流れないため、有機 E L 素子 1 4 も消灯する。 20

【 0 0 0 8 】

しかしながら、各画素の T F T (特に、駆動用 T F T 1 5) の特性ばらつきに起因して表示不良が起こるといった問題があった。その表示不良の内容は、例えば、駆動用 T F T 1 5 の駆動電流のばらつきによって、有機 E L 表示パネル 3 0 0 の表示画面 1 0 に横筋や縦筋という表示ムラが現れることである。

【 0 0 0 9 】

そこで、このような表示不良を回路的に対策するために、図 9 に示すように、各画素の表示ムラを反映した補正データをシリアルインターフェース機能を備えたフラッシュメモリ 4 0 (以下、シリアル I / F フラッシュメモリという) に予め記憶させておき、この補正データをシリアル I / F フラッシュメモリ 4 0 から駆動 L S I 5 0 に内蔵化された高速 S R A M 4 1 に転送してコピーし、この高速 S R A M 4 1 に記憶された補正データを高速に読み出し、この高速 S R A M 4 1 から読み出された補正データと外部から入力される入力画像データとを駆動 L S I 5 0 内の合成回路 4 2 によって合成して、補正された表示データ V s i g を作成し、この表示データ V s i g を有機 E L 表示パネル 3 0 0 へ出力するようにしていた。 30

【特許文献 1】特開 2 0 0 2 - 1 7 5 0 2 9 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 0 】

しかしながら、図 8 の表示システムでは、駆動 L S I 5 0 に高速 S R A M 4 1 を内蔵しており、画素数の増加と共に補正データも増加するため大容量のものが必要となり、駆動 L S I 5 0 のコストが高くなるという問題があった。

【課題を解決するための手段】

【 0 0 1 1 】

そこで、本発明の表示システムは、薄膜トランジスタと、この薄膜トランジスタによって駆動される発光素子を備えた複数色の画素がマトリクス状に複数配置された表示パネルと、前記複数の画素のそれぞれに対応した補正データが予め記憶され、前記補正データを複数のデータバスに出力するメモリと、外部から入力される画像データと前記メモリから 40 50

データバスを介して読み出される補正データを画素毎にリアルタイムで合成して前記表示パネルに出力する駆動LSIとを備えることを特徴とするものである。

【0012】

また、上記構成に加えて、前記メモリは前記複数のデータバスの中で、1本のデータバスに前記補正データの上位2ビットのデータを連続して出力するように構成したことを特徴とするものである。

【0013】

また、上記構成に加えて、前記メモリは前記表示パネルの中で隣接した同色の画素に対応した補正データの同位ビットデータを各データバスに連続して出力するように構成したことを特徴とするものである。

10

【発明の効果】

【0014】

本発明の表示システムによれば、駆動LSI内に補正データを記憶する高速SRAMが不要となるため、駆動LSIのチップ面積が低減され、そのコストを大幅に低減することができる。また、補正データの規則性を利用して、各データバスに出力される補正データを設定しているので、データバスに出力される補正データのトグル率(データ反転率)を低減して、補正データを記憶、出力するメモリの消費電力を低減することができる。

【発明を実施するための最良の形態】

【0015】

次に、本発明の実施形態について図面を参照しながら説明する。

20

【0016】

図1は本発明の実施形態に係る表示システムのシステム図である。この表示システムは、各画素の表示ムラを反映した補正データを高速シリアルI/Fフラッシュメモリ40Aに予め記憶させておき、この補正データを高速シリアルI/Fフラッシュメモリ40Aから高速に読み出し、この補正データと外部から入力される入力画像データとを駆動LSI50A内の合成回路42Aによってリアルタイムで合成して、補正された表示データVsigを作成し、この表示データVsigを有機EL表示パネル300へ出力する。フラッシュメモリとは電气的に書き込み、読み出しが可能であり、かつデータの一括消去が可能なメモリである。

【0017】

30

合成回路42Aは、基本的には入力画像データに補正データを加算又は減算するものであるが、実際には係数の掛け算などを含む、複雑な演算処理を行う。また、前記駆動LSI50AはマスタクロックMCLKによって動作するが、補正データの高速シリアルI/Fフラッシュメモリ40Aからの読み出しは、マスタクロックMCLKに同期したシリアルクロックSCKに基づいて行われる。

【0018】

このような補正データに基づいた入力画像データのリアルタイム補正方法は、まずテスト装置を用いて、個々の表示パネル300に所定のテスト用入力画像データを補正なしに表示パネル300に送り、表示パネル300の表示を行う。そして、その表示結果に応じた補正データを画素毎に算出し、その算出された画素毎の補正データを高速シリアルI/Fフラッシュメモリ40Aに画素の配列に対応させて書き込む。この高速シリアルI/Fフラッシュメモリ40Aは表示パネル300に内蔵されている。そして、前述のように、補正データを高速シリアルI/Fフラッシュメモリ40Aから高速に読み出して、入力画像データの補正が行われる。このような表示システムでは従来のように高速SRAM41を駆動LSI50に内蔵する必要がないので、駆動LSI50Aのチップ面積が低減され、そのコストを大幅に低減することができる。

40

【0019】

高速シリアルI/Fフラッシュメモリ40Aのシステムは、図2に例示するように、駆動LSI50Aからチップセレクト信号CS及び読み出しのタイミングを決定するシリアルクロックSCKが高速シリアルI/Fフラッシュメモリ40Aに供給され、それに基づ

50

いて、シリアルデータバス S I O 0 ~ S I O 3 (バス幅 4) に高速シリアル I / F フラッシュメモリ 40 A に記憶された補正データがシリアル出力される。さらに詳しく述べると、図 3 のタイミング図のように、チップセレクト信号 C S がロウの期間に駆動 L S I 50 A からシリアルデータバス S I O 0 ~ S I O 3 へ高速読み出し開始コマンド C M D が送られ、その後チップセレクト信号 C S がハイの期間に、駆動 L S I 50 A からシリアルデータバス S I O 0 ~ S I O 3 へ読み出しを開始する先頭アドレスを指定するアドレスデータ A D R が送られる。

【0020】

すると、高速シリアル I / F フラッシュメモリ 40 A は高速読み出しモードに設定され、アドレスデータ A D R で指定された先頭アドレスを逐次インクリメント (あるいはデクリメント) しながら、シリアルクロック S C K に基づいて、各アドレスに対応した補正データを読み出し、シリアルデータバス S I O 0 ~ S I O 3 に出力する。こうして、高速シリアル I / F フラッシュメモリ 40 A に記憶された補正データは、シリアルデータバス S I O 0 ~ S I O 3 を介して駆動 L S I 50 A に転送される。

【0021】

次に、高速シリアル I / F フラッシュメモリ 40 A から駆動 L S I 50 A への補正データの転送フォーマットについて説明する。まず、第 1 の転送フォーマットについて、図 4 の有機 E L 表示パネル 300 の画素配列、図 5 のタイミング図を参照して説明する。この有機 E L 表示パネル 300 は白、青、緑、赤の 4 色の画素を備えており、その配列は、図 4 に示すように、各行について、左から第 1 の白色画素 W 1、第 1 の青色画素 B 1、第 1 の緑色画素 G 1、第 1 の赤色画素 R 1、第 2 の白色画素 W 2、第 2 の青色画素 B 2、第 2 の緑色画素 G 2、第 2 の赤色画素 R 2、・・・がこの順番で配列されている。各画素の構成は図 8 に示したものと同様であり、画素選択用 T F T 13、有機 E L 素子 14 及びこの有機 E L 素子 14 を駆動する駆動用 T F T 15、表示データ V s i g を一時的に保持する保持容量 16 を備えている。

【0022】

この有機 E L 表示パネル 300 では、白色発光の有機 E L 素子 14 が各画素で使用され、青色、緑色、赤色の画素を構成するために、それぞれの色のカラーフィルタを画素毎に形成している。これら 3 原色の画素に加えて、白色の画素を設けているのは有機 E L 表示パネル 300 の表示画面 10 の輝度を高く確保するためである。

【0023】

各画素に対応した補正データのデータ幅を 8 ビットとすると、補正データは (D 0 , D 1 , D 2 , D 3 , D 4 , D 5 , D 6 , D 7) という 8 ビットデータで表される。ここで、D 0 ~ D 7 は「0」又は「1」である。D 0 は最下位ビット、D 7 は最上位ビットということになる。図 5 に示すように、第 1 の転送フォーマットでは、各色の画素に対応した補正データの (D 4 , D 0) がシリアルデータバス S I O 0 に割り当てられ、(D 5 , D 1) がシリアルデータバス S I O 1 に割り当てられ、(D 6 , D 2) がシリアルデータバス S I O 2 に割り当てられ、(D 7 , D 3) がシリアルデータバス S I O 3 に割り当てられている。

【0024】

そして、シリアルクロック S C K の立ち上がり及び立ち下がりの両方のエッジに基づいて、高速シリアル I / F フラッシュメモリ 40 A からそれぞれのシリアルデータバス S I O 0 ~ S I O 3 に上述のフォーマットで補正データのビットデータが出力される。

【0025】

さらに詳しく言えば、1 回の転送サイクルで、第 1 の白色画素 W 1 に対応した 8 ビットの補正データ (D 0 ~ D 7) が 2 ビットずつ連続してシリアルデータバス S I O 0 ~ S I O 3 に出力され、次に、第 1 の青色画素 B 1 に対応した 8 ビットの補正データ (D 0 ~ D 7) が 2 ビットずつ連続してシリアルデータバス S I O 0 ~ S I O 3 に出力され、次に、第 1 の緑色画素 G 1 に対応した 8 ビットの補正データ (D 0 ~ D 7) が 2 ビットずつ連続してシリアルデータバス S I O 0 ~ S I O 3 に出力され、次に、第 1 の赤色画素 R 1 に対

10

20

30

40

50

応した8ビットの補正データ(D0~D7)が2ビットずつ連続してシリアルデータバスSIO0~SIO3に出力される。(以下、同様)すなわち、有機EL表示パネル300のW1,B1,G1,R1、W2,B2,G2,R2、・・という1ライン分の画素配列に対応して補正データが駆動LSI50Aに順次転送される。

【0026】

駆動LSI50Aに転送された各画素に対応した補正データは対応する入力画像データと合成され、表示データVsigとして有機EL表示パネル300に順次出力される。これにより、補正された表示データVsigはデータ線12と通して、1ラインのW1,B1,G1,R1、W2,B2,G2,R2、・・の各画素に1水平期間をかけて供給される。そして、次の転送サイクルでは、同様の補正データの転送が繰り返され、有機EL表示パネル300上の次のラインについて、補正された表示データVsigが供給される。以下は、最後のラインまで上記の動作が繰り返され、1画面分の表示が行われる。

【0027】

しかしながら、上述の第1の転送フォーマットでは、画素毎に補正データが異なるため、シリアルデータバスSIO0~SIO3に出力される補正データのトグル率が高くなり、シリアルデータバスSIO0~SIO3を駆動する高速シリアルI/Fフラッシュメモリ40Aの消費電力が大きいという問題がある。

【0028】

そこで、補正データの規則性を利用して転送フォーマットを工夫することにより、シリアルデータバスSIO0~SIO3に出力される補正データのトグル率の低減を図り、高速シリアルI/Fフラッシュメモリ40Aの消費電力を低減した。そのような第2の転送フォーマットは、図6に示すように、シリアルデータバスSIO0~SIO3の中の1本のシリアルデータバスSIO3に8ビットの補正データD0~D7の上位2ビットのデータ(D7,D6)を割り当て、そのシリアルデータバスSIO3について、これらのデータ(D7,D6)が連続して出力するような転送フォーマットを採用した。シリアルデータバスSIO2については、(D5,D4)、シリアルデータバスSIO1については、(D3,D2)、シリアルデータバスSIO0については、(D1,D0)が割り当てられる。

【0029】

一般に、補正データの上位2ビットのデータ(D7,D6)は使用率が低く、両方とも「0」の可能性が高い。したがって、上述の第2の転送フォーマットによれば、シリアルデータバスSIO3については、補正データのトグル率を非常に小さくすることができる。これにより高速シリアルI/Fフラッシュメモリ40Aの消費電力を大幅に低減することができる。本発明者の実験によれば、第2の転送フォーマットは第1の転送フォーマットに比べて高速シリアルI/Fフラッシュメモリ40Aの消費電力は20%に低減することができた。

【0030】

次に、第3の転送フォーマットは、有機EL表示パネル300の中で隣接した同色の画素に対応した補正データの同位ビットデータを各シリアルデータバスSIO0~SIO3に連続して出力するようにしたものである。図7の例では、W1,B1,G1,R1、W2,B2,G2,R2という8画素を1グループにまとめて管理している。そして、隣接する同色の画素、すなわち、W1とW2、B1とB2、G1とG2、R1とR2に対応する補正データは同じか、その差が小さい確率が高いことを利用し、同位ビットデータを各シリアルデータバスSIO0~SIO3に連続して出力するようにした。例えば、W1とW2については、シリアルデータバスSIO3に、W1に対応した最上位ビットデータD7とW2に対応した最上位ビットデータD7とを連続して出力し、シリアルデータバスSIO2に、W1に対応したビットデータD6とW2に対応したビットデータD6とを連続して出力する。これにより、シリアルデータバスSIO0~SIO3に出力される補正データのトグル率が低減され、高速シリアルI/Fフラッシュメモリ40Aの消費電力が低減される。

【 0 0 3 1 】

また、W 1 , B 1 , G 1 , R 1 , W 2 , B 2 , G 2 , R 2 の 8 画素に対応した補正データのそれぞれについて、上位 4 ビット (D 7 , D 6 , D 5 , D 4) の第 1 のデータ群と、下位 4 ビット (D 3 , D 2 , D 1 , D 0) の第 2 のデータ群に分けて、まず、最初に第 1 のデータ群を出力し、次に、第 2 のデータ群を出力するようにした。第 1 のデータ群については、上位 2 ビットのデータ (D 7 , D 6) を含み、これらのデータは「 0 」である確率が高い。したがって、シリアルデータバス S I O 2 及び S I O 3 のトグル率が低くなり、更に高速シリアル I / F フラッシュメモリ 4 0 A の消費電力が低減される。

【 0 0 3 2 】

本発明者の実験によれば、第 3 の転送フォーマットは第 1 の転送フォーマットに比べて高速シリアル I / F フラッシュメモリ 4 0 A の消費電力は 3 0 % ~ 3 5 % に低減することができた。なお、第 3 の転送フォーマットにおいて、隣接する同色の 2 つの画素 (例えば W 1 と W 2) に対応する補正データを 1 つのグループにまとめているが、隣接する同色の 3 つの画素 (例えば W 1 と W 2 と W 3) に対応する補正データを 1 つのグループにまとめて転送を行ってもよい。

【 0 0 3 3 】

また、上述の実施形態では、第 1 , 第 2 , 第 3 の転送フォーマットにおいて、有機 E L 表示パネル 3 0 0 が W B G R (白、青、緑、赤) の 4 色の画素で構成されている場合について説明したが、これに限らず、有機 E L 表示パネル 3 0 0 が W (白) を除いた、 R G B (赤、緑、青) の 3 原色の画素で構成されている場合にも、同様の転送フォーマットを使用することができる。

【 0 0 3 4 】

また、上述の実施形態では、高速シリアル I / F フラッシュメモリ 4 0 A を用いて、8 ビットの補正データをシリアルデータバス S I O 0 ~ S I O 3 にシリアルに出力しているが、パラレル I / F フラッシュメモリを用いて、8 ビットの補正データを 8 ビットのパラレルデータバスにパラレルに出力するシステムにおいても、同様にして補正データのトグル率 (データ反転率) を低減して、メモリの消費電力を低減することができる。なお、上述の実施形態の第 1 乃至第 3 の転送フォーマットは、あくまで例示したものであり、本発明の趣旨に従って、これ以外の転送フォーマットも考えられる。

【 図面の簡単な説明 】

【 0 0 3 5 】

【 図 1 】 本発明の実施形態に係る表示システムのシステム図である。

【 図 2 】 図 1 における高速シリアル I / F フラッシュメモリ 4 0 A のシステム図である。

【 図 3 】 高速シリアル I / F フラッシュメモリ 4 0 A の動作タイミング図である。

【 図 4 】 有機 E L 表示パネル 3 0 0 の画素配列を示す図である。

【 図 5 】 第 1 の転送フォーマットを説明するタイミング図である。

【 図 6 】 第 2 の転送フォーマットを説明するタイミング図である。

【 図 7 】 第 3 の転送フォーマットを説明するタイミング図である。

【 図 8 】 有機 E L 表示パネル 3 0 0 の等価回路図である。

【 図 9 】 従来の表示システムのシステム図である。

【 符号の説明 】

【 0 0 3 6 】

1 0	表示画面	1 1	ゲート信号線	1 2	データ線
1 3	画素選択用 T F T	1 4	有機 E L 素子	1 5	駆動用 T F T
1 6	保持容量	2 0	水平駆動回路	3 0	垂直駆動回路
4 0 A	高速シリアル I / F フラッシュメモリ	5 0 A	駆動 L S I		
4 2 A	合成回路	S I O 0 ~ S I O 3	シリアルデータバス		

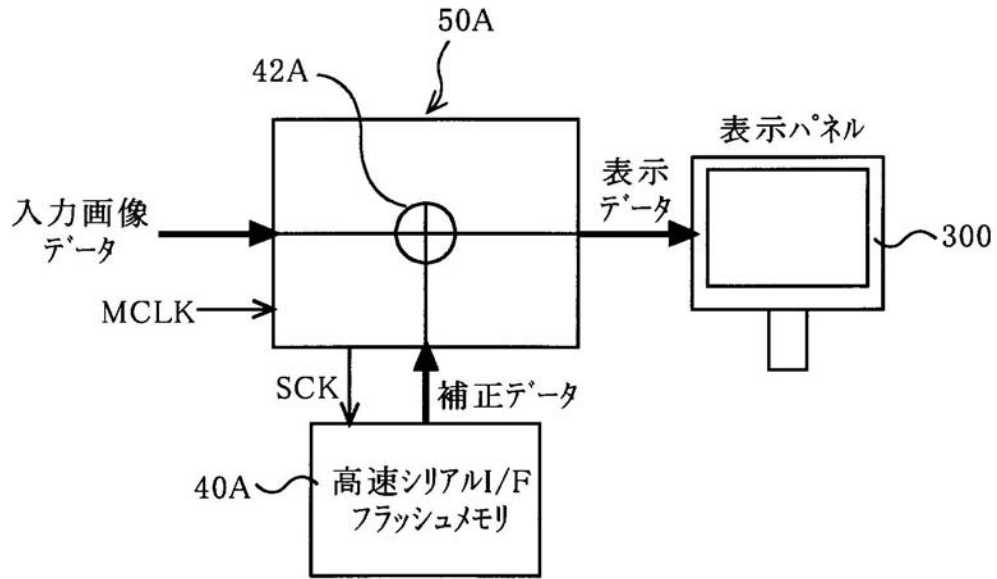
10

20

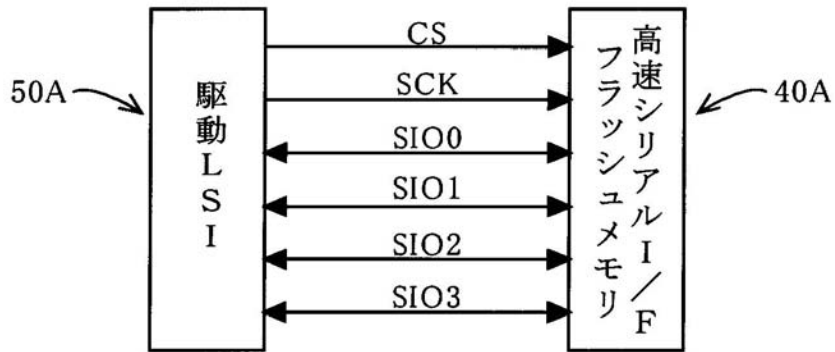
30

40

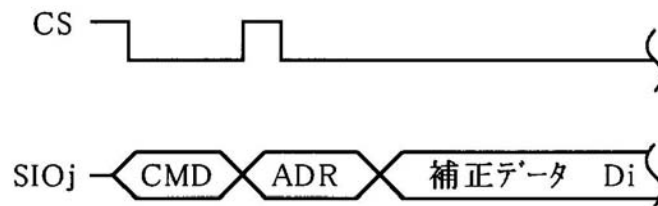
【図 1】



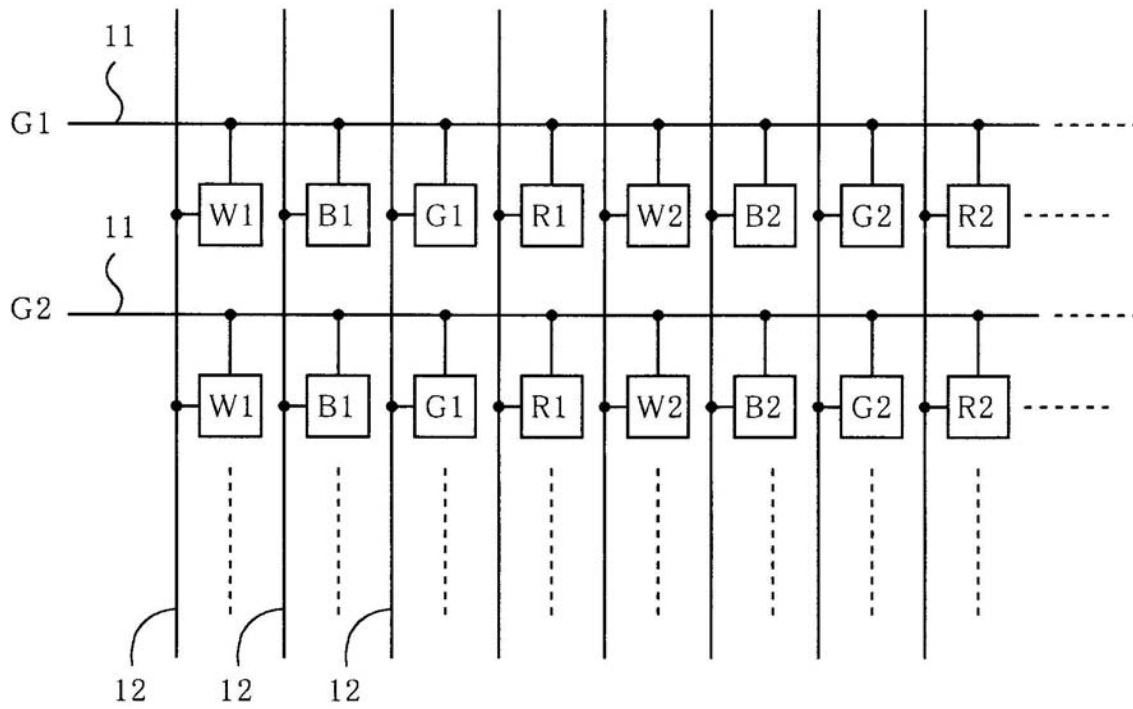
【図 2】



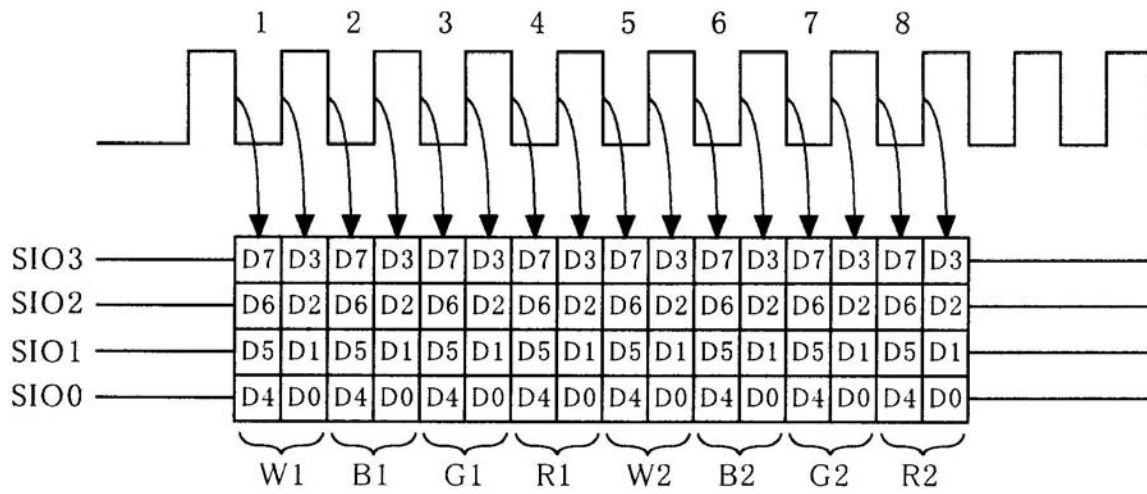
【図 3】



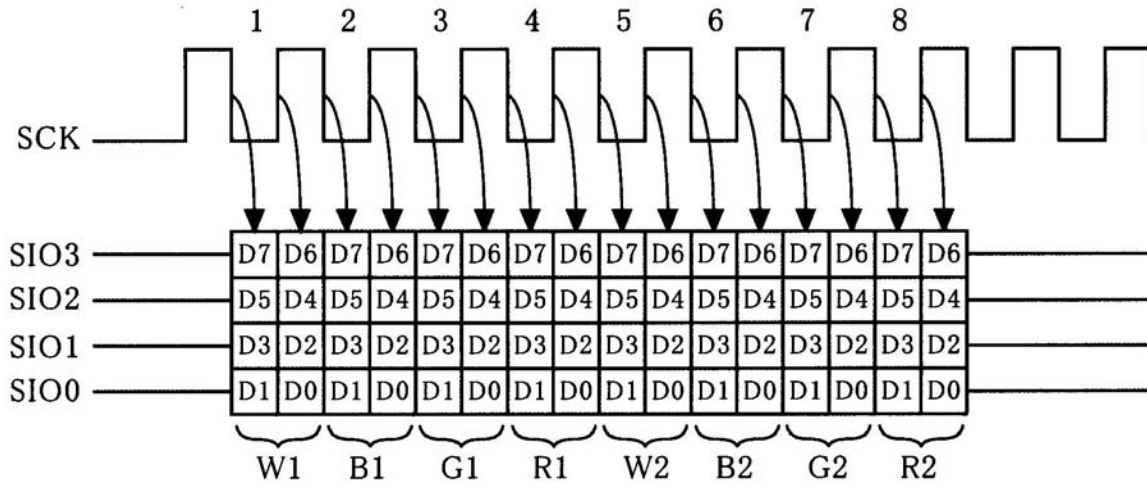
【 図 4 】



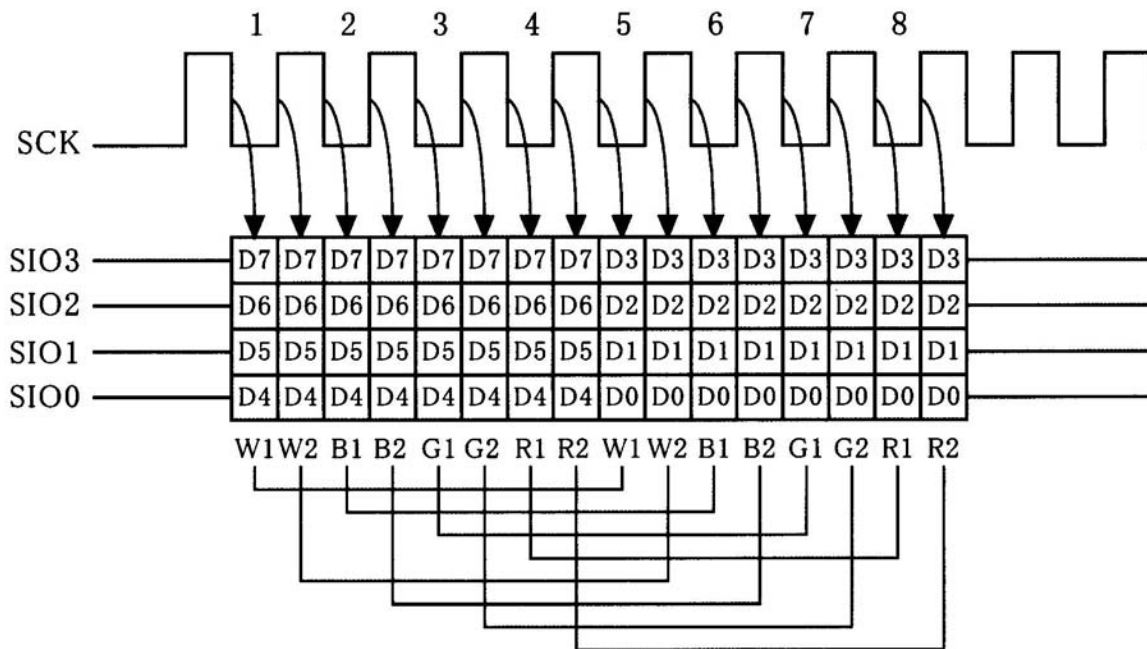
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 3 1 V
	G 0 9 G 3/20	6 4 1 P
	G 0 9 G 3/20	6 4 2 K
	G 0 9 G 3/20	6 4 2 A
	G 0 9 G 3/20	6 2 1 M
	H 0 5 B 33/14	A

(72)発明者 佐藤 政俊

大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会社内

F ターム(参考) 3K107 AA01 BB01 CC14 CC33 CC45 EE03 EE07 HH04
5C080 AA06 BB05 CC03 DD05 DD22 DD26 DD27 EE30 FF11 JJ02
JJ03 JJ04 JJ06

专利名称(译)	显示系统		
公开(公告)号	JP2007086678A	公开(公告)日	2007-04-05
申请号	JP2005278433	申请日	2005-09-26
[标]申请(专利权)人(译)	三洋电机株式会社		
申请(专利权)人(译)	三洋电机株式会社		
[标]发明人	安田仁志 松室智紀 高井和順 佐藤政俊		
发明人	安田 仁志 松室 智紀 高井 和順 佐藤 政俊		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.611.A G09G3/20.611.H G09G3/20.631.K G09G3/20.631.R G09G3/20.631.V G09G3/20.641.P G09G3/20.642.K G09G3/20.642.A G09G3/20.621.M H05B33/14.A G09G3/3233 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC14 3K107/CC33 3K107/CC45 3K107/EE03 3K107/EE07 3K107/HH04 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD22 5C080/DD26 5C080/DD27 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C380/AA01 5C380/AB06 5C380/AB34 5C380/AB36 5C380/AB37 5C380/BA01 5C380/BA15 5C380/BA28 5C380/BA31 5C380/BA38 5C380/BB02 5C380/BB22 5C380/CA12 5C380/CA20 5C380/CC02 5C380/CC27 5C380/CC33 5C380/CC62 5C380/CD012 5C380/CE19 5C380/CE21 5C380/CF05 5C380/CF13 5C380/CF18 5C380/CF19 5C380/DA02 5C380/DA06 5C380/DA34 5C380/DA38 5C380/DA56 5C380/EA02 5C380/EA05 5C380/FA01 5C380/FA21 5C380/FA28		
代理人(译)	须藤克彦		
其他公开文献	JP5051995B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：减少驱动器LSI的芯片面积并显著降低成本。根据该显示系统，反映每个像素的显示不均匀的校正数据被预先存储在高速串行I / F闪存40A中，并且该校正数据从高速串行I / F闪存40A被高速发送。从外部输入的校正数据和输入图像数据由驱动器LSI 50A中的组合电路42A实时地组合以创建校正的显示数据Vsig，并且该显示数据Vsig被显示在有机EL显示面板300上。输出到。驱动器LSI 50A根据主时钟MCLK进行操作，但是基于与主时钟MCLK同步的串行时钟SCK从高速串行I / F闪存40A读取校正数据。[选型图]图1

