

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-48003
(P2006-48003A)

(43) 公開日 平成18年2月16日(2006.2.16)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K007
G09G 3/20 (2006.01)	G09G 3/30 K	5C080
H01L 51/50 (2006.01)	G09G 3/20 611H	
	G09G 3/20 612F	
	G09G 3/20 621M	
審査請求 未請求 請求項の数 20 O L (全 14 頁) 最終頁に続く		

(21) 出願番号 特願2005-184733 (P2005-184733)
 (22) 出願日 平成17年6月24日 (2005.6.24)
 (31) 優先権主張番号 特願2004-189582 (P2004-189582)
 (32) 優先日 平成16年6月28日 (2004.6.28)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000116024
 ローム株式会社
 京都府京都市右京区西院溝崎町2 1 番地
 (74) 代理人 100079555
 弁理士 梶山 信是
 (74) 代理人 100079957
 弁理士 山本 富士男
 (72) 発明者 矢熊 宏司
 京都市右京区西院溝崎町2 1 番地 ローム株式会社内
 F ターム (参考) 3K007 AB17 AB18 BA06 DB03 GA00
 GA04
 5C080 AA06 BB05 CC03 DD05 DD25
 DD28 EE29 FF11 HH09 JJ03

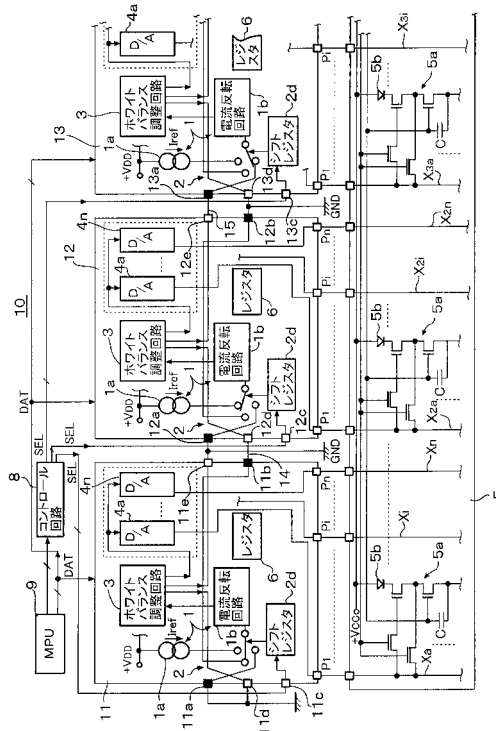
(54) 【発明の名称】 有機EL駆動回路およびこれを用いる有機EL表示装置

(57) 【要約】 (修正有)

【課題】 有機ELパネルを電流駆動するカラムドライバIC間での特性の相違による輝度むらを低減し、IC製造コストを低減できる駆動回路の提供。

【解決手段】 スレーブチップのドライバIC 11, 13のホワイトバランス調整回路3は、それぞれ基準電流I_r (基準電流源1aの基準電流I_{ref}の電流値に相当するこれと同相の電流値) に基づいてD/A 3aにおいて基準駆動電流I_{ro}をそれぞれ生成して、それぞれにそれぞれの基準電流分配型D/A変換回路4を駆動する。それにより、有機ELパネル5の端子ピンに送出する駆動電流がそれぞれのドライバIC 11, 13で生成される。ドライバIC 12の基準電流発生回路1aの基準電流I_{ref}を基準として短い配線ライン14, 15を介して隣のスレーブチップのドライバIC 11, 13が実質的に同じ電流値の基準電流により同じ回路構成の回路を経て駆動電流を発生するので、各駆動電流のばらつきが低減される。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

基準電流に基づいて有機 E L パネルの端子ピン対応に駆動電流を生成して前記有機 E L パネルを電流駆動する IC 化された有機 E L 駆動回路において、

この IC の外部から前記基準電流に対して同相で前記基準電流の電流値に相当する電流値の電流を入力するために設けられた第 1 および第 2 の入力端子と、

第 1 および第 2 の出力端子と、

前記第 1 の入力端子から入力される電流、前記第 2 の入力端子から入力される電流、そして前記基準電流のいずれか 1 つを選択するための基準電流選択回路と、

前記基準電流選択回路により選択された電流を前記基準電流に対して逆相に反転させる電流反転回路と、

この電流反転回路の電流を入力側トランジスタに受けて第 1 および第 2 の出力側トランジスタに前記基準電流の電流値に相当する電流値の電流をそれぞれ生成して前記第 1 および第 2 の出力端子に出力するカレントミラー回路とを備え、

前記 IC は矩形であって、前記第 1 および第 2 の入力端子は、この IC と同様な回路構成の IC が隣接して配置されたときに隣接することになる両側の辺にそれぞれ配置され、かつ、前記第 1 および第 2 の出力端子も同様に前記両側の辺にそれぞれ配置されている有機 E L 駆動回路。

【請求項 2】

さらに前記基準電流を発生する基準電流発生回路を有し、前記カレントミラー回路は、さらに第 3 の出力側トランジスタを有し、この第 3 の出力側トランジスタの出力電流に応じて前記駆動電流が生成される請求項 1 記載の有機 E L 駆動回路。

【請求項 3】

前記第 1 および第 2 の出力側トランジスタは、前記入力側トランジスタに対して前記第 3 の出力側トランジスタより手前に配置されている請求項 2 記載の有機 E L 駆動回路。

【請求項 4】

前記第 1 あるいは第 2 の出力側トランジスタの出力電流は、前記 IC と同一構成の他の IC における前記第 1 の入力端子あるいは前記第 2 の入力端子に供給される請求項 3 記載の有機 E L 駆動回路。

【請求項 5】

前記第 1 の入力端子あるいは前記第 2 の入力端子は、前記 IC と同一構成の他の IC における前記第 1 あるいは第 2 の出力側トランジスタの出力電流を受ける請求項 3 記載の有機 E L 駆動回路。

【請求項 6】

前記第 1 の入力端子と前記第 1 の出力端子が前記両側の一边に配置され前記第 2 の入力端子と前記第 2 の出力端子が前記両側の残りの一边に配置され、前記第 2 の入力端子と前記第 2 の出力端子の前記両側の一方の辺における配置は、前記第 1 の入力端子と前記第 1 の出力端子の前記両側の他方の辺における配置に対して位置関係が逆転している請求項 2 記載の有機 E L 駆動回路。

【請求項 7】

前記 IC は、マスターのドライバとなる第 1 の IC であり、前記同様な回路構成の IC は、スレーブのドライバとなる第 2 の IC であり、前記第 1 の IC の前記第 1 および第 2 の出力端子のいずれか一方と前記第 2 の IC の前記第 1 および第 2 の入力端子のいずれか他方とが接続され、前記第 1 の IC の前記基準電流選択回路は、自己の前記基準電流発生回路からの基準電流を選択し、前記第 2 の IC の前記基準電流選択回路は、自己の前記第 1 および第 2 の入力端子のいずれか他方に入力された電流を選択する請求項 6 記載の有機 E L 駆動回路。

【請求項 8】

さらに、スレーブのドライバとなる前記第 2 の IC と同様な回路構成の第 3 の IC を有し、前記第 1 の IC の前記第 1 の出力端子と前記第 2 の IC の前記第 2 の入力端子とが接

10

20

30

40

50

続され、前記第 1 の I C の前記第 2 の出力端子と前記第 3 の I C の前記第 1 の入力端子とが接続され、前記第 2 の I C の前記基準電流選択回路は、自己の前記第 2 の入力端子に入力された電流を選択し、前記第 3 の I C の前記基準電流選択回路は、自己の前記第 1 の入力端子に入力された電流を選択する請求項 7 記載の有機 E L 駆動回路。

【請求項 9】

前記カレントミラー回路は、前記第 3 の出力側トランジスタが複数個設けられた D / A 変換ブロックを有し、前記入力側トランジスタに入力された電流に対して調整された電流を前記 D / A 変換ブロックで発生し、前記 D / A 変換ブロックの出力電流に応じて前記駆動電流が生成される請求項 8 記載の有機 E L 駆動回路。

【請求項 10】

前記カレントミラー回路は、PチャネルMOSトランジスタで構成され、前記D/Aブロックの前記出力電流が別のカレントミラー回路に入力され、この別のカレントミラー回路は、これの複数の出力側トランジスタにより構成される別のD/A変換ブロックを前記端子ピン対応に有する請求項9記載の有機EL駆動回路。

10

【請求項 11】

前記基準電流選択回路は、製造過程での接続配線の選択によりあるいはこのI Cの外部から第3の入力端子を介して所定の選択信号を受けることにより前記いずれか1つの電流を選択する請求項2記載の有機EL駆動回路。

【請求項 12】

前記所定の選択信号は、所定の数のビットの信号であり、前記基準電流選択回路は、3個のアナログスイッチで構成され、これらアナログスイッチの1つの一端が前記基準電流発生回路に接続され、これらアナログスイッチの他の1つの一端が前記第1の入力端子に接続され、これらアナログスイッチの残りの1つの一端が前記第2の入力端子に接続され、前記3個のアナログスイッチの他端が共通に前記電流反転回路に接続されて前記ビットの信号により前記3つのアナログスイッチの1つがONにされ、残りの2つがOFFされる請求項11記載の有機EL駆動回路。

20

【請求項 13】

基準電流に基づいて有機ELパネルの端子ピン対応に駆動電流を生成して前記有機ELパネルを電流駆動するI Cを複数個有する有機EL駆動回路において、

各前記I Cは、それぞれ、外部から前記基準電流に対して同相で前記基準電流の電流値に相当する電流値の電流を入力するために設けられた第1および第2の入力端子と、第1および第2の出力端子と、前記第1の入力端子から入力される電流、前記第2の入力端子から入力される電流、そして前記基準電流のいずれか1つを選択するための基準電流選択回路と、前記基準電流選択回路により選択された電流を前記基準電流に対して逆相に反転させる電流反転回路と、この電流反転回路の電流を入力側トランジスタに受けて第1および第2の出力側トランジスタに前記基準電流の電流値に相当する電流値の電流をそれぞれ生成して前記第1および第2の出力端子に出力するカレントミラー回路とを備え、

30

各前記I Cは矩形であって、前記第1および第2の入力端子は、複数の前記I Cが隣接して配置されたときに隣接することになる両側の辺にそれぞれ配置され、かつ、前記第1および第2の出力端子も同様に前記両側の辺にそれぞれ配置されている有機EL駆動回路

40

【請求項 14】

各前記I Cは、さらに前記基準電流を発生する基準電流発生回路を有し、各前記I Cの前記カレントミラー回路は、さらに第3の出力側トランジスタをそれぞれ有し、各前記第3の出力側トランジスタの出力電流に応じて前記駆動電流がそれぞれの前記I Cにおいて生成される請求項13記載の有機EL駆動回路。

【請求項 15】

複数の前記I Cの1つの前記第1あるいは第2の出力側トランジスタの出力電流がその前記第1あるいは第2出力端子を介して残りの前記I Cの少なくとも1つの前記第1あるいは第2の入力端子に入力される請求項13記載の有機EL駆動回路。

50

【請求項 16】

複数の前記 IC の前記第 1 および第 2 の出力側トランジスタは、それぞれの前記入力側トランジスタに対してそれぞれの前記第 3 の出力側トランジスタより手前にそれぞれ配置されている請求項 15 記載の有機 EL 駆動回路。

【請求項 17】

基準電流に基づいて有機 EL パネルの端子ピン対応に駆動電流を生成して前記有機 EL パネルを電流駆動する IC を複数個有する有機表示装置において、

各前記 IC は、それぞれ、外部から前記基準電流に対して同相で前記基準電流の電流値に相当する電流値の電流を入力するために設けられた第 1 および第 2 の入力端子と、第 1 および第 2 の出力端子と、前記第 1 の入力端子から入力される電流、前記第 2 の入力端子から入力される電流、そして前記基準電流のいずれか 1 つを選択するための基準電流選択回路と、前記基準電流選択回路により選択された電流を前記基準電流に対して逆相に反転させる電流反転回路と、この電流反転回路の電流を入力側トランジスタに受けて第 1 および第 2 の出力側トランジスタに前記基準電流の電流値に相当する電流値の電流をそれぞれ生成して前記第 1 および第 2 の出力端子に出力するカレントミラー回路とを備え、

各前記 IC は矩形であって、前記第 1 および第 2 の入力端子は、複数の前記 IC が隣接して配置されたときに隣接することになる両側の辺にそれぞれ配置され、かつ、前記第 1 および第 2 の出力端子も同様に前記両側の辺にそれぞれ配置されている有機 EL 表示装置

10

【請求項 18】

各前記 IC は、さらに前記基準電流を発生する基準電流発生回路を有し、各前記 IC の前記カレントミラー回路は、さらに第 3 の出力側トランジスタをそれぞれ有し、各前記第 3 の出力側トランジスタの出力電流に応じて前記駆動電流がそれぞれの前記 IC において生成される請求項 17 記載の有機 EL 表示装置。

20

【請求項 19】

複数の前記 IC の 1 つの前記第 1 あるいは第 2 の出力側トランジスタの出力電流がその前記第 1 あるいは第 2 出力端子を介して残りの前記 IC の少なくとも 1 つの前記第 1 あるいは第 2 の入力端子に入力される請求項 18 記載の有機 EL 表示装置。

【請求項 20】

複数の前記 IC の前記第 1 および第 2 の出力側トランジスタは、それぞれの前記入力側トランジスタに対してそれぞれの前記第 3 の出力側トランジスタより手前にそれぞれ配置されている請求項 19 記載の有機 EL 表示装置。

30

【発明の詳細な説明】**【技術分野】****【0001】**

この発明は、有機 EL 駆動回路およびこれを用いる有機 EL 表示装置に関し、詳しくは、携帯電話機等で使用される有機 EL 表示装置において、カラムドライバ IC 間での特性の相違による有機 EL 表示装置の画面上での輝度むらを低減でき、カラムドライバ IC の製造コストを低減でき、特に、高輝度カラー表示に適した有機 EL 駆動回路および有機 EL 表示装置に関する。

40

【背景技術】**【0002】**

携帯電話機用のアクティブ型あるいはパッシブ型の有機 EL 表示装置の有機 EL 表示パネルでは、カラムライン（有機 EL 素子の陽極側駆動ラインあるいはデータ線）の数が 396 個（132 × 3）の端子ピン、ローラインが 162 個の端子ピンを持つものが提案され、カラムライン、ローラインの端子ピンはこれ以上に増加する傾向にある。

このような端子ピン数の増加により、特に、カラムライン側では複数のカラムドライバ IC が必要になる。例えば、QVGA のフルカラーでは三原色の R, G, B 各 120 端子ピンの 360 端子ピンとなり、現在ところ 3 ドライバは必要になる。そのためカラムドライバ IC 相互間の特性の相違、特に、その駆動電流のばらつきにより、有機 EL 表示装置

50

の画面上に輝度むらが発生する問題がある。

このような問題を解決するための発明として、出願人は、特開 2003-288045 号「有機 EL 駆動回路およびこれを用いる有機 EL 表示装置」を出願している（特許文献 1）。これは、集積されたペア抵抗の抵抗値が実質的に等しいことを利用してカラムドライバ IC 間での駆動電流のばらつきを抑える技術である。

【特許文献 1】特開 2003-288045 号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかし、特許文献 1 のカラムドライバ IC は、マスターチップとスレーブチップでそれぞれ基準電流発生回路の構成が相違するために、それぞれにドライバ IC を製造しなければならない。そのため、ドライバ IC の製造コストが高くなる問題がある。

一方、有機 EL パネルは、大型化の傾向にあって、パネルが大きい場合には、カラムドライバ IC は 3 個か、それ以上必要になる。その上、端子ピン数の増加は、端子ピン間の駆動電流のばらつきも大きくするので、より精度の高い駆動電流が要求される。前記のペア抵抗を利用する駆動電流の制御は、ペア抵抗の抵抗値のばらつきが駆動電流値に影響を与えるので、現在の輝度むら低減の要求には十分応えられなくなってきている。

この発明の目的は、このような従来技術の問題点を解決するものであって、有機 EL パネルを電流駆動するカラムドライバ IC 間での特性の相違による有機 EL 表示装置の画面上での輝度むらを低減でき、カラムドライバ IC の製造コストを低減できる有機 EL 駆動回路を提供することにある。

この発明の他の目的は、有機 EL パネルを電流駆動するカラムドライバ IC 間での特性の相違による有機 EL 表示装置の画面上での輝度むらを低減でき、カラムドライバ IC の製造コストを低減できる有機 EL 表示装置を提供することにある。

【課題を解決するための手段】

【0004】

このような目的を達成するためのこの発明の有機 EL 駆動回路あるいはこれを用いる有機 EL 表示装置の特徴は、基準電流に基づいて有機 EL パネルの端子ピン対応に駆動電流を生成して有機 EL パネルを電流駆動する IC 化された有機 EL 駆動回路において、

この IC の外部から基準電流に対して同相で基準電流の電流値に相当する電流値の電流を入力するために設けられた第 1 および第 2 の入力端子と、第 1 および第 2 の出力端子と、第 1 の入力端子から入力される電流、第 2 の入力端子から入力される電流、そして基準電流のいずれか 1 つを選択するための基準電流選択回路と、基準電流選択回路により選択された電流を基準電流に対して逆相に反転させる電流反転回路と、この電流反転回路の電流を入力側トランジスタに受けて第 1 および第 2 の出力側トランジスタに基準電流の電流値に相当する電流値の電流をそれぞれ生成して第 1 および第 2 の出力端子に出力するカレントミラー回路とを備えていて、

前記 IC は矩形であって、第 1 および第 2 の入力端子は、この IC と同様な回路構成の IC が隣接して配置されたときに隣接することになる両側の辺にそれぞれ配置され、かつ、第 1 および第 2 の出力端子も同様に前記両側の辺にそれぞれ配置されているものである。

【発明の効果】

【0005】

このように、この発明にあっては、第 1 および第 2 の入力端子が、この IC と同様な IC が隣接して配置されたときに隣接することになる両側の辺にそれぞれ配置され、第 1 および第 2 の出力端子も同様に前記両側の辺にそれぞれ配置されているので、この IC を有機 EL パネルのカラムライン側の辺に沿って複数個隣接して配置した場合に、基準電流を発生している IC（マスターチップ）からこれの右側の IC（スレーブチップ）、これの左側の IC（スレーブチップ）、そしてこれら両側の IC（スレーブチップ）のいずれかの IC に、発生した基準電流あるいはこれに対応する電流を第 1 あるいは第 2 の出力端子

を介して送することができる。隣接するいずれかのICは、第1あるいは第2の出力端子から送される電流を隣接する辺に設けられた第1あるいは第2の入力端子を介して受けることができ、自己の基準電流選択回路によりそれを自己のドライバICにおける基準電流として利用することができる。

この場合、入力端子と出力端子とは各ICにおいて相互に隣接した辺に設けられているので、IC間の端子接続ラインは短くなり、送電する電流値の変動はほとんど生じない。

これにより、隣接配置されるICの基準電流の電流値を、基準電流を発生しているICの基準電流の電流値に実質的に揃えることができるので、有機ELパネルを電流駆動するカラムドライバIC間での特性の相違による有機EL表示装置の画面上での輝度むらを低減できる。さらに、マスターであっても、スレーブであっても同一構成ICを使用でき、これらを接近させて多数配列できるので、カラムドライバICの製造コストを低減できる。

10

その結果、この発明は、携帯電話機等において、有機ELパネルの端子ピン数が増加することによって、有機ELパネルのカラムライン側の辺に沿って複数のICを配列した場合であっても、有機ELパネルを電流駆動するカラムドライバIC間での特性の相違による有機EL表示装置の画面上での輝度むらを低減でき、カラムドライバICの製造コストを低減できる。

なお、この明細書におけるカラムドライバは、アクティブマトリクス型の有機ELパネルにおいてデータ線を駆動するドライバであってもパッシブマトリクス型の有機ELパネルのカラムラインを駆動するドライバであってもよいので、これらを区別していない

20

【発明を実施するための最良の形態】

【0006】

図2において10は、アクティブマトリクス型の有機EL表示装置であって、11、12、13は、その有機EL駆動回路のカラムドライバIC（以下ドライバIC）である。

ドライバIC11～13は、同一の回路構成の有機EL駆動回路を有し、それぞれが隣接して配置されている。これら3個のドライバICは、水平1ライン分の有機ELパネル5のカラム方向の端子ピンの駆動を分割して受け持つ。これら3個のドライバICには、それぞれに、IC外部から供給される電流と内部で発生した電流のいずれかを選択してそれを基準電流として内部回路に供給するために基準電流発生回路1と基準電流選択回路2、そして隣接するICの1つあるいは2つへ基準電流を転送するための2つの出力端子、基準電流を隣接するICの1つから受けるための2つの入力端子とが設けられている。

30

なお、図2において、ドライバIC12は、マスタドライバであって、これの両側にあるドライバIC11とドライバIC13とがスレーブドライバである。

【0007】

ドライバIC11～13は、図1にドライバ12を例としてその詳細を示すように、それぞれ基準電流発生回路1と、基準電流選択回路2、ホワイトバランス調整回路3、基準電流分配型D/A変換回路4等とからなる。基準電流分配型D/A変換回路4には、有機ELパネルの各端子ピン対応に設けられたD/A変換ブロック(D/A)4a, ... 4i, ... 4nが設けられている。

40

基準電流分配型D/A変換回路4は、トランジスタTNaを入力側トランジスタとし、D/A変換ブロック4a～4nのそれぞれを構成する出力側トランジスタ群を有する1つのカレントミラー回路で構成されていて、この1つのカレントミラー回路が電流スイッチングD/A変換回路になっている。このカレントミラー回路の出力側トランジスタ群と各出力側トランジスタにそれぞれ接続されたスイッチ回路群(図示せず)でD/A変換ブロック4a～4nを構成する。このことで、トランジスタTNaを駆動する基準駆動電流が端子ピン対応のD/A変換ブロック4a～4nにそれぞれ分配されるとともに、各D/A変換ブロック4a～4nは、基準駆動電流に従って自己に対応して与えられた表示データDATに応じてスイッチ回路群をON/OFFすることで表示データDATのD/A変換をして端子ピン対応に各D/A変換ブロック4a～4nがそれぞれに表示データDATの値に

50

対応するアナログ変換電流を生成する。

なお、図1における出力端子 $P_1, \dots, P_i, \dots, P_n$ は、有機ELパネル5の端子ピンに対応して設けられたドライバIC12の出力端子であり、SWは、出力端子 $P_1, \dots, P_i, \dots, P_n$ に対応して設けられたリセットスイッチである。

【0008】

ホワイトバランス調整回路3は、R、G、B対応にそれぞれ設けられていて、レジスタ7に記憶されたR、G、B対応のデータがそれぞれにこれに内蔵されたD/A変換ブロック(D/Aブロック)3aに設定される。これは、R、G、BそれぞれにデータをD/A変換することでホワイトバランス調整された基準駆動電流をそれぞれに生成する回路である。基準電流発生回路1から基準電流分配型D/A変換回路4までの各回路は、それぞれ表示色(三原色)のR、G、B対応に設けられているが、ここでは、発明がR、G、Bのそれぞれに直接関係していないことと、これら回路が同じ回路構成であるので、R、G、Bの区別せずに以下説明する。

10

なお、レジスタ7に記憶されるデータは、装置外部から入力データとしてMPU9に供給されたR、G、B対応のデータをMPU9が受けて一旦内部の不揮発性メモリに記憶し、このデータをMPU9がレジスタ7に転送することでレジスタ7に設定される。

【0009】

図2に戻り、12a~12cは、それぞれドライバIC12の入力端子(図面上の黒角端子)であり、入力端子12a、12cは前段ドライバIC11側に隣接する辺にそれぞれ設けられ、入力端子12bは後段ドライバIC13側に隣接する辺に設けられている。12d、12eは、それぞれ、出力端子 $P_1, \dots, P_i, \dots, P_n$ とは別の、ドライバIC12の出力端子(図面上の白角端子)である。出力端子12dは前段ドライバIC11側に隣接する辺に設けられ、出力端子12eは後段ドライバIC13側に隣接する辺に設けられている。そしてドライバIC12の左右の辺では入力端子と出力端子との上下の位置関係が入れ替わっている。

20

すなわち、入力端子12bは、後段ドライバIC13側の隣接する辺の出力端子13dとその位置が対応していて、出力端子12eは、後段ドライバIC13側の隣接する辺の入力端子13aとその位置が対応している。入力端子12aは、前段ドライバIC11側の隣接する辺の出力端子11eとその位置が対応していて、出力端子12dは、前段ドライバIC11側の隣接する辺の入力端子11bとに位置が対応している。これにより隣接するIC間で出力端子(白角端子)と入力端子(黒角端子)がそれぞれに対応する位置関係で配置されることになる。

30

【0010】

ドライバIC11、13の各入力端子11a~11c、13a、13b(図示せず)、13cと各出力端子11d、11e、13d、13e(図示せず)とは、各入力端子12a~12cと各出力端子12d、12eにそれぞれ対応する端子である。それぞれ前記の入力端子12a~12bと出力端子12d~12eと同様の関係で配置されている。入力端子11a~11b、12a~12b、13a~13bと、出力端子11d~11e、12d~12e、13d~13eとは、基準電流値に相当する電流 I_r をIC間で授受するための端子である。ここでは、これら入力端子と出力端子とがそれぞれ矩形の各辺に配置されるドライバICの端子ピンのうちのICが隣接して配置されたときに相互に隣接することになる辺において実質的に対応する位置にあるものが選択され、割当てられている。

40

これにより、出力端子12dは、入力端子11bに隣接し、短い配線ライン14によりこれら端子が接続される。出力端子12eは、入力端子13aに隣接し、短い配線ライン15によりこれら端子が接続される。

なお、入力端子11c、12c、13cは、それぞれマスター/スレーブの設定信号SELが入力される端子であり、隣接するICと対応関係である必要がないので任意の辺の端子ピンが割当てられてもよい。また、ICは矩形であるが、その矩形は、通常のICとは異なり、有機ELパネル5のカラム方向の端子ピンに沿って細長い、短冊状ものとなる。なお、図2では、設定信号SELを設定するために必要なクロックCLKの入力端子1

50

2 f (図 1 参照) は省略してある。

【 0 0 1 1 】

図 2 に示すように、基準電流分配型 D / A 変換回路 4 の各 D / A 変換ブロック 4 a ~ 4 n は、MPU 9 からレジスタ 6 を介して表示データ DAT を受けてホワイトバランス調整回路 3 (その D / A ブロック 3 a) から供給された基準駆動電流を表示データ値分増幅してそのときどきの表示輝度に応じた駆動電流 (通常はシンク電流) を生成する。そして、生成されたそれぞれの駆動電流は、カラム (データ線) 側の出力端子 P 1 , ... P i , ... P n を介してそれぞれにアクティブマトリックス型の有機 EL パネル 5 のピクセル回路 5 a に送出されてピクセル回路 5 a に内蔵されたコンデンサ C を充電しする。これによりピクセル回路 5 a の有機 EL 素子 5 b を駆動する電流が生成される。

10

また、図 2 に示すように、有機 EL パネル 5 における X a... X i... X n , X 2a... X 2i... X 2n , X 3a... X 3i... X 3n は、それぞれドライバ IC 1 1 ~ 1 3 の出力端子 P 1... P i... P n に対応するデータ線 (カラムライン) である。

【 0 0 1 2 】

図 1 , 図 2 に示すように、基準電流発生回路 1 は、基準電流源 1 a と電流反転回路 1 b とからなり、これらの中に基準電流選択回路 2 が設けられている。

基準電流選択回路 2 は、コントロール回路 8 からマスター / スレーブの設定信号 SEL を受けて内部の基準電流 I ref が、前段 IC からの電流 I r が、後段 IC からの電流 I r がの、3 者のうちいずれか 1 つの電流を基準電流として選択する回路である。

これは、アナログスイッチ (トランスマッションゲート) 2 a ~ 2 c とシフトレジスタ 2 d とからなる。シフトレジスタ 2 d は、フリップフロップ (FF) を 3 段従属接続した回路である。なお、設定信号 SEL は、後述するように 3 ビットデータとしてクロック CL に応じてシフトレジスタ 2 d に設定される。

20

アナログスイッチ 2 a , 2 b は、それぞれ入力端子 1 2 a , 1 2 b に対応して設けられ、それぞれその一端がこれら入力端子 1 2 a , 1 2 b にそれぞれ接続されている。アナログスイッチ 2 c の一端は、基準電流源 1 a に接続され、これから基準電流 I ref を受ける。アナログスイッチ 2 a ~ 2 c の他端は共通に接続されて電流反転回路 1 b の入力端子に接続されている。

【 0 0 1 3 】

シフトレジスタ 2 d は、初段フリップフロップの入力端子側が入力端子 1 2 c に接続され、フリップフロップの各段の Q 出力がアナログスイッチ 2 a ~ 2 c の ON / OFF コントロール信号として非反転側入力端子に、Q バー出力 (Q 出力の反転出力側) が反転側入力端子にそれぞれ接続されている。そこで、アナログスイッチ 2 a ~ 2 c は、そのうち、データ “ 1 ” にセットされたフリップフロップに対応するスイッチが駆動される。シフトレジスタ 2 d の初段フリップフロップはアナログスイッチ 2 a に対応し、次段フリップフロップはアナログスイッチ 2 b に対応し、最終段フリップフロップはアナログスイッチ 2 c に対応している。そこで、“ 1 ” がセットされたフリップフロップに対応するアナログスイッチが ON となり、データ “ 0 ” がセットされたフリップフロップにより駆動されるアナログスイッチが OFF となる。

30

シフトレジスタ 2 d は、クロック入力端子 2 f (図 2 には図示せず) からシフトクロック CL を受けて、初段に入力されたデータ “ 1 ” を順次シフトして各段のフリップフロップに 3 ビットのデータを記憶する。これにより設定信号 SEL が各ドライバ IC に設定されてマスター / スレーブの選択が行われる。なお、シフトレジスタ 2 d は、初期状態では “ 0 ” リセットされている。

40

そこで、アナログスイッチ 2 a を ON とし、他のスイッチを OFF とするときには、シフトレジスタ 2 d に設定信号 SEL = “ 0 0 1 ” が設定される。アナログスイッチ 2 b を ON とし、他のスイッチを OFF とするときには、シフトレジスタ 2 d に設定信号 SEL = “ 0 1 0 ” が設定される。アナログスイッチ 2 c を ON とし、他のスイッチを OFF とするときには、シフトレジスタ 2 d に設定信号 SEL = “ 1 0 0 ” が設定される。これらの 3 ビットデータは、コントロール回路 8 から入力端子 1 2 c にシフトクロック CL とと

50

もに送出される。

なお、ドライバIC 11, 12の入力端子11c, 13cにも同時にコントロール回路8からそれぞれドライバICに基準電流を選択する3ビットのデータが入力される。

【0014】

基準電流選択回路2は、初段のフリップフロップが“1”にセットされたときには、ONしたアナログスイッチ2aを介して入力端子12aから入力される前段ICから送出される電流 I_r を選択し、そのドライバICがスレーブチップとなる。次段のフリップフロップが“1”にセットされたときには、ONしたアナログスイッチ2bを介して入力端子12bから入力される後段ICから送出される電流 I_r を選択し、そのドライバICがスレーブチップとなる。最終段のフリップフロップが“1”にセットされたときには、ONしたアナログスイッチ2cを介して基準電流源1aの基準電流 I_{ref} を選択する。これによりそのドライバICはマスターチップとなる。なお、基準電流源1aは、+VDDの電源ラインに接続され電力供給を受ける。

10

基準電流選択回路2により選択された電流は、電流反転回路1bに加えられる。電流反転回路1bは、Nチャネルの入力側MOSトランジスタT_{N1}と出力側MOSトランジスタT_{N2}からなるカレントミラー回路で構成されている。ダイオード接続のトランジスタT_{N1}は、そのドレインがアナログスイッチ2a~2cの共通の出力側端子に接続され、そのソースが接地されている。

トランジスタT_{N2}は、そのドレインがホワイトバランス調整回路3のカレントミラー回路の入力側トランジスタT_{Pa}のドレインに接続され、そのソースが接地されている。

20

これにより、基準電流源1aの基準電流 I_{ref} あるいは入力端子12a, 12bから吐き出される基準電流 I_{ref} と同相の電流 I_r のいずれかの電流が電流反転回路1bに入力されて、電流反転回路1bは、シンク電流(逆相の電流)をミラー電流として発生してホワイトバランス調整回路3の入力側トランジスタT_{Pa}のドレインに供給する。

【0015】

ホワイトバランス調整回路3は、入力側の電流をミラー電流として出力側に複製して出力端子12d, 12eと基準電流分配型D/A変換回路4とにそれぞれ電流を出力する回路である。これは、ダイオード接続のPチャネルの入力側MOSトランジスタT_{Pa}と、2個の出力側PチャネルのMOSトランジスタT_{P1}, T_{P2}、そして多数の出力側トランジスタで構成されるD/Aブロック3aとからなる1つのカレントミラー回路で構成された電流スイッチングD/Aである。D/Aブロック3aの出力側トランジスタ群にはスイッチ回路(図示せず)がそれぞれ直列に接続されている。トランジスタT_{P1}, T_{P2}は、スレーブチップとなるドライバに基準電流値に相当する電流値の電流 I_r を前段ICと後段ICに送出する回路である。

30

出力側の各トランジスタT_{P1}, T_{P2}のソースとD/A3aの出力側トランジスタT_{Pc}~T_{Pm}のソースは、電源ライン+VDDより高い電圧の電源ライン+V_{cc}に接続されている。各トランジスタT_{P1}, T_{P2}のドレインは、それぞれドライバIC12の両側辺にある出力端子12d, 12eに接続されている。

D/A変換ブロック3aは、レジスタ7に記憶されたデータを受けてそれをD/A変換してホワイトバランス調整された基準駆動電流 I_{ro} を生成してこれを基準電流分配型D/A変換回路4に送出する。

40

ここで、トランジスタT_{Pa}と各トランジスタT_{P1}, T_{P2}とのチャネル幅(ゲート幅)は、1:1で等しい。各トランジスタT_{P1}, T_{P2}のドレインからは、それぞれ出力端子12d, 12eに基準電流 I_{ref} と実質的に等しい電流値の電流 I_r が基準電流 I_{ref} と同相の吐き出し電流として出力される。トランジスタT_{P1}, T_{P2}は、図面左側の入力側トランジスタT_{Pa}に対してD/A3aよりも手前に配置されている。これにより高い精度で基準電流 I_{ref} と実質的に等しい電流値の電流 I_r を発生することができる。

【0016】

各D/A変換ブロック4は、電流スイッチングD/Aとして8ビットの表示データの重み桁に対応する重み桁の多数の出力側トランジスタとこれに直列に接続されたスイッチ回

50

路（図示せず）とで構成されている。重み桁に対応する各スイッチ回路がレジスタ6の表示データDATに応じてON/OFFされて、選択された出力側トランジスタの出力電流を合計した電流値をアナログ変換値として発生する。その合計電流値の出力が駆動電流として出力端子P1, ... Pi, ... Pnにそれぞれ出力される。

【0017】

さて、ここでは、駆動電流を生成する基礎となる基準電流の発生に関しては、前記した設定信号SELの3ビットのデータ設定によりドライバIC12がマスターチップ、ドライバIC11, 13がスレーブチップとなっている。

ドライバIC12の出力端子12dは、配線ライン14（図2参照）を介してスレーブチップ11の入力端子11bに接続され、ドライバIC12の出力端子12eは、配線ライン15（図2参照）を介してスレーブチップ13の入力端子13aに接続されている。配線ライン14, 15は、隣接する端子間を接続するもので非常に短いものである。

そこで、マスターチップのドライバIC12のトランジスタTP1のドレインの電流が出力端子12d, 配線ライン14を介してスレーブチップのドライバIC11の入力端子11bに短いパスで入力される。また、トランジスタTP2のドレインの電流が出力端子12e, 配線ライン15を介してスレーブチップのドライバIC13の入力端子13aに短いパスで入力される。

出力端子12a, 12bは、グランドGNDに接続されている。なお、このとき各トランジスタTP1, TP2の出力電流は、 μ Aオーダのものであるので、直接グランドGNDへ流しても、全体の消費電力はほとんど増加しない。スレーブチップのドライバIC11の出力端子11a, 11d, 11eおよびスレーブチップのドライバIC13の出力端子13b, 13d, 13eも同様にグランドGNDに接続されている。

【0018】

ドライバIC12は、マスターチップであるので、入力端子12aからの電流の入力はない。そこで、コントロール回路8から設定信号SEL = "100"を受けてそれがシフトレジスタ2dに記憶されている。これにより、基準電流源1aが選択され、基準電流Irefが電流反転回路1bに入力される。

一方、スレーブチップのドライバIC11は、コントロール回路8から設定信号SEL = "010"を受けてそれがシフトレジスタ2dに記憶されている。これにより、入力端子11bを選択して、自己の基準電流源1aからの基準電流Irefではなく、後段のマスタードライバIC12のトランジスタTP1のドレインから送出された、その基準電流電流Irefに対応する電流値の電流Irを入力端子11b, アナログスイッチ2bを介してこれの電流反転回路1bに受ける。

スレーブチップのドライバIC13もコントロール回路8から設定信号SEL = "001"を受けてそれがシフトレジスタ2dに記憶されている。これにより、入力端子13aを選択して、前段のドライバIC12のトランジスタTP2のドレインから送出された基準電流Irefに対応する電流値の電流Irを入力端子13a, アナログスイッチ2cを介してこれの電流反転回路1bに受ける。

【0019】

これにより、ドライバIC11, 13は、ドライバIC12の基準電流発生回路1の基準電流源1aの基準電流Irefの電流値に相当するこれと同相の電流値の電流Irを基準電流として自己の内部回路に供給する。ドライバIC11, 13は、この電流Ir（基準電流Ir）により、ドライバIC12と同様に同じ各ドライバIC11, 13の電流反転回路1bを経てそれぞれのホワイトバランス調整回路3の入力側PチャンネルのMOSトランジスタTPaがそれぞれ駆動される。

その結果、スレーブチップのドライバIC11, 13のホワイトバランス調整回路3は、それぞれ基準電流Irに基づいてD/A3aにおいて基準駆動電流Iroをそれぞれ生成して、それぞれにそれぞれの基準電流分配型D/A変換回路4を駆動する。それにより、有機ELパネル5の端子ピンに送出する駆動電流がそれぞれのドライバIC11, 13で生成される。

10

20

30

40

50

このように、ドライバIC12の基準電流発生回路1aの基準電流 I_{ref} を基準として短い配線ライン14, 15を介して両隣のスレーブチップのドライバIC11, 13が実質的に同じ電流値の基準電流により同じ回路構成の回路を経て駆動電流を発生するので、各駆動電流のばらつきが低減される。

【0020】

ところで、実施例では、電流反転回路1bをカレントミラー回路としているが、これは、例えば、オペアンプ等で構成される一般的な電流反転アンプが用いられてもよい。いずれの場合も、電流反転回路1bの入力電流値と出力電流値とが等しくなくてもよい。それぞれのドライバICにおいて、マスターチップにおける基準電流源1aの基準電流 I_{ref} の電流値に相当する電流値の電流がそれぞれの入力端子、出力端子に得られる関係にあればよい。

10

また、実施例における出力端子12d, 12e等に基準電流 I_r を出力する回路は、基準電流 I_{ref} あるいは基準電流 I_r により入力側トランジスタが駆動され、出力側トランジスタに基準電流 I_r を発生するカレントミラー回路であれば、ホワイトバランス調整回路であることに限定されるものではない。

また、実施例で説明したホワイトバランス調整回路3は、R, G, B対応にそれぞれ設けられているとしているが、ホワイトバランス調整回路3を1つとしてD/A3aをR, G, B対応にそれぞれ設けて1個のカレントミラー回路として構成してもよい。この場合には、基準電流発生回路1からホワイトバランス調整回路3までをR, G, Bに対して共通の回路とすることができる。

20

【0021】

さらに、実施例における入力端子12a, 12bと出力端子12d, 12eとは、それぞれ隣接して配置されたICにおける隣接する辺において対応する位置に入力端子と出力端子とが配置されるように左右の辺において上下の位置関係を逆にして対応させているが、これら端子は、対応する位置でなく、単に隣接する辺に配置しても端子間の接続ラインが多少長くなるだけか、配線がクロスするだけである。そこで、これら端子は、複数のICを隣接配置した際に必ずしも対応する位置関係で配置される必要はない。

また、実施例の基準電流選択回路2は、コントロール回路8からマスター/スレーブの設定信号SELを受けて内部の基準電流 I_{ref} か、外部から入力される電流 I_r かのいずれかを選択している。しかし、この基準電流選択回路2は、ROMデータと同一層にコンタクト配線パターンを形成してそのデータの書込みと同時に選択すべき側のコンタクトに接続するようにすることができる。このようにすれば、製造工程のROMのデータ書込みの際のマスクオブション処理で選択される選択回路とすることができる。したがって、この場合には選択するためのビットデータを基準電流選択回路2に入力する必要がない。しかも、この接続については、特別な論理回路等を伴うハードウェア回路が不要である。また、選択回路は、各配線ラインにヒューズを設けておき、製造過程で一方のヒューズを遮断するような回路であってもよい。

30

なお、実施例のように基準電流選択回路2がデータ設定によって、基準電流について自己の基準電流源1aの基準電流 I_{ref} か、外部から入力された電流 I_r かの選択をするものであれば、スレーブチップのドライバICについては、表示装置にドライバICが組み込まれ、画面を表示したときの、画面上の輝度むらを見て後から各IC内部の基準電流 I_{ref} を選択してマスターチップから切り離して動作させることが可能である。

40

【産業上の利用可能性】

【0022】

以上説明してきたが、実施例では、有機EL表示装置に3個のドライバICを設けた例を挙げているが、さらにドライバIC11の前段にスレーブドライバICを設けて、ドライバIC11の出力端子11aを前段のスレーブドライバICの入力端子に接続することで、前段のスレーブドライバICにドライバIC11の電流 I_r を送出することが可能である。同様に、ドライバIC13の後段にスレーブドライバICをさらに設けてもドライバIC13の電流 I_r を送出することが可能である。この場合には、スレーブドライバIC

50

Cは、スレーブドライバであるとともにマスタードライバとなる。スレーブドライバICの出力端子はグランドGNDには接続されない。

したがって、この発明は、4個か、それ以上のドライバICが有機EL表示装置に設けられていても適用できる。もちろん、スレーブチップは、ドライバIC11, 13のいずれか1つだけであってもよい。

また、実施例では、MOSFETトランジスタを主体として構成しているが、バイポーラトランジスタを主体として構成してもよいことはもちろんである。また、実施例のNチャンネル型(あるいはnpn型トランジスタ)は、Pチャンネル型(あるいはpn型)トランジスタに、Pチャンネル型(あるいはpn型)トランジスタは、Nチャンネル(あるいはnpn型)トランジスタに置き換えることができる。

10

【図面の簡単な説明】

【0023】

【図1】図1は、この発明の有機EL駆動回路を適用した一実施例の有機EL表示装置のカラムドライバの内部構成の説明図である。

【図2】図2は、有機EL表示装置の全体的な構成を示すブロック図である。

【符号の説明】

【0024】

- 1 ... 基準電流発生回路、2 ... 基準電流選択回路、
- 3 ... ホワイトバランス調整回路、
- 4 ... 基準電流分配型D/A変換回路、
- 5 ... 有機ELパネル、5a ... ピクセル回路、
- 5b ... 有機EL素子、6, 7 ... レジスタ、
- 8 ... コントロール回路、9 ... MPU、
- 9 ... ピクセル回路、9a ... 有機EL素子、
- 10 ... 有機EL表示装置、
- 12, 11, 13 ... カラムドライバIC、
- 14, 15 ... 配線ライン、
- TN1, TN2... NチャンネルMOSトランジスタ、
- TP1, TP2, TP... PチャンネルMOSトランジスタ。

20

フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 3 F
G 0 9 G	3/20	6 2 3 R
G 0 9 G	3/20	6 4 1 D
G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/20	6 8 0 G
H 0 5 B	33/14	A

