

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2006-23402
(P2006-23402A)

(43) 公開日 平成18年1月26日 (2006.1.26)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K007
G09G 3/20 (2006.01)	G09G 3/30 K	5C080
H01L 51/50 (2006.01)	G09G 3/20 611H	
	G09G 3/20 612T	
	G09G 3/20 621A	
審査請求 未請求 請求項の数 11 O L (全 57 頁) 最終頁に続く		

(21) 出願番号	特願2004-199831 (P2004-199831)	(71) 出願人	000005049
(22) 出願日	平成16年7月6日 (2004.7.6)		シャープ株式会社
			大阪府大阪市阿倍野区長池町22番22号
		(74) 代理人	100080034
			弁理士 原 謙三
		(74) 代理人	100113701
			弁理士 木島 隆一
		(74) 代理人	100116241
			弁理士 金子 一郎
		(72) 発明者	沼尾 孝次
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		Fターム (参考)	3K007 AB17 BA06 GA00
			5C080 AA06 BB05 DD05 EE28 FF11
			JJ02 JJ03 JJ04

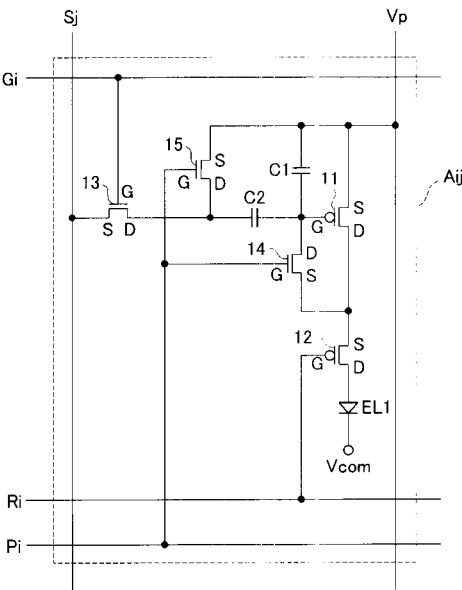
(54) 【発明の名称】 表示装置およびその駆動方法

(57) 【要約】

【課題】 駆動期間を長くすることなく、駆動用トランジスタの閾値電圧のばらつきに起因する輝度のむらを補償することができる表示装置および駆動方法を提供する。

【解決手段】 画素回路Aijは、ゲート配線Giとソース配線Sjとの組み合わせに対応して設けられ、電源配線Vpからの電流によって駆動される有機EL素子EL1と、ゲート配線Giからの走査信号によって導通が制御され、導通時にソース配線Sjからのデータを入力するスイッチ用トランジスタ13と、電源配線Vpから有機EL素子EL1への電流の供給を上記データに応じて制御する駆動用トランジスタ13と、ブランキングを行うためのスイッチ用トランジスタ12と、ブランキングが行われている期間に、駆動用トランジスタ13の閾値電圧のばらつきを補償するために駆動用トランジスタ13のゲート端子とソース端子またはドレイン端子とを短絡させるスイッチ用トランジスタ14とを備える。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

走査信号が供給される複数のゲート配線と、

表示のためのデータが供給される少なくとも 1 つのソース配線と、

上記複数のゲート配線と上記少なくとも 1 つのソース配線との組み合わせに対応して設けられ、電源から供給される電流によって駆動される電気光学素子と、

上記ゲート配線に供給された走査信号によって導通が制御され、導通時に上記ソース配線からのデータを出力する第 1 のスイッチ用トランジスタと、

上記電源と上記電気光学素子との間に介在し、上記電源から上記電気光学素子への電流の供給を、第 1 のスイッチ用トランジスタから出力されたデータに応じて制御する駆動用トランジスタと、

上記電気光学素子の表示を消去するブランキングを行うブランキング手段と、

上記ゲート配線と並行して設けられ、上記ブランキング手段を制御する制御配線と、

上記ブランキングが行われているブランキング期間に、上記駆動用トランジスタの閾値電圧のばらつきを補償するために、上記駆動用トランジスタのゲート端子とソース端子またはドレイン端子とを短絡させる第 2 のスイッチ用トランジスタとを備えることを特徴とする表示装置。

10

【請求項 2】

上記ブランキング手段は、

上記駆動用トランジスタと上記電気光学素子との間に挿入され、上記制御配線により制御されて駆動用トランジスタから上記電気光学素子へ流れる電流を止める第 3 のスイッチ用トランジスタから構成されることを特徴とする請求項 1 記載の表示装置。

20

【請求項 3】

上記駆動用トランジスタのゲート端子とソース端子またはドレイン端子との間の電位差を保持するための電位差保持手段をさらに備え、

第 3 のスイッチ用トランジスタは、上記駆動用トランジスタの閾値電圧のばらつきを補償するために、上記第 2 のスイッチ用トランジスタが ON 状態である期間に、ON 状態から OFF 状態に移行して、上記駆動用トランジスタから上記電気光学素子へ流れる電流を止めることを特徴とする請求項 2 記載の表示装置。

30

【請求項 4】

上記電位差保持手段は、

駆動用トランジスタのゲート端子に一端が接続され、駆動用トランジスタのソース端子またはドレイン端子に他端が接続された第 1 のコンデンサと、

駆動用トランジスタのゲート端子に一端が接続され、第 1 のスイッチ用トランジスタに他端が接続された第 2 のコンデンサとを含み、

上記第 2 のスイッチ用トランジスタが ON 状態である期間に、上記第 2 のコンデンサの他端を所定電位配線に接続するための第 4 のスイッチ用トランジスタがさらに備えられていることを特徴とする請求項 3 記載の表示装置。

【請求項 5】

上記電位差保持手段は、

駆動用トランジスタのゲート端子に一端が接続され、駆動用トランジスタのソース端子またはドレイン端子に他端が接続された第 1 のコンデンサを含み、

駆動用トランジスタのゲート端子に一端が接続され、第 1 のスイッチ用トランジスタに他端が接続された第 2 のコンデンサと、

上記第 2 のスイッチ用トランジスタが ON 状態である期間に、上記第 2 のコンデンサの他端を上記駆動用トランジスタのゲート端子に接続するための第 5 のスイッチ用トランジスタとがさらに備えられていることを特徴とする請求項 3 記載の表示装置。

40

【請求項 6】

上記電位差保持手段は、

駆動用トランジスタのゲート端子に一端が接続され、駆動用トランジスタのソース端子

50

またはドレイン端子に他端が接続された第1のコンデンサを含み、

駆動用トランジスタのゲート端子に一端が接続され、第1のスイッチ用トランジスタに他端が接続された第2のコンデンサがさらに備えられ、

上記第1のスイッチ用トランジスタは、上記第3のスイッチ用トランジスタがOFF状態である期間に、上記第2のコンデンサの他端をソース配線に接続して、上記第2のコンデンサの電荷を設定するようになっていることを特徴とする請求項3記載の表示装置。

【請求項7】

上記ソース配線に対して、上記ソース配線を共用する各駆動用トランジスタの出力状態を指示するための指示データを、上記ソース配線を共用する駆動用トランジスタ1つにつきA個（Aは2以上の整数）ずつ供給する指示データ供給手段をさらに備え、

上記第1のスイッチ用トランジスタは、上記走査信号に従って、上記ソース配線に出力された指示データの中から上記駆動用トランジスタに対応した指示データを選択して駆動用トランジスタに供給し、それによって上記電気光学素子の表示状態を1フレーム期間にA回設定するものであることを特徴とする請求項1ないし6の何れか1項に記載の表示装置。

【請求項8】

上記ブランキング期間が、特定の指示データの表示期間の後に設定されていることを特徴とする請求項7記載の表示装置。

【請求項9】

上記指示データ供給手段は、上記指示データのうち、異なる複数のゲート配線に対応する同一番号の指示データを、一定周期でソース配線に供給するようになっており、

A個の指示データの重みをそれぞれ $W_1 \sim W_a$ （ $W_1 \sim W_a$ は1以上の整数）とするとき、重み $W_1 \sim W_{a-1}$ が、

$$\text{MOD}(W_1, A) \neq 0$$

$$\text{MOD}(W_1 + W_2, A) \neq 0$$

$$\text{MOD}(W_1 + W_2, A) \neq \text{MOD}(W_1, A)$$

$$\text{MOD}(W_1 + W_2 + W_3, A) \neq 0$$

$$\text{MOD}(W_1 + W_2 + W_3, A) \neq \text{MOD}(W_1, A)$$

$$\text{MOD}(W_1 + W_2 + W_3, A) \neq \text{MOD}(W_1 + W_2, A)$$

...

$$\text{MOD}(W_1 + \dots + W_{a-1}, A) \neq \text{MOD}(W_1 + \dots + W_{a-2}, A)$$

（但し、 $\text{MOD}(x, y)$ はxをyで割った余りを指す）

となるように設定され、重み W_a が、

$$W_a = (\text{表示したい階調数}) - (W_1 + \dots + W_{a-1}) - 1$$

となるように設定され、ゲート配線数をnとするとき、上記駆動用トランジスタから電気光学素子へ流れる電流を止める時間 W_b が、

$$W_b = n \times A - (W_1 + \dots + W_a) \times m$$

（mは1以上の整数であってAの倍数ではない整数）

となるように設定されていることを特徴とする請求項8記載の表示装置。

【請求項10】

走査信号が供給される複数のゲート配線と、

表示のためのデータが供給される少なくとも1つのソース配線と、

上記複数のゲート配線と上記少なくとも1つのソース配線との組み合わせに対応して設けられ、電源から供給される電流によって駆動される電気光学素子と、

上記ゲート配線に供給された走査信号によって導通が制御され、導通時に上記ソース配線からのデータを出力する第1のスイッチ用トランジスタと、

上記電源と上記電気光学素子との間に介在し、上記電源から上記電気光学素子への電流の供給を、第1のスイッチ用トランジスタから出力されたデータに応じて制御する駆動用トランジスタと、

上記駆動用トランジスタのゲート端子とソース端子またはドレイン端子との間に配置さ

10

20

30

40

50

れた第2のスイッチ用トランジスタとを備える表示装置の駆動方法であって、

第2のスイッチ用トランジスタをON状態にした後、第2のスイッチ用トランジスタがON状態である期間に、上記電気光学素子の表示を消去するブランキングを行うことで、上記駆動用トランジスタの閾値電圧のばらつきを補償することを特徴とする駆動方法。

【請求項11】

走査信号が供給される複数のゲート配線と、

表示のためのデータが供給される少なくとも1つのソース配線と、

上記複数のゲート配線と上記少なくとも1つのソース配線との組み合わせに対応して設けられ、電源から供給される電流によって駆動される電気光学素子と、

上記ゲート配線に供給された走査信号によって導通が制御され、導通時に上記ソース配線からのデータを出力する第1のスイッチ用トランジスタと、 10

上記電源と上記電気光学素子との間に介在し、上記電源から上記電気光学素子への電流の供給を、第1のスイッチ用トランジスタから出力されたデータに応じて制御する駆動用トランジスタとを備える表示装置の駆動方法であって、

上記ソース配線に対して、上記ソース配線を共用する各駆動用トランジスタの出力状態を指示するための指示データを、上記ソース配線を共用する駆動用トランジスタ1つにつきA個(Aは2以上の整数)ずつ供給し、

上記ゲート配線に対して走査信号を供給することで、上記第1のスイッチ用トランジスタに、上記ソース配線に出力された指示データの中から上記駆動用トランジスタに対応した指示データを選択させて駆動用トランジスタに供給させ、それによって上記電気光学素子の表示状態を1フレーム期間にA回設定し、 20

上記指示データのうち特定の指示データの表示期間の後に、上記ゲート配線と並行して設けられた制御配線によりブランキング手段を制御して電気光学素子の表示を消去するブランキングを行うことを特徴とする駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機EL(Electro Luminescence)ディスプレイやFED(Field Emission Display)等の電流駆動素子を用いた表示装置およびその駆動方法に関するものである。

【背景技術】

【0002】

近年、有機ELディスプレイやFED等の電流駆動発光素子の研究開発が活発に行われている。特に有機ELディスプレイは、低電圧・低消費電力で発光可能なディスプレイであることから、携帯電話やPDA(Personal Digital Assistants)などの携帯機器に用いるディスプレイとして注目されている。

【0003】

この有機ELディスプレイ用の画素回路構成として、特許文献1(特表2002-514320号公報)に示された回路構成を図25に示す。

【0004】

図25に示すように、特許文献1の画素回路300は、4つのP型TFT(Thin Film Transistor)360, 365, 370, 375と2つのコンデンサ350, 355及びOLED(有機発光ダイオード; 有機EL)380とから構成される。電源ライン390(電位+VDD)と共通陰極(GNDライン)の間には、TFT365、TFT375、およびOLED380が直列に接続されている。駆動用TFT365のゲート端子とデータライン310の間には、コンデンサCc350およびスイッチ用TFT360が直列に接続されている。また、駆動用TFT365のゲート端子とドレイン端子の間にはスイッチ用TFT370が接続され、駆動用TFT365のゲート端子とソース端子の間にはコンデンサCs355が接続されている。これらTFT360、TFT370、およびTFT375のゲート端子にはそれぞれ、セレクトライン320、オートゼロライン330、および照明ライン340が結合されている。 40

【 0 0 0 5 】

この画素回路 3 0 0 では、第 1 の期間にオートゼロライン 3 3 0 及び照明ライン 3 4 0 が L o w となり、スイッチ用 T F T 3 7 0 及び駆動用 T F T 3 7 5 が O N 状態となり、駆動用 T F T 3 6 5 のドレイン端子電位とゲート端子電位とが等しくなる。このとき、駆動用 T F T 3 6 5 から O L E D 3 8 0 に向けて電流が流れ、駆動用 T F T 3 6 5 のゲート電位は、駆動用 T F T 3 6 5 を O N 状態とするような電位となる。

【 0 0 0 6 】

また、このとき、データライン 3 1 0 へ基準電圧を入力し、セレクトライン 3 2 0 を L o w とし、コンデンサ C c 3 5 0 の他方端子 (T F T 3 6 0 側の端子) を基準電圧とする。

10

【 0 0 0 7 】

次に、第 2 の期間となり、照明ライン 3 4 0 を H i g h として、T F T 3 7 5 を O F F 状態とする。

【 0 0 0 8 】

このことにより、駆動用 T F T 3 6 5 のゲート電位は徐々に高くなり、そのゲート電位が駆動用 T F T 3 6 5 の閾値電圧 (- V t h) に対応した値 (+ V D D - V t h) となったとき、すなわち駆動用 T F T 3 6 5 のゲート - ソース間電圧が駆動用 T F T 3 6 5 の閾値電圧と等しくなったときに、駆動用 T F T 3 6 5 は O F F 状態となる。

【 0 0 0 9 】

次に、第 3 の期間となり、オートゼロライン 3 3 0 の電位を H i g h として、スイッチ用 T F T 3 7 0 を O F F 状態とする。このことにより、コンデンサ C c 3 5 0 には、前記ゲート電位と前記基準電位との差が記憶される。

20

【 0 0 1 0 】

即ち、駆動用 T F T 3 6 5 のゲート電位は、データライン 3 1 0 の電位が基準電位のと看、駆動用 T F T 3 6 5 の閾値電圧 (- V t h) に対応した値 (+ V D D - V t h) となる。そして、データライン 3 1 0 の電位がその基準電位から変化すれば、駆動用 T F T 3 6 5 の閾値電位に関係なく、その変化に対応した電位が駆動用 T F T 3 6 5 のゲート端子に印加される。

【 0 0 1 1 】

そこで、基準電位より所望のゲート電位に対応した電圧をデータライン 3 1 0 に与え、セレクトライン 3 2 0 を H i g h 状態 (電位が H i g h の状態) とする。このとき、駆動用 T F T 3 6 5 のゲート端子電位が、所望のゲート電位と閾値電圧との差 (所望のゲート電位 - 閾値電位) に対応した電位に維持される。これで、画素の選択期間を終了する。

30

【 0 0 1 2 】

このように、図 2 5 に示す画素回路を用いれば、駆動用 T F T 3 6 5 の閾値電位のばらつきを補償し、駆動用 T F T 3 6 5 のゲート端子へ上記閾値電位のばらつきを補償した電位 (所望のゲート電位 - 閾値電位に対応した電位) を与えることができる。

【 0 0 1 3 】

一方、強誘電性液晶を時間分割階調表示する方法として、特許文献 2 (特表平 9 - 5 1 1 5 8 9 号公報) に示された駆動方法の駆動タイミングを図 2 6 に示す。図 2 6 で示す駆動タイミングを実現するための行波形 (行電極に印加される電圧の波形) および列波形 (列電極に印加される電圧の波形) を図 2 7 に示す。

40

【 0 0 1 4 】

図 2 6 は横軸が時間であり、縦軸が行番号である。図 2 6 の記号『 S 』は、その記号に対応する行番号の行波形 (図 2 7 に示す) において、その記号に対応する時間が、その行電極に電圧 (ストローブパルス) V s (正確には電圧 0 と電圧 V s) が印加されてその行電極が選択される選択期間 (特許文献 2 におけるストローブの部分に相当、書き込み時間ともいう) であることを示している。記号『 b 』は、その記号に対応する行番号の行波形 (図 2 7 に示す) において、その記号に対応する時間が、その行に電圧 (消去パルス) - V b が印加されてその行がブランキング (消去) されるブランキング期間であることを示

50

している。

【0015】

各画素では、表示期間の先頭部分である書き込み期間にデータが書き込まれてそのデータに対応する表示が行われ、その後、ブランキングされるまでその表示が継続される。例えば、行番号1の画素は、時間1で、選択されてデータ（このデータをB2とする）の書き込みがなされ、時間15でブランキングされる。そして、行番号1の画素は、時間22で再度選択されてデータ（このデータをB1とする）の書き込みがなされ、時間29でブランキングされる。

【0016】

即ち、最初の書き込み期間（時間1）に書き込まれたデータB2は、時間1～時間14までの14単位時間表示される。次の書き込み期間（時間22）に書き込まれたデータB1は、時間22～時間28までの7単位時間（選択期間）にわたって表示される。従って、非同期ブランキングを用いることで、データB2の重み：データB1の重みを2：1とした時間分割階調表示が可能となる。

【0017】

また、このデータB2、B1は、図27に示す列波形として、データライン（列電極）に供給される。そこで、データB2を奇数番目の時間に発生させ、データB1を偶数番目の時間に発生させ、ある行番号（例えば1）の行にデータB1およびB2を印加するタイミングをそれぞれ2単位時間ずつ遅らせて次の行番号（例えば2）の行にデータB1およびB2を印加するタイミングとする。

【0018】

このようにすると、1つのデータラインを共有する複数の画素へデータB2とデータB1を書き込むタイミングがお互いに重なり合わないようにできる（本明細書では、このようなタイミングで時間分割階調駆動することを、「時間多重階調駆動」と記す）。

【0019】

このように、図26に示す駆動方法を用いれば、非同期ブランキングを用いることで時間多重階調駆動を実現することができる。

【0020】

また、特許文献3には、複数の走査ラインと少なくとも1つのデータラインとの組み合わせに対応して設けられた有機EL素子と、離散的に選択されている上記複数の走査ラインのうちの現在選択されている走査ラインに対応する有機EL素子へ、次に指示データが供給されるまでの表示期間における表示を示す指示データを、当該有機EL素子に対応するデータラインを介して供給する駆動手段とを備える表示装置が開示されている。さらに、特許文献3には、上記表示装置を構成する画素回路に対し、前記有機EL素子に加えて、各指示データが出力されるデータラインによって選択されるTFTと、選択されたTFTを通して各指示データが印加されるコンデンサと、このコンデンサの電位によってソース・ドレイン抵抗が変化することで電源ラインから有機EL素子へ流れる電流を設定する駆動TFTとを設けることが開示されている（特許文献3の図2参照）。

【0021】

また、特許文献4には、階調数R（Rは2以上の整数）で階調表示が可能なメモリ性とm本の走査電極とを有するマトリクス型表示装置において、上記の走査電極を1フレーム期間内にn（nは2以上の整数）回走査し、第1，第2，…，第nの表示期間の時間比がX：RX：…：Rn-1X（Xは正の整数）となるように時分割表示を行うマトリクス型表示装置の駆動方法が開示されている。

【特許文献1】特表2002-514320号公報（国際公開日：1998年10月29日）

【特許文献2】特表平9-511589号公報（国際公開日：1995年10月19日）

【特許文献3】特開2004-4501号公報（公開日：2004年1月8日）

【特許文献4】特開平9-127906号公報（公開日：1997年5月16日）

【非特許文献1】“4.0-in. TFT-OLED Displays and a Novel Digital Driving Method” 50

、SID'00 Digest、pp.924-927、半導体エネルギー研究所（2000年公開）

【非特許文献2】“Continuous Grain Silicon Technology and Its Applications for Active Matrix Display”、AM-LCD 2000、pp.25-28、半導体エネルギー研究所（2000年公開）

【非特許文献3】“Polymer Light-Emitting Diodes for use in Flat panel Display”、AM-LCD 2001、pp.211-214、半導体エネルギー研究所（2001年公開）

【発明の開示】

【発明が解決しようとする課題】

【0022】

しかしながら、図25に示す特許文献1の画素回路では、各選択期間の初めに駆動用TFT365の閾値電位のばらつき補償を行う期間が必要である。その補償を行う期間には、データライン310に基準電位を与える必要があり、データライン310が占有される。そのため、データライン310に対して表示データに応じた所望の電圧を供給することができない。

【0023】

閾値電圧のばらつき補償を行わない表示装置であれば、選択期間は、表示データに応じた所望の電圧をデータライン310に供給する期間だけで構成される。しかしながら、図25に示す特許文献1の画素回路では、上述したように、表示データに応じた所望の電圧をデータライン310に供給する期間とは別に、各選択期間の最初に閾値電圧のばらつき補償を行う期間を設ける必要がある。このため、図25に示す構成の画素回路では、データライン310が占有される期間（即ち選択期間）が、閾値電圧のばらつき補償を行う期間の分だけ長くなる。その結果、1フレーム期間内に存在しうる選択期間の数が少なくなり、1つの駆動回路で多くのセレクトラインを駆動できないという問題がある。

【0024】

また、特許文献3の表示装置では、指示データの1つとしてブランキング信号を与える必要があるので、表示に使える指示データ数が減ってしまい、指示データのうち最大の重みを持った指示データの重みが大きくなり、動画偽輪郭の発生を抑えるのが困難となるという問題がある。

【0025】

なお、特許文献2や特許文献4の駆動方法は、指示データを書き込む直前に必ずブランキング期間を設けている。このため、ブランキング期間の総和が長くなる（即ち非発光期間の比率が高くなる）という課題がある。

【0026】

そこで、本発明の第1の目的は、選択期間を長くすることなく、駆動用トランジスタの閾値電圧のばらつきに起因する輝度のむらを補償することができる表示装置およびその駆動方法を提供することにある。

【0027】

また、特許文献3の表示装置では、ブランキング信号をソース配線に供給することでブランキングを行っているため、指示データの1つとしてブランキング信号を与える必要がある。これにより、指示データの1つが、常に重み「0」となってしまい、表示に使用できないので、表示に使える指示データ数が減ってしまう。それゆえ、表示に使える指示データの重みをその分大きくする必要がある。このため、最も重みの重い指示データの重みが大きくなり、動画偽輪郭が目立ちやすくなるという問題を招く。なお、特許文献1には、ブランキングについては、何ら開示も示唆もされていない。

【0028】

そこで、本発明の第2の目的は、ブランキング信号をソース配線に供給することなくブランキングを行うことができ、その結果、動画偽輪郭の発生を低く抑えることができる表示装置を提供することにある。

【0029】

また、特許文献2や特許文献4の時間多重階調駆動方法では、選択期間毎にブランキン

グ期間が必要となる。このため、1フレーム期間に存在するブランキング期間の割合が多く、その分だけ表示期間（電気光学素子が表示データに応じて制御された状態）の割合が少ない。したがって、高い平均輝度が得られないか、あるいは電気光学素子の寿命が短くなるという問題がある。

【0030】

なお、特許文献1には、ブランキング期間については、何ら開示も示唆もされていない。

【0031】

そこで、本発明の第3の目的は、1フレーム期間に存在する表示期間の割合を大きくすることができ、その結果として電気光学素子の長寿命化や輝度の向上を図ることができる表示装置および駆動方法を提供することにある。 10

【課題を解決するための手段】

【0032】

1) 本発明に係る表示装置は、上記の課題を解決するために、走査信号が供給される複数のゲート配線と、表示のためのデータが供給される少なくとも1つのソース配線と、上記複数のゲート配線と上記少なくとも1つのソース配線との組み合わせに対応して設けられ、電源から供給される電流によって駆動される電気光学素子と、上記ゲート配線に供給された走査信号によって導通が制御され、導通時に上記ソース配線からのデータを出力する第1のスイッチ用トランジスタと、上記電源と上記電気光学素子との間に介在し、上記電源から上記電気光学素子への電流の供給を、第1のスイッチ用トランジスタから出力されたデータに応じて制御する駆動用トランジスタと、上記電気光学素子の表示を消去するブランキングを行うブランキング手段と、上記ゲート配線と並行して設けられ、上記ブランキング手段を制御する制御配線と、上記ブランキングが行われているブランキング期間に、上記駆動用トランジスタの閾値電圧のばらつきを補償するために、上記駆動用トランジスタのゲート端子とソース端子またはドレイン端子とを短絡させる第2のスイッチ用トランジスタとを備えることを特徴としている。 20

【0033】

上記構成によれば、上記ブランキングが行われているブランキング期間に、第2のスイッチ用トランジスタをON状態として上記駆動用トランジスタのゲート端子とソース端子またはドレイン端子とを短絡させることで、上記駆動用トランジスタのゲート端子とソース端子またはドレイン端子との電位差（ゲート・ソース間電位またはゲート・ドレイン間電位）を駆動用トランジスタの閾値電圧に等しくすることができる。これにより、電気光学素子に駆動電流が流れる時に、駆動用トランジスタのゲート端子とソース端子またはドレイン端子との間の電位差は、その閾値電位に依存することなく、ソース配線に供給されるデータに対応した電位だけ閾値電位から変化した電位となる。それゆえ、駆動用トランジスタを流れる電流は、その閾値電位に依らず、ソース配線に供給されるデータに対応した電流値となる。その結果、駆動用トランジスタの閾値電位のばらつきに起因する輝度のむらが補償され、輝度のむらのない表示を行うことができる。 30

【0034】

そして、上記構成では、駆動用トランジスタの閾値電位のばらつきの補償を、特許文献1の図25に示す画素回路のように各選択期間の初めに行うのではなく、選択期間外の非表示期間であるブランキング期間に行う。そのため、各選択期間に閾値電圧のばらつき補償を行う期間を設ける必要がなく、各選択期間の全体を表示期間として利用できる。したがって、特許文献1の構成と比較して、選択期間を短くすることができる。その結果、より多くのゲート配線に対応した駆動用トランジスタを1つの走査信号供給手段（ゲートドライバ）で駆動することができる。したがって、例えば1つの走査信号供給手段でより大きいサイズの表示装置を駆動することができる。 40

【0035】

以上のように、上記構成によれば、第1の目的を達成することができる。

【0036】

さらに、上記構成によれば、制御配線によってブランキング手段を制御してブランキングを行うことができるので、電気光学素子を消去状態とするブランキング信号を駆動回路からソース配線に供給することなく、ブランキングを行う構成を実現することも可能である。そのような構成とした場合、全ての指示データを表示に利用することができるので、各指示データのうち最も重みの大きな指示データの重みを小さくすることができる。その結果、動画偽輪郭の発生を抑制することができる。したがって、上記構成によれば、第1の目的に加えて第2の目的も達成できる。

【0037】

なお、本明細書において、「選択期間」とは、特定の電気光学素子の表示状態を変更するためにソース配線が占有されている期間、またはゲート配線がオン電圧を供給している期間を指す。 10

【0038】

2) 本発明に係る表示装置において、上記ブランキング手段は、上記駆動用トランジスタと上記電気光学素子との間に挿入され、上記制御配線により制御されて駆動用トランジスタから上記電気光学素子へ流れる電流を止める第3のスイッチ用トランジスタから構成されることが好ましい。

【0039】

上記構成によれば、制御配線によって第3のスイッチ用トランジスタを制御することによってブランキング(駆動用トランジスタから電気光学素子へ流れる電流を停止させる)動作を行うことができるので、特許文献3に記載されているブランキングを行う手段(ブランキング信号をソース配線へ供給する手段)とは異なり、電気光学素子を消去状態とする信号(ブランキング信号)を駆動回路からソース配線に供給することなく、ブランキングを行うことができる。この結果、指示データの有効利用を図ることができ、各指示データのうち最も重みの大きな指示データの重みを小さくすることができる。その結果、動画偽輪郭の発生を抑制することができる。したがって、上記構成によれば、第1の目的に加えて第2の目的も達成できる。 20

【0040】

3) 本発明に係る表示装置は、好ましくは、上記の第3のスイッチ用トランジスタおよび制御配線を含む表示装置において、上記駆動用トランジスタのゲート端子とソース端子またはドレイン端子との間の電位差を保持するための電位差保持手段をさらに備え、第3のスイッチ用トランジスタは、上記駆動用トランジスタの閾値電圧のばらつきを補償するために、上記第2のスイッチ用トランジスタがON状態である期間に、ON状態からOFF状態に移行して、上記駆動用トランジスタから上記電気光学素子へ流れる電流を止める構成である。 30

【0041】

上記構成によれば、第2のスイッチ用トランジスタがON状態になると、上記駆動用トランジスタのゲート端子が、ソース端子またはドレイン端子と短絡される。次いで、この状態で第3のスイッチ用トランジスタがON状態からOFF状態に移行して上記駆動用トランジスタから上記電気光学素子へ流れる電流が止まると、駆動用トランジスタのゲート端子とソース端子またはドレイン端子との間の電位差(ゲート・ソース間電位またはゲート・ドレイン間電位)が徐々に変化し、駆動用トランジスタがON状態からOFF状態に移行する。これにより、駆動用トランジスタのゲート端子とソース端子またはドレイン端子との間の電位差(ゲート・ソース間電位またはゲート・ドレイン間電位)は、閾値電位に等しくなる。その後、第2のスイッチ用トランジスタがOFF状態となっても、この駆動用トランジスタの閾値電圧に等しい電位差は電位差保持手段によって保持される。これにより、電気光学素子に駆動電流が流れる時に、駆動用トランジスタのゲート端子とソース端子またはドレイン端子との間の電位差(ゲート・ソース間電位またはゲート・ドレイン間電位)は、その閾値電位に依存することなく、ソース配線に供給されるデータに対応した電位だけ閾値電位から変化した電位となる。それゆえ、駆動用トランジスタを流れる電流は、その閾値電位に依らず、ソース配線に供給されるデータに対応した電流値となる 40 50

。その結果、駆動用トランジスタの閾値電位のばらつきに起因する輝度のむらが補償され、輝度のむらのない表示を行うことができる。

【0042】

4) 本発明に係る表示装置は、好ましくは、上記電位差保持手段を備える表示装置において、上記電位差保持手段は、駆動用トランジスタのゲート端子に一端が接続され、駆動用トランジスタのソース端子またはドレイン端子に他端が接続された第1のコンデンサと、駆動用トランジスタのゲート端子に一端が接続され、第1のスイッチ用トランジスタに他端が接続された第2のコンデンサとを含み、上記第2のスイッチ用トランジスタがON状態である期間に、上記第2のコンデンサの他端を所定電位配線に接続するための第4のスイッチ用トランジスタがさらに備えられている構成である。

10

【0043】

上記構成によれば、第1のスイッチ用トランジスタがOFF状態であるときに、第4のスイッチ用トランジスタをON状態とし、第2のコンデンサの他端に所定電位配線から所定電位を与えると同時に、第2のスイッチ用トランジスタをON状態として、駆動用トランジスタのゲート端子とドレイン端子（またはソース端子）との間を短絡することができる。このとき、第3のスイッチ用トランジスタがON状態なので、駆動用トランジスタのゲート電位はON電位となる。

【0044】

その後、第3のスイッチ用トランジスタをOFF状態とすることにより、駆動用トランジスタのゲート・ソース間電位（またはゲート・ドレイン間電位）は徐々に変化し、駆動用トランジスタはON状態からOFF状態となる。

20

【0045】

そして、第2のスイッチ用トランジスタをOFF状態とし、第4のスイッチ用トランジスタもOFF状態とすることで、第2のコンデンサの他端の電位が上記所定電位であるときに、駆動用トランジスタのゲート・ソース間電位（またはゲート・ドレイン間電位）が閾値電位に等しくなるように設定できる。そして、このときに設定された電位は、第1のコンデンサおよび第2のコンデンサによって保持される。

【0046】

その後、第1のスイッチ用トランジスタをON状態とし、ソース配線から第2のコンデンサの他端に対して、その所定電位を基準とした所望の電位（表示データに応じた電位）を与えれば、駆動用トランジスタの閾値電位に依らず駆動用トランジスタの出力電流を表示データに応じた電流値に設定できる。

30

【0047】

以上のように、上記構成によれば、選択期間外の非表示期間であるブランキング期間に第2のコンデンサへ所定電位を与えて、駆動用トランジスタの閾値のばらつきを補償することができる。

【0048】

本発明に係る表示装置は、好ましくは、上記電位差保持手段を備える表示装置において、上記電位差保持手段は、駆動用トランジスタのゲート端子に一端が接続され、駆動用トランジスタのソース端子またはドレイン端子に他端が接続された第1のコンデンサを含み、駆動用トランジスタのゲート端子に一端が接続され、第1のスイッチ用トランジスタに他端が接続された第2のコンデンサと、上記第2のスイッチ用トランジスタがON状態である期間に、上記第2のコンデンサの他端を上記駆動用トランジスタのゲート端子に接続するための第5のスイッチ用トランジスタとがさらに備えられている構成である。

40

【0049】

上記構成によれば、第1のスイッチ用トランジスタがOFF状態であるときに、第5のスイッチ用トランジスタをON状態とし、第2のコンデンサの他端を駆動用トランジスタのゲート端子に接続すると同時に、第2のスイッチ用トランジスタをON状態として、駆動用トランジスタのゲート端子とドレイン端子（またはソース端子）との間を短絡することができる。このとき、第3のスイッチ用トランジスタがON状態なので、駆動用トラン

50

ジスタのゲート電位はON状態となり、第2のコンデンサの両端の電位は所定電位（例えば電源電位）となる。この第2のコンデンサの両端の電位は、第5のスイッチ用トランジスタがOFF状態となった後も保持される。

【0050】

その後、第3のスイッチ用トランジスタをOFF状態とすることにより、駆動用トランジスタのゲート・ソース間電位（またはゲート・ドレイン間電位）は徐々に変化し、駆動用トランジスタはON状態からOFF状態となる。

【0051】

その後、第2のスイッチ用トランジスタおよび第5のスイッチ用トランジスタをOFF状態とする。このことにより、上記期間に第2のコンデンサの他端に供給された所定電位（例えば電源電位）を第2のコンデンサの他端に供給すれば、駆動用トランジスタのゲート電位が閾値電位となるように設定できる。そして、このときに設定された電位は、第5のスイッチ用トランジスタがOFF状態となった後も第1のコンデンサによって保持される。

10

【0052】

その後、第1のスイッチ用トランジスタをON状態とし、ソース配線から第2のコンデンサの他端に対して、その所定電位を基準とした所望の電位（表示データに応じた電位）を与えれば、駆動用トランジスタの閾値電位に依らず駆動用トランジスタの出力電流を表示データに応じた電流値に設定できる。。

【0053】

以上のように、上記構成によれば、選択期間外の非表示期間であるブランキング期間に第2のコンデンサへ所定電位を与えて、駆動用トランジスタの閾値のばらつきを補償することができる。

20

【0054】

本発明に係る表示装置は、好ましくは、上記電位差保持手段を備える表示装置において、上記電位差保持手段は、駆動用トランジスタのゲート端子に一端が接続され、駆動用トランジスタのソース端子またはドレイン端子に他端が接続された第1のコンデンサを含み、駆動用トランジスタのゲート端子に一端が接続され、第1のスイッチ用トランジスタに他端が接続された第2のコンデンサがさらに備えられ、上記第1のスイッチ用トランジスタは、上記第3のスイッチ用トランジスタがOFF状態である期間に、上記第2のコンデンサの他端をソース配線に接続して、上記第2のコンデンサの電荷を設定するようになっている構成である。

30

【0055】

上記構成によれば、第1のスイッチ用トランジスタがOFF状態であるときに、第2のスイッチ用トランジスタをON状態とすることで、駆動用トランジスタのゲート端子とドレイン端子（またはソース端子）との間を短絡することができる。このとき、第3のスイッチ用トランジスタがON状態なので、駆動用トランジスタのゲート電位はON状態となる。

【0056】

その後、第3のスイッチ用トランジスタをOFF状態とすることにより、駆動用トランジスタのゲート・ソース間電位（またはゲート・ドレイン間電位）は徐々に変化し、駆動用トランジスタはON状態からOFF状態となる。

40

【0057】

また、第1のスイッチ用トランジスタをON状態とし、第2のコンデンサの他端をソース配線に接続すると同時に、第2のスイッチ用トランジスタをON状態とすることで、第2のコンデンサの電荷が設定できる。その後、第1のスイッチ用トランジスタをOFF状態とすることで、第2のコンデンサに上記時点の電位差を保持させる。

【0058】

その後、第2のスイッチ用トランジスタをOFF状態とする。このことにより、上記期間に第2のコンデンサの他端に供給された所定電位（例えば電源電位）を第2のコンデン

50

サの他端に供給すれば、駆動用トランジスタのゲート電位が閾値電位となるように設定できる。そして、このときに設定された電位は、第1のコンデンサによって保持される。

【0059】

その後、第1のスイッチ用トランジスタをON状態とし、ソース配線から第2のコンデンサの他端に対して、その所定電位を基準とした所望の電位（表示データに応じた電位）を与えれば、駆動用トランジスタの閾値電位に依らず駆動用トランジスタの出力電流を表示データに応じた電流値に設定できる。

【0060】

以上のように、上記構成によれば、選択期間外の非表示期間であるブランキング期間に第2のコンデンサへ所定電位を与えて、駆動用トランジスタの閾値のばらつきを補償することができる。

10

【0061】

さらに、上記構成によれば、第4のスイッチ用トランジスタが不要となり、画素回路当たりのトランジスタの数を少なくできる。その結果、高開口率化および高精細化を図ることができる。

【0062】

本発明に係る表示装置は、好ましくは、上記ソース配線に対して、上記ソース配線を共用する各駆動用トランジスタの出力状態を指示するための指示データを、上記ソース配線を共用する駆動用トランジスタ1つにつきA個（Aは2以上の整数）ずつ供給する指示データ供給手段をさらに備え、上記第1のスイッチ用トランジスタは、上記走査信号に従って、上記ソース配線に出力された指示データの中から上記駆動用トランジスタに対応した指示データを選択して駆動用トランジスタに供給し、それによって上記電気光学素子の表示状態を1フレーム期間にA回設定するものである構成である。

20

【0063】

上記構成によれば、時間多重階調駆動により階調表示が可能な表示装置を提供できる。また、1フレーム期間と、各指示データに対応する駆動期間の長さの合計との間に差があっても、ゲート配線と並行して設けられた制御配線を制御することでブランキングを行い、このブランキングの期間によってその差を埋めて時間多重階調駆動を実現できる。したがって、ゲート配線の本数や電気光学素子の構成等の制限を取り除き、表示装置の設計の自由度を確保できる。

30

【0064】

本発明に係る表示装置は、好ましくは、上記の指示データ供給手段を備える構成において、上記ブランキング期間が、特定の指示データの表示期間の後に設定されている構成である。

【0065】

上記構成によれば、1フレーム期間に複数回のブランキング期間が必要な特許文献2や特許文献4の時間多重階調駆動方法と比較して、1フレーム期間に占めるブランキング期間の割合を少なく、すなわち1フレーム期間に占める表示期間の割合を多くすることができる。その結果、1フレーム全体での輝度を従来の時間多重階調駆動方法と同一にする場合、表示期間の割合が多い分だけ1フレーム内の表示期間の輝度を相対的に低く設定でき、電気光学素子の長寿命化を図ることができる。また、1フレーム内の表示期間の輝度を従来の時間多重階調駆動方法と同一にすれば、1フレーム全体での輝度を相対的に高くすることができる。したがって、上記構成によれば、第1の目的に加えて第3の目的も達成できる。

40

【0066】

本発明に係る表示装置は、上記の課題を解決するために、上記指示データ供給手段は、上記指示データのうち、異なる複数のゲート配線に対応する同一番号の指示データが、一定周期でソース配線に供給するようになっており、

A個の指示データの重みをそれぞれ $W_1 \sim W_a$ （ $W_1 \sim W_a$ は1以上の整数）とするとき、重み $W_1 \sim W_a$ が、

50

$\text{MOD}(W_1, A) \neq 0$

$\text{MOD}(W_1 + W_2, A) \neq 0$

$\text{MOD}(W_1 + W_2, A) \neq \text{MOD}(W_1, A)$

$\text{MOD}(W_1 + W_2 + W_3, A) \neq 0$

$\text{MOD}(W_1 + W_2 + W_3, A) \neq \text{MOD}(W_1, A)$

$\text{MOD}(W_1 + W_2 + W_3, A) \neq \text{MOD}(W_1 + W_2, A)$

...

$\text{MOD}(W_1 + \dots + W_{a-1}, A) \neq \text{MOD}(W_1 + \dots + W_{a-2}, A)$

(但し、 $\text{MOD}(x, y)$ は x を y で割った余りを指す)

となるように設定され、重み W_a が、

$W_a = (\text{表示したい階調数}) - (W_1 + \dots + W_{a-1}) - 1$

となるように設定され、ゲート配線数を n とするとき、上記駆動用トランジスタから電気光学素子へ流れる電流を止める時間 W_b が、

$W_b = n \times A - (W_1 + \dots + W_a) \times m$

(m は 1 以上の整数であって A の倍数ではない整数)

となるように設定されていることを特徴としている。

【0067】

上記構成によれば、指示データの個数を A 個 (A は 2 以上の整数)、各指示データ $B_1 \sim B_a$ の重みを $W_1 \sim W_a$ ($W_1 \sim W_a$ は 1 以上の整数) とするとき、

$\text{MOD}(W_1, A) \neq 0$

$\text{MOD}(W_1 + W_2, A) \neq 0$

$\text{MOD}(W_1 + W_2, A) \neq \text{MOD}(W_1, A)$

$\text{MOD}(W_1 + W_2 + W_3, A) \neq 0$

$\text{MOD}(W_1 + W_2 + W_3, A) \neq \text{MOD}(W_1, A)$

$\text{MOD}(W_1 + W_2 + W_3, A) \neq \text{MOD}(W_1 + W_2, A)$

...

$\text{MOD}(W_1 + \dots + W_{a-1}, A) \neq \text{MOD}(W_1 + \dots + W_{a-2}, A)$

となるよう各指示データ $B_1 \sim B_a$ の重み $W_1 \sim W_a$ を決定する (但し、 $\text{MOD}(x, y)$ は x を y で割った余りを指す)。

【0068】

また、 W_a は

$W_a = (\text{表示したい階調数}) - (W_1 + \dots + W_{a-1}) - 1$

と決める。このとき、ゲート配線数を n とするとき上記駆動用トランジスタから電気光学素子へ流れる電流を止める時間 W_b は、

$W_b = n \times A - (W_1 + \dots + W_a) \times m$

(m は 1 以上の整数であって A の倍数ではない整数) となるよう設定する。

【0069】

そして、ソース配線 G_i へ第 1 のゲート配線に対応した画素の指示データ $B_1 \sim B_a$ を与えるタイミングを、時間 $0 \sim t_1$, $W_1 \times m \times t_1 \sim (W_1 \times m + 1) \times t_1$, ... , $(W_1 + \dots + W_{a-1}) \times m \times t_1 \sim ((W_1 + \dots + W_{a-1}) \times m + 1) \times t_1$ とする。

【0070】

そして、次のゲート配線 G_{i+1} に対応した画素の指示データ $B_1 \sim B_a$ を与えるタイミングを上記タイミングより時間 $A \times t_1$ 遅らせる。

【0071】

このことにより、1 つのソース配線を共用する複数の駆動用トランジスタへ供給する指示データのタイミングがお互いに重ならないよう駆動できる (即ち、時間多重階調駆動ができる)。

【0072】

また、時間 $(W_1 + \dots + W_a) \times m \times t_1 \sim n \times A \times t_1$ にかけて、上記第 2 のスイ

10

20

30

40

50

ッチ用トランジスタを制御し、上記駆動用トランジスタから上記電気光学素子へ流れる電流を止める。

【0073】

このことにより、

(ゲート配線数 n) $\times$ (指示データ数 A)

と

表示階調数 ($W_1 + \dots + W_a + 1$) $\times m$

の差を埋め、1フレーム期間に占めるブランキング期間の長さを $W_b \times t_1$ とした、ブランキング期間の割合を少なくした表示装置を実現できる。

【0074】

このように、1フレーム期間に複数回のブランキング期間が必要な特許文献2や特許文献4の時間多重階調駆動方法と比較して、1フレーム期間に占めるブランキング期間の割合を少なく、すなわち1フレーム期間に占める表示期間の割合を多くすることができる。その結果、1フレーム全体での輝度を従来の時間多重階調駆動方法と同一にする場合、表示期間の割合が多い分だけ1フレーム内の表示期間の輝度を相対的に低く設定でき、電気光学素子の長寿命化を図ることができる。また、1フレーム内の表示期間の輝度を従来の時間多重階調駆動方法と同一にすれば、1フレーム全体での輝度を相対的に高くすることができる。したがって、上記構成によれば、第3の目的を達成できる。

【0075】

本発明に係る駆動方法は、上記の課題を解決するために、走査信号が供給される複数のゲート配線と、表示のためのデータが供給される少なくとも1つのソース配線と、上記複数のゲート配線と上記少なくとも1つのソース配線との組み合わせに対応して設けられ、電源から供給される電流によって駆動される電気光学素子と、上記ゲート配線に供給された走査信号によって導通が制御され、導通時に上記ソース配線からのデータを出力する第1のスイッチ用トランジスタと、上記電源と上記電気光学素子との間に介在し、上記電源から上記電気光学素子への電流の供給を、第1のスイッチ用トランジスタから出力されたデータに応じて制御する駆動用トランジスタと、上記駆動用トランジスタのゲート端子とソース端子またはドレイン端子との間に配置された第2のスイッチ用トランジスタとを備える表示装置の駆動方法であって、第2のスイッチ用トランジスタをON状態にした後、第2のスイッチ用トランジスタがON状態である期間に、上記電気光学素子の表示を消去するブランキングを行うことで、上記駆動用トランジスタの閾値電圧のばらつきを補償することを特徴としている。

【0076】

上記方法によれば、第2のスイッチ用トランジスタがON状態になると、上記駆動用トランジスタのゲート端子が、ソース端子またはドレイン端子と短絡される。次いで、第2のスイッチ用トランジスタがON状態である期間に、上記電気光学素子の表示を消去するブランキングを行うことで、駆動用トランジスタのゲート端子とソース端子またはドレイン端子との間の電位差(ゲート・ソース間電位またはゲート・ドレイン間電位)を閾値電位に等しくして、上記駆動用トランジスタの閾値電圧のばらつきを補償することができる。その結果、駆動用トランジスタの閾値電位のばらつきに起因する輝度のむらが補償され、輝度のむらのない表示を行うことができる。

【0077】

そして、上記方法では、駆動用トランジスタの閾値電位のばらつきの補償を非表示期間であるブランキング期間に行うため、各選択期間の全体を表示期間として利用でき、選択期間を短くすることができる。その結果、より多くのゲート配線に対応した駆動用トランジスタを1つの走査信号供給手段(ゲートドライバ)で駆動することができる。

【0078】

以上のように、上記方法によれば、第1の目的を達成することができる。

【0079】

本発明に係る駆動方法は、上記の課題を解決するために、走査信号が供給される複数の

10

20

30

40

50

ゲート配線と、表示のためのデータが供給される少なくとも1つのソース配線と、上記複数のゲート配線と上記少なくとも1つのソース配線との組み合わせに対応して設けられ、電源から供給される電流によって駆動される電気光学素子と、上記ゲート配線に供給された走査信号によって導通が制御され、導通時に上記ソース配線からのデータを出力する第1のスイッチ用トランジスタと、上記電源と上記電気光学素子との間に介在し、上記電源から上記電気光学素子への電流の供給を、第1のスイッチ用トランジスタから出力されたデータに応じて制御する駆動用トランジスタとを備える表示装置の駆動方法であって、上記ソース配線に対して、上記ソース配線を共用する各駆動用トランジスタの出力状態を指示するための指示データを、上記ソース配線を共用する駆動用トランジスタ1つにつきA個（Aは2以上の整数）ずつ供給し、上記ゲート配線に対して走査信号を供給することで、上記第1のスイッチ用トランジスタに、上記ソース配線に出力された指示データの中から上記駆動用トランジスタに対応した指示データを選択させて駆動用トランジスタに供給させ、それによって上記電気光学素子の表示状態を1フレーム期間にA回設定し、上記指示データのうち特定の指示データの表示期間の後に、上記ゲート配線と並行して設けられた制御配線によりブランキング手段を制御して電気光学素子の表示を消去するブランキングを行うことを特徴としている。

10

【0080】

上記構成によれば、制御配線によってブランキング手段を制御してブランキングを行うことができるので、電気光学素子を消去状態とするブランキング信号を駆動回路からソース配線に供給することなく、ブランキングを行う構成を実現することも可能である。そのような構成とした場合、全ての指示データを表示に利用することができるので、各指示データのうち最も重みの大きな指示データの重みを小さくすることができる。その結果、動画偽輪郭の発生を抑制することができる。したがって、上記方法によれば、第2の目的が達成できる。

20

【0081】

上記方法によれば、1フレーム期間に占める表示期間の割合を多くすることができる。その結果、1フレーム全体での輝度を従来の時間多重階調駆動方法と同一にする場合、表示期間の割合が多い分だけ1フレーム内の表示期間の輝度を相対的に低く設定でき、電気光学素子の長寿命化を図ることができる。また、1フレーム内の表示期間の輝度を従来の時間多重階調駆動方法と同一にすれば、1フレーム全体での輝度を相対的に高くすることができる。したがって、上記方法によれば、第3の目的を達成できる。

30

【発明の効果】

【0082】

以上のように、本発明によれば、選択期間を長くすることなく、駆動用トランジスタの閾値電圧のばらつきに起因する輝度のむらを補償することができる表示装置およびその駆動方法を提供することができる。

【0083】

また、本発明によれば、ブランキング信号をソース配線に供給することなくブランキングを行う構成が実現可能であり、そのような構成とした場合、指示データを総て表示に使用し、最も重みの重い指示データの重みを小さくし、動画偽輪郭の発生を抑制できる表示装置を提供することができる。

40

【0084】

また、本発明によれば、1フレーム期間に存在する表示期間の割合を大きくすることができ、その結果として電気光学素子の長寿命化や輝度の向上を図ることができる表示装置および駆動方法を提供することができる。

【発明を実施するための最良の形態】

【0085】

本発明の実施の形態について、図1～図24に基づいて以下に実施の形態1～4として説明する。

【0086】

50

本発明に用いられる駆動用トランジスタやスイッチ用トランジスタ（スイッチング素子）は、低温ポリシリコンＴＦＴやＣＧ（Continuous Grain；連続粒界）シリコンＴＦＴなどで構成できる。以下の実施の形態１～４では、駆動用トランジスタやスイッチ用トランジスタとしてＣＧシリコンＴＦＴを用いることとする。

【００８７】

ここで、ＣＧシリコンＴＦＴの構成は、例えば非特許文献１に発表されている。ＣＧシリコンＴＦＴの製造プロセスは、例えば非特許文献２に発表されている。すなわち、ＣＧシリコンＴＦＴの構成およびその製造プロセスは何れも公知であるため、ここではその詳細な説明は省略する。

【００８８】

また、本実施の形態で用いる電気光学素子である有機ＥＬ素子についても、その構成は、例えば非特許文献３に発表されており公知であるため、ここではその詳細な説明は省略する。

【００８９】

〔実施の形態１〕

本発明の実施の一形態に係る表示装置について、図１～図１１に基づいて説明すれば、以下の通りである。

【００９０】

図２に示すように、本実施形態に係る表示装置１は、マトリクス状に配された複数の画素回路 A_{ij} （ $i = 1, 2, \dots, n$ ； $j = 1, 2, \dots, m$ ； m および n は２以上の整数）と、画素回路 A_{ij} に接続された複数のゲート配線 G_i と、ゲート配線 G_i と並行して設けられ、かつ画素回路 A_{ij} に接続された複数の制御配線 R_i と、これらゲート配線 G_i および制御配線 R_i と交差するように配置され、かつ画素回路 A_{ij} に接続された複数のソース配線 S_j と、ゲート配線 G_i を駆動するゲートドライバ回路３ａ、３ｂと、ソース配線 S_j を駆動するソースドライバ回路（指示データ供給手段）２と、図示しないコントロール回路とを有している。この場合、画素回路 A_{ij} によって表示装置１の表示素子部が形成され、ゲートドライバ回路３ａ、３ｂ、ソースドライバ回路２、およびコントロール回路によって、表示素子部（表示装置）を駆動する駆動回路が構成されている。

【００９１】

各画素回路 A_{ij} は、ソース配線 S_j とゲート配線 G_i とが交差する領域に対応して配置されている。画素回路 A_{ij} は、図示しないガラス基板やシリコン基板等の基板上に形成されている。

【００９２】

ソースドライバ回路２およびゲートドライバ回路３ａ・３ｂは、表示装置１全体の小型化および作製コストの低減を図るため、画素回路 A_{ij} が形成されている基板と同じ基板上に、ＣＧシリコンＴＦＴを用いて、全部もしくは一部形成されることが好ましい。ただし、上記の効果は得られないが、ソースドライバ回路２およびゲートドライバ回路３ａ・３ｂの一部または全部を画素回路 A_{ij} が形成されている基板と別の基板上にＩＣ（集積回路）として形成し、画素回路 A_{ij} と外部接続しても構わない。例えば、ガラス基板にＩＣを直接接合させるＣＯＧ（Chip On Glass）でも構わない。また、フレキシブル基板上にＩＣを配置し、画素回路 A_{ij} が形成されている基板上の入出力端子に接合させることもできる。

【００９３】

上記ソースドライバ回路２は、 m 個の縦続接続されたレジスタ（図示しない）からなる m ビットのシフトレジスタ４、 m ビットのレジスタ５、 m ビットのラッチ回路６、および１本のソース配線 S_j に１個ずつ設けられた m 個のアナログスイッチ回路７から構成される。

【００９４】

上記ソースドライバ回路２には、コントロール回路から m ビットのシフトレジスタ４の先頭のレジスタへスタートパルスＳＰが入力される。そのスタートパルスＳＰは、コント

10

20

30

40

50

ロール回路から供給されるクロック clk に従ってシフトレジスタ 4 内を転送され、それと同時にシフトレジスタ 4 の各出力段からレジスタ 5 にタイミングパルス SSP として出力される。 m ビットのレジスタ 5 は、ソース配線 S_j に対応する m 個のフリップフロップから構成されている。レジスタ 5 は、シフトレジスタ 4 から送られてくる対応するタイミングパルス SSP に従って、コントロール回路から入力された 1 ビットのデジタル画像データ D_x を m 個のフリップフロップのそれぞれに保持する。レジスタ 5 は、この計 m ビットのデジタル画像データ D_x をラッチパルス LP に同期したタイミングでラッチ回路 6 へ転送する。そして、ラッチ回路 6 は、アナログスイッチ回路 7 へそのデジタル画像データ D_x を出力する。アナログスイッチ回路 7 は、デジタル画像データ D_x に対応する電位を選択して表示のための指示データとしてソース配線 S_j へ出力する。アナログスイッチ回路 7 は、デジタル画像データ D_x が "High" か "Low" かに応じて、画素回路 A_{ij} における後述するトランジスタ 11 (図 1 参照) を ON 状態 (導通状態) とする電位 (ON 電位)、およびトランジスタ 11 を OFF 状態 (非導通状態) とする電位 (OFF 電位) の何れかを選択してソース配線 S_j へ指示データとして出力する。この指示データは、ソース配線 S_j を共用する各画素回路 A_{ij} の出力状態 (後述する駆動用トランジスタ 11 または 16 の出力状態) を指示するためのデータであり、後述するように、時間分割階調表示法においては、1 つの画素回路 A_{ij} につき A 個 (A は 2 以上の整数) ずつ用意される。

【0095】

また、ゲートドライバ回路 3 a は、コントロール回路から入力されたアドレス Add および制御信号 OE (アドレス Add が更新されている期間出力が不安定になる。この期間に不要にゲート配線 Gi へ選択電圧を出力させないための信号) をゲートドライバ回路 3 a に内蔵されたデコード回路 (図示しない) でデコードする。ゲートドライバ回路 3 a は、デコードされたアドレス信号 Add に対応したゲート配線 Gi へ、ゲート配線 Gi で必要な走査信号 Gi を出力する。

【0096】

ゲートドライバ回路 3 b では、入力された制御信号 YI (制御配線 Ri , Pi 等を制御するためのスタートパルス) が、コントロール回路から供給されるクロック yc_k に従ってゲートドライバ回路 3 b に内蔵されたシフトレジスタ回路内を転送され、シフトレジスタ回路から対応するタイミングで制御配線 Ri で必要な制御信号 Ri として制御配線 Ri へ出力される。また、ゲートドライバ回路 3 b からは、後述するように、制御配線 Pi に所定レベルの制御電位 Pi が出力される。

【0097】

コントロール回路は、前記のスタートパルス SP 、クロック clk 、ラッチパルス LP およびデジタル画像データ D_x をソースドライバ回路 2 に出力する。また、コントロール回路は、アドレス信号 Add および制御信号 OE をゲートドライバ回路 3 a へ、クロック yc_k および制御信号 YI をゲートドライバ回路 3 b へ、それぞれ出力する。

【0098】

本実施形態の画素回路 A_{ij} の構成を図 1 の回路図に基づいて説明する。

【0099】

この画素回路 A_{ij} は、図 1 に示すように、ソース配線 S_j とゲート配線 Gi とが交差する位置の周辺領域に配置されており、 p 型 T F T である駆動用トランジスタ 11、 n 型 T F T であるスイッチ用トランジスタ (第 1 のスイッチ用トランジスタ) 13、 p 型 T F T であるスイッチ用トランジスタ (第 3 のスイッチ用トランジスタ) 12、および有機 E L 素子 (電気光学素子) $EL1$ を備えている。

【0100】

具体的には、図示しない直流電源から所定の電源電圧 V_p が印加された電源配線 V_p (所定電位配線) と、電源電圧 V_p に対して所定の電位差を有する所定の共通電位 (例えば接地電位) が付与された共通配線 V_{com} との間に、駆動用トランジスタ 11 とスイッチ用トランジスタ 12 と有機 E L 素子 $EL1$ とがこの順で直列に接続されている。

10

20

30

40

50

【0101】

電気光学素子としての有機EL素子EL1は、ソース配線Sjとゲート配線Giとの交点付近に配置されている。図示しないが、有機EL素子EL1は、その陽極としてITO（酸化インジウム錫）等からなる透明電極を備え、陰極として共通配線Vcomに接続された共通電極（Ca/Al合金等）を備えている。有機EL素子EL1は、図示しない電源から駆動用トランジスタ11を介して供給される電流によって駆動される。

【0102】

駆動用トランジスタ11は、そのソース端子が電源配線Vpに、そのドレイン端子がスイッチ用トランジスタ12のソース端子にそれぞれ接続されている。駆動用トランジスタ11は、直流電源と有機EL素子EL1との間に介在し、そのゲート端子に供給される指示データ（ON電位またはOFF電位の2値電位）に応じて直流電源から有機EL素子EL1への電流の供給を制御するものである。より詳細には、駆動用トランジスタ11は、そのゲート端子にON電位が供給されているときには、ON状態となって直流電源からの電流を有機EL素子EL1へ供給する。一方、駆動用トランジスタ11は、そのゲート端子にOFF電位が供給されているときには、OFF状態となって直流電源から有機EL素子EL1への電流の供給を停止する。上記指示データは、後述するように、スイッチ用トランジスタ13から出力されてコンデンサC2に保持され、コンデンサC2から駆動用トランジスタ11のゲート端子に供給される。

10

【0103】

駆動用トランジスタ11と有機EL素子EL1との間に挿入されたスイッチ用トランジスタ12は、制御配線Riから供給された制御信号Riによってある期間だけOFF状態（非導通状態）となるように制御され、その結果として駆動用トランジスタ11から有機EL素子EL1へ流れる電流を上記の期間だけ止めるものである。これにより、上記の期間に、有機EL素子EL1の表示を消去する（すなわち、有機EL素子EL1を非発光状態とする）動作（ブランキング）が行われる。また、スイッチ用トランジスタ12は、駆動用トランジスタ11の閾値電圧のばらつきを補償するために、後述するスイッチ用トランジスタ14がON状態である期間に、ON状態からOFF状態に移行するようになっている。

20

【0104】

この場合、スイッチ用トランジスタ12および制御配線Riによって、ブランキング手段が構成されている。なお、ブランキング手段として、これらに代えて、有機EL素子EL1を消去状態とする信号（ブランキング信号）をある期間だけ画素回路Aijに与える手段、例えば特許文献3におけるブランキングを行う手段がある。

30

【0105】

さらに、駆動用トランジスタ11のゲート端子とドレイン端子（出力端子）との間には、n型TFETであるスイッチ用トランジスタ（閾値電圧補償手段、第2のスイッチ用トランジスタ）14が配置されている。言い換えると、駆動用トランジスタ11のゲート端子とドレイン端子とを接続する配線上にスイッチ用トランジスタ14が介在している。

【0106】

スイッチ用トランジスタ14は、ブランキングが行われている期間（ブランキング期間）、すなわち駆動用トランジスタ11から有機EL素子EL1へ流れる電流が止められている期間（スイッチ用トランジスタ12がOFF状態である期間）に、ON状態となる。これにより、上記ブランキング期間に、駆動用トランジスタ11のゲート端子とドレイン端子とが短絡され、その結果として、駆動用トランジスタ11の閾値電圧のばらつきが補償される。閾値電圧のばらつきが補償される原理については、後述する。一方、トランジスタ14は、スイッチ用トランジスタ12がON状態である期間には、ブランキング期間の直前の所定時間を除いてOFF状態となる。スイッチ用トランジスタ14は、そのゲート端子が制御配線Piに接続されており、この制御配線Piに供給されている制御電位Piによって制御される。制御配線Piは、図示していないが、図2のゲートドライバ回路3bに接続されている。なお、閾値電圧補償手段は、上記ブランキング期間に、上記駆動

40

50

用トランジスタのゲート端子と出力端子（ソース端子またはドレイン端子）とを上記駆動用トランジスタの外部で導通させることができるものであれば、スイッチ用トランジスタ 14 に限定されるものではない。

【0107】

また、駆動用トランジスタ 11 のゲート端子には、コンデンサ（第 1 のコンデンサ）C1 とコンデンサ（第 2 のコンデンサ）C2 とが接続されている。これらのコンデンサ C1・C2 は、駆動用トランジスタ 11 のゲート端子とソース端子との間の電位差を保持するための電位差保持手段としての機能を有する。

【0108】

コンデンサ C1 は、その一方の端子が駆動用トランジスタ 11 のゲート端子に接続されており、その他方の端子は、駆動用トランジスタ 11 のソース端子に、すなわち電源配線 Vp に接続されている。

【0109】

コンデンサ C2 は、その一方の端子が駆動用トランジスタ 11 のゲート端子に接続されており、その他方の端子は、スイッチ用トランジスタ 13 のドレイン端子に接続されている。また、コンデンサ C2 は、スイッチ用トランジスタ 13 のドレイン端子から出力された指示データを保持すると共に駆動用トランジスタ 11 のゲート端子に供給するものである。

【0110】

スイッチ用トランジスタ 13 のソース端子は、ソース配線 Sj に接続されている。スイッチ用トランジスタ 13 のゲート端子は、ゲート配線 Gi に接続されている。スイッチ用トランジスタ 13 は、ゲート配線 Gi に供給された走査信号 Gi によって導通が制御される。スイッチ用トランジスタ 13 は、導通時に、ソース配線 Sj からの指示データをコンデンサ C2 へ出力してコンデンサ C2 に保持させる。これにより、有機 EL 素子 EL1 の表示状態（駆動用トランジスタ 11 の出力状態）を指示する指示データを画素回路 Aij に書き込むことができる。本実施形態に係る画素回路では、この指示データの書き込みを 1 フレーム期間に複数回行うことで時間分割階調表示を実現する。なお、時間分割階調表示を行わない場合には、この指示データの書き込みは、1 フレーム期間に 1 回だけ行えばよい。また、スイッチ用トランジスタ 13 は、走査信号 Gi に従って、ソース配線 Sj に出力された指示データの中から駆動用トランジスタ 11 に対応した指示データを選択して駆動用トランジスタ 11 に供給するようになっている。

【0111】

コンデンサ C2 の他方の端子（スイッチ用トランジスタ 13 のドレイン端子に接続されている方の端子）は、n 型 TFT であるスイッチ用トランジスタ（第 4 のスイッチ用トランジスタ）15 のドレイン端子にも接続されている。スイッチ用トランジスタ 15 のソース端子は電源配線 Vp に接続されている。スイッチ用トランジスタ 15 は、そのゲート端子が制御配線 Pi に接続されており、この制御配線 Pi に供給されている制御電位 Pi によって制御される。スイッチ用トランジスタ 15 は、コンデンサ C2 の他方端子に所定電位（電源電圧 Vp）を与えるためのものである。スイッチ用トランジスタ 15 は、スイッチ用トランジスタ 14 が ON 状態である期間に、コンデンサ C2 の他方の端子（スイッチ用トランジスタ 13 のドレイン端子に接続されている方の端子）を電源配線（所定電位配線）Vp に接続するようになっている。

【0112】

この画素回路 Aij の駆動タイミングを図 3 に示す。図 3 の上部に示す 3 つの波形は、上から順に、1) 画素回路 A2j にゲート配線 G2 を介して供給される走査信号 G2、2) 画素回路 A2j に制御配線 P2 を介して供給されている制御電位 P2、3) 画素回路 A2j に制御配線 R2 を介して供給されている制御信号 R2 のそれぞれの波形である。また、図 3 の中央に示す Sj は、ソース配線 Sj に供給される指示データの種別をビット番号（後述する）で示している。図 3 の下部に示す 3 つの波形は、上から順に、4) 画素回路 A3j にゲート配線 G2 を介して供給される走査信号 G3、5) 画素回路 A3j に制御配

10

20

30

40

50

線 P 3 を介して供給されている制御電位 P 3、6) 画素回路 A 3 j に制御配線 R 3 を介して供給されている制御信号 R 3 のそれぞれの波形である。この場合、指示データは、後述する駆動条件例 1・2 のように指示データ B 1 ~ B 8 (図 3 では、B を省略して示す) の 8 種類ある。図 3 は、後述する時間多重階調駆動方法を採用した場合を示している。図 3 に破線に挟まれた期間が、単位期間 1 つに対応する。また、図 3 において横軸で示す時間軸は、t 1 を単位として示している。この t 1 は、後述する占有期間の長さの半分に相当する。(なお、選択期間と占有期間の長さは同一である)

画素 A 2 j は、時間 1 3 t 1 からブランキング期間に入る。時間 1 3 t 1 において、制御配線 P 2 の電位 (制御電位 P 2) を High (GH) として、スイッチ用トランジスタ 1 5・1 4 を ON 状態とする。スイッチ用トランジスタ 1 5 が ON 状態となることにより、コンデンサ C 1 の電源側の端子 (電源配線 V p と接続されている方の端子) とコンデンサ C 2 の他方端子 (スイッチ用トランジスタ 1 3 と接続されている方の端子) とに対して、電源配線 V p から所定電位の電源電圧 V p が与えられる。また、スイッチ用トランジスタ 1 4 が ON 状態となることにより、駆動用トランジスタ 1 1 のゲート端子とドレイン端子との間が短絡される。このとき、制御配線 R 2 の電位 (制御信号 R 2 の電位) が Low (GL) なので、スイッチ用トランジスタ 1 2 は ON 状態となっている。従って、駆動用トランジスタ 1 1 のドレイン電位は低下し、駆動用トランジスタ 1 1 のゲート電位は ON 電位となる。

10

【0 1 1 3】

その後、時間 1 4 t 1 において、制御配線 R 2 の電位 (制御信号 R 2 の電位) を High (GH) とし、スイッチ用トランジスタ 1 2 を OFF 状態とする (このとき、スイッチ用トランジスタ 1 5・1 4 は ON 状態のままである)。このことにより、駆動用トランジスタ 1 1 のドレイン電位が上昇し、駆動用トランジスタ 1 1 のゲート・ソース間電位は、ON 状態から OFF 状態に変化、閾値電位 V t h に到達する。それゆえ、駆動用トランジスタ 1 1 のゲート電位 V g は、電源電圧 V p と駆動用トランジスタ 1 1 の閾値電位 V t h との差に等しく、すなわち、

20

$$V g = V p - V t h$$

となる。したがって、コンデンサ C 1・C 2 の両端の電位差は、駆動用トランジスタ 1 1 のゲート・ソース間電位、すなわち閾値電位 V t h に等しくなる。

【0 1 1 4】

30

そして、時間 1 5 t 1 において、制御配線 P 2 の電位が Low (GL) となり、スイッチ用トランジスタ 1 5・1 4 が OFF 状態となる。これにより、コンデンサ C 1・C 2 の両端には、電位差 V p - V g、すなわち閾値電位 V t h に対応する電荷が保持される、すなわち閾値電位 V t h に等しい電位差が保持される (閾値電位 V t h に対応する電荷が保持される)。

【0 1 1 5】

その後、時間 1 6 t 1 においてブランキング期間が終了する。時間 1 6 t 1 において、制御配線 R 2 の電位を Low (GL) として、スイッチ用トランジスタ 1 2 を ON 状態とする。また、ゲート配線 G 2 の電位を High (GH) として、スイッチ用トランジスタ 1 3 を ON 状態とする。これにより、コンデンサ C 2 の他方端子 (スイッチ用トランジスタ 1 3 と接続されている方の端子) が、ソース配線 S j と短絡される。

40

【0 1 1 6】

このとき、ソース配線 S j には指示データ (後述するビット番号 7 に対応する指示データ B 1) が供給されているので、コンデンサ C 2 の他方端子 (スイッチ用トランジスタ 1 3 と接続されている方の端子) の電位は、その指示データ (後述するビット番号 7 に対応する指示データ B 1) に対応した電位 (V H または V L) となる。このため、駆動用トランジスタ 1 1 のゲート電位は、指示データ (後述するビット番号 7 に対応する指示データ B 1) に対応して変化する。

【0 1 1 7】

このとき、駆動用トランジスタ 1 1 の閾値電圧 V t h に等しい電位差がコンデンサ C 1

50

・ 2 の両端に保持されていることで、駆動用トランジスタ 11 のゲート電位は、その閾値電位 V_{th} に依存することなく、指示データに対応した電位だけ閾値電位（電源電位 $V_p - V_{th}$ ）から変化した電位となる。すなわち、駆動用トランジスタ 11 のゲート・ソース間電位は、その閾値電位 V_{th} に依存することなく、指示データに対応した電位だけ閾値電位 V_{th} から変化した電位となる。これにより、駆動用トランジスタ 11 を流れる電流 I_d は、その閾値電位 V_{th} に依らず、指示データに対応した電流値となる。そのため、駆動用トランジスタ 11 の閾値電圧 V_{th} のばらつきに起因する、駆動用トランジスタ 11 から有機 EL 素子 EL1 に流れる電流のばらつきが補償される。このとき、スイッチ用トランジスタ 12 は ON 状態であれば、上記の電流 I_d は、駆動用トランジスタ 11 から有機 EL 素子 EL1 に流れる。それゆえ、有機 EL 素子 EL1 の輝度は、駆動用トランジスタ 11 の閾値電位 V_{th} のばらつきに起因するばらつきが補償された輝度となる。すなわち、有機 EL 素子 EL1 は、駆動用トランジスタ 11 の閾値電位 V_{th} に依存せず、指示データに対応した表示状態となる。その結果、輝度のむらのない表示を行うことができる。

10

【0118】

そして、時間 $17t_1$ 以降、ゲート配線 G2 の電位を Low (GL) とし、スイッチ用トランジスタ 13 を OFF 状態とすることで、コンデンサ C2 の他方端子（スイッチ用トランジスタ 13 と接続されている方の端子）に、時間 $16t_1$ から時間 $17t_1$ までの間に付与された電位（指示データに対応した電位）を保持させる。

【0119】

このことにより、駆動用トランジスタ 11 を流れる電流 I_d は、その閾値電位 V_{th} に依らず、指示データ（後述するビット番号 7 に対応する指示データ B1）に対応した電流値となる。このとき、スイッチ用トランジスタ 12 は ON 状態であるので、上記の電流 I_d は、駆動用トランジスタ 11 から有機 EL 素子 EL1 に流れる。その結果、指示データに対応した、輝度のむらのない表示が維持される。

20

【0120】

なお、時間 $17t_1$ 以降、ソース配線 S_j に送られる指示データは、他のゲート配線に対応した指示データに変更されるが、ゲート配線 G2 に対応するスイッチ用トランジスタ 13 は OFF 状態であるため、駆動用トランジスタ 11 等は、その指示データの変更による影響を受けない。

30

【0121】

上記構成では、駆動用トランジスタ 11 の閾値電位 V_{th} のばらつきを補償するための電荷がコンデンサ (C1・C2) に溜められるのは、スイッチ用トランジスタ 14 が ON の期間（時間 $13t_1$ から時間 $15t_1$ までの期間）だけであり、1 フレーム期間に 1 回だけである。しかしながら、この駆動用トランジスタ 11 の閾値電位 V_{th} のばらつきを補償するための電荷は、トランジスタ 14 が OFF となり、ソース配線 S_j よりコンデンサに電圧が印加されても、保持される。従って、この電荷を 1 フレーム期間に 1 回更新すれば、1 フレーム期間に何回指示データを与えても、トランジスタ 14 が OFF である限り、駆動用トランジスタ 11 の閾値電位 V_{th} のばらつきは補償される。

【0122】

ブランキング期間において駆動用トランジスタ 11 を流れる電流 I_d と、駆動用トランジスタ 11 のゲート電位 V_g およびドレイン電位 V_d とをシミュレーションした結果を図 4 に示す。

40

【0123】

図 4 において、(1) および (2) を付した電流 (I_d) および電位 (V_g , V_d) はそれぞれ、以下の表に示す条件 (1) および (2) を用いてシミュレーションした結果である。

【0124】

【表 1】

条件	駆動用トランジスタ 1 1 の閾値電圧	駆動用トランジスタ 1 1 の移動度
(1)	最良 (電圧が低い)	最良 (移動度が大きい)
(2)	最悪 (電圧が高い)	最悪 (移動度が小さい)

【0 1 2 5】

条件 (1) は、駆動用トランジスタ 1 1 の移動度を最良、閾値電位 V_{th} を最良とした。条件 (2) は、駆動用トランジスタ 1 1 の移動度を最悪、閾値電位 V_{th} を最悪とした。また、このシミュレーションでは、電源電圧 $V_p = 1.3 \text{ V}$ とした。また、2628 ~ 2752 μs の期間 (図 3 における時間 13 t 1 から時間 15 t 1 までの期間に対応)、制御電位 P 2 を 1.6 V (図 3 の V_H に対応) とした。また、2632 ~ 2756 μs の期間 (図 3 における時間 14 t 1 から時間 16 t 1 までに対応)、制御信号 R 2 の電位を 1.6 V (図 3 の V_H に対応) とした。 10

【0 1 2 6】

図 4 から判る通り、ブランキング期間 (時間 2628 ~ 2752 μs) では駆動用トランジスタ 1 1 を流れる電流 I_d がほぼ 0 となっている。また、駆動用トランジスタ 1 1 のゲート電位 V_g は、その閾値電位 V_{th} に対応した値となっている。

【0 1 2 7】

そこで、ブランキング期間後、ゲート配線 G_i を High (G_H) として、ソース配線 S_j からスイッチ用トランジスタ 1 3 を通してコンデンサ C 2 の他方端子に所望の電圧 (指示データの電位) を入力する。 20

【0 1 2 8】

このとき、ソース配線 S_j の電位 S_j (指示データの電位) を変え、駆動用トランジスタ 1 1 を流れる電流 I_d を上記条件 (1) および (2) のそれぞれでシミュレーションした結果を図 5 に示す。このシミュレーションでは、ソース配線 S_j の電位 S_j を 1.1 V から 4 V まで 1 V 刻みで段階的に変化させ、ソース配線 S_j の電位 S_j を変化させた直後に、ゲート配線 G_2 の電位 (走査信号 G_2 の電位) を 0 V から 1.6 V まで変化させた。

【0 1 2 9】

図 5 から判るとおり、ソース配線 S_j の電位 S_j を電源電位 V_p (1.3 V) から下げていくほど駆動用トランジスタ 1 1 を流れる電流 I_d は増加する。 30

【0 1 3 0】

また、上記条件 (1) と条件 (2) とで、駆動用トランジスタ 1 1 を流れる電流 I_d も変化する。したがって、条件 (1) の駆動用トランジスタ 1 1 と条件 (2) の駆動用トランジスタ 1 1 とが 1 つの表示装置 1 中に混在していれば、その電流 I_d もばらつく。この電流 I_d のばらつきは、駆動用トランジスタ 1 1 の移動度のばらつきに依存する。

【0 1 3 1】

そのため、以下の表に示す条件 (3) で駆動用トランジスタ 1 1 を流れる電流 I_d をシミュレーションした結果は、条件 (1) でシミュレーションした結果と一致する。また、以下の表に示す条件 (4) で駆動用トランジスタ 1 1 を流れる電流 I_d をシミュレーションした結果は、条件 (2) でシミュレーションした結果と一致する。 40

【0 1 3 2】

【表 2】

条件	駆動用トランジスタ 1 1 の閾値電圧	駆動用トランジスタ 1 1 の移動度
(3)	最悪 (電圧が高い)	最良 (移動度が大きい)
(4)	最良 (電圧が低い)	最悪 (移動度が小さい)

【0 1 3 3】

そして、この駆動用トランジスタ 1 1 間の移動度の差は、隣接する画素回路の駆動用ト 50

ランジスタ 11 間では比較的少なく、互いに離れた画素回路の駆動用トランジスタ 11 間では比較的大きくなる。

【0134】

なお、図 5 に示す駆動用トランジスタ 11 を流れる電流 $I_d(1)$ および $I_d(2)$ は、表示装置 1 内の最良値および最悪値に対応する。

【0135】

隣接する画素回路における駆動用トランジスタ 11 間では、条件 (1) と条件 (2) との間ほど移動度が変わらないので、隣接する画素回路の間では、図 5 に示す駆動用トランジスタ 11 を流れる電流 $I_d(1)$ と電流 $I_d(2)$ との差ほど駆動用トランジスタ 11 を流れる電流 I_d (有機 EL 素子 EL1 に流れる電流) が変わらない。そのため、この電流 I_d の違いによる隣接する画素間での輝度の差は、それほど目立たない。

10

【0136】

このため、駆動用トランジスタ 11 を流れる電流 I_d 、すなわち有機 EL 素子 EL1 に流れる電流は、その閾値電位 V_{th} に依らず、指示データ B_x に対応するソース配線 S_j の電位で決まる。

【0137】

したがって、有機 EL 素子 EL1 に流れる電流を、対応する駆動用トランジスタ 11 の閾値電位 V_{th} に依らず、指示データ B_x に対応するソース配線 S_j の電位によって制御することができる。それゆえ、各画素回路 A_{ij} の間で駆動用トランジスタ 11 の閾値電位 V_{th} にばらつきがあっても、有機 EL 素子 EL1 の輝度を表示装置 1 全体で均一にすることが

20

【0138】

また、上記ソース配線 S_j へ供給する電位を $High(V_H)$ と $Low(V_L)$ との 2 値とすれば、ソース配線 S_j に供給する電圧を決める回路をアナログスイッチ回路 7 で構成することができる。

【0139】

以上のように、本実施形態に係る表示装置 1 では、指示データ $B_1 \sim B_a$ に対応する駆動期間外のブランキング期間に駆動用トランジスタ 11 の閾値電位 V_{th} のばらつきを補償することができる。それゆえ、指示データ $B_1 \sim B_a$ に対応する各駆動期間に閾値電圧のばらつき補償を行う期間を設ける必要がなく、各駆動期間の全体を表示期間として利用できる。したがって、特許文献 1 の構成と比較して、選択期間を短くすることができる。その結果、より多くのゲート配線に対応した駆動用トランジスタを 1 つのゲートドライバ回路 3a で駆動することができる。したがって、例えば 1 つの走査信号供給手段でより大きいサイズの表示装置を駆動することができる。

30

【0140】

また、本実施形態に係る表示装置 1 では、制御配線 R_i によってスイッチ用トランジスタ 12 を制御することによってブランキング動作を行うことができるので、特許文献 3 に記載されているブランキングを行う手段 (ブランキング信号をソース配線へ供給する手段) とは異なり、ブランキング信号をソースドライバ回路 2 からソース配線 S_j に供給することなく、ブランキングを行うことができる。この結果、コントロール回路からソースドライバ回路 2 へ転送する指示データ全てを表示に利用することができるので、各指示データのうち最も重みの大きな指示データの重みを小さくすることができる。その結果、動画偽輪郭の発生を抑制することができる。

40

【0141】

次に、上述した表示装置 1 の駆動方法として、1 フレーム期間に存在する表示期間の割合が大きくできる時間多重階調駆動方法を示す。

【0142】

本駆動方法は、1 フレーム期間に存在する表示期間の割合が大きくできる時間多重階調駆動方法を実現することを目的として、従来の時間多重階調駆動方法を改良したものである。

50

【0143】

本駆動方法は、 p ビット階調、すなわち 2^p 階調の画像データ信号から A 個（ A は2以上の整数）の指示データを作成し、これら A 個の指示データに基づいて、各ゲート配線 G_i 上の有機EL素子 EL_1 の表示状態の設定、すなわち各ゲート配線 G_i 上の画素回路 A_{ij} に対する指示データの書き込みを1フレーム期間で A 回行う。有機EL素子 EL_1 の表示状態は、ON状態およびOFF状態のいずれか1つの状態に設定される。設定された表示状態は、次に設定が行われるか、あるいはブランキングが行われるまで維持される。そして、有機EL素子 EL_1 の表示状態が設定された後に維持される A 個の期間（駆動期間）のうち、何れの期間で有機EL素子 EL_1 をON状態に設定するかによって、 p ビット階調（ p は2以上の整数）表示を実現する。

10

【0144】

このために、前記のアナログスイッチ回路7（図2）は、ソース配線 S_j に対して、指示データを、ソース配線 S_j を共用する n 個の画素回路 A_{ij} の1つ（図1に示す駆動用トランジスタ11の1つ）につき A 個（ A は2以上の整数）ずつ、すなわち計 $n \times A$ 個供給するようになっている。

【0145】

本駆動方法では、1フレーム期間が n 等分される。本明細書では、この1フレーム期間を n 等分した期間を「単位期間」と称する。また、同一の指示データに基づいて有機EL素子 EL_1 の表示状態の設定が行われる期間は、ゲート配線 G_i 同士で一致しないように設定する。例えば、1番目のゲート配線 G_1 上において、ある指示データに基づく有機EL素子 EL_1 の表示状態の設定が行われる期間が1番目の単位期間の一部であったとすれば、2番目のゲート配線 G_2 上において上記指示データに基づく有機EL素子 EL_1 の表示状態の設定が行われる期間は1番目以外の単位期間の一部となるように設定される。有機EL素子 EL_1 の表示状態が設定されるタイミングは、例えば隣接するゲート配線 G_i 間において単位期間1個分ずつ（選択期間 A 個分ずつ）ずれるように設定される。

20

【0146】

さらに、1フレーム期間を構成する n 個の単位期間はそれぞれ A 等分される。本明細書では、この n 個の単位期間を A 等分した期間を「占有期間」と称する。0～ $A-1$ 番目の占有期間では、各々に対応した1つの指示データに基づく有機EL素子 EL_1 の表示状態の設定が、何れか1つのゲート配線 G_i 上で行われるようになっている。すなわち、0～ $A-1$ 番目の占有期間の全てが、指示データの1つに対応している。ここでは、有機EL素子 EL_1 の表示状態の設定が行われる占有期間の長さは選択期間の長さと同じ。この占有期間を「書き込み期間」と称する場合もある。

30

【0147】

指示データに対応する表示期間の長さに比例して、その表示期間が1フレーム期間での平均階調（人間の目には感じられる階調に対応する）に与える影響の大きさ（重み）が大きくなる。指示データに対応する表示期間の長さは、選択期間1個分の長さを単位として設定される。本明細書では、指示データに対応する表示期間の長さを選択期間1個分の長さを単位として表した値を「指示データのビット長」と称する。また、本明細書では、指示データに対応する表示期間の長さを整数比で表した値、すなわち指示データに対応する表示期間の長さを最も短い表示期間の長さを単位として表した値を「指示データの重み」と称する。 A 個の指示データの重みは、それらの数の組み合わせによって、 2^p 通りの数を表すことができるようになっている。

40

【0148】

また、この駆動方法では、1フレーム期間内に、 A 個の期間（表示期間）以外に、有機EL素子 EL_1 の表示を消去（ブランキング）する期間（ブランキング期間）が存在する。ブランキング期間は1フレーム期間内に複数設けてもよいが、この駆動方法では、表示期間の総和を長くするために、1フレーム期間内に存在するブランキング期間を1つだけとしている。ブランキング期間（駆動用トランジスタ11から有機EL素子 EL_1 へ流れる電流を止める時間）の長さは、 A 個の表示期間の長さの合計と1フレーム期間との差に

50

等しい。なお、ブランキング期間は、1フレーム期間での平均階調に影響を与えないので、重みは0である。

【0149】

次に、この駆動方法における指示データの重みおよびブランキング期間の長さの設定方法について、より詳細に説明する。ここでは、A個の表示期間のうちで最初の表示期間に対応する指示データを指示データB1、その次の表示期間に対応する指示データを指示データB2、さらにその次の表示期間に対応する指示データを指示データB3、・・・、A番目の表示期間に対応する指示データを指示データBaとする。また、この場合、ブランキング期間は、A番目の表示期間の後に設けられている。

【0150】

この駆動方法では、A個の指示データB1～Baの重みをW1～Wa（W1～Waは1以上の整数）とすると、各指示データB1～Ba-1の重みW1～Wa-1を、

$$\text{MOD}(W1, A) \neq 0$$

$$\text{MOD}(W1 + W2, A) \neq 0$$

$$\text{MOD}(W1 + W2, A) \neq \text{MOD}(W1, A)$$

$$\text{MOD}(W1 + W2 + W3, A) \neq 0$$

$$\text{MOD}(W1 + W2 + W3, A) \neq \text{MOD}(W1, A)$$

$$\text{MOD}(W1 + W2 + W3, A) \neq \text{MOD}(W1 + W2, A)$$

・・・

$$\text{MOD}(W1 + \dots + Wa-1, A) \neq \text{MOD}(W1 + \dots + Wa-2, A)$$

... (1)

となるように設定する（但し、MOD(x, y)はxをyで割った余り、即ち、占有期間の番号を指す）。

【0151】

すなわち、重みW1～Wa-1を、MOD(W1 + W2, A)、MOD(W1 + W2, A)、MOD(W1 + W2 + W3, A)、・・・、MOD(W1 + ... + Wa-1, A)、MOD(W1 + ... + Wa-2, A)が、互いに等しくならないように、かつ、各々が0に等しくないように設定する。これにより、A個の指示データB1～Baに対応する書き込み期間（指示データB1～Baの各々に対応する表示期間に含まれる最初の選択期間の占有期間）が、互いに重なり合わないようにすることができる。その結果、時間多重階調駆動方法を実現することができる。

【0152】

各指示データB1～Ba-1の重みW1～Wa-1を実際にどのような設定とするかは、コンピュータを用いて、各指示データB1～Ba-1の重みW1～Wa-1を変えていき、上記連立式(1)の条件を満たすかを調べていけば分かる。

【0153】

また、指示データBaの重みWaを、表示したい階調数G(=2^p)に対して、

$$W1 + W2 + \dots + Wa-1 + Wa = G - 1 \dots (2)$$

となるように設定する。すなわち、指示データBaの重みWaを、

$$Wa = G - (W1 + \dots + Wa-1) - 1$$

となるように設定する。なお、重みW1～Waは、それらの組み合わせ（それらのうちの0～A個の重みの和）によって0～G-1の全ての数を表すことができるものとする。

【0154】

指示データB1～Baのビット長（指示データB1～Baに対応する表示期間の長さを選択期間1個分の長さを単位として表した値）をL1～Laで表すとすれば、L1～Laは、重みW1～Waに対して、

$$L1 = k \times W1$$

$$L2 = k \times W2$$

・・・

$$La = k \times Wa$$

10

20

30

40

50

(k は、1 以上の整数であって A の倍数ではない整数)
という関係を満たすように設定される。

【0155】

このとき、選択期間を単位として表したブランキング期間の長さ W_b は、ゲート配線 G_i の数 n に対して、

$$W_b = n \times A - (W_1 + \dots + W_a) \times k \dots (3)$$

(k は、1 以上の整数であって A の倍数ではない整数)

となるように、すなわち、

$$W_b = n \times A - (G - 1) \times k$$

となるように設定する。

10

【0156】

そして、前記連立式(1)および式(2)を満たすように、指示データの個数(1フレーム期間に1つの画素回路 A_{ij} に供給される指示データの個数) A および指示データ $B_1 \sim B_a$ の重み $W_1 \sim W_a$ を設定する。そして、ブランキング期間の長さ W_b を、例えば指示データ $B_1 \sim B_a$ の重み $W_1 \sim W_a$ のうちで最小のものに対応する長さ以下まで、短くすることができる。それゆえ、1フレーム期間に複数回のブランキング期間が必要な特許文献2や特許文献4の時間多重階調駆動方法と比較して、1フレーム期間に占めるブランキング期間の割合を少なく、すなわち1フレーム期間に占める表示期間の割合を多くすることができる。その結果、1フレーム全体での輝度を従来の時間多重階調駆動方法と同一にする場合、表示期間の割合が多い分だけ1フレーム内の発光期間の輝度を相対的に低く設定でき、有機EL素子 EL_1 の長寿命化を図ることができる。また、1フレーム内の発光期間の輝度を従来の時間多重階調駆動方法と同一にすれば、1フレーム全体での輝度を相対的に高くすることができる。

20

【0157】

このとき、動画偽輪郭の発生を抑えるために、指示データの個数 A は、表示階調数 G のビット数 p よりも1以上大きくなるように、すなわち、次式

$$A > 1 + \log_2 G$$

を満たすように設定してもよく、さらに動画偽輪郭の発生を抑えるために、次式

$$A \geq 2 + \log_2 G$$

を満たすように設定してもよい。

30

【0158】

なお、本発明の駆動方法は、ソース配線 S_j の指示データに依らず、制御配線によりブランキング期間を生成できる表示装置であれば、図1に示す画素回路 A_i に限らず適用可能である。また、図1に示す画素回路 A_{ij} 以外の画素回路に上記駆動方法を適用する場合には、有機EL素子 EL_1 の表示を消去(ブランキング)する方法として、有機EL素子 EL_1 を消去状態とする信号(ブランキング信号)をある期間だけ有機EL素子 EL_1 に与える方法(例えば共通電極 V_{com} の電圧を変える等)を用いてもよい。

【0159】

また、整数 k は、式(3)の右辺が正となる条件、すなわち、

$$k < n \times A / (G - 1) \dots (4)$$

という条件を満たす整数で、 A の倍数とならない数(ただし、連立式(1)を満足する値)とする。また、不等式(4)を満たす整数で、 A の倍数とならない数が複数存在する場合、ブランキング期間の長さ W_b を最小化するために、それらの数のうちで最大の数を k とすることが好ましい。

40

【0160】

上記駆動方法では、選択期間の長さを t_1 とすると、ゲート配線 G_i に対応した画素回路に指示データ $B_1 \sim B_a$ を与えるタイミング(期間)をそれぞれ、時間 $0 \sim t_1$ 、時間 $W_1 \times k \times t_1 \sim (W_1 \times k + 1) \times t_1$ 、 $\dots$ 、時間 $(W_1 + \dots + W_{a-1}) \times k \times t_1 \sim ((W_1 + \dots + W_{a-1}) \times k + 1) \times t_1$ とする。また、前述したように、次のゲート配線 G_{i+1} に対応した画素の指示データ $B_1 \sim B_a$ を与えるタイミング

50

(期間)を、上記タイミング(期間)より単位期間1つ分の時間(この場合、時間 $A \times t_1$ に等しい)だけ遅らせる。これらにより、1本のソース配線 S_j を共用する全ての画素回路に対して、互いに重なり合わないタイミングで指示データ $B_1 \sim B_a$ を供給する駆動方法が実現できる。即ち、時間多重階調駆動が実現できる。

【0161】

上記駆動方法では、1フレーム期間に少なくとも1回ブランキング期間を設けることで、1フレーム期間の長さ(この場合、(ゲート配線数 n) $\times$ (指示データ数 A)に等しい)と、表示期間(階調表示期間)の長さの総和($W_1 + \dots + W_a$) $\times k$ との差 W_b を埋めることができる。なお、このブランキング期間を設けるためには、例えば、前記の画素回路 A_{ij} を使用し、時間($W_1 + \dots + W_a$) $\times k \times t_1 \sim n \times A \times t_1$ にかけて

10

【0162】

また、上記駆動方法では、1フレーム期間に設けるブランキング期間を1回としたことで、特許文献2(特表平9-511589号公報)に示された1フレーム期間に複数回のブランキング期間が必要な時間多重階調駆動方法よりも非表示期間を短くできる。

【0163】

また、前述したように、前記連立式(1)および式(2)を満たし、かつ、ブランキング期間の長さ W_b が最小(あるいは比較的小さい値)となるように、指示データの個数 A および指示データ $B_1 \sim B_a$ の重み $W_1 \sim W_a$ を設定することで、1フレーム期間に占める

20

【0164】

その結果、表示装置全体として従来と同程度の輝度を得る場合、非表示期間が短くなった分だけ1フレーム内の発光期間の輝度を相対的に低く設定できる。これにより、有機EL素子 EL_1 の長寿命化が図れる。

【0165】

以下、上記駆動方法の具体例を、駆動条件例1~4として説明する。

【0166】

(駆動条件例1)

この駆動条件例では、仮に表示装置1の画面サイズがQVGA(320 $\times$ 240画素)であり、QVGAを長手方向に走査するものとする。そうすれば、ゲート配線 G_i の本数 n (図面中では「ライン数」と記す)は、320本となる。また、表示装置1が、各画素ごとに3色に対応した3つの画素回路を備え、各色の表示階調数 G が64階調(表示階調数 G のビット数 p が6ビット)であるものとする。また、この例では、動画偽輪郭の発生を抑える為に、指示データの個数 A (図面中では「データ数」と記す)を、表示階調数 G のビット数 p よりも2大きい値、すなわち8とする。この例では、前記のコントロール回路に設けられた1単位期間分の指示データ(A 個の指示データ)を記憶するためのメモリを、8ビットのメモリとする。

30

【0167】

この条件で、コンピュータを用いて、各指示データ $B_1 \sim B_{a-1}$ の重み $W_1 \sim W_{a-1}$ を変えていき、前記連立式(1)を満たすかを調べていき、前記連立式(1)を満たす重み $W_1 \sim W_{a-1}$ を決定する。また、指示データ B_a の重みを、前記式(2)を満たすように決定する。

40

【0168】

そのような重みの決定(プログラム)を行った結果として得られた条件の1例を図6に示す。

【0169】

図6には、指示データ $B_1 \sim B_8$ について、ビット番号、重み、表示期間の長さ、およびビット長(=表示期間の長さ+ブランキング期間の長さ)を示している。

50

【0170】

ビット番号は、指示データ B 1 ~ B 8 に対して、最も重みの小さい方から、1、2、・
 ・・、8 と付ける。その結果、指示データ B 1 がビット番号 7、指示データ B 2 がビット
 8、指示データ B 3 がビット番号 1、指示データ B 4 がビット番号 3、指示データ B 5 が
 ビット番号 4、指示データ B 6 がビット番号 2、指示データ B 7 がビット番号 5、指示デ
 ータ B 8 がビット番号 6 に対応する。各ビット番号は、8 桁のビット列の各ビットの番号
 (最下位ビット側から数えていくつめのビットであるのか)に相当するものである。この
 場合、ビット番号 1 ~ 8 の指示データ (ビット)の重みは、1、2、4、・・・となっ
 ている。この場合、指示データ B 1 ~ B 8 に対応するビット番号は、7、8、1、3、4、
 2、5、6 となっており、ビット番号 1 から順に並んでいない。このようにビット番号 1
 から順に並べない方が、連立式 (1) を満足させやすい。また、最後のビット番号 6 の表
 示期間の後にブランキング期間が設けられている。図 6 では、最後にブランキング期間が
 設けられている表示期間に対応するビットの重みを「+ B」を付けて表記している。この
 ブランキング期間の長さ (図面中では「B 長」と略記する)は、式 (3) により求められ
 る。

【0171】

この場合、上述したような重みの決定 (プログラム) を行った結果として、各ビット番
 号の指示データ (ビット) B 1 ~ B 7 の重みが、1 2、1 3、1、4、7、2、1 2 とな
 るように設定されている。

この例では、連立式 (1) における左辺の値は、

$$\text{MOD} (W 1, A) = \text{MOD} (1 2, 8) = 4$$

$$\text{MOD} (W 1 + W 2, A) = \text{MOD} (2 5, 8) = 1$$

$$\text{MOD} (W 1 + W 2 + W 3, A) = \text{MOD} (2 6, 8) = 2$$

$$\text{MOD} (W 1 + W 2 + W 3 + W 4, A) = \text{MOD} (3 0, 8) = 6$$

$$\text{MOD} (W 1 + W 2 + W 3 + W 4 + W 5, A) = \text{MOD} (3 7, 8) = 5$$

$$\text{MOD} (W 1 + W 2 + W 3 + W 4 + W 5 + W 6, A) = \text{MOD} (3 9, 8) = 7$$

$$\text{MOD} (W 1 + W 2 + W 3 + W 4 + W 5 + W 6 + W 7, A) = \text{MOD} (5 1, 8) = 3$$

となる。したがって、前記連立式 (1) が満たされる。

【0172】

また、指示データ B 1 ~ B 8 (ビット番号 1 ~ 8 のビット)の重み W 1 ~ W 8 の総和は
 、6 3 となるように設定されている。したがって、最後の指示データ B 8 (ビット番号 6
 のビット)の重みは、前記式 (2) を満たすように、すなわち、

$$W 1 + W 2 + \cdots + W 8 = 6 3$$

となるように設定されている。

【0173】

また、整数 k は、ゲート配線数 n (= 3 2 0)、指示データ数 A (= 8)、表示したい
 階調数 G (= 6 4) に対して、

$$k < n \times A / (G - 1) \dots (4)$$

を満たす、すなわち、

$$k < 3 2 0 \times 8 / 6 3$$

を満たす整数で、A (= 8) の倍数とならない数である。また、k は、ブランキング期間
 の長さ W b を最小化するために、この不等式を満たす整数で、A の倍数とならない最大の
 数とすることが好ましい。但し、k が A の素因数等の場合、連立式 (1) を満たさない場
 合がある。k は、A の倍数 ± 1 であれば概ね連立式 (1) を満たし、問題なく使える。こ
 の場合、不等式 (4) を満たす整数で、A (= 8) の倍数とならない最大の数は 3 9 であ
 り、連立式 (1) を満たす。したがって、この場合、k = 3 9 とする。

【0174】

ブランキング期間長 W b は、前記式 (3) から算出することができる。すなわち、k =
 3 9 とすれば、前記式 (3) より、

$$W b = 3 2 0 \times 8 - 6 3 \times 3 9 = 1 0 3$$

となる。

【0175】

さらに、図6では、以上の連立式(1)を満たす走査条件が、「各指示データB1～B8に対応する書き込み期間が相互に重ならない」という条件(時間多重階調駆動方法を実現するための必要条件)を満たすことを模式的に示している。

【0176】

ここでは、縦軸に指示データ番号、横軸にビット番号、ビットの重み、ビットの表示期間の長さ、占有期間の番号を示す。図6では、各指示データB1～B8またはブランキング期間に対してどの占有期間の番号が対応しているかを黒丸で示している。

【0177】

各指示データB1～Baの占有期間の番号をN1～Naとすると、これらは、

$$N1 = 0$$

$$N2 = \text{MOD}(W1, A)$$

$$N3 = \text{MOD}(W1 + W2, A)$$

...

$$Na = \text{MOD}(W1 + \dots + W_{a-1}, A)$$

により求めることができる。その結果を図6に記す。

【0178】

図6から、各指示データB1～B8(ビット番号7～ビット番号6)の占有期間が相互に重ならないことが判る。また、1フレーム期間の全長を選択期間を単位として表した値(図面中では「合計」と記す)は、

$$1 \text{ フレーム期間} = 320 \times 8 \text{ 選択期間} = 2560 \text{ 選択期間}$$

となる。上記駆動方法を用いることで、1フレーム期間における表示期間の長さ(1フレーム期間に含まれるA個の駆動期間の長さの合計)を選択期間を単位として表した値(図面中では単に「表示期間」と記す)は、

$$\text{表示期間} = 39 \times 63 \text{ 選択期間} = 2457 \text{ 選択期間}$$

となる。残りの103選択期間が、ブランキング期間長Wbとなる。

【0179】

このとき、1フレーム期間に占めるブランキング期間の比率は

$$\text{ブランキング期間の比率} = 103 / 2560 = \text{約} 4\%$$

となる。したがって、上記駆動方法を用いれば、1フレーム期間に占めるブランキング期間の比率を充分小さくできることが判る。

【0180】

(駆動条件例2)

この駆動条件例は、駆動条件例1において、駆動タイミングを図示しやすいようにゲート配線数nをn=8に変更した以外は、駆動条件例1と同じ条件である。この例でも、前記のコントロール回路に設けられた1単位期間分の指示データ(A個の指示データ)を記憶するためのメモリを、8ビットのメモリとする。

【0181】

この駆動条件例では、指示データの個数Aおよび表示階調数Gは駆動条件例1と同一であるので、各指示データの重みは、駆動条件例1と同一の重みに設定される。

【0182】

一方、この場合には、整数kは、前記の不等式(4)、すなわち、

$$k < 8 \times 8 / 63$$

を満たす整数で、A(=8)の倍数とならない数である。したがって、この場合、kは、駆動条件例1と異なり、k=1に設定される。

【0183】

図6と同じ様式でこの例の走査条件を図示すると、図7に示すようになる。

【0184】

この場合、1フレーム期間の全長を選択期間を単位として表した値は、

10

20

30

40

50

1 フレーム期間 = 8 × 8 選択期間 = 64 選択期間

となる。1 フレーム期間における表示期間の長さを選択期間を単位として表した値は

表示期間 = 1 × 63 選択期間 = 63 選択期間

となる。このとき、1 フレーム期間に占めるブランキング期間の比率は

ブランキング期間の比率 = (64 - 63) / 63 = 1.6 %

となる。

【0185】

上記駆動方法では、ブランキング期間の長さが1 フレーム期間あたり1 選択期間で済むので、従来技術の特許文献2（特表平9 - 511589号公報）の駆動方法に比べ、劇的にブランキング期間の比率が低下する。

10

【0186】

図7に示す走査条件がどのように駆動タイミングになるかを示すと、図8および図9の通りである。図8は、フレーム期間の一部（選択期間1～40）を示し、図9は、それに続く残りの部分のフレーム期間を示している。

【0187】

図8および図9において、横軸は、時間を表す。そして、各行は、上から、選択期間の番号、単位期間の番号、占有期間の番号、ゲート配線G1～G8の駆動タイミングを示す。また、下に両矢印で示す期間は、ゲート配線G1における各指示データに対応する駆動期間であり、その両矢印の上に示す数字は、その期間のビット長である。選択期間の番号は、1 フレーム期間内における何番目の選択期間であるかを示す。単位期間の番号は、1 フレーム期間内における何番目の単位期間であるかを示す。また、ゲート配線G1～G8の駆動タイミングを示す欄では、ソース配線Sjへどのゲート配線Giに対応した画素Aijのどのビット番号の指示データを与えるかを示している。すなわち、ゲート配線G1～G8の駆動タイミングを示す欄では、各指示データに対応する書き込み期間（表示期間に含まれる最初の選択期間）の位置をそのビット番号1～8で示す。また、「B」は、ソース配線Sjにブランキングデータを転送する時間を示すのではなく、制御配線Riを用いて、ブランキングを行う期間を示す。

20

【0188】

次に、図8および図9に示す駆動タイミングを決定する方法について説明する。

【0189】

まず、ゲート配線G1に対応する各指示データB1～B8をソース配線Sjへ送るタイミング（ゲート配線G1に対応する画素回路A1jに対して各指示データB1～B8を書き込むタイミング）を図7の走査条件に基づいて決定する。すなわち、まず、図7の走査条件において、指示データB1のビット番号が7であることから、ゲート配線G1に対応する画素回路A1jに対して、選択期間1にビット番号7の指示データ（指示データB1）を送ることに決定する。次いで、図7の走査条件において、指示データB2～B8のビット番号が8、1、3、4、2、5、6であり、指示データB1～B7のビット長（駆動期間の長さ）が12、13、1、4、7、2、12である。それゆえ、ゲート配線G1に対応する各ビット番号8、1、3、4、2、5、6の指示データB2～B8をソース配線Sjへ送る期間（ゲート配線G1に対応する画素回路A1jに対して各指示データB2～B8を書き込む書き込み期間に対応する）が、それぞれ、選択期間13、選択期間26、選択期間27、選択期間31、選択期間38、選択期間40、選択期間52であることが判る。そして、指示データB8のビット長が12であり、ブランキング期間のビット長が1であることから、選択期間64を上記ブランキング期間に設定する。このとき、ゲート配線G1に対応する画素回路Aijにおいて各ビット番号の指示データB1～B8に対応する表示を行う表示期間（ビット表示期間）はそれぞれ、選択期間1～12、選択期間13～25、選択期間26、選択期間27～30、選択期間31～37、選択期間38～39、選択期間40～51、選択期間52～63となる。

30

40

【0190】

ここでは、次のゲート配線G2に対応する画素回路Aijにおいて各ビット番号の指示

50

データ B 1 ~ B 8 に対応する表示を行う表示期間（ビット表示期間）を上記ゲート配線 G 1 の各ビット番号の表示期間に 1 単位期間（8 選択期間）足したものとする。そうすると、ゲート配線 G 2 に対応する各指示データ B 1 ~ B 8 をソース配線 S j へ送る選択期間は、ゲート配線 G 1 に対応する各指示データ B 1 ~ B 8 をソース配線 S j へ送る選択期間の番号に 8 を加えることで求められる。なお、ゲート配線 G 2 ではなくゲート配線 G 3 等の各ビット番号の表示期間をゲート配線 G 1 の各ビット番号の表示期間に 1 単位期間足したものとすることも可能である。

【0191】

以下、同様に、ゲート配線 G 3 ~ G 8 に対応する各指示データ B 1 ~ B 8 をソース配線 S j へ送る選択期間を決定し、それらを総合することで、ソース配線 S j に出力すべき各指示データのタイミングが決まる。

10

【0192】

以上の結果として、図 8 および図 9 に示す各ゲート配線 G 1 ~ G 8 に対応する指示データ B 1 ~ B 8 をソース配線 S j へ送るタイミングを決定することができる。

【0193】

図 8 および図 9 に示す駆動タイミングを見れば判る通り、各ゲート配線 G 1 ~ G 8 に対応する指示データ B 1 ~ B 8 をソース配線 S j へ送り出すタイミングは、相互に重なり合わない。そこで、このタイミングで、画素回路 A 1 j ~ A 8 j で共用されるソース配線 S j へ、そのソース配線 S j を共用する各画素回路 A 1 j ~ A 8 j に対応する各ビット番号の指示データ B 1 ~ B 8 を供給すれば、絶え間なく指示データを供給しながら、各画素回路 A i j にて時分割階調表示の表示を行うことができることが判る。

20

【0194】

（駆動条件例 3）

この駆動条件例では、ゲート配線 G i の本数 n（図面中では「ライン数」と記す）を、480 本とする。また、表示装置 1 が、各画素ごとに 3 色に対応した 3 つの画素回路を備え、各色の表示階調数 G が 256 階調（表示階調数 G のビット数 p が 8 ビット）であるものとする。また、この例では、動画偽輪郭の発生を抑える為に、指示データの個数 A（図面中では「データ数」と記す）を、表示階調数 G のビット数 p よりも 2 大きい値、すなわち 10 とする。この例では、前記のコントロール回路に設けられた 1 単位期間分の指示データ（A 個の指示データ）を記憶するためのメモリを、10 ビットのメモリとする。

30

【0195】

この条件で、各指示データ B 1 ~ B 9 の重み W 1 ~ W 9 を、連立式（1）を満たすように決める。また、指示データ B 10 の重み W 10 を、前記式（2）を満たすように決める。整数 k は、前記の不等式（4）、すなわち、

$$k < 480 \times 10 / 256$$

を満たす整数で、A（= 10）の倍数とならない数である。そして、整数 k は、この条件を満たす最大の数であることが好ましい。したがって、この場合、ランキング期間の長さ W b を最小化するために、k は 18 に設定されることが好ましい。しかしながら、この場合、k は 18 では上手く行かないことが判ったので、更に 1 つ減らして 17 に設定される。

40

【0196】

そして、ランキング時間の長さ W b を式（3）を満たすよう、

$$W b = 480 \times 10 - (256 - 1) \times 17 = 465$$

とする。そして、指示データ B 10 のビット長を、その重み W 10 と上記ランキング期間の長さ W b とを加算した値とする。

【0197】

以上のような設定の結果として得られた走査条件を、図 6 と同じ様式で図 10 に示す。図 10 の走査条件では、各指示データ B 1 ~ B 10 を独立に ON / OFF することで、256 階調表示が実現できる。

【0198】

50

(駆動条件例 4)

駆動条件例 3 の場合、前述したように指示データを記憶するための記憶領域として 10 ビット分の記憶領域を確保するか、あるいは 8 ビット構成のメモリに記憶させた 8 ビットのデータから 10 ビットの指示データを作成する必要がある。前者では、多くの記憶領域を確保することが必要になり、後者ではメモリアクセス周波数を高くする必要がある。そのため、多くの記憶領域を確保したり、メモリアクセス周波数を高くしたりしないことが要求される場合には、駆動条件例 3 のように各ビットの指示データを独立に ON / OFF する駆動方法が使えない場合もある。

【 0 1 9 9 】

そのような場合、次のような駆動方法を用いることが有効である。すなわち、ビット番号 9 の指示データ B 1 とビット番号 10 の指示データ B 10、ビット番号 8 の指示データ B 2 とビット番号 7 の指示データ B 9 をそれぞれ同時に ON / OFF する。そして、指示データを記憶するメモリを 8 ビット構成とし、ビット番号 1 ~ 6 の指示データ B 3 ~ B 8 を下位 6 ビットとして、ビット番号 10 の指示データ B 10 を兼ねるビット番号 9 の指示データ B 1 とビット番号 7 の指示データ B 9 を兼ねるビット番号 8 の指示データ B 2 とを上位 2 ビットとして、それぞれメモリに記憶させる。そして、メモリから上位 2 ビットのデータを 1 単位期間で 2 回読み出す構成にする。

【 0 2 0 0 】

この場合、駆動条件例 3 と異なり、各指示データ B 1 ~ B 10 の重み W 1 ~ W 10 を、W 1、W 2、W 3、W 4、W 5、W 6、W 7 + W 8、W 9 + W 10 の 8 つの数の組み合わせによって、0 ~ 255 の数を表すことができるようにする。

【 0 2 0 1 】

図 11 に、そのような条件で、ゲート配線 G i の本数 n (図面中では「ライン数」と記す) を 480 本とし、指示データの個数 A を 10 個に設定し、256 階調表示する (G = 256) 場合の走査条件を求めた結果を、図 6 と同じ様式で示す。この場合も、k は 17 に設定される。

【 0 2 0 2 】

この駆動条件では、指示データを記憶するための記憶領域として 8 ビット分の記憶領域を確保するだけでよいため、多くの記憶領域を確保したり、メモリアクセス周波数を高くしたりする必要がない。なお、ここでは、メモリに記憶させたデータの上位 2 ビットがそれぞれ複数の指示データを兼ねるようにしたが、メモリに記憶させたデータの上位 1 ビットあるいは上位 3 ビット以上が複数の指示データを兼ねるようにしてもよい。

【 0 2 0 3 】

以上のように、上記駆動方法を用いれば、1 フレーム期間に存在するブランキング期間の割合を少なくした時間多重階調駆動方法を実現できる。

【 0 2 0 4 】

さらに、上記駆動方法を、前述した図 3 に示す駆動タイミングで駆動される画素回路 A i j に用いた場合、画素回路 A 2 j は、時間 13 t 1 から時間 16 t 1 までのブランキング期間には、常にスイッチ用トランジスタ 13 が OFF 状態に保たれる。そのため、ブランキング期間の画素回路 A 2 j は、ソース配線 S j に接続されず、ソース配線 S j を占有しない。そのため、画素回路 A 2 j がブランキング期間にある時に、画素回路 A 2 j とソース配線 S j を共有する他の画素回路 A i j (例えば画素回路 A 3 j) に対してソース配線 S j を介して指示データを供給することが可能になる。それゆえ、ソース配線 S j を共有する画素回路 A i j の何れかに対して、絶えず、ソース配線 S j を介して指示データを供給し続けることが可能となる。その結果、ソース配線 S j を介した指示データの供給を停止する期間が存在する構成 (例えば後述する実施の形態 3 の構成) と比較して、1 フレーム期間内の選択期間の数が同一である場合における、指示データの個数 A をより多くすることができる。その結果、ビットの重みが最大となる指示データのビット重みを小さくし、動画偽輪郭の発生を抑制できるので、表示品位を向上させることができる。

【 0 2 0 5 】

10

20

30

40

50

なお、本実施形態に係る図 1 に示す画素回路を備える表示装置 1 は、上述した駆動方法以外の駆動方法、例えば、特許文献 2（特表平 9 - 5 1 1 5 8 9 号公報）の駆動方法や、特許文献 3（特開平 2 0 0 4 - 4 5 0 1 号公報）の駆動方法等で駆動してもよい。

【0206】

〔実施の形態 2〕

本発明の他の実施の形態について図 1 2 および図 1 3 に基づいて説明すれば、以下の通りである。なお、説明の便宜上、前記実施の形態 1 にて示した各部材と同一の機能を有する部材には、同一の符号を付記し、その説明を省略する。

【0207】

本実施形態の表示装置は、図 2 に示す実施の形態 1 の表示装置 1 における画素回路 A_{ij} の構成を変更した以外は、表示装置 1 と同様の構成を備えている。画素回路 A_{ij} 以外の部分については、表示装置 1 と同様であるので、詳しい説明は省略する。

【0208】

本実施形態の表示装置が備える画素回路 A_{ij} は、図 1 2 に示す画素回路 A_{ij} である。

【0209】

この画素回路 A_{ij} は、図 1 2 に示すように、ソース配線 S_j とゲート配線 G_i とが交差する位置の近くに配置されており、 n 型 TFT である駆動用トランジスタ 1 6、 n 型 TFT であるスイッチ用トランジスタ（第 1 のスイッチ用トランジスタ）1 3、 n 型 TFT であるスイッチ用トランジスタ（第 3 のスイッチ用トランジスタ）1 7、および有機 EL 素子 EL 1（電気光学素子）を備えている。

【0210】

具体的には、図示しない直流電源から所定の電源電圧 V_p が印加された電源配線 V_p （所定電位配線）と、電源電圧 V_p に対して所定の電位差を有する所定の共通電位（例えば接地電位）が付与された共通配線 V_{com} との間に、駆動用トランジスタ 1 6 とスイッチ用トランジスタ 1 7 と有機 EL 素子 EL 1 とがこの順で直列に接続されている。

【0211】

駆動用トランジスタ 1 6 は、そのドレイン端子が電源配線 V_p に、そのソース端子がスイッチ用トランジスタ 1 7 のドレイン端子にそれぞれ接続されている。駆動用トランジスタ 1 6 は、直流電源と有機 EL 素子 EL 1 との間に介在し、そのゲート端子に供給される指示データに応じて直流電源から有機 EL 素子 EL 1 への電流の供給を制御するものである。より詳細には、駆動用トランジスタ 1 6 は、そのゲート端子に ON 電位が供給されているときには、ON 状態となって直流電源からの電流を有機 EL 素子 EL 1 へ供給する。一方、駆動用トランジスタ 1 6 は、そのゲート端子に OFF 電位が供給されているときには、OFF 状態となって直流電源から有機 EL 素子 EL 1 への電流の供給を停止する。

【0212】

スイッチ用トランジスタ 1 7 は、制御配線 R_i から供給された制御信号 R_i によってある期間だけ OFF 状態（非導通状態）となるように制御され、その結果として駆動用トランジスタ 1 6 から有機 EL 素子 EL 1 へ流れる電流を上記の期間だけ止めるものである。この場合、スイッチ用トランジスタ 1 7 および制御配線 R_i によって、電流遮断手段が構成されている。また、スイッチ用トランジスタ 1 7 は、駆動用トランジスタ 1 6 の閾値電圧のばらつきを補償するために、後述するスイッチ用トランジスタ 1 9 が ON 状態である期間に、ON 状態から OFF 状態に移行するようになっている。

【0213】

この場合、スイッチ用トランジスタ 1 7 および制御配線 R_i によって、ブランキング手段が構成されている。なお、ブランキング手段として、これらに代えて、有機 EL 素子 EL 1 を消去状態とする信号（ブランキング信号）をある期間だけ画素回路 A_{ij} に与える手段、例えば特許文献 3 におけるブランキングを行う手段を用いてもよい。

【0214】

駆動用トランジスタ 1 6 のゲート端子とドレイン端子（電源配線 V_p 側の端子）との間

10

20

30

40

50

には、スイッチ用トランジスタ 19 (閾値電圧補償手段、第 2 スイッチ用トランジスタ) が配置されている。言い換えると、駆動用トランジスタ 16 のゲート端子とドレイン端子とを接続する配線上にスイッチ用トランジスタ 19 が介在している。

【 0 2 1 5 】

スイッチ用トランジスタ 19 は、ブランキングが行われている期間 (ブランキング期間) 、すなわち駆動用トランジスタ 16 から有機 E L 素子 E L 1 へ流れる電流が止められている期間 (スイッチ用トランジスタ 17 が O F F 状態である期間) に、O N 状態となる。これにより、上記ブランキング期間に、駆動用トランジスタ 16 のゲート端子とドレイン端子とが短絡され、その結果として、駆動用トランジスタ 16 の閾値電圧のばらつきが補償される。閾値電圧のばらつきが補償される原理については、後述する。一方、トランジスタ 19 は、スイッチ用トランジスタ 17 が O N 状態である期間には、ブランキング期間の直前の所定時間を除いて O F F 状態となる。スイッチ用トランジスタ 19 は、そのゲート端子が制御配線 P i に接続されており、この制御配線 P i に供給されている制御電位 P i によって制御される。

10

【 0 2 1 6 】

また、駆動用トランジスタ 16 のゲート端子には、コンデンサ (第 1 コンデンサ) C 3 とコンデンサ (第 2 コンデンサ) C 4 とが接続されている。

【 0 2 1 7 】

コンデンサ C 3 は、その一方の端子が駆動用トランジスタ 16 のゲート端子に接続されており、その他方端子は、駆動用トランジスタ 16 のソース端子に接続されている。コンデンサ C 3 は、駆動用トランジスタ 16 のゲート端子とソース端子との間の電位差を保持するための電位差保持手段としての機能を有する。

20

【 0 2 1 8 】

コンデンサ C 4 は、その一方の端子が駆動用トランジスタ 16 のゲート端子に接続されており、その他方の端子には、スイッチ用トランジスタ 13 のドレイン端子が接続されている。コンデンサ C 4 は、スイッチ用トランジスタ 13 のドレイン端子から出力された指示データを保持すると共に駆動用トランジスタ 16 のゲート端子に供給するものである。

【 0 2 1 9 】

スイッチ用トランジスタ 13 のソース端子は、ソース配線 S j に接続されている。スイッチ用トランジスタ 13 のゲート端子は、ゲート配線 G i に接続されている。スイッチ用トランジスタ 13 は、ゲート配線 G i に供給された走査信号 G i によって導通が制御され、導通時に、ソース配線 S j からの指示データをコンデンサ C 4 へ出力してコンデンサ C 4 に保持させる。

30

【 0 2 2 0 】

コンデンサ C 4 の他方端子 (スイッチ用トランジスタ 13 のドレイン端子に接続されている方の端子) は、スイッチ用トランジスタ (第 5 のスイッチ用トランジスタ) 20 のドレイン端子にも接続されている。スイッチ用トランジスタ 20 のソース端子は、駆動用トランジスタ 16 のゲート端子に接続されている。スイッチ用トランジスタ 20 は、そのゲート端子が制御配線 P i に接続されており、この制御配線 P i に供給されている制御電位 P i によって制御される。スイッチ用トランジスタ 20 は、スイッチ用トランジスタ 19 が O N 状態である期間に、コンデンサ C 4 の他方の端子 (スイッチ用トランジスタ 13 のドレイン端子に接続されている方の端子) を駆動用トランジスタ 16 のゲート端子に接続して、コンデンサ C 4 の他方端子に所定電位 (電源電圧 V p) を与えるためのものである。

40

【 0 2 2 1 】

本実施形態の画素回路 A i j は、全てのトランジスタが n 型 T F T で構成されているので、ポリシリコン基板だけでなくアモルファスシリコン基板でも作成可能である。一方、実施の形態 1 の画素回路 A i j では、一部のトランジスタに p 型 T F T を使用しているので、一般には、アモルファスシリコン基板ではなくポリシリコン基板で作成することが必要である。なぜなら、一般に、p 型 T F T は、アモルファスシリコン基板で作成しないか

50

らである。

【0222】

この画素回路 A_{ij} の駆動タイミングを、図3と同様の様式で図13に示す。図13の上部に示す3つの波形は、画素回路 A_{2j} に対応するものであり、上から順に、1) 走査信号 G_2 、2) 制御電位 P_2 、3) 制御信号 R_2 のそれぞれの波形である。また、図13の中央に示す S_j は、ソース配線 S_j に供給される指示データの種別をビット番号で示している。図13の下部に示す3つの波形は、画素回路 A_{3j} に対応するものであり、上から順に、4) 走査信号 G_3 、5) 制御電位 P_3 、6) 制御信号 R_3 のそれぞれの波形である。この場合、指示データは、指示データ $B_1 \sim B_8$ (図13では、 B を省略して示す) の8種類ある。図13は、実施の形態1で述べた時間多重階調駆動方法を採用した場合を示している。また、図13において横軸で示す時間軸は、占有期間の長さの半分に対応する t_1 を単位として示している。

10

【0223】

画素 A_{2j} は、時間 $1_3 t_1$ からブランキング期間に入る。時間 $1_3 t_1$ において、制御配線 P_2 の電位を $High (GH)$ として、スイッチ用トランジスタ $20 \cdot 19$ を ON 状態とする。スイッチ用トランジスタ 20 が ON 状態となることにより、コンデンサ C_4 の他方端子 (スイッチ用トランジスタ 13 と接続されている方の端子) が、駆動用トランジスタ 16 のゲート端子に接続される。また、スイッチ用トランジスタ 19 が ON 状態となることにより、駆動用トランジスタ 16 のゲート端子とドレイン端子との間が短絡される。このとき、制御配線 R_2 の電位が $High (GH)$ なので、スイッチ用トランジスタ 17 は ON 状態となる。従って、駆動用トランジスタ 16 のソース端子の電位が低下し、駆動用トランジスタ 16 のゲート電位は ON 電位となる。また、コンデンサ C_2 の両端に対して、電源配線 V_p から所定電位の電源電圧 V_p が与えられる。

20

【0224】

その後、時間 $1_4 t_1$ において、制御配線 R_2 の電位を $Low (GL)$ とし、スイッチ用トランジスタ 17 を OFF 状態とする (このとき、スイッチ用トランジスタ $20 \cdot 19$ は ON 状態のままである)。このことにより、駆動用トランジスタ 16 のソース端子の電位が上昇し、駆動用トランジスタ 16 のゲート・ソース間電位は、 ON 状態から OFF 状態に変化し、閾値電位 V_{th} に到達する。それゆえ、駆動用トランジスタ 16 のソース電位 V_s は、電源電圧 V_p と駆動用トランジスタ 16 の閾値電位 V_{th} との差に等しく、すなわち、

30

$$V_s = V_p - V_{th}$$

となる。したがって、コンデンサ C_3 の両端の電位差は、駆動用トランジスタ 16 のゲート・ソース間電位、すなわち閾値電位 V_{th} に等しくなる。

【0225】

そして、時間 $1_5 t_1$ において、制御配線 P_2 の電位を $Low (GL)$ とし、スイッチ用トランジスタ $20 \cdot 19$ を OFF 状態とする。これにより、コンデンサ C_3 の両端に、電位差 $V_p - V_s$ 、すなわち閾値電位 V_{th} に等しい電位差が保持される (閾値電位 V_{th} に対応する電荷が保持される) 一方、コンデンサ C_4 の両端は電源電位 V_p に保持される。

40

【0226】

その後、時間 $1_6 t_1$ においてブランキング期間が終了する。時間 $1_6 t_1$ において、制御配線 R_2 の電位を $High (GH)$ として、スイッチ用トランジスタ 17 を ON 状態とする。また、ゲート配線 G_2 の電位を $High (GH)$ として、スイッチ用トランジスタ 13 を ON 状態とする。これにより、コンデンサ C_4 の他方端子 (スイッチ用トランジスタ 13 と接続されている方の端子) が、ソース配線 S_j と短絡される。

【0227】

このとき、ソース配線 S_j には指示データ (ビット番号7に対応する指示データ B_1) が供給されているので、コンデンサ C_4 の他方端子 (スイッチ用トランジスタ 13 と接続されている方の端子) の電位は、その指示データ (ビット番号7に対応する指示データ B

50

1) に対応した電位 (V_H または V_L) となる。このため、駆動用トランジスタ 16 のゲート電位は、指示データ (ビット番号 7 に対応する指示データ B 1) に対応して変化する。

【0228】

このとき、駆動用トランジスタ 16 の閾値電圧 V_{th} に等しい電位差がコンデンサ C 3 の両端に保持されていることで、駆動用トランジスタ 16 のゲート電位は、その閾値電位 V_{th} に依存することなく、指示データに対応した電位だけ所定電位 (電源電位 V_p) から変化した電位となる。すなわち、駆動用トランジスタ 16 のゲート・ソース間電位は、その閾値電位 V_{th} に依存することなく、指示データに対応した電位だけ閾値電位 V_{th} から変化した電位となる。この結果、図 1 に示す画素回路 A i j と同様に、有機 EL 素子 E L 1 は、駆動用トランジスタ 16 の閾値電位 V_{th} に依存せず、指示データに対応した表示状態となる。その結果、駆動用トランジスタ 16 の閾値電位 V_{th} のばらつきに起因する輝度のむらが補償され、輝度のむらのない表示を行うことができる。

10

【0229】

そして、時間 17 t 1 以降、ゲート配線 G 2 の電位を Low (G_L) とし、スイッチ用トランジスタ 13 を OFF 状態とすることで、コンデンサ C 4 の他方端子 (スイッチ用トランジスタ 13 と接続されている方の端子) に、時間 16 t 1 から時間 17 t 1 までの間に付与された電位 (指示データに対応した電位) を保持させる。

【0230】

このことにより、駆動用トランジスタ 16 を流れる電流 I_d は、その閾値電位 V_{th} に依らず、その指示データ B 1 (ビット番号 7 に対応する指示データ B 1) に対応した電流値となる。このとき、スイッチ用トランジスタ 17 は ON 状態であるので、上記の電流 I_d は、駆動用トランジスタ 11 から有機 EL 素子 E L 1 に流れる。その結果、指示データに対応した、輝度のむらのない表示が維持される。

20

【0231】

なお、時間 17 t 1 以降、ソース配線 S j に送られる指示データは、他のゲート配線に対応した指示データに変更されるが、ゲート配線 G 2 に対応するスイッチ用トランジスタ 13 は OFF 状態であるため、駆動用トランジスタ 11 等は、その指示データの変更による影響を受けない。

【0232】

以上のように、本実施形態に係る表示装置では、実施の形態 1 に係る表示装置 1 と同様に、指示データ B 1 ~ B a に対応する選択期間外のブランキング期間に駆動用トランジスタ 16 の閾値電位 V_{th} のばらつきを補償することができる。したがって、実施の形態 1 に係る表示装置 1 と同様に、選択期間を短くすることができる。

30

【0233】

また、本実施形態に係る表示装置では、実施の形態 1 に係る表示装置 1 と同様に、制御配線 R i によってスイッチ用トランジスタ 17 を制御することによってブランキング動作を行うことができるので、指示データを総て表示のために使えるので、最も重みの大きな指示データの重みを小さくすることができる。その結果、動画偽輪郭の発生を抑制することができる。

40

【0234】

本実施形態に係る表示装置においても、実施の形態 1 で述べた駆動方法を用いることができる。例えば、本実施形態でも、実施の形態 1 と同様、図 7 に示す走査条件を用いることができる。上記駆動方法については、実施の形態 1 と同様であるので、その説明は省略する。

【0235】

〔実施の形態 3〕

本発明のさらに他の実施の形態について図 14 ないし図 22 に基づいて説明すれば、以下の通りである。なお、説明の便宜上、前記実施の形態 1 または 2 にて示した各部材と同一の機能を有する部材には、同一の符号を付記し、その説明を省略する。

50

【0236】

本実施形態の表示装置は、図2に示す実施の形態1の表示装置1における画素回路A_{i j}の構成を変更した以外は、表示装置1と同様の構成を備えている。画素回路A_{i j}以外の部分については、表示装置1と同様であるので、詳しい説明は省略する。

【0237】

本実施形態で用いる画素回路A_{i j}は、図14に示す画素回路A_{i j}である。本実施形態の画素回路A_{i j}は、図12に示す実施の形態2の画素回路A_{i j}からスイッチ用トランジスタ20を外した構成であり、その他の点は実施の形態2の画素回路A_{i j}と同じである。そのため、ここでは、画素回路A_{i j}の各構成要素に関する説明は省略する。ただし、本実施形態で用いる画素回路A_{i j}では、スイッチ用トランジスタ13が、スイッチ用トランジスタ17がOFF状態である期間（ブランキング期間）に、コンデンサC4の他方の端子（スイッチ用トランジスタ13側の端子）をソース配線S_jに接続して、コンデンサC4の電荷を設定するようになっている。

10

【0238】

この画素回路A_{i j}の駆動タイミングを、図3と同様の様式で図15に示す。図15の上部に示す3つの波形は、画素回路A_{2 j}に対応するものであり、上から順に、1) 走査信号G₂、2) 制御電位P₂、3) 制御信号R₂のそれぞれの波形である。また、図15の中央に示すS_jは、ソース配線S_jに供給される指示データの種別をビット番号で示している。図15の下部に示す3つの波形は、画素回路A_{3 j}に対応するものであり、上から順に、4) 走査信号G₃、5) 制御電位P₃、6) 制御信号R₃のそれぞれの波形である。この場合、指示データは、指示データB₁～B₇（図15では、Bを省略して示す）の7種類ある。また、ブランキング期間を含む単位期間には、指示データとしてブランキング信号がソース配線S_jに供給されるようになっている。また、図15は、図17で述べる時間多重階調駆動方法を採用した場合を示している。また、図15において横軸で示す時間軸は、占有期間の長さの半分に対応するt₁を単位として示している。

20

【0239】

画素A_{2 j}は、時間13 t₁からブランキング期間に入る。時間13 t₁において、制御配線P₂の電位をHigh (GH)として、スイッチ用トランジスタ19をON状態とする。これにより、駆動用トランジスタ16のゲート端子とドレイン端子との間が短絡される。このとき、制御配線R₂の電位がHigh (GH)なので、スイッチ用トランジスタ17はON状態となる。従って、駆動用トランジスタ16のソース端子の電位が低下し、駆動用トランジスタ16のゲート電位はON電位となる。

30

【0240】

その後、時間14 t₁において、制御配線R₂の電位をLow (GL)とし、スイッチ用トランジスタ17をOFF状態とする（このとき、スイッチ用トランジスタ19はON状態のままである）。また、時間14 t₁において、ゲート配線G_iの電位をHigh (GH)とし、スイッチ用トランジスタ13をON状態として、コンデンサC4の他方端子をソース配線S_jへ短絡させる。このとき、ソース配線S_jには、指示データB₈として与えられたブランキング電位（例えば電源配線V_pの電位）が供給される。なお、ゲート配線G_iの電位は、時間14 t₁から時間15 t₁までの期間における最初の部分のみ、High (GH)とする。

40

【0241】

これらにより、駆動用トランジスタ16のソース端子の電位が上昇し、駆動用トランジスタ16のゲート・ソース間電位は、ON状態からOFF状態に変化し、閾値電位V_{th}に到達する。それゆえ、駆動用トランジスタ16のソース電位V_sは、電源電圧V_pと駆動用トランジスタ16の閾値電位V_{th}との差に等しく、すなわち、

$$V_s = V_p - V_{th}$$

となる。したがって、コンデンサC₃の両端の電位差は、駆動用トランジスタ16のゲート・ソース間電位、すなわち閾値電位V_{th}に等しくなる。

【0242】

50

また、このとき、コンデンサC4の両端の電位差が、所定の電位差（例えばブランキング電位が電源配線Vpの電位である場合には0）に決定される。

【0243】

そして、時間15t1において、ゲート配線GiをLow（GL）とし、スイッチ用トランジスタ13をOFF状態とする。これにより、コンデンサC3の両端に、電位差Vp - Vs、すなわち閾値電位Vthに等しい電位差が保持される（閾値電位Vthに対応する電荷が保持される）一方、コンデンサC4の両端には、時間14t1での電位差（例えばブランキング電位が電源配線Vpの電位である場合には0）が保持される。

【0244】

その後、時間16t1においてブランキング期間が終了する。時間16t1において、制御配線R2の電位をHigh（GH）として、スイッチ用トランジスタ17をON状態とする。また、ゲート配線G2の電位をHigh（GH）として、スイッチ用トランジスタ13をON状態とする。このとき、ソース配線Sjには指示データが供給されているので、コンデンサC4の他方端子（スイッチ用トランジスタ13と接続されている方の端子）の電位は、その指示データに対応した電位（VHまたはVL）となる。このため、駆動用トランジスタ16のゲート電位は、指示データに対応して変化する。

10

【0245】

このとき、駆動用トランジスタ16の閾値電圧Vthに等しい電位差がコンデンサC3の両端に保持されていることで、駆動用トランジスタ16のゲート電位は、その閾値電位Vthに依存することなく、指示データに対応した電位だけ所定電位（電源電位Vp）から変化した電位となる。すなわち、駆動用トランジスタ16のゲート・ソース間電位は、その閾値電位Vthに依存することなく、指示データに対応した電位だけ閾値電位Vthから変化した電位となる。この結果、図12に示す画素回路Aijと同様に、有機EL素子EL1は、駆動用トランジスタ16の閾値電位Vthに依存せず、指示データに対応した表示状態となる。その結果、駆動用トランジスタ16の閾値電位Vthのばらつきに起因する輝度のむらが補償され、輝度のむらのない表示を行うことができる。

20

【0246】

そして、時間17t1以降、ゲート配線G2の電位をLow（GL）とし、スイッチ用トランジスタ13をOFF状態とすることで、コンデンサC4の他方端子（スイッチ用トランジスタ13と接続されている方の端子）に、時間16t1から時間17t1までの間に付与された電位（指示データに対応した電位）を保持させる。

30

【0247】

このことにより、駆動用トランジスタ16を流れる電流Idは、その閾値電位Vthに依らず、その指示データB1（ビット番号7に対応する指示データB1）に対応した電流値となる。このとき、スイッチ用トランジスタ12はON状態であるので、上記の電流Idは、駆動用トランジスタ11から有機EL素子EL1に流れる。その結果、指示データに対応した、輝度のむらのない表示が維持される。

【0248】

なお、時間17t1以降、ソース配線Sjに送られる指示データは、他のゲート配線に対応した指示データに変更されるが、ゲート配線G2に対応するスイッチ用トランジスタ13はOFF状態であるため、駆動用トランジスタ11等は、その指示データの変更による影響を受けない。

40

【0249】

なお、図15に示す駆動タイミングでは、ブランキング期間を1選択期間程度としているが、実際の表示装置では、駆動用トランジスタ16の閾値電圧Vthを補償するための電位変化（コンデンサC3の両端に閾値電位Vthに対応する電荷を保持させる動作）には、数選択時間かかることもある。

【0250】

しかし、コンデンサC4の両端の電位を設定する初期化動作のために必要な時間は、一瞬（時間t1程度）で済む。このため、実際の表示装置で駆動用トランジスタ16の閾値

50

電圧を補償するために数選択時間必要だとしても、上記ブランキング動作のための選択期間は1選択期間で済ませることができる。

【0251】

そこで、このブランキング期間において駆動用トランジスタ16を流れる電流 I_d と、駆動用トランジスタ16のゲート電位 V_g およびソース電位 V_s とをシミュレーションした結果を図16に示す。

【0252】

図16において、(1)および(2)を付した電流(I_d)および電位(V_g , V_d)はそれぞれ、実施の形態1で示した条件(1)および(2)を用いてシミュレーションした結果である。また、このシミュレーションでは、2624~2688 μs の期間(図15における時間13t1から時間15t1までの期間に対応)、制御電位P2を14V(図15の V_H に対応)とした。また、2628~2692 μs の期間(図15における時間14t1から時間16t1までに対応)、制御信号R2の電位を-2V(図15の V_L に対応)とした。また、2628~2632 μs の期間(図15における時間14t1から時間15t1までの期間における最初の部分に対応)、走査信号G2の電位を14V(図15の V_H に対応)とした。

10

【0253】

図16から判る通り、駆動用トランジスタ16のゲート・ソース間電位 V_{gs} (= $V_g - V_s$)は、駆動用トランジスタ16の閾値電位 V_{th} に対応して変化している。

【0254】

また、ゲート配線GiがHigh(GH)となる期間は、2628~2632 μs だけであるが、閾値補償期間は、その後、2688 μs まで続けることができる。

20

【0255】

このように、図14の画素回路Aijを用いれば、一瞬コンデンサC4の他方端子をソース配線Sjに接続する必要はあるが、駆動用トランジスタ16の閾値補償期間の大半はブランキング期間とできる。

【0256】

以上のように、本実施形態に係る表示装置では、実施の形態2に係る表示装置と同様に、指示データB1~Baに対応する選択期間外のブランキング期間に駆動用トランジスタ16の閾値電位 V_{th} のばらつきを補償することができる。したがって、実施の形態2に係る表示装置と同様に、選択期間を短くすることができる。

30

【0257】

また、本実施形態に係る表示装置では、実施の形態2と比較して、スイッチ用トランジスタ20を取り除いた分だけ画素回路当たりのトランジスタの数を少なくすることができる。その結果、高開口率化および画素密度の向上(高精細化)を図ることができる。

【0258】

なお、図14に示す画素回路Aijでは、コンデンサC4が駆動用トランジスタ16のゲート端子に直接接続していた。しかし、図22に示すように、コンデンサC5(第2のコンデンサ)がスイッチ用トランジスタ13(第1のスイッチ用トランジスタ)を通して、駆動用トランジスタ16のゲート端子に接続していても良い。

40

【0259】

そこで、次に、上述した表示装置1の駆動方法として、1フレーム期間に存在する表示期間の割合が大きくできる時間多重階調駆動方法を示す。

【0260】

本実施形態の駆動方法は、実施の形態1で詳述した駆動方法と基本的には同一である。即ち、本実施形態の駆動方法では、1フレーム期間を構成するn個の単位期間をそれぞれA等分した期間を選択期間として、指示データに対応する表示期間の長さを設定する。また、本実施形態でも、1~A番目の選択期間の全てが指示データの1つに対応している。但し、A番目の指示データは常に「0」を示すブランキングデータとなっている。

【0261】

50

本実施形態の駆動方法でも、前記連立式(1)及び(2)を満たすように指示データの重み $W_1 \sim W_{a-1}$ を設定する。

【0262】

選択期間を単位として表したブランキング期間の長さ W_b も、前記式(3)によって求められる。

【0263】

また、整数 k も、前記不等式(4)を満たす整数で、 A の倍数とならない数(ただし、連立式(1)を満足する値)とする。また、 A の倍数とならない数が複数存在する場合、ブランキング期間の長さ W_b を最小化するために、それらの数のうちで最大の数を k とすることが好ましい。

10

【0264】

以下、上記駆動方法の具体例を、駆動条件例5および6として説明する。

【0265】

(駆動条件例5)

この駆動条件例では、ゲート配線 G_i の本数 n (図面中では「ライン数」と記す)を、8本とする。また、表示装置1が、各画素ごとに3色に対応した3つの画素回路を備え、各色の表示階調数 G が64階調(表示階調数 G のビット数 p が6ビット)であるものとする。また、この例では、ブランキング期間の長さ W_b が小さくなるように、指示データの個数 A (図面中では「データ数」と記す)を、表示階調数 G のビット数 p よりも2大きい値、すなわち8とする。そして、その1つを常に「0」となるブランキングデータとするので、前記のコントロール回路に設けられた1単位期間分の指示データ(A 個の指示データ)を記憶するためのメモリを、7ビットのメモリとする。

20

【0266】

すると、

$$n \times A = 8 \times 8 = 64$$

となる。

【0267】

また、整数 k は、

$$k < n \times A / (G - 1) \dots (4)$$

を満たす整数で、 A の倍数とならない数(ただし、連立式(1)を満足する値)とする。従って、 $k = 1$ となり、重み1のビット(指示データ)のビット長は、1となる。

30

【0268】

そして、各指示データ $B_1 \sim B_7$ の重み $W_1 \sim W_7$ ($W_1 \sim W_7$ は1以上の整数)を、連立式(1)を満たすよう決める。なお、指示データ B_8 は必ず「0」となるブランキングデータでありその重みは0である。

【0269】

そのような重みの決定を行った結果として得られた走査条件の1例を図6と同様の様式で図17に示す。

【0270】

ビット番号は、指示データ $B_1 \sim B_7$ に対して、最も重みの小さい方から、1、2、・ ・ ・、7と付ける。その結果、指示データ B_1 がビット番号5、指示データ B_2 がビット番号4、指示データ B_3 がビット番号3、指示データ B_4 がビット番号2、指示データ B_5 がビット番号1、指示データ B_6 がビット番号6、指示データ B_7 がビット番号7となる。また、指示データ B_8 はブランキングデータであるビット番号 B となる。この場合、ビット番号1～7の指示データ(ビット)の重みをそれぞれ、14、7、4、2、1、14、21に設定する。また、指示データ B_8 の重みは、0である。

40

【0271】

なお、ゲート配線数 $n = 320$ 本の場合は、実施の形態1の駆動条件例2で示したように、 $k = 39$ とすれば良い。この駆動条件例では、駆動タイミングを示し易くするために、 $k = 1$ として、ゲート配線数 $n = 8$ としている。

50

【0272】

図17に示す走査条件がどのように駆動タイミングになるかを図8および図9と同様の様式で示すと、図18および図19の通りである。図18は、フレーム期間の一部（選択期間1～40）を示し、図19は、それに続く残りの部分のフレーム期間を示している。図18および図19では、実施の形態1で示した図8、9とは異なり、重みが0の指示データB8が存在する。図18および図19では、この指示データB8を8として表記している。

【0273】

次に、図18および図19に示す駆動タイミングを決定する方法について説明する。

【0274】

まず、ゲート配線G1に対応する各指示データB1～B8をソース配線Sjへ送るタイミング（ゲート配線G1に対応する画素回路A1jに対して各指示データB1～B8を書き込むタイミング）を図17の走査条件に基づいて決定する。すなわち、まず、図17の走査条件において、指示データB1のビット番号が5であることから、ゲート配線G1に対応する画素回路A1jに対して、選択期間1にビット番号5の指示データ（指示データB1）を送ることに決定する。次いで、図17の走査条件において、指示データB2～B8のビット番号が4、3、2、1、6、7、8であり、指示データB1～B7のビット長（駆動期間の長さ）が7、4、2、1、14、21である。それゆえ、ゲート配線G1に対応する各ビット番号4、3、2、1、6、7、8の指示データB2～B8をソース配線Sjへ送る期間（ゲート配線G1に対応する画素回路A1jに対して各指示データB2～B8を書き込む書き込み期間に対応する）が、それぞれ、選択期間15、選択期間22、選択期間26、選択期間28、選択期間29、選択期間43、選択期間64であることが判る。このとき、ゲート配線G1に対応する画素回路Aijにおいて各ビット番号の指示データB1～B7に対応する表示を行う表示期間（ビット表示期間）はそれぞれ、選択期間1～14、選択期間15～21、選択期間22～25、選択期間26～27、選択期間28、選択期間29～42、選択期間43～63となる。

【0275】

ここでは、次のゲート配線G2に対応する画素回路Aijにおいて各ビット番号の指示データB1～B8に対応する表示を行う表示期間（ビット表示期間）を上記ゲート配線G1の各ビット番号の表示期間に1単位期間（8選択期間）足したものとする。そうすると、ゲート配線G2に対応する各指示データB1～B8をソース配線Sjへ送る選択期間は、ゲート配線G1に対応する各指示データB1～B8をソース配線Sjへ送る選択期間の番号に8を加えることで求められる。なお、ゲート配線G2ではなくゲート配線G3等の各ビット番号の表示期間をゲート配線G1の各ビット番号の表示期間に1単位期間足したものとすることも可能である。

【0276】

以下、同様に、ゲート配線G3～G8に対応する各指示データB1～B8をソース配線Sjへ送る選択期間を決定し、それらを総合することで、ソース配線Sjに出力すべき各指示データおよびブランキング信号のタイミングが決まる。

【0277】

以上の結果として、図18および図19に示す各ゲート配線G1～G8に対応する指示データB1～B8をソース配線Sjへ送るタイミングを決定することができる。

【0278】

図18および図19に示す駆動タイミングを見れば判る通り、各ゲート配線G1～G8に対応する指示データB1～B8をソース配線Sjへ送り出すタイミングは、相互に重なり合わない。そこで、このタイミングで、画素回路A1j～A8jで共用されるソース配線Sjへ、そのソース配線Sjを共用する各画素回路A1j～A8jに対応する各ビット番号の指示データB1～B8を供給すれば、絶え間なく指示データを供給しながら、各画素回路Aijにて時分割階調表示の表示を行うことができることが判る。

【0279】

10

20

30

40

50

また、各階調において各ビット番号 5 ～ 8 の指示データのうち、どれが ON 状態となり、どれが OFF 状態となるかを図 20 に示す。図 20 では、各階調において ON 状態となる指示データを白丸で示している。図 20 において、「階調番号」とは、低い方からいくつめの階調であるかを表している。

【0280】

指示データにおいて、ON 状態を「1」、OFF 状態を「0」で表すとすれば、図 20 から判る通り、ビット番号 5、4、3、2、1、6、7 に対応する指示データ B1 ～ B7 の状態は、9 階調目 (8 / 63 階調) で (0, 1, 0, 0, 1, 0, 0)、16 階調目 (15 / 63 階調) で (0, 0, 0, 0, 1, 1, 0)、23 階調目 (22 / 63 階調) で (0, 1, 0, 0, 1, 1, 0)、30 階調目 (29 / 63 階調) で (1, 0, 0, 0, 1, 1, 0)、37 階調目 (36 / 63 階調) で (1, 1, 0, 0, 1, 1, 0)、44 階調目 (43 / 63 階調) で (1, 1, 0, 0, 1, 0, 1)、51 階調目 (50 / 63 階調) で (1, 0, 0, 0, 1, 1, 1)、58 階調目 (57 / 63 階調) で (1, 1, 0, 0, 1, 1, 1) となる。なお、図 20 では、一部の階調のみ示しているが、同様にして他の全ての階調も表示できる。

10

【0281】

(駆動条件例 6)

駆動条件例 5 と同一の条件で、連立式 (1) を満たすように決定した他の各指示データ B1 ～ B7 の重み W1 ～ W7 (W1 ～ W7 は 1 以上の整数) および指示データ B8 の例を図 21 の走査条件に示す。

20

【0282】

ビット番号は、指示データ B1 ～ B7 に対して、最も重みの小さい方から、1、2、・ ・ ・、7 と付ける。その結果、指示データ B1 がビット番号 7、指示データ B2 がビット番号 6、指示データ B3 がビット番号 1、指示データ B4 がビット番号 2、指示データ B5 がビット番号 4、指示データ B6 がビット番号 3、指示データ B7 がビット番号 5 となる。そして、ビット番号 1 ～ 7 の指示データ (ビット) B1 ～ B7 の重みをそれぞれ、18、17、1、2、7、4、14 となるよう設定している。また、指示データ B8 の重みは、0 である。

【0283】

このように、連立式 (1) を満たす条件は、多様にある。駆動条件例 6 も、表示階調数、指示データ数、ゲート配線の本数等から適切と思われる。

30

【0284】

〔実施の形態 4〕

本発明のさらに他の実施の形態について図 23 および図 24 に基づいて説明すれば、以下の通りである。なお、説明の便宜上、前記実施の形態 1 ないし 3 のいずれかで示した各部材と同一の機能を有する部材には、同一の符号を付記し、その説明を省略する。

【0285】

本発明に係る駆動用トランジスタから電気光学素子へ流れる電流を止めることでブランキング期間を生成する手段は、ブランキング期間に駆動用トランジスタの閾値電圧を補償する表示装置だけに適用可能なのではなく、ブランキングを行う表示装置に対して全般的に適用可能である。

40

【0286】

本発明のさらに他の実施の形態に係る表示装置として、本発明に係る駆動用トランジスタから電気光学素子へ流れる電流を止めることでブランキング期間を生成する手段を、ブランキング期間に駆動用トランジスタの閾値電圧を補償する手段を備えない表示装置の一例を説明する。

【0287】

本実施形態の表示装置は、図 2 に示す実施の形態 1 の表示装置 1 における画素回路 A_{ij} の構成を変更した以外は、表示装置 1 と同様の構成を備えている。画素回路 A_{ij} 以外の部分については、表示装置 1 と同様であるので、詳しい説明は省略する。

50

【0288】

本実施形態の表示装置が備える画素回路 A_{ij} は、図23に示す画素回路 A_{ij} である。この画素回路 A_{ij} は、図23に示すように、図1に示す実施の形態1の画素回路 A_{ij} からスイッチ用トランジスタ14・15およびコンデンサC2を外し、スイッチ用トランジスタ13のドレイン端子を直接的にコンデンサC1の一端および駆動用トランジスタ11のゲート端子に接続したものである。

【0289】

この画素回路 A_{ij} では、ソース配線 S_j とゲート配線 G_i が交差する領域に、駆動用トランジスタ11（駆動用トランジスタ）、スイッチ用トランジスタ13（第1のスイッチ用トランジスタ）、スイッチ用トランジスタ12（第3のスイッチ用トランジスタ）、および有機EL素子EL1（電気光学素子）を配置している。

10

【0290】

具体的には、電源配線 V_p （所定電位配線）と共通配線 V_{com} との間に、駆動用トランジスタ11とスイッチ用トランジスタ12と有機EL素子EL1とが直列に接続されている。

【0291】

また、駆動用トランジスタ11のソース・ゲート端子間には、コンデンサC1が配置されている。駆動用トランジスタ11のゲート端子とソース配線 S_j との間には、スイッチ用トランジスタ13（第1のスイッチ用トランジスタ）が配置されている。

【0292】

20

この画素回路 A_{ij} の駆動タイミングを図24に示す。

【0293】

この画素回路 A_{ij} の駆動タイミングを、図3と同様の様式で図24に示す。図24の上部に示す3つの波形は、画素回路 A_{2j} に対応するものであり、上から順に、1）走査信号 G_2 、2）制御配線 R_2 のそれぞれの波形である。また、図24の中央に示す S_j は、ソース配線 S_j に供給される指示データの種別をビット番号で示している。図24の下部に示す2つの波形は、画素回路 A_{3j} に対応するものであり、上から順に、3）走査信号 G_3 、4）制御信号 R_3 のそれぞれの波形である。この場合、指示データは、図3と同様に、指示データ $B_1 \sim B_8$ （図24では、 B を省略して示す）の8種類ある。また、図24は、実施の形態1で述べた時間多重階調駆動方法を採用した場合を示している。また、図24において横軸で示す時間軸は、占有期間の長さの半分に対応する t_1 を単位として示している。

30

【0294】

画素 A_{2j} は、時間 $1_4 t_1$ からブランキング期間に入る。時間 $1_4 t_1$ において、制御配線 R_2 を $High$ （ GH ）とし、スイッチ用トランジスタ12（ p 型TFT）をOFF状態とする。このことにより、駆動用トランジスタ11から有機EL素子EL1へ流れる電流が止められる。したがって、この場合、時間 $1_4 t_1$ を開始時点とするブランキング期間が設けられる。

【0295】

図24の駆動タイミングは図7の走査条件に対応するので、ブランキング期間は1選択期間となる。時間 $1_6 t_1$ において、制御配線 R_2 を Low （ GL ）とし、スイッチ用トランジスタ12をON状態とする。これにより、このブランキング期間が終了する。

40

【0296】

以上のように、本実施形態に係る表示装置では、実施の形態1に係る表示装置と同様に、制御配線 R_i によってスイッチ用トランジスタ12を制御することによってブランキング動作を行うことができるので、コントロール回路からソースドライバ回路2へのデータ転送周波数を低く抑えることができる。その結果、低消費電力化を図ることができる。

【0297】

また、この画素回路 A_{ij} を用いて、図8および図9に示した駆動タイミングで駆動を行うことで、1フレーム期間に存在する表示期間の割合が大きい表示装置を実現できる。

50

【0298】

本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

【0299】

なお、本発明は、以下のように表現することもできる。

【0300】

[1] 複数のゲート配線と少なくとも1つのソース配線との組み合わせに対応して、電気光学素子と駆動用トランジスタ(11)と第1のスイッチ用トランジスタ(13)と第3のスイッチ用トランジスタ(12)を配置した表示装置であって、

10

上記ソース配線にA個(Aは2以上の整数)毎に各々異なる駆動用トランジスタに対応した指示データB1~Baを供給し、上記ゲート配線により制御された第1のスイッチ用トランジスタ(13)により、上記ソース配線に出力された指示データB1~Baから各ゲート配線に対応した指示データB1~Baを選択し、その指示データB1~Baを駆動用トランジスタに供給し、その駆動用トランジスタの出力状態を1フレーム期間にA回設定すると共に、上記ゲート配線と並行して設けられた制御配線により第3のスイッチ用トランジスタ(12)を制御し、上記駆動用トランジスタから上記電気光学素子へ流れる電流を止めることを特徴とする表示装置。

【0301】

上記構成によれば、上記駆動用トランジスタから上記電気光学素子へ流れる電流を止める動作(ブランキング)を、特許文献3に記載されているブランキングを行う手段(ブランキングデータをパネルへ転送する手段)とは異なり、ブランキングデータをパネルへ転送することなく実現できる。この結果、指示データ総てを表示のために使えるので、最も重みの重い指示データを重みを小さくすることができる。その結果、動画偽輪郭の発生を抑制できる。

20

【0302】

[2] 上記[1]の表示装置において、駆動用トランジスタのゲート端子とソース端子(またはドレイン端子)の間に第2のスイッチ用トランジスタ(14)を配置し、上記駆動用トランジスタから上記電気光学素子へ流れる電流を止めている期間に、上記第2のスイッチ用トランジスタをON状態とし、上記駆動用トランジスタの閾値電圧のばらつきを補償することを特徴とする表示装置(図1、図12、図14、および図20に対応)。

30

【0303】

上記表示装置によれば、上記ブランキング期間において、第2のスイッチ用トランジスタをON状態とすることで駆動用トランジスタのゲート電位をON電位とし、その後、駆動用トランジスタから電気光学素子へ流れる電流を止め、駆動用トランジスタのゲート電位をON電位からOFF電位に変化させることができる。

【0304】

このことにより、上記駆動用トランジスタの閾値補償をブランキング期間に行うことが可能となり、上記駆動用トランジスタの閾値電圧を補償できる表示装置が実現できる。すなわち、この表示装置では、選択期間外の非表示期間(ブランキング期間)に駆動用トランジスタの閾値電圧を補償でき、選択期間に閾値補償を行う必要がなくなる。

40

【0305】

その結果、従来技術で示した画素回路構成(特許文献1:特表2002-514320号公報)と比べ、選択期間を短くでき、より多くのデータ配線に対応した駆動用トランジスタを制御できる。

【0306】

[3] 上記[2]の表示装置において、上記駆動用トランジスタ(11)のゲート端子に第1のコンデンサ(C1)と第2のコンデンサ(C2)が接続され、上記第2のコンデンサ(C2)の他方端子に上記第1のスイッチ用トランジスタ(13)と第4のスイッチ用トランジスタ(15)が接続され、上記第2のコンデンサ(C2)の他方端子を上記第

50

4のスイッチ用トランジスタ(15)を通して所定電位配線に接続し、上記第2のスイッチ用トランジスタ(14)をON状態としている期間に、上記駆動用トランジスタ(11)から上記電気光学素子へ流れる電流を止め、上記駆動用トランジスタ(11)の閾値電圧のばらつきを補償することを特徴とする表示装置(図1に対応)。

【0307】

上記構成によれば、上記ブランキング期間において、第4のスイッチ用トランジスタ(15)をON状態とし、第2のコンデンサ(C2)の他方端子に所定電位(電源電圧 V_p)を与え、上記第2のスイッチ用トランジスタ(14)をON状態として、駆動用トランジスタ(11)のゲート・ドレイン間を短絡できる。

【0308】

このとき、第3のスイッチ用トランジスタ(12)がON状態なので、駆動用トランジスタ(11)のゲート電位はON電位となる。

【0309】

その後、第3のスイッチ用トランジスタ(12)をOFF状態とすることにより、駆動用トランジスタ(11)のゲート・ソース間電位は徐々に変化し、駆動用トランジスタ(11)はON状態からOFF状態となる。

【0310】

そして、第2のスイッチ用トランジスタ(14)をOFF状態とし、第4のスイッチ用トランジスタ(15)もOFF状態とすることで、第2のコンデンサ(C2)の他方端子がその所定電位のとき、駆動用トランジスタ(11)のゲート・ソース間電位が閾値電位となるよう設定できる。

【0311】

その後、第1のスイッチ用トランジスタ(13)をON状態とし、第2のコンデンサ(C2)の他方端子に所望の電位を与えれば、駆動用トランジスタ(11)の閾値電位に依らず駆動用トランジスタ(11)の出力電流を設定できる。

【0312】

以上のように、上記画素回路構成によれば、選択期間外の非表示期間であるブランキング期間に第2のコンデンサへ所定電位を与え、駆動用トランジスタの閾値を補償できる。このことで、選択期間にソース配線から、その所定電位を基準とした電位を与えることで、駆動用トランジスタの閾値電位に依らずその出力電流を設定できる。

【0313】

[4]上記[2]の表示装置において、上記駆動用トランジスタ(16)のゲート端子に第1のコンデンサ(C3)と第2のコンデンサ(C4)が接続され、上記第2のコンデンサ(C4)の他方端子に上記第1のスイッチ用トランジスタ(13)と第5のスイッチ用トランジスタ(20)が接続され、上記第2のコンデンサ(C4)の他方端子を上記第5のスイッチ用トランジスタ(20)を通して上記駆動用トランジスタ(16)のゲート端子に接続し、上記第2のスイッチ用トランジスタ(19)をON状態としている期間に、上記駆動用トランジスタ(16)から上記電気光学素子へ流れる電流を止め、上記駆動用トランジスタ(16)の閾値電圧のばらつきを補償することを特徴とする表示装置(図12に対応)。

【0314】

上記構成によれば、上記ブランキング期間において、第5のスイッチ用トランジスタ(20)をON状態とし、第2のコンデンサ(C4)の他方端子を上記駆動用トランジスタ(16)のゲート端子に接続し、上記第2のスイッチ用トランジスタ(19)をON状態として、駆動用トランジスタ(16)のゲート・ドレイン間電位を短絡させる。

【0315】

このとき、第3のスイッチ用トランジスタ(17)がON状態なので、駆動用トランジスタ(16)のゲート電位はON状態となる。

【0316】

この第2のコンデンサ(C4)の両端の電位は、その後、第5のスイッチ用トランジスタ

10

20

30

40

50

タ(20)もOFF状態とすることで保持される。

【0317】

その後、第3のスイッチ用トランジスタ(17)をOFF状態とすることにより、駆動用トランジスタ(16)のゲート・ソース間電位は徐々に変化し、駆動用トランジスタ(16)はON状態からOFF状態となる。

【0318】

その後、第2のスイッチ用トランジスタ(19)をOFF状態とする。

【0319】

このことにより、上記期間に第2のコンデンサ(C4)の他方端子に供給された電位(例えば電源電位)を第2のコンデンサ(C4)の他方端子に供給すれば、駆動用トランジスタ(11)のゲート電位が閾値電位となるよう設定できる。 10

【0320】

その後、第1のスイッチ用トランジスタ(13)をON状態とし、第2のコンデンサ(C4)の他方端子に所望の電位を与えれば、駆動用トランジスタ(16)の閾値電位に依らずその出力電流を設定できる。

【0321】

以上のように、上記画素回路構成によれば、駆動期間外の非表示期間であるブランキング期間に第2のコンデンサへ所定電位を与え、駆動用トランジスタの閾値を補償できる。このことで、駆動期間にソース配線から、その所定電位を基準とした電位を与えることで、駆動用トランジスタの閾値電位に依らずその出力電流を設定できる。 20

【0322】

[5]上記[2]の表示装置において、上記駆動用トランジスタ(16)のゲート端子に第1のコンデンサ(C3)と第2のコンデンサ(C4)が接続され、上記第2のコンデンサ(C4)の他方端子に上記第1のスイッチ用トランジスタ(13)が接続され、上記第2のコンデンサ(C4)の他方端子を上記第1のスイッチ用トランジスタ(13)を通してソース配線へ接続し、上記第2のスイッチ用トランジスタ(19)をON状態として、上記第2のコンデンサ(C4)の電荷を設定し、上記第2のコンデンサ(C4)の他方端子を開放している期間に、上記駆動用トランジスタ(16)から上記電気光学素子へ流れる電流を止め、上記駆動用トランジスタ(16)の閾値電圧のばらつきを補償することを特徴とする表示装置(図14に対応)。 30

【0323】

上記構成によれば、第1のスイッチ用トランジスタ(13)をON状態とし、第2のコンデンサ(C4)の他方端子をソース配線S_jに接続し、上記第2のスイッチ用トランジスタ(19)をON状態とすることで、第2のコンデンサ(C4)の電荷が設定できる。

【0324】

その後、第1のスイッチ用トランジスタ(13)をOFF状態とすることで、第2のコンデンサ(C4)に上記時点の電位差を保持させる。

【0325】

また、第3のスイッチ用トランジスタ(17)をON状態とすれば、駆動用トランジスタ(11)のゲート電位はON状態となる。 40

【0326】

その後、第3のスイッチ用トランジスタ(17)をOFF状態とすることで、駆動用トランジスタ(16)のゲート・ソース間電位は徐々に変化し、駆動用トランジスタ(16)はON状態からOFF状態となる。

【0327】

その後、第1のスイッチ用トランジスタ(13)をON状態とし、第2のコンデンサ(C4)の他方端子に所望の電位を与えれば、駆動用トランジスタ(16)の閾値電位に依らずその出力電流を設定できる。

【0328】

以上のように、上記画素回路構成によれば、選択期間外の非表示期間であるブランキング 50

グ期間に第2のコンデンサへ所定電位を与え、駆動用トランジスタの閾値を補償できる。このことで、選択期間にソース配線から、その所定電位を基準とした電位を与えることで、駆動用トランジスタの閾値電位に依らずその出力電流を設定できる。

【0329】

さらに、上記画素回路構成を用いれば、第4のスイッチ用トランジスタが不要となり、画素回路当たりのトランジスタの数を少なくできる。その結果、高開口率化・高精細化できる。

【0330】

[6] n (n は2以上の整数)本のゲート配線と少なくとも1本のソース配線との組み合わせに対応して電気光学素子と駆動用トランジスタを配置した表示装置の駆動方法であって、 10

上記ソース配線に A 個 (A は2以上の整数)毎に各々異なる駆動用トランジスタに対応した指示データ $B_1 \sim B_a$ を供給し、上記ソース配線に出力された指示データ $B_1 \sim B_a$ から上記ゲート配線により、上記駆動用トランジスタに対応した指示データ $B_1 \sim B_a$ を選択し、その指示データ $B_1 \sim B_a$ を駆動用トランジスタに供給し、その駆動用トランジスタの出力状態を1フレーム期間に A 回設定すると共に、上記指示データ $B_1 \sim B_a$ の重みを $W_1 \sim W_a$ とするとき、上記ゲート配線と並行して設けられた制御配線により上記駆動用トランジスタから上記電気光学素子へ流れる電流を止める期間 W_b を

$$W_b = n \times A - (W_1 + \dots + W_a) \times k$$

(k は1以上の整数であって A の倍数ではない整数)とすることを特徴とする駆動方法。 20

【0331】

上記方法によれば、1本のソース配線を共用する全ての画素に対して、お互いに重なり合わないタイミングで指示データ $B_1 \sim B_a$ を供給することができる。

【0332】

また、上記方法によれば、上記駆動用トランジスタから上記電気光学素子へ流れる電流を止める期間(ブランキング期間) W_b を設けることで、1フレーム期間 $n \times A$ と階調表示期間 $(W_1 + \dots + W_a) \times k$ の差を埋めることができる。

【0333】

上記方法では、1フレーム期間に複数回ブランキング期間を設けることも可能であるが、1フレーム期間に1回ブランキング期間を設けることで、従来技術で示した時間多重階調駆動方法(特許文献2:特表平9-511589号公報に示された駆動方法)より非表示期間を短くできる。 30

【0334】

その結果、1フレーム内の発光期間の輝度を相対的に(非表示期間が短くなった分)低く設定できるので、電気光学素子の長寿命化が図れる。

【産業上の利用可能性】

【0335】

本発明は、有機ELディスプレイやFED等の電流駆動型の電気光学素子を用いた表示装置およびその駆動方法に利用することができ、それにより、駆動期間を長くすることなく、駆動用トランジスタの閾値電圧のばらつきに起因する輝度のむらを補償することができる等の利益が得られる。 40

【図面の簡単な説明】

【0336】

【図1】実施の形態1に係る表示装置における画素回路構成を示す回路図である。

【図2】実施の形態1~4に係る表示装置の構成を示す回路図である。

【図3】上記画素回路及び駆動回路の動作タイミングを示す波形図である。

【図4】上記画素回路において、駆動用トランジスタのゲート電位 V_g , ドレイン電位 V_d およびソース・ドレイン間電流 I_d の変化をシミュレーションした結果を示すグラフである。

【図5】上記画素回路において、有機EL素子を流れる電流値のシミュレーション結果を 50

示すグラフである。

【図 6】本発明の駆動方法の実施例である各指示データの順番と重みを示す走査条件を示す図である。

【図 7】図 6 の走査条件をゲート配線数 8 本に対応させたときの走査条件を示す図である。

【図 8】上記走査条件における動作タイミングを示す波形図である。

【図 9】上記走査条件における動作タイミングを示す波形図である。

【図 10】実施の形態 1 で示した本発明の駆動方法の実施例である各指示データの順番と重みを示す走査条件の例を示す図である。

【図 11】実施の形態 1 で示した本発明の駆動方法の実施例である各指示データの順番と重みを示す走査条件の別の例を示す図である。 10

【図 12】実施の形態 2 に係る表示装置における画素回路構成を示す回路図である。

【図 13】上記画素回路及び駆動回路の動作タイミングを示す波形図である。

【図 14】実施の形態 3 に係る表示装置における画素回路構成を示す回路図である。

【図 15】上記画素回路及び駆動回路の動作タイミングを示す波形図である。

【図 16】上記画素回路において、駆動用トランジスタのゲート電位 V_g , ソース電位 V_s およびソース・ドレイン間電流 I_d の変化をシミュレーションした結果を示すグラフである。

【図 17】実施の形態 3 で用いた本発明の駆動方法の実施例である各指示データの順番と重みを示す走査条件を示す図である。 20

【図 18】上記走査条件における動作タイミングを示す波形図である。

【図 19】上記走査条件における動作タイミングを示す波形図である。

【図 20】図 17 の走査条件において各ビットがどの階調で ON となるかを示す図である。

【図 21】実施の形態 3 で示した別の走査条件を示す図である。

【図 22】実施の形態 3 に係る表示装置における別の画素回路構成を示す回路図である。

【図 23】実施の形態 4 に係る表示装置における画素回路構成を示す回路図である。

【図 24】上記画素回路及び駆動回路の動作タイミングを示す波形図である。

【図 25】従来の表示装置における画素回路の構成例を示す回路図である。

【図 26】従来の表示装置における駆動方法のタイミング例を示す駆動タイミング図である。 30

【図 27】図 26 で示した駆動タイミングの実際の電圧波形を示す電圧タイミング図である。

【符号の説明】

【0337】

1 表示装置

2 ソースドライバ回路

3 a ゲートドライバ回路

3 b ゲートドライバ回路

4 シフトレジスタ回路

5 レジスタ

6 ラッチ回路

7 アナログスイッチ回路（指示データ供給手段）

11 駆動用トランジスタ

12 スイッチ用トランジスタ（ブランキング手段、第 3 のスイッチ用トランジスタ）

13 スイッチ用トランジスタ（第 1 のスイッチ用トランジスタ）

14 スイッチ用トランジスタ（第 2 のスイッチ用トランジスタ）

15 スイッチ用トランジスタ（第 4 のスイッチ用トランジスタ）

16 駆動用トランジスタ

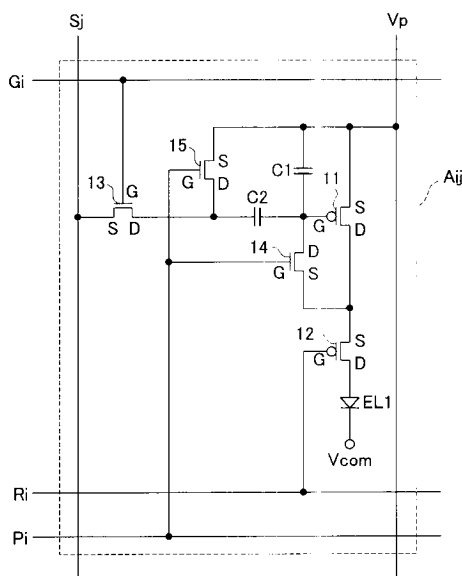
40

50

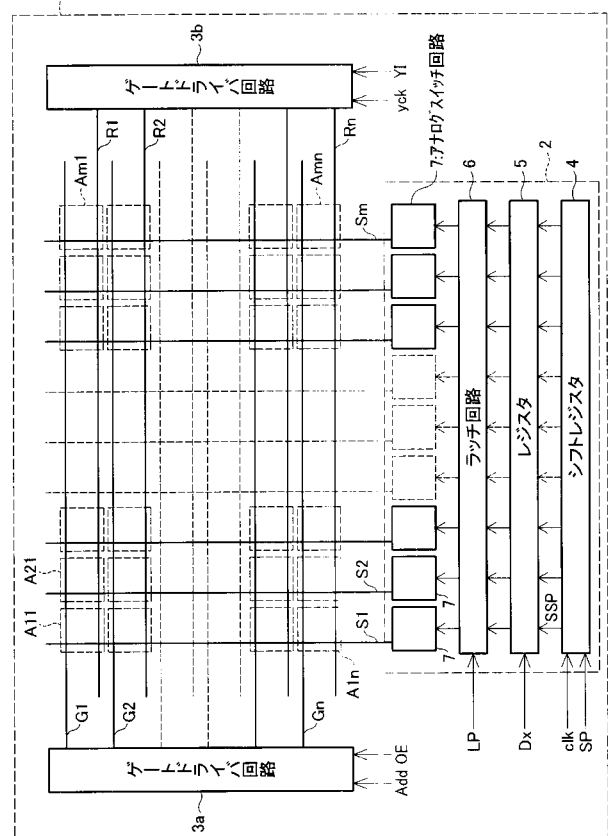
- 1 7 スイッチ用トランジスタ（ブランキング手段、第 3 のスイッチ用トランジスタ
)
 1 9 スイッチ用トランジスタ（第 2 のスイッチ用トランジスタ）
 2 0 スイッチ用トランジスタ（第 5 のスイッチ用トランジスタ）
 C 1 コンデンサ（電位差保持手段、第 1 のコンデンサ）
 C 2 コンデンサ（電位差保持手段、第 2 のコンデンサ）
 C 3 コンデンサ（電位差保持手段、第 1 のコンデンサ）
 C 4 コンデンサ（第 2 のコンデンサ）
 E L 1 有機 E L 素子（電気光学素子）
 A i j 画素回路
 S j ソース配線
 G i ゲート配線
 R i 制御配線（ブランキング手段）
 P i 制御配線
 V p 電源配線（所定電位配線）

10

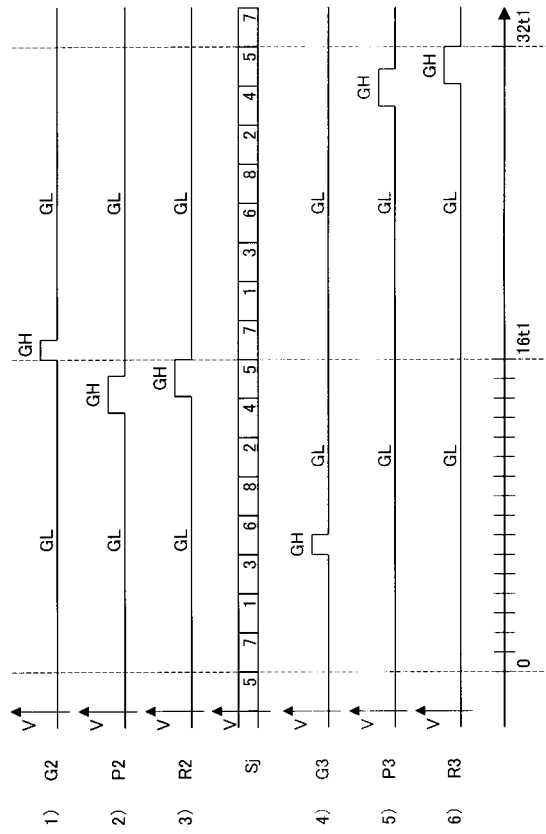
【図 1】



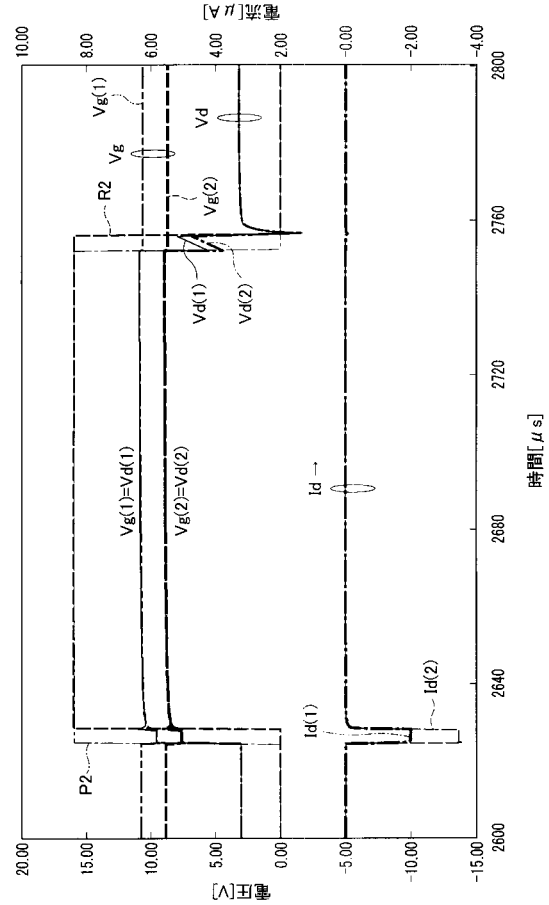
【図 2】



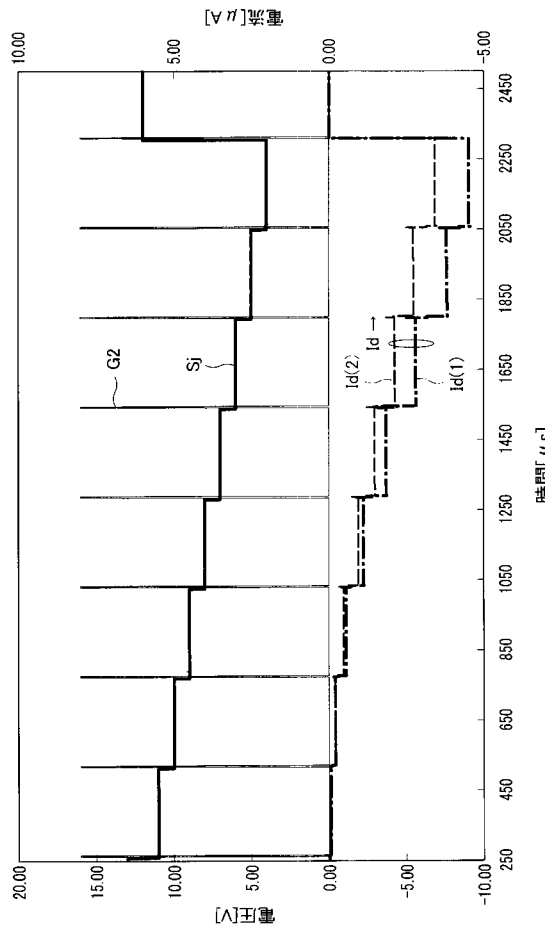
【図 3】



【図 4】



【図 5】

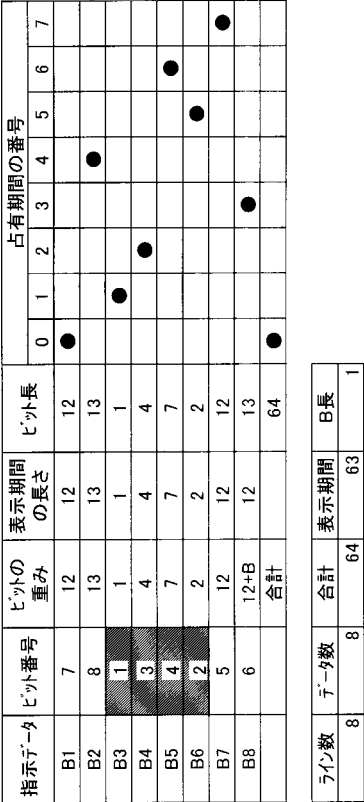


【図 6】

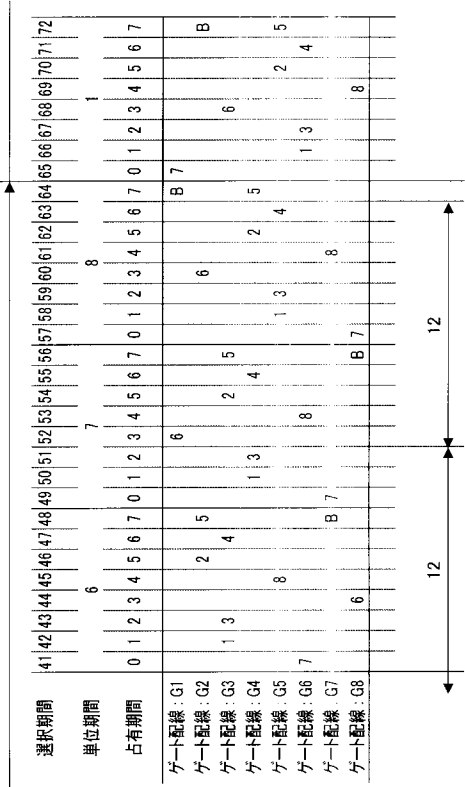
指示データ	ビット番号	ビットの重み	表示期間の長さ	ビット長	占有期間の番号							
B1	7	12	468	468	0	1	2	3	4	5	6	7
B2	8	13	507	507								
B3	1	1	39	39								
B4	3	4	156	156								
B5	4	7	273	273								
B6	2	2	78	78								
B7	5	12	468	468								
B8	6	12+8	468	571								
		合計		2560								

ライン数	データ数	合計	表示期間	日長
320	8	2560	2457	103

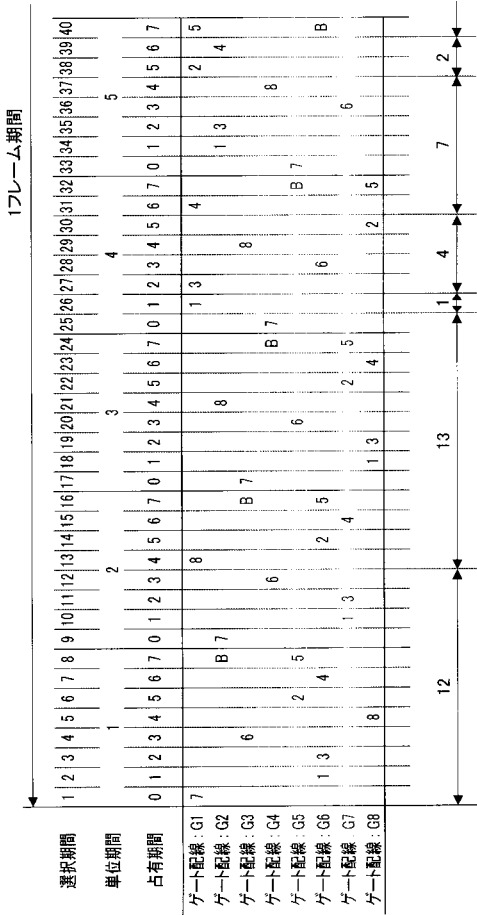
【図 7】



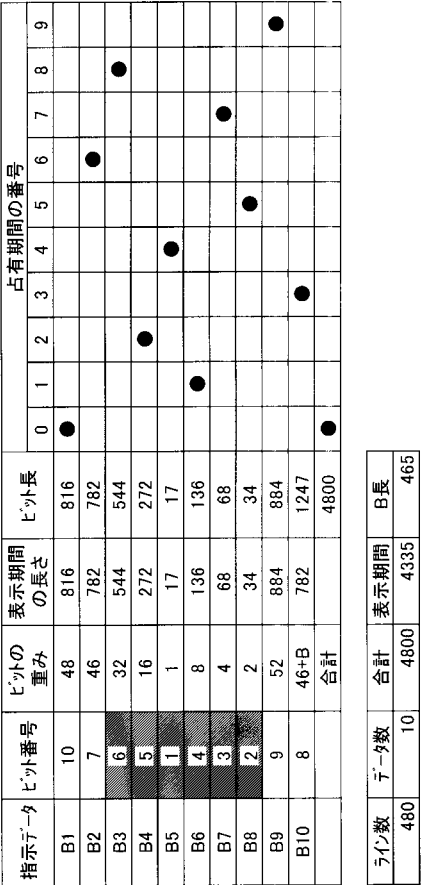
【図 9】



【図 8】



【図 10】

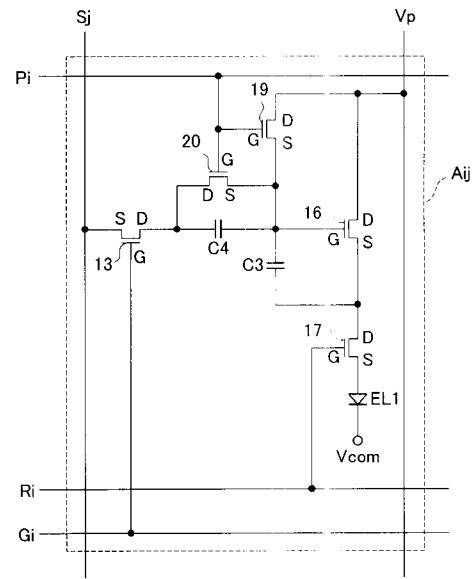


【図 1 1】

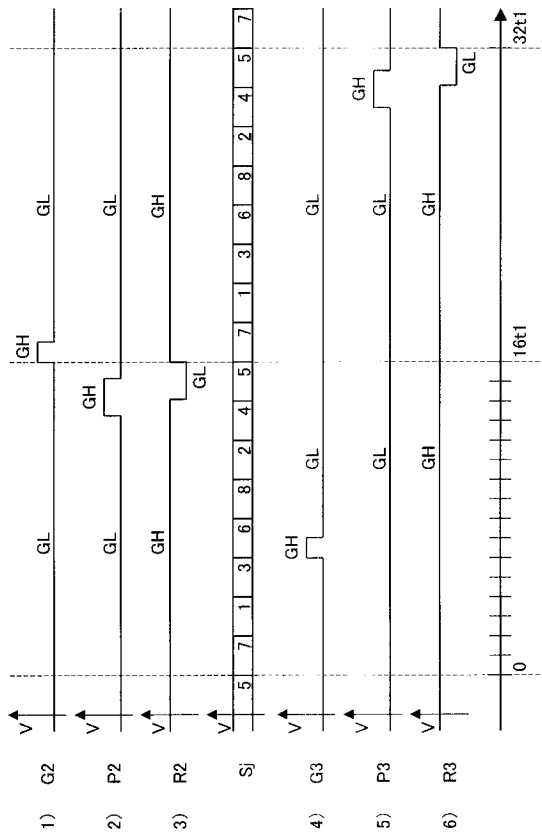
指示データ	ビット番号	ビットの重み	表示期間の長さ	ビット長	占有期間の番号									
					0	1	2	3	4	5	6	7	8	9
B1	9	48	1037	1037	●									
B2	8	46	561	561								●		
B3	6	32	544	544								●		
B4	5	16	272	272			●							
B5	1	1	17	17					●					
B6	2	8	34	34		●								
B7	3	4	68	68						●				
B8	4	2	136	136				●						
B9	7	52	527	527										●
B10	10	46+B	1139	1604							●			
		合計		4800	●									

ライン数	データ数	合計	表示期間	B長
480	10	4800	4335	0

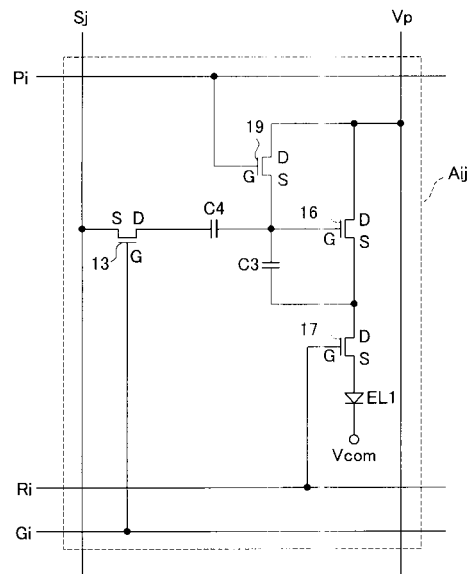
【図 1 2】



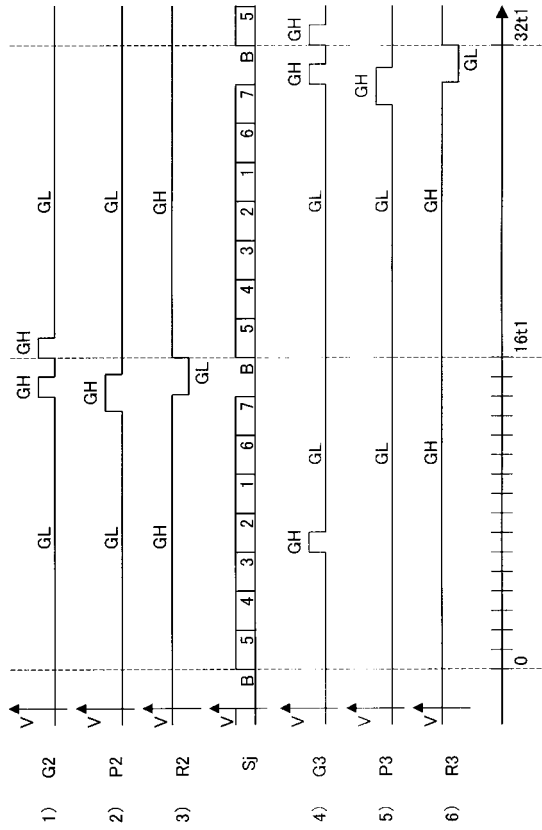
【図 1 3】



【図 1 4】



【図 15】

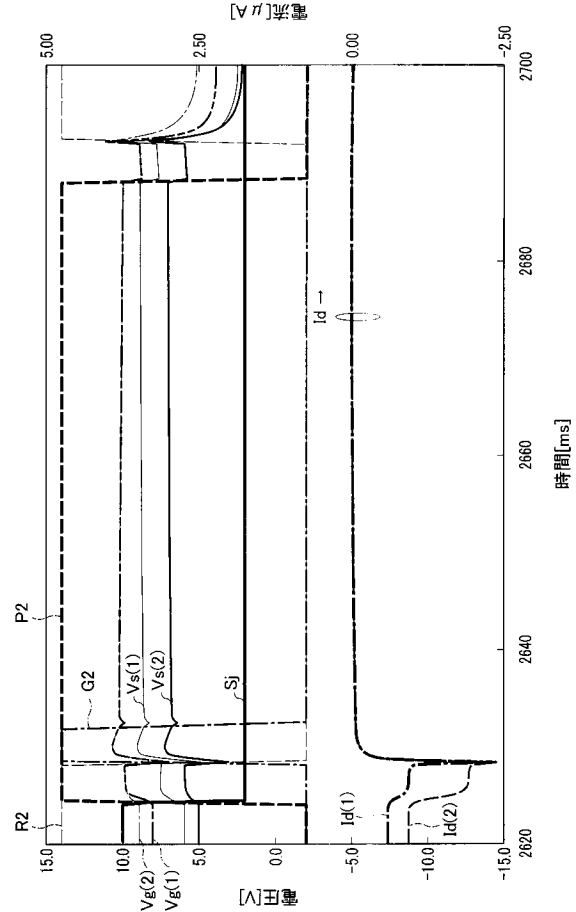


【図 17】

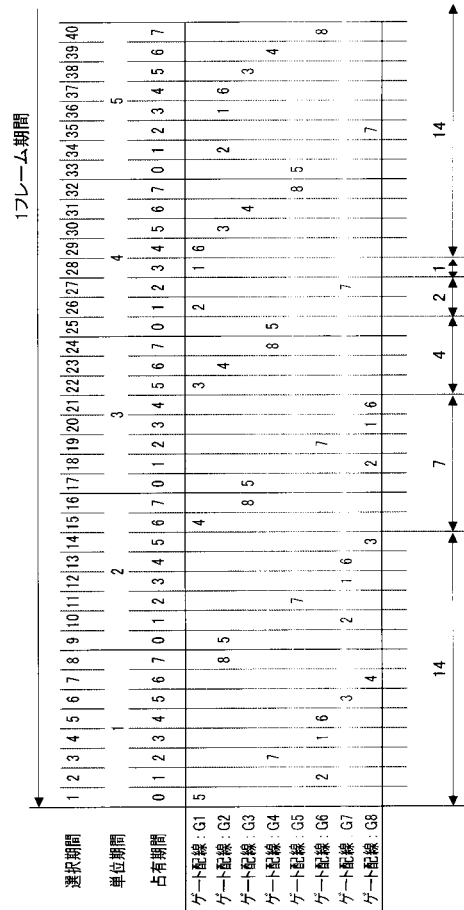
指示データ	ビット番号	ビットの 重み	表示期間 の長さ	ビット長	占有期間の番号							
					0	1	2	3	4	5	6	7
B1	5	14	14	14	●							
B2	4	7	7	7							●	
B3	3	4	4	4						●		
B4	2	2	2	2		●						
B5	1	1	1	1				●				
B6	6	14	14	14					●			
B7	7	21	21	21			●					
B8	8	0	0	1								●
		合計		64	●							

ライン数	データ数	合計	表示期間	B長
8	8	64	63	1

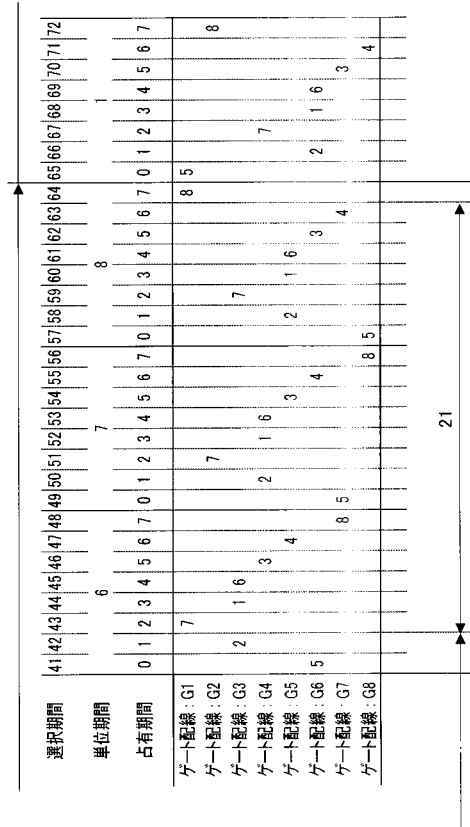
【図 16】



【図 18】



【図 19】



【図 21】

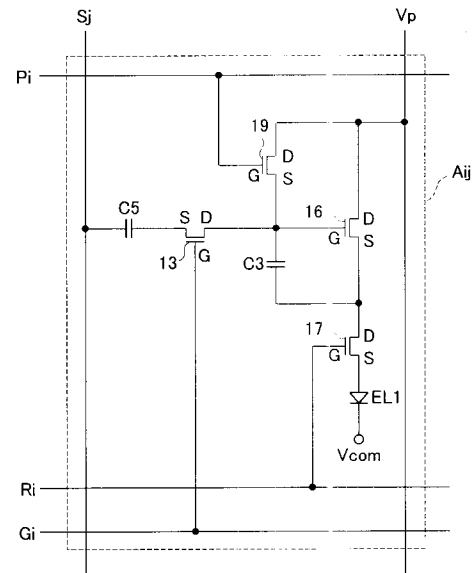
指示データ	ビット番号	ビットの 重み	表示期間 の長さ	ビット長	占有期間の番号								
					0	1	2	3	4	5	6	7	
B1	7	18	18	18	●								
B2	6	17	17	17		●							
B3	1	1	1	1			●						
B4	2	2	2	2				●					
B5	4	7	7	7						●			
B6	3	4	4	4							●		
B7	5	14	14	14		●							
B8	8	0	0	1									●
		合計		64	●								

ライン数	データ数	合計	表示期間	B長
8	8	64	63	1

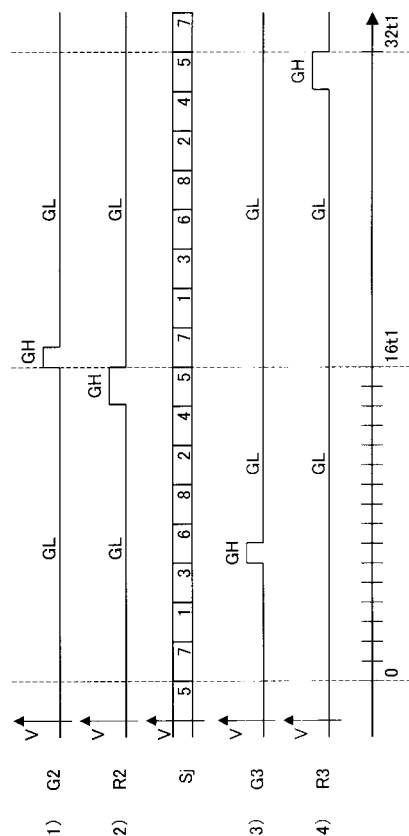
【図 20】

指示データ ビット番号	B1	B2	B3	B4	B5	B6	B7	B
重み	5	4	3	2	1	6	7	0
暗調番号	1	2	8	9	15	16	22	23
30	36	37	43	44	50	51	57	58
64								

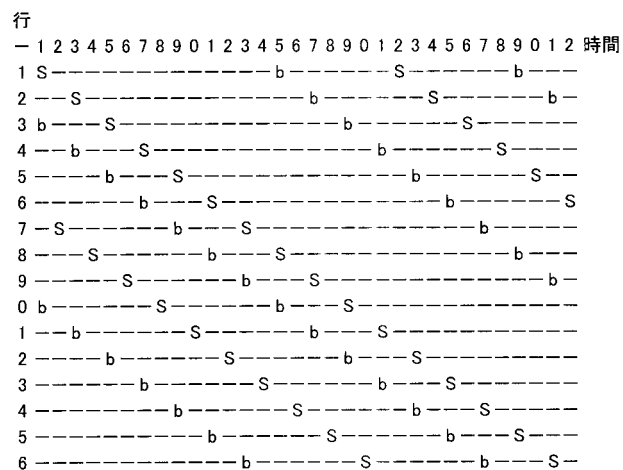
【図 22】



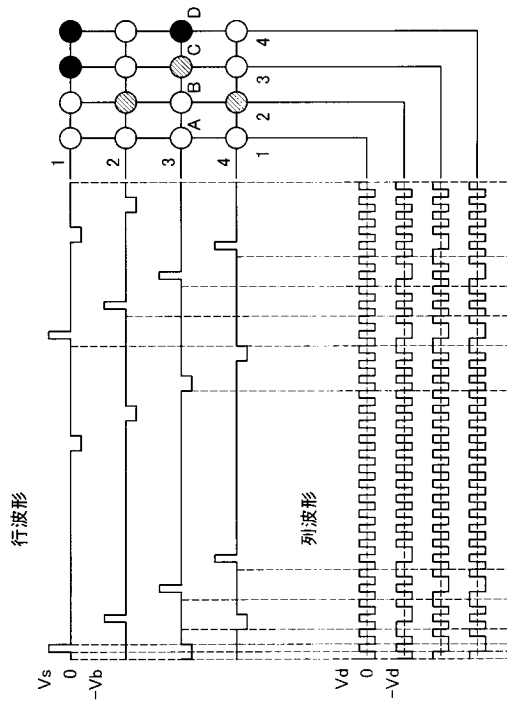
【 図 2 4 】



【 図 2 6 】



【図 27】



フロントページの続き

(51) Int.Cl.

F I

テーマコード (参考)

G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 4 1 R
G 0 9 G	3/20	6 4 2 A
H 0 5 B	33/14	A

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JP2006023402A	公开(公告)日	2006-01-26
申请号	JP2004199831	申请日	2004-07-06
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	沼尾孝次		
发明人	沼尾 孝次		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/30.K G09G3/20.611.H G09G3/20.612.T G09G3/20.621.A G09G3/20.624.B G09G3/20.641.R G09G3/20.642.A H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/GA00 5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 3K107/AA01 3K107/BB01 3K107/CC02 3K107/CC14 3K107/CC21 3K107/CC33 3K107/CC35 3K107/CC36 3K107/EE03 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB21 5C380/AB22 5C380/AB23 5C380/AB24 5C380/AB34 5C380/AC11 5C380/AC12 5C380/BA01 5C380/BA06 5C380/BA13 5C380/BA39 5C380/BB02 5C380/BB22 5C380/BD16 5C380/BE11 5C380/CA04 5C380/CA08 5C380/CA14 5C380/CA22 5C380/CA26 5C380/CA53 5C380/CB06 5C380/CB16 5C380/CB17 5C380/CB26 5C380/CC03 5C380/CC21 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC39 5C380/CC41 5C380/CC52 5C380/CC61 5C380/CC63 5C380/CC64 5C380/CD013 5C380/CD023 5C380/CD024 5C380/CD025 5C380/CE20 5C380/CF01 5C380/CF06 5C380/CF07 5C380/CF09 5C380/CF10 5C380/CF64 5C380/DA02 5C380/DA09 5C380/DA32 5C380/DA35 5C380/DA42 5C380/DA47 5C380/DA49 5C380/DA57 5C380/HA02 5C380/HA05 5C380/HA11		
代理人(译)	木岛隆一 金子 一郎		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种能够在不延长驱动周期的情况下补偿由于驱动晶体管的阈值电压的变化而引起的亮度不均匀的显示装置和驱动方法。像素电路Aij对应于栅极布线Gi和源极布线Sj的组合而设置，并且由来自电源布线Vp和有机EL元件EL1的电流以及来自栅极布线Gi的扫描信号驱动。控制连续性；开关晶体管13，其在导通时从源极线Sj输出数据；驱动晶体管13，其根据该数据控制从电源线Vp到有机EL元件EL1的电流供应；以及用于执行分级的开关晶体管12，以及驱动晶体管13的栅极端子和源极端子或漏极端子，以便补偿在消隐时段期间驱动晶体管13的阈值电压的变化。以及用于短路的开关晶体管（14）。[选型图]图1

