

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-341435

(P2004-341435A)

(43) 公開日 平成16年12月2日(2004.12.2)

(51) Int.Cl.⁷

G09G 3/30

G09F 9/30

G09G 3/20

H05B 33/14

F I

G09G 3/30

J

G09G 3/30

K

G09F 9/30

3 3 8

G09G 3/20

6 2 2 G

G09G 3/20

6 2 2 Q

テーマコード (参考)

3 K 0 0 7

5 C 0 8 0

5 C 0 9 4

審査請求 未請求 請求項の数 5 O L (全 13 頁) 最終頁に続く

(21) 出願番号

特願2003-140663 (P2003-140663)

(22) 出願日

平成15年5月19日 (2003.5.19)

(71) 出願人 302020207

東芝松下ディスプレイテクノロジー株式会
社

東京都港区港南4-1-8

(74) 代理人 100092794

弁理士 松田 正道

(72) 発明者 奥野 武志

東京都港区港南四丁目1番8号 東芝松下
ディスプレイテクノロジー株式会社内

(72) 発明者 太田 益幸

東京都港区港南四丁目1番8号 東芝松下
ディスプレイテクノロジー株式会社内

Fターム(参考) 3K007 AB17 BA06 DB03 FA04

5C080 AA06 BB05 DD05 EE28 FF11

JJ01 JJ02 JJ03 JJ04

最終頁に続く

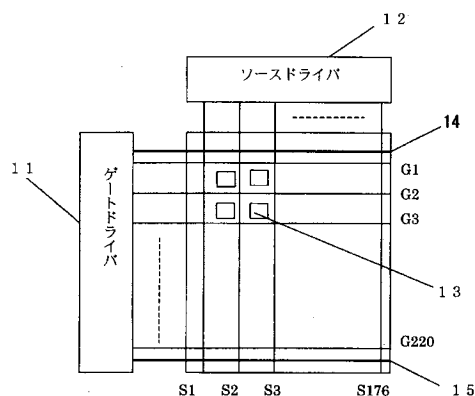
(54) 【発明の名称】 アクティブマトリクス型表示装置、アクティブマトリクス型表示装置の駆動方法

(57) 【要約】

【課題】有機EL素子の電流駆動において、複数本のゲートラインを同時に駆動するときに生じる表示むらを防止する。

【解決手段】複数のゲートラインG1～G220の前記先頭行のゲートラインG1の前段および/または前記末尾行のゲートラインG220の後段に設けられた、ゲートドライバ11の制御によりソースラインS1～S176から電流プログラムされる所定数のダミーゲートライン14および/または15を備えたアクティブマトリクス型表示装置。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

行状に配設される複数のゲートラインと、
前記複数のゲートラインと交差して列状に配設される複数のソースラインと、
前記ゲートラインと前記ソースラインの交差部に配設される、EL素子、蓄積容量及び画素駆動用の薄膜トランジスタを含む画素部と、前記複数のソースラインの各々へ供給される画像信号を制御する、複数の電流源を有するソースドライバと、前記複数のゲートラインから、所定本数を選択して電流プログラムを行い、前記選択がゲートライン一本刻みの走査となるよう制御するとともに、前記電流プログラムされたゲートラインのうち、予め定めた順番の発光用ゲートラインに接続された前記画素部の前記EL素子を発光させる制御を行うゲートドライバとを有し、
前記ゲートドライバによる一回の前記走査における前記電流プログラムのため選択される前記ゲートラインの前記所定本数が、
前記先頭行から数えて n (n : 2以上の自然数) 番目までの前記ゲートラインは、1本から n 本まで選択本数が逐次増加し、
前記先頭行から $n+1$ 番目から、末尾行から数えて n 番目までの前記ゲートライン以外のゲートラインについては n 本であり、
前記末尾行から数えて n 番目までの前記ゲートラインは、 $n-1$ 本から1本まで選択本数が逐次減少するアクティブマトリックス型表示装置において、
前記複数のゲートラインの前記先頭行の前段および/または前記末尾行の後段に設けられた、前記ゲートドライバの制御により前記ソースラインから電流プログラムされる所定数のダミーゲートラインを備えたアクティブマトリックス型表示装置。

【請求項 2】

前記所定数のダミーゲートラインは、前記電流プログラムが行われる前記所定本数の前記ゲートラインにおける前記発光用ゲートラインの位置に応じて、前記先頭行の前段および/または前記末尾行の後段に一括または分配して配置されている請求項1に記載のアクティブマトリックス型表示装置。

【請求項 3】

前記所定数のダミーゲートラインの総計は $n-1$ 本であって、
前記 $n-1$ 本のダミーゲートラインは、
前記電流プログラム用を選択される n 本のゲートラインのうち、前記発光ゲートラインとなるものを、先頭から k (k は1~ n までの整数) 番目とすると、前記先頭行の前段には $k-1$ 本、前記末尾行の後段には $n-k$ 本に分配して配置される請求項2に記載のアクティブマトリックス型表示装置。

【請求項 4】

前記ダミーゲートラインと前記ソースラインとの交差部に配設される、少なくとも薄膜トランジスタを含むダミー画素部を備えた請求項1に記載のアクティブマトリックス型表示装置。

【請求項 5】

行状に配設される複数のゲートラインと、前記複数のゲートラインと交差して列状に配設される複数のソースラインと、前記ゲートラインと前記ソースラインの交差部に配設される、EL素子、蓄積容量及び画素駆動用の薄膜トランジスタを含む画素部と、前記複数のソースラインの各々へ供給される画像信号を制御する、複数の電流源を有するソースドライバと、前記複数のゲートラインから、所定本数を選択して電流プログラムを行い、前記選択がゲートライン一本刻みの走査となるよう制御するとともに、前記電流プログラムされたゲートラインのうち、予め定めた順番の発光用ゲートラインに接続された前記画素部の前記EL素子を発光させる制御を行うゲートドライバと、前記複数のゲートラインの前記先頭行の前段および/または前記末尾行の後段に設けられた、前記ゲートドライバの制御により前記ソースラインから電流プログラムされる所定数のダミーゲートラインを備えたアクティブマトリックス型表示装置の駆動方法であって、

一回の前記走査における前記電流プログラムのため選択される前記ゲートラインの前記所定本数を、前記先頭行から数えて n (n : 2以上の自然数) 番目までの前記ゲートラインは、1本から n 本まで選択本数が逐次増加させ、前記先頭行から $n+1$ 番目から、末尾行から数えて n 番目までの前記ゲートライン以外のゲートラインについては、 n 本とし、前記末尾行から数えて n 番目までの前記ゲートラインは、 $n-1$ 本から1本まで選択本数が逐次減少させるように選択し、

前記先頭行から数えて n 番目までの前記ゲートラインまたは前記末尾行から数えて n 番目までの前記ゲートラインの前記選択においては、前記所定数のダミーゲートラインも同時に選択するアクティブマトリクス型表示装置の駆動方法。

【発明の詳細な説明】

10

【0001】

【発明の属する技術分野】

本発明はアクティブマトリクス型表示装置等に関する。より詳しくは、表示データを電流制御により駆動し、有機EL素子を発光させるアクティブマトリクス型表示装置の駆動技術に関する。

【0002】

【従来の技術】

図4を参照して従来のアクティブマトリクス型表示装置の構成を説明する。図4は、従来パネルの回路ブロックの例を示す。従来のアクティブマトリクス型表示装置は、行状に配線した複数のゲートラインG1からG220と、列状に配線した複数のソースラインS1からS196と、上記ゲートライン、及びソースラインの交差部に設けられる有機EL素子、蓄積容量、及び画素駆動用の薄膜トランジスタTFTより構成された画素部43と、上記複数のデータラインごとに、画像信号の供給を制御するための複数の電流源を具備したソースドライバ42と、上記複数のゲートラインを制御するゲートドライバ41とから構成されている(例えば、特許文献1を参照)。

20

【0003】

次に、図5を参照しながら、有機EL素子を電流駆動にて動作させる方法について説明する。図5は上記表示素子における1つの画素と1つのソースラインを示す。ここで、51は画素部であり、VDDは電源、Csは蓄積容量、MP1からMP4はPチャンネル型のMOSトランジスタ、ELは有機EL素子を示している。また、GnAはMOSトランジスタMP1およびMP3をオン又はオフさせるための制御信号、GnBは同様にMOSトランジスタMP4をオン又はオフさせるための制御信号であり、MP1・MP3・MP4はそれぞれのゲートラインを介してゲートドライバに接続されている。また52はソースライン、54はソースライン上に存在する抵抗成分Rと容量成分Cからなる負荷インピーダンス、53はソースドライバ中の画像信号をセットするための電流源である。ここで、画像データが決定されると、電流源53にはデータに対応した電流Idが設定される。

30

【0004】

次にGnAが「L」になるとMOSトランジスタMP1・MP3がオンとなり、蓄積容量Csに設定電流Idに対応した電荷が蓄積される。次に蓄積容量CsによりMOSトランジスタMP2がバイアスされ、ソースライン52には設定電流Idと等しい電流Iが印加され、この電流Iの電流値による電流プログラムが行われる。次にGnAが「H」、GnBが「L」になると、MP4がオンとなり、結果的に、電流プログラムされたソースライン電流IはMP4を介して有機EL素子に書き込まれ、設定電流に応じて、有機EL素子が発光する。すなわち、図4に示すゲートラインG1からG220は、実際にはそれぞれ制御信号GnA・GnBを導通させるため一對の組から構成されており、これら制御信号により電流プログラム、および有機EL素子の発光の2つの制御を行う。

40

【0005】

以上のようにして、他のゲートラインに対しても、同様の方法で画像データを書き込んでいく。なお、上記「L」は、ローレベルを示し、上記「H」は、ハイレベルを示す。また、上記「オン」は、MOSトランジスタのドレイン電極・ソース電極間が導通状態である

50

ことを示し、上記「オフ」は、MOSトランジスタのドレイン電極・ソース電極間が非導通状態であることを示す。

【0006】

【特許文献1】

特公昭61-4114号公報

【0007】

【発明が解決しようとする課題】

ここで、有機EL素子が発光するのに必要な電流は、一般的に数十nAから数μA程度と非常に小さい。特に、黒表示の場合、数十nAの精度で画素に電流を書き込むことが必要となる。また、実際ソースライン52には、負荷インピーダンス54が存在するため、上記のような小さい電流では、負荷インピーダンス54の影響により、1水平走査期間内で、十分な電流を画素51に書き込むことができないといった問題が生じる。

10

【0008】

上記問題を解決するためのひとつの方法として、電流プログラム時に、複数本のゲートラインを同時に選択し、ソースライン52への電流を複数倍に増やしてやることにより、負荷インピーダンス54の影響による書き込み不足を低減させる方法が挙げられる。

【0009】

次に、図6を参照しながら、上記複数本の駆動を行う方法とそのときの課題について説明する。図6はゲートラインを複数本同時に選択した場合の動作例について説明した図である。ここで、61・65は画素部であり、構成、動作については図5で示したものと同様である。また、GnA・GnA2はそれぞれの画素のMOSトランジスタをオン又はオフさせるための制御信号であり、それぞれのゲートラインを介してゲートドライバに接続されている。

20

【0010】

また62はソースライン、64はソースライン上に存在する抵抗成分Rと容量成分Cとからなる負荷インピーダンス、63はソースドライバ中の画像信号をセットするための電流源である。ここで、制御信号GnAとGnA2を同時に選択することにより、画素61と画素65には同時にオンとなり、ソースライン62から電流源63へ流れる電流は、画素61と画素65の各電流の和となる。結果として、上記同時選択本数を増やすことにより、ソースライン62への充電能力を増加させることができ、電流プログラム時における上記ソースラインへの電流の書き込み不足を低減することが可能となる。

30

【0011】

しかしながら、上記複数本駆動を行う場合、新たに表示むらの課題が発生する。上記表示むらの課題について、図7、図8を参照しながら説明する。図7はゲートのタイミングチャート例を示したものである。ここで、G1からG4及びE1からE4は各ゲートラインに印加される信号波形を示し、それぞれ図5のGnA及びGnBに対応している。なお、各波形の論理についてはここでは考慮していない。つまり、G1からG4がソースライン62への書き込みタイミング、すなわち電流プログラムのものであり、E1からE4は有機EL素子を発光させるタイミングである。また、72は1ライン分に相当する水平走査期間を示す。したがって、ここでは走査順に上から3本の信号を同時に選択し、またこの選択した3本のうち、走査順に一番上のゲートラインに接続された画素の有機EL表示素子を発光させる場合を想定している。

40

【0012】

ここで、各タイミングにおいて、図7の実線以降では、すべて3本のゲートラインが同時に選択されている。しかし、走査の開始時と終了時のタイミングにおいては1本・2本と同時選択本数が不足している期間71が存在することがわかる。つまり走査の開始時は、まず先頭行の一本のゲートラインのみが選択され、次に先頭行および次の行の計2本のゲートラインが選択され、次いで先頭行～3行目の計3本のゲートラインが表示される。また、走査の終了時には、末尾行から一本前のゲートラインと末尾行の計2本のゲートラインが選択され、次に末尾行のゲートライン一本が選択されて、走査を完了する。これはゲ

50

ートドライバがシフトレジスタを用いており、ゲートラインの選択数の増減は、一本単位でしか行えないからである。

【0013】

上記のように、ゲートラインを複数本同時に選択させて走査した場合、ゲートラインの行先頭を含む走査開始ラインと、ゲートラインの行末尾を含む走査終了ラインには、同時選択する本数に応じて必ず選択数が不足するラインが存在してしまう。本例では3本のゲートラインを同時選択しようとしているので、走査開始ラインと走査終了ラインには同時選択本数3本から1引いた数、具体的には、それぞれ2本のゲートラインについて、同時選択本数の不足が生じる。前述したように、同時に選択する本数を増やすと、ソースラインへの書き込み不足は低減されるので、反対に、上記2本のゲートラインについてはソースラインへの書き込み量が他のゲートラインとは異なってしまう、点灯時にゲートライン毎の表示むらが発生する。ここで結果として図8に示すように、正常な表示領域81に対し、画面の上下端の少なくとも一方に、表示むら82a、82bに示すような表示むらを生ずる。なお、表示むらの発生の方は、有機EL素子の発光タイミングに依存し、表示むら82aのように画面上部に生ずる表示むらは、3本選択されたゲートラインのうち、走査順に一番下のゲートラインに接続された画素の有機EL表示素子を発光させる場合にはゲートライン2本分発生し、表示むら82bのように画面下部に生ずる表示むらは、3本選択されたゲートラインのうち、走査順に一番上のゲートラインに接続された画素の有機EL表示素子を発光させる場合にゲートライン2本分発生する。さらに、3本選択されたゲートラインのうち、走査順に真ん中のゲートラインに接続された画素の有機EL表示素子を発光させる場合は、表示むら82aおよび82bが、それぞれゲートライン一本分ずつ発生する。また、図においては略したが、実際には表示むら82a、82bは、同時選択本数の不足分に応じた階調として、ゲートライン毎に表示される。

【0014】

本発明は、上記の課題に鑑みてなされたものであり、上記ゲートラインを複数本を同時に選択して走査した場合に発生する表示むらを低減し、高品質な表示装置を提供することを目的とする。

【0015】

【課題を解決するための手段】

上記の目的を達成するために、第1の本発明は、行状に配設される複数のゲートラインと

、
前記複数のゲートラインと交差して列状に配設される複数のソースラインと、
前記ゲートラインと前記ソースラインの交差部に配設される、EL素子、蓄積容量及び画素駆動用の薄膜トランジスタを含む画素部と、前記複数のソースラインの各々へ供給される画像信号を制御する、複数の電流源を有するソースドライバと、前記複数のゲートラインから、所定本数を選択して電流プログラムを行い、前記選択がゲートライン一本刻みの走査となるよう制御するとともに、前記電流プログラムされたゲートラインのうち、予め定めた順番の発光用ゲートラインに接続された前記画素部の前記EL素子を発光させる制御を行うゲートドライバとを有し、
前記ゲートドライバによる一回の前記走査における前記電流プログラムのため選択される前記ゲートラインの前記所定本数が、
前記先頭行から数えて n (n : 2以上の自然数) 番目までの前記ゲートラインは、1本から n 本まで選択本数が逐次増加し、
前記先頭行から $n+1$ 番目から、末尾行から数えて n 番目までの前記ゲートライン以外のゲートラインについては n 本であり、
前記末尾行から数えて n 番目までの前記ゲートラインは、 $n-1$ 本から1本まで選択本数が逐次減少するアクティブマトリックス型表示装置において、
前記複数のゲートラインの前記先頭行の前段および/または前記末尾行の後段に設けられた、前記ゲートドライバの制御により前記ソースラインから電流プログラムされる所定数のダミーゲートラインを備えたアクティブマトリックス型表示装置である。

【 0 0 1 6 】

また、第 2 の本発明は、前記所定数のダミーゲートラインは、前記電流プログラムが行われる前記所定本数の前記ゲートラインにおける前記発光用ゲートラインの位置に応じて、前記先頭行の前段および / または前記末尾行の後段に一括または分配して配置されている第 1 の本発明のアクティブマトリクス型表示装置である。

【 0 0 1 7 】

また、第 3 の本発明は、前記所定数のダミーゲートラインの総計は $n - 1$ 本であって、前記 $n - 1$ 本のダミーゲートラインは、前記電流プログラム用に選択される n 本のゲートラインのうち、前記発光ゲートラインとなるものを、先頭から k (k は $1 \sim n$ までの整数) 番目とすると、前記先頭行の前段には $k - 1$ 本、前記末尾行の後段には $n - k$ 本に分配して配置される第 2 の本発明のアクティブマトリクス型表示装置である。 10

【 0 0 1 8 】

また、第 4 の本発明は、前記ダミーゲートラインと前記ソースラインとの交差部に配設される、少なくとも薄膜トランジスタを含むダミー画素部を備えた第 1 の本発明のアクティブマトリクス型表示装置である。

【 0 0 1 9 】

また、第 5 の本発明は、行状に配設される複数のゲートラインと、前記複数のゲートラインと交差して列状に配設される複数のソースラインと、前記ゲートラインと前記ソースラインの交差部に配設される、EL素子、蓄積容量及び画素駆動用の薄膜トランジスタを含む画素部と、前記複数のソースラインの各々へ供給される画像信号を制御する、複数の電流源を有するソースドライバと、前記複数のゲートラインから、所定本数を選択して電流プログラムを行い、前記選択がゲートライン一本刻みの走査となるよう制御するとともに、前記電流プログラムされたゲートラインのうち、予め定めた順番の発光用ゲートラインに接続された前記画素部の前記EL素子を発光させる制御を行うゲートドライバと、前記複数のゲートラインの前記先頭行の前段および / または前記末尾行の後段に設けられた、前記ゲートドライバの制御により前記ソースラインから電流プログラムされる所定数のダミーゲートラインを備えたアクティブマトリクス型表示装置の駆動方法であって、一回の前記走査における前記電流プログラムのため選択される前記ゲートラインの前記所定本数を、前記先頭行から数えて n (n : 2 以上の自然数) 番目までの前記ゲートラインは、1 本から n 本まで選択本数が逐次増加させ、前記先頭行から $n + 1$ 番目から、末尾行から数えて n 番目までの前記ゲートライン以外のゲートラインについては、 n 本とし、前記末尾行から数えて n 番目までの前記ゲートラインは、 $n - 1$ 本から 1 本まで選択本数が逐次減少させるように選択し、前記先頭行から数えて n 番目までの前記ゲートラインまたは前記末尾行から数えて n 番目までの前記ゲートラインの前記選択においては、前記所定数のダミーゲートラインも同時に選択するアクティブマトリクス型表示装置の駆動方法である。 20 30

【 0 0 2 0 】

【 発明の実施の形態 】

以下、図面を参照しながら、本発明の実施の形態を説明する。 40

【 0 0 2 1 】

(実施の形態 1)

図 1 は本発明の実施の形態におけるアクティブマトリクス型表示装置の構成を示したものである。本実施の形態のアクティブマトリクス型表示装置は、行状に配線した複数のゲートライン G_1 から G_{220} と、列状に配線した複数のソースライン S_1 から S_{196} と、上記ゲートライン及びソースラインの交差部に設けられ、有機EL素子EL、蓄積容量Cs、及び画素駆動用の薄膜トランジスタTF-Tより構成された画素部13と、上記複数のデータラインごとに、画像信号の供給を制御するための複数の電流源を有するソースドライバ12と、上記複数のゲートラインを制御するゲートドライバ11とから構成されている。また、行先頭のゲートライン G_1 のさらに前段、および行末尾のゲートライン G_2 50

20のさらに後段には、ソースドライバ12により制御される複数のダミーゲートライン14、及び15がそれぞれ設けられる。なお、図においてはダミーゲートライン14および15を両方とも設けた例を示したが、これは条件によっては、行先頭のさらに前段、および行末尾のさらに後段いずれか一方だけ設けるようにしてもよく、詳細については後に述べる。また、有機EL素子ELを電流駆動にて動作させる方法については、従来技術と特に変わりはないので、詳細については省略する。

【0022】

次に、本発明の複数のダミーゲートラインを有した表示装置の動作について、図2・図3を参照しながら説明するとともに、これにより、本発明のアクティブマトリクス型表示装置の駆動方法の一実施の形態について説明を行う。ただし、以下はダミーゲートライン14のみが備えられた構成として説明を行う。 10

【0023】

図2は本実施例におけるゲートラインの走査開始時のタイミングチャートを示す。ここで、G1からG3及びE1からE3は複数のゲートライン信号を示し、それぞれ図5のG_nA及びG_nBに対応している。具体的には、G1からG3がソースラインS1...S176への書き込み、すなわち電流プログラムのタイミングであり、E1からE3は画素部13の有機EL素子を発光させるタイミングとなる。また23は1ライン分に相当する水平走査期間を示す。従って、本例では、ゲートライン3本の信号を同時に選択して電流プログラムを行い、またこの選択した3本のうち、走査順に一番最後のゲートラインに接続された画素の有機EL表示素子を発光させた場合を想定している。また、GD1、GD2及びED1、ED2はダミーゲートライン14のタイミングを示す。本例ではダミーゲートライン14の本数は(同時選択数-1)であるとした。つまりダミーゲートライン14は2本のダミーゲートラインを有する。なお、発光する有機EL素子が接続されたゲートラインは、本発明の発光用ゲートラインに相当する。 20

【0024】

ここで、各タイミングにおいて、図2の実線より前の期間に相当するダミー期間21では、選択されるゲートラインは先頭行の1本、次に先頭行とその次の行の計2本という風に、同時選択本数が増加しながらもそれぞれ不足しているが、ダミーゲートライン14を含めた同時選択本数は常に3本となっている。また、図2の実線以降に相当する実走査期間22では常に3本の同時選択本数が確保できていることがわかる。すなわち、ダミーゲートラインを含めて選択し、電流プログラムを行わせていることで、先頭行のゲートラインのみが選択されたとき、および先頭行とその次の行の計2本のゲートラインのみが選択されたときも、これらゲートラインにより選択されたソースラインには、実走査期間22と同様、3本分の電流が流れるようになっている。 30

【0025】

このように、本実施の形態によれば、ゲートラインの走査開始ラインの先頭行の前段に少なくとも2本のダミーゲートラインを設け、これらダミーゲートラインも選択して電流プログラムを行うようにしたことにより、選択した3本のうち、走査順に一番最後のゲートラインに接続された画素の有機EL表示素子を発光させる場合でも、1ライン目から3本同時選択による走査を行うことが可能となり、従来の画面上端部における表示むらの課題を解決することができる。 40

【0026】

なお、上記ダミーゲートライン14に接続されるダミー画素部には、ソースラインの負荷インピーダンスに充電させる、MOSトランジスタと蓄積容量のみを用い、有機EL素子を配置しないことにより、ダミーゲートラインの表示については無視できる。このとき、ダミー画素部からソースラインS1...S176の画像信号を取り出して、これをプリチャージ用の信号として蓄積するようにしておいてもよい。また、ダミー画素部は省略した構成としてもよい。

【0027】

以上述べたように、本実施の形態の表示装置を用いることにより、上記複数本を同時に選 50

択して駆動した場合においても従来課題であった表示むらを低減し、高品質な表示装置を得ることができる。

【0028】

(実施の形態2)

次に、本発明の第2の実施例における複数のダミーゲートラインを備える表示装置の動作の他の一例としてダミーゲートライン14を省いてダミーゲートライン15のみを備えた場合の動作について、図3を参照しながら説明する。なお、ダミーゲートラインを除く表示装置の構成、及び有機EL素子の駆動方法については、(実施の形態1)と特に変わりはないので、ここでは省略する。

【0029】

図3は本実施例におけるゲート走査終了時のタイミングチャートを示す。ここで、G218からG220及びE218からE220はゲートライン信号を示したもので、それぞれ図5のGnA及びGnBに対応している。具体的には、G218からG220がソースラインS1...S176への書き込みタイミングであり、E218からE220は画素部13の有機EL素子を発光させるタイミングとなる。また33は1ラインに相当する水平走査期間を示す。したがって、本例ではゲートライン3本の信号を同時に選択して電流プログラムを行い、またこの選択した3本のうち、走査順に一番最初のゲートラインに接続された画素の有機EL表示素子を発光させた場合を想定している。また、GD3、GD4及びED3、ED4はダミーゲートライン15のタイミングを示す。本例ではダミーゲートライン15の本数は、実施の形態1と同様(同時選択数-1)で2本である。つまり2本のダミーゲートラインを有している。なお、発光する有機EL素子が接続されたゲートラインは、本発明の発光用ゲートラインに相当する。

【0030】

ここで、各タイミングにおいて、図3の実線以降の期間に相当するダミー期間32では、選択されるゲートラインは末尾行とその前の行の計2本、次に末尾行の1本とそれぞれ同時選択本数が減少するように不足しているが、ダミーゲートライン14を含めた同時選択本数は常に3本となっている。また、図2の実線以前に相当する実走査期間31では常に3本の同時選択本数が確保できていることがわかる。すなわち、ダミーゲートラインを含めて選択し、電流プログラムを行わせていることで、末尾行とその前の行の計2本のゲートラインのみが選択されたとき、および末尾行のゲートラインのみが選択されたときも、これらゲートラインにより選択されたソースラインには、実走査期間31と同様、3本分の電流が流れるようになっている。

【0031】

このように、ゲート走査終了ラインの末尾行の後段に少なくとも2本のダミーゲートライン設け、これらダミーゲートラインも選択して電流プログラムを行うようにしたことにより、選択した3本のうち、走査順に一番最初のゲートラインに接続された画素の有機EL表示素子を発光させる場合でも、末尾行である220ライン目まで3本同時選択による走査を行うことが可能となり、従来の画面下端部における表示むらの課題を解決することができる。

【0032】

なお、実施の形態1と同様、上記ダミーゲートライン15に接続されるダミー画素部には、ソースラインの負荷インピーダンスに充電させるMOSトランジスタと蓄積容量のみを用い、有機EL素子を配設しないことにより、ダミーゲートラインの表示については無視できる。また、ダミー画素部は省略した構成としてもよい。

【0033】

また、上記の各実施の形態においては、ゲートライン3本の信号を同時に選択して電流プログラムを行い、またこの選択した3本のうち、走査順に一番最後のゲートラインまたは一番最後のゲートラインに接続された画素の有機EL表示素子を発光させた場合を想定して説明を行ったが、走査順に真ん中のゲートラインを発光用ゲートラインとし、この接続された画素の有機EL表示素子を発光させて動作させるようにしてもよい。この場合、行

10

20

30

40

50

頭部のゲートライン G 1 の前段に設けるダミーゲートライン 1 4、および末尾部のゲートライン G 1 の前段に設けるダミーゲートライン 1 5 をそれぞれ一本ずつ設けるようにする。

【0034】

さらに、電流プログラムするために同時選択するゲートラインの本数は 2 本または 3 本以上でもよい。このとき選択されたゲートラインのうち、発光用ゲートラインとして走査順にどのゲートラインに接続された画素の有機 EL 素子を発光させるかによって、ダミーゲートライン 1 4、1 5 の配置が定められる。例えば、ダミーゲートライン 1 4、1 5 のそれぞれの本数は同数でなくともよい。

【0035】

最適なのは、ダミーゲートラインの総数が、同時選択するゲートラインの総数 n (n は 2 以上の自然数) 本よりも一本少ない $n - 1$ 本であるとした場合、この $n - 1$ 本のダミーゲートラインの配置は、発光させる有機 EL 素子が接続された発光用ゲートラインを、同時選択された n 本のゲートラインにおいて先頭から k (k は 1 ~ n までの整数) 番目に定めた場合に、ダミーゲートライン 1 4 として $k - 1$ 本、ダミーゲートライン 1 5 として $n - k$ 本のダミーゲートラインを配置することである。これにより、 n 本のゲートラインを同時選択する場合でも、同時選択したゲートラインから、どのゲートラインに接続された画素を発光させるかに応じて、最適なダミーゲートラインの配置ができ、表示むらを解消することができる。

【0036】

さらに、上記の最適条件に限定されず、ダミーゲートラインは任意の所定数でよく、電流プログラムが行われるよう選択されたゲートラインにおいて、発光させる画素に接続されたゲートラインの位置に応じて、先頭行のゲートラインの前段および/または末尾行ゲートラインの後段に一括または分配して配置すればよい。

【0037】

また、上記の説明においては、画素部 1 3 は有機 EL 素子 EL を有するものとして説明を行ったが、無機 EL 素子を有するものとしてもよい。電流駆動するものであれば、他の素子でもよい。

【0038】

以上述べたように、本実施の形態のアクティブマトリクス表示装置を用いることにより、複数本を同時に選択して駆動した場合においても従来課題であった表示むらを低減し、高品質な表示装置を得ることができる。

【0039】

【発明の効果】

本発明は、実際の走査期間において、常に複数本の同時選択による走査を行いながら、表示むらの課題を解決すると共に、高品質な表示装置を得ることができ、産業的価値が大きい。

【図面の簡単な説明】

【図 1】本発明の実施の形態におけるアクティブマトリクス型表示装置の構成図

【図 2】本発明の実施の形態 1 におけるアクティブマトリクス型表示装置のタイミングチャートを示した図

【図 3】本発明の実施の形態 2 におけるアクティブマトリクス型表示装置のタイミングチャートを示した図

【図 4】従来のアクティブマトリクス型表示装置の構成図

【図 5】従来のアクティブマトリクス型表示装置の画素構成図

【図 6】従来のアクティブマトリクス型表示装置の課題を示した図

【図 7】従来のアクティブマトリクス型表示装置のタイミングチャートを示した図

【図 8】従来のアクティブマトリクス型表示装置の表示課題を示した図

【符号の説明】

1 1、4 1 ゲートドライバ

10

20

30

40

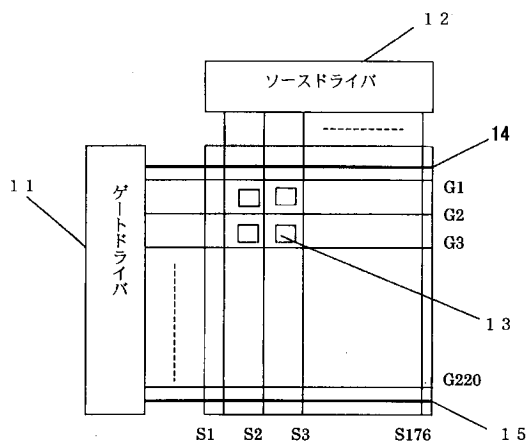
50

12、42 ソースドライバ
 13、43、51、61、65 画素部
 14、15 ダミーゲートライン
 21、32 ダミー期間
 22、31 実走査期間
 23、33、72 水平走査期間
 52、62 ソースライン
 53、63 電流源
 54、64 負荷インピーダンス
 71 同時選択数不足期間
 81、82 表示むら
 G1からG220 ゲートライン
 S1からS176 ソースライン
 GD1からGD4、ED1からED4 ダミーゲートライン波形
 VDD 電源
 Cs 蓄積容量
 Id データ設定電流
 I ソース電流
 GnA、GnA2、GnB ゲート選択信号
 MP1からMP4 PチャンネルMOSトランジスタ
 EL 有機EL素子

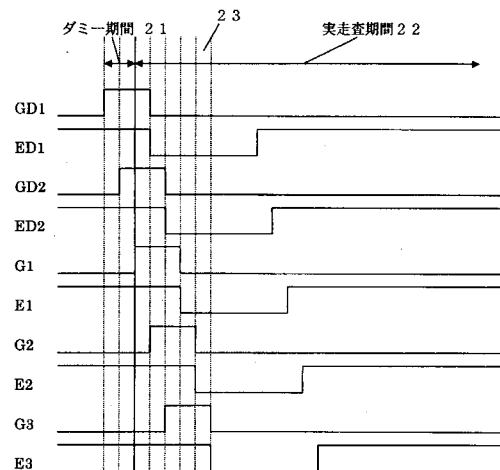
10

20

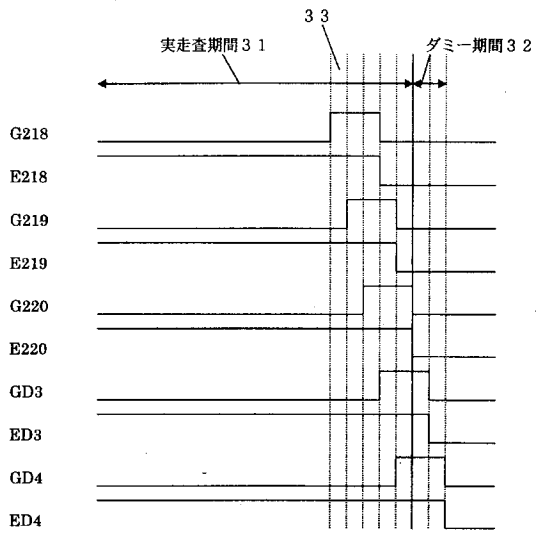
【図1】



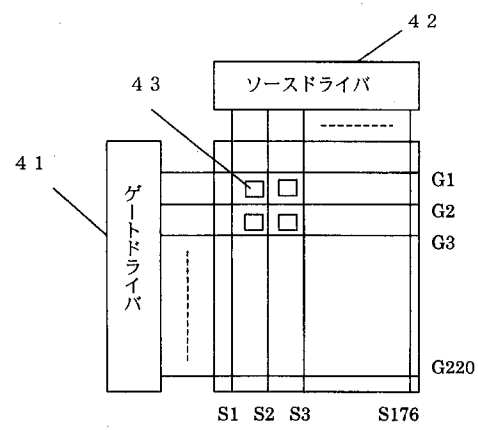
【図2】



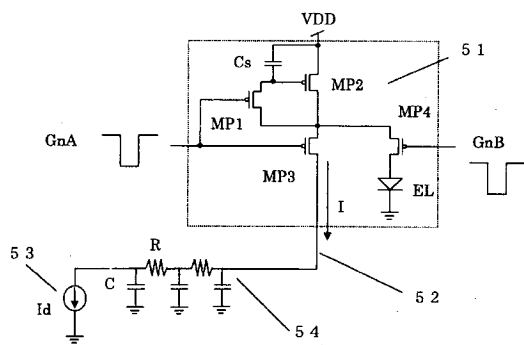
【図 3】



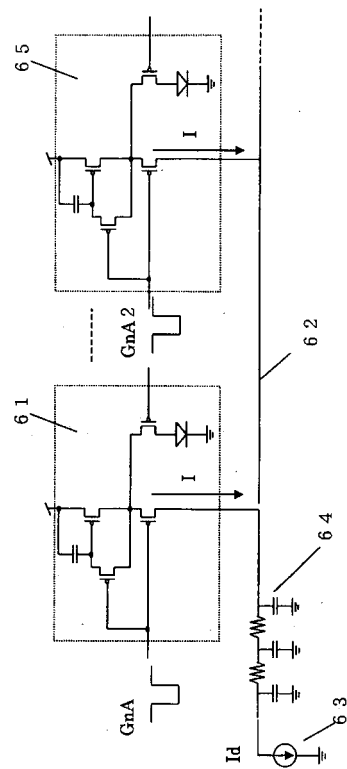
【図 4】



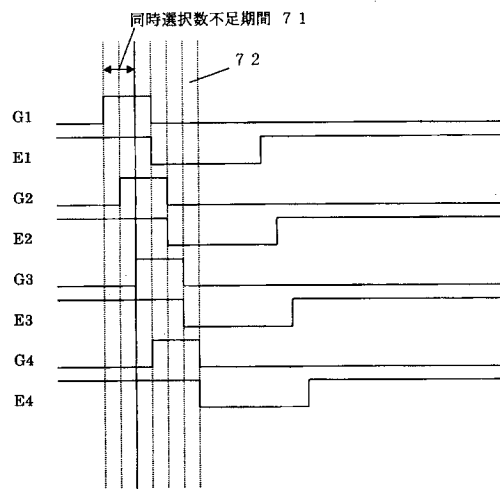
【図 5】



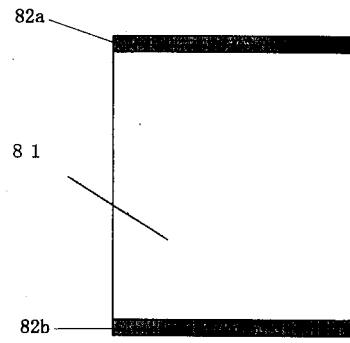
【図 6】



【 図 7 】



【 図 8 】



フロントページの続き(51)Int.Cl.⁷

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 4 1 D
G 0 9 G	3/20	6 4 2 A
H 0 5 B	33/14	A

F ターム(参考) 5C094 AA03 AA53 BA03 BA27 CA19 DB01 FB01 FB16

专利名称(译)	有源矩阵型显示装置，有源矩阵型显示装置的驱动方法		
公开(公告)号	JP2004341435A	公开(公告)日	2004-12-02
申请号	JP2003140663	申请日	2003-05-19
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	奥野武志 太田益幸		
发明人	奥野 武志 太田 益幸		
IPC分类号	H01L51/50 G09F9/30 G09G3/20 G09G3/30 H05B33/14		
FI分类号	G09G3/30.J G09G3/30.K G09F9/30.338 G09G3/20.622.G G09G3/20.622.Q G09G3/20.624.B G09G3/20.641.D G09G3/20.642.A H05B33/14.A G09G3/20.621.F G09G3/325 G09G3/326 G09G3/3283		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/FA04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE28 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C094/AA03 5C094/AA53 5C094/BA03 5C094/BA27 5C094/CA19 5C094/DB01 5C094/FB01 5C094/FB16 3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/EE07 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AB06 5C380/AB43 5C380/AB45 5C380/AB47 5C380/BA19 5C380/BA34 5C380/BB02 5C380/BB05 5C380/CA13 5C380/CB02 5C380/CB17 5C380/CB32 5C380/CC13 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC63 5C380/CC68 5C380/CD014 5C380/CF07 5C380/DA02 5C380/DA06 5C380/DA32 5C380/HA02 5C380/HA06		
代理人(译)	松田 正道		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了防止在有机EL元件的电流驱动中同时驱动多条栅极线时引起的显示不均匀。 解决方案：源极线S1至S176是在栅极驱动器11的控制下从源极线S1至S176进行控制的，栅极驱动器11设置在第一行中栅极线G1之前的阶段和/或多条栅极线G1至G220的最后一行中栅极线G220之后的阶段中。 有源矩阵显示器具有预定数量的当前编程的伪栅极线14和/或15。 [选型图]图1

