(19)日本国特許庁（ＪＰ）　(12) **公開特許公報**（Ａ）　(11)特許出願公開番号

特開2003－150110

(P2003－150110A)

(43)公開日 平成15年5月23日(2003.5.23)

(51)Int.Cl[7]	識別記号	ＦＩ		テーマコード（参考）
Ｇ０９Ｇ 3/30		Ｇ０９Ｇ 3/30	Ｊ	３Ｋ００７
3/20	624	3/20	624 Ｂ	５Ｃ０８０
	642		642 Ｃ	
	680		680 Ｔ	
Ｈ０５Ｂ 33/14		Ｈ０５Ｂ 33/14	Ａ	

審査請求　未請求　請求項の数 4ＯＬ（全 25数）

(21)出願番号　特願2001－348414(P2001－348414)

(22)出願日　平成13年11月14日(2001.11.14)

(71)出願人　000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地

(72)発明者　柘植　仁志
大阪府門真市大字門真1006番地　松下電器産業株式会社内

(74)代理人　100097445
弁理士　岩橋　文雄　（外２名）

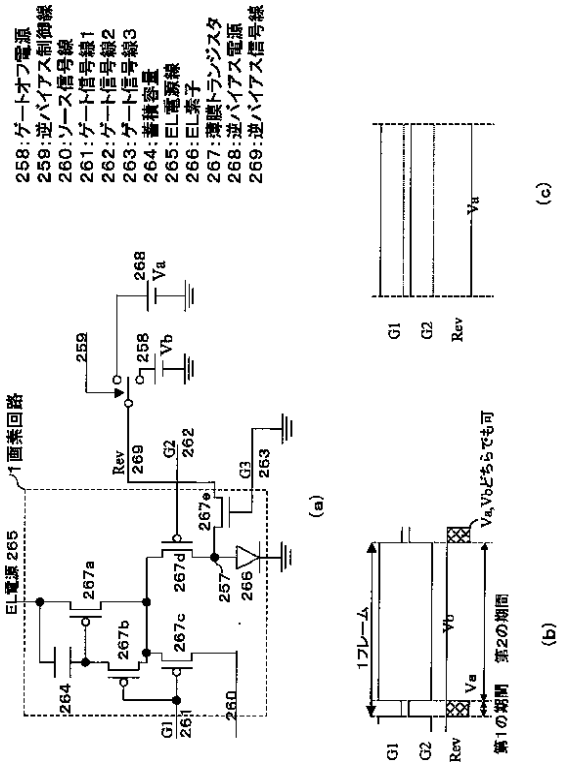
Ｆターム（参考）　3K007 AB05 AB11 AB17 BA06 BB07
DB03 GA02 GA04
5C080 AA06 BB05 DD03 EE28 FF11
JJ02 JJ03 JJ04 JJ05 KK07

(54)【発明の名称】 有機ＥＬ素子を用いたアクティブマトリクス型表示装置及びその駆動方法と携帯情報端末

(57)【要約】

【課題】　ＥＬ素子などを用いた表示装置において、長時間駆動を行うと輝度の低下及びＥＬ素子の端子間電圧の上昇がおきる。

【解決手段】　ＥＬ素子２６６に逆バイアス電圧を印加するために、ＥＬ素子２６６と電流値を制御する駆動トランジスタ２６７ａの間にスイッチングトランジスタ２６７ｄを設け、逆バイアス印加期間では非導通状態とする。更に逆バイアスをＥＬ素子２６６に印加する逆バイアス信号線２６９に逆バイアス電圧２６８の他に別の電圧値を印加できるようにし、逆バイアスを印加するか選択するトランジスタ２６７ｅの導通非導通状態を逆バイアス信号線２６９により決めるようにして、トランジスタにかかる電圧値を低下させるようにした。



1

【特許請求の範囲】
【請求項１】　有機ＥＬ素子を用いた表示装置にあって、
前記有機ＥＬ素子に発光する方向とは逆方向の電圧を印加する電圧経路を形成する逆バイアス用トランジスタと、
前記有機ＥＬ素子と前記逆バイアス用トランジスタを介して接続された逆バイアス信号線と、
複数の電圧源と、
前記複数の電圧源のうち１つを選択し前記逆バイアス信号線に出力する電圧選択部を具備し、
前記逆バイアス用トランジスタのゲート信号線には常に一定の電圧値を印加し、前記電圧選択部の操作により前記逆バイアス信号線の電圧を変化させることで前記逆バイアス用トランジスタのスイッチング操作を行うことを特徴とする有機ＥＬ素子を用いた表示装置。
【請求項２】　有機ＥＬ素子を用いた表示装置の駆動方法にあって、
逆バイアス用トランジスタにより前記有機ＥＬ素子に発光する方向とは逆方向の電圧を印加する電圧経路が形成され、
前記逆バイアス用トランジスタのゲート信号線には
前記ＥＬ素子に逆方向電圧を印加するための逆バイアス電源の電圧が前記逆バイアス用トランジスタのソースもしくはドレイン電極に印加される場合に前記逆バイアス用トランジスタが導通状態となり、
前記逆バイアス電源の電圧とは異なる電圧が前記逆バイアス用トランジスタのソースもしくはドレイン電極に印加される場合に前記逆バイアス用トランジスタが非導通状態となるような電圧値を常に印加することを特徴とする有機ＥＬ素子を用いた表示装置の駆動方法。
【請求項３】　有機ＥＬ素子を用いた表示装置にあって、
前記有機ＥＬ素子に発光する方向とは逆方向の電圧を印加する電圧経路を形成する逆バイアス用トランジスタと、
前記有機ＥＬ素子と前記逆バイアス用トランジスタを介して接続された逆バイアス信号線と、
逆バイアス電圧印加を行うための電圧源と、
前記電圧源と前記逆バイアス信号線の間にスイッチを具備し、
前記逆バイアス用トランジスタが導通状態となり前記電圧源が前記有機ＥＬ素子に印加する期間には前記スイッチは導通状態となり、
前記逆バイアス用トランジスタが非導通状態の場合には前記スイッチは非導通状態となり前記逆バイアス信号線がハイインピーダンス状態となることを特徴とする有機ＥＬ素子を用いた表示装置。
【請求項４】　請求項１もしくは請求項３記載の表示装置と、復調部と、アンテナと、ボタンとを具備すること

2

を特徴とする携帯情報端末。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本発明は、有機電界発光素子など、電流量により階調表示を行う表示装置に関する。
【０００２】
【従来の技術】有機発光素子は、自発光素子であるため、液晶表示装置で必要とされるバックライトが不要であり、視野角が広いなどの利点から、次世代表示装置として期待されている。
【０００３】
【発明が解決しようとする課題】有機発光素子のような電流制御型表示素子においては、素子の発光強度と素子に印加される電界が比例関係とならず、素子の発光強度と素子を流れる電流密度が比例関係にあるため、素子の膜厚のばらつき及び入力信号値のばらつきに対し、発光強度のばらつきは電流制御により階調表示を行うほうが小さくすることができる。
【０００４】携帯情報端末などに用いる場合、電源の容量が限られるため低電力駆動が求められる。一般にキー入力操作、通話などの期間に比べ外部入力がない期間（待ち受け期間）の方が長いことから、待ち受け期間での低電力化の方法を考案することが、駆動時間を延ばすために有効であるといえる。
【０００５】そのための方法として、液晶表示装置では画面の一部分のみを表示させる部分表示モードと言われるモードがあり、図５に示すように表示部５２のうちの一部の行が常に非点灯状態（５５ｂ）となり、待ち受け時に最低必要な情報のみを５５ａ、５５ｃのように表示状態とする方法がある。
【０００６】また折畳式の端末においても、閉じた状態においてメールの受信などがわかるような小さな表示部を設けてある場合がある。そこで図６のように小さな表示部の代わりに穴６１を設け、表示部６０の表示を穴６１を通して見る方法もある。この場合表示部６０は領域６０ｂのみの部分表示を行えばよい。
【０００７】この様に、携帯情報端末における部分表示は限られた電源を有効に使うための必須条件である。
【０００８】有機発光素子を用いた表示装置においても同様に、非表示部５５ｂを設けることにより低電力化を図ることを考え、有機発光素子の特性を生かし非表示状態では消費電力がほとんど０という利点を用いてシステム構成にすることを考案する。
【０００９】
【課題を解決するための手段】上記課題を解決するために本発明のアクティブマトリクス型表示装置は、待ち受け時に表示部、非表示部とも電源電圧もしくは画素に流れる電流を小さくしたことを特徴とする。
【００１０】有機発光素子を用いた表示装置において、キャリアの有機層内への注入による有機分子の酸化還元

の化学反応ならびに空間電荷形成による輝度劣化及び駆動電圧上昇を防ぐために有機発光素子に逆バイアスを印加して寿命及び駆動電圧の上昇を抑える構成とした。

【００１１】また、透過型液晶表示装置において携帯情報端末を作成したときに、キー操作などを一定期間行わないとバックライトを消して低電力化する方法があるが、有機発光素子を用いた表示装置においても同様に、一定期間後には輝度を低下させ、低電力化させるようにした。

【００１２】

【発明の実施の形態】以下本発明の実施例について、図面を参照しながら説明を行う。

【００１３】（発明の実施の形態１）図１は本発明の第１の実施の形態における表示装置のブロック図である。

【００１４】表示領域記憶手段１２を設け、表示部１６の表示領域の大きさ及び位置を変更できるようにし、パーシャル切り替え部１３により、全画面表示モードか部分表示モードかを選択できるようにした。

【００１５】表示領域記憶手段１２はコントローラ１１により指定された表示領域の大きさ及び開始行を記憶する。

【００１６】パーシャル切り替え部１３の出力は表示行の数により水平走査期間を変化させるようにソースドライバ１５及びゲートドライバ１７に入力され、表示領域の情報が送信される。

【００１７】またゲートドライバ１７では非表示行と表示行で異なる出力となる。

【００１８】表示部１６は例えば図７に示すように画素がマトリクス状に配置され、画素ごとの構成は例えば図２、４、８、１０、１２に示すような画素構成のうちの１つが形成されている。

【００１９】非表示行において各画素のトランジスタのうちＥＬ素子に接続されているトランジスタを常に非導通状態とすることで、ＥＬ素子に電流が流れず非発光状態とすることができる。以下に５つの画素構成を例にして動作説明を行う。

【００２０】図２は１フレームの１水平走査期間でゲート信号線１（２２）に導通状態を示す信号を印加し、駆動トランジスタ２７ａにソース信号線２１を流れる電流と同じ電流を流すようにプログラムする。残りの期間でゲート信号線１（２２）を非導通状態とし、ゲート信号線２（２３）を導通状態として、駆動トランジスタ２７ａに流れた電流をＥＬ素子２６に流す。ソース信号線に流れる電流値を変化させることで階調制御を行う。

【００２１】図５に示すように画面の一部のみを表示させる部分表示時おいては、上記の走査で非表示部に黒を表す電流を流してもよいが、簡単に非表示部を形成するには非表示領域においては１フレームの全ての期間にゲート信号線２（２３）を非導通状態として、ＥＬ素子２６に電流を流さないようにすればよい。ゲート信号線１（２２）も同様に非導通状態とする。

【００２２】これにより、ゲート信号線１及び２には常に非導通信号が流れるため、ゲート信号線に存在する浮遊容量の充放電による電力がなくなる。

【００２３】非表示部に黒を書きこむとした場合に、黒書き込みにおいてソース信号線１１に流れる電流が少なく、駆動トランジスタ２７ａの見かけの抵抗が大きくなることからソース信号線２１の寄生する容量と積による波形なまりの影響から、十分に黒を示す電流が書きこめないという問題を回避することができ、黒表示時の輝度が低い表示が可能となる。

【００２４】液晶表示装置において発生するトランジスタのオフリーク電流による輝度変化においても、ＥＬ素子２６にはトランジスタ２７ｄに流れる電流が多くても数ｎＡ程度であり、ＥＬ素子２６が発光する電流値よりも小さいため、オフリーク電流による輝度変化がないという利点がある。

【００２５】このような表示を行うために本発明のゲートドライバ１７は、部分表示時において図３に示すような出力ができるようにしたことが特徴となる。

【００２６】この図ではｉ＋１行目からｊ行目までが非表示行であり、この期間はゲート信号線１、２とも非導通信号を流し、その他の表示行においては順次走査している。

【００２７】なおこの例ではｉ行目の次の表示行であるｊ＋１行目を選択する間全行が選択されていないようになっているが、水平走査期間を変化させ、ｉ行目の次にすぐにｊ＋１行目を選択するようにしてもよい。

【００２８】このようなゲート信号線を発生する１例の回路を図２２に示す。図２２（ａ）はトランスファーゲートを用いたラッチ部２２７であり、図２２（ｂ）に各ゲート信号線を出力するためのブロック図を示す。

【００２９】クロックの周期は１水平走査期間の長さと同じであり、クロックＡ２２１ａとクロックＢ２２１ｂは互いに反転した出力となる。イネーブル信号２２２はハイアクティブであり、非表示行にハイレベル、表示行にローレベルが入力される。

【００３０】選択部２２８はゲート信号線出力をラッチ部の出力か、イネーブル信号を出力するか選択し、表示行ではラッチ部の出力を、非表示行ではイネーブル信号にもとづく出力を選択する。なお、イネーブル信号に基づく出力はゲート信号線１及びゲート信号線２が非導通となるレベルを出力する。図２２（ｂ）の構成は１画素に存在するゲート信号線の数だけあれば、図３の波形を実現することが可能となる。図３の波形はイネーブル信号２２２は選択部２２８にのみ入力され、ラッチ部２２７のイネーブル信号は必要ない。一方、ｉ行目の次の水平走査期間でｊ＋１行目を走査する場合には、ラッチ部２２７のイネーブル信号２２２を用いて、非表示部のラッチ部２２７をラッチなしでデータを受け渡すようにす

ればよい。

【００３１】なお、図２２に示した回路は一例であり、このような波形を出力できる回路であれば本発明を実施することができる。

【００３２】図４は駆動トランジスタ４７ａからＥＬ素子４６への電流の接続を制御するスイッチングトランジスタ４７ｄと並列にスイッチングトランジスタ４７ｅを配置し、４７ｅを介してＥＬ素子４６に逆バイアス電源線４８から供給される電圧を印加できるようにした画素構成をしめす。

【００３３】トランジスタ４７ｄがｐ型トランジスタである場合、４７ｅをｎ型トランジスタとすることでゲート信号線２（４３）がローレベルのときには駆動トランジスタ４７ａを流れる電流をＥＬ素子４６に流し、ハイレベルの時には逆バイアス電圧を印加できる。

【００３４】図３と同様な波形をゲート信号線に印加した場合、非表示行では４７ｄが非導通、４７ｅが導通状態となるため逆バイアス電源線４８にＥＬ素子４６のカソード電位よりも低い電圧を印加することで逆方向電圧を印加することができ、寿命を長くすることができる。なお逆方向電圧を印加することで寿命が伸びることは文献（Applied Physics Letters, Vol.69, No.15, P.2160～2162, 1996）などで知られている。

【００３５】従って図４の構成を用いることは図２の構成の場合の、電力低下、非表示部の輝度減少に加え、寿命を長くすることができるという利点がある。

【００３６】図８は図２と同様にソース信号線８１に流れる電流によって蓄積容量８４の電荷を制御し、駆動トランジスタ８７ａ及び８７ｃに流れる電流を制御することで、ＥＬ素子８６の輝度を変化させ、階調表示を行う回路である。

【００３７】表示行においては各ゲート信号線８２、８３、８８は図９（ａ）のようになり、１水平走査期間でゲート信号線１及び２に導通状態を示す信号を出し、ソース信号線８１から電流を蓄積容量８４へ流す（選択期間）。次に非導通状態として、蓄積容量８４に蓄えた電荷を保持し、ゲート信号線３（８８）に導通状態を示す信号を出し、トランジスタ８７ｅを介してＥＬ素子８６に電流を流す。

【００３８】一方で非表示行においては、３本のゲート信号線に図９（ｂ）に示すように非導通状態を示す信号を出力し、ＥＬ素子８６に流れる電流をほぼなくし、非表示状態とする。

【００３９】この方法においても、非表示部を表示部と同様にゲート信号線を出力しソース信号線に黒表示電流を流す場合、駆動トランジスタ８７ａの見かけの抵抗が大きく、この抵抗とソース信号線の浮遊容量との積による波形のなまりが白信号よりも大きくなるため、１水平走査期間内に所定の電流値に変化せず蓄積容量８４に誤った値の電荷が蓄積されることで、輝度が上昇するという問題がある。

【００４０】本発明によるゲート信号線３及びトランジスタ８７ｅを付加し、非表示時には８７ｅを非導通状態とすることは、上記問題点を解消し、黒がしまった表示が可能となる。また、図４と同様に逆バイアス電源をＥＬ素子８６のアノード電極に接続できるようにすることで、非表示行では常に逆バイアスを印加でき、寿命を長くすることが出来る効果も得られる。

【００４１】図１２はソース信号線１２１の電圧を蓄積容量１２４に蓄え、蓄えられた電荷量により駆動トランジスタ１２７ａに流れる電流が変化しＥＬ素子１２６の輝度を変化させることで階調表示を行う場合の画素構成を示したものである。本発明ではスイッチングトランジスタ１２７ｃを設けたことが特徴である。

【００４２】従来の構成で非表示行を形成するにはフレームごと少なくとも１０フレームごとに黒を表示する信号電圧を蓄積容量１２４に記憶させる必要があった。これは、例えばいちど蓄積容量１２４に黒を示す電圧を蓄積させ、１２７ｂを非導通状態としたとしても、トランジスタ１２７ｂには非導通時にもリーク電流（オフリーク電流）が流れるため蓄積容量１２４にかかる電圧（＝駆動トランジスタ１２７ａのゲート電圧）がソース信号線１２１の電圧と等しくなるように変化してしまうためである。従ってソース信号線１２１に白を示す電圧が印加された場合、１２７ｂのリーク電流により徐々に駆動トランジスタ１２７ａのゲート電位が白を示す電圧値に変化し、ＥＬ素子１２６に白と同一階調の電流が流れることで、非表示部の輝度が表示部の映像信号に合わせて変化してしまう問題が発生する。

【００４３】本発明においてはゲート信号線２（１２３）及びスイッチングトランジスタ１２７ｃを駆動トランジスタ１２７ａとＥＬ素子１２６の電流経路上に挿入し、非表示行において、トランジスタ１２７ｃを非導通状態とすることでトランジスタ１２７ｂのオフリーク電流による駆動トランジスタ１２７ａの電流値の変化の影響を受けずに黒表示が可能となる効果がある。図１３（ａ）に表示領域行での、図１３（ｂ）に非表示領域の行でのゲート信号線波形を示す。

【００４４】また仮にトランジスタ１２７ｃにオフリーク電流が発生してもその値は数ｎＡ程度であるため黒表示可能となる。この様にトランジスタ１２７ｃを付加することでオフリーク電流による表示品位の低下を防ぐことが可能となる。

【００４５】またこの画素構成においても１２７ｃが非導通時にＥＬ素子１２６に逆方向電圧が印加できるようにスイッチングトランジスタ２３７と逆バイアス電源線２３８を配置して、ＥＬ素子１２６に逆方向電圧を印加することで寿命を延ばすことが可能である。なお本構成では簡単にトランジスタ２３７と１２７ｃをそれぞれｎ型とｐ型で構成したが、逆でもよく、また両方ｎ型もし

くはｐ型として、一方のスイッチングトランジスタのゲート入力に他方の反転信号を入れてもよい。

【００４６】図１０は駆動トランジスタ１０７ａの導通閾値電圧が画素間でばらついたとしても、同一のドレイン電流が流れるように容量１０８を設け補正できるようにした構成である。表示行においては図１１（ａ）に示すゲート信号波形が印加される。蓄積容量１０４に蓄えられた電荷に応じてＥＬ素子１０６に電流が流れる。

【００４７】非表示行では図１１（ｂ）に示すように、ゲート信号線３（１０８）によりトランジスタ１０７ｄを非導通状態としてＥＬ素子１０６に電流を流さないようにすることで非表示部で黒表示させることができる。

【００４８】またこの画素構成においてもトランジスタ１０７ｄと排他的に動作するトランジスタをＥＬ素子１０６と逆バイアス電源との間に設けることで非表示行のＥＬ素子１０６に逆方向電圧を印加することができ、寿命を延ばすことが可能となる。

【００４９】（発明の実施の形態２）図１４は部分表示時における低電力化を実現する回路構成を示したものである。

【００５０】ソースドライバ１４６及びゲートドライバ１４７に全画面表示を行わせるか表示領域記憶手段１４３で記憶された行を表示させるかを選択するパーシャル切り替え部１４４の出力をＥＬ電源部１４５に出力し、全画面表示時と部分表示時でＥＬ電源の電圧値を変化させるようにした。このＥＬ電源部１４５は各画素に接続されたＥＬ電源線に接続され、ＥＬ素子に印加される電圧は駆動トランジスタを介してこのＥＬ電源部１４５より供給される。駆動トランジスタでの電圧降下を除くと、図１５（ｂ）に示すようにＥＬ素子１５２に電圧が印加され、ＥＬ電源部１４５の出力を変化させることにより電源電圧Ｖｄｄ（１５１）が変化する。

【００５１】図１５（ａ）は典型的なＥＬ素子の電流－輝度（１５３（ａ））、電流－電圧（１５４）特性である。必要な輝度が最大ＬｗまでいるとするとそのときにＥＬ素子１５２に流れる電流は１５３（ａ）の直線からＩｗとなり、そのときにＥＬ素子１５２にかかる電圧はＶｗとなる。従って電源電圧Ｖｄｄに必要な電圧は少なくともＶｗ、ＥＬ素子のばらつきなどのマージンを見ればＶｄｄ１程度である。

【００５２】ここで電源電圧ＶｄｄをＶｄｄ２に下げたとするとＥＬにかかる電圧がＶｄｄ２以上となる輝度は発生せず、１５３（ｂ）に示すようにある輝度以上は電流値を上げても上昇しない。つまり白付近の階調はほとんど同じ輝度となる。

【００５３】部分表示時においては必要最低限の情報のみを表示することが多いため、表示階調数は２から８階調であり、最大表示可能階調数６４階調に比べ少ないため１階調あたりの輝度変化が大きく、Ｖｄｄ２を調整することで１５２（ｂ）のような電流－輝度特性となっても表示に影響がなくなる。また部分表示時に必要な階調のとり方を調整することで、表示に影響しないＶｄｄ２の範囲を大きくすることが可能である。電源電圧の低減により低電力駆動を実現することができる。

【００５４】（発明の実施の形態３）部分表示時において全画面表示時よりも表示階調数が少ない場合、階調間の輝度変化量は大きくなる。これは図１５（ａ）において電源電圧ＶｄｄをＶｄｄ２とした場合でも、一定輝度となる電流値をとる階調数が少なくなる。例えば表示階調数が４分の１になれば、４分の１の階調のみが同一輝度となる。それゆえ色数が少なくなるにつれ低くとっても１５３（ｂ）の一点鎖線の特性による表示劣化が少なくなるため、電源電圧を低くすることができる。

【００５５】一般に表示装置の各電源はある基準となる電圧値を数倍昇圧もしくは降下により生成している。ＥＬ電源値の値は、基準となる電圧値の整数倍であれば、表示装置全体の電力を有効に使うことができる。そこで、電源電圧Ｖｄｄ（１５１）の電圧値は基準電源の整数倍のうちの１つとし、部分表示時では全画面表示にくらべ倍率が小さい電圧を使うようにすれば、電源電圧を生成するために余分に必要となる電力が小さくなり、かつＥＬ素子１５２で消費される電力も小さくすることができる。

【００５６】（発明の実施の形態４）図２０は本発明の第４の実施の形態を示すブロック図と１画素回路を示したものである。

【００５７】ソース信号線２０１には入力データに応じてデジタルアナログ変換機２０９及び出力バッファ２０３を通してデータに応じた電圧値が印加される。この時ソース信号線に印加される最大電圧値は電圧生成部２０４で出力されたＶｒｅｆにより決められる。

【００５８】ＥＬ電源線２０８には電圧生成部２０４で出力されたＶｄｄが印加される。

【００５９】部分表示時においては、必要最低限の情報がなるべく少ない電力で表示される必要があるため、白表示時の輝度は全画面表示時に比べ低くてもよい。

【００６０】輝度を下げるためにはＥＬ電源線２０８の電圧が等しいならば、ソース信号線電圧を高くする必要がある。一方で、ＥＬ電源線２０８とＶｒｅｆを同じ電圧値だけ低下させても同一輝度を得ることは可能である。輝度が低下すればＥＬ素子２０６にかかる電圧も小さくなる。全電源の電圧を低下させるには電圧生成部に入力される基準電源Ｖ１を低下させればよい。基準電源の制御信号入力として、パーシャル切り替え部２００ａ、データ形式検出手段２００ｂの出力を用いれば、表示領域の大きさ及び色数などで、電源電圧を変化させることができ、部分表示で色数が少ない場合に最も基準電圧Ｖ１を低くするようにできる。これにより、画質優先、電力優先を切り替えて表示できる表示装置を実現できる。

【００６１】なおデータ形式検出手段２００ｂでは入力データに対し、制御ビットもしくはパケットを検出し、例えば図１８のようにデータが送られてきたとすると、色数の情報が入った１８３の内容を判定することで色数を識別することが可能である。

【００６２】（発明の実施の形態５）図１６は本発明の第６の実施の形態におけるブロック図を表したものである。複数の発振器１６１とその複数の発振器１６１のうちの１出力を選択する切り替え回路１６２及び分周回路１６３を持つことが本発明の特徴である。

【００６３】切り替え回路１６２及び分周回路１６３はパーシャル切り替え部１６７により出力を制御され、全画面表示時と部分表示時において発振周波数を変化させることができ、フレーム周波数や水平走査期間を可変させることができる。

【００６４】フレーム周波数を下げることにより各信号線の充放電電力を低下させることができる。

【００６５】またフレーム周波数を同一とし、表示行数の変化に応じて水平走査期間を長くすることができる。これは特にソース信号線の電流値に応じてＥＬ素子の階調表示を行う場合において例えば図２の画素構成を持つ表示装置において駆動トランジスタ２７ａの見かけの抵抗が大きくソース信号線２１の容量との積による時定数が大きくなり、水平走査期間内に立ちあがりにくいことに対し、本発明により発振周波数を変化させることで水平走査期間を長くすることは、所定の輝度を表示させやすくすることに対し有効である。

【００６６】図８の画素構成においても、駆動トランジスタ８７ａの見かけの抵抗値が高いため同様に、本発明の効果を得ることができる。

【００６７】一般に全画面表示時に比べ部分表示時では表示色数が少なくなる。

【００６８】この場合階調表示方式として、フレームレートコントロール法（ＦＲＣ）を用いると、全画面表示と部分表示時ではフリッカのない表示が可能な最低フレーム周波数が異なり、部分表示時には１５Ｈｚ、４０９６色全画面表示においては８０Ｈｚである。（全画面表示時での表示色が増加すれば当然フレーム周波数も高くなる）本発明において発振器１（１６１ａ）を全画面表示時の発振器とし、発振器２（１６１ｂ）を部分表示時の発振器とし、最適発振周波数とすることで、部分表示時のフレーム周波数を低下させることができる。

【００６９】（発明の実施の形態６）ソース信号線の電流値により階調制御を行う場合、例えば図４のような画素構成が考えられる。ゲート信号線１の操作によりある１水平走査期間にソース信号線に流れる電流と同一電流が駆動トランジスタ２７ａに流れるように、節点２８Ａの電位を変化させる。この時、節点２８Ａの電位を変化させるための電荷は駆動トランジスタ２７ａを通して供給される。ソース信号線に流れる電流が数μＡ以下の場合、駆動トランジスタ２７ａの電流ー電圧特性から出される見掛けの抵抗値は非常に大きくそのため、浮遊容量との積が大きくなるため変化に要する時間が２５０μ秒以上となる。そのため、２２０行でフレーム周波数６０Ｈｚでは入力データに対し、階調表示ができないという問題点があった。

【００７０】これを解決するための方法として、所定階調のＸ倍（ここでＸは２以上の自然数）の電流を流し、駆動トランジスタ２７ａの見かけの抵抗値を下げ、ソース信号線電流の変化を速くするようにした。所定輝度への調整はゲート信号線２に印加されるパルス幅を調整し、ＥＬ素子２６に電流が流れる期間を制御することで行った。この時のソース信号線及びゲート信号線の波形を図２１（ａ）に示す。

【００７１】部分表示時に水平走査期間を長くできるようにした発明の実施の形態５においては、ソース信号線の電流値の変化に要する時間が遅くなってもよい。フレーム周波数を一定とした場合、表示行が半分であれば水平走査期間はおよそ倍となる。

【００７２】部分表示行がおよそ全画面の３分の１以下であるなら仮にフレーム周波数が６０Ｈｚであっても、１水平走査期間は２３０μ秒以上あることから、全画面表示時に比べ書き込み電流の倍率を下げることができる。１水平走査期間が２５０μ秒以上あれば、所定電流通り書きこめばよい。この方法を用いれば、書き込み時に必要な電流値が低下すること、ある時間においてＥＬ素子を流れる電流値が少なくなればＥＬ素子にかかる電圧も低下することからＥＬ電源線２５に印加する電圧値も低下させることができ、消費電力を小さくすることができる。例えば１０倍電流で書きこんでいたのを、所定電流で書きこんだ場合、ＥＬ電源電圧は３０％程度減少し、これにより消費電力は３０％低下した。

【００７３】（発明の実施の形態７）図１７は本発明の第７の形態を実施するための入力データ処理部及びソース信号線出力部を示したものである。

【００７４】本発明の特徴として、データＲＡＭ１７４から送られてきたデータに対し、ソース信号線へ送る電流値の設定を変換テーブル１７６で変更できるようにし、変換テーブル１７６の動作はタイマー１７５及び、データ形式検出手段１７３、パーシャル切り替え部１７２の出力により変化できるようにしたことである。

【００７５】例えばタイマー１７５においては、図5及び６の情報端末などでボタン操作を行ったときに信号を検知し、ボタン操作後には所定輝度で表示を行うが、一定時間後には変換テーブル１７６の値を変化させ、所定輝度の１０％以上６０％以下に絞るように表示データ値に対する電流源１７７の選択の仕方を変化させることができる。これによりユーザにより操作が行われているときには表示優先で階調表示を行い、一定時間後には輝度を低下させ、電流値の低下により低電力駆動を行えるよ

うにして、限られた電源を有効に使えるようにできる。

【００７６】なおこの方法は、携帯情報機器以外でも、モニターなどに用いて省電力モードとして適用することもでき、消費電力が下がることから地球環境保全にも役立つ。

【００７７】また、データ形式検出手段１７３では入力される表示データを検出し、色数、動画静止画などの判定を行う。これは例えば図１８のようにデータが送信されるとすれば、各パケットの開始を示すフラグ部１８１の検出、更にヘッダ部１８２、色数１８３や制御信号１８４の値を検出することで、判定可能である。

【００７８】この様にして判定した結果をデータＲＡＭ１７４及び変換テーブル１７６へ出力する。データＲＡＭ１７４ではデータ形式検出手段１７３の出力をもとに、色数などに応じてＲＡＭに格納する方法を選択し、限られた容量を有効に使用することが可能となる。

【００７９】一方変換テーブル１７６ではデータ形式検出手段１７３で検出した表示階調数に応じて、階調－輝度特性を変化させることができる。これにより表示階調ごとに最適な階調特性を得ることが可能となる。

【００８０】またタイマー１７５とデータ形式検出手段１７３を組み合わせることで、表示階調数が少ない場合には、キー操作時などユーザが表示画面を見る場合と、一定時間後での表示輝度を変化させることが可能である。例えば図１９のように１６階調表示可能な表示装置において、４階調表示を行う場合階調０、１５の他に２階調をとることが多い。キー操作中やキー操作後一定期間ではこの様に階調をとり、タイマー１７５により一定期間後には例えば階調０から３の４階調表示を行うようにする。この操作を行えば、ＥＬ素子に流れる最大の電流値がＩ１５からＩ３まで低下できるため低電力駆動が可能となる。なお、輝度と電力はトレードオフの関係にあるため、電力と必要輝度に応じて、４階調のとり方を変化させてもよい。

【００８１】低電力化の方法として他に、電流源１７７の各電流値を小さくすることでも実現可能である。電流値を小さくするかの判定手段としてタイマー１７５、データ形式検出手段１７３を用いる。この場合、表示階調数に関わらず最大輝度を低下できるので、低電力化できる。

【００８２】（発明の実施の形態８）図１７の構成において、パーシャル切り替え部１７２の出力を図１のようにソースドライバ、ゲートドライバに送るとともに、データＲＡＭ１７４及び変換テーブル１７６に送ることで、部分表示時におけるデータＲＡＭ１７４領域の有効活用を図ることができる。例えばデータＲＡＭ１７４には１画面分のデータが格納できるとすると、部分表示時には全画面に対する表示割合に応じて、複数画面分のデータを蓄積できる。これにより外部より表示データをデータＲＡＭ１７４に転送する必要がなくなり、低電力化を図ることができる。

【００８３】また、変換テーブル１７６においても、全画面表示時と部分表示時で表示階調数が同じで同一階調データに対し、選択する電流源１７７を変化させることができるようになるため、全画面表示時には画質優先、部分表示時には電力優先で表示させるといった設定が可能となる。

【００８４】図１７には示していないが外部調整手段を設け、タイマー１７５の時間設定、変換テーブル１７６の設定を外部から調整できるようにしてもよい。

【００８５】（発明の実施の形態９）図２６は本発明の第９の実施の形態を示した図である。

【００８６】図２と違う点は図２６（ａ）に示すようにカレントコピアの画素構成のスイッチングトランジスタとＥＬ素子間に逆バイアス電圧印加用のトランジスタ２６７ｅを設け、ＥＬ素子２６６に逆方向電圧を印加できるようにした点である。

【００８７】図２６（ａ）の回路の動作を説明する。

【００８８】表示領域の行においては、図２６（ｂ）に示すように１フレームに１回ゲート信号線１（２６１）によりトランジスタ２６７ｂ及び２６７ｃを導通状態とする（第１の期間）。

【００８９】この時ゲート信号線２（２６２）によりトランジスタ２６７ｄを非導通状態とし、ソース信号線２６０に流れる電流が駆動トランジスタ２６７ａに流れる。蓄積容量２６４はこの時の駆動トランジスタ２６７ａのゲート電位に対応する電荷を蓄積する。またＥＬ素子２６６のアノード電極の電位はカソード電位以上である。そのためトランジスタ２６７ｅが導通状態となるか非導通状態となるかは逆バイアス信号線２６９の電位により決められる。

【００９０】逆バイアス電源Ｖａ（２６８）はＥＬ素子の長寿命化及び端子電圧の上昇を防ぐ目的があるため、ＥＬ素子２６６のアノード電位よりも５Ｖ以上１５Ｖ以下の値だけ低い電圧である必要がある。ＥＬ素子２６６の発光時の駆動電圧以上の逆方向電圧がかかることが望ましい。そのため図２６ではおよそ－１５Ｖ以上－５Ｖ以下の電圧値をとる。そのため逆バイアス制御線２５９により逆バイアス信号線２６９に逆バイアス電圧Ｖａが印加された場合、トランジスタ２６７ｅは導通状態となり、ＥＬ素子２６６には逆バイアス電圧が印加される。

【００９１】一方ゲートオフ電源Ｖｂ（２５８）の電圧値にトランジスタ２６７ｅのゲート信号線２６３以上の電圧を印加する。印加する電圧値はトランジスタ２６７ｅのしきい値電圧によるが０Ｖ以上３Ｖ以下の電圧を印加すればよい。特に０Ｖを印加する場合電源を新たに作成する必要がなくなるため回路構成が簡単化できる。これにより逆バイアス信号線２６９にゲートオフ電圧Ｖｂが印加されるとトランジスタ２６７ｅは非導通状態となる。

【００９２】第１の期間はトランジスタ２６７ｄが非導通状態となっていることからＥＬ素子２６６に電流が流れず、発光しない期間であるから、図２６（ｂ）に示すように、逆バイアス信号線２６９の電位はＶａ、Ｖｂのいずれをとってもよい。長寿命化及び端子電圧の上昇を防ぐためには逆バイアス信号線２６９には逆バイアス電源２６８の電位Ｖａを印加することが望ましい。

【００９３】蓄積容量２６４に所定の電荷が蓄積され第１の期間が終了すると、ゲート信号線１（２６１）及びゲート信号線２（２６２）を図２６（ｂ）の第２の期間に示すような電位に変化させ、トランジスタ２６７ｂ及び２６７ｃを非導通状態、トランジスタ２６７ｄを導通状態とする。

【００９４】これにより駆動トランジスタ２６７ａのゲート電圧に応じてＥＬ電源２６５より電流が供給されＥＬ素子２６６が点灯する。

【００９５】この時トランジスタ２６７ａを流れる電流とＥＬ素子２６６を流れる電流がほぼ等しくならないと輝度低下を引き起こすため、トランジスタ２６７ｅは非導通状態でなければならない。ＥＬ素子２６６のアノード電位はトランジスタ２６７ｅのゲート電位よりも高いことから逆バイアス信号線２６９の電位をゲートオフ電源Ｖｂ（２５８）と等しくすれば、トランジスタ２６７ｅを非導通状態とすることが可能である。そのため第２の期間での逆バイアス信号線２６９の電位はＶｂである。

【００９６】第１の期間および第２の期間により１フレームとすることで、所定輝度の点灯及び非点灯時のＥＬ素子２６６に対する逆バイアス電圧印加を実現できる。

【００９７】一方、非点灯領域の行においては黒表示を行うためゲート信号線２（２６２）によりトランジスタ２６７ｄを常に非導通状態とする。これにより蓄積容量２６４に黒表示に対応する電荷を蓄える必要がないためソース信号線から黒表示電流をとりこむ必要がなくなりゲート信号線１（２６１）も常に非導通状態となる。逆バイアス信号線２６９に逆バイアス電源Ｖａ（２６８）を印加することでトランジスタ２６７ｅが導通状態となり逆バイアス電圧ＶａがＥＬ素子２６６に印加される。

【００９８】これにより、表示領域のＥＬ素子２６６の点灯期間のみに所定電流値が流れ、非点灯期間には逆バイアス電圧が印加される。

【００９９】図２６（ａ）に示した画素構成の利点としてゲート信号線３（２６３）の電位が常に一定であるため、ソース信号線などへカップリングによるノイズの影響を出さないこと、またゲート信号線３（２６３）の電位がＥＬ素子２６６のカソード電極と同電位であることから、画素ごとにゲート信号線３（２６３）とＥＬ素子２６６のカソード電極をスルーホールなどを用いて接続し図３２に示すように画素外部への引き出し線をなくすことで、ゲートドライバ３２８の出力端子数を削減し、額縁を小さくすることができる。画素内の各トランジスタ２６７にかかる電圧も最大で１０Ｖから１２Ｖであるため、耐圧の低いトランジスタを用いることも可能である。

【０１００】更に、逆バイアス電圧を複数ライン同時タイミングで印加する場合は逆バイアス制御線２５９及び逆バイアス信号線２６９の数は同時選択ライン数の増加により減らすことができゲートドライバ３２８部の回路規模を小さくすることが可能となる。逆バイアス印加を１フレーム内のブランキング期間内に全画素同時に印加する場合、逆バイアス制御線２５９及び逆バイアス信号線２６９は１本で済むこととなる。

【０１０１】トランジスタ２６７ｅの導通非導通状態をゲート信号線３（２６３）の電圧を変化させて制御するのではなく、ソースもしくはドレイン電極の電位を変化させることで制御することで、ゲート信号線１（２６１）及びゲート信号線２（２６２）のゲート電圧と異なる電圧が必要であったゲート信号線３（２６３）の電圧値をオンオフ２値から一定の１値とすることで、ゲートドライバ３２８に必要であった電圧値の数を減らすことができた。また、ゲート信号線３（２６３）の電位をカソード電位と等しい電圧値とすることで、さらに電圧源の数を減少させることができる。

【０１０２】なおカレントコピアを形成するトランジスタ２６７ａから２６７ｄの４つのトランジスタのうち少なくともＥＬ電源２６５から供給される電流を制御するトランジスタ２６７ａがｎ型トランジスタの場合は逆バイアスを印加するか決めるトランジスタ２６７を図２７に示すようにｐ型トランジスタ２６７ｊとすればよい。

【０１０３】これは駆動トランジスタをｐ型からｎ型に変更することで画素内を流れる電流の向きが変化し、逆バイアス印加を決めるトランジスタが接続されるＥＬ素子２６６とＥＬ素子２６６に電流を流すか決めるトランジスタ間の接点２５７においてＥＬ素子２６６の発光時電位と非発光時電位の高低が反転するためである。

【０１０４】ｐ型駆動トランジスタ２６７ａを用いた場合接点２５７の電位は（発光時）＞（非発光時）となりｎ型駆動トランジスタ２６７ｉを用いた場合接点２５７の電位は（非発光時）＞（発光時）となる。逆バイアス印加を決めるトランジスタは非発光時に導通状態、発光時に非導通状態となる必要がある。ゲート信号線３（２６３）の電圧値を一定として、ソースもしくはドレイン電圧を変化させることで実現しようとすると、ｐ型駆動トランジスタ２６７ａでは発光時には（ソースもしくはドレイン電圧）＞（ゲート電圧）で非導通状態、非発光時には（ゲート電圧）＞（ソースもしくはドレイン電圧）で導通状態となる必要があるのでｎ型トランジスタ２６７ｅを用い、ｎ型駆動トランジスタ２６７ｆでは発光時には（ゲート電圧）＞（ソースもしくはドレイン電圧）で非導通状態、非発光時には（ソースもしくはドレ

イン電圧）＞（ゲート電圧）で導通状態となる必要があるのでｐ型トランジスタ２６７ｊを用いる。

【０１０５】なおトランジスタ２６７ｊのゲート信号線３（２６３）の電位は逆バイアス電源Ｖｃ（２６８）よりも低く（６Ｖから１５Ｖ程度）、ＥＬ電源２６５からＥＬ素子２６６内で低下した電圧値以上であれば、どの値でもよいが、ゲート信号線３（２６３）をＥＬ電源２６５と接続することで画素外部に引き出す信号線数を減らすことが可能であるため、ＥＬ電源線２６５と接続することが望ましい。このときゲートオフ電源Ｖｄ（２５８）はＥＬ電源２６５と同電位以下で同電位から３Ｖ程度低下した電位以上であればよい。また逆バイアス電源Ｖｃ（２６８）はＥＬ電源２６５より５Ｖ以上１５Ｖ以下高い電圧を出力するようにすればよい。望ましくは発光時のＥＬ素子２６６にかかる電圧値よりも、逆方向に大きな電圧値がかかる値とすればよい。

【０１０６】表示領域の行における駆動波形を図２７（ｂ）に、非表示領域の行における駆動波形を図２７（ｃ）に示す。

【０１０７】このように逆バイアスを印加するためのスイッチング素子のゲート電位を固定し、逆バイアス電圧を制御することで、スイッチング素子のオンオフを制御し、ＥＬ素子２６６に逆バイアスを印加するかを決める方法は、図２６及び図２７に示したカレントコピア型の画素構成ばかりでなく、図３０（ａ）に示すようなカレントミラー型の画素構成や、図３１（ａ）に示すようにソース信号線２６０の電圧値に応じてトランジスタ２６７ａに流れる電流を制御し階調表示を行う画素構成でも実施可能である。

【０１０８】図３０（ａ）の画素構成において、表示領域の行においては図３０（ｂ）に示すように１フレームに１回トランジスタ２６７ｄ及び２６７ｂを導通状態としてソース信号線２６０の電流をトランジスタ２６７ａに流す。トランジスタ２６７ａのゲート電位はドレイン電流値に応じて変化し、これによりゲート電極が共通配線となっているトランジスタ２６７ｃのドレインにはソース信号線電流と同一の電流が流れる。

【０１０９】この時ゲート信号線Ｇ３（３０３）はハイレベル、ローレベルどちらでもよいが、長寿命化及びＥＬ端子電圧の上昇を防ぐにはハイレベルとしてトランジスタ２６７ｇを非導通状態とし、ＥＬ素子２６６のカソード電位よりも低い逆バイアス電源Ｖａ（２６８）を逆バイアス信号線２６９に印加することで、トランジスタ２６７ｅのゲート電位よりもソースもしくはドレイン電位が十分低くなることから２６７ｅが導通状態となりＥＬ素子２６６に逆バイアス電圧が印加される。

【０１１０】行選択期間が終了するとゲート信号線Ｇ１（３０１）及びゲート信号線Ｇ２（３０２）を操作しトランジスタ２６７ｂ及び２６７ｄを非導通状態とする。行選択期間に蓄積容量２６４に蓄えられた電荷に応じてトランジスタ２６７ｃに電流が流れる。この時の電流値はおよそ行選択期間にソース信号線２６０を流れていた電流値と等しい。トランジスタ２６７ｇを導通状態としＥＬ素子２６６に電流を流すことで所定輝度を表示する。この時トランジスタ２６７ｅを非導通状態とするために逆バイアス信号線２６９にはゲート信号線Ｇ４（３０４）以上の電位を印加するようにする。このためには逆バイアス制御線２５９を操作し、ゲートオフ電源Ｖｂ（２５８）を選択し、Ｖｂの値を０Ｖ以上３Ｖ以下の値に設定する。

【０１１１】これによりトランジスタ２６７ｃを流れる電流がトランジスタ２６７ｅを介して電流がリークし、ＥＬ素子２６６に流れる電流が減少することで輝度低下する問題を回避することができる。

【０１１２】一方、非表示領域の行では図３０（ｃ）に示すように、ゲート信号線Ｇ３（３０３）によりトランジスタ２６７ｇを非導通状態とし、ＥＬ素子２６６の順方向電流をカットする。同時に逆バイアスを印加するために逆バイアス電源Ｖａ（２６８）を逆バイアス信号線２６９に出力しトランジスタ２６７ｅを導通状態として、逆バイアス電圧をＥＬ素子２６６に印加する。

【０１１３】図３１（ａ）はソース信号線の電圧値に応じて駆動トランジスタ２６７ａのドレイン電流を制御しＥＬ素子２６６の輝度を制御する画素構成である。

【０１１４】表示領域の行においては図３１（ｂ）に示すように１フレームに１回ソース信号線の電圧を画素内にとりこむ。ゲート信号線Ｇ２（３１２）にはトランジスタ２６７ｄが導通状態となる信号を印加し、ＥＬ素子２６６に電流が流れることで所定輝度を出力する。この時逆バイアス信号線２６９にはゲートオフ電源Ｖｂ（２５８）を印加してトランジスタ２６７ｅを非導通状態としておく。

【０１１５】非表示領域の行においては図３１（ｃ）に示すようにゲート信号線Ｇ１（３１１）及びゲート信号線Ｇ２（３１２）にトランジスタが非導通状態となる信号を印加することでＥＬ素子２６６に順方向電流を流さないようにする。さらに逆バイアスを印加するために逆バイアス電源Ｖａ（２６８）を逆バイアス信号線２６９印加することでトランジスタ２６７ｅが導通状態となり逆バイアスがＥＬ素子２６６に印加される。

【０１１６】ゲートオフ電源Ｖｂ（２５８）の電圧はトランジスタ２６７ｅのゲート電圧値より高い電位（０Ｖ以上３Ｖ以下）を印加し、逆バイアス電源Ｖａの値はＥＬ素子２６６に印加される順方向電圧よりも絶対値が高いことがよいため、ＥＬ素子２６６のカソード電位よりも５Ｖ以上１５Ｖ以下の範囲で低い電圧を印加するようにすればよい。これはｐ型のトランジスタによりＥＬ素子２６６に流れる電流値を制御する場合において画素構成によらず共通である。

【０１１７】また図３０及び図３１においてもトランジ

スタ２６７ａ及び２６７ｃをｎ型トランジスタとしても実現可能である。この時は図２７と同様に逆バイアス電圧を印加するかを決めるトランジスタ２６７ｅをｐ型トランジスタとし、電流が流れる方向が逆になるのにあわせてＥＬ素子２６６の接続向き及び電源電圧を変化させることで実現可能である。図２７の点線内をカレントミラー型回路及びソース電圧に応じて階調制御を行う回路に変更すればよい。

【０１１８】以上の発明において、スイッチングトランジスタ２６７ｂ、２６７ｃ、２６７ｄ、２６７ｇ、２６７ｈ、２６７ｉはｐ型トランジスタでもｎ型トランジスタでもどちらの場合でも逆バイアスを印加することが実施可能である。ゲート信号線の極性を反転させること、電圧値の調整を行うという変更が必要となるだけであるためで、節点２５７の電位及びＥＬ電源２６５、逆バイアス電源２６８の値に変化がないため２６７ｅもしくは２６７ｊの動作に変更が生じないためである。

【０１１９】（発明の実施の形態１０）図２８（ａ）は本発明の第１０の実施の形態を実現するための回路構成を示したものである。第９の実施例と異なる点は逆バイアス信号線２６９がハイインピーダンス状態をとりうること、ゲート信号線Ｇ３（２６３）の電位が逆バイアス印加時と非印加時で変化することである。

【０１２０】表示領域の行では図２８（ｂ）に示すように１フレームに１回表示階調に対応した電流値をＥＬ素子２６６に流すためにソース信号線２６０を流れる電流を画素内にとりこむ。この時トランジスタ２６７ｂ及び２６７ｃを導通状態とし、トランジスタ２６７ｄを非導通状態として駆動トランジスタ２６７ａにソース信号線２６０を流れる電流と同一電流を流す。このときＥＬ素子２６６は非発光状態となるので逆バイアス電圧を印加するようにする。逆バイアス電源Ｖａ（２６８）を逆バイアス信号線２６９に印加しゲート信号線３（２６３）をＶａに比べて高い電位としてトランジスタ２６７ｅを導通状態として逆バイアスを印加する。逆バイアス電源Ｖａの値は図２６と同様にＥＬ素子に応じて長寿命化及び端子電圧上昇の防止に効果のある値とすればよい。

【０１２１】トランジスタ２６７ｄを導通状態としてＥＬ素子２６６が所定輝度を出力している期間はトランジスタ２６７ｅを非導通状態とする必要がある。そのためにゲート信号線Ｇ３（２６３）をソースドレイン電圧に比べ低くする。ここで逆バイアス制御線２５９を操作し逆バイアス信号線２６９を逆バイアス電源２６８から切り離すことで、ソースドレイン電圧が上昇し、ゲート信号線Ｇ３（２６３）に印加する電圧値を高くすることができる。逆バイアス信号線２６９に逆バイアス電源２６８が印加された場合（－１５Ｖ程度）に比べ、ハイインピーダンス状態となることで０Ｖから３Ｖ程度にすることができる。そのためトランジスタの耐圧を低く設計することができる。

【０１２２】非表示領域の行では図２８（ｃ）に示すように、逆バイアス信号線２６９に逆バイアス電圧２６８を印加し、ゲート信号線３（２６３）には逆バイアス電圧よりも高い電圧を印加し２６７ｅを導通状態として逆バイアスをＥＬ素子２６６に印加する。この時ＥＬ電源２６５からの電流を遮断するためトランジスタ２６７ｄは非導通状態とする必要がある。

【０１２３】なおこの構成は駆動トランジスタ２６７ａがｎチャネルであっても同様に実現可能である。電源電圧を変化させること、電流の向きが変わるのでＥＬ素子２６６の接続方向を反転させるだけでよい。

【０１２４】またこのようにゲート信号線Ｇ３（２６３）の電位を変化させる方法では逆バイアスをいれるかどうか選択するトランジスタを駆動トランジスタと同一のキャリア輸送を持つトランジスタを用いることができる点で、製膜プロセスを簡単にすることができるため有利である。この時の回路構成を図２９（ａ）に示す。

【０１２５】ゲート信号線Ｇ１（２６１）及びゲート信号線Ｇ２（２６２）の波形は図２８の画素構成と同様である。逆バイアス信号線２６９と接続させるトランジスタ２６７ｆがｐ型トランジスタとなることでゲート信号線Ｇ３（２６３）の信号極性が反転するだけである。またゲート信号線Ｇ３（２６３）の電位は、トランジスタ２６７ｆが非導通時にソースもしくはドレイン電極よりも高い電位（ＥＬ素子２６６の駆動電圧以上駆動電圧＋３Ｖ以下程度）、トランジスタ２６７ｆが導通時にソースもしくはドレイン電極よりも低い電位（逆バイアス電源２６８の電圧値Ｖａから５Ｖから１５Ｖ程度低い値）を印加する。このゲート信号線Ｇ３（２６３）の信号極性及び電圧値が異なること以外は図２８と同様に実現可能である。非表示領域の行の波形を示す図２９（ｃ）でも同様である。

【０１２６】またカレントコピアの画素構成ばかりでなく、カレントミラーやソース信号線電圧により階調表示を行う方法などでも同様に実現可能である。

【０１２７】ｐ型駆動トランジスタばかりでなく、ｎ型駆動トランジスタでも同様に実現できる。

【０１２８】また本発明のいずれの形態においても、図７のソースドライバ７１及びゲートドライバ７０を低温ポリシリコンを用いて表示装置のガラス基板に形成してもよい。もしくはソースドライバ７１及びゲートドライバを半導体回路として作成し、表示パネルと組み合わせてもよい。また、一方のドライバを低温ポリシリコンで表示装置のガラス基板に形成し、他方を半導体回路として形成し、表示パネルと組み合わせる方法でもよい。

【０１２９】また図２５のようにドライバＩＣを一方向に搭載してもよい。この様に搭載することは、図５もしくは図６に示した携帯情報端末においてＸ－Ｙの２方向におくことに比べ、機器に対し左右対称に表示部を配置できるという利点がある。

【０１３０】この例ではスイッチング素子として、Ｐチャネルのスイッチング素子を例にして説明を行ったが、Ｎチャネルのスイッチング素子、もしくはその組み合わせによっても、同様に実現可能である。例えば図２に示した画素構成の場合、ゲート信号線１（２２）及びゲート信号線２（２３）に印加させる電圧値をＮチャネルスイッチング素子を用いた場合は、ロジックレベルで考えるとＰチャネルスイッチング素子の信号の反転信号を入れればよく、ソース信号線２１を流れる電流については電流を流す向きを逆にし、ＥＬ電源線２５から供給される電圧は画素回路上最も低い電位とする。これを図２４（ａ）に示し、非表示行でのゲート信号線波形を図２４（ｂ）に示す。なお、図２の他の図８、図１０及び図１２の構成においても同様にＮチャネルトランジスタを用いても実現可能である。

【０１３１】本発明においてスイッチング素子として用いたトランジスタは薄膜トランジスタを例にして説明を行ったが、薄膜トランジスタに限らず、バリスタ、サイリスタ、リングダイオード、薄膜ダイオード（ＴＦＤ、ＭＩＭ）などを用いても同様な効果が得られる。

【０１３２】また、表示素子としてＥＬ素子で説明を行ったが有機電界発光素子や無機エレクトロルミネッセンス素子、発光ダイオードなどを用いてもよい。

【０１３３】

【発明の効果】以上のように本発明は、ＥＬ電源線からの電流を調整する駆動トランジスタとＥＬ素子との間に電流遮断手段を設け、駆動トランジスタの電流変化に対し、非表示部の輝度が上昇しないようにし、非表示行に黒書き込みを行わなくても黒表示が可能となった。これにより、非表示部におけるクロストークを防止できた。

【０１３４】また、駆動トランジスタとＥＬ素子の間の電流経路を遮断している間にＥＬ素子に逆方向電圧を印加できる構成としたことで、寿命を長くすることができる。

【０１３５】表示色数が少ない場合には階調のとり方を変化させたり、電源電圧を下げることにより低電力化を図り、タイマーによりある期間後には輝度を低下させる、あるいは複数の発振器を搭載し、表示色、表示領域により異なる発振器を用い駆動周波数を変化させることで低電力化できるようになった。

【０１３６】本発明により、非表示部の黒輝度上昇の防止、長寿命化、低電力化が実現できた。

【図面の簡単な説明】

【図１】本発明の第１の実施の形態による全画面もしくは部分表示切り替えに必要な制御信号ブロックを示した図

【図２】本発明に適用できる画素構成の一形態を示した図

【図３】図２に示す画素構成と本発明の形態を用いて部分表示を行った時のゲート信号線の波形を示した図

【図４】ＥＬ素子に逆バイアスを印加できる画素構成の例を示した図

【図５】携帯情報端末における部分表示を適用した例を示した図

【図６】折りたたみ型の携帯情報端末における部分表示を行う例を示した図

【図７】本発明の表示装置の構成を示した図

【図８】カレントミラー画素構成における本発明を実施するための画素構成を示した図

【図９】カレントミラー画素構成での表示行及び非表示行のゲート信号線の波形を示した図

【図１０】ソース信号線電圧により階調制御を行い、駆動トランジスタの閾値電圧のばらつきを補正する機能を入れた画素構成の例を示した図

【図１１】図１０の回路構成において本発明の実施の形態による表示行及び非表示行のゲート信号線波形を示した図

【図１２】ソース信号線電圧により階調制御を行う画素構成の場合に、駆動トランジスタとＥＬ素子の間に電流切断手段を設けた例を示した図

【図１３】本発明の形態を用い、図１２の画素構成の場合におけるゲート信号線波形を示した図

【図１４】表示領域の大きさによりＥＬ電源電圧を変化させることができるようにするためのブロック図

【図１５】ＥＬ素子の電流－電圧－輝度特性を示した図

【図１６】本発明の実施の形態の１つである発振周波数を可変できるようにしたブロック図

【図１７】階調数、表示領域の大きさ、及び時間により同一入力データに対して異なる電流出力を選択できるようにした図

【図１８】表示データ入力の形式の一例を示した図

【図１９】階調と電流値の関係を示した図

【図２０】基準電圧と電圧生成部及び電圧出力とソース信号線及び画素の関係を示した図

【図２１】実施の形態６において全画面表示時と部分表示時におけるソース及びゲート信号線の印加パターンを示した図

【図２２】本発明の実施の形態によるゲート信号線生成部を実現する１つの例のブロック図

【図２３】ソース信号線に流れる電圧に応じて階調表示を行う場合に、ＥＬ素子に逆方向電圧を印加できるようにした画素構成を示した図

【図２４】ｎチャネルトランジスタで構成した場合の図

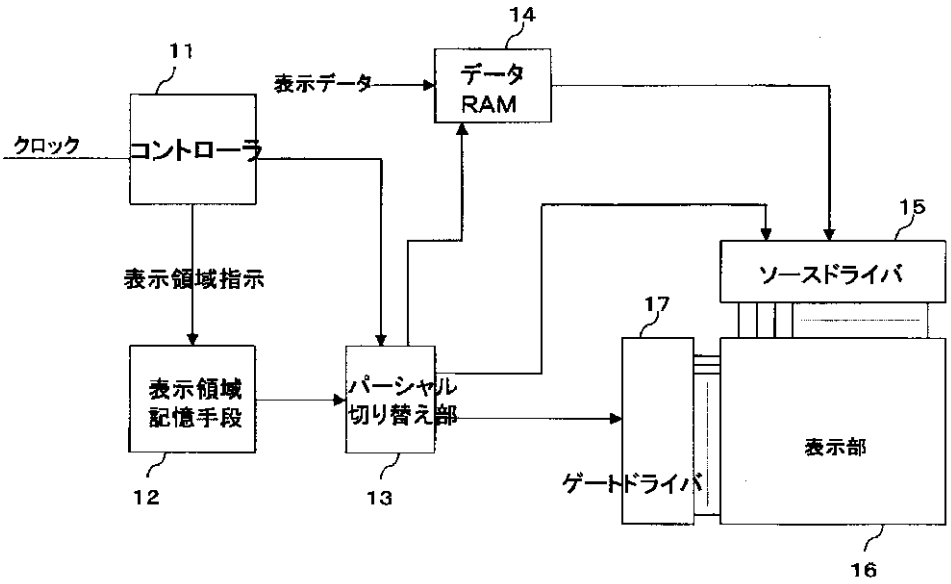
【図２５】表示装置に駆動用半導体回路を配置した例を示した図

【図２６】本発明の第９の実施の形態におけるｐ型駆動トランジスタを用いたときの画素構成及び駆動波形を示した図

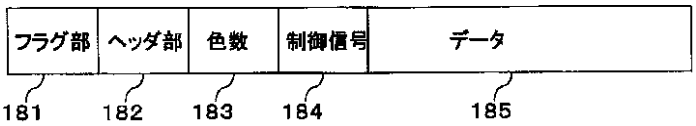
【図２７】本発明の第９の実施の形態におけるｎ型駆動トランジスタを用いたときの画素構成及び駆動波形を示

した図
【図２８】本発明の第１０の実施の形態におけるｎ型トランジスタを用いた逆バイアス印加回路及び駆動波形を示した図
【図２９】本発明の第１０の実施の形態におけるｐ型トランジスタを用いた逆バイアス印加回路及び駆動波形を示した図
【図３０】本発明の第９の実施の形態におけるカレントミラー型の画素構成及び駆動波形を示した図
【図３１】本発明の第９の実施の形態におけるソース信号線電圧値に応じて電流を制御する画素構成としたときの回路及び駆動波形を示した図
【図３２】本発明の第９の実施の形態における表示装置の構成を示した図
【符号の説明】
１１　コントローラ
１２　表示領域記憶手段
１３　パーシャル切り替え部
１４　データＲＡＭ
１５　ソースドライバ
１６　表示部
＊１７　ゲートドライバ
２１　ソース信号線
２２　ゲート信号線１
２３　ゲート信号線２
２４　蓄積容量
２５　ＥＬ電源線
２６　ＥＬ素子
２７　トランジスタ
２８　節点
２５８　ゲートオフ電源
２５９　逆バイアス電源
２６０　ソース信号線
２６１　ゲート信号線１
２６２　ゲート信号線２
２６３　ゲート信号線３
２６４　蓄積容量
２６５　ＥＬ電源線
２６６　ＥＬ素子
２６７　薄膜トランジスタ
２６８　逆バイアス電源
２６９　逆バイアス信号線

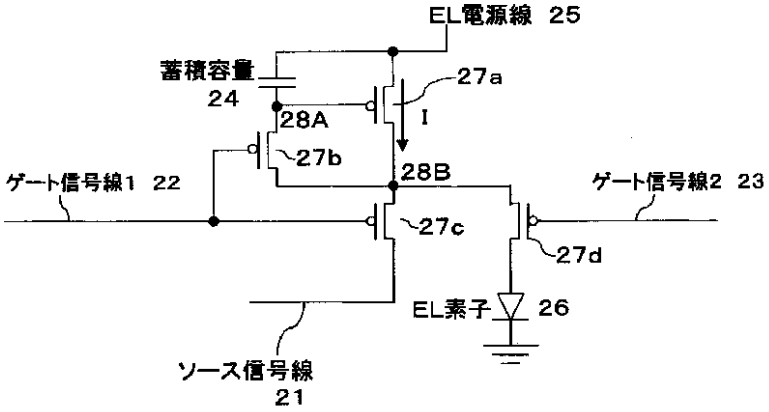
【図１】



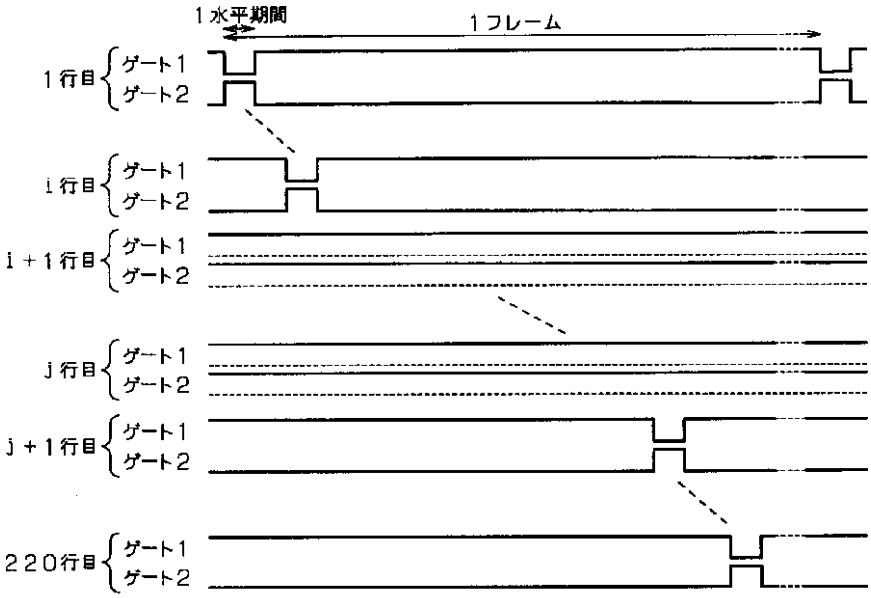
【図１８】



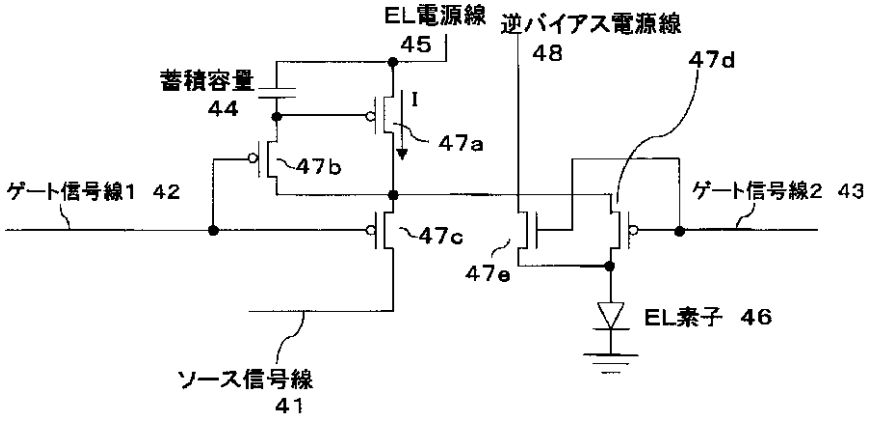
【図２】


EL電源線 25
蓄積容量
24
27a
28A
I
27b
28B
ゲート信号線1 22
ゲート信号線2 23
27c
27d
EL素子 26
ソース信号線
21

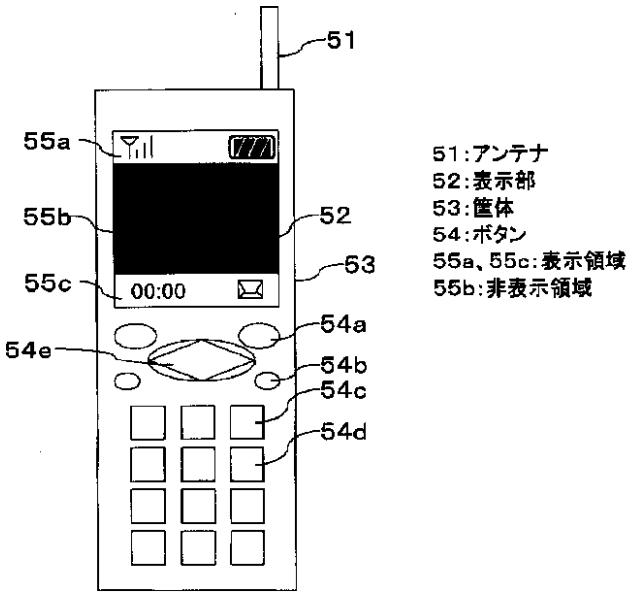
【図３】


1水平期間
1フレーム
1行目
ゲート1
ゲート2
i行目
i＋1行目
j行目
j＋1行目
220行目

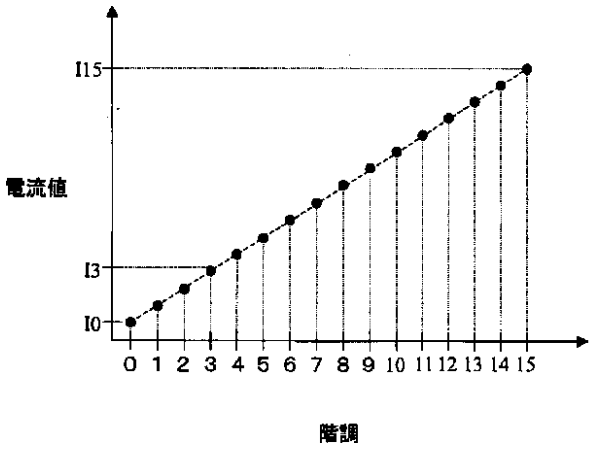
【図４】


EL電源線
45
逆バイアス電源線
48
47d
蓄積容量
44
I
47a
47b
ゲート信号線1 42
ゲート信号線2 43
47c
47e
EL素子 46
ソース信号線
41

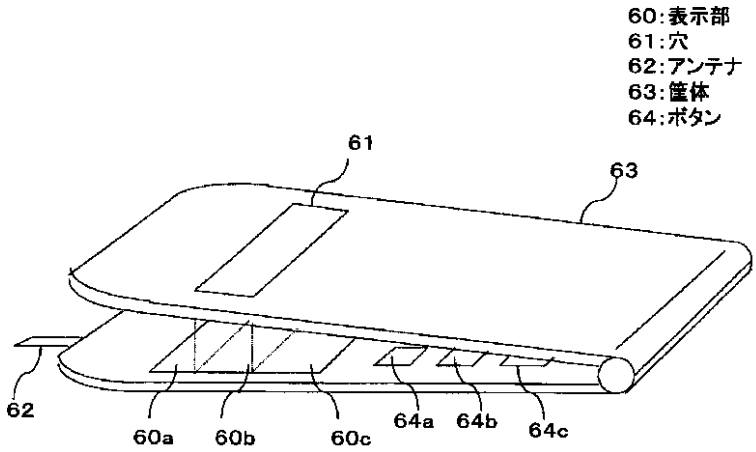
【図５】


51
55a
55b
55c
00:00
52
53
54a
54e
54b
54c
54d
51:アンテナ
52:表示部
53:筐体
54:ボタン
55a、55c:表示領域
55b:非表示領域

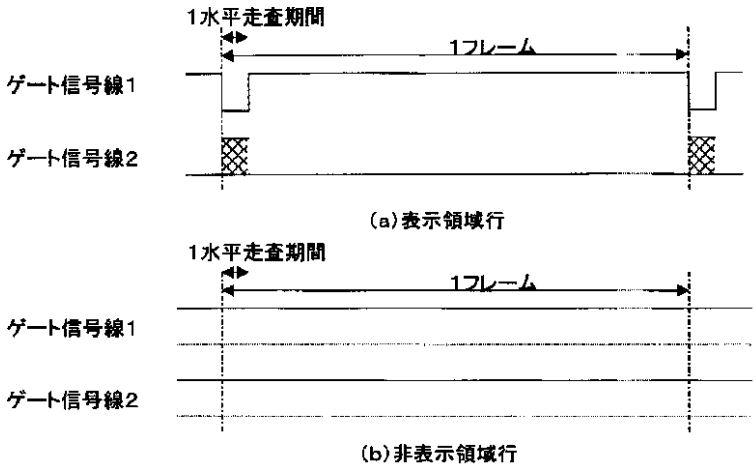
【図１９】


I15
I3
I0
電流値
0 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15
階調

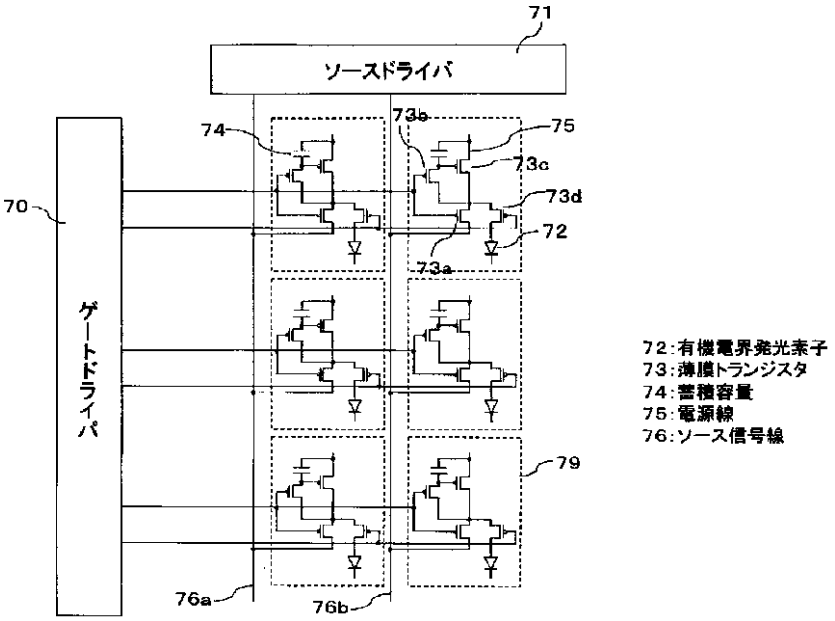
【図６】


60:表示部
61:穴
62:アンテナ
63:筐体
64:ボタン
61
63
62
60a
60b
60c
64a
64b
64c

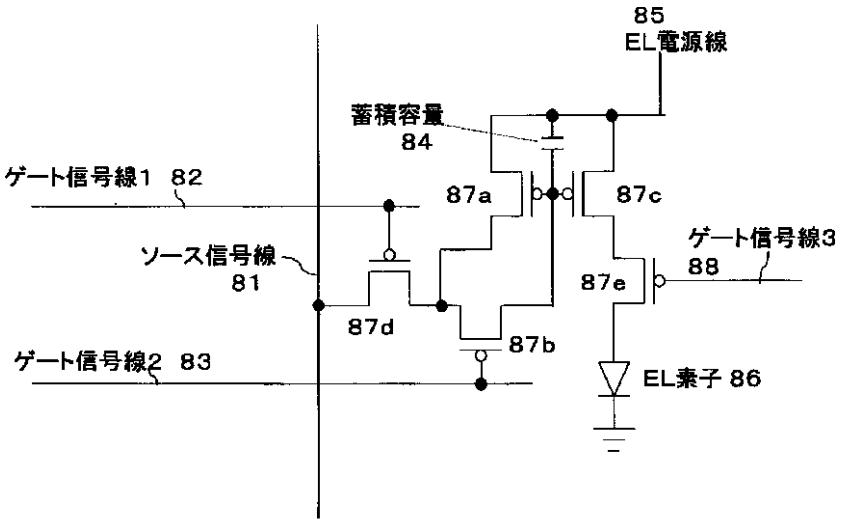
【図１３】


1水平走査期間
1フレーム
ゲート信号線1
ゲート信号線2
(a)表示領域行
1水平走査期間
1フレーム
ゲート信号線1
ゲート信号線2
(b)非表示領域行

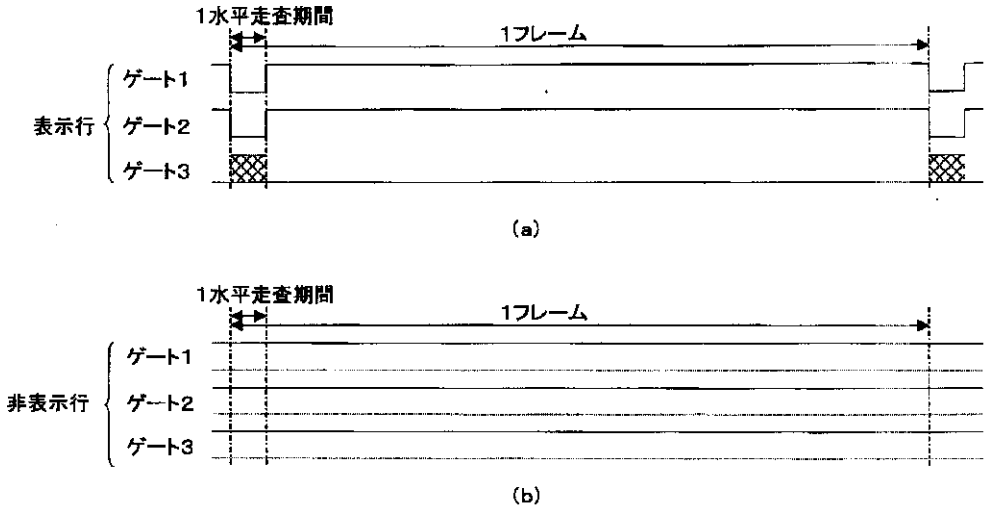
【図７】


71
ソースドライバ
70
ゲートドライバ
74
73b
75
73c
73d
72
73a
79
76a
76b
72:有機電界発光素子
73:薄膜トランジスタ
74:蓄積容量
75:電源線
76:ソース信号線

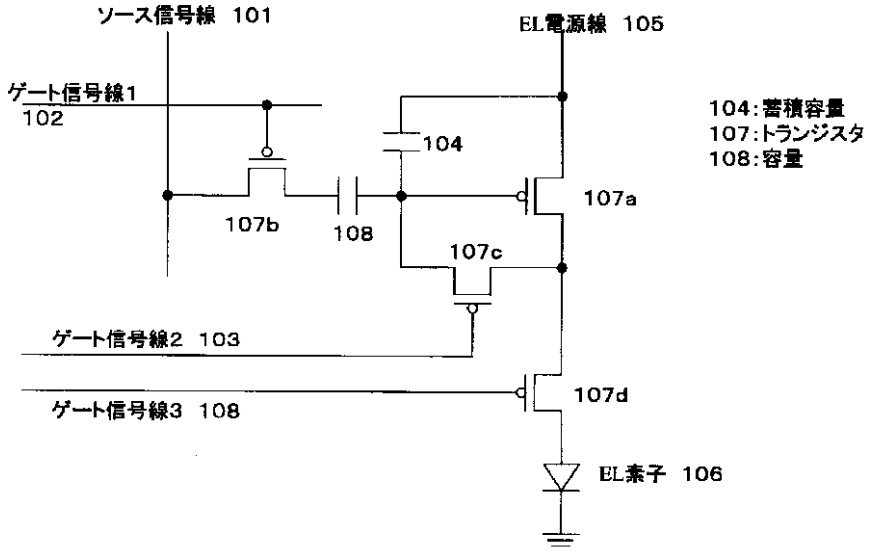
【図８】


85
EL電源線
蓄積容量
84
ゲート信号線1 82
87a
87c
ゲート信号線3
88
ソース信号線
81
87e
87d
87b
ゲート信号線2 83
EL素子 86

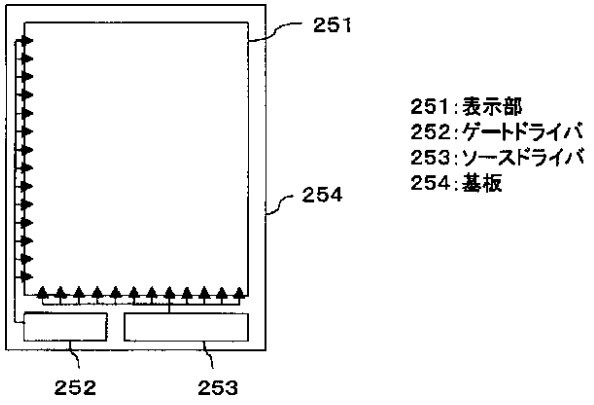
【図９】


1水平走査期間
1フレーム
表示行
ゲート1
ゲート2
ゲート3
(a)
1水平走査期間
1フレーム
非表示行
ゲート1
ゲート2
ゲート3
(b)

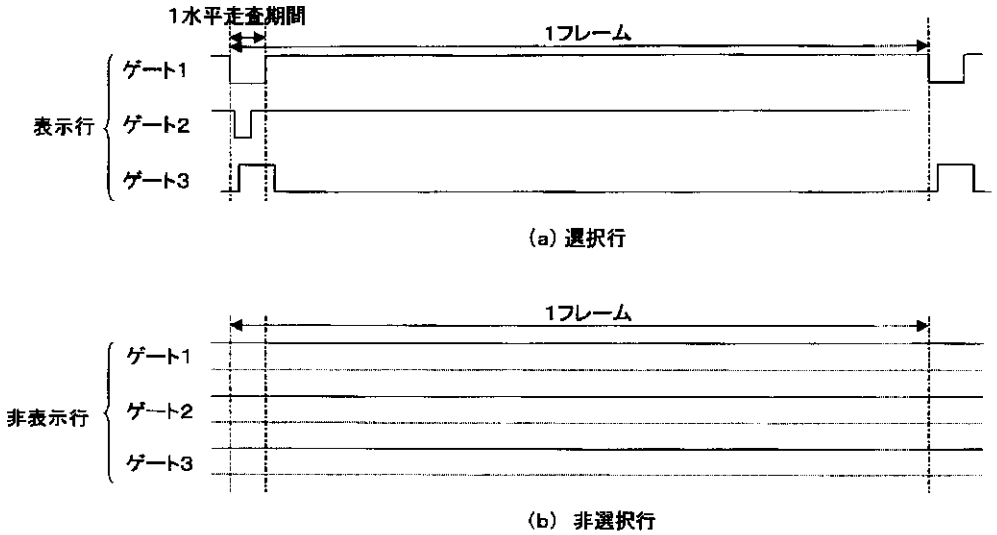
【図１０】


ソース信号線 101
EL電源線 105
ゲート信号線1
102
104
104:蓄積容量
107:トランジスタ
108:容量
107a
107b
108
107c
ゲート信号線2 103
107d
ゲート信号線3 108
EL素子 106

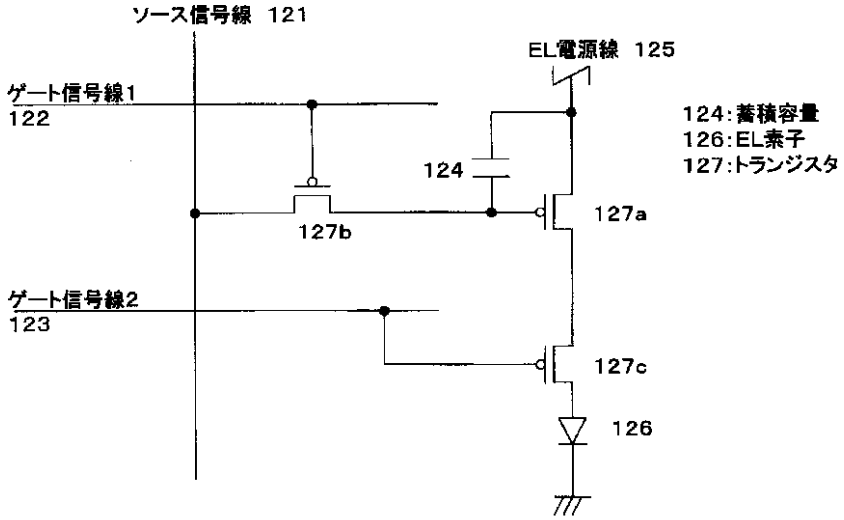
【図２５】


251
254
252
253
251:表示部
252:ゲートドライバ
253:ソースドライバ
254:基板

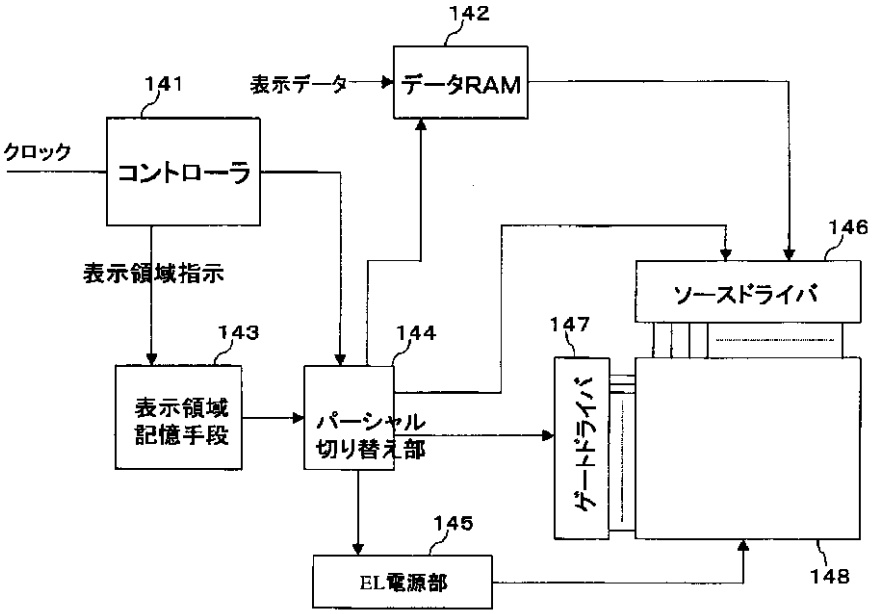
【図１１】


1水平走査期間
1フレーム
表示行
ゲート1
ゲート2
ゲート3
(a) 選択行
1フレーム
非表示行
ゲート1
ゲート2
ゲート3
(b) 非選択行

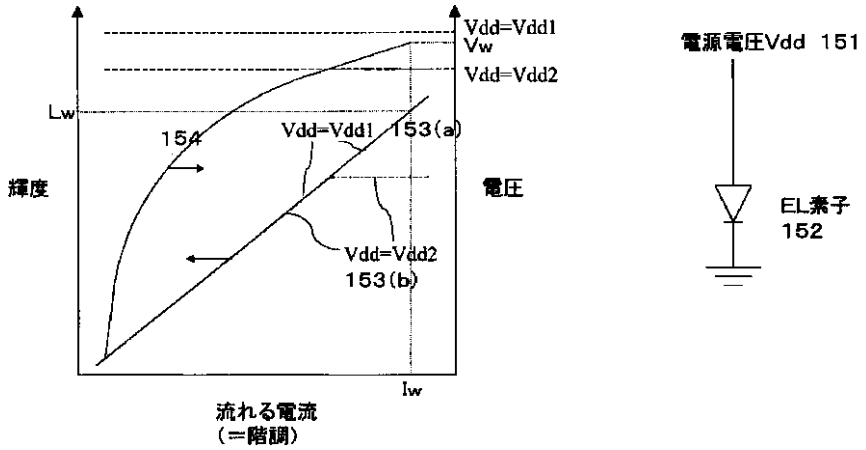
【図１２】


ソース信号線 121
EL電源線 125
ゲート信号線1
122
124
127b
127a
124:蓄積容量
126:EL素子
127:トランジスタ
ゲート信号線2
123
127c
126

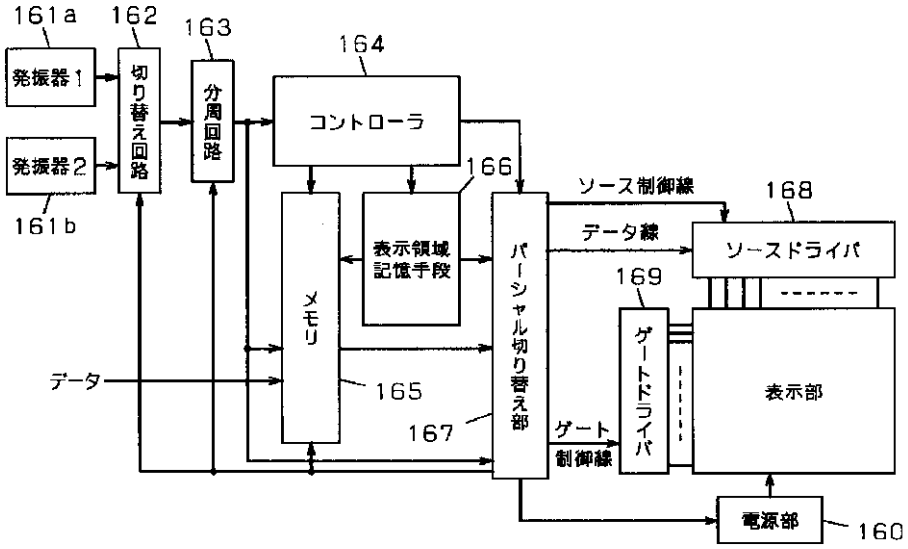
【図１４】


142
データRAM
表示データ
141
クロック
コントローラ
表示領域指示
146
ソースドライバ
143
144
147
表示領域
記憶手段
パーシャル
切り替え部
ゲートドライバ
145
EL電源部
148

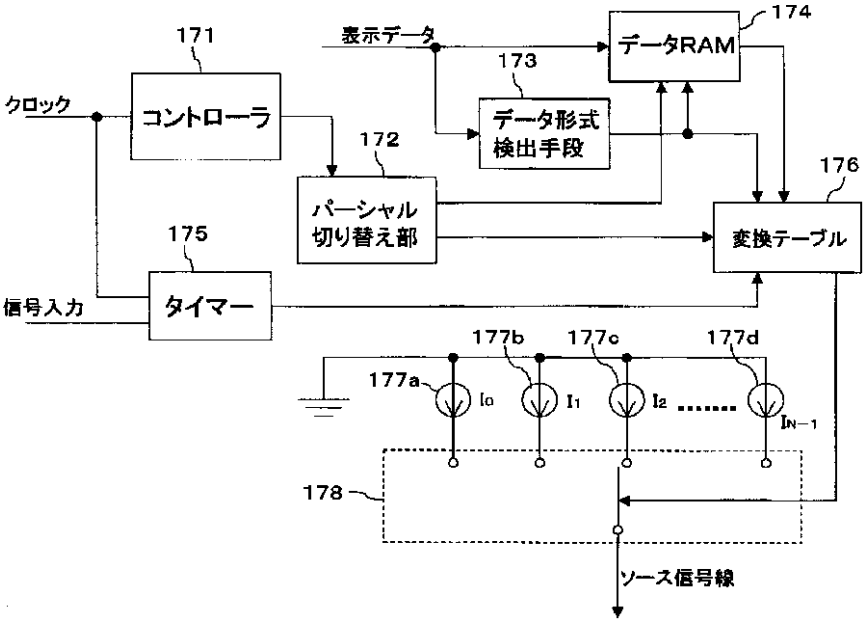
【図１５】


Vdd=Vdd1
Vw
Vdd=Vdd2
Lw
154
Vdd=Vdd1
153(a)
輝度
電圧
Vdd=Vdd2
153(b)
Iw
流れる電流
（＝階調）
(a)
電源電圧Vdd 151
EL素子
152
(b)

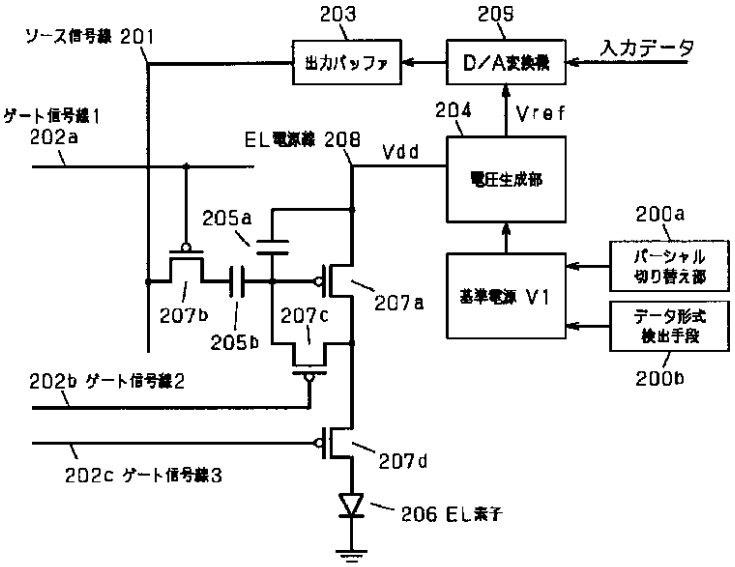
【図１６】


161a
162
163
164
発振器1
切り替え回路
分周回路
コントローラ
発振器2
161b
166
ソース制御線
168
データ線
ソースドライバ
169
表示領域記憶手段
パーシャル切り替え部
メモリ
ゲートドライバ
表示部
データ
165
167
ゲート制御線
電源部
160

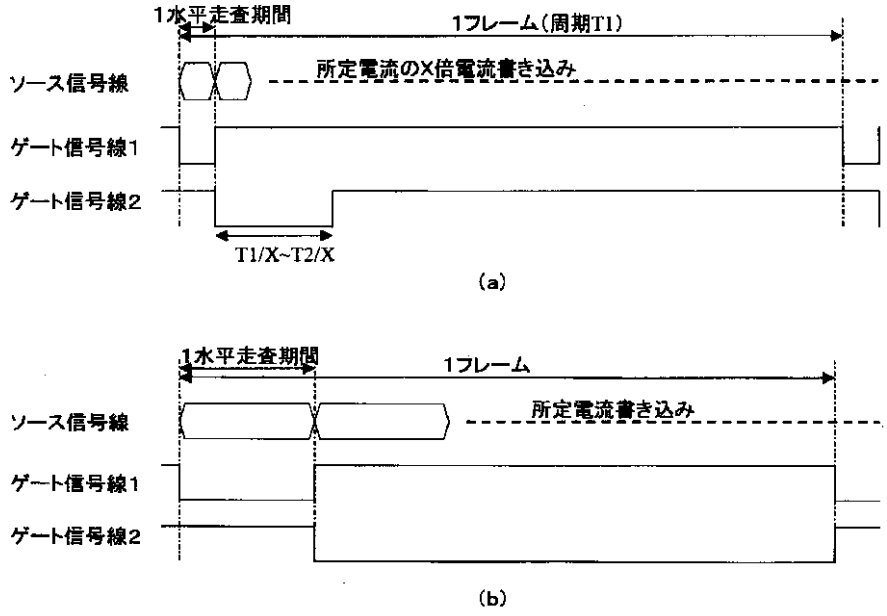
【図１７】


171
表示データ
174
データRAM
173
クロック
コントローラ
データ形式検出手段
172
176
パーシャル切り替え部
変換テーブル
175
信号入力
タイマー
177b
177c
177d
177a
I0
I1
I2
IN−1
178
ソース信号線

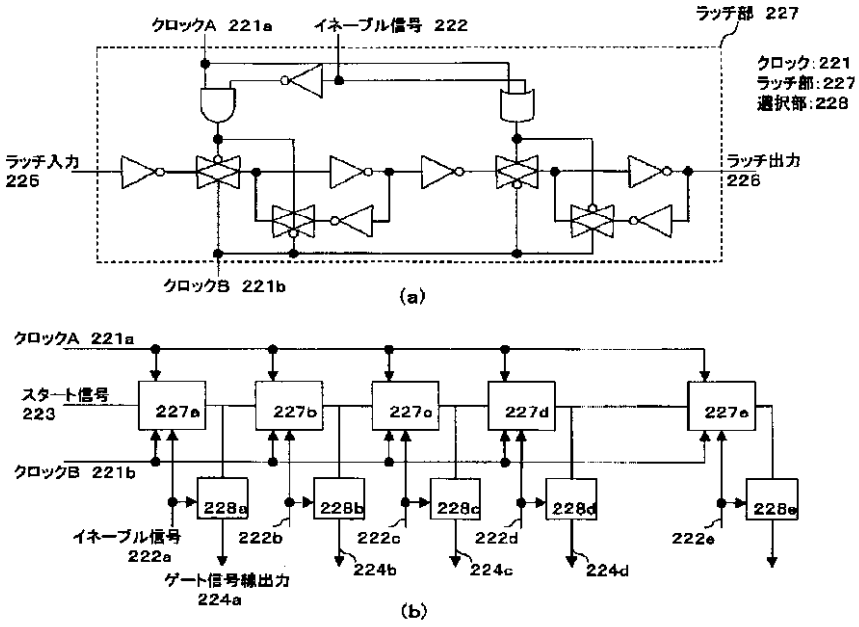
【図２０】


203
205
ソース信号線 201
出力バッファ
D/A変換器
入力データ
ゲート信号線1
202a
204
Vref
EL電源線 208
Vdd
電圧生成部
205a
200a
パーシャル
切り替え部
207b
205b
207c
207a
基準電源 V1
データ形式
検出手段
202b ゲート信号線2
200b
207d
202c ゲート信号線3
206 EL素子

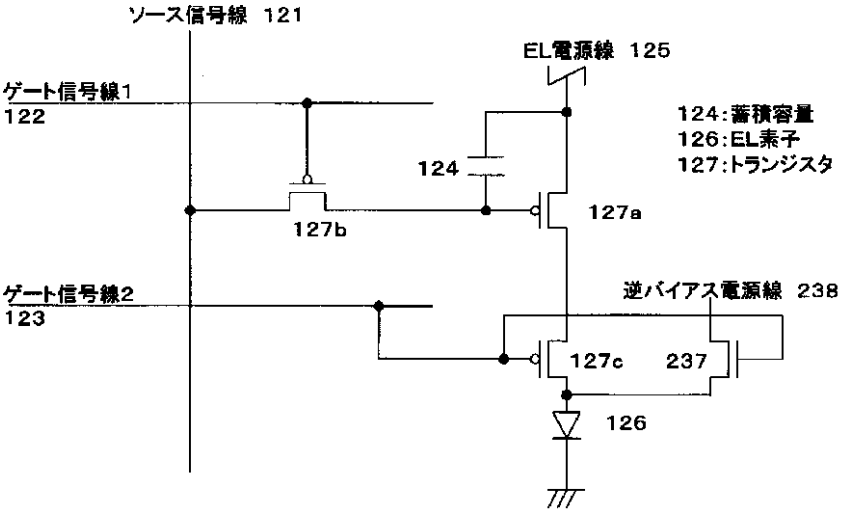
【図２１】


1水平走査期間
1フレーム(周期T1)
ソース信号線
所定電流のX倍電流書き込み
ゲート信号線1
ゲート信号線2
T1/X~T2/X
(a)
1水平走査期間
1フレーム
ソース信号線
所定電流書き込み
ゲート信号線1
ゲート信号線2
(b)

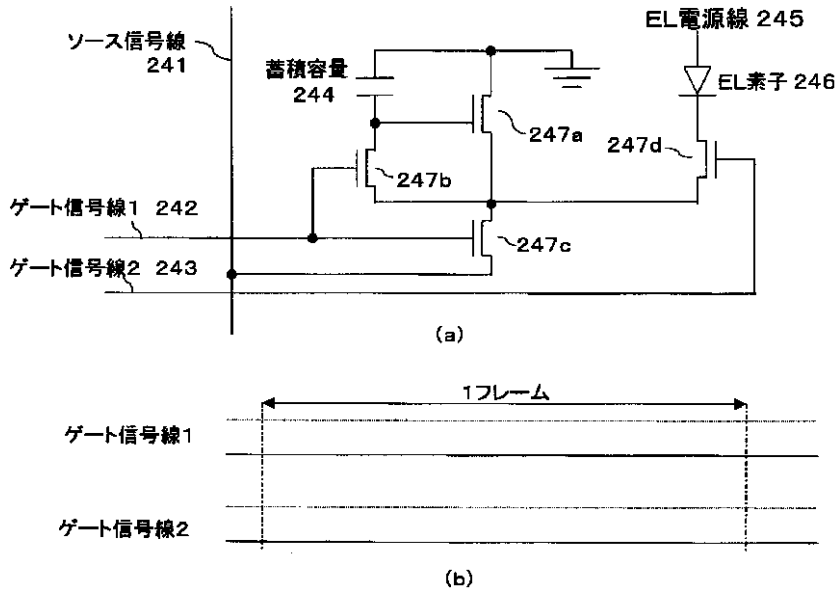
【図２２】


クロックA 221a
イネーブル信号 222
ラッチ部 227
クロック:221
ラッチ部:227
選択部:228
ラッチ入力
225
ラッチ出力
226
クロックB 221b
(a)
クロックA 221a
スタート信号
223
227a
227b
227c
227d
227e
クロックB 221b
228a
228b
228c
228d
228e
イネーブル信号
222a
222b
222c
222d
222e
ゲート信号線出力
224a
224b
224c
224d
(b)

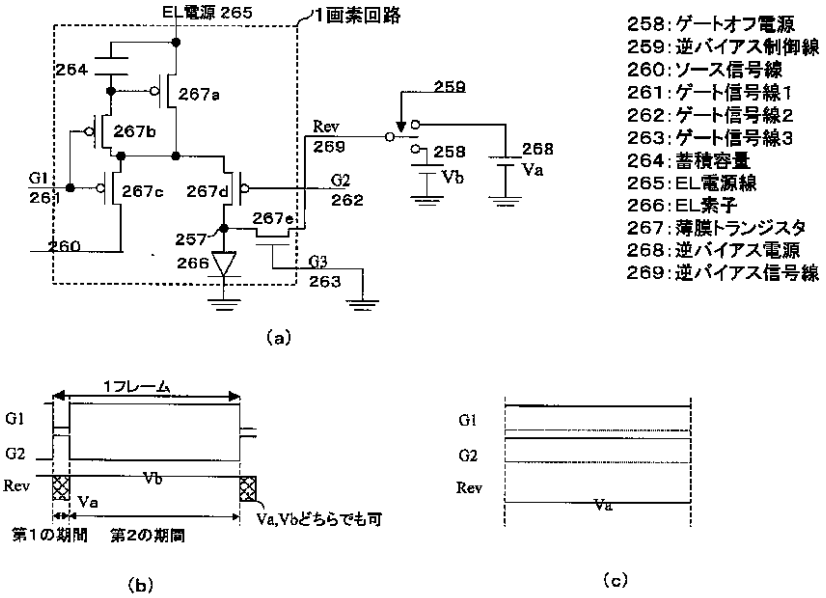
【図２３】


ソース信号線 121
EL電源線 125
ゲート信号線1
122
124:蓄積容量
126:EL素子
127:トランジスタ
124
127a
127b
逆バイアス電源線 238
ゲート信号線2
123
127c
237
126

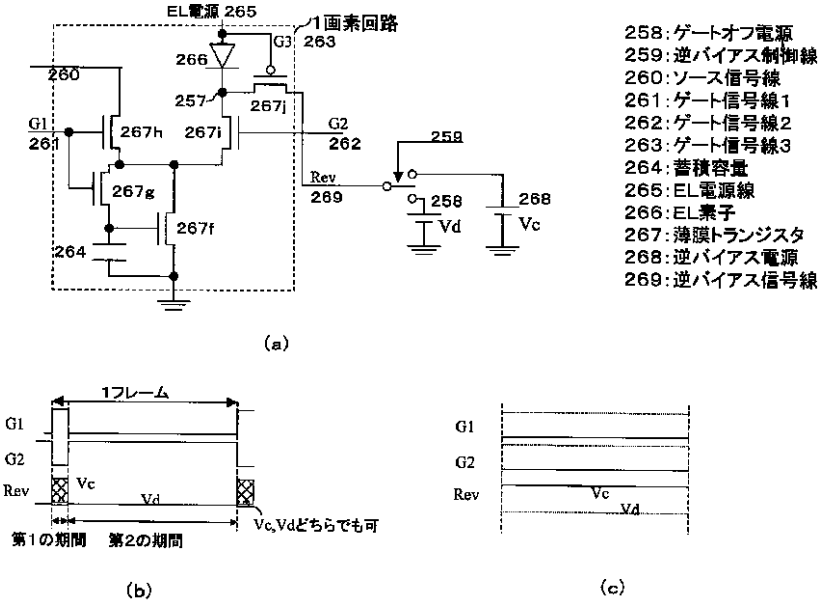
【図２４】


ソース信号線
241
蓄積容量
244
EL電源線 245
EL素子 246
247a
247d
247b
247c
ゲート信号線1 242
ゲート信号線2 243
(a)
1フレーム
ゲート信号線1
ゲート信号線2
(b)

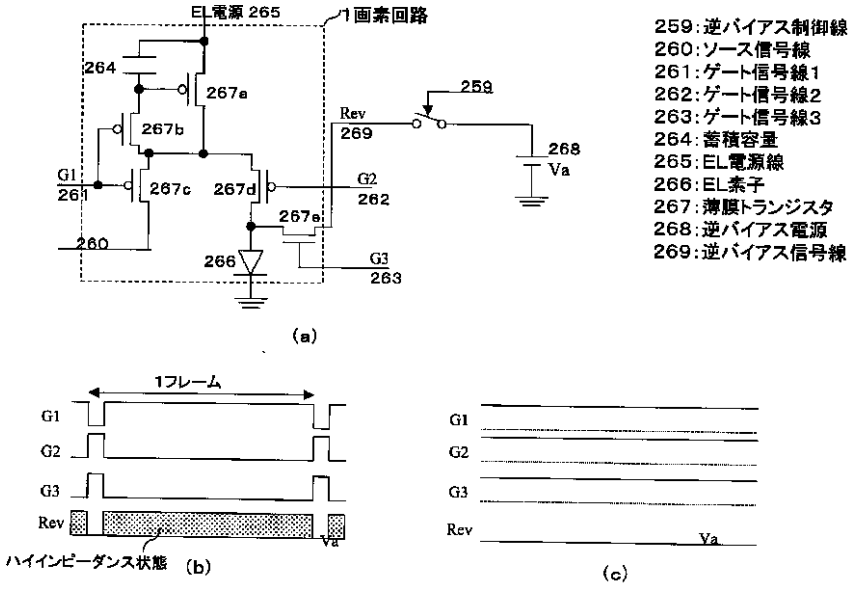
【図２６】


EL電源 265
1画素回路
264
267a
267b
259
Rev
269
258
Vb
268
Va
G1
261
267c
267d
G2
262
267e
257
260
266
G3
263
(a)
1フレーム
G1
G2
Rev
Vb
Va
第1の期間
第2の期間
Va,Vbどちらでも可
(b)
G1
G2
Rev
Va
(c)
258:ゲートオフ電源
259:逆バイアス制御線
260:ソース信号線
261:ゲート信号線1
262:ゲート信号線2
263:ゲート信号線3
264:蓄積容量
265:EL電源線
266:EL素子
267:薄膜トランジスタ
268:逆バイアス電源
269:逆バイアス信号線

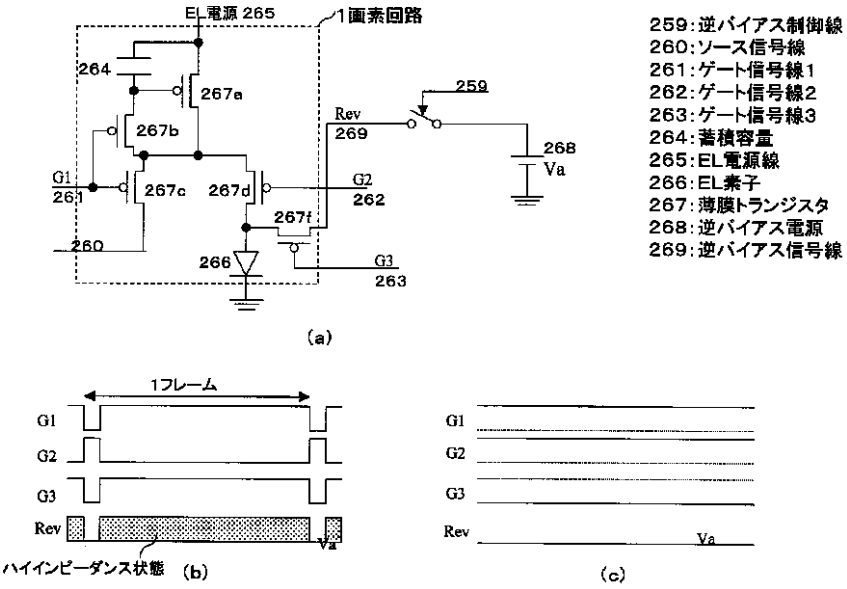
【図２７】


EL電源 265
1画素回路
G3
263
266
260
257
267j
G1
261
267h
267i
G2
262
259
267g
Rev
269
258
268
Vd
Vc
267f
264
258:ゲートオフ電源
259:逆バイアス制御線
260:ソース信号線
261:ゲート信号線1
262:ゲート信号線2
263:ゲート信号線3
264:蓄積容量
265:EL電源線
266:EL素子
267:薄膜トランジスタ
268:逆バイアス電源
269:逆バイアス信号線
(a)
1フレーム
G1
G2
Rev
Vc
Vd
Vc,Vdどちらでも可
第1の期間
第2の期間
(b)
G1
G2
Rev
Vc
Vd
(c)

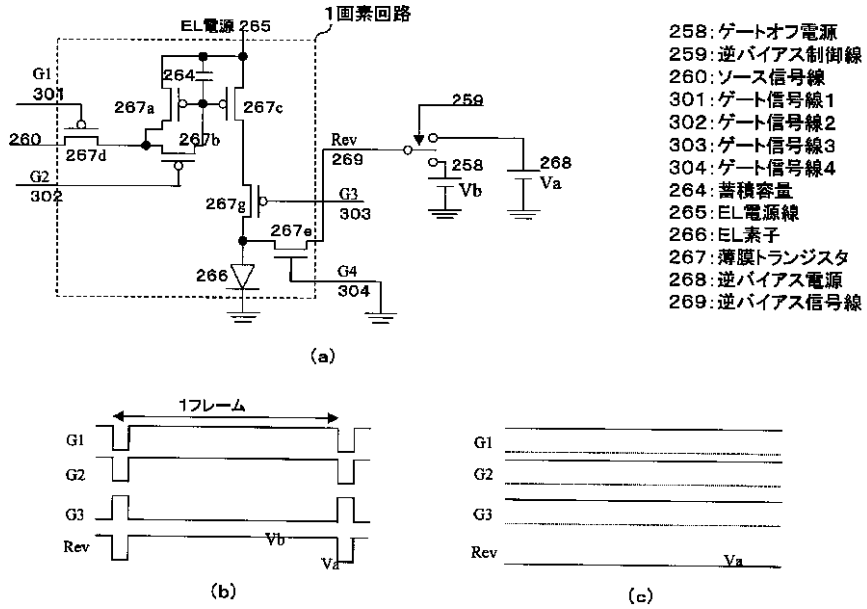
【図２８】


EL電源 265
1画素回路
264
267a
259
Rev
269
267b
268
Va
G1
261
267c
267d
G2
262
267e
260
266
G3
263
259:逆バイアス制御線
260:ソース信号線
261:ゲート信号線1
262:ゲート信号線2
263:ゲート信号線3
264:蓄積容量
265:EL電源線
266:EL素子
267:薄膜トランジスタ
268:逆バイアス電源
269:逆バイアス信号線
(a)
1フレーム
G1
G2
G3
Rev
Va
ハイインピーダンス状態
(b)
G1
G2
G3
Rev
Va
(c)

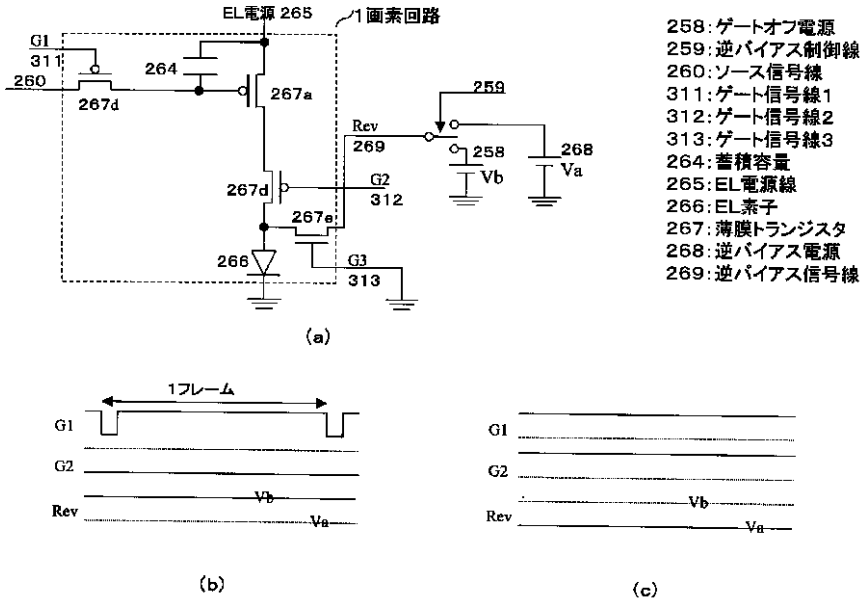
【図２９】


EL電源 265
1画素回路
264
267a
267b
259
Rev
269
268
Va
G1
261
267c
267d
G2
262
267f
260
266
G3
263
259:逆バイアス制御線
260:ソース信号線
261:ゲート信号線1
262:ゲート信号線2
263:ゲート信号線3
264:蓄積容量
265:EL電源線
266:EL素子
267:薄膜トランジスタ
268:逆バイアス電源
269:逆バイアス信号線
(a)
1フレーム
G1
G2
G3
Rev
Va
ハイインピーダンス状態
(b)
G1
G2
G3
Rev
Va
(c)

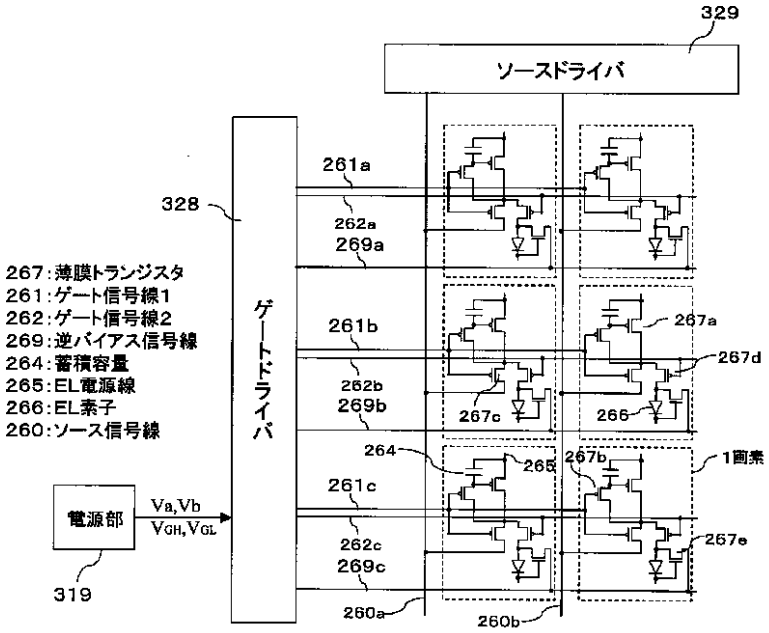
【図３０】


EL電源 265
1画素回路
G1
301
264
267a
267c
259
260
267b
Rev
269
258
Vb
268
Va
267d
G2
302
267g
G3
303
267e
266
G4
304
258:ゲートオフ電源
259:逆バイアス制御線
260:ソース信号線
301:ゲート信号線1
302:ゲート信号線2
303:ゲート信号線3
304:ゲート信号線4
264:蓄積容量
265:EL電源線
266:EL素子
267:薄膜トランジスタ
268:逆バイアス電源
269:逆バイアス信号線
(a)
1フレーム
G1
G2
G3
Rev
Vb
Va
(b)
G1
G2
G3
Rev
Va
(c)

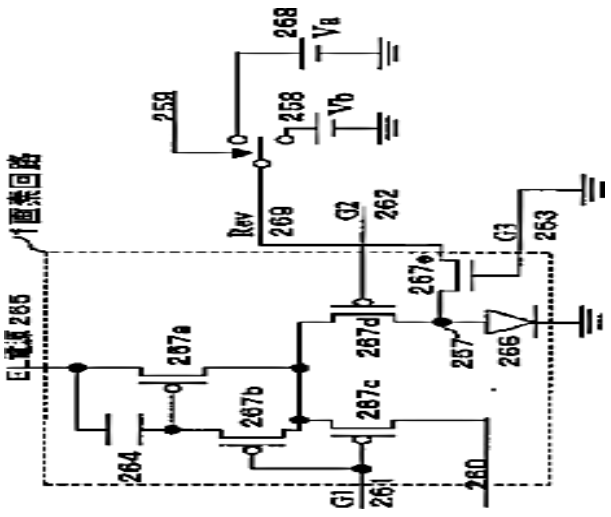
【図３１】


EL電源 265
1画素回路
G1
311
260
264
267a
267d
259
Rev
269
258
Vb
268
Va
G2
312
267d
267e
266
G3
313
(a)
258:ゲートオフ電源
259:逆バイアス制御線
260:ソース信号線
311:ゲート信号線1
312:ゲート信号線2
313:ゲート信号線3
264:蓄積容量
265:EL電源線
266:EL素子
267:薄膜トランジスタ
268:逆バイアス電源
269:逆バイアス信号線
1フレーム
G1
G2
Rev
Vb
Va
(b)
G1
G2
Rev
Vb
Va
(c)

【図３２】


329
ソースドライバ
328
ゲートドライバ
261a
262a
269a
261b
262b
269b
261c
262c
269c
260a
260b
電源部
319
Va,Vb
VGH,VGL
267:薄膜トランジスタ
261:ゲート信号線1
262:ゲート信号線2
269:逆バイアス信号線
264:蓄積容量
265:EL電源線
266:EL素子
260:ソース信号線
267a
267d
267c
266
264
265
267b
1画素
267e

专利名称(译)	使用有机EL元件的有源矩阵型显示装置及其驱动方法和便携式信息终端		
公开(公告)号	JP2003150110A	公开(公告)日	2003-05-23
申请号	JP2001348414	申请日	2001-11-14
[标]申请(专利权)人(译)	松下电器产业株式会社		
申请(专利权)人(译)	松下电器产业有限公司		
[标]发明人	柘植仁志		
发明人	柘植 仁志		
IPC分类号	H01L51/50 G09G3/20 G09G3/30 H05B33/14		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.642.C G09G3/20.680.T H05B33/14.A G09G3/3241 G09G3/325 G09G3/3266 G09G3/3275 G09G3/3283 G09G3/3291		
F-TERM分类号	3K007/AB05 3K007/AB11 3K007/AB17 3K007/BA06 3K007/BB07 3K007/DB03 3K007/GA02 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD03 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/KK07 3K107/AA01 3K107/BB01 3K107/CC14 3K107/CC21 3K107/CC33 3K107/EE03 3K107/HH04 5C380/AA01 5C380/AA02 5C380/AA03 5C380/AB06 5C380/AB07 5C380/AB18 5C380/AB24 5C380/AB27 5C380/AB32 5C380/AC02 5C380/AC11 5C380/AC12 5C380/BA01 5C380/BA03 5C380/BA05 5C380/BA06 5C380/BA08 5C380/BA10 5C380/BA12 5C380/BA15 5C380/BA19 5C380/BA20 5C380/BA22 5C380/BA31 5C380/BA36 5C380/BA37 5C380/BA38 5C380/BA39 5C380/BA47 5C380/BA48 5C380/BB08 5C380/BB09 5C380/BB22 5C380/BB23 5C380/BD02 5C380/BD08 5C380/BD09 5C380/BD16 5C380/CA12 5C380/CA13 5C380/CA17 5C380/CA32 5C380/CB08 5C380/CB11 5C380/CB16 5C380/CB17 5C380/CB20 5C380/CB31 5C380/CC03 5C380/CC13 5C380/CC14 5C380/CC18 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC39 5C380/CC41 5C380/CC52 5C380/CC53 5C380/CC61 5C380/CC63 5C380/CC64 5C380/CC65 5C380/CD013 5C380/CD014 5C380/CD015 5C380/CD016 5C380/CD024 5C380/CE03 5C380/CE04 5C380/CE05 5C380/CE08 5C380/CE13 5C380/CE20 5C380/CF02 5C380/CF06 5C380/CF07 5C380/CF09 5C380/CF13 5C380/CF22 5C380/CF23 5C380/CF32 5C380/CF33 5C380/CF48 5C380/CF51 5C380/CF57 5C380/CF58 5C380/CF59 5C380/DA02 5C380/DA06 5C380/DA08 5C380/DA09 5C380/DA19 5C380/DA24 5C380/DA32 5C380/DA49 5C380/DA56 5C380/DA58 5C380/EA02 5C380/EA03 5C380/EA11 5C380/EA16 5C380/FA10 5C380/FA16 5C380/HA02 5C380/HA05		
外部链接	Espacenet		

摘要(译)

解决的问题：在长时间驱动时，在使用EL元件等的显示装置中，为了降低亮度并增加EL元件的端子之间的电压。 为了向EL元件266施加反向偏置电压，在EL元件266与控制电流值的驱动晶体管267a之间设置有开关晶体管267d，该驱动晶体管267a在反向偏置施加期间处于非导通状态。除了反向偏置电压268之外，可以将另一电压值施加到将反向偏置施加到EL元件266的反向偏置信号线269，并且用于选择是否施加反向偏置的晶体管267e的导通/非导通状态被反转。 偏置信号线269确定施加到晶体管的电压值。