

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02015/104777

発行日 平成29年3月23日(2017.3.23)

(43) 国際公開日 平成27年7月16日(2015.7.16)

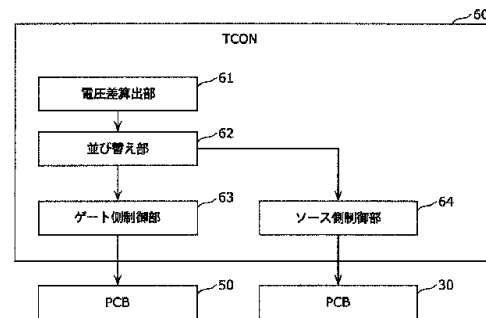
(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/3233 (2016.01)	G09G 3/3233	5C080
G09G 3/20 (2006.01)	G09G 3/20 624B	5C380
H01L 51/50 (2006.01)	G09G 3/20 641D	
	G09G 3/20 611A	
審査請求 有 予備審査請求 未請求 (全 41 頁) 最終頁に続く		

出願番号	特願2015-556644 (P2015-556644)	(71) 出願人	514188173
(21) 国際出願番号	PCT/JP2014/006434		株式会社 J O L E D
(22) 国際出願日	平成26年12月24日 (2014.12.24)		東京都千代田区神田錦町三丁目23番地
(31) 優先権主張番号	特願2014-2343 (P2014-2343)	(74) 代理人	100189430
(32) 優先日	平成26年1月9日 (2014.1.9)		弁理士 吉川 修一
(33) 優先権主張国	日本国 (JP)	(74) 代理人	100190805
			弁理士 傍島 正朗
		(72) 発明者	中北 朋喜
			日本国東京都千代田区神田錦町三丁目23番地 株式会社 J O L E D 内
		(72) 発明者	高原 博司
			日本国大阪府門真市大字門真1006番地 パナソニック株式会社内
		Fターム(参考)	3K107 AA01 BB01 CC14 CC42 CC43 EE03 HH02 HH05
			最終頁に続く

(54) 【発明の名称】 表示装置および表示方法

(57) 【要約】

行毎に配置されたゲート信号線 (G L) と列毎に配置されたソース信号線 (S L) の交差点に行列状に配置された表示画素 (P) と、ゲート信号線 (G L) を指定された順序で選択可能なゲートドライバ I C (4 0) と、ソース信号線 (S L) に電圧信号を出力するソースドライバ I C (2 0) と、 T C O N (6 0) とを備え、表示画素 (P) は、有機 E L 素子 (O E L 1) と、電圧信号が書き込まれるコンデンサ (C c) と、コンデンサ (C c) の電荷を受け付け可能なコンデンサ (C s) と、コンデンサ (C s) の電荷の大きさに応じた駆動電流を有機 E L 素子 (O E L 1) に供給する駆動トランジスタ (T 5) とを有し、電圧信号の書き込みと有機 E L 素子 (O E L 1) の発光とを独立して実行でき、 T C O N (6 0) は、行単位での書き込みの順序を、連続する行の間の電圧信号の差が小さくなるように並び替える。



61 Voltage-difference computation unit
 62 Reordering unit
 63 Gate-side control unit
 64 Source-side control unit

【特許請求の範囲】**【請求項 1】**

行毎に配置された複数のゲート信号線と、列毎に配置された複数のソース信号線と、前記複数のゲート信号線と前記複数のソース信号線との交差点のそれぞれに配置された複数の表示画素とを有する表示部と、

前記複数のゲート信号線を指定された順序で選択可能なゲートドライバと、

前記複数のソース信号線のそれぞれに電圧信号を出力するソースドライバと、

前記複数の表示画素、前記ゲートドライバおよび前記ソースドライバの制御を行う制御部とを備え、

前記複数の表示画素のそれぞれは、駆動電流に応じて発光する発光素子と、前記電圧信号が書き込まれる書き込み用コンデンサと、前記書き込み用コンデンサの電荷を受け付け可能な表示用コンデンサと、前記表示用コンデンサに保持された電荷の大きさに応じた前記駆動電流を前記発光素子に供給する駆動トランジスタとを有し、前記書き込み用コンデンサに対する電圧信号の書き込みと、前記表示用コンデンサに保持された電荷に応じた前記発光素子の発光とを独立して実行できるように構成され、

前記制御部は、前記表示部における行単位での書き込みの順序を、前記書き込みの順序が連続する 2 つの行の間の電圧信号の差が小さくなるように並び替える並び替え処理を実行し、

前記制御部は、前記ゲートドライバに対し、前記制御部による並び替え処理後の前記書き込みの順序で前記複数のゲート信号線を選択を行わせるように、前記書き込みの順序を指定する、

表示装置。

【請求項 2】

前記制御部は、前記並び替え処理において、

前記複数の表示画素の各行の明るさを示す指標値を算出し、前記指標値を用いて前記書き込みの順序の並び替えを行う、

請求項 1 に記載の表示装置。

【請求項 3】

前記制御部は、

前記指標値として、前記複数の表示画素それぞれについて前記電圧信号の 2 乗を求め、当該電圧信号の 2 乗を行毎に合計した合計値を求める、

請求項 2 に記載の表示装置。

【請求項 4】

前記制御部は、前記並び替え処理において、

前記指標値を降順にまたは昇順に並べ替え、並び替えた順序に前記書き込みの順序を設定する、

請求項 2 または 3 に記載の表示装置。

【請求項 5】

前記制御部は、前記並び替え処理において、

現在の前記並び替え処理における前記指標値の最小値と最大値とを求め、

前回の前記並び替え処理における前記書き込みの順序が最後の行の指標値である最終指標値と、前記最小値および前記最大値とを比較し、

前記最終指標値と前記最小値との差が前記最終指標値と前記最大値との差よりも小さい場合は、前記指標値を昇順に並び替え、

前記最終指標値と前記最大値との差が前記最終指標値と前記最小値との差よりも小さい場合は、前記指標値を降順に並び替える、

請求項 4 に記載の表示装置。

【請求項 6】

前記制御部は、前記並び替え処理において、

前記書き込みの順序が設定されていない行を検索対象行とし、最後に検索された前記指

10

20

30

40

50

標値との差が閾値以下となる前記指標値を有することを検索条件として、前記検索対象行を一方向に順次検索し、検索された順に前記書き込みの順序を設定する第一検索処理を実行する、

請求項 2 または 3 に記載の表示装置。

【請求項 7】

前記制御部は、

前記第一検索処理の実行後に、さらに、

前記書き込みの順序が設定されていない行を検索対象行とし、最後に検索された前記指標値よりも大きいまたは小さい前記指標値を有する検索対象行を前記一方向に検索し、検索された順に前記書き込みの順序を設定する第二検索処理とを実行する、

10

請求項 6 に記載の表示装置。

【請求項 8】

前記複数の表示画素のそれぞれは、さらに、

前記複数の表示画素それぞれの選択および非選択を切り替える第一スイッチ回路と、

前記書き込み用コンデンサと前記表示用コンデンサとの接続および非接続を切り替える第二スイッチ回路と、

前記駆動トランジスタと前記発光素子との接続および非接続を切り替える第三スイッチ回路とを備える、

請求項 1 ~ 6 の何れか 1 項に記載の表示装置。

【請求項 9】

20

前記ゲートドライバは、

前記電圧信号を書き込む書き込み処理時に、前記第二スイッチ回路を非接続にして前記書き込み用コンデンサと前記表示用コンデンサとを独立させ、前記第一スイッチ回路を選択に設定して前記書き込み用コンデンサに前記電圧信号を書き込み、前記第三スイッチ回路を接続に設定して前記発光素子を発光させ、

前記電圧信号を前記書き込み用コンデンサから前記表示用コンデンサに複写する複写処理時に、前記第一スイッチ回路を非選択に設定し、前記第三スイッチ回路を非接続に設定して前記発光素子の発光を停止させ、前記第二スイッチ回路を接続に設定して前記書き込み用コンデンサに書き込まれた前記電圧信号を前記表示用コンデンサに書き込む、

請求項 8 に記載の表示装置。

30

【請求項 10】

行毎に配置された複数のゲート信号線と、列毎に配置された複数のソース信号線と、前記複数のゲート信号線と前記複数のソース信号線との交差点のそれぞれに配置された複数の表示画素とを有する表示部と、

前記複数のゲート信号線を指定された順序で選択可能なゲートドライバと、

前記複数のソース信号線のそれぞれに電圧信号を出力するソースドライバと、

前記複数の表示画素、前記ゲートドライバおよび前記ソースドライバの制御を行う制御部とを備え、

前記複数の表示画素のそれぞれが、駆動電流に応じて発光する発光素子と、前記電圧信号が書き込まれる書き込み用コンデンサと、前記書き込み用コンデンサの電荷を受け付け可能な表示用コンデンサと、前記表示用コンデンサに保持された電荷の大きさに応じた前記駆動電流を前記発光素子に供給する駆動トランジスタとを有し、前記書き込み用コンデンサに対する電圧信号の書き込みと、前記表示用コンデンサに保持された電荷に応じた前記発光素子の発光とを独立して実行できるように構成された表示装置に実行させる表示方法であって、

40

前記制御部は、

前記表示部における行単位での書き込みの順序を、前記書き込みの順序が連続する 2 つの行の間の電圧信号の差が小さくなるように並び替えるステップと、

前記ゲートドライバに対し、並び替えた後の前記書き込みの順序で前記複数のゲート信号線の選択を行わせるように、前記書き込みの順序を指定するステップと、

50

前記ゲートドライバによるゲート信号線の選択時に、前記表示用コンデンサと前記書き込み用コンデンサとが電氣的に接続されないように前記表示画素を制御するステップと、
前記ゲートドライバにより前記複数のゲート信号線が選択されていない時に、前記表示用コンデンサと前記書き込み用コンデンサとが電氣的に接続されるように前記表示画素を制御するステップとを含む

表示方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、表示装置および表示方法、特に、有機エレクトロルミネッセンス（ＥＬ）素子を用いた表示装置および表示方法に関する。 10

【背景技術】

【0002】

電流駆動型の発光素子を用いた表示装置として、有機エレクトロルミネッセンス素子（以下、有機ＥＬ素子と記す。）を用いた有機ＥＬディスプレイが知られている。この有機ＥＬディスプレイは、視野角特性が良好で、消費電力が少ないという利点を有する。

【0003】

有機ＥＬディスプレイは、複数の走査線（複数のゲート信号線）、複数の信号線（複数のソース信号線）、複数の表示画素、および、駆動回路等を備えている。複数の表示画素のそれぞれは、ゲート信号線とソース信号線との交差点に配置され、スイッチング素子、容量素子（コンデンサ）、駆動トランジスタおよび有機ＥＬ素子等を備えている（例えば、特許文献１～特許文献２参照）。 20

【0004】

有機ＥＬディスプレイでは、選択された画素の発光輝度を制御するために、映像信号等を出力するソースドライバＩＣ（回路）が配置されている。ソースドライバＩＣ（回路）は、ソース信号線に映像信号を印加する。また、有機ＥＬディスプレイでは、選択された画素の発光タイミングを制御するために、選択された画素に接続されたゲート信号線にオン電圧またはオフ電圧を印加する。近年、有機ＥＬディスプレイは、高精細化および大画面化する傾向がある。

【先行技術文献】

30

【特許文献】

【0005】

【特許文献１】特開２０００－０１０５１７号公報

【特許文献２】特開２００７－１４８４００号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、大画面サイズ、高精細な表示パネルを用いた有機ＥＬディスプレイほど、ソース信号線の負荷容量が大きくなり、且つ、書き込み速度が高速になる傾向がある。ソース信号線の負荷容量が大きく書き込み速度が速いと、ソース信号線を駆動するソースドライバＩＣ（回路）（Integrated Circuit）の発熱量が大きくなる。発熱量がソースドライバＩＣの耐熱量を上回ることが予想される場合は、ソースドライバＩＣの破損を防止するため、放熱機構が必要になるという課題がある。また、ソースドライバＩＣの発熱が、ＥＬ表示パネルの表示領域に伝熱され、画素のＥＬ素子を劣化させるという課題も発生する。大きい放熱機構は、パネルモジュールの厚みを厚くし、ＥＬ表示パネル（ＥＬ表示ディスプレイ）の薄型という特徴を発揮できなくなる。 40

【0007】

そこで、本開示は、映像品質を低下させることなく発熱量を低減でき、放熱機構を省略または削減でき、薄型のパネルモジュールを構成することが可能な表示装置および表示方法を提供する。 50

【課題を解決するための手段】

【0008】

本開示の一態様に係る表示装置は、行毎に配置された複数のゲート信号線と、列毎に配置された複数のソース信号線と、前記複数のゲート信号線と前記複数のソース信号線との交差点のそれぞれに配置された複数の表示画素とを有する表示部と、前記複数のゲート信号線を指定された順序で選択可能なゲートドライバと、前記複数のソース信号線のそれぞれに電圧信号を出力するソースドライバと、前記複数の表示画素、前記ゲートドライバおよび前記ソースドライバの制御を行う制御部とを備え、前記複数の表示画素のそれぞれは、駆動電流に応じて発光する発光素子と、前記電圧信号が書き込まれる書き込み用コンデンサと、前記書き込み用コンデンサの電荷を受け付け可能な表示用コンデンサと、前記表示用コンデンサに保持された電荷の大きさに応じた前記駆動電流を前記発光素子に供給する駆動トランジスタとを有し、前記書き込み用コンデンサに対する電圧信号の書き込みと、前記表示用コンデンサに保持された電荷に応じた前記発光素子の発光とを独立して実行できるように構成され、前記制御部は、前記表示部における行単位での書き込みの順序を、前記書き込みの順序が連続する2つの行の間の電圧信号の差が小さくなるように並び替える並び替え処理を実行し、前記制御部は、前記ゲートドライバに対し、前記制御部による並び替え処理後の前記書き込みの順序で前記複数のゲート信号線を選択を行わせるように、前記書き込みの順序を指定する。

10

【発明の効果】

【0009】

本開示の表示装置および表示方法は、映像品質を低下させることなく発熱量を低減でき、放熱機構を省略または削減でき、薄型のパネルモジュールを構成することが可能な表示装置および表示方法を提供することが可能になる。

20

【図面の簡単な説明】

【0010】

【図1A】図1Aは、有機ELディスプレイの外観の一例を示す外観図である。

【図1B】図1Bは、有機ELディスプレイの構成の一例を示すブロック図である。

【図2】図2は、比較例における有機ELディスプレイのソース信号線の負荷容量の一例を示す図である。

【図3】図3は、比較例における有機ELディスプレイの充放電時の電力の一例を示す表である。

30

【図4】図4は、画像の各行の輝度値とソースドライバICの出力電圧との関係を示す図である。

【図5】図5は、実施の形態における表示画素の構成の一例を示す回路図である。

【図6】図6は、実施の形態におけるゲートドライバICに搭載されたゲート信号線駆動回路の構成の一例を示すブロック図である。

【図7】図7は、実施の形態におけるTCONの機能的な構成の一例を示すブロック図である。

【図8】図8は、実施の形態におけるTCONの動作を説明するフローチャートである。

【図9】図9は、実施の形態におけるフレームの一例を示す図である。

40

【図10A】図10Aは、書き込みの順序の並び替え前における各画素行の指標値を示すグラフである。

【図10B】図10Bは、書き込みの順序の並び替え前における各画素行の指標値を示すグラフである。

【図10C】図10Cは、書き込みの順序の並び替え前における各画素行の指標値を示すグラフである。

【図11】図11は、図4に示すフレームの書き込みの順序を、実施の形態1の方法で並び替えた場合におけるソースドライバICの出力電力を示す図である。

【図12A】図12Aは、書き込み処理におけるスイッチング素子の状態を示す図である。

50

【図 1 2 B】図 1 2 B は、リセット処理におけるスイッチング素子の状態を示す図である。

【図 1 2 C】図 1 2 C は、コピー処理におけるスイッチング素子の状態を示す図である。

【図 1 2 D】図 1 2 D は、発光処理におけるスイッチング素子の状態を示す図である。

【図 1 3】図 1 3 は、フレームの一例を示す図である。

【図 1 4 A】図 1 4 A は、比較例におけるフレームの切り替え時の表示画面の一例を示す図である。

【図 1 4 B】図 1 4 B は、比較例におけるフレームの切り替え時の表示画面の一例を示す図である。

【図 1 5 A】図 1 5 A は、実施の形態におけるフレームの切り替え時の表示画面の一例を示す図である。

【図 1 5 B】図 1 5 B は、実施の形態におけるフレームの切り替え時の表示画面の一例を示す図である。

【図 1 6】図 1 6 は、複数のサブフィールドで構成されるフレームの一例を示す図である。

【図 1 7】図 1 7 は、変形例 1 におけるソースドライバ IC の出力電力の一例を示す図である。

【図 1 8】図 1 8 は、変形例 1 におけるソースドライバ IC の出力電力の一例を示す図である。

【図 1 9】図 1 9 は、変形例 2 におけるソースドライバ IC の出力電力の一例を示す図である。

【図 2 0】図 2 0 は、変形例 2 におけるソースドライバ IC の出力電力の一例を示す図である。

【図 2 1】図 2 1 は、変形例 3 における書き込みの順序の並び替え方法の一例を示す図である。

【図 2 2】図 2 2 は、変形例 4 における書き込みの順序の並び替え方法の一例を示す図である。

【図 2 3】図 2 3 は、変形例 5 における書き込みの順序の並び替え方法の一例を示す図である。

【図 2 4】図 2 4 は、変形例 6 における表示画素の構成の一例を示す回路図である。

【図 2 5 A】図 2 5 A は、駆動トランジスタの特性を示すグラフである。

【図 2 5 B】図 2 5 B は、EL 素子の発光特性を示すグラフである

【発明を実施するための形態】

【0011】

(課題の詳細)

上述したように、有機 EL ディスプレイでは、40 インチ以上など、大画面サイズの表示パネルほど、ソース信号線の負荷容量が大きくなり、発熱量が大きくなる傾向にある。また、有機 EL ディスプレイでは、4K 2K パネル（画素数が $4K \times 2K$ 以上のパネル）あるいは 8K 4K パネル等、高精細の表示パネルほど、1 画素行の選択期間が短くなり、ソースドライバ IC から出力する映像信号の変化速度（周波数）が速くなるため、ソースドライバ IC の発熱量が大きくなる。ソースドライバ IC の出力電力は、ソース信号線の容量 C、映像振幅電圧の電圧差 V の 2 乗、および、1 画素行の選択時間を換算した周波数 F に比例する。

【0012】

上述した有機 EL ディスプレイにおけるソース信号線の負荷容量 C 等と発熱量との関係について、説明する。

【0013】

[比較例における有機 EL ディスプレイの構成]

先ず、比較例における有機 EL ディスプレイの構成について、図 1 A ~ 図 3 を用いて説明する。図 1 A は、有機 EL ディスプレイの外観の一例を示す外観図である。図 1 B は、

10

20

30

40

50

有機 E L ディスプレイの構成の一例を示すブロック図である。

【 0 0 1 4 】

比較例における画像表示装置では、赤 (R)、緑 (G)、青 (B) の 3 原色からなる E L 素子がマトリックス状に形成されている。

【 0 0 1 5 】

画素位置に対応して、赤 (R)、緑 (G)、青 (B) からなるカラーフィルターを形成することができる。なお、カラーフィルターは、R G B に限定されるものではない、シアン (C)、マゼンタ (M)、イエロー (Y) 色の画素を形成してもよい。また、白 (W) の画素を形成してもよい。つまり、表示画面に R、G、B、W 画素をマトリックス状に配置する。

10

【 0 0 1 6 】

なお、R、G、B の画素開口率は、異ならせてもよい。開口率を異ならせることにより、各 R G B の E L 素子に流れる電流密度を異ならせることができる。電流密度を異ならせることにより、R G B の E L 素子の劣化速度を同一にすることができる。劣化速度を同一にすれば、画像表示装置のホワイトバランスずれが発生しない。

【 0 0 1 7 】

また、必要に応じて、白 (W) の画素を形成する。つまり、画素は、R、G、B、W から構成される。R、G、B、W に構成することにより、高輝度化が可能となる。また、R、G、B、G とする構成も例示される。

20

【 0 0 1 8 】

画像表示装置のカラー化は、マスク蒸着により行うが、実施の態様はこれに限定するものではない。たとえば、青色発光の E L 層を形成し、発光する青色光を、R、G、B の色変換層 (C C M : カラーチェンジミディウムズ) で R、G、B 光に変換してもよい。

【 0 0 1 9 】

なお、画像表示装置の光出射面には、円偏光板 (円偏光フィルム) (図示せず) を配置することができる。偏光板と位相フィルムを一体したものは円偏光板 (円偏光フィルム) と呼ばれる。

【 0 0 2 0 】

図 1 B に示すように、有機 E L ディスプレイ 1 0 0 は、有機 E L パネル 1 0、ソースドライバ I C 2 0、P C B (P r i n t e d C i r c u i t B o a r d、プリント基板) 3 0、ゲートドライバ I C 4 0、P C B 5 0、および、T C O N (タイミングコントローラ) 6 0 を備えている。

30

【 0 0 2 1 】

有機 E L パネル 1 0 は、行毎に配置された複数のゲート信号線 G L と、列毎に配置された複数のソース信号線 S L と、ゲート信号線 G L とソース信号線 S L との交差点のそれぞれに行列状に配置された複数の表示画素 P を備える表示領域 1 1 と、表示領域 1 1 と P C B 3 0 および P C B 5 0 とを繋ぐ配線 (ゲート信号線 G L およびソース信号線 S L) が形成されたガラス基板 1 2 とを備えている。

【 0 0 2 2 】

表示領域 1 1 は、映像を表示するための領域であり、複数の表示画素 P は、ユーザーが視認できる位置に配置されている。

40

【 0 0 2 3 】

表示画素 P は、ここでは図示しないが、供給される電流に応じて発光する有機 E L 素子、電圧信号 (ソース信号線 S L の電圧) の大きさに応じた駆動電流を有機 E L 素子に供給する駆動トランジスタ、表示画素 P の選択および非選択を切り替えるスイッチング素子、および、電圧信号が書き込まれるコンデンサ等を備えている。

【 0 0 2 4 】

後述する図 5 に例示するように、比較例における E L 表示装置の画素は、トランジスタ、コンデンサ、E L 素子などで構成されている。駆動トランジスタ T 5 およびスイッチング素子を含むトランジスタは、薄膜トランジスタ (T F T) として説明するが、これに限

50

定するものではない。FET、MOS-FET、MOSトランジスタ、バイポーラトランジスタでもよい。これらも基本的に薄膜トランジスタである。その他、バリスタ、サイリスタ、リングダイオード、ホトダオード、ホトトランジスタ、PLEZT素子などでもよいことは言うまでもない。

【0025】

また、薄膜素子に限定するものではなく、シリコンウエハに形成したトランジスタでもよい。たとえば、シリコンウエハでトランジスタを構成し、剥がしてガラス基板に転写したものが例示される。また、シリコンウエハでトランジスタチップを形成し、ガラス基板にボンディング実装した表示パネルが例示される。

【0026】

なお、トランジスタは、n型、p型のトランジスタとも、LDD(Lightly Doped Drain)構造を採用することが好ましい。

【0027】

また、トランジスタは、高温ポリシリコン(HTPS: High-temperature polycrystalline silicon)、低温ポリシリコン(LTPS: Low-temperature poly silicon)、連続粒界シリコン(CGS: Continuous grain silicon)、透明アモルファス酸化物半導体(TAOS: Transparent Amorphous Oxide Semiconductors)、アモルファスシリコン(AS: amorphous silicon)、赤外線(RTA: rapid thermal annealing)で形成したもののうち、いずれでもよい。

【0028】

図5では、画素を構成する全てのトランジスタはp型で構成している。しかし、画素のトランジスタをp型で構成することのみに限定するものではない。n型のみで構成してもよい。また、n型とp型の両方を用いて構成してもよい。

【0029】

スイッチング素子T1は、トランジスタに限定するものではなく、たとえば、p型のトランジスタとn型のトランジスタの両方を用いて構成したアナログスイッチであってもよい。

【0030】

トランジスタはトップゲート構造にすることが好ましい。トップゲート構造にすることにより寄生容量が低減し、トップゲートのゲート電極パターンが、遮光層となり、EL素子から出射された光を遮光層で遮断し、トランジスタの誤動作、オフリーク電流を低減できるからである。

【0031】

ゲート信号線またはソース信号線、もしくはゲート信号線とソース信号線の両方の配線材料として、銅配線または銅合金配線を採用できるプロセスを実施することが好ましい。信号線の配線抵抗を低減でき、より大型のEL表示パネルを実現できるからである。

【0032】

ゲートドライバIC(回路)が駆動(制御)するゲート信号線は、低インピーダンス化すること好ましい。したがって、前記ゲート信号線の構成あるいは構造に関しても同様である。

【0033】

特に、低温ポリシリコン(LTPS: Low-temperature poly silicon)を採用することが好ましい。低温ポリシリコンは、トランジスタはトップゲート構造であり寄生容量が小さく、n型およびp型のトランジスタを作製でき、また、プロセスに銅配線または銅合金配線プロセスを用いることができる。なお、銅配線は、Ti-Cu-Tiの3層構造を採用することが好ましい。

【0034】

ゲート信号線またはソース信号線などの配線は、トランジスタが透明アモルファス酸化

10

20

30

40

50

物半導体 (T A O S : T r a n s p a r e n t A m o r p h o u s O x i d e S e m i c o n d u c t o r s) の場合には、モリブデン (M o) - C u - M o の 3 層構造を採用することが好ましい。

【 0 0 3 5 】

なお、コンデンサは、ソース信号線またはゲート信号線の少なくとも一方にオーバーラップするように (重なるように) 形成または配置する。この場合、レイアウトの自由度が向上し、素子間のスペースをより広く確保することが可能になり、歩留まりが向上する。

【 0 0 3 6 】

ソース信号線、ゲート信号線に絶縁膜あるいはアクリル材料からなる絶縁膜 (平坦化膜) を形成して絶縁し、絶縁膜上に画素電極を形成する。

10

【 0 0 3 7 】

表示画素 P は、R (赤) G (緑) B (青) の 3 原色のいずれか 1 つに対応している。R G B の 3 つの表示画素 P のセットで、1 つの画素が構成されている。同じ画素を構成する複数の表示画素 P は、それぞれ隣接して配置されている。

【 0 0 3 8 】

ソースドライバ I C 2 0 は、ここでは、フレキシブルケーブルにソース信号線駆動回路 2 1 を搭載した C O F (C h i p o n F i l m , C h i p o n F l e x i b l e) で構成されている。

【 0 0 3 9 】

ソース信号線駆動回路 2 1 は、T C O N 6 0 からの電圧信号に応じた電圧をソース信号線 S L に印加する。

20

【 0 0 4 0 】

ゲートドライバ I C 4 0 は、ここでは、フレキシブルケーブルにゲート信号線駆動回路 4 1 を搭載した C O F で構成されている。ゲート信号線駆動回路 4 1 は、ゲート信号線 G L のそれぞれに対し、T C O N 6 0 からの走査信号に応じて、接続されたスイッチング素子を O N 状態または O F F 状態にするための電圧を印加する。

【 0 0 4 1 】

[比較例におけるソース信号線の負荷容量と発熱量との関係]

図 2 は、有機 E L パネル 1 0 の負荷容量の一例を示す図である。図 3 は、比較例における充放電時の電力の一例を示す表である。

30

【 0 0 4 2 】

図 3 に示すように、充放電能力は、 $C V^2 F$ で決まる。C はソース信号線の負荷容量である。V は出力電圧の電圧差 (電位差) である。画素に印加する印加電圧は E L 素子の発光輝度に対応する。したがって、電圧差 V は、前回の書き込み対象の画素への印加電圧と現在の書き込み対象の画素の印加電圧との電圧差に対応する。F は画素行の選択周波数である。たとえば、フレーム周波数が 1 2 0 H z 、画素行数が 2 1 6 0 行であれば、 $F = 1 2 0 \times 2 1 6 0 = \text{約 } 2 6 0 \text{ k H z}$ である。上述したように、高精細な表示パネルを用いた有機 E L ディスプレイほど、ソース信号線の負荷容量 C が大きくなり、且つ、書き込み速度 (F に対応) が高速になる傾向がある。また、充放電能力は、電圧差 V の二乗に比例するため、電圧差 V の影響が大きい。

40

【 0 0 4 3 】

図 2 および図 3 より、一般的なソースドライバ I C 2 0 に必要とされる出力電力は、2 . 2 2 W である。8 K 4 K パネルでは、4 K 2 K パネルに比較して、画素行数が 2 倍となるため、フレームレートが同一であれば、ソースドライバ I C 2 0 に必要とされる駆動能力は、通常のソースドライバ I C 2 0 の 2 倍になるため、約 4 . 5 W になる。ただし、8 K 4 K パネルでは、ソース信号線数も 4 K 2 K パネルの 2 倍となり、必要とするソースドライバ I C 数も 2 倍となるため、総ソースドライバ I C の電力は、さらに 2 倍の 4 倍となる。

【 0 0 4 4 】

図 4 は、画像の各行の輝度値とソースドライバ I C 2 0 の出力電圧との関係を示す図で

50

ある。図4の左側は、パネルの表示画像を模式的に図示している。図4では、1画素行に属する全ての画素が白色の白色画素行と1画素行に属する全ての画素が黒色の黒色画素行とが交互に並ぶ白黒横ストライプ画像を示している。図4の右側は、ソース信号線の出力電圧を示す。Sminは、最小階調電圧(黒)を示し、Smaxは最大階調電圧(白)を示す。図4の図面右側に示すグラフにおいて、横軸はソースドライバICの出力電圧を示す軸であり、縦軸は時間(下方向が+)を示す。したがって、縦軸は書き込みの順序を示す軸である。表示画像が白黒横ストライプ画像のため、ソースドライバICが出力する電圧は、1画素行毎にSmaxに対応する電圧とSminに対応する電圧との間で変化する。

【0045】

図4に示すように、輝度値が最大となる白色の画素で構成される画素行と、輝度値が最小となる黒色の画素で構成される画素行とが交互に配置されている場合、ソースドライバIC20の出力電圧は、最大となる。

【0046】

図4に図示するように、1画素行毎に最大電圧と最小電圧との間で変化するため、電位差Vは最大となる。したがって、ソースドライバICの1端子あたりの電力は最大となる。

【0047】

ソースドライバIC20の出力電圧が大きくなると、ソースドライバICの発熱量が増大する。発熱量が大きいと、ソースドライバIC20が熱破壊されて、正常な動作が行えなくなる可能性があるため、ソースドライバICを冷却するための放熱機構が必要になる。放熱機構を備えた場合、有機ELディスプレイの放熱の要する部品点数が増大するため、パネルの薄型化が困難になるという問題が発生する。

【0048】

このような問題を解決するために、本開示の一態様に係る表示装置は、行毎に配置された複数のゲート信号線と、列毎に配置された複数のソース信号線と、前記複数のゲート信号線と前記複数のソース信号線との交差点のそれぞれに配置された複数の表示画素とを有する表示部と、前記複数のゲート信号線を指定された順序で選択可能なゲートドライバと、前記複数のソース信号線のそれぞれに電圧信号を出力するソースドライバと、前記複数の表示画素、前記ゲートドライバおよび前記ソースドライバの制御を行う制御部とを備え、前記複数の表示画素のそれぞれは、駆動電流に応じて発光する発光素子と、前記電圧信号が書き込まれる書き込み用コンデンサと、前記書き込み用コンデンサの電荷を受け付け可能な表示用コンデンサと、前記表示用コンデンサに保持された電荷の大きさに応じた前記駆動電流を前記発光素子に供給する駆動トランジスタとを有し、前記書き込み用コンデンサに対する電圧信号の書き込みと、前記表示用コンデンサに保持された電荷に応じた前記発光素子の発光とを独立して実行できるように構成され、前記制御部は、前記表示部における行単位での書き込みの順序を、前記書き込みの順序が連続する2つの行の間の電圧信号の差が小さくなるように並び替える並び替え処理を実行し、前記制御部は、前記ゲートドライバに対し、前記制御部による並び替え処理後の前記書き込みの順序で前記複数のゲート信号線を選択を行わせるように、前記書き込みの順序を指定する。

【0049】

上述したように、充放電能力は、 CV^2F で決まるが、ソース信号線の負荷容量Cおよび周波数Fは、有機ELパネルの仕様である程度決まる。上記構成の表示装置では、表示する行を並べ替えて電圧差(V)を抑えるので、ソースドライバ(なお、適宜「ソースドライバIC」と称する)に要求される充放電能力を小さく抑えることが可能になる。

【0050】

なお、本開示の形態においてソースドライバICとして説明するが、半導体チップからなるソースドライバICに限定するものではない。たとえば、シリコンウエハでトランジスタを構成し、剥がしてガラス基板に転写したものが例示される。また、シリコンウエハでトランジスタチップを形成し、ガラス基板のボンディング実装した表示パネルが例示される。また、低温ポリシリコン、高温ポリシリコン、TAOS技術などを用い、画素が形

10

20

30

40

50

成されたガラス基板に直接にソースドライバ回路を形成したものであってもよい。

【0051】

また、上記構成の表示装置では、表示画素が、書き込み用コンデンサと表示用コンデンサとを備え、電圧信号の書き込みと、発光素子の発光とを独立して行えるため、複数の表示画素の発光を同じタイミングで行うことが可能になる。ここで、電圧信号の書き込みと発光素子の発光とを独立して行えない場合は、前回の電圧信号により発光される行と現在の電圧信号により発光される行とが混在表示され、映像品質が低下する可能性がある。これに対し、上記構成の表示装置では、前回の電圧信号により発光される行と現在の電圧信号により発光される行とが混在表示されるのを防止できるので、映像品質の低下を防止することが可能になる。

10

【0052】

例えば、前記制御部は、前記並び替え処理において、前記複数の表示画素の各行の明るさを示す指標値を算出し、前記指標値を用いて前記書き込みの順序の並び替えを行っても良い。例えば、前記制御部は、前記指標値として、前記複数の表示画素それぞれについて前記電圧信号の2乗を求め、当該電圧信号の2乗を行毎に合計した合計値を求めても良い。例えば、前記制御部は、前記並び替え処理において、前記指標値を降順にまたは昇順に並べ替え、並び替えた順序に前記書き込みの順序を設定しても良い。例えば、前記制御部は、前記並び替え処理において、現在の前記並び替え処理における前記指標値の最小値と最大値とを求め、前回の前記並び替え処理における前記書き込みの順序が最後の行の指標値である最終指標値と、前記最小値および前記最大値とを比較し、前記最終指標値と前記最小値との差が前記最終指標値と前記最大値との差よりも小さい場合は、前記指標値を昇順に並び替え、前記最終指標値と前記最大値との差が前記最終指標値と前記最小値との差よりも小さい場合は、前記指標値を降順に並び替えても良い。例えば、前記制御部は、前記並び替え処理において、前記書き込みの順序が設定されていない行を検索対象行とし、最後に検索された前記指標値との差が閾値以下となる前記指標値を有することを検索条件として、前記検索対象行を一方向に順次検索し、検索された順に前記書き込みの順序を設定する第一検索処理を実行しても良い。例えば、前記制御部は、前記第一検索処理の実行後に、さらに、前記書き込みの順序が設定されていない行を検索対象行とし、最後に検索された前記指標値よりも大きいまたは小さい前記指標値を有する検索対象行を前記一方向に検索し、検索された順に前記書き込みの順序を設定する第二検索処理とを実行しても良い。

20

30

【0053】

上記構成は、何れも、並び替えの順序を規定している。何れの並び替え方法であっても、書き込みの順序が連続する2つの行の間において、電圧信号（映像電圧信号）の差を小さくすることができる。これにより、ソースドライバICの出力電力を低減し、ソースドライバICが熱破壊されるのを効果的に防止することが可能になる。また、ソースドライバからの発熱が、表示画面に伝熱されることを抑制でき、表示画面のEL素子の劣化を防止できる。

【0054】

なお、本開示において、ソースドライバから出力する信号は、電圧信号としたが（電圧プログラム方式）、これに限定するものではない。たとえば、電流信号であってもよい（電流プログラム方式）。電流であっても、映像信号の振幅として表現され、電流差を電圧差としてとらえることができる。電流差Iを電圧差Vに変換することにより、 CV^2F を用いて発熱を計算することができる。

40

【0055】

例えば、前記複数の表示画素のそれぞれは、さらに、前記複数の表示画素それぞれの選択および非選択を切り替える第一スイッチ回路と、前記書き込み用コンデンサと前記表示用コンデンサとの接続および非接続を切り替える第二スイッチ回路と、前記駆動トランジスタと前記発光素子との接続および非接続を切り替える第三スイッチ回路とを備えても良いし、前記ゲートドライバは、前記電圧信号を書き込む書き込み処理時に、前記第二スイ

50

ッチ回路を非接続にして前記書き込み用コンデンサと前記表示用コンデンサとを独立させ、前記第一スイッチ回路を選択に設定して前記書き込み用コンデンサに前記電圧信号を書き込み、前記第三スイッチ回路を接続に設定して前記発光素子を発光させ、前記電圧信号を前記書き込み用コンデンサから前記表示用コンデンサに複写する複写処理時に、前記第一スイッチ回路を非選択に設定し、前記第三スイッチ回路を非接続に設定して前記発光素子の発光を停止させ、前記第二スイッチ回路を接続に設定して前記書き込み用コンデンサに書き込まれた前記電圧信号を前記表示用コンデンサに書き込むように構成しても良い。

【0056】

このような問題を解決するために、本開示の一態様に係る表示方法は、行毎に配置された複数のゲート信号線と、列毎に配置された複数のソース信号線と、前記複数のゲート信号線と前記複数のソース信号線との交差点のそれぞれに配置された複数の表示画素とを有する表示部と、前記複数のゲート信号線を指定された順序で選択可能なゲートドライバと、前記複数のソース信号線のそれぞれに電圧信号を出力するソースドライバと、前記複数の表示画素、前記ゲートドライバおよび前記ソースドライバの制御を行う制御部とを備え、前記複数の表示画素のそれぞれが、駆動電流に応じて発光する発光素子と、前記電圧信号が書き込まれる書き込み用コンデンサと、前記書き込み用コンデンサの電荷を受け付け可能な表示用コンデンサと、前記表示用コンデンサに保持された電荷の大きさに応じた前記駆動電流を前記発光素子に供給する駆動トランジスタとを有し、前記書き込み用コンデンサに対する電圧信号の書き込みと、前記表示用コンデンサに保持された電荷に応じた前記発光素子の発光とを独立して実行できるように構成された表示装置に実行させる表示方法であって、前記制御部は、前記表示部における行単位での書き込みの順序を、前記書き込みの順序が連続する2つの行の間の電圧信号の差が小さくなるように並び替えるステップと、前記ゲートドライバに対し、並び替えた後の前記書き込みの順序で前記複数のゲート信号線を選択を行わせるように、前記書き込みの順序を指定するステップと、前記ゲートドライバによるゲート信号線を選択時に、前記表示用コンデンサと前記書き込み用コンデンサとが電氣的に接続されないように前記表示画素を制御するステップと、前記ゲートドライバにより前記複数のゲート信号線が選択されていない時に、前記表示用コンデンサと前記書き込み用コンデンサとが電氣的に接続されるように前記表示画素を制御するステップとを実行する。

【0057】

上記構成は、電圧信号の書き込みと発光素子の発光とを独立して行うための具体的な態様を規定している。第二スイッチ回路により、書き込み用コンデンサと表示用コンデンサとを非接続にする場合は、独立して電圧信号の書き込みと発光素子の発光とを行える。また、第二スイッチ回路により、書き込み用コンデンサと表示用コンデンサとを接続すれば、書き込み用コンデンサの電圧信号を表示用コンデンサにコピーすることができる。

【0058】

なお、これらの包括的または具体的な態様は、システム、方法、集積回路、コンピュータプログラムまたはコンピュータ読み取り可能なCD-ROMなどの記録媒体で実現されてもよく、システム、方法、集積回路、コンピュータプログラムまたは記録媒体の任意な組み合わせで実現されても良い。

【0059】

以下、実施の形態について、図面を参照しながら具体的に説明する。なお、以下で説明する実施の形態は、いずれも包括的または具体的な例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置位置及び接続形態、ステップ、ステップの順序などは、一例であり、本開示を限定する主旨ではない。また、以下の実施の形態における構成要素のうち、最上位概念を示す独立請求項に記載されていない構成要素については、任意の構成要素として説明される。

【0060】

また、各図面は理解を容易にするために、また、作図を容易にするために、省略、拡大あるいは縮小した箇所がある。また、同一番号または、記号等を付した箇所は、同一もし

10

20

30

40

50

くは類似の形態もしくは材料あるいは機能もしくは動作、あるいは関連する事項、作用などを有している。

【0061】

（実施の形態）

実施の形態の表示装置について、図5～図15Bを基に説明する。

【0062】

本実施の形態の表示装置は、ソースドライバICの出力電力が小さくなるように、ゲート信号線の選択順序を並び替える。さらに、ゲート信号線の選択順序に伴う映像品質の低下を防止するために、表示画素に、書き込み処理と表示処理とを切り離して実行できる構成を採用している。

10

【0063】

本実施の形態では、表示装置は、有機ELディスプレイである。

【0064】

[1-1. 有機ELディスプレイの構成]

本実施の形態における有機ELディスプレイの構成について、図1B、図5～図6を基に説明する。

【0065】

本実施の形態の有機ELディスプレイは、基本的な構成は、図1Bに示す有機ELディスプレイ100と同じであり、有機ELパネル10、ソースドライバIC20、PCB30、ゲートドライバIC40、PCB50、および、TCO60を備えている。

20

【0066】

有機ELパネル10は、行毎に配置された複数のゲート信号線GLと、列毎に配置された複数のソース信号線SLと、ゲート信号線GLとソース信号線SLとの交差点のそれぞれに行列状に配置された複数の表示画素Pを備える表示領域11（表示部に相当）と、表示領域11とPCB30とを繋ぐ配線（ゲート信号線GLおよびソース信号線SL）が形成されたガラス基板12とを備えている。

【0067】

表示領域11は、映像を表示するための領域であり、複数の表示画素Pは、ユーザーが視認できる位置に配置されている。

【0068】

30

[1-1-1. 表示画素の構成]

表示画素Pは、R（赤）G（緑）B（青）の3原色のいずれか1つに対応している。RGBの3つの表示画素Pのセットで、1つの画素が構成されている。同じ画素を構成する複数の表示画素Pは、それぞれ隣接して配置されている。

【0069】

また、本実施の形態の表示画素Pは、電圧信号の書き込みと、有機EL素子の発光とを独立して行うことができる構成となっている。このように構成することにより、1枚のフレームにおいて、ゲート信号線の選択順番がばらばらな状態であっても、表示の切り替えは全ての表示画素Pにおいて同時に行うことが可能になる。このため、本実施の形態の有機ELディスプレイでは、2つのフレームが混在して表示されることがなく、映像品質の低下を防止することが可能になる。

40

【0070】

図5は、本実施の形態における表示画素P1（P）の構成の一例を示す回路図である。図5に示すように、表示画素P1は、スイッチング素子T1～T4、コンデンサCcおよびCs、駆動トランジスタT5および有機EL素子（発光素子）OEL1を備えている。

【0071】

スイッチング素子T1は、表示画素P1の選択および非選択を切り替える第一スイッチ回路の一例であり、Pチャネル型MOSトランジスタで構成されている。スイッチング素子T1は、ゲート信号線GL1に印加される選択信号に応じて、ソース信号線SLとノードN1との間の導通および非導通を切り替える。

50

【 0 0 7 2 】

スイッチング素子 T 2 ~ T 4 は、Pチャネル型 M O S トランジスタである。スイッチング素子 T 2 ~ T 4 により、コンデンサ C c に対し電圧信号の書き込みを行う書き込み動作、コンデンサ C s をリセットするリセット動作、コンデンサ C s にコンデンサ C c に書き込まれた電圧信号をコピーするコピー動作、および、有機 E L 素子 O E L 1 の発光を行う発光動作を行わせることができる。詳細については後述する。

【 0 0 7 3 】

スイッチング素子 T 2 は、コンデンサ C c とコンデンサ C s との接続および非接続を切り替える第二スイッチ回路の一例であり、ゲート信号線 G L 2 に印加される信号に応じて、ノード N 1 とノード N 2 との間の導通および非導通を切り替える。

10

【 0 0 7 4 】

スイッチング素子 T 3 は、ゲート信号線 G L 3 に印加される信号に応じて、ノード N 2 に電圧 V r e f 1 を入力するか否かを切り替える。電圧 V r e f 1 は、コンデンサ C s を初期化するための電圧である。

【 0 0 7 5 】

スイッチング素子 T 4 は、駆動トランジスタ T 5 と有機 E L 素子 O E L 1 との接続および非接続を切り替える第三スイッチ回路の一例であり、ゲート信号線 G L 4 に印加される信号に応じて、駆動トランジスタ T 5 による有機 E L 素子 O E L 1 への駆動電流の供給と非供給とを切り替える。

【 0 0 7 6 】

20

駆動トランジスタ T 5 は、Pチャネル型 M O S トランジスタであり、コンデンサ C s に書き込まれた電圧信号の大きさに応じた駆動電流を有機 E L 素子 O E L 1 に供給する。駆動トランジスタ T 5 は、ゲート端子がノード N 2 に、ドレイン端子が有機 E L 素子 O E L 1 のアノード電極にそれぞれ接続され、ソース端子にアノード電圧 V T F T が入力されている。

【 0 0 7 7 】

有機 E L 素子 O E L 1 は、駆動トランジスタ T 5 から供給される駆動電流に応じて発光する素子である。有機 E L 素子 O E L 1 は、カソード電極にカソード電圧 V E L が入力され、アノード電極がスイッチング素子 T 4 に接続されている。

【 0 0 7 8 】

30

コンデンサ C c は、ソースドライバ I C 2 0 により電圧信号が書き込まれる書き込み用コンデンサの一例であり、一端がノード N 1 に接続され、他端にリファレンス電圧 V r e f 1 が入力されている。

【 0 0 7 9 】

コンデンサ C s は、コンデンサ C c の電圧信号がコピーされる（コンデンサ C c の電荷を受け付ける）表示用コンデンサの一例であり、一端がノード N 2 に接続され、他端に電圧 V T F T が入力されている。

【 0 0 8 0 】

表示画素 P 1 は、上述した構成とすることにより、電圧信号の書き込みと、有機 E L 素子の発光とを独立して行うことができる。詳細な動作については後述する。

40

【 0 0 8 1 】

[1 - 1 - 2 . ソースドライバ I C の構成]

ソースドライバ I C 2 0 は、ここでは、フレキシブルケーブルにソース信号線駆動回路 2 1 を搭載した C O F で構成されている。ソース信号線駆動回路 2 1 は、T C O N 6 0 からのデータ信号に基づき、ソース信号線 S L のそれぞれに、ソース信号線 S L に接続された表示画素 P 1 の画素値に対応する電圧値の電圧信号を印加する。P C B 3 0 は、ソースドライバ I C 2 0 と T C O N 6 0 とを接続するプリント基板である。

【 0 0 8 2 】

[1 - 1 - 3 . ゲートドライバ I C の構成]

ゲートドライバ I C 4 0 は、ここでは、フレキシブルケーブルにゲート信号線駆動回路

50

41を搭載したCOFで構成されている。ゲート信号線駆動回路41は、TCON60により選択されたゲート信号線GLに対し、当該ゲート信号線GLに接続された表示画素P1のスイッチング素子(トランジスタ)をON状態にする電圧値の選択信号を印加する。また、ゲート信号線駆動回路41は、TCON60により選択されなかった(非選択の)ゲート信号線GLのそれぞれに対し、当該ゲート信号線GLに接続された表示画素P1のスイッチング素子をOFF状態にする電圧値の非選択信号を印加する。

【0083】

なお、本実施の形態のゲートドライバIC40は、選択信号を印加するゲート信号線を任意の順番で指定できるように構成されている。

【0084】

図6は、ゲートドライバIC40に搭載されたゲート信号線駆動回路41の構成の一例を示すブロック図である。ゲート信号線駆動回路41は、図6に示すように、4つのシフトレジスタ221~224を備えている。シフトレジスタ22i(i=1~4)には、選択されたゲート信号線GLを示す信号Selj(i=1のときj=A、同様に、i=2~4のときj=B~D)、トランジスタをON状態にする電圧Vonj、トランジスタをOFF状態にする電圧Voffj、Vovd、信号の方向を制御するDIR、イネーブル信号ENABLEi、クロック信号CLKiが入力されている。シフトレジスタ22iは、180本のゲート信号線GLのうち、Seljによって指定されたゲート信号線GLに電圧Vonjを印加し、その他のゲート信号線GLに電圧Voffjを印加する。

【0085】

PCB50は、ゲートドライバIC40とTCON60とを接続するプリント基板である。

【0086】

[1-1-4.TCON(タイミングコントローラ)の構成]

TCON60は、表示領域11における映像の表示を制御する制御部の一例である。

【0087】

図25Aは、駆動トランジスタT5のゲート端子に印加するゲート端子印加電圧(=映像信号電圧Vsig)と駆動トランジスタT5に流れる電流Idの関係図である。駆動トランジスタT5のV-Idカーブは、Vtを0点として、略2乗カーブとなる。

【0088】

図25Bは、EL素子に流れる電流IdとEL素子の発光輝度Bの関係を図示したものである。EL素子に流れる電流IeとEL素子の発光輝度Bとは、比例の関係となる。

【0089】

図25Aのゲート端子印加電圧Vは、ソースドライバICの映像信号電圧Vsigであり、トランジスタ電流IdはEL素子に流れる電流Ieとなる。したがって、Vt以上の電圧範囲で、映像信号電圧VsigとEL素子の発光輝度Bとは、略2乗カーブとなる。

【0090】

なお、理解を容易にするために、輝度あるいは電圧差として表現するが、輝度あるいは電圧差は、電圧あるいは電位差に対応する。したがって、輝度は電圧に置き換えることができる。また、輝度あるいは電圧は、電力に変換することができる。

【0091】

ソースドライバから出力される信号は電圧であり、電圧が画素に書き込まれ、駆動トランジスタT5で電流に変換され、この電流が有機EL素子OEL1に流れてEL素子が発光して輝度となる。ソースドライバから出力される電圧は、一定の変換係数あるいは変換式もしくは変換テーブルなどの手段で変換されて輝度となる。また、電位差(電圧差)は一定の変換係数あるいは変換式もしくは変換テーブルなどの手段で変換されて電圧差となる。たとえば、電圧差算出部61は、電圧差の演算手段と置き換えることができる。

【0092】

なお、変換係数等は、R、G、Bのそれぞれの画素のEL素子の効率を考慮して設定してもよいことは言うまでもない。以上の事項は、本明細書の他の実施例にも適用できるこ

10

20

30

40

50

とは言うまでもない。また、他の実施例と組み合わせることができることも言うまでもない。

【0093】

TCON60は、上述した表示画素P1の各動作の制御、および、1フレームにおける書き込みの順序の決定を行う。

【0094】

図7は、TCON60の機能的な構成の一例を示すブロック図である。なお、図7では、本実施の形態を説明するのに必要な構成のみを記載し、その他の構成については省略している。TCON60は、図7に示すように、電圧差算出部61、並び替え部62、ゲート側制御部63、および、ソース側制御部64を備えている。

10

【0095】

各部の詳細な動作については、後述する。

【0096】

なお、TCON60は、本実施の形態では、専用のLSI(Large Scale Integration:大規模集積回路)により構成されている場合を例に説明するが、これに限るものではない。TCON60は、例えば、マイクロプロセッサ(MPU)、ROM、RAMなどから構成されるコンピュータシステムで構成されていても構わない。この場合は、マイクロプロセッサが、上述した各動作を実行させるためのコンピュータプログラムに従って動作することにより、上述した各動作を実現できる。

【0097】

[1-2.有機ELディスプレイの動作]

有機ELディスプレイ100の動作について、図8~図15Bを用いて説明する。

20

【0098】

上述したように、有機ELディスプレイ100では、TCON60により、1フレームにおける書き込みの順序の決定、および、表示画素P1の各動作の制御が行われる。

【0099】

[1-2-1.書き込みの順序の決定]

TCON60の書き込みの順序の決定について、図8~図11を基に説明する。

【0100】

図8は、TCON60の動作を説明するフローチャートである。図9は、フレームの一例を示す図である。

30

【0101】

TCON60は、ソースドライバICの出力電力を小さくするため、書き込みの順序が連続する2つの行の間の電圧信号の差(以下、適宜「電圧差」と略称する)が小さくなるように、書き込みの順序を並び替える。上述したように、ソースドライバIC20の出力電力Pは、 CV^2F で規定される。つまり、ソースドライバIC20の出力電力Pは、Vに対応する電圧信号の差の2乗に応じて決まる。電圧信号の差が小さくなるように書き込みの順序を並び替えることで、ソースドライバIC20の出力電力Pを小さくすることができる。

【0102】

40

具体的には、まず、本実施の形態では、電圧差算出部61(図7)は、行単位で書き込みの順序を設定するための指標値を算出する(S11)。指標値は、各行の電圧を示している。ここでは、指標値として、電圧信号の二乗の合計値($=\sum_{k=1}^m(Luma(k))^2$ 、kは整数、mは1行に含まれる画素の数、Luma(k)はk列の表示画素P1に対応する電圧信号が示す電圧値)を算出する。これを全ての画素行について求める。

【0103】

図9では、説明のため、11行分の指標値を例示している。ここでは、この11行について並び替えを行う場合を例に説明する。図9では、指標値は、23、17、1、5、19、2、15、29、7、18、2となっている。書き込み順1は、並び替え前の書き込みの順番であり、1行目から順に順番が割り当てられている。

50

【 0 1 0 4 】

並び替え部 6 2 は、本実施の形態では、指標値を昇順に並び替え、並び替えた順に書き込み順序を設定している (S 1 2)。図 9 では、書き込み順 2 は、並び替え後の書き込みの順序を示している。書き込み順 2 では、3 行目、6 行目、1 1 行目、4 行目、9 行目、7 行目、2 行目、1 0 行目、5 行目、1 行目、8 行目の順になっている。

【 0 1 0 5 】

図 1 0 A は、書き込みの順序の並び替え前における各画素行の指標値を示すグラフである。

【 0 1 0 6 】

ただし、図 1 0 A では、理解を容易にするため、各画素行の指標値 (電圧振幅差に相当する値) を 1 指標値として縦軸値に表現している。

10

【 0 1 0 7 】

横軸は書き込みの順序を示す軸である。1 画面が、2 1 6 0 画素行で構成される場合は、1 ~ 2 1 6 0 となる。図 1 0 A では、図示を容易にするため、また、理解を容易にするため、画素行数を 1 1 画素行とし、1 ~ 1 1 番目までを表現している。

【 0 1 0 8 】

図 1 0 B は、書き込みの順序の並び替え後における各画素行の指標値を示すグラフである。図 1 0 A および図 1 0 B において、縦軸は指標値を示す軸であり、横軸は書き込みの順序を示す軸である。但し、横軸に付した数値は、棒グラフが何番目の画素行に対応するかを示す値である。

20

【 0 1 0 9 】

図 1 0 B のグラフでは、図 1 0 A のグラフと比較して、書き込みの順序が連続する 2 つの画素行間で、指標値の差が小さくなっている。指標値の差が小さいとは、ソースドライバ IC 2 0 の出力電力が小さくなることを意味する。上述したように、ソースドライバ IC 2 0 の出力電力は、 $C V^2 F$ で規定され、出力電圧の差 V の二乗に比例する。書き込みの順序を並び替えることにより、図 1 0 B に示すように、出力電圧の差 V を小さくすることができ、ソースドライバ IC 2 0 の出力電圧を低減することが可能になる。

【 0 1 1 0 】

図 1 1 は、図 4 に示すフレームの書き込みの順序を本実施の形態の方法で並び替えた場合におけるソースドライバ IC 2 0 の出力電圧を示す図である。図 1 1 の本開示の形態における実施例では、まず、最大電圧 S_{max} の画素行を順次選択して、各画素行に電圧を印加し、次に、最小電圧 S_{min} の画素行を順次選択して、各画素行に電圧を印加する。したがって、各画素行に印加する順番は、図 1 1 のようになる。表示パネルの表示画面の表示は、図 4 となる。

30

【 0 1 1 1 】

図 1 1 では、図 4 に比べ、出力電圧の電圧差が生じるのは、7 番目の画素行と 8 番目の画素行の間だけであり、ソースドライバ IC 2 0 に必要とされる駆動能力を飛躍的に下げることができ、発熱量も低減させることができることが分かる。

【 0 1 1 2 】

なお、図 1 0 B では、書き込みの順序を、指標値を昇順に (小さい方から順に) 並び替える場合を例示したが、指標値を降順に (大きい方から順に) 並び替えても構わない。

40

【 0 1 1 3 】

図 1 0 C は、書き込みの順序の並び替え後における各画素行の指標値を示すグラフである。図 1 0 C において、縦軸は指標値を示す軸であり、横軸は書き込みの順序を示す軸である。但し、横軸に付した数値は、棒グラフが何番目の画素行に対応するかを示す値である。図 1 0 C の場合においても、図 1 0 B と同様に、出力電圧の差 V を小さくすることができ、ソースドライバ IC 2 0 の出力電圧を低減することが可能になる。

【 0 1 1 4 】

映像信号電圧は、TC ON などに内蔵するフレームメモリにメモリされる。フレームメモリにメモリされたデータを用いて、画素行の電圧値を求める。

50

【 0 1 1 5 】

簡易的には、各画素に印加される映像信号の電圧値を、各画素行で総和し、総和した値で、選択する画素行の選択順番を求める。画素行は、ゲートドライバICで選択する。たとえば、図9の右端の表において、23、17、1、5、19・・・18、2が各画素行の電圧の総和の場合、3、6、11、4、7、・・・、1、8画素行目を順次選択し、各画素行の画素にソースドライバから映像信号電圧を印加する。

【 0 1 1 6 】

図23に図示するように、各ソース信号線に接続された画素間ごとの電圧差（映像信号電圧差）を求める必要がある。画素間ごとの電圧差を画素行で総和し、求めた総和の大小関係性を求め、選択する画素行の順番を求める。なお、第1の画素行と第2の画素行における画素の電圧差は、画素行数がn画素行存在すれば、n-1の組み合わせがある。組み合わせ演算は、メモリに格納されたデータを用いて演算処理すれば求めることができる。

10

【 0 1 1 7 】

ソースドライバの電力を低減させるには、書き込む画素行の順番を入れ替えることで実現できる。各ソース信号線に接続された画素間ごとの電圧差（映像信号電圧差）を求めることが最も高精度の実現手段である。しかし、演算数量が大きい。書き込む画素行を選択するには、各画素行の代表値（たとえば、奇数画素列、偶数列画素列、16の倍数の画素列など）を比較し、画素行の各指標値（演算値）差が最小に画素行の順番を求めることにより演算数量を削減できる。

【 0 1 1 8 】

以上の事項は、本明細書の他の実施例にも適用できることは言うまでもない。また、他の実施例と組み合わせることができることも言うまでもない。

20

【 0 1 1 9 】

[1 - 2 - 2 . 表示画素の動作]

表示画素P1の動作について、図12A～図15Bを基に説明する。

【 0 1 2 0 】

表示画素P1は、上述した構成とすることにより、映像信号電圧Vsig（電圧信号）の書き込み処理と、有機EL素子の発光処理とを独立して行うことができる。具体的には、本実施の形態の表示画素P1では、書き込み処理、リセット処理、コピー処理（複写処理）、および、発光処理が実行される。

30

【 0 1 2 1 】

図12A～図12Dは、表示画素P1の4つの処理を説明する図である。各処理は、TCON60が有機ELディスプレイ100を構成する各回路を制御することにより実行される。

【 0 1 2 2 】

図12B、図12Cは、1フレームのブランキング期間において、表示画面の全画素に対して同時に実施される。図12Aは、1フレームのブランキング期間以外の時間に、画面の上部から下部に1画素行ずつ順次映像信号電圧がコンデンサCcに印加される。図12Dは、1フレームのブランキング期間以外の時間に実施される。

【 0 1 2 3 】

書き込み処理では、コンデンサCsの現在の電圧信号に応じて有機EL素子OEL1を発光させながら、コンデンサCcに対し電圧信号の書き込みが行われる。

40

【 0 1 2 4 】

図12Aは、書き込み処理におけるスイッチング素子T1～T4の状態を示す図である。図12Aに示すように、書き込み処理では、スイッチング素子T1およびT4がON状態、スイッチング素子T2およびT3がOFF状態となっている。このように各トランジスタの状態を設定することで、有機EL素子OEL1を現在の電圧信号に応じて発光させながら、コンデンサCcに次の電圧信号を書き込むことができる。

【 0 1 2 5 】

リセット処理では、有機EL素子OEL1の発光を停止した状態で、コンデンサCsの

50

リセットが行われる。

【0126】

図12Bは、リセット処理におけるスイッチング素子T1～T4の状態を示す図である。図12Bに示すように、リセット処理では、スイッチング素子T3がON状態、スイッチング素子T1、T2、T4がOFF状態となっている。スイッチング素子T1およびT2がOFF状態となることで、コンデンサCcには、次の電圧信号に応じた電荷が保持される。また、スイッチング素子T3がON状態であるため、駆動トランジスタT5のゲート端子、コンデンサCsの一端に電圧Vref1が入力される。これにより、駆動トランジスタT5は初期化される。リセット処理が実行される期間は、スイッチング素子T4がOFF状態であるため、有機EL素子OEL1は発光しない。

10

【0127】

なお、電圧Vref1を、駆動トランジスタT5をオフ状態とする電圧(Vt電圧以下)に設定することにより、電圧Vref1を駆動トランジスタT5のゲート端子に印加しても、駆動トランジスタT5をカットオフに維持できる。したがって、スイッチング素子T4がオン状態でも、駆動トランジスタT5から有機EL素子OEL1に電流は供給されない。この場合は、スイッチング素子T4をオフにしくともよい。

【0128】

コピー処理では、有機EL素子OEL1の発光を停止させた状態で、コンデンサCsにコンデンサCcに書き込まれた次の電圧信号がコピーされる。

【0129】

図12Cは、コピー処理におけるスイッチング素子T1～T4の状態を示す図である。図12Cに示すように、コピー処理では、スイッチング素子T2がON状態、スイッチング素子T1、T3、T4がOFF状態となっている。スイッチング素子T3がOFF状態となり、スイッチング素子T2がON状態となることで、コンデンサCcの一端とコンデンサCsの一端とが接続され、コンデンサCcに書き込まれた次の電圧信号をコンデンサCsにコピーする(書き込む)ことができる。コピー処理が実行される期間は、スイッチング素子T4がOFF状態であるため、有機EL素子OEL1は発光しない。

20

【0130】

発光処理では、有機EL素子OEL1の発光が行われる。図12Dは、発光処理におけるスイッチング素子T1～T4の状態を示す図である。図12Dに示すように、発光処理では、スイッチング素子T4がON状態、スイッチング素子T1～T3がOFF状態となっている。このように各トランジスタの状態を設定することで、有機EL素子OEL1を、次の電圧信号に応じて発光させることができる。

30

【0131】

図12Aに図示しているように、本開示の形態における画素構成では、有機EL素子OEL1に電流を供給している状態でも、映像信号電圧を画素に書き込むことができる。前フレーム期間に画素に書き込まれた映像信号に対応する電圧が、コンデンサCsで保持されており、駆動トランジスタT5は、コンデンサCsに保持された電圧に基づいて、有機EL素子OEL1に電流を供給する。

【0132】

現フレーム期間では、画素行が、ゲートドライバIC(回路)により、順次選択され、ソースドライバICは、選択された画素に映像信号を印加する。画素では映像信号に対応する電圧がコンデンサCcに保持される。1フレームの各ブランキング期間では、コンデンサCcに保持された電圧が、コンデンサCsにコピーされる。この期間は、表示画面は、非表示状態に維持される。

40

【0133】

次のフレーム期間では、コンデンサCsに保持された電圧に基づいて、駆動トランジスタT5が有機EL素子OEL1に電流を供給する。

【0134】

以上のように、本開示の形態における画素に、映像信号に基づく電圧を保持するコンデ

50

ンサC s、C cを具備することを特徴とする。

【0135】

なお、以上の実施例では、映像信号に基づく電圧を保持するコンデンサC s、C cを具備するとしたが、これに限定するものではない。たとえば、トランジスタなどで2つのメモリ回路を構成し、このメモリ回路に映像信号に基づく電圧を保持させてもよい。また、M O Sトランジスタのゲート容量に、映像信号に基づく電圧を保持させてもよい。

【0136】

以上の事項は、本明細書の他の実施例にも適用できることは言うまでもない。また、他の実施例と組み合わせることができることも言うまでもない。

【0137】

書き込み処理、リセット処理、コピー処理および発光処理を繰り返し実行することで、映像（例えば、動画）の表示を行うことができる。なお、発光処理において、全ての表示画素P 1について、同時にスイッチング素子T 4をO F F状態からO N状態にすることで、フレームの表示の切り替えを全ての画素で同時に実行することができる。つまり、2つのフレームが混在表示されないようにすることができる。

【0138】

[1 - 3 . 作用効果]

図13は、フレームの一例を示す図である。

【0139】

本実施の形態では、書き込みの順序を、例えば、輝度値の合計を小さい方から順に並び替えるため、図13に示すフレームでは、最初に比較的暗い領域A 2書き込まれ、次に、中間の明るさの領域A 3が、最後に、比較的明るい領域A 1が書き込まれる。本実施の形態では、書き込みの順序を並び替えるため、映像は、領域A 2、A 3、A 1の順に書き換えられる。

【0140】

なお、「領域A 2、A 3、A 1の順に書き換えられる」とは、理解を容易にするための概念的な表現である。本開示の形態における駆動方法では、画素行または各画素の画素間で、電圧差が小さくなるように、画素行を選択する。したがって、A 1、A 2、A 3の各領域において、画面の上下方向あるいは下上方向に順次に画素行が選択されるものではない（ただし、実現の容易性から、A 1、A 2、A 3の各領域において、画面の上下方向あるいは下上方向に順次に選択される場合も本開示の範疇である）。たとえば、領域A 1の一部の画素行を書き込み、次に領域A 3の一部の画素行を書き込み、また、領域A 1の残りの一部の画素行を書き込むという場合もあることは言うまでもない。

【0141】

ここで、本実施の形態の電圧信号の書き込みと映像の表示とを独立して行える表示画素P 1ではなく、独立して行えない表示画素を用いた場合、1画面上に2つのフレームが混在して表示される期間が生じる。

【0142】

図14Aおよび図14Bは、比較例におけるフレームの切り替え時の表示画面の一例を示す図である。図14Aおよび図14Bは、実際に画面上に表示される映像の状態を示している。当該比較例は、電圧信号の書き込みと映像の表示とを独立して行えず、且つ、各画素行を上から順に（画素行1から順に）下方に向かって選択する場合を例示している。

【0143】

図14Aおよび図14Bに示すように、比較例では、1画面上に2つのフレームが混在して表示されている。図14Aに示すように、フレーム1からフレーム2に切り替わるときは、画面上部分に次のフレーム2の映像が、画面下部分に現在のフレーム1の映像が混在して表示される。図14Bに示すように、フレーム2からフレーム3に切り替わるときは、例えば、画面上部分に次のフレーム3の映像が、画面下部分に現在のフレーム2の映像が混在して表示される。

【0144】

ここで、本実施の形態では、上述したように、図 1 3 では、領域 A 2、A 3、A 1 の順に電圧信号の書き込みが行われる。そうすると、電圧信号の書き込みと映像の表示とを独立して行えない場合は、図 1 4 A および図 1 4 B に示す映像よりも、2 つのフレームがばらばらに混在して表示されることになり、映像品質が低下する可能性がある。

【 0 1 4 5 】

また、1 つのフレームの場合であっても、以下の場合に表示画像に違和感を発生する。たとえば、A 1 領域の画像を書き換え、次に A 3 領域の画像を書き換え、次に A 2 領域の画像を書き換える場合である。画面の上下方向に順次に画像を書き換えるのと比較して、表示画面の特定領域の表示画像が書き換えられるため、表示画像を書き換えている領域がノイズ表示のように見える。特に、表示画像が動画表示の場合に顕著である。

10

【 0 1 4 6 】

これに対し、本実施の形態では、上述したように、電圧信号の書き込みと映像の表示とを独立して行える表示画素 P 1 を用いている。このため、映像の切り替えは、全ての画素行について、発光処理において同時に行われる。

【 0 1 4 7 】

電圧信号の書き込みを行っている画像は、表示画像として表示されず、電圧の書き込みが完了したコンデンサ C s の電圧に基づいて表示画面に表示画像が表示される。したがって、図 1 3 のように、領域 A 2、A 3、A 1 の順に電圧信号の書き込んでも書き込み時の画像は、表示されないから、従来のような表示画像の違和感が発生しない。

【 0 1 4 8 】

20

図 1 5 A および図 1 5 B は、本実施の形態の表示画素 P 1 を用いた場合におけるフレームの切り替え時の表示画面の一例を示す図である。図 1 5 A および図 1 5 B は、実際に画面上に表示される映像の状態を示している。

【 0 1 4 9 】

本実施の形態では、図 1 5 A および図 1 5 B に示すように、映像の切り替えは全ての画素行で同じタイミングで行われる。映像の切り替えは、1 フレーム期間のブランキング期間に実施することが好ましい。1 フレームが複数のサブフィールドで構成される場合は、すべてのサブフィールドのブランキング期間あるいは、任意のサブフィールド期間で映像信号の切り替えを行うことが好ましい。本実施の形態では、1 つの画面上で 2 つのフレームが混在して表示されることはない。上述したように、本実施の形態では、書き込みの順序の並び替えを行うため、電圧信号の書き込みと映像の表示とを独立して行えない場合は、1 つの画面上に 2 つのフレームがさらに断片的に混在して表示される状態となる場合がある。これに対し、本実施の形態の表示画素 P 1 を用いれば、電圧信号の書き込みと映像の表示とを独立して行えるため、1 つの画面上に 2 つのフレームが混在して表示されることがなく、書き込みの順序の並び替えによる映像品質の低下を防止できる。

30

【 0 1 5 0 】

以上より、本実施の形態の有機 E L ディスプレイ 1 0 0 では、書き込みの順序の並び替えを行い、且つ、電圧信号の書き込みと映像の表示とを独立して行える。これにより、有機 E L ディスプレイ 1 0 0 は、映像品質を低下させることなく、ソースドライバ IC に必要とされる駆動能力を低減し、ソースドライバ IC の発熱量を押えて、特別な放熱機構を備える必要を無くすることが可能になる。

40

【 0 1 5 1 】

[1 - 4 . 変形例 1 : フレームが複数のサブフィールドで構成される場合 1]

変形例 1 について、図 1 6 ~ 図 1 8 を基に説明する。

【 0 1 5 2 】

本変形例では、フレームが、複数のサブフィールドを重畳したものである場合について説明する。

【 0 1 5 3 】

図 1 6 は、複数のサブフィールドで構成されるフレームの一例を示す図である。各サブフィールドは、添え字 (数字) の値が小さいほど輝度値が高く、添え字の値が大きいほど

50

輝度値が低くなっている。表示画素 P 1 毎に、輝度値に応じて点灯させるサブフィールドを選択することで、所望の輝度を得ることができる。

【 0 1 5 4 】

1 フレームの映像信号を、複数のサブフィールドに分解する。図 1 6 の実施例では各サブフィールドは、輝度（明るさ）で区分されている。なお、映像データの上位ビット～下位ビット等でサブフィールドに区分してもよいことは言うまでもない。たとえば、映像信号が 8 ビットの場合、8 つのサブフィールドから 1 フレームを構成する。ソースドライバ IC は、各サブフィールドにおいて、ビットに重みづけを行った電圧値をソース信号線に出力する。この場合、各画素行の指標値は、ビット " 1 " の個数を求めることにより取得することができる。また、他の画素行との指標値は、ビット " 1 " の位置を比較することにより、指標値を取得することができる。以上の事項は、本明細書の他の実施例にも適用できることは言うまでもない。また、他の実施例と組み合わせることができることも言うまでもない。

10

【 0 1 5 5 】

図 1 7 および図 1 8 は、本変形例におけるソースドライバ IC 2 0 の出力電力の一例を示す図である。

【 0 1 5 6 】

図 1 7 および図 1 8 では、先ず、サブフィールド内で書き込みの順序の並び替えを行っている。また、図 1 7 および図 1 8 では、説明のため、1 つのフレームが 4 つのサブフィールドで構成されている場合を示している。

20

【 0 1 5 7 】

図 1 7 では、フィールドの表示順序は並び替えず、サブフィールド内で書き込みの順序の並び替えを行っている。図 1 7 では、サブフィールド 1 ～ 4 の何れも、指標値（＝電圧信号の二乗の合計値）を降順に並び替え、並び替えた順に書き込み順序を設定している。上述したように、サブフィールド 1 ～ 4 の順番で指標値が大きい（サブフィールド 1 の指標値 > サブフィールド 2 の指標値 > サブフィールド 3 の指標値 > サブフィールド 4 の指標値）。このため、フィールド毎に指標値を降順に並び替えた場合、フレーム全体で指標値を降順に並び替えたことになる。これにより、ソースドライバ IC 2 0 の出力電圧の差をフレーム全体で小さくすることができる。

30

【 0 1 5 8 】

図 1 8 では、サブフィールドの表示順序を、サブフィールド 4 ～ 1 の順に設定している。さらに、図 1 8 では、サブフィールド毎に、指標値を昇順に並び替えている。つまり、図 1 8 では、フレーム全体で指標値を昇順に並び替えている。これにより、ソースドライバ IC 2 0 の出力電圧の差を小さくすることができる。

【 0 1 5 9 】

映像信号電圧は、TC ON 6 0 などに内蔵するフレームメモリにメモリされる。前記フレームメモリは、さらに複数のサブフィールドに区分されている。まず、フレームメモリデータを演算し、画像データを複数のサブフィールドに区分する。メモリされたデータを用いて、各サブフィールドでの画素行の電圧値を求める。

40

【 0 1 6 0 】

簡易的には、各画素に印加される映像信号の電圧値を、各サブフィールドの各画素行で総和し、総和した値で、選択する画素行の選択順番を求める。

【 0 1 6 1 】

各ソース信号線に接続された画素間ごとの電圧差（映像信号電圧差）を求める必要がある。画素間ごとの電圧差を画素行で総和し、求めた総和の大小関係を求め、選択する画素行の順番を求める。なお、第 1 の画素行と第 2 の画素行における画素の電圧差は、画素行数が n 画素行存在すれば、n - 1 の組み合わせがある。組み合わせ演算は、メモリに格納されたデータを用いて演算処理すれば求めることができる。

【 0 1 6 2 】

ソースドライバ IC 2 0 の電力を低減させるには、書き込む画素行の順番を入れ替える

50

ことで実現できる。各ソース信号線に接続された画素間ごとの電圧差（映像信号電圧差）を求めることが最も高精度の実現手段である。しかし、演算数量が大きい。書き込む画素行を選択するには、各画素行の代表値（たとえば、奇数画素列、素数画素列、64の倍数の画素列など）を比較し、画素行の各指標値（演算値）差が最小に画素行の順番を求めることにより演算数量を削減できる。また、各画素行の代表値（たとえば、奇数画素列、素数画素列、64の倍数の画素列など）は、サブフィールドごとに变化させることが好ましい。以上の事項は、本明細書の他の実施例にも適用できることは言うまでもない。また、他の実施例と組み合わせることができることも言うまでもない。

【0163】

[1 - 5 . 変形例 2 : フレームが複数のサブフィールドで構成される場合 2]

10

変形例 2 について、図 19 および図 20 を基に説明する。

【0164】

本変形例では、変形例 1 と同様に、フレームが、複数のサブフィールドを重畳したものである場合について説明する。

【0165】

変形例 1 では、指標値を昇順または降順に並び替えたが、本変形例では、サブフィールドまたはフレーム毎（画像毎）に、指標値を昇順に並び替えるか降順に並び替えるかを選択している。

【0166】

また、本変形例では、サブフィールドは、上位ビット～下位ビット等、輝度値の大小以外で規定されている。このため、変形例 1 と同様に並び替えを行うと、サブフィールド内では指標値の差を小さくできるが、フィールド間では指標値の差を小さくできない場合が考えられる。

20

【0167】

具体的には、本変形例では、TCON60 は、現在の並び替え処理における指標値の最小値と最大値とを求める。TCON60 は、前回のサブフィールド（またはフレーム）における書き込みの順序が最後の行の指標値である最終指標値と、現在のサブフィールド（またはフレーム）における指標値の最小値および最大値とを比較する。TCON60 は、最終指標値と最小値との差が、最終指標値と最大値との差よりも小さい場合は、指標値を昇順に並び替え、最終指標値と最大値との差が最終指標値と最小値との差よりも小さい場合は、指標値を降順に並び替える。

30

【0168】

図 19 および図 20 は、本変形例におけるソースドライバ IC20 の出力電力の一例を示す図である。

【0169】

図 19 および図 20 では、先ず、サブフィールド内で書き込みの順序の並び替えを行っている。また、図 19 および図 20 では、説明のため、1つのフレームが4つのサブフィールドで構成されている場合を示している。

【0170】

図 19 から分かるように、最初のサブフィールド 1 では、指標値が降順に並び替えられている。サブフィールド 1 の最終指標値は、サブフィールド 1 の指標値の最小値となっている。サブフィールド 1 の最終指標値とサブフィールド 2 の指標値の最大値との差は、サブフィールド 1 の最終指標値とサブフィールド 2 の指標値の最小値との差よりも小さい。従って、サブフィールド 2 では、指標値が降順に並び替えられている。

40

【0171】

同様に、サブフィールド 2 の指標値の最小値とサブフィールド 3 の指標値の最小値との差は、サブフィールド 2 の指標値の最小値とサブフィールド 3 の指標値の最大値との差よりも小さい。従って、サブフィールド 3 では、指標値が昇順に並び替えられている。

【0172】

同様に、サブフィールド 3 の指標値の最大値とサブフィールド 4 の指標値の最大値との

50

差は、サブフィールド 3 の指標値の最大値とサブフィールド 4 の指標値の最小値との差よりも小さい。従って、サブフィールド 4 では、指標値が降順に並び替えられている。

【 0 1 7 3 】

これにより、フィールド内だけでなく、フィールド間でもソースドライバ I C 2 0 の出力電圧の差を小さくすることができる。

【 0 1 7 4 】

図 1 9 では、最初のサブフィールド 1 について指標値が降順に並び替えられていたが、図 2 0 では、最初のサブフィールド 1 について指標値が昇順に並び替えられている。

【 0 1 7 5 】

図 2 0 では、奇数番目に表示されるサブフィールド 1 および 3 については、指標値が昇順に並び替えられ、偶数番目に表示されるサブフィールド 2 および 4 については、指標値が降順に並び替えられている。

10

【 0 1 7 6 】

図 2 0 のように書き込みの順序を設定した場合でも、図 1 9 の場合と同様に、フィールド内だけでなく、フィールド間でもソースドライバ I C 2 0 の出力電圧の差を小さくすることができる。

【 0 1 7 7 】

本変形例では、サブフィールド毎に指標値を降順に並び替えるか昇順に並び替えるかを選択したが、フレーム毎に選択するように構成しても構わない。

【 0 1 7 8 】

20

本変形例は、サブフィールド毎またはフレーム毎に、指標値を降順に並び替えるか昇順に並び替えるかを選択するので、特に、サブフィールドの構成が、輝度値の順ではない場合に有用である。

【 0 1 7 9 】

[1 - 6 . 変形例 3 : 書き込みの順序の並び替え方法の他の例 1]

変形例 3 について、図 2 1 を基に説明する。

【 0 1 8 0 】

図 2 1 は、本変形例における書き込みの順序の並び替え方法の一例を示す図である。

【 0 1 8 1 】

本変形例では、T C O N 6 0 は、以下で説明する第一検索処理および第二検索処理を実行する。

30

【 0 1 8 2 】

第一検索処理では、T C O N 6 0 は、書き込みの順序が設定されていない行を検索対象行とする。また、検索条件として、(検索条件 1) 最後に検索された指標値との差が閾値以下となる指標値を有すること、および、(検索条件 2) 最後に検索された指標値よりも小さいことが設定されている。T C O N 6 0 は、検索対象行を一方向に、つまり、画素行 1 ~ 1 1 の順に順次検索し、検索された順に書き込みの順序を設定する。

【 0 1 8 3 】

第二検索処理では、T C O N 6 0 は、書き込みの順序が設定されていない行を検索対象行とし、検索条件として、(検索条件 3) 最後に検索された指標値よりも大きい指標値を有することを設定している。T C O N 6 0 は、検索対象行を一方向に、つまり、画素行 1 ~ 1 1 の順に順次検索し、検索された順に書き込みの順序を設定する。

40

【 0 1 8 4 】

具体的には、図 2 1 では、閾値の値が 1 0 に設定されている。

【 0 1 8 5 】

第一検索処理では、全ての画素行 1 ~ 1 1 が検索対象行とされる。まず、画素行 1 が検索される。次に、画素行 1 の指標値 2 3 との差が 1 0 より小さい画素行 2 の指標値 1 7 が検索される。次に、画素行 2 の指標値 1 7 との差が 1 0 より小さい画素行 7 の指標値 1 5 が検索される。画素行 3、4、6 は、差が 1 0 より大きいため、検索対象外である。また、画素行 5 の指標値 1 9 は、画素行 2 の指標値 1 7 よりも大きいため、検索対象外である

50

。同様にして、画素行 9 の指標値 7、画素行 11 の指標値 2 が検索される。検索された画素行 1、2、7、9、11 は、この順に書き込み順が設定される。

【0186】

続いて、第二検索処理が実行される。第二検索処理では、書き込み順が設定されていない画素行 3～6、8、10 が検索対象行とされる。まず、画素行 3 が検索され、続いて、画素行 3 の指標値 1 よりも大きい指標値 5 を有する画素行 4 が検索される。同様にして、画素行 5 の指標値 19、画素行 8 の指標値 29 が検索される。検索された画素行 3、4、5、8 は、この順に書き込み順が設定される。

【0187】

最後に、書き込み順が設定されていない画素行 6 および画素行 10 が検索され、この順に書き込み順が設定される。

10

【0188】

まとめると、本変形例では、画素行 1、2、7、9、11、3、4、5、8、6、10 の順に書き込みの順序が設定される。

【0189】

本変形例においても、ソースドライバ IC 20 の出力電圧の差を小さくすることができる。

【0190】

画素行を書き込む順番を入れ替える指針は、各画素行の画素の代表値（最大値から 64 番目までの画素、最小値から 64 番目の画素、64 画素列に位置する画素など）を設定して比較し、全行の各指標値差が最小になるようにすることによって実現してもよい。

20

【0191】

また、有機 EL パネルでは、赤（R）、緑（G）、青（B）などの発光色によって、発光効率が異なり、また、必要とする電圧振幅も異なる。したがって、指標値は、赤（R）、緑（G）、青（B）で区分して演算して求めることが好ましい。

【0192】

以上の事項は、本明細書の他の実施例にも適用できることは言うまでもない。また、他の実施例と組み合わせることができることも言うまでもない。

【0193】

[1-7、変形例 4：書き込みの順序の並び替え方法の他の例 2]

30

変形例 4 について、図 22 を基に説明する。

【0194】

図 22 は、本変形例における書き込みの順序の並び替え方法の一例を示す図である。

【0195】

本変形例では、TCON 60 は、変形例 3 の第一検索処理を実行する。第二検索条件は実行しない。また、本変形例の第一検索処理は、変形例 3 の第一検索処理から検索条件 2 を省いた構成となっている。つまり、検索条件として、（検索条件 1）最後に検索された指標値との差が閾値以下となる指標値を有することを設定している。本変形例では、第一検索処理を、検索対象行がなくなるまで繰り返し実行している。

40

【0196】

また、TCON 60 は、検索対象行を一方向に、つまり、画素行 1～11 の順に順次検索し、検索された順に書き込みの順序を設定する。

【0197】

具体的には、図 22 では、閾値の値が 7 に設定されている。

【0198】

1 回目の第一検索処理では、画素行 1～11 が検索対象行とされる。まず、画素行 1 が検索される。次に、画素行 1 の指標値 23 との差が 7 より小さい画素行 2 の指標値 17 が検索される。次に、画素行 2 の指標値 17 との差が 7 より小さい画素行 5 の指標値 19 が検索される。画素行 3、4 は、差が 7 より大きいため、検索対象外である。同様にして、画素行 7 の指標値 15、画素行 10 の指標値 18 が検索される。検索された画素行 1、2

50

、5、7、10は、この順に書き込み順が設定される。

【0199】

2回目の第一検索処理では、画素行3、4、6、8、9、11が検索対象行とされる。まず、画素行3が検索される。次に、画素行3の指標値1との差が7より小さい画素行4の指標値5が検索される。同様にして、画素行6の指標値2、画素行9の指標値7、画素行11の指標値2が検索される。検索された画素行3、4、6、9、11は、この順に書き込み順が設定される。

【0200】

3回目の第一検索処理では、画素行8が検索対象行とされる。画素行8に、次の書き込みの順序が割り当てられる。

10

【0201】

まとめると、本変形例では、画素行1、2、5、7、10、3、4、6、9、11、8の順に書き込みの順序が設定される。

【0202】

本変形例においても、ソースドライバIC20の出力電圧の差を小さくすることができる。

【0203】

[1-8.変形例5：指標値の算出の他の例]

変形例5について、図23を基に説明する。

20

【0204】

本変形例では、上記実施の形態および変形例1～4とは、各行の明るさを示す指標値の算出方法が異なる。上記実施の形態および変形例1～4では、指標値として、電圧信号の二乗の合計値($= \sum_{k=1}^m (Luma(k))^2$)、kは整数、mは1行に含まれる画素の数、Luma(k)はk列の表示画素P1に対応する電圧信号が示す電圧値)を求めた。

【0205】

これに対し、本変形例では、指標値として、電圧信号の2条の差の合計値($= \sum_{k=1}^m \{ (Luma(i)(k))^2 - (Luma(j)(k))^2 \}$) (i、jは画素行、 $i=1 \sim n-1$ 、 $j=i+1$)を求める。これを、例えば、画素行1と画素行2～mそれぞれとの間、画素行2と画素行3～mそれぞれとの間、・・・、画素行m-1と画素行mとの間について求める。本変形例の指標値は、2つの行の間の明るさの差、つまり、他の行との対比における相対的な行の明るさを示している。

30

【0206】

図23は、本変形例における書き込みの順序の並び替え方法の一例を示す図である。

【0207】

1列目は、 $17^2 - 1^2 = 288$ となる。同様にして、m列目まで求め、これらを合計したものが指標値となる。

【0208】

検索方法は、実施の形態および変形例1～4に準じて設定すればよい。TCON60は、例えば、最初に画素行1を選択し、次に、画素行1との間の指標値が閾値以下となる画素行(変形例3、4等に対応)、あるいは、画素行1との間の指標値が最も小さい画素行(実施の形態、変形例1、2等に対応)等を検索する。同様にして、最後に検索された画素行との間の指標値が、閾値以下あるいは最も小さい画素行を順次検索する。

40

【0209】

本変形例においても、ソースドライバIC20の出力電圧の差を小さくすることができる。

【0210】

[1-9.変形例6：表示画素の構成の他の例]

変形例6について、図24を基に説明する。本変形例では、上記実施の形態および変形例1～4とは、表示画素Pの構成が異なる。

50

【 0 2 1 1 】

図 2 4 は、本変形例における表示画素 P 2 (P) の構成の一例を示す回路図である。

【 0 2 1 2 】

図 2 4 に示すように、表示画素 P 2 は、スイッチング素子 T 1 1 ~ T 1 4、T 1 6、T 1 7、コンデンサ C c および C s、駆動トランジスタ T 1 5 および有機 E L 素子 (発光素子) O E L 1 を備えている。

【 0 2 1 3 】

スイッチング素子 T 1 1 は、表示画素 P 2 の選択および非選択を切り替える第一スイッチ回路の一例であり、Nチャネル型 M O S トランジスタで構成されている。スイッチング素子 T 1 1 は、ゲート信号線 G L 1 1 に印加される選択信号に応じて、ソース信号線 S L とノード N 1 1 との間の導通および非導通を切り替える。

10

【 0 2 1 4 】

スイッチング素子 T 1 2 ~ T 1 4、T 1 6、T 1 7 は、Nチャネル型 M O S トランジスタである。スイッチング素子 T 1 2 ~ T 1 4、T 1 6、T 1 7 により、コンデンサ C c に対し電圧信号の書き込みを行う書き込み動作、コンデンサ C s をリセットするリセット動作、コンデンサ C s にコンデンサ C c に書き込まれた電圧信号をコピーするコピー動作、および、有機 E L 素子 O E L 1 の発光を行う発光動作を行わせることができる。

【 0 2 1 5 】

スイッチング素子 T 1 2 は、コンデンサ C c とコンデンサ C s との接続および非接続を切り替える第二スイッチ回路の一例であり、ゲート信号線 G L 1 2 に印加される信号に応じて、ノード N 1 1 とノード N 1 2 との間の導通および非導通を切り替える。

20

【 0 2 1 6 】

スイッチング素子 T 1 3 は、ゲート信号線 G L 1 3 に印加される信号に応じて、ノード N 1 2 に電圧 V r e f 2 を入力するか否かを切り替える。電圧 V r e f 2 は、コンデンサ C c を初期化するための電圧である。

【 0 2 1 7 】

スイッチング素子 T 1 4 は、駆動トランジスタ T 1 5 と有機 E L 素子 O E L 1 との接続および非接続を切り替える第三スイッチ回路の一例であり、ゲート信号線 G L 1 4 に印加される信号に応じて、駆動トランジスタ T 1 5 による有機 E L 素子 O E L 1 への駆動電流の供給と非供給とを切り替える。

30

【 0 2 1 8 】

スイッチング素子 T 1 6 は、ゲート信号線 G L 1 5 に印加される信号に応じて、ノード N 1 2 に電圧 V r e f 1 を入力するか否かを切り替える。電圧 V r e f 1 は、コンデンサ C s を初期化するための電圧である。

【 0 2 1 9 】

スイッチング素子 T 1 7 は、ゲート信号線 I N I に印加される信号に応じて、ノード N 1 3 に電圧 V I N I を印加するか否かを切り替える。なお、電圧 V I N I は、有機 E L 素子 O E L 1 の初期化を行うための電圧である。

【 0 2 2 0 】

駆動トランジスタ T 1 5 は、Nチャネル型 M O S トランジスタであり、コンデンサ C s に書き込まれた電圧信号の大きさに応じた駆動電流を有機 E L 素子 O E L 1 に供給する。駆動トランジスタ T 1 5 は、ゲート端子がノード N 1 2 に、ドレイン端子が有機 E L 素子 O E L 1 のアノード電極にそれぞれ接続され、ソース端子にスイッチング素子 T 1 4 を介して電圧 V T F T が入力されている。

40

【 0 2 2 1 】

有機 E L 素子 O E L 1 は、駆動トランジスタ T 1 5 から供給される駆動電流に応じて発光する素子である。有機 E L 素子 O E L 1 は、カソード電極に電圧 V E L が入力され、アノード電極がスイッチング素子 T 1 4 に接続されている。

【 0 2 2 2 】

コンデンサ C c は、ソースドライバ I C 2 0 により電圧信号が書き込まれるコンデンサ

50

であり、一端がノードN 1 1に接続され、他端に電圧V r e f 1が入力されている。

【0223】

コンデンサC sは、コンデンサC cの電圧信号がコピーされる（コンデンサC cの電荷を受け付ける）コンデンサであり、一端がノードN 1 2に接続され、他端に電圧V T F Tが入力されている。

【0224】

表示画素P 2は、上述した構成とすることにより、電圧信号の書き込みと、有機E L素子の発光とを独立して行うことができる。

【0225】

本変形例においても、実施の形態および変形例1～5に記載した方法で、書き込みの順序を並び替えることにより、ソースドライバI C 2 0の出力電圧の差を小さくすることができる。

10

【0226】

また、本変形例の表示画素P 2を用いることにより、映像品質の低下を防止することが可能になる。

【0227】

（他の実施の形態）

以上、有機E Lディスプレイ（表示装置）について、実施の形態に基づいて説明したが、本開示は、この実施の形態に限定されるものではない。本開示の趣旨を逸脱しない限り、当業者が思いつく各種変形を本実施の形態に施したものや、異なる実施の形態における構成要素を組み合わせて構築される形態も、一つまたは複数の態様の範囲内に含まれても良い。

20

【0228】

（1）上記実施の形態および変形例1～4、6では、複数の表示画素の各行の明るさを示す指標値として、輝度値の2乗の合計値を求め、変形例5では、電圧信号の2条の差の合計値を求めたが、これに限るものではない。指標値は、例えば、1行の画素の平均値、あるいは、2乗の平均値等であっても構わない。

【0229】

（2）上記実施の形態および変形例1では、指標値を降順または昇順に並び替え、変形例2では、指標値を降順または昇順に並び替えるかをフィールドまたはフレーム毎に判定したが、これに限るものではない。

30

【0230】

フィールドあるいはフレーム毎に、指標値を昇順に並び替えるか降順に並び替えるかを規定したパターンを予め設定しておいても構わない。

【0231】

具体的には、例えば、一般的に、最小値同士、最大値同士は指標値の差が小さくなると考えられることから、フィールドあるいはフレーム毎に、指標値の並び替えを、降順に行うか昇順に行うかを交互に設定しても構わない。

【産業上の利用可能性】

【0232】

本開示は、有機エレクトロルミネッセンス（E L）素子を用いた有機E Lディスプレイ等の表示装置に利用可能である。

40

【符号の説明】

【0233】

- 1 0 有機E Lパネル
- 1 1 表示領域
- 1 2 ガラス基板
- 2 0 ソースドライバI C
- 2 1 ソース信号線駆動回路
- 3 0、5 0 P C B

50

4 0	ゲートドライバ I C
4 1	ゲート信号線駆動回路
6 0	T C O N
6 1	電圧差算出部
6 2	並び替え部
6 3	ゲート側制御部
6 4	ソース側制御部
1 0 0	有機 E L ディスプレイ

2 2 1 シフトレジスタ

A 1、A 2、A 3 領域

C c、C s コンデンサ

INI、GL、GL1、GL2、GL3、GL4、GL11、GL12、GL13、GL14、GL15 ゲート信号線

N 1、N 2、N 1 1、N 1 2、N 1 3 ノード

O E L 1 有機 E L 素子

S m a x 最大電圧

S m i n 最小電圧

S L ソース信号線

T 1、T 2、T 3、T 4、T 1 1、T 1 2、T 1 3、T 1 4、T 1 6、T 1 7 スイッチ
ング素子

T 5、T 1 5 駆動トランジスタ

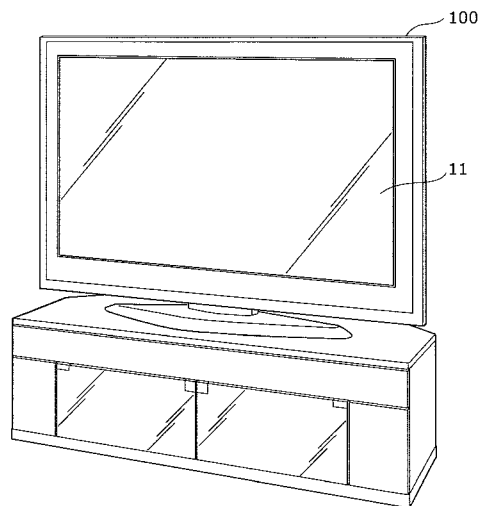
V_{TFT} 、 V_{INI} 、 V_{EL} 、 V_{ref1} 、 V_{ref2} 、 V_{offj} 、 V_{onj} 電圧

V s i g 映像信号電圧

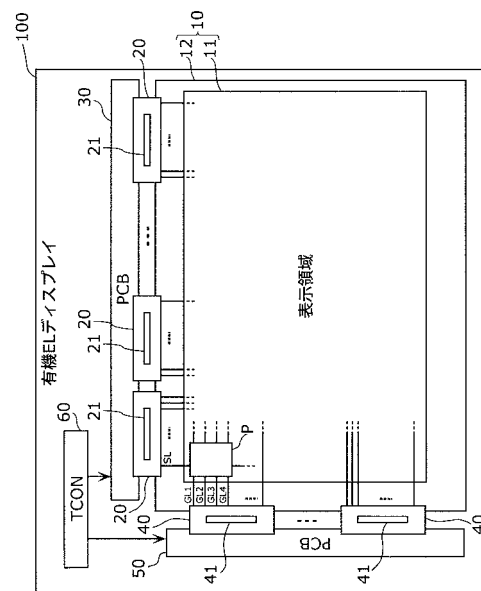
10

20

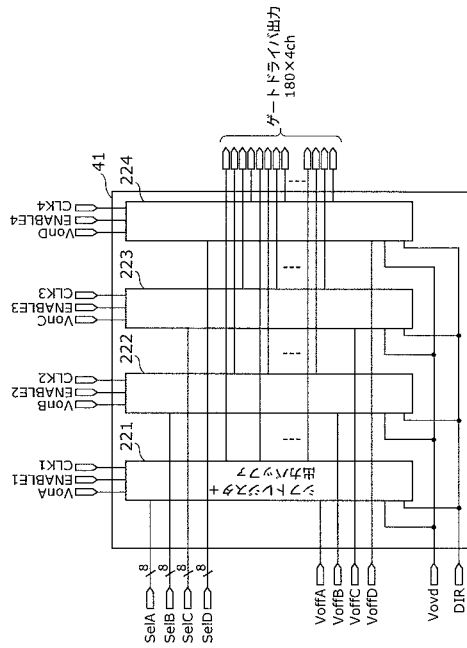
【 図 1 A 】



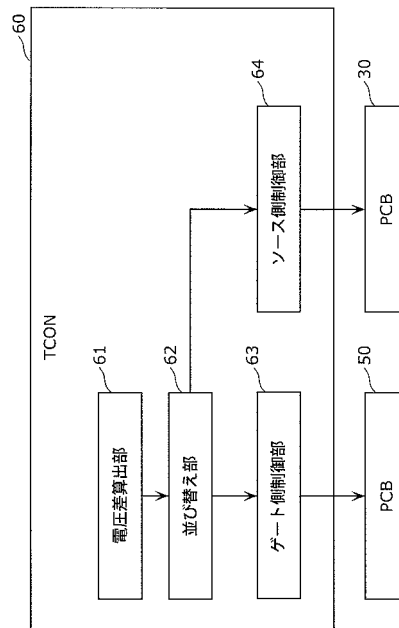
【 図 1 B 】



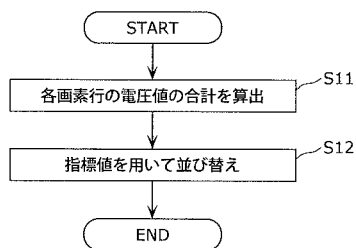
【 図 6 】



【圖 7】



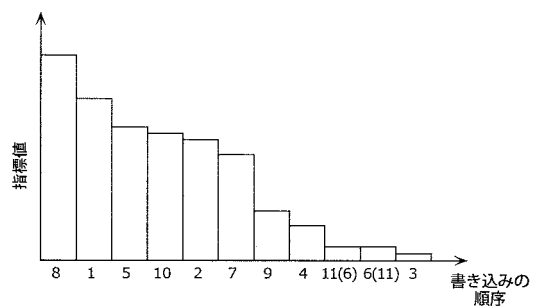
【 図 8 】



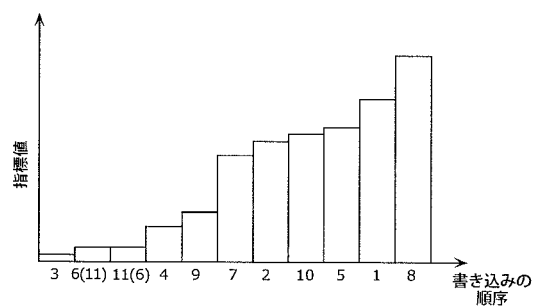
【 図 9 】

電圧値の合計 (二乗の合計)		書き込み順1 (入れ替え前)		書き込み順2 (入れ替え後)	
23	1	10			
17	2	7			
1	3	1			
5	4	4			
19	5	9			
2	6	2			
15	7	6			
29	8	11			
7	9	5			
18	10	8			
2	11	3			

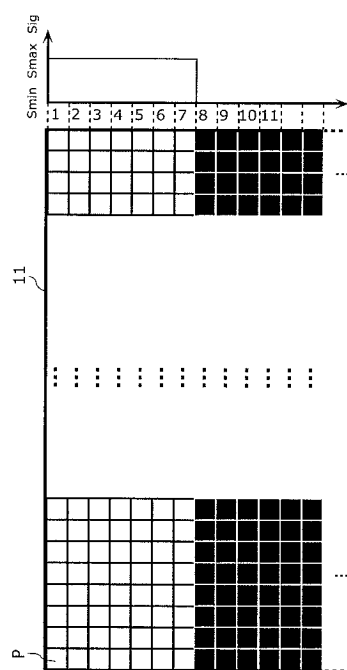
【 図 1 0 C 】



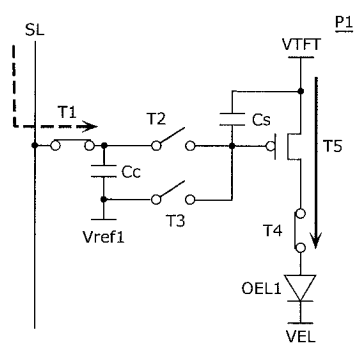
【 図 1 0 B 】



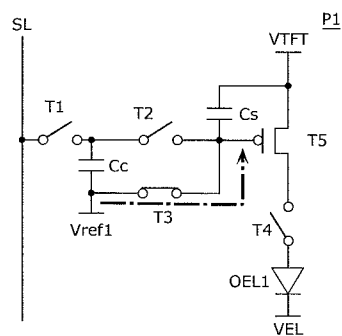
【 図 1 1 】



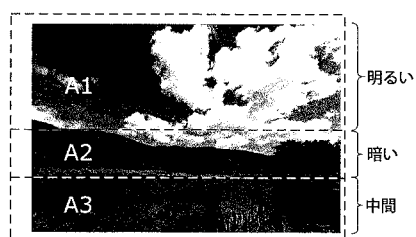
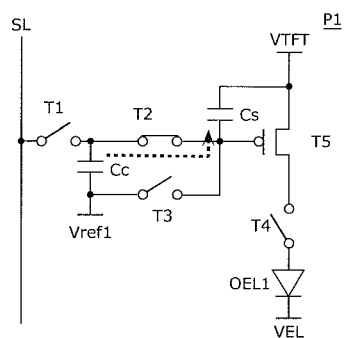
【 図 1 2 A 】



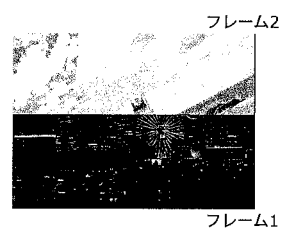
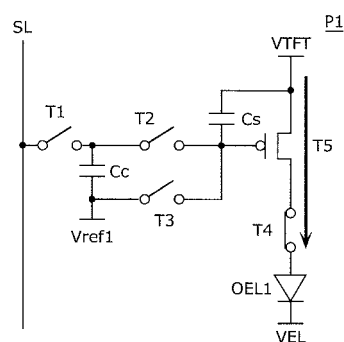
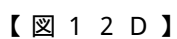
【 図 1 2 B 】



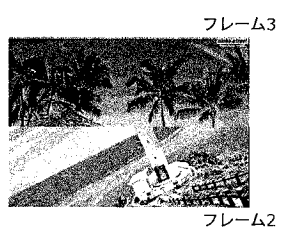
【 図 1 3 】



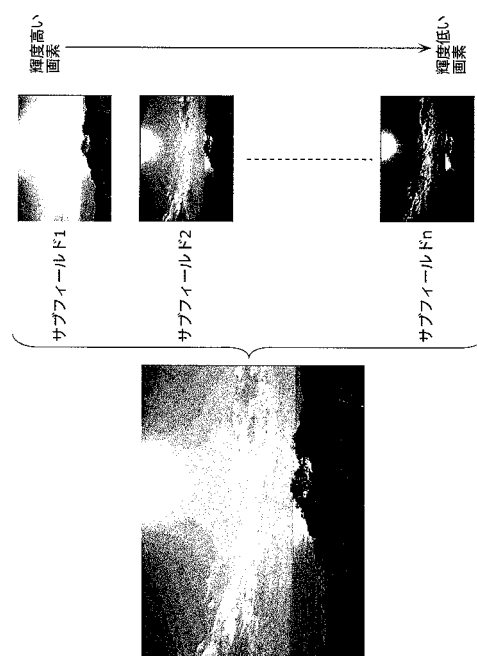
【 図 1 4 A 】



【 図 1 4 B 】



【 図 1 6 】



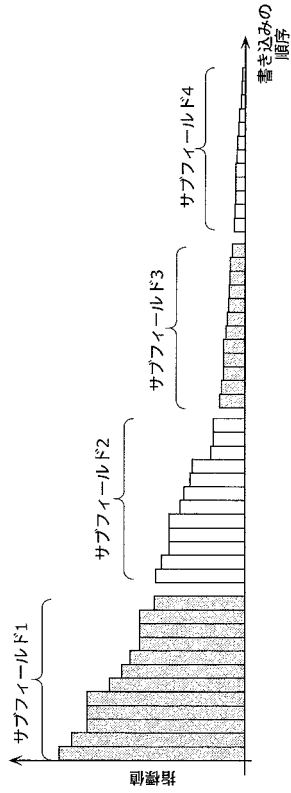
【 図 1 5 A 】



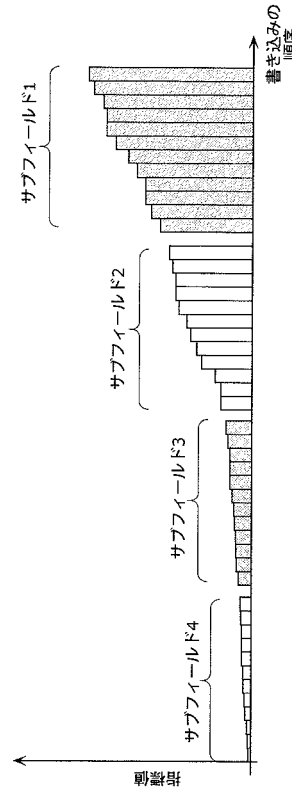
【 図 1 5 B 】



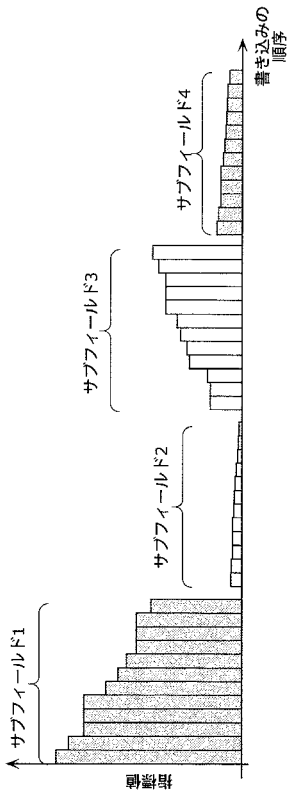
【図 17】



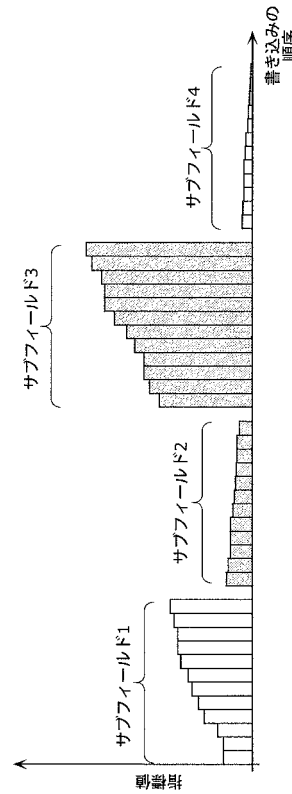
【図 18】



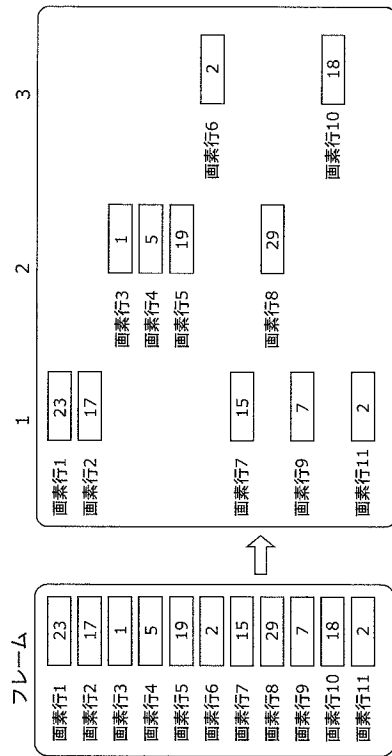
【図 19】



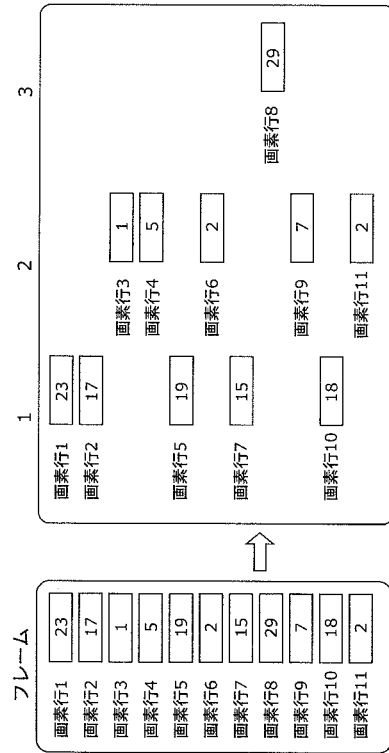
【図 20】



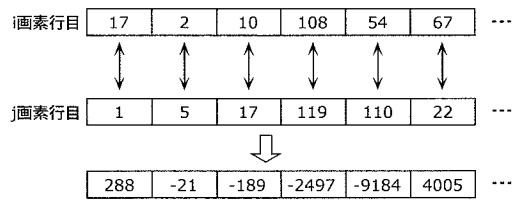
【図 2 1】



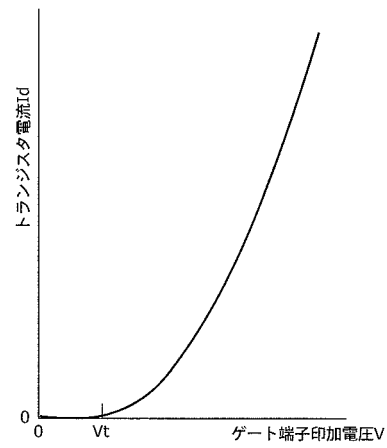
【図 2 2】



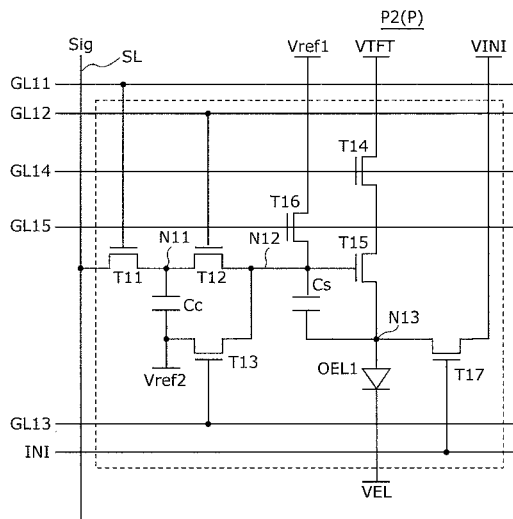
【図 2 3】



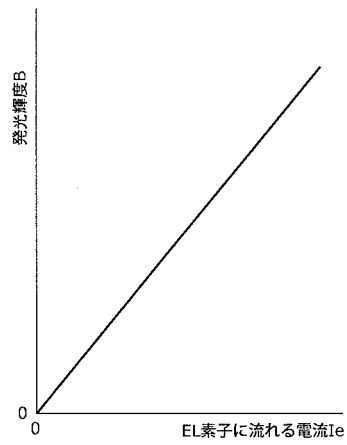
【図 2 5 A】



【図 2 4】



【図 25 B】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/006434

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/30, G09G3/20, H01L51/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2008-249744 A (Sony Corp.), 16 October 2008 (16.10.2008), paragraphs [0058] to [0104]; fig. 4 to 6 (Family: none)	1-4, 10 5-9
Y A	JP 5378613 B1 (Sharp Corp.), 25 December 2013 (25.12.2013), paragraphs [0058] to [0079]; fig. 1 to 7 & US 2014/0375622 A & WO 2013/118323 A1 & CN 104094343 A	1-4, 10 5-9
A	WO 2010/106661 A1 (Pioneer Corp.), 23 September 2010 (23.09.2010), entire text; all drawings (Family: none)	1-10

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
20 March 2015 (20.03.15)Date of mailing of the international search report
31 March 2015 (31.03.15)Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/006434

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P,A	JP 2014-209209 A (Semiconductor Energy Laboratory Co., Ltd.), 06 November 2014 (06.11.2014), paragraphs [0046] to [0060]; fig. 3 & US 2014/0292741 A1	1-10
P,A	JP 2014-219440 A (Samsung Display Co., Ltd.), 20 November 2014 (20.11.2014), paragraphs [0012] to [0039]; fig. 1 to 3 & US 2014/0327664 A & CN 104134680 A	1-10

国際調査報告		国際出願番号 PCT/J P 2 0 1 4 / 0 0 6 4 3 4	
A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. G09G3/30, G09G3/20, H01L51/50			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2015年 日本国実用新案登録公報 1996-2015年 日本国登録実用新案公報 1994-2015年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
Y A	JP 2008-249744 A（ソニー株式会社）2008.10.16, 段落0058-0104, 第4-6図（ファミリーなし）	1-4, 10 5-9	
Y A	JP 5378613 B1（シャープ株式会社）2013.12.25, 段落0058-0079, 第1-7図 & US 2014/0375622 A & WO 2013/118323 A1 & CN 104094343 A	1-4, 10 5-9	
A	WO 2010/106661 A1（パイオニア株式会社）2010.09.23, 全文, 全図（ファミリーなし）	1-10	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 20.03.2015		国際調査報告の発送日 31.03.2015	
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 山崎 仁之 電話番号 03-3581-1101 内線 3226	

国際調査報告		国際出願番号 PCT/J P 2 0 1 4 / 0 0 6 4 3 4
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
P, A	JP 2014-209209 A (株式会社半導体エネルギー研究所) 2014. 11. 06, 段落 0 0 4 6 - 0 0 6 0, 第 3 図 & US 2014/0292741 A1	1-10
P, A	JP 2014-219440 A (三星ディスプレイ株式會社) 2014. 11. 20, 段落 0 0 1 2 - 0 0 3 9, 第 1 - 3 図 & US 2014/0327664 A & CN 104134680 A	1-10

フロントページの続き

(51) Int.Cl.

F I

テーマコード (参考)

G 0 9 G	3/20	6 7 0 L
G 0 9 G	3/20	6 2 2 D
G 0 9 G	3/20	6 2 2 Q
G 0 9 G	3/20	6 1 2 U
H 0 5 B	33/14	A

(81) 指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

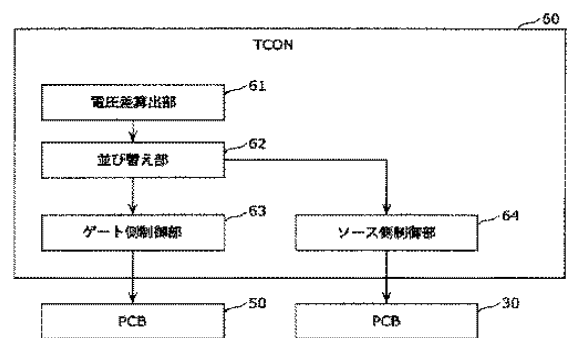
F ターム (参考) 5C080 AA06 BB05 CC06 DD26 EE29 FF11 GG09 HH09 JJ01 JJ02
 JJ03 JJ05 JJ06 JJ07 KK43
 5C380 AA01 AB06 AB22 AB23 AB34 AB36 AB37 AC04 AC07 BA01
 BA19 BA45 CA12 CC01 CC26 CC27 CC33 CC39 CC65 CD025
 CE13 CF02 CF07 DA06 DA09 DA32 DA35 DA49 FA02 FA11

(注) この公表は、国際事務局 (W I P O) により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願 (日本語実用新案登録出願) の国際公開の効果は、特許法第 1 8 4 条の 1 0 第 1 項 (実用新案法第 4 8 条の 1 3 第 2 項) により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	显示装置和显示方法		
公开(公告)号	JPWO2015104777A1	公开(公告)日	2017-03-23
申请号	JP2015556644	申请日	2014-12-24
[标]申请(专利权)人(译)	日本有机雷特显示器股份有限公司		
申请(专利权)人(译)	株式会社JOLED		
[标]发明人	中北朋喜 高原博司		
发明人	中北 朋喜 高原 博司		
IPC分类号	G09G3/30 G09G3/3233 G09G3/20 H01L51/50		
CPC分类号	G09G3/3266 G09G3/2022 G09G3/3233 G09G2300/0852 G09G2300/0861 G09G2310/0213 G09G2310/0262 G09G2330/045 G09G2360/16		
FI分类号	G09G3/30.J G09G3/3233 G09G3/20.624.B G09G3/20.641.D G09G3/20.611.A G09G3/20.670.L G09G3/20.622.D G09G3/20.622.Q G09G3/20.612.U H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC14 3K107/CC42 3K107/CC43 3K107/EE03 3K107/HH02 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC06 5C080/DD26 5C080/EE29 5C080/FF11 5C080/GG09 5C080/HH09 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ05 5C080/JJ06 5C080/JJ07 5C080/KK43 5C380/AA01 5C380/AB06 5C380/AB22 5C380/AB23 5C380/AB34 5C380/AB36 5C380/AB37 5C380/AC04 5C380/AC07 5C380/BA01 5C380/BA19 5C380/BA45 5C380/CA12 5C380/CC01 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC39 5C380/CC65 5C380/CD025 5C380/CE13 5C380/CF02 5C380/CF07 5C380/DA06 5C380/DA09 5C380/DA32 5C380/DA35 5C380/DA49 5C380/FA02 5C380/FA11		
代理人(译)	吉川修 Sobashima正雄		
优先权	2014002343 2014-01-09 JP		
其他公开文献	JP6232590B2		
外部链接	Espacenet		

摘要(译)

显示像素 (P) 和栅极信号线 (GL) 排列成矩阵，在为每一行排列的栅极信号线 (GL) 和为每一列排列的源极信号线 (SL) 一种用于向源信号线 (SL) 输出电压信号的源极驱动器IC (20) 以及一种TCON (60) ，其中显示像素 (P) 由栅极驱动器ICEL元件 (OEL 1) 和写入电压信号的电容器能够接收电容器Cs的电荷的电容器Cs和用于将与电容器Cs的电荷的大小相对应的驱动电流提供给有机EL元件OELI的驱动晶体管T5，) 。可以独立地执行电压信号的写入和有机EL元件 (OEL 1) 的发光，并且TCON (60) 将以行为单位的写入顺序设置为电压信号所以他们之间的差异变小了。



- 61 Voltage-difference computation unit
- 62 Reordering unit
- 63 Gate-side control unit
- 64 Source-side control unit