(19)日本国特許庁(JP)

再公表特許(A1)

(11)国際公開番号
WO2003/091978

発行日　平成17年9月2日(2005.9.2)

(43)国際公開日　平成15年11月6日(2003.11.6)

(51)Int.Cl.[7]	F I		
G09G 3/30	G09G	3/30	J
G09G 3/20	G09G	3/30	K
H05B 33/14	G09G	3/20	611H
	G09G	3/20	612E
	G09G	3/20	622D

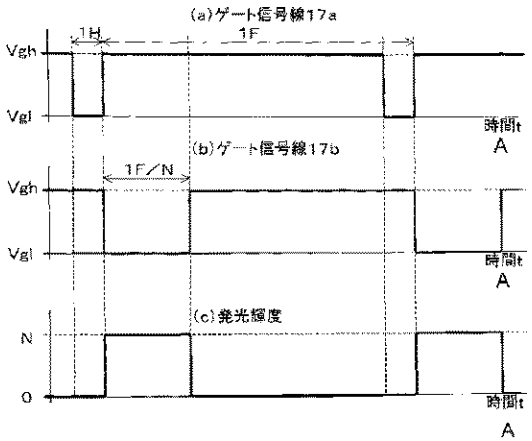
審査請求 未請求　予備審査請求 有　（全 173 頁）　最終頁に続く

出願番号	特願2004-500276(P2004-500276)
(21)国際出願番号	PCT/JP2003/002597
(22)国際出願日	平成15年3月6日(2003.3.6)
(31)優先権主張番号	特願2002-127532(P2002-127532)
(32)優先日	平成14年4月26日(2002.4.26)
(33)優先権主張国	日本国(JP)
(31)優先権主張番号	特願2002-127637(P2002-127637)
(32)優先日	平成14年4月26日(2002.4.26)
(33)優先権主張国	日本国(JP)
(31)優先権主張番号	特願2002-284393(P2002-284393)
(32)優先日	平成14年9月27日(2002.9.27)
(33)優先権主張国	日本国(JP)
(81)指定国	CN,JP,KR,US

(71)出願人　302020207
東芝松下ディスプレイテクノロジー株式会社
東京都港区港南４－１－８
(74)代理人　100092794
弁理士　松田　正道
(72)発明者　高原　博司
東京都港区港南四丁目１番８号　東芝松下ディスプレイテクノロジー株式会社内
(72)発明者　柘植　仁志
東京都港区港南四丁目１番８号　東芝松下ディスプレイテクノロジー株式会社内

(54)【発明の名称】ＥＬ表示パネルの駆動方法

(57)【要約】
ソース信号線の寄生容量の充放電を十分に行い、所定の電流値を画素トランジスタにプログラムを行うためには、電流出力のソースドライバ回路から比較的大きな電流を出力する必要がある。しかし、このように大きな電流をソース信号線に流すとこの電流値が画素にプログラムされてしまい、所望電流に対し大きな電流がＥＬ素子１５に流れる。例えば、Ｎ＝１０倍の電流でプログラムすれば、１０倍の電流がＥＬ素子１５に流れ、ＥＬ素子１５は１０倍の輝度で発光する。そこで所定の発光輝度を得るために、ＥＬ素子に電流が流れる時間を１フレーム（１Ｆ）の１／１０にする。このように駆動することにより、ソース信号線の寄生容量を十分に充放電でき、所定の発光輝度を得ることができる。



(a)... GATE SIGNAL LINE 17a
(b)... GATE SIGNAL LINE 17b
(c)... LUMINANCE
A... TIME t

【特許請求の範囲】
【請求項１】
マトリックス状に配置されたＥＬ素子と、
前記ＥＬ素子に流す電流を供給する駆動用トランジスタと、
前記ＥＬ素子の電流経路に配置された第１のスイッチング素子と、
前記第１のスイッチング素子をオンオフ制御するゲートドライバ回路と、
前記駆動用トランジスタにプログラム電流を供給するソースドライバ回路を具備し、
前記駆動用トランジスタはＰチャンネルトランジスタであり、
前記ソースドライバ回路のプログラム電流を発生させる単位トランジスタはＮチャンネルトランジスタであり、
前記ゲートドライバ回路は、前記第１のスイッチング素子を、１フレーム期間または１フィールド期間において、少なくとも複数回以上オフ状態に制御するＥＬ表示パネルの駆動方法。
【請求項２】
前記第１のスイッチング素子は、１フレーム期間または１フィールド期間において、周期的にオフ状態に制御される請求項１記載のＥＬ表示パネルの駆動方法。
【発明の詳細な説明】
技術分野
本発明は、有機または無機エレクトロルミネッセンス（ＥＬ）素子を用いたＥＬ表示パネルなどの自発光表示パネルに関するものである。また、ＥＬ表示パネルの駆動方法と駆動回路およびそれらを用いた情報表示装置などに関するものである。
背景技術
一般に、アクティブマトリクス型表示装置では、多数の画素をマトリクス状に並べ、与えられた映像信号に応じて画素毎に光強度を制御することによって画像を表示する。たとえば、電気光学物質として液晶を用いた場合は、各画素に書き込まれる電圧に応じて画素の透過率が変化する。電気光学変換物質として有機エレクトロルミネッセンス（ＥＬ）材料を用いたアクティブマトリクス型の画像表示装置でも、基本的な動作は液晶を用いた場合と同様である。
液晶表示パネルは、各画素はシャッタとして動作し、バックライトからの光を画素であるシャッタでオンオフさせることにより画像を表示する。有機ＥＬ表示パネルは各画素に発光素子を有する自発光型である。そのため、有機ＥＬ表示パネルなどの自発光型の表示パネルは、液晶表示パネルに比べて画像の視認性が高い、バックライトが不要、応答速度が速い等の利点を有する。
有機ＥＬ表示パネルは各発光素子（画素）の輝度は電流量によって制御される。つまり、発光素子が電流駆動型あるいは電流制御型であるという点で液晶表示パネルとは大きく異なる。
有機ＥＬ表示パネルも単純マトリクス方式とアクティブマトリクス方式の構成が可能である。前者は構造が単純であるものの大型かつ高精細の表示パネルの実現が困難である。しかし、安価である。後者は大型、高精細表示パネルを実現できる。しかし、制御方法が技術的に難しい、比較的高価であるという課題がある。現在では、アクティブマトリクス方式の開発が盛んに行われている。アクティブマトリクス方式は、各画素に設けた発光素子に流れる電流を画素内部に設けた薄膜トランジスタ（トランジスタ）によって制御する。このアクティブマトリクス方式の有機ＥＬ表示パネルは、特開平８－２３４６８３号公報に開示されている。この表示パネルの一画素分の等価回路を図６２に示す。画素１６は発光素子であるＥＬ素子１５、第１のトランジスタ１１ａ、第２のトランジスタ１１ｂおよび蓄積容量１９からなる。発光素子１５は有機エレクトロルミネッセンス（ＥＬ）素子である、。本発明では、ＥＬ素子１５に電流を供給（制御）するトランジスタ１１ａを駆動用トランジスタ１１と呼ぶ。また、図６２のトランジスタ１１ｂのように、スイッチとして動作するトランジスタをスイッチ用トランジスタ１１と呼ぶ。
有機ＥＬ素子１５は多くの場合、整流性があるため、ＯＬＥＤ（有機発光ダイオード）と

呼ばれることがある。図６２では発光素子ＯＬＥＤ１５としてダイオードの記号を用いている。
ただし、本発明における発光素子１５はＯＬＥＤに限るものではなく、素子１５に流れる電流量によって輝度が制御されるものであればよい。たとえば、無機ＥＬ素子が例示される。その他、半導体で構成される白色発光ダイオードが例示される。また、一般的な発光ダイオードが例示される。その他、発光トランジスタでもよい。また、発光素子１５は必ずしも整流性が要求されるものではない。双方向性ダイオードであってもよい。なお、１５はＥＬ素子として説明するが、ＥＬ膜あるいはＥＬ構造の意味として用いることがある。
図６２の例では、Ｐチャンネル型のトランジスタ１１ａのソース端子（Ｓ）をＶｄｄ（電源電位）とし、ＥＬ素子１５のカソード（陰極）は接地電位（Ｖｋ）に接続される。一方、アノード（陽極）はトランジスタ１１ｂのドレイン端子（Ｄ）に接続されている。一方、Ｐチャンネル型のトランジスタ１１ａのゲート端子はゲート信号線１７ａに接続され、ソース端子はソース信号線１８に接続され、ドレイン端子は蓄積容量１９およびトランジスタ１１ａのゲート端子（Ｇ）に接続されている。
なお、本発明は、ＥＬ素子１５を駆動する電流を供給するトランジスタ素子１１ａをＰチャンネルとして」説明するがこれに限定するものではない。Ｎチャンネルでもよい。もちろん、トランジスタ１１はバイポーラトランジスタ、ＦＥＴ、ＭＯＳＦＥＴであってもよい。基板７１はガラス基板に限定されるものではなく、シリコン基板などの金属基板であってもよい。
画素１６を動作させるために、まず、ゲート信号線１７ａを選択状態とし、ソース信号線１８に輝度情報を表す映像信号を印加する。すると、トランジスタ１１ａが導通し、蓄積容量１９が充電又は放電され、トランジスタ１１ｂのゲート電位は映像信号の電位に一致する。ゲート信号線１７ａを非選択状態とすると、トランジスタ１１ａがオフになり、トランジスタ１１ｂは電気的にソース信号線１８から切り離される。トランジスタ１１ａのゲート電位は蓄積容量１９によって安定に保持される。トランジスタ１１ａを介して発光素子１５に流れる電流は、トランジスタ１１ａのゲート／ソース端子間電圧Ｖｇｓに応じた値となり、発光素子１５はトランジスタ１１ａを通って供給される電流量に応じた輝度で発光し続ける。
有機ＥＬ表示パネルは、低温ポリシリコントランジスタアレイを用いてパネルを構成する。しかし、有機ＥＬ素子は、電流により発光するため、トランジスタの特性にバラツキがあると、表示ムラが発生するという課題があった。
発明の開示
本発明の目的は、上記従来のＥＬ素子の課題を考慮して、画素トランジスタの特性バラツキがあっても、従来に比べて均一な表示を実現でき、かつ従来に比べて動画ボケの少ないＥＬ表示装置の駆動方法を提供することである。
上記目的を達成するための第１の本発明は、マトリックス状に配置されたＥＬ素子と、
前記ＥＬ素子に流す電流を供給する駆動用トランジスタと、
前記ＥＬ素子の電流経路に配置された第１のスイッチング素子と、
前記第１のスイッチング素子をオンオフ制御するゲートドライバ回路と、
前記駆動用トランジスタにプログラム電流を供給するソースドライバ回路を具備し、
前記駆動用トランジスタはＰチャンネルトランジスタであり、
前記ソースドライバ回路のプログラム電流を発生させる単位トランジスタはＮチャンネルトランジスタであり、
前記ゲートドライバ回路は、前記第１のスイッチング素子を、１フレーム期間または１フィールド期間において、少なくとも複数回以上オフ状態に制御するＥＬ表示パネルの駆動方法である。
また、第２の本発明は、マトリックス状に配置されたＥＬ素子と、
前記ＥＬ素子に流す電流を供給する駆動用トランジスタと、
前記ＥＬ素子の電流経路に配置された第１のスイッチング素子と、

前記第１のスイッチング素子をオンオフ制御するゲートドライバ回路と、
前記駆動用トランジスタにプログラム電流を供給するソースドライバ回路を具備し、
前記駆動用トランジスタはＰチャンネルトランジスタであり、
前記ソースドライバ回路のプログラム電流を発生させる単位トランジスタはＮチャンネルトランジスタであり、
前記ゲートドライバ回路は、前記第１のスイッチング素子を、１フレーム期間または１フィールド期間において、２水平走査期間以上オフ状態に制御することを特徴とするＥＬ表示パネルの駆動方法である。
また、第３の本発明は、マトリックス状に配置されたＥＬ素子と、
前記ＥＬ素子に流す電流を供給する駆動用トランジスタと、
前記ＥＬ素子の電流経路に配置された第１のスイッチング素子と、
前記第１のスイッチング素子をオンオフ制御するゲートドライバ回路と、
前記駆動用トランジスタにプログラム電流を供給するソースドライバ回路を具備し、
前記駆動用トランジスタはＰチャンネルトランジスタであり、
前記ソースドライバ回路のプログラム電流を発生させる単位トランジスタはＮチャンネルトランジスタであり、
画素行を選択し電流プログラムを行う期間は、第１の期間と第２の期間から構成され、
第１の期間に第１の電流が印加され、
第２の期間に第２の電流が印加され、
第１の電流は、第２の電流よりも大きく、
前記ソースドライバ回路は、第１の期間に第１の電流を出力し、第１の期間の後の第２の期間に第１の電流を出力することを特徴とするＥＬ表示パネルの駆動方法である。
また、第４の本発明は、第１のスイッチング素子は、１フレーム期間または１フィールド期間において、周期的にオフ状態に制御されることを特徴とする上記第１の本発明のＥＬ表示パネルの駆動方法である。
また、第５の本発明は、プログラム電流を出力するソースドライバ回路と、
マトリックス状に配置されたＥＬ素子と、
前記ＥＬ素子に流す電流を供給する駆動用トランジスタと、
前記ＥＬ素子の電流経路に配置された第１のスイッチング素子と、
前記駆動用トランジスタに前記プログラム電流を伝達する経路を構成する第２のスイッチング素子と、
前記第１のスイッチング素子をオンオフ制御する第１のゲートドライバ回路と、
前記第２のスイッチング素子をオンオフ制御する第２のゲートドライバ回路と、
前記駆動用トランジスタにプログラム電流を供給するソースドライバ回路を具備し、
前記駆動用トランジスタはＰチャンネルトランジスタであり、
前記ソースドライバ回路のプログラム電流を発生させる単位トランジスタはＮチャンネルトランジスタであり、
前記第１のゲートドライバ回路は、前記第１のスイッチング素子を、１フレーム期間または１フィールド期間において、複数回オフ状態に制御し、
前記第１のゲートドライバ回路は、表示パネルの一辺に配置または形成されており、
前記第２のゲートドライバ回路は、表示パネルの他辺に配置または形成されていることを特徴とするＥＬ表示パネルである。
また、第６の本発明は、ゲートドライバ回路は、駆動用トランジスタと同一プロセスで形成され、ソースドライバ回路は、半導体チップで形成されていることを特徴とする上記第５の本発明のＥＬ表示パネルである。
また、第７の本発明は、ゲート信号線と、
ソース信号線と、
プログラム電流を出力するソースドライバ回路と、
ゲートドライバ回路と、
マトリックス状に配置されたＥＬ素子と、

前記ＥＬ素子に流す電流を供給する駆動用トランジスタと、
前記ＥＬ素子の電流経路に配置された第１のトランジスタと、
前記駆動用トランジスタに前記プログラム電流を伝達する経路を構成する第２のトランジスタと、
前記駆動用トランジスタにプログラム電流を供給するソースドライバ回路を具備し、
前記駆動用トランジスタはＰチャンネルトランジスタであり、
前記ソースドライバ回路のプログラム電流を発生させる単位トランジスタはＮチャンネルトランジスタであり、
前記ソースドライバ回路は、前記ソース信号線にプログラム電流を出力し、
前記ゲートドライバ回路は、ゲート信号線に接続され、
前記第２のトランジスタのゲート端子は、前記ゲート信号線に接続され、
前記第２のトランジスタのソース端子は、前記ソース信号線に接続され、
前記第２のトランジスタのドレイン端子は、前記駆動用トランジスタのドレイン端子に接続され、
前記ゲートドライバ回路は、複数のゲート信号線を選択して、前記プログラム電流を複数の画素の前記駆動用トランジスタに供給することを特徴とするＥＬ表示パネルである。
また、第８の本発明は、Ｉ（Ｉは２以上の整数）画素行、Ｊ（Ｊは２以上の整数）画素列からなる表示領域を有し、
前記表示領域のソース信号線に映像信号を印加するソースドライバ回路と、
前記表示領域のゲート信号線にオン電圧またはオフ電圧を印加するゲートドライバ回路と、
前記表示領域以外の箇所に形成されたダミー画素行を具備し、
前記表示領域にはＥＬ素子がマトリックス状に形成され、ソースドライバ回路からの映像信号に基づいて発光し、
前記ダミー画素行は、発光しないか、もしくは発光状態が視覚的に見えないように構成されていることを特徴とするＥＬ表示パネルである。
また、第９の本発明は、ゲートドライバ回路は、複数画素行を同時に選択して、ソースドライバ回路からの映像信号を前記複数の画素行に印加し、
第１行目の画素行もしくはＩ画素行が選択される時には、ダミー画素行が選択されることを特徴とする上記第７の本発明のＥＬ表示パネルである。
また、第１０の本発明は、ゲートドライバ回路はＰチャンネルトランジスタで構成されていることを特徴とする上記第７の本発明のＥＬ表示パネルである。
また、第１１の本発明は、マトリックス状に配置されたＥＬ素子と、
前記ＥＬ素子に流す電流を供給する駆動用トランジスタと、
前記ＥＬ素子の電流経路に配置された第１のスイッチング素子と、
前記第１のスイッチング素子をオンオフ制御するゲートドライバ回路と、
前記駆動用トランジスタにプログラム電流を供給するソースドライバ回路を具備し、
前記駆動用トランジスタおよび前記第１のスイッチング素子はＰチャンネルトランジスタであり、
前記ソースドライバ回路のプログラム電流を発生させる単位トランジスタはＮチャンネルトランジスタであり、
前記ソースドライバ回路のプログラム電流を発生させる単位トランジスタはＮチャンネルトランジスタであることを特徴とするＥＬ表示パネルである。
また、第１２の本発明は、ＥＬ素子を所定輝度よりも高輝度で発光する電流を前記ＥＬ素子に供給し、
１フレームまたは１フィールドの１／Ｎ（Ｎは１より大きい）期間、前記ＥＬ素子を発光させることを特徴とするＥＬ表示パネルの駆動方法である。
また、第１３の本発明は、フレームの１／Ｎの期間は、複数期間に分割されていることを特徴とする上記第１２の本発明のＥＬ表示パネルの駆動方法である。
また、第１４の本発明は、電流によりＥＬ素子に流す電流をプログラムするＥＬ表示パネ

ルにあって、
所定輝度よりも高い輝度で前記ＥＬ素子を発光させ、１／Ｎ（Ｎ＞１）の表示領域を表示し、
前記１／Ｎの表示領域を順次シフトして全画面を表示することを特徴とするＥＬ表示パネルの駆動方法である。
また、第１５の本発明は、マトリックス状に配置されたＥＬ素子と、前記ＥＬ素子に流す電流を供給する駆動用トランジスタと、前記ＥＬ素子の電流経路に配置された第１のスイッチング素子と、前記第１のスイッチング素子をオンオフ制御するゲートドライバ回路を有するＥＬ表示パネルと、
受話器を具備することを特徴とするＥＬ表示装置である。
ここで、本明細書中に記載した本発明の内、一の発明は２つの動作からなる。第１の動作は、画素１６の駆動用トランジスタ１１ａに、電流ドライバ回路（ＩＣ）１４から電流を供給（あるいは吸収）し、駆動用トランジスタ１１ａに所定の電流をプログラムする。第２の動作は、前記駆動用トランジスタ１１ａにプログラムされた電流をＥＬ素子１５に流す。以上のように、駆動用トランジスタ１１ａに電流プログラムし、この電流をＥＬ素子１５に流すことにより、駆動用トランジスタ１１ａに特性バラツキが発生していても、プログラムされた所定の電流を流すことができるようになる。したがって、均一な画面表示を実現できる。ＥＬ素子１５に流す電流はＥＬ素子１５と駆動用トランジスタ１１ａ間に形成または配置されたトランジスタ１１ｄにより間欠動作される。
また、他の一の発明は、複数画素行の駆動用トランジスタ１１ａを同時に選択し、電流プログラムを実施する方法である。選択画素行は順次走査する。たとえば、電流ドライバ１４から１μＡの電流を出力し、２つの画素行を同時に選択するとすれば、１つの画素行には、１／２＝０．５μＡの電流がプログラムされる。
これを実現するために、画面の上端と下端のうち、少なくとも一方に、ダミー画素行を形成する。このダミー画素行は、電流プログラムされても発光しないように構成される。また、ダミー画素行は、同時に選択される画素行－１の本数が形成または配置される。
電流ドライバ１４が電流出力するソース信号線１８には寄生容量がある。寄生容量を十分に充放電できなければ、画素１６には所定の電流を書き込むことができない。充放電を良好にするためには、電流ドライバ１４からの出力電流を大きくすればよい。しかし、電流ドライバ１４から出力する電流は画素１６の駆動用トランジスタ１１ａに書き込まれる。したがって、電流ドライバ１４からの出力電流を大きくすると、駆動用トランジスタ１１ａに書き込まれる電流も大きくなり、ＥＬ素子１５の発光輝度も比例して大きくなる。そのため、所定輝度表示にならない。
複数画素行の駆動用トランジスタ１１ａを同時に選択すれば、電流ドライバ１４からの出力電流は複数画素行に分割されて、電流プログラムが実施される。したがって、電流ドライバ１４から出力する電流を大きくし、かつ駆動用トランジスタ１１ａの書き込み電流を小さくすることができる。
また、更に他の一の発明は、画素１６の点灯を間欠にするものである。つまり、画面表示は間欠表示にする。画面表示を間欠表示にすることにより動画ボケの発生がなくなる。したがって、ＣＲＴのように、残像がなく、良好な動画表示を実現できる。間欠表示は、駆動用トランジスタとＥＬ素子１５間に配置または形成されたトランジスタ１１ｄを制御することにより実現する。
なお、上記構成によれば、例えば、Ｎ＝１０倍の電流で画素トランジスタにプログラムすれば、１０倍の電流がＥＬ素子１５に流れ、ＥＬ素子１５は１０倍の輝度で発光する。そこで所定の発光輝度を得るために、ＥＬ素子に電流が流れる時間を１フレーム（１Ｆ）の１／１０にする。このように駆動することにより、ソース信号線の寄生容量を十分に充放電でき、所定の発光輝度を得ることができる。この様に、Ｎ倍の電流で画素にプログラムするため、ソース信号線の寄生容量を十分に充放電できる。したがって、精度のよい電流プログラムを実現できるから均一表示を実現できる。また、１Ｆ／Ｎの期間の間だけ、ＥＬ素子１５に電流を流し、他の期間（１Ｆ（Ｎ－１）／Ｎ）は電流を流さない。この表示

状態では１Ｆごとに画像データ表示、黒表示（非点灯）が繰り返される間欠表示となる。したがって、画像の輪郭ぼけがなくなり良好な動画表示を実現できる。

発明を実施するための最良の形態

本明細書において各図面は理解を容易にまたは／および作図を容易にするため、省略または／および拡大縮小した箇所がある。たとえば、図１１に図示する表示パネルの断面図では封止膜１１１などを十分厚く図示している。一方、図１０において、封止フタ８５は薄く図示している。また、省略した箇所もある。たとえば、本発明の表示パネルなどでは、反射防止のために円偏光板などの位相フィルムを偏光板が必要である。しかし、本明細書の各図面では省略している。以上のことは以下の図面に対しても同様である。また、同一番号または、記号等を付した箇所は同一もしくは類似の形態もしくは材料あるいは機能もしくは動作を有する。

なお、各図面等で説明した内容は特に断りがなくとも、他の実施例等と組み合わせることができる。たとえば、図８の表示パネルにタッチパネルなどを付加し、図５７から図６１、図１０２など図示する情報表示装置などを構成することができる。また、拡大レンズ５８２を取り付け、ビデオカメラ（図５９など参照のこと）などに用いるビューファインダ（図５８を参照のこと）を構成することもできる。また、図４、図１５、図１８、図２１、図２３、図２７、図３１、図３５、図３９、図４４、図５２、図５３、図５５、図６３、図６７、図７７、図７８、図７９、図８０、図１１４、図１１６、図１２０、図１２２、図１２５、図１２９、図１３０、図１３１、図１３２、図１３３、図１３６、図１３９、図１４０、図１４４、図１４５、図１５２から図１６４などで説明した本発明の駆動方法は、いずれの本発明の表示装置または表示パネルもしくは情報表示装置などに適用することができる。

なお、本明細書では、駆動用トランジスタ１１、スイッチング用トランジスタ１１などは薄膜トランジスタとして説明するが、これに限定するものではない。薄膜ダイオード（ＴＦＤ）、リングダイオードなどでも構成することができる。また、薄膜素子に限定するものではなく、シリコンウエハに形成したトランジスタでもよい。もちろん、ＦＥＴ、ＭＯＳ－ＦＥＴ、ＭＯＳトランジスタ、バイポーラトランジスタでもよい。これらも基本的に薄膜トランジスタである。その他、バリスタ、サイリスタ、リングダイオード、ホトダオード、ホトトランジスタ、ＰＬＺＴ素子などでもよいことは言うまでもない。つまり、スイッチ素子１１、駆動用素子１１と構成するものはこれらのいずれでも使用することができる。

以下、本発明のＥＬパネルについて図面を参照しながら説明をする。

有機ＥＬ表示パネルは、図１０に示すように、画素電極としての透明電極１０５が形成されたガラス板７１（アレイ基板）上に、電子輸送層、発光層、正孔輸送層などからなる少なくとも１層の有機ＥＬ層１５および金属電極（反射膜）（カソード）１０６が積層されたものである。透明電極（画素電極）１０５である陽極（アノード）にプラス、金属電極（反射電極）１０６の陰極（カソード）にマイナスの電圧を加えると有機ＥＬ素子１５が発光する。

アノードあるいはカソードへ電流を供給する配線（図８のカソード配線８６、アノード配線８７）には大きな電流が流れる。たとえば、ＥＬ表示装置の画面サイズが４０インチサイズになると１００（Ａ）程度の電流が流れる。したがって、アノードおよびカソード配線の抵抗値は十分低く作製（形成）する必要がある。この課題に対して、本発明では、まず、アノードなどの配線（ＥＬ素子に発光電流を供給する配線）を薄膜で形成する。そして、この薄膜配線に電解めっき技術あるいは無電解めっき技術でメッキし、配線にメッキ層を積層することにより配線の厚みを厚く形成している。

めっき金属としては、クロム、ニッケル、金、銅、アルミあるいはこれらの合金、アマンガム構造などが例示される。また、必要に応じて、配線そのもの、あるいは配線に銅薄からなる金属配線を貼り付けている。また、配線の上に銅ペーストなどをスクリーン印刷し、ペーストなどを積層させることにより配線の厚みを厚くし、配線抵抗を低下させる。また、ボンディング技術で配線のワイヤをボンディングしてもよい。また、必要に応じて、

配線に絶縁層を形成し、さらに導電体層を積層してグランドパターンを形成し、配線との間にコンデンサ（容量）を形成してもよい。
金属電極１０６には、リチウム、銀、アルミニウム、マグネシウム、インジウム、銅または各々の合金等の仕事関数が小さなものを用いることが好ましい。特に、例えばＡｌ－Ｌｉ合金を用いることが好ましい。また、透明電極１０５には、ＩＴＯ等の仕事関数の大きな導電性材料または金等を用いることができる。なお、金を電極材料として用いた場合、電極は半透明の状態となる。なお、ＩＴＯはＩＺＯなどの他の材料でもよい。この事項は他の画素電極１０５に対しても同様である。
本発明のＥＬ膜１５は蒸着で形成することに限定するものではなく、インクジェットで形成してもよいことは言うまでもない。つまり、本発明のＥＬ素子１５とは、蒸着プロセスで形成する低分子ＥＬ材料で構成されたものに限定されるものではなく、インクジェットなどで形成される高分子ＥＬ材料で構成されたものでもよい。その他、スクリーン印刷あるいはオフセット印刷技術などで形成されたものでもよい。
封止フタ８５とアレイ基板７１との空間には乾燥剤１０７を配置する。これは、有機ＥＬ膜１５は湿度に弱いためである。ＥＬ膜１５を封止ふた８５で外気と遮断し、乾燥剤１０７によりシール剤を浸透する水分を吸収し有機ＥＬ膜１５の劣化を防止する。
図１０はガラスの封止フタ８５を用いて封止する構成であるが、図１１のようにフィルム（薄膜でもよい。つまり、薄膜封止膜である）１１１を用いた封止であってもよい。たとえば、封止フィルム（薄膜封止膜）１１１としては電解コンデンサのフィルムにＤＬＣ（ダイヤモンド　ライク　カーボン）を蒸着したものを用いることが例示される。このフィルムは水分浸透性が極めて悪い（防湿性能が高い）。このフィルムを封止膜１１１として用いる。なお、封止フタあるいは封止膜１１１の熱膨張係数は、アレイ基板７１の熱膨張係数に対し、１０％以内の差の材料を用いて形成あるいは構成することが好ましい。熱膨張係数がずれていると封止ふた１１１などとアレイ基板７１などが剥離する。なお、封止膜１１１は、ＤＬＣ膜などを電極１０６の表面に直接蒸着する構成ものよいことは言うまでもない。その他、樹脂薄膜と金属薄膜を多層に積層して、薄膜封止膜を構成してもよい。
薄膜１１１の膜厚はｎ・ｄ（ｎは薄膜の屈折率、複数の薄膜が積層されている場合はそれらの屈折率を総合（各薄膜のｎ・ｄを計算）にして計算する。ｄは薄膜の膜厚、複数の薄膜が積層されている場合はそれらの屈折率を総合して計算する。）が、ＥＬ素子１５の発光主波長λ以下となるようにするとよい。この条件を満足させることにより、ＥＬ素子１５からの光取り出し効率が、ガラス基板で封止した場合に比較して２倍以上になる。また、アルミニウムと銀の合金あるいは混合物あるいは積層物を形成してもよい。
以上のように封止フタ８５を用いず、封止膜１１１で封止する構成を薄膜封止構成と呼ぶ。基板７１側から光を取り出す「下取り出し（図１０を参照、光取り出し方向は図１０の矢印方向である）」の場合は、ＥＬ膜を形成後、ＥＬ膜上にカソードとなるアルミ電極を形成する。次にこのアルミ膜上に緩衝層としての樹脂層を形成する。緩衝層としては、アクリル、エポキシなどの有機材料が例示される。また、膜厚は１μｍ以上１０μｍ以下の厚みが適する。さらに好ましくは、膜厚は２μｍ以上６μｍ以下の厚みが適する。この緩衝膜上に封止膜７４を形成する。緩衝膜がないと、応力によりＥＬ膜構造が崩れ、筋状に欠陥が発生する。封止膜１１１は前述したように、ＤＬＣ（ダイヤモンド　ライク　カーボン）、あるいは電界コンデンサの層構造（誘電体薄膜とアルミ薄膜とを交互に多層蒸着した構造）が例示される。
ＥＬ層１５側から光を取り出す「上取り出し、図１１を参照、光取り出し方向は図１１の矢印方向である」の場合の薄膜封止は、ＥＬ膜１５を形成後、ＥＬ膜１５上にカソード（アノード）となるＡｇ－Ｍｇ膜を２０オングストローム以上３００オングストロームの膜厚で形成する。その上に、ＩＴＯなどの透明電極を形成して低抵抗化する。次にこの電極膜上に緩衝層としての樹脂層を形成する。この緩衝膜上に封止膜１１１を形成する。
有機ＥＬ層１５から発生した光の半分は、反射膜１０６で反射され、アレイ基板７１と透過して出射される。しかし、反射膜１０６には外光を反射し写り込みが発生して表示コン

トラストを低下させる。この対策のために、アレイ基板７１にλ／４板１０８および偏光板（偏光フィルム）１０９を配置している。これらは一般的に円偏光板（円偏光シート）と呼ばれる。

なお、画素が反射電極の場合はＥＬ層１５から発生した光は上方向に出射される。したがって、位相板１０８および偏光板１０９は光出射側に配置することはいうまでもない。なお、反射型画素は、画素電極１０５を、アルミニウム、クロム、銀などで構成して得られる。また、画素電極１０５の表面に、凸部（もしくは凹凸部）を設けることで有機ＥＬ層１５との界面が広くなり発光面積が大きくなり、また、発光効率が向上する。なお、カソード１０６（アノード１０５）となる反射膜を透明電極に形成する、あるいは反射率を３０％以下に低減できる場合は、円偏光板は不要である。写り込みが大幅に減少するからである。また、光の干渉も低減し望ましい。

画素の開口部以外にアクリルのカーボンを含有させた樹脂を塗布する（ブラックマトリックス（ＢＭ））ことにより、写りこみを抑制することができる。樹脂などは光吸収性を有するものであれば何でも良い。六価クロムなどの黒色の金属、塗料、表面に微細な凹凸を形成した薄膜あるいは厚膜もしくは部材、酸化チタン、酸化アルミニウム、酸化マグネシウム、オパールガラスなどの光拡散物でもよい。また、暗色、黒色でなくとも光変調層２４が変調する光に対して補色の関係のある染料、顔料などで着色されたものでもよい。

画素電極１０５は透明電極（ＩＴＯ）で形成される。画素電極１０５上に、ＥＬ膜１５が形成される。カソード電極１０６と画素電極１０５間に挟時されたＥＬ素子１５に電界が印加されることによりＥＬ素子１５が発光する。

課題は、電界が印加されたＥＬ層１５のすべてが発光してしまう点にある。画素電極１０５下にトランジスタ１１、ゲート信号線１７が形成された領域は光が透過しない（この光が透過しない領域を非透過領域と呼ぶ）。非透過領域のＥＬ層１５が発光しても、発光した光は遮光されてしまう。しかし、発光した領域においても電力は使用されているから、非透過領域で発光しているＥＬ層が多いほど電力効率が低下することになる。

この課題を解決するため、本発明では、図６８で図示するように非発光領域に絶縁膜６８１を形成している。絶縁膜６８１は、画素電極１０５と積層して形成する。また、絶縁膜６８１は非発光領域上に形成する。非発光領域上とは、画素電極１０５とＥＬ層１５間、カソード１０６とＥＬ層１５間のいずれも該当する。図６８は画素電極１０５とＥＬ層１５間に絶縁膜６８１を形成した構成である。

図７１は、画素電極１０５を上から見た構成を模式的に図示している。非発光領域上に絶縁膜６８１が形成されている。また、図７２は画素開口部７２１以外の部分に絶縁膜６８１を形成したところを示している。

絶縁膜は、SiO_2、ＳｉＯ、TiO_2、Al_2O_3などの無機材料からなる薄膜が例示される。また、アクリル樹脂、レジストなど有機材料からなる薄膜あるいは厚膜でもよい。なお、非透過領域の画素電極をパターニングにより取り除いても良い。また、カソードを構成する金属薄膜などをパターニングにより取り除いても良いことは言うまでもない。絶縁膜６８１を形成すること、あるいはバターンニングによりＥＬ素子１５の電極を取り除くことにより、ＥＬ膜１５には電荷が注入されなくなる。したがって、非発光領域でのＥＬ素子１５の発光は発生しなくなるから、電力効率は向上する。

なお、画素サイズは、図７３に図示するように、ＲＧＢで大きさを変化させてもよいことは言うまでもない。ＥＬ素子１５は、ＲＧＢで発光効率が異なるため、図７３のようにＲＧＢで画素開口率（画素サイズ）を変化させることのより、ホワイトバランスを良好にすることができる。

また、基板７１から外部に放射（出射）される光量を増大させるためには、図６９に図示するように回折格子を形成するとよい。回折格子により、ＥＬ層１５で発生した光が回折し、全臨界角で反射される光量が少なくなる。したがって、基板７１から出射する光量が増大し、高輝度表示を実現できるようになる。

図６９の（ａ）は回折格子６９１を画素電極１０５上に形成した実施例である。画素電極１０５をパターニングすることにより、あるいは画素電極１０５の下層あるいは画素電極

１０５上に回折格子を形成することのより、回折効果が発揮される。
回折格子の形状は、円弧状、三角形状、のこぎり歯状、矩形状、サインカーブ状のいずれでもよい。しかし、特性、効率の観点からサインカーブ状にすることが好ましい。回折格子のピッチは１μｍ以上２０μｍ以下とすることが好ましく、特に、２μｍ以上１０μｍ以下とすることが好ましい。回折格子の高さは２μｍ以上２０μｍ以下とすることが好ましく、特に、３μｍ以上１０μｍ以下とすることが好ましい。また、回折格子は、線状（２次元状）よりも３次元（ドットマトリックス状）に構成することが好ましい。線状であれば、偏光依存性が発生するからである。
図６９の（ｂ）は回折格子６９１をカソード電極１０６上に形成した実施例である。カソード電極１０６をパターニングすることにより、あるいはカソード電極１０６の下層あるいはカソード電極１０６上に回折格子を形成することのより、回折効果が発揮される。
図７０は回折格子６９１をカソード電極１０６および画素電極に形成した実施例である。回折格子６９１ａ、６９１ｂは２次元状（線状）に形成し、回折格子６９１ａと回折格子６９１ｂとは形成方向が直交するように構成すればよい。もちろん、回折格子６９１ａ、回折格子６９１ｂの一方が３次元状あるいは両方が３次元状に構成してもよいことは言うまでもない。
トランジスタ１１はＬＤＤ（ロー　ドーピング　ドレイン）構造を採用することが好ましい。また、本明細書ではＥＬ素子として有機ＥＬ素子（ＯＥＬ、ＰＥＬ、ＰＬＥＤ、ＯＬＥＤなど多種多様な略称で記述される）１５を例にあげて説明するがこれに限定するものではなく、無機ＥＬ素子にも適用されることは言うまでもない。
まず、有機ＥＬ表示パネルに用いられるアクティブマトリックス方式は、
１．特定の画素を選択し、必要な表示情報を与えられること。
２．１フレーム期間を通じてＥＬ素子に電流を流すことができること。
という２つの条件を満足させなければならない。
この２つの条件を満足させるため、図６２に図示する従来の有機ＥＬの画素構成では、第１のトランジスタ１１ｂは画素を選択するためのスイッチング用トランジスタ、第２のトランジスタ１１ａはＥＬ素子（ＥＬ膜）１５に電流を供給するための駆動用トランジスタとする。
この構成を用いて階調を表示させる場合、駆動用トランジスタ１１ａのゲート電圧として階調に応じた電圧を印加する必要がある。したがって、駆動用トランジスタ１１ａのオン電流のばらつきがそのまま表示に現れる。
トランジスタのオン電流は単結晶で形成されたトランジスタ（たとえば、シリコン基板に形成されたトランジスタ）であれば、きわめて均一であるが、安価なガラス基板に形成することのできる形成温度が４５０度以下の低温ポリシリ技術で形成した低温多結晶トタンジスタでは、そのしきい値のばらつきが±０．２Ｖ～０．５Ｖの範囲でばらつきがある。そのため、駆動用トランジスタ１１ａを流れるオン電流がこれに対応してばらつき、表示にムラが発生する。これらのムラは、しきい値電圧のばらつきのみならず、トランジスタの移動度、ゲート絶縁膜の厚みなどでも発生する。また、トランジスタ１１の劣化によっても特性は変化する。
トランジスタの特性のばらつきは、低温ポリシリコン技術に限定されるものではなく、プロセス温度が４５０度（摂氏）以上の高温ポリシリコン技術でも、固相（ＣＧＳ）成長させた半導体膜を用いてトランジスタなどを形成したものでも発生する。その他、有機トランジスタでも発生する。アモルファスシリコントランジスタでも発生する。なお、本明細書では低温ポリシリコン技術で形成したトランジスタを主として説明する。
したがって、図６２のように、電圧を書き込むことにより、階調を表示させる方法では、均一な表示を得るために、デバイスの特性を厳密に制御する必要がある。しかし、現状の低温多結晶ポリシリコントランジスタなどではこのバラツキを所定範囲以内に抑えるというスペックを満足できない。
本発明のＥＬ表示装置の画素構造は、具体的には図１に示すように単位画素が４つからなる複数のトランジスタ１１ならびにＥＬ素子により形成される。画素電極はソース信号線

と重なるように構成する。つまり、ソース信号線１８上に絶縁膜あるいはアクリル材料からなる平坦化膜を形成して絶縁し、この絶縁膜上に画素電極１０５を形成する。このようにソース信号線１８上の少なくとも１部に画素電極を重ねる構成をハイアパーチャ（ＨＡ）構造と呼ぶ。不要な干渉光などが低減し、良好な発光状態が期待できる。

この回路は１画素内に４つのトランジスタ１１を有しており、トランジスタ１１ａのゲートはトランジスタ１１ｂのソースに接続されている。また、トランジスタ１１ｂおよびトランジスタ１１ｃのゲートはゲート信号線１７ａに接続されている。トランジスタ１１ｂのドレインはトランジスタ１１ｃのソースならびにトランジスタ１１ｄのソースに接続され、トランジスタ１１ｃのドレインはソース信号線１８に接続されている。トランジスタ１１ｄのゲートはゲート信号線１７ｂに接続され、トランジスタ１１ｄのドレインはＥＬ素子１５のアノード電極に接続されている。

尚、トランジスタ１１ｂ及び１１ｃは、本発明の第２のスイッチング素子の一例である。また、トランジスタ１１ｄは、本発明の第１のスイッチング素子の一例である。

ゲート信号線（第１の走査線）１７ａをアクティブ（オン電圧を印加）とすることによりＥＬ素子１５の駆動用のトランジスタ１１ａおよびスイッチ用トランジスタ１１ｃがオンする。同時に、前記ＥＬ素子１５に流すべき電流値をソースドライバ回路１４から流す。また、トランジスタ１１ａのゲートとドレイン間を短絡するようにトランジスタ１１ｂがオンすると共に、トランジスタ１１ａのゲートとソース間に接続されたコンデンサ（キャパシタ、蓄積容量、付加容量）１９にソースドライバ回路１４が流した電流を記憶する（図３の（ａ）を参照のこと）。

次に、ゲート信号線１７ａを非アクティブ（ＯＦＦ電圧を印加）、ゲート信号線１７ｂをアクティブとして、電流の流れる経路を前記第１のトランジスタ１１ａ並びにＥＬ素子１５に接続されたトランジスタ１１ｄならびに前記ＥＬ素子１５を含む経路に切り替えて、記憶した電流を前記ＥＬ素子１５に流すように動作する（図３の（ｂ）を参照のこと）。

なお、１画素に必要なコンデンサ１９の容量をＣｓ（ｐＦ）とし、１画素が占める面積（開口率ではない。画素サイズである。）をＳｐ（平方μｍ）とすれば、５００／Ｓｐ ≦ Ｃｓ ≦ ２００００／Ｓｐとし、さらに好ましくは、１０００／Ｓｐ ≦ Ｃｓ ≦ １００００／Ｓｐとなるようにする。なお、トランジスタのゲート容量は小さいので、ここでいうＣｓとは、蓄積容量（コンデンサ）１９単独の容量とみなしてもよい。

コンデンサ１９は画素の非表示領域におおむね形成することがこのましい。一般的に、フルカラー有機ＥＬ１５を作成する場合、有機ＥＬ層１５をメタルマスクによるマスク蒸着で形成する。マスク位置ずれが発生すると各色の有機ＥＬ層１５（１５Ｒ、１５Ｇ、１５Ｂ）が重なる危険性がある。そのため、各色の隣接する画素間の非表示領域は１０μ以上離れなければならない。この部分は発光に寄与しない部分（非発光領域）となる。したがって、蓄積容量１９をこの領域に形成することは画素内の有効利用となり、開口率向上のために有効な手段となる。

なお、図１ではすべてのトランジスタはＰチャンネルで構成している。Ｐチャンネルは多少Ｎチャンネルのトランジスタに比較してモビリティが低いが、耐圧が大きくまた劣化も発生しにくいので好ましい。しかし、本発明はＥＬ素子構成をＰチャンネルで構成することのみに限定するものではない。Ｎチャンネルのみで構成してもよい。また、ＮチャンネルとＰチャンネルの両方を用いて構成してもよい。

なお、図１においてトランジスタ１１ｃ、１１ｂは同一の極性で構成し、かつＮチャンネルで構成し、トランジスタ１１ａ、１１ｄはＰチャンネルで構成することが好ましい。一般的にＰチャンネルトランジスタはＮチャンネルトランジスタに比較して、信頼性が高い、キンク電流が少ないなどの特長があり、電流を制御することによって目的とする発光強度を得るＥＬ素子１５に対しては、トランジスタ１１ａをＰチャンネルにする効果が大きい。

最適には画素を構成するトランジスタ１１をすべてＰチャンネルで形成し、内蔵ゲートドライバ１２もＰチャンネルで形成することが好ましい。このようにアレイをＰチャンネルのみのトランジスタで形成することにより、マスク枚数が５枚となり、低コスト化、高歩

留まり化を実現できる。
図１などの電流駆動方式の画素構成は、画素欠陥を電気的に検査できるという点にも特徴がある。以下、本発明の検査方法について説明しておく。図８７、図８８は本発明の検査方法を説明するための説明図である。図８７の画素構成（図１の画素構成を例示して説明をする）では、プログラム電流Ｉｗをソース信号線１８に印加する。プログラム電流Ｉｗは１μＡ～１０μＡの電流である。駆動用トランジスタ１１ａは所定のプログラム電流Ｉｗが流れるように駆動される。つまり、駆動用トランジスタ１１ａのゲート（Ｇ）端子の電位は変化する。この所定の電流Ｉｗを流すための、トランジスタ１１ａのゲート端子（Ｇ）の電位をＶｔと呼ぶ。
たとえば、ある画素の駆動用トランジスタ１１ａはＩｗ電流を流すのに、ゲート端子はＶｄｄ電圧よりもＶｔ２だけ低くする必要がある（図８８の実線）。他のある画素の駆動用トランジスタ１１ａはＩｗ電流を流すのに、ゲート端子はＶｄｄ電圧よりもＶｔ１だけ低くする必要がある（図８８の点線）。これらのＶｔはソース信号線１８の電位の変化であるが、画素１６のトランジスタ１１ａの特性を示していることになる。
つまり、選択された画素１６の駆動トランジスタ１１ａのゲート端子電位がソース信号線１８の電位となる。駆動トランジスタ１１ａのゲート端子電位の調整により駆動トランジスタ１１ａが流す電流が決定されるから、駆動トランジスタ１１ａのゲート電位より駆動トランジスタ１１ａの特性を測定することができる。また、画素１６内で発生している欠陥によりソース信号線１８の電位が異状出力となる。したがって、欠陥などを検出することができる。
ゲートドライブ回路１２を制御し、１ゲート信号線１７ａにオン電圧を印加する。つまり、１画素行ずつ、順次選択していく（他のゲート信号線１７ａにはオフ電圧が印加されている）。また、ソース信号線１８にはＩｗ電流を流すように設定する。ゲート信号線１７ａにオン電圧が印加され、選択された画素１６のトランジスタ１１ａのゲート端子は、所定電流Ｉｗを流すに必要とするＶｔ電圧となる。
ゲート信号線１７ｂにはオフ電圧を印加しておく。オフ電圧に印加によりトランジスタ１１ｄはオフ状態となり、駆動用トランジスタ１１ａとＥＬ素子１５とは切り離された状態となる。したがって、ＥＬ素子１５が形成されていないアレイ状態でも本発明の検査方法を適用できる。
以上のように、ゲート信号線１７ａのオン電圧位置を、１水平走査期間（１Ｈ）に同期して順次シフトしていくと、図８９に図示するようにソース信号線１８電位が変化する（図８８も参照のこと）。変化は、１Ｈに同期して出力される。なお、１Ｈに同期すること限定されるものではない。画像を表示するのではなく、検査のためだからである。したがって、１Ｈとは、１画素行を順次選択するという意味であって、説明を容易にするためである。１Ｈは任意の固定の時間（期間）であって良い。つまり、１Ｈとは、検査する画素行を選択している期間である。
なお、本発明の検査方式（検査装置、検査方法）では、複数画素行を同時に選択してもよいことは明らかである。画素欠陥などは、複数画素行を同時に選択しても異状出力がソース信号線１８に出力されることで検出できるからである。検査を行う画素１６から出力される電流はμＡ程度の微小電流である。画素１６でショート欠陥などが発生していると、少なくともｍＡオーダーの出力がソース信号線１８に出力される。したがって、複数画素行を同時に選択して検査を行うことができる。極端には、表示領域５０の全画素行を選択し、一括検査を行っても良い。また、画面５０の１／２ずつ検査を行っても良い。
図９０は、本発明の検査方法を実施するための検査回路の構成図である。各ソース信号線１８の電極端子９９６にプローブ９９７を接続し、ソース信号線１８にプログラム電流Ｉｗを印加している。プログラム電流Ｉｗは、基準電圧回路９９１の電圧値により変更あるいは調整できる。基準電圧発生回路９９１の基準電圧Ｖａがオペアンプ９９５の＋端子（正極性端子）に入力される。オペアンプ９９５とトランジスタ９９４と抵抗Ｒｍで定電流回路を構成している。
プログラム電流Ｉｗは１μＡ以上１０μＡ以下に設定する。基本的には、パネルを駆動す

るのに必要な最大値の電流で実施する。また、黒書き込み状態（黒表示時）の検討するため、１００ｎＡ以下の低電流で測定してもよい。
基準電圧回路９９１が出力する基準電圧Ｖａは、オペアンプ９９５の＋端子に印加される。オペアンプの＋端子と－端子は同一電位となるから、トランジスタ９９４にはソース信号線１８に流れる電流Ｉｗ＝Ｖａ／Ｒｍが流れる。したがって、すべてのソース信号線１８には定電流Ｉｗが流れる。また、基準電圧Ｖａの変更により、容易に電流Ｉｗを変更できる。
なお、本発明では、すべてのソース信号線１８に同一電流Ｉｗを流すとして説明するが、これに限定するものではない。たとえば、隣接したソース信号線１８に異なる定電流を流して検査を行ってもよい。また、奇数番目のソース信号線１８にプローブ９９７電極９９６との接続方式は、プローブ９９７に限定するものではない。たとえば、ＡＣＦ技術で接着してもよい。また、金バンプ、ニッケルバンプにより接続をとってもよい。
また、本発明の検査方式において、ソース信号線１８には定電流Ｉｗを流すとして説明をするがこれに限定するものではない。たとえば、矩形波状の電流（交流電流）を流して検査をしてもよい。また、電圧をソース信号線１８に印加し、ソース信号線１８の隣接ショートなどを検出する第１モードと、定電流をソース信号線１８に流して画素欠陥を検出する第２モードとを組み合わせてもよい。また、ＥＬ素子１５のカソード電極、アノード電極に印加した信号（電圧もしくは電流）をソース信号線１８で検出あるいは測定することにより検査を行っても良い。
図９０の回路構成によれば、ソース信号線１８に定電流Ｉｗが流れるから、ゲート信号線１７ａを順次シフトしていくと、図８９の電圧（電流）波形を測定することができる。この電圧波形を入力回路（高入力インピーダンスのオペアンプ、入力を切り替えるアナログスイッチ、ＡＤ（アナログ－デジタル）変換回路などで構成される）９９３でアナログ電圧（電流）をデジタル信号に変換して、パーソナルコンピュータ（ＰＣ）９９２などのデータ収集手段および制御手段に取り込む。
ソース信号線１８には微小な電流が流れることから、インピーダンスが高い状態である。この状態で、ソース信号線１８の電位変化（あるいは絶対値）を良好に測定するためには、高インピーダンス回路（たとえば、ＦＥＴ回路で構成された入力オペアンプの＋入力端子）をソース信号線１８に接続する。つまり、プローブ９９７と入力回路９９３のオペアンプ（図示せず）の＋入力回路とは電気的に接続されている。
ＱＣＩＦパネルの場合、１７６×ＲＧＢ＝５２８本のソース信号線１８がある。このソース信号線１８のすべてに、ＡＤコンバータを配置することは困難である。そこで、入力回路９９３の入力オペアンプの出力側に、マルチプレクサタイプのアナログスイッチ（図示せず）を配置する。このアナログスイッチの出力にＡＤコンバータを配置し、このＡＤコンバータからのデータをＰＣ９９２に取り込む。図９０では、この高インピーダンス回路、アナログスイッチなどを入力回路９９３として表現している。
図９１がソース信号線１８の電位（出力される電流または電圧）を測定する回路（検査回路）のタイミングチャートである。図９１の（ａ）は１Ｈに同期したソース信号線１８の電位（電圧または電流）変化を示している。図９１の（ｂ）はゲート信号線１７ｂの電位を図示している。つまり、１画素行ずつオン電圧位置がシフトされていることを示している。この選択画素行に同期して、選択された画素行のトランジスタ１１ａが動作し、ソース信号線１８の電位（図９１の（ａ））が変化する。
図９１の（ｃ）はデータ入力手段９９２へのデータ取り込み信号である（入力回路９９３内のアナログスイッチの切り替え信号ということもできる）。このデータ取り込み信号の立ち上がりでデータ入力手段９９２にデータが取り込まれる。
ＰＣ９９２では取り込まれたデータの値を評価／判断する。また、データの値を蓄積する。この結果により、アレイあるいはパネルの欠陥状態、欠陥位置、欠陥モード、不良状態などを検出あるいは検査する。
図８７の画素構成で、ゲート信号線１７ａにオン電圧を印加し、ゲート信号線１７ｂにオフ電圧を印加した状態では、Ｖｄｄ端子→トランジスタ１１ａのＳＤ間→トランジスタ１

１ｃ→ソース信号線１８への電流経路が生じる。
トランジスタ１１ａにソース端子Ｓ－ドレイン端子Ｄ間ショート（ＳＤショートまたはチャンネルショートと呼ぶ）が発生していると、ソース信号線１８にはＶｄｄ電圧が出力される（図９２の（ａ）のＳＤショート）。したがって、トランジスタ１１ａのＳＤショート（画素欠陥）を電気的に検出できる。
また、ゲート信号線１７ａが断線していれば、プログラム電流Ｉｗの経路は発生しないので、ソース信号線１８の電位がグランド電位に近くなる（図９２の（ｂ）のゲート断線を参照）。したがって、ゲート信号線１７ａの断線などの線欠陥も検出できる（検査できる）。もちろん、ソース信号線が断線していれば、出力が全くでないのでソース信号線１８の断線を検出できる。
また、すべてのゲート信号線１７ａにオフ電圧を印加した状態で、規定以外の電圧がソース信号線１８に出力されていれば、いずれかの画素１６のトランジスタ１１ｃあるいはトランジスタ１１ｂに欠陥が発生しているということを検出もできる。また、Ｖｄｄ端子にＶｄｄ電圧（アノード電圧）を印加するか、Ｖｄｄ端子をオープンにするかを変化させることにより、ソース信号線１８に出力される信号が変化する。この変化により画素１６内で発生している欠陥を詳細に検討、検査することができる。また、カソード電極に対しても、信号印加状態でより、ソース信号線１８に出力される信号が変化するから、画素１６の欠陥を検出できる。
逆に、ソース信号線１８に信号を印加し、カソード電極に出力される信号を検出することにより画素１６の欠陥などを検出できることは言うまでもない。この場合も、画素行を選択するオン電圧位置を順次走査することにより実施すればよい。
ゲートドライバ回路１２により選択する画素行位置を順次シフトし、シフト動作と同期してソース信号線１８の電位を順次測定している。以上の動作を画面５０の上から下まで実施する（１画素列の検査が完了する）ことにより表示パネル（アレイ基板７１）の検査を行うことができる。
図９３の（ａ）に図示するように、１画素列（１つのソース信号線１８に接続された画素１６）のソース信号線１８の信号線電位を測定することにより、最大電圧Ｖｔｍａｘ（画素１６の駆動トランジスタ１１ａのＶｔ（図８８を参照のこと）の最大値）、最小電圧Ｖｔｍｉｎ画素１６の駆動トランジスタ１１ａのＶｔ（図８８を参照のこと）の最小値）を検出することができる。この最大電圧と最小電圧との差が所定値以上の場合に、測定あるいは検査しているアレイまたはパネルを不良と判定する。
また、アレイまたはパネル内のＶｔ分布を測定し、図９３の（ｂ）に図示するように、トランジスタ１１ａの特性分布を求めることができる。この特性分布から、Ｖｔの標準偏差、平均値を算出することができる。また、Ｖｔの標準偏差、平均値が所定範囲以外の時、測定あるいは検査しているアレイまたはパネルを不良と判定する。
本発明の検査方法は、ゲートドライバ回路１２を制御して、少ないとも１本のゲート信号線１７ａにオン電圧を印加し、ソース信号線１８にプログラム電流を流すことにより、画素１６の検査を行う。
なお、以上の実施例において、１画素行ずつ、選択し、ソース信号線１８に出力されるＶｔを測定あるいは検査するとしたが、これに限定するものではない。複数画素行を同時に選択してもよい。また、最初に奇数画素行を順次選択して奇数番目の画素１６を順次検査を行い、次に偶数画素行を順次選択して偶数番目の画素１６を順次検査を行っても良い。この場合であっても、図９２に図示するような画素欠陥（ゲート断線、ＳＤショートなど）を検出することができる。
検査を高速に実施するためには、まず、複数本のゲート信号線１８を選択し、概略の欠陥位置、欠陥モードを検出した後、欠陥がある箇所を再度、１ゲート信号線１７ａずつオン電圧を印加して、欠陥位置あるいは欠陥状態を特定すればよい。
本発明の検査方式において、すべてのソース信号線１８には一度にプロービィングすることを要しない。たとえば、偶数番目のソース信号線１８ｂはオープンにし、奇数番目のソース信号線１８ａの端子電極９９６にプローブ９９７をプロービィングして、本発明の検

査方式を実施してもよい。次に、奇数番目のソース信号線１８ｂはオープンにし、偶数番目のソース信号線１８ａの端子電極９９６にプローブ９９７をプロービィングして、本発明の検査方式を実施してもよい。
もちろん、４画素列番目ごとにプロービィングを行い、プロービィング位置を順次シフトして検査を行っても良い。
なお、図９０などにおいて、ゲートドライバ回路１２は内蔵ゲートドライバ回路（半導体チップとして外付けでない）としたが、これに限定するものではない。ゲートドライバＩＣ１２を半導体チップで形成し、ＣＯＧ工法などを用いてゲート信号線１７に積載してもよい。
図９０では、プローブ９９７を介して、ソース信号線１８に電圧を印加するとしたが、これに限定するものではない。ソースドライバＩＣ１４を基板７１に実装した後は、ソースドライバＩＣ１４を動作させて、ソース信号線１８に定電流を印加してもよい。この定電流による電圧変化を入力回路９９３で測定する。
以上の実施例では、図８７の画素構成における検査方式の説明であった。しかし、本発明はこれに限定するものではなく、他の画素構成（図３８など）においても本発明の検査方式を実施することができる。
以上のように、本発明の検査方式（検査装置、検査回路）は、ＥＬ表示装置あるいはＥＬ表示装置に用いるアレイ基板７１に関するものである。画素１６を選択するゲート信号線１７ａに選択電圧を印加し、該当画素の駆動トランジスタ１１ａがソース信号線１８から電気的に接続されるようにして検査を行うものである。また、カソードあるいはアノード電極などの外部から入力できる端子（信号線）に電圧（電流でもよい）などの信号を印加し、前記信号がソース信号線１８に出力されるか否かを検出するものである。また、基本的には、ソース信号線１８には定電流を印加して検査を行うものである。また、選択するゲート信号線１７ａは順次走査を行う。
表示パネルは、ソースドライバ回路１４を直接アレイ基板７１に形成されていないことが好ましい。検査が容易になるからである。また、検査は、アレイ基板７１にＥＬ素子１５を形成後、封止ガラス（封止フタ）を取り付ける前に実施することが好ましい。不良パネルで廃棄するコストを低減できるからである。
以下、さらに理解を容易にするために、図１のＥＬ素子構成について図３を用いて説明する。本発明のＥＬ素子構成は２つのタイミングにより制御される。第１のタイミングは必要な電流値を記憶させるタイミングである。このタイミングでトランジスタ１１ｂならびにトランジスタ１１ｃがＯＮすることにより、等価回路として図３の（ａ）となる。ここで、信号線より所定の電流Ｉｗが書き込まれる。これによりトランジスタ１１ａはゲートとドレインが接続された状態となり、このトランジスタ１１ａとトランジスタ１１ｃを通じて電流Ｉｗが流れる。従って、トランジスタ１１ａのゲート－ソースの電圧はＩ１が流れるような電圧となる。
第２のタイミングはトランジスタ１１ａとトランジスタ１１ｃが閉じ、トランジスタ１１ｄが開くタイミングであり、そのときの等価回路は図３の（ｂ）となる。トランジスタ１１ａのソース－ゲート間の電圧は保持されたままとなる。この場合、トランジスタ１１ａは常に飽和領域で動作するため、Ｉｗの電流は一定となる。
このように動作させると、表示状態は図５に図示するようになる。つまり、図５の（ａ）の５１ａは表示画面５０における、ある時刻での電流プログラムされている画素（行）（書き込み画素行）を示している。この画素（行）５１ａは、図５の（ｂ）に図示するように非点灯（非表示画素（行））とする。他の、画素（行）は表示画素（行）５３とする（非画素５３のＥＬ素子１５には電流が流れ、ＥＬ素子１５が発光している）。
図１の画素構成の場合、図３の（ａ）に示すように、電流プログラム時は、プログラム電流Ｉｗがソース信号線１８に流れる。この電流Ｉｗがトランジスタ１１ａを流れ、Ｉｗを流す電流が保持されるように、コンデンサ１９に電圧設定（プログラム）される。このとき、トランジスタ１１ｄはオープン状態（オフ状態）である。
次に、ＥＬ素子１５に電流を流す期間は図３の（ｂ）のように、トランジスタ１１ｃ、１

１ｂがオフし、トランジスタ１１ｄが動作する。つまり、ゲート信号線１７ａにオフ電圧（Ｖｇｈ）が印加され、トランジスタ１１ｂ、１１ｃがオフする。一方、ゲート信号線１７ｂにオン電圧（Ｖｇｌ）が印加され、トランジスタ１１ｄがオンする。
このタイミングチャートを図４に図示する。なお、図４などにおいて、括弧内の添え字（たとえば、（１）など）は画素行の番号を示している。つまり、ゲート信号線１７ａ（１）とは、画素行（１）のゲート信号線１７ａを示している。また、図４の上段の＊Ｈ（「＊」には任意の記号、数値が当てはまり、水平走査線の番号を示す）とは、水平走査期間を示している。つまり、１Ｈとは第１番目の水平走査期間である。なお、以上の事項は、説明を容易にするためであって、限定（１Ｈの番号、１Ｈ周期、画素行番号の順番など）するものではない。
図４でわかるように、各選択された画素行（選択期間は、１Ｈとしている）において、ゲート信号線１７ａにオン電圧が印加されている時には、ゲート信号線１７ｂにはオフ電圧が印加されている。また、この期間は、ＥＬ素子１５には電流が流れていない（非点灯状態）。選択されていない画素行において、ゲート信号線１７ａにオフ電圧が印加され、ゲート信号線１７ｂにはオン電圧が印加されている。また、この期間は、ＥＬ素子１５に電流が流れている（点灯状態）。
なお、トランジスタ１１ａのゲートとトランジスタ１１ｃのゲートは同一のゲート信号線１１ａに接続している。しかし、トランジスタ１１ａのゲートとトランジスタ１１ｃのゲートとを異なるゲート信号線１７に接続してもよい（図３２を参照のこと）。１画素のゲート信号線は３本（ゲート信号線１７ａ、１７ｂ、１７ｃ）となる（図１の構成はゲート信号線１７ａ、１７ｂの２本である）。トランジスタ１１ｂのゲートのＯＮ／ＯＦＦタイミングとトランジスタ１１ｃのゲートのＯＮ／ＯＦＦタイミングを個別に制御することにより、トランジスタ１１ａのばらつきによるＥＬ素子１５の電流値バラツキをさらに低減することができる。
ゲート信号線１７ａとゲート信号線１７ｂとを共通にし、トランジスタ１１ｃと１１ｄが異なった導電型（ＮチャンネルとＰチャンネル）とすると、駆動回路の簡略化、ならびに画素の開口率を向上させることができる。
このように構成すれば本発明の動作タイミングとしては信号線からの書きこみ経路がオフになる。すなわち所定の電流が記憶される際に、電流の流れる経路に分岐があると正確な電流値がトランジスタ１１ａのソース（Ｓ）－ゲート（Ｇ）間容量（コンデンサ）に記憶されない。トランジスタ１１ｃとトランジスタ１１ｄを異なった導電形にすることにより、お互いの閾値を制御することによって走査線の切り替わりのタイミングで必ずトランジスタ１１ｃがオフしたのちに、トランジスタ１１ｄがオンすることが可能になる。
なお、図１において、ゲート信号線１７ａの制御はゲートドライバ回路１２ａ（本発明の第２のゲートドライバ回路の一例である）で行い、ゲート信号線１７ｂの制御はゲートドライバ回路１２ｂ（本発明の第１のゲートドライバ回路の一例である）で行うとしたがこれに限定するものではなく、ゲート信号線１７ａ、１７ｂを１つのゲートドライバ回路１２で制御してもよいことは言うまでもない。以上のことは以下の実施例においても適用される。
ただし、この場合お互いの閾値を正確にコントロールする必要があるのでプロセスの注意が必要である。なお、以上述べた回路は最低４つのトランジスタで実現可能であるが、より正確なタイミングのコントロールあるいは後述するように、ミラー効果低減のためにトランジスタ１１ｅを図２に示すように、カスケード接続してトランジスタの総数が４以上になっても動作原理は同じである。このようにトランジスタ１１ｅを加えた構成とすることにより、トランジスタ１１ｃを介してプログラムした電流がより精度よくＥＬ素子１５に流すことができるようになる。
図２では、トランジスタ１１ｅのゲート端子に所定電圧を印加し、トランジスタ１１ｅを低オン状態にする。このように構成することにより、駆動用トランジスタ１１ａの微小電流を精度よくＥＬ素子１５に流すことができるようになる。また、トランジスタ１１ｅのゲート端子に印加する電圧（ゲート信号線１１ｆに印加する）を制御することにより駆動

用トランジスタ１１ａの電流出力状態を変化することができる。なお、ゲート信号線１７ｆに印加する電圧は、表示領域の画素に同一電圧を印加する。もちろん、ゲート信号線１７ｆを駆動するゲートドライバ回路１２を形成し、このゲートドライバ回路１２を駆動することのより、ゲート信号線１７ｆに交流信号を印加するように構成してもよい。
なお、ゲート信号線１７ａ、ゲート信号線１７ｂ、ゲート信号線１ｆはそれぞれ別のゲートドライバ回路で駆動してもよく、また図２のように１つのゲートドライバ回路１２で駆動してもよい。他の構成は、図１と同様であるので説明を省略する。
なお、画素構成は図１、図２の構成に限定されるものではない。たとえば、図６３のように構成してもよい。図６３は、図１の構成に比較してスイッチ素子１１ｄがない。替わりに切り替えスイッチ６３１が形成または配置されている。図１のスイッチ１１ｄは駆動トランジスタ１１ａからＥＬ素子１５に流れる電流をオンオフ（流す、流さない）制御する機能を有する。以降の実施例でも説明をするが、本発明はこのトランジスタ１１ｄのオンオフ制御機能が重要な構成要素である。トランジスタ１１ｄを形成せず、オンオフ機能を実現するのが、図６３の構成である。
図６３において、切り替えスイッチ６３１のａ端子は、アノード電圧Ｖｄｄに接続されている。なお、ａ端子に印加する電圧はアノード電圧Ｖｄｄに限定されるものではなく、ＥＬ素子１５に流れる電流をオフできる電圧であればいずれでもよい。
切り替えスイッチ６３１のｂ端子は、カソード電圧（図６３ではグランドと図示している）に接続されている。なお、ｂ端子に印加する電圧はカソード電圧に限定されるものではなく、ＥＬ素子１５に流れる電流をオンできる電圧であればいずれでもよい。
切り替え推移値６３１のｃ端子にはＥＬ素子１５のカソード端子が接続されている。なお、切り替えスイッチ６３１はＥＬ素子１５に流れる電流をオンオフさせる機能を持つものであればいずれでもよい。したがって、図６３の形成位置に限定されるものではなく、ＥＬ素子１５の電流が流れる経路であればいずれでもよい。また、スイッチの機能の限定されるものでもなく、ＥＬ素子１５に流れる電流をオンオフできればいずれでもよい。
また、オフとは完全に電流が流れない状態を意味するものではない。ＥＬ素子１５に流れる電流を通常よりも低減できるものであればよい。以上の事項は本発明の他の構成においても同様である。
切り替えスイッチ６３１は、ＰチャンネルとＮチャンネルのトランジスタを組み合わせることにより容易に実現できるので説明を要さないであろう。たとえば、アナログスイッチを２回路形成すればよい。もちろん、スイッチ６３１はＥＬ素子１５に流れる電流をオンオフするだけであるから、ＰチャンネルトランジスタあるいはＮチャンネルトランジスタでも形成することができることは言うまでもない。
スイッチ６３１がａ端子に接続されている時は、ＥＬ素子１５のカソード端子にＶｄｄ電圧が印加される。したがって、駆動トランジスタ１１ａのゲート端子Ｇがいずれの電圧保持状態であってもＥＬ素子１５には電流が流れない。したがって、ＥＬ素子１５は非点灯状態となる。
スイッチ６３１がｂ端子に接続されている時は、ＥＬ素子１５のカソード端子にＧＮＤ電圧が印加される。したがって、駆動トランジスタ１１ａのゲート端子Ｇに保持された電圧状態に応じてＥＬ素子１５に電流が流れる。したがって、ＥＬ素子１５は点灯状態となる。
以上のことより図６３の画素構成では、駆動トランジスタ１１ａとＥＬ素子１５間にはスイッチングトランジスタ１１ｄが形成されていない。しかし、スイッチ６３１を制御することによりＥＬ素子１５の点灯制御を行うことができる。
図１、図２などの画素構成では、駆動用トランジスタ１１ａは１画素につき１個である。本発明はこれに限定するものではなく、駆動用トランジスタ１１ａは１画素に複数個を形成または配置してもよい。図６４はその実施例である。図６３では１画素に２個の駆動用トランジスタ１１ａ１、１１ａ２が形成され、２個の駆動用トランジスタ１１ａ１、１１ａ２のゲート端子は共通のコンデンサ１９に接続されている。駆動用トランジスタ１１ａを複数個形成することにより、プログラムされる電流バラツキが低減するという効果があ

る。他の構成は、図１などと同様であるので説明を省略する。
図１、図２は駆動トランジスタ１１ａが出力する電流をＥＬ素子１５に流し、前記電流を駆動用トランジスタ１１ａとＥＬ素子１５間に配置されたスイッチング素子１１ｄでオンオフ制御するものであった。しかし、本発明はこれに限定されるものではない。たとえば、図６５の構成が例示される。
図６５の実施例では、ＥＬ素子１５に流す電流が駆動トランジスタ１１ａで制御される。ＥＬ素子１５に流れる電流をオンオフさせるのはＶｄｄ端子とＥＬ素子１５間に配置されたスイッチング素子１１ｄで制御される。したがって、本発明はスイッチング素子１１ｄの配置はどこでもよく、ＥＬ素子１５に流れる電流を制御できるものであればいずれでもよい。
トランジスタ１１ａの特性のバラツキはトランジスタサイズに相関がある。特性バラツキを小さくするため、第１のトランジスタ１１ａのチャンネル長が５μｍ以上１００μｍ以下とすることが好ましい。さらに好ましくは、第１のトランジスタ１１ａのチャンネル長が１０μｍ以上５０μｍ以下とすることが好ましい。これは、チャンネル長Ｌを長くした場合、チャンネルに含まれる粒界が増えることによって電界が緩和されキンク効果が低く抑えられるためであると考えられる。
また、画素を構成するトランジスタ１１が、レーザー再結晶化方法（レーザーアニール）により形成されたポリシリコントランジスタで形成され、すべてのトランジスタにおけるチャンネルの方向がレーザーの照射方向に対して同一の方向であることが好ましい。特にレーザーの照射方向がソース信号線１４の形成方向となるように照射することが好ましい。ソース信号線１４に沿った画素の駆動用トランジスタ１１ａの特性が均一となり、電流プログラムを行う際のソース信号線１４の振幅変動が小さくなるからである。振幅が小さくなると精度良く電流プログラムを実現することができる。
本特許の発明の目的は、トランジスタ特性のばらつきが表示に影響を与えない回路構成を提案するものであり、そのために４トランジスタ以上が必要である。これらのトランジスタ特性により、回路定数を決定する場合、４つのトランジスタの特性がそろわなければ、適切な回路定数を求めることが困難である。レーザー照射の長軸方向に対して、チャンネル方向が水平の場合と垂直の場合では、トランジスタ特性の閾値と移動度が異なって形成される。
なお、どちらの場合もばらつきの程度は同じである。水平方向と、垂直方向では移動度、閾値のあたいの平均値が異なる。したがって、画素を構成するすべてのトランジスタのチャンネル方向は同一であるほうが望ましい。
また、蓄積容量１９の容量値をＣｓ、第２のトランジスタ１１ｂのオフ電流値をＩｏｆｆとした場合、次式を満足させることが好ましい。
３　＜　Ｃｓ／Ｉｏｆｆ　＜　２４
さらに好ましくは、次式を満足させることが好ましい。
６　＜　Ｃｓ／Ｉｏｆｆ　＜　１８
トランジスタ１１ｂのオフ電流を５ｐＡ以下とすることにより、ＥＬを流れる電流値の変化を２％以下に抑えることが可能である。これはリーク電流が増加すると、電圧非書き込み状態においてゲート－ソース間（コンデンサの両端）に貯えられた電荷を１フィールド間保持できないためである。したがって、コンデンサ１９の蓄積用容量が大きければオフ電流の許容量も大きくなる。前記式を満たすことによって隣接画素間の電流値の変動を２％以下に抑えることができる。
また、アクティブマトリックスを構成するトランジスタがｐ－ｃｈポリシリコン薄膜トランジスタに構成され、トランジスタ１１ｂがデュアルゲート以上であるマルチゲート構造とすることが好ましい。特にトリプルゲート以上とすることが好ましい。トランジスタ１１ｂのオフ特性を良好にしないと、コンデンサ１９の電荷を保持することができなくなり、画像表示に黒浮きが発生するからである。
また、トランジスタ１１ｂは、トランジスタ１１ａのソース－ドレイン間のスイッチとして作用するため、できるだけＯＮ／ＯＦＦ比の高い特性が要求される。トランジスタ１１

ｂのゲートの構造をデュアルゲート構造以上のマルチゲート構造とすることによりＯＮ／ＯＦＦ比の高い特性を実現できる。

画素１６のトランジスタ１１を構成する半導体膜は、低温ポリシリコン技術において、レーザーアニールにより形成するのが一般的である。このレーザーアニールの条件のバラツキがトランジスタ１１特性のバラツキとなる。しかし、１画素１６内のトランジスタ１１の特性が一致していれば、図１などの電流プログラムを行う方式では、所定の電流がＥＬ素子１５に流れるように駆動することができる。この点は、電圧プログラムにない利点である。レーザーとしてはエキシマレーザーを用いることが好ましい。

なお、本発明において、トランジスタ１１の半導体膜の形成は、レーザーアニール方法に限定するものではなく、熱アニール方法、固相（ＣＧＳ）成長による方法でもよい。その他、低温ポリシリコン技術に限定するものではなく、高温ポリシリコン技術を用いても良いことはいうまでもない。また、シリコン基板にドーピング、拡散プロセスを実施することのより形成してもよい。また、有機材料で半導体膜を形成してもよい。

本発明では図７に示すように、アニールの時のレーザー照射スポット（レーザー照射範囲）７２をソース信号線１８に平行に照射する。また、１画素列に一致するようにレーザー照射スポット７２を移動させる。もちろん、１画素列に限定するものではなく、たとえば、図７２のＲＧＢを１画素１６という単位でレーザーを照射してもよい（この場合は、３画素列ということになる）。また、複数の画素に同時に照射してもよい。また、レーザーの照射範囲の移動がオーバーラップしてもよいことは言うまでもない（通常、移動するレーザー光の照射範囲はオーバーラップするのが普通である）。

画素はＲＧＢの３画素で正方形の形状となるように作製されている。したがって、Ｒ、Ｇ、Ｂの各画素は縦長の画素形状となる。したがって、レーザー照射スポット７２を縦長にしてアニールすることにより、１画素内ではトランジスタ１１の特性バラツキが発生しないようにすることができる。また、１つのソース信号線１８に接続されたトランジスタ１１の特性（モビリティ、Ｖｔ、Ｓ値など）を均一にすることができる（つまり、隣接したソース信号線１８のトランジスタ１１とは特性が異なる場合があるが、１つのソース信号線に接続されたトランジスタ１１の特性はほぼ等しくすることができる）。

一般的にレーザー照射スポット７２の長さは１０インチというように固定値である。このレーザー照射スポット７２を移動させるのであるから、１つのレーザー照射スポット７２を移動できる範囲内におさまるようにパネルを配置する必要がある（つまり、パネルの表示領域５０の中央部でレーザー照射スポット７２が重ならないようにいする）。

図７の構成では、レーザー照射スポット７２の長さの範囲内に３つのパネルが縦に配置されるように形成されている。レーザー照射スポット７２を照射するアニール装置はガラス基板７４の位置決めマーカー７３ａ、７３ｂを認識（パターン認識による自動位置決め）してレーザー照射スポット７２を移動させる。位置決めマーカー７３の認識はパターン認識装置で行う。アニール装置（図示せず）は位置決めマーカー７３を認識し、画素列の位置をわりだす（レーザー照射範囲７２がソース信号線１８と平行になるようにする）。画素列位置に重なるようにレーザー照射スポット７２を照射してアニールを順次行う。

図７で説明したレーザーアニール方法（ソース信号線１８に平行にライン状のレーザースポットを照射する方式）は、有機ＥＬ表示パネルの電流プログラム方式の時に特に採用することが好ましい。なぜならば、ソース信号線に平行方向にトランジスタ１１の特性が一致しているためである（縦方向に隣接した画素トランジスタの特性が近似している）。そのため、電流駆動時にソース信号線の電圧レベルの変化が少なく、電流書き込み不足が発生しにくい。

たとえば、白ラスター表示であれば、隣接した各画素のトランジスタ１１ａに流す電流はほぼ同一のため、ソースドライバＩＣ１４から出力する電流振幅の変化が少ない。もし、図１のトランジスタ１１ａの特性が同一であり、各画素に電流プログラムする電流値が画素列で等しいのであれば、電流プログラム時のソース信号線１８の電位は一定である。したがって、ソース信号線１８の電位変動は発生しない。１つのソース信号線１８に接続されたトランジスタ１１ａの特性がほぼ同一であれば、ソース信号線１８の電位変動は小さ

いことになる。このことは、図３８などの他の電流プログラム方式の画素構成でも同一である（つまり、図７の製造方法を適用することが好ましい）。
また、図２７、図３０などで説明する複数の画素行を同時書き込みする方式で均一が画像表示（主としてトランジスタ特性のばらつきに起因する表示ムラが発生しにくいからである）を実現できる。図２７などは複数画素行同時に選択するから、隣接した画素行のトランジスタが均一であれば、縦方向のトランジスタ特性ムラはドライバ回路１４で吸収できる。
なお、図７では、ソースドライバ回路１４は、ＩＣチップを積載するように図示しているが、これに限定するものではなく、ソースドライバ回路１４を画素１６と同一プロセスで形成してもよいことは言うまでもない。
本発明では特に、駆動用トランジスタ１１ｂの閾電圧Ｖｔｈ２が画素内で対応する駆動用トランジスタ１１ａの閾電圧Ｖｔｈ１より低くならない様に設定している。例えば、トランジスタ１１ｂのゲート長Ｌ２をトランジスタ１１ａのゲート長Ｌ１よりも長くして、これらの薄膜トランジスタのプロセスパラメータが変動しても、Ｖｔｈ２がＶｔｈ１よりも低くならない様にする。これにより、微少な電流リークを抑制することが可能である。
なお、以上の事項は、図３８に図示するカレントミラーの画素構成にも適用できる。図３８では、信号電流が流れる駆動用トランジスタ１１ａ、ＥＬ素子１５等からなる発光素子に流れる駆動電流を制御する駆動用トランジスタ１１ｂの他、ゲート信号線１７ａ１の制御によって画素回路とデータ線ｄａｔａとを接続もしくは遮断する取込用トランジスタ１１ｃ、ゲート信号線１７ａ２の制御によって書き込み期間中にトランジスタ１１ａのゲート・ドレインを短絡するスイッチ用トランジスタ１１ｄ、トランジスタ１１ａのゲート－ソース間電圧を書き込み終了後も保持するための容量Ｃ１９および発光素子としてのＥＬ素子１５などから構成される。
図３８でトランジスタ１１ｃ、１１ｄはＮチャンネルトランジスタ、その他のトランジスタはＰチャンネルトランジスタで構成しているが、これは一例であって、必ずしもこの通りである必要はない。容量Ｃｓは、その一方の端子をトランジスタ１１ａのゲートに接続され、他方の端子はＶｄｄ（電源電位）に接続されているが、Ｖｄｄに限らず任意の一定電位でも良い。ＥＬ素子１５のカソード（陰極）は接地電位に接続されている。
次に、本発明のＥＬ表示パネルあるいはＥＬ表示装置について説明をする。図６はＥＬ表示装置の回路を中心とした説明図である。画素１６がマトリックス状に配置または形成されている。各画素１６には各画素の電流プログラムを行う電流を出力するソースドライバ回路１４が接続されている。ソースドライバ回路１４の出力段は映像信号のビット数に対応したカレントミラー回路が形成されている（後に説明する）。たとえば、６４階調であれば、６３個のカレントミラー回路が各ソース信号線に形成され、これらのカレントミラー回路の個数を選択することにより所望の電流をソース信号線１８に印加できるように構成されている。
なお、１つのカレントミラー回路の最小出力電流は１０ｎＡ以上５０ｎＡにしている。特にカレントミラー回路の最小出力電流は１５ｎＡ以上３５ｎＡにすることがよい。ドライバＩＣ１４内のカレントミラー回路を構成するトランジスタの精度を確保するためである。
また、ソース信号線１８の電荷を強制的に放出または充電するプリチャージあるいはディスチャージ回路を内蔵する。ソース信号線１８の電荷を強制的に放出または充電するプリチャージあるいはディスチャージ回路の電圧（電流）出力値は、Ｒ、Ｇ、Ｂで独立に設定できるように構成することが好ましい。ＥＬ素子１５の閾値がＲＧＢでことなるからである。
有機ＥＬ素子は大きな温度依存性特性（温特）があることが知られている。この温特による発光輝度変化を調整するため、カレントミラー回路に出力電流を変化させるサーミスタあるいはポジスタなどの非直線素子を付加し、温特による変化を前記サーミスタなどで調整することによりアナログ的に基準電流を作成する。
本発明において、ソースドライバ１４は半導体シリコンチップで形成し、ガラスオンチッ

プ（ＣＯＧ）技術で基板７１のソース信号線１８の端子と接続されている。ソース信号線１８などの信号線の配線はクロム、銅、アルミニウム、銀などの金属配線が用いられる。細い配線幅で低抵抗の配線が得られるからである。配線は画素が反射型の場合は画素の反射膜を構成する材料で、反射膜と同時に形成することが好ましい。工程が簡略できるからである。

ソースドライバ１４の実装は、ＣＯＧ技術に限定するものではなく、チップオンフィルム（ＣＯＦ）技術に前述のソースドライバＩＣ１４などを積載し、表示パネルの信号線と接続した構成としてもよい。また、ドライブＩＣは電源ＩＣ８２を別途作製し、３チップ構成としてもよい。

一方、ゲートドライバ回路１２は低温ポリシリコン技術で形成している。つまり、画素のトランジスタと同一のプロセスで形成している。これは、ソースドライバ回路１４に比較して内部の構造が容易で、動作周波数も低いためである。したがって、低温ポリシリ技術で形成しても容易に形成することができ、また、狭額縁化を実現できる。もちろん、ゲートドライバ１２をシリコンチップで形成し、ＣＯＧ技術などを用いて基板７１上に実装してもよいことは言うまでもない。また、画素トランジスタなどのスイッチング素子、ゲートドライバなどは高温ポリシリコン技術で形成してもよく、有機材料で形成（有機トランジスタ）してもよい。

ゲートドライバ１２はゲート信号線１７ａ用のシフトレジスタ回路６１ａと、ゲート信号線１７ｂ用のシフトレジスタ回路６１ｂとを内蔵する。各シフトレジスタ回路６１は正相と負相のクロック信号（ＣＬＫｘＰ、ＣＬＫｘＮ）、スタートパルス（ＳＴｘ）で制御される。その他、ゲート信号線の出力、非出力を制御するイネーブル（ＥＮＡＢＬ）信号、シフト方向を上下逆転するアップダウン（ＵＰＤＷＭ）信号を付加することが好ましい。他に、スタートパルスがシフトレジスタにシフトされ、そして出力されていることを確認する出力端子などを設けることが好ましい。なお、シフトレジスタのシフトタイミングはコントロールＩＣ８１からの制御信号で制御される。また、外部データのレベルシフトを行うレベルシフト回路を内蔵する。また、検査回路を内蔵する。

シフトレジスタ回路６１のバッファ容量は小さいため、直接にはゲート信号線１７を駆動することができない。そのため、シフトレジスタ回路６１の出力とゲート信号線１７を駆動する出力ゲート６３間には少なくとも２つ以上のインバータ回路６２が形成されている。

ソースドライバ１４を低温ポリシリなどのポリシリ技術で基板７１上に直接形成する場合も同様であり、ソース信号線１８を駆動するトランスファーゲートなどのアナログスイッチのゲートとソースドライバ回路１４のシフトレジスタ間には複数のインバータ回路が形成される。以下の事項（シフトレジスタの出力と、信号線を駆動する出力段（出力ゲートあるいはトランスファーゲートなどの出力段間に配置されるインバータ回路に関する事項）は、ソースドライブおよびゲートドライブ回路に共通の事項である。

たとえば、図６ではソースドライバ１４の出力が直接ソース信号線１８に接続されているように図示したが、実際には、ソースドライバのシフトレジスタの出力は多段のインバータ回路が接続されて、インバータの出力がトランスファーゲートなどのアナログスイッチのゲートに接続されている。

インバータ回路６２はＰチャンネルのＭＯＳトランジスタとＮチャンネルのＭＯＳトランジスタから構成される。先にも説明したようにゲートドライバ回路１２のシフトレジスタ回路６１の出力端にはインバータ回路６２が多段に接続されており、その最終出力が出力ゲート回路６３に接続されている。なお、インバータ回路６２はＰチャンネルあるいはＮチャンネルのみで構成してもよい。

ゲートドライバ回路１２のシフトレジスタ６１ａはゲート信号線１７ａの制御信号を制御し、シフトレジスタ６１ｂはゲート信号線１７ｂの制御信号を制御する。インバータ６２の出力段には出力バッファ６３が形成または配置されている。なお、バッファなどは基板７１に低温ポリシリコンプロセス技術を用いて形成されている。

なお、図７４に図示するように、ゲート信号線１７ａの出力バッファ回路３４１ａは、ゲ

ート信号線１７ｂの出力バッファ回路３４１ｂよりも大きくする。また、ゲート信号線１７ａの配線抵抗は、ゲート信号線１７ｂの配線抵抗よりも低くすることが好ましい。ゲート信号線１７ａの時定数を十分に短くすることのより、電流書込み精度が向上するからである。

図１１１は、本発明のゲートドライバ回路１２のブロック図である。なお、図６は、ゲートドライバ回路１２はＮチャンネルトランジスタとＰチャンネルトランジスタの両方を用いるＣＭＯＳ構成のゲートドライバ回路の構成である。図１１１のゲートドライバ回路１２の構成は、Ｐチャンネルのみで形成した構成である。図１１１において、説明を容易にするため、４段分しか図示していないが、基本的には、ゲート信号線１７の本数に対応する単位ゲート出力回路１１１１が形成または配置される。

図１１１に図示するように、本発明のゲートドライバ回路１２（１２ａ、１２ｂ）では、４つのクロック端子（ＳＣＫ０、ＳＣＫ１、ＳＣＫ２、ＳＣＫ３）と、１つのスタート端子（データ信号（ＳＳＴＡ））、シフト方向を上下反転制御する２つの反転端子（ＤＩＲＡ、ＤＩＲＢ、これらは、逆相の信号を印加する）の信号端子から構成される。また、電源端子としてＬ電源端子（ＶＢＢ）と、Ｈ電源端子（Ｖｄ）などから構成される。

図１１１の本発明のゲートドライバ回路１２は、すべてＰチャンネルのトランジスタ（トランジスタ）で構成しているため、レベルシフタ回路（低電圧のロジック信号を高電圧のロジック信号に変換する回路）をゲートドライバ回路に内蔵することができない。そのため、図８などに図示した電源回路（ＩＣ）８２内にレベルシフタ回路を配置または形成している。

画素１６をＰチャンネルのトランジスタで構成することのより、図１１１などで例示するＰチャンネルトランジスタで形成したゲートドライバ回路１２とのマッチングが良くなる。Ｐチャンネルトランジスタ（図１の画素構成では、トランジスタ１１ｂ、１１ｃ、トランジスタ１１ｄ）はＬ電圧でオンする。一方、ゲートドライバ回路１２もＬ電圧が選択電圧である。Ｐチャンネルのゲートドライバは図１１３の構成でもわかるが、Ｌレベルを選択レベルとするとマッチングが良い。Ｌレベルが長期間保持できないからである。一方、Ｈ電圧は長時間保持することができる。

また、ＥＬ素子１５に電流を供給する駆動用トランジスタ（図１ではトランジスタ１１ａ）もＰチャンネルで構成することにより、ＥＬ素子１５のカソードは、金属薄膜のべた電極に構成することができる。また、アノード電位Ｖｄｄから順方向にＥＬ素子１５に電流を流すことができる。以上の事項から、画素１６のトランジスタをＰチャンネルとし、ゲートドライバ１２のトランジスタもＰチャンネルとすることがよい。以上のことから、本発明の画素１６を構成するトランジスタ（駆動用トランジスタ、イッチング用トランジスタ）をＰチャンネルで形成し、ゲートドライバ回路１２のトランジスタをＰチャンネルで構成するという事項は単なる設計事項ではない。

レベルシフタ（ＬＳ）回路を、基板７１に直接に形成してもよい。つまり、レベルシフタ（ＬＳ）回路をＮチャンネルとＰチャンネルトランジスタで形成する。コントローラ（図示せず）からのロジック信号は、基板７１に直接形成されたレベルシフタ回路で、Ｐチャンネルトランジスタで形成されたゲートドライバ回路１２のロジックレベルに適合するように昇圧する。この昇圧したロジック電圧を前記ゲートドライバ回路１２に印加する。

説明を容易にするため、本発明の実施例では、図１の画素構成を例示して説明をする。しかし、画素１６の選択トランジスタ（図１ではトランジスタ１１ｃ）をＰチャンネルで構成し、ゲートドライバ回路１２をＰチャンネルトランジスタで構成するというなどの本発明の技術的思想は、図１の画素構成に限定されるものではない。たとえば、電流駆動方式の画素構成では図３８、図５０に図示するカレントミラーの画素構成にも適用することができることは言うまでもない。また、電圧駆動方式の画素構成では、図６２に図示するような２つのトランジスタ（選択トランジスタはトランジスタ１１ｂ、駆動トランジスタはトランジスタ１１ａ）にも適用することができる。また、図５１に図示するような、４つのトランジスタ（選択トランジスタはトランジスタ１１ｃ、駆動トランジスタはトランジスタ１１ａ）を用いる画素構成にも適用することができることは言うまでもない。電圧駆

動方式の画素構成にも図１１１、図１１３で説明するゲートドライバ回路１２の構成を適用できる。したがって、以上の説明した事項、以下に説明する事項は、画素構成などに限定されるものではない。
また、画素１６の選択トランジスタをＰチャンネルで構成し、ゲートドライバ回路をＰチャンネルトランジスタで構成するという構成は、有機ＥＬなどの自己発光デバイス（表示パネルあるいは表示装置）に限定されるものではない。たとえば、液晶表示デバイスにも適用することができる。
反転端子（ＤＩＲＡ、ＤＩＲＢ）は各単位ゲート出力回路１１１１に対し、共通の信号が印加される。なお、図１１３の等価回路図をみれば、理解できるが、反転端子（ＤＩＲＡ、ＤＩＲＢ）は互いに逆極性の信号を入力する。また、シフトレジスタの走査方向を反転させる場合は、反転端子（ＤＩＲＡ、ＤＩＲＢ）に印加している信号の極性を反転させる。
なお、図１１１の回路構成は、クロック信号線数は４つである。４つが本発明では最適な数であるが、本発明はこれに限定するものではない。４つ以下でも４つ以上でもよい。
クロック信号（ＳＣＫ０、ＳＣＫ１、ＳＣＫ２、ＳＣＫ３）の入力は、隣接した単位ゲート出力回路１１１１で異ならせている。たとえば、単位ゲート出力回路１１１１ａには、クロック端子のＳＣＫ０がＯＣに、ＳＣＫ２がＲＳＴに入力されている。この状態は、単位ゲート出力回路１１１１ｃも同様である。単位ゲート出力回路１１１１ａに隣接した単位ゲート出力回路１１１１ｂ（次段の単位ゲート出力回路）は、クロック端子のＳＣＫ１がＯＣに、ＳＣＫ３がＲＳＴに入力されている。したがって、単位ゲート出力回路１１１１に入力されるクロック端子は、ＳＣＫ０がＯＣに、ＳＣＫ２がＲＳＴに入力され、次段は、クロック端子のＳＣＫ１がＯＣに、ＳＣＫ３がＲＳＴに入力され、さらに次段の単位ゲート出力回路１１１１に入力されるクロック端子は、ＳＣＫ０がＯＣに、ＳＣＫ２がＲＳＴに入力され、というように交互に異ならせている。
図１１３が単位ゲート出力回路１１１１の回路構成である。構成するトランジスタはＰチャンネルのみで構成している。図１１４が図１１３の回路構成を説明するためのタイミングチャートである。なお、図１１２は図１１３の複数段分におけるタイミングチャートを図示したものである。したがって、図１１３を理解することにより、全体の動作を理解することができる。動作の理解は、文章で説明するよりも、図１１３の等価回路図を参照、しながら、図１１４のタイミングチャートを理解することにより達成されるため、詳細な各トランジスタの動作の説明は省略する。
Ｐチャンネルのみでドライバ回路構成を作成すると、基本的にゲート信号線１７の出力電圧をＨレベル（図１１３ではＶｄ電圧）に維持することは可能である。しかし、Ｌレベル（図１１３ではＶＢＢ電圧）に長時間維持することは困難である。しかし、画素行の選択時などの短期間維持は十分にできる。ＩＮ端子に入力された信号と、ＲＳＴ端子に入力されたＳＣＫクロックにより、ｎ１が変化し、ｎ２はｎ１の反転信号状態となる。ｎ２の電位とｎ４の電位とは同一極性であるが、ＯＣ端子に入力されたＳＣＫクロックによりｎ４の電位レベルはさらに低くなる。この低くなるレベルに対応して、Ｑ端子がその期間、Ｌレベルに維持される（オン電圧がゲート信号線１７から出力される）。ＳＱあるいはＱ端子に出力される信号は、次段の単位ゲート出力回路１１１１に転送される。
図１１１、図１１３の回路構成において、ＩＮ（ＩＮＡ、ＩＮｂ）端子、クロック端子の印加信号のタイミングを制御することにより、図１６５の（ａ）に図示するように、１ゲート信号線１７を選択する状態と、図１６５の（ｂ）に図示するように２ゲート信号線１７を選択する状態とを同一の回路構成を用いて実現できる。選択側のゲートドライバ回路１２ａにおいて、図１６５の（ａ）の状態は、１画素行（５１ａ）を同時に選択する駆動方式である（ノーマル駆動）。また、選択画素行は１行ずつシフトする。図１６５の（ｂ）は、２画素行を選択する構成である。この駆動方式は、図２４など説明した複数画素行（５１ａ、５１ｂ）の同時選択駆動（ダミー画素行を構成する方式）である。選択画素行は、１画素行ずつシフトし、かつ隣接した２画素行が同時に選択される。
図１６５の（ｂ）の駆動方法は、最終的な映像を保持する画素行（５１ａ）に対し、画素

行５１ｂは予備充電される。そのため、画素１６が書き込み易くなる。つまり、本発明は、端子に印加する信号により、２つの駆動方式を切り替えて実現できる。
なお、図１６５の（ｂ）は隣接した画素行を選択する方式であるが、図１２３に図示するように、隣接した以外の画素行を選択してもよい。また、図１１３の構成では、４画素行の組で制御される。４画素行にうち、１画素行を選択するか、連続した２画素行を選択するかの制御を実施できる。これは、使用するクロック（ＳＣＫ）が４本によることの制約である。クロック（ＳＣＫ）８本になれば、８画素行の組で制御を実施できる。したがって、図１１３の構成で明らかであるが、図１６８に図示するように、画素行を選択することができる。
図１６８の（ａ）では、４画素行に組で１画素行を選択することができる（４画素行の組で、１本の画素行を選択するが、全く選択しないかは、ＩＮデータの入力状態と、シフト状態で決定される）。図１６８の（ｂ）では、４画素行に組で連続した２画素行を選択することができる（４画素行の組で、２本の画素行を選択するが、全く選択しないかは、ＩＮデータの入力状態と、シフト状態で決定される）。また、本発明は、クロック数に等しい画素行を組として、この画素行の組において、１画素行もしくは、画素行の組の１／２以下の本数（たとえば、４画素行の組であれば、４／２＝２画素行）を選択する方式である。したがって、画素行に組内では、必ず非選択の画素行が発生する。
１画素行を選択する図１６５の（ａ）では、図１６７の（ａ）で図示するように、プログラム電流Ｉｗは１つの画素１６に流れる。プログラム電流Ｉｗは図１６７の（ｂ）に図示するように、２画素行に分割されて画素１６に書き込まれる。ただし、これに限定されるものではない。たとえば、図１６７の（ｂ）に図示するように、プログラム電流Ｉｗ×２の電流を印加し、選択された２つの画素（１６ａ、１６ｂ）に同一の電流を流すように構成してもよい。
選択側のゲートドライバ１２ａの動作は、図１６５の動作である。図１６５の（ａ）に図示するように、１画素行を選択し、選択位置を１水平同期信号に同期して１画素行ずつシフトする。また、図１６５の（ｂ）に図示するように、２画素行を選択し、選択位置を１水平同期信号に同期して１画素行ずつシフトする。
図１６８は、ＥＬ素子１５をオンオフさせるゲート信号線１７ｂを制御するゲートドライバ１２ｂの動作を説明する説明図である。図１６８の（ａ）は、４画素行の組（以降、このような画素行の組を画素行組と呼ぶ）に１画素行のゲート信号線１７ｂにオン電圧を印加した状態である。表示画素行５３位置は、水平同期信号（ＨＤ）に同期して１画素行ずつシフトする。もちろん、４画素行組に１画素行に対応するゲート信号線１７ｂにオン電圧を印加する（他の３画素行に対応するゲート信号線１７ｂにはオフ電圧が印加されている）か、４画素行組のすべてにオフ電圧を印加する（４画素行に対応するゲート信号線１７ｂにオフ電圧が印加されている）かは、任意に選択できる。なお、シフトレジスタの構成であるから、設定された選択状態は、水平同期信号に同期してシフトされる。
図１６８の（ｂ）は、４画素行組の２画素行のゲート信号線１７ｂにオン電圧を印加した状態である。表示画素行５３位置は、水平同期信号（ＨＤ）に同期して１画素行ずつシフトする。もちろん、４画素行組に２画素行に対応するゲート信号線１７ｂにオン電圧を印加する（他の２画素行に対応するゲート信号線１７ｂにはオフ電圧が印加されている）か、４画素行組のすべてにオフ電圧を印加する（４画素行に対応するゲート信号線１７ｂにオフ電圧が印加されている）かは、任意に選択できる。なお、シフトレジスタの構成であるから、設定された選択状態は、水平同期信号に同期してシフトされる。
また、図１６８の（ａ）は４画素行組に１画素行のゲート信号線１７ｂにオン電圧を印加した状態である。図１６８の（ｂ）は、４画素行組の２画素行のゲート信号線１７ｂにオン電圧を印加した状態である。しかし、本発明はこの構成（方式）に限定するものではない。たとえば、６画素行組に１画素行のゲート信号線１７ｂにオン電圧を印加してもよい。８画素行組の２画素行のゲート信号線１７ｂにオン電圧を印加してもよい。つまり、図１６８の駆動方法に限定するものではない。また、ＲＧＢ画素で個別にオンオフ状態を変化させてもよい。

図１６９は図１６８の（ａ）の駆動状態の時に、ゲート信号線１７ｂに出力される電圧の状態である。先にも説明したように、信号線１７ｂの（　）で記載した添え字は、画素行を示している。なお、説明を容易にするため、画素行は（１）からにしている。また、表の上段の数字は、水平走査期間の番号を示している。
図１６９に図示するように、ゲート信号線１７ｂ（１）～ゲート信号線１７ｂ（４）と、ゲート信号線１７ｂ（５）～ゲート信号線１７ｂ（８）とが同一波形である。つまり、４画素行組で同一の動作が実施されている。
図１７０は図１６８の（ｂ）の駆動状態の時に、ゲート信号線１７ｂに出力される電圧の状態である。図１２０に図示するように、ゲート信号線１７ｂ（１）～ゲート信号線１７ｂ（４）と、ゲート信号線１７ｂ（５）～ゲート信号線１７ｂ（８）とが同一波形である。つまり、４画素行組で同一の動作が実施されている。
図１６８の実施例では、任意の時刻で、表示状態の画素数を増減することにより、表示画面５０の明るさを調整することができる。ＱＣＩＦパネルの場合は、垂直画素数は２２０ドットである。したがって、図１６８の（ａ）では、２２０／４＝５５画素行を表示することができる。つまり、白ラスター表示では、５５画素行を表示させた時が、最大の明るさである。画面の明るさは、表示画素行数を５５本→５４本→５３本→５２本→５１本→・・・・・・・５本→４本→３本→２本→１本→０本と変化させることにより、表示画面を暗くすることができる。逆に、０本→１本→２本→３本→４本→５本→・・・・・・・５０本→５１本→５２本→５３本→５４本→５５本と変化させることにより、画面を明るくすることができる。したがって、多段階の明るさ調整を実現できる。
この明るさ調整では、画面の明るさは表示画素数に比例し、かつ変化はリニアである。その上、明るさに対応するガンマ特性に変化はない（画面が明るくとも、暗くとも階調数は維持される）。
以上の実施例では、表示画面５０の明るさを調整する表示画素行数の変化は、１本ごとにするとしたが、これに限定するものではない。５４本→５２本→５０本→４８本→４６本→・・・・・・・６本→４本→２本→０本と変化させてもよい。また、５５本→５０本→４５本→４０本→３５本→・・・・・・・１５本→１０本→５本→０本と変化させてもよい。
同様に、図１６８の（ｂ）では、ＱＣＩＦパネルでは、２２０／２＝１１０画素行を表示することができる。つまり、白ラスター表示では、１１０画素行を表示させた時が、最大の明るさである。画面の明るさは、表示画素行数を１１０本→１０８本→１０６本→１０４本→１０２本→・・・・・・・１０本→８本→６本→４本→２本→０本と変化させることにより、表示画面を暗くすることができる。逆に、０本→２本→４本→６本→８本→１０本→・・・・・・・１００本→１０２本→１０４本→１０６本→１０８本→１１０本と変化させることにより、画面を明るくすることができる。したがって、多段階の明るさ調整を実現できる。
なお、表示画面５０の明るさを調整する表示画素行数の変化は、２本ごとにするとしたが、これに限定するものではない。４本ごとにしてもよく、４本以上であってもよい。また、明るさを調整するために、表示画素行を間引くのは、一箇所に集中して間引くのではなく、極力分散するように間引くことがよい。フリッカの発生を抑制するためである。
明るさ調整は、画素行数の単位ではなく（画素行を１水平走査期間の略全期間の間点灯させる、あるいは非点灯とさせるという駆動）、１水平走査期間あたりの点灯時間でも調整することができる。つまり、１水平走査期間の一部の期間（たとえば、１Ｈの１／８の期間、１Ｈの１５／１６の期間というように）点灯することのより表示画面の明るさを調整するのである。
この調整（制御）は、表示パネルのメインクロック（ＭＣＬＫ）を用いて行う。ＱＣＩＦパネルでは、ＭＣＬＫは約２．５ＭＨｚである。つまり、１水平走査期間（１Ｈ）に１７６クロックをカウントすることができる。したがって、ＭＣＬＫをカウンタし、このカウント値により、ゲート信号線１７ｂにオン電圧（Ｖｇｌ）を印加する期間を制御することにより各画素行のＥＬ素子１５をオンオフさせることができる。

具体的には、図１１２、図１１４に図示するタイミングチャートにおいて、クロック（ＳＣＫ）のＬレベルにする位置、Ｌレベルの期間を制御することにより実現できる。ＳＣＫがＬレベルにする期間を短くするほど、出力のＱ端子がＬレベル（Ｖｇｌ）となる期間が短くなる。

図１６８の（ａ）の駆動方式では、図１７１に図示するように、１Ｈの期間において左右対称にＶｇｌ（オン電圧）となる期間が短くなる。図１７１では（ａ）が１Ｈ期間のすべてがＶｇｌ（オン電圧）を出力している期間である（ただし、図１１３のＰチャンネルのゲートドライバ回路１２構成では、１Ｈ期間のすべてにＬレベル出力をすることは不可能である。１Ｈと次の１Ｈとの間にはＶｇｈ電圧（オフ電圧）の期間が発生する。図１７２１は説明を容易にするためにあえて（ａ）のように図示している。

同様に、図１７１の（ｂ）では、ゲート信号線１７ｂにＶｇｌを出力している期間が、ＭＣＬＫが２クロック分だけ短く（（ａ）に比較して）していることを図示している。さらに、図１７１の（ｃ）では、ゲート信号線１７ｂにＶｇｌを出力している期間が、ＭＣＬＫが２クロック分だけ短く（（ｂ）に比較して）していることを図示している。以下、同様であるので説明を省略する。

図１６８の（ｂ）の駆動方式では、図１７２に図示するように、２Ｈの期間において左右対称にＶｇｌ（オン電圧）となる期間が短くなる。図１７２では（ａ）が１Ｈ期間のすべてがＶｇｌ（オン電圧）を出力している期間である（ただし、図１１３のＰチャンネルのゲートドライバ回路１２構成では、２Ｈ期間のすべてにＬレベル出力をすることは不可能である。２Ｈと次の２Ｈとの間にはＶｇｈ電圧（オフ電圧）の期間が発生する。このことは、図１７１と同様である。

同様に、図１７２の（ｂ）では、ゲート信号線１７ｂにＶｇｌを出力している期間が、２Ｈ期間でＭＣＬＫが２クロック分だけ短く（（ａ）に比較して）していることを図示している。さらに、図１７２の（ｃ）では、ゲート信号線１７ｂにＶｇｌを出力している期間が、ＭＣＬＫが２クロック分だけ短く（（ｂ）に比較して）していることを図示している。以下、同様であるので説明を省略する。

なお、ゲートドライバ回路１２の構成を多少変更し、クロックを調整すれば、図１７３に図示するように、図１７１のゲート信号線１７ｂの印加期間が２Ｈ期間連続して行うことができる。

図１６８の駆動方式でも、良好な動画表示を実現できる。ただし、図１３では表示領域５３が連続し、非表示領域５２も連続しているのに対し、図１６８では、表示領域５３が連続しない。４画素行組で１画素行にオン電圧を印加（図１６８の（ａ））するか、４画素行組で連続した２画素行にオン電圧を印加（図１６８の（ｂ））するかの表示状態となるからである。もちろん、図１１３、図１１１に例示した回路構成を変更あるいは改良することにより、クロック（ＳＣＫ）に対する表示画素行を変更あるいは変化させることができる。たとえば、１画素行飛ばしで表示させることもできる。また、６画素行飛ばしで点灯させることもできる。ただし、Ｐチャンネルのトランジスタで構成あるいは形成したドライバ回路（シフトレジスタ）では、少なくとも表示画素行５３間に非点灯の表示画素行５２が配置（挿入）される。

図１７４に、ゲートドライバ回路１２が図１１３のようにＰチャンネルで形成されている場合において、動画表示対応とする駆動方式を示す。以前にも説明したように、動画ボケによる画像表示劣化を防止するためには、間欠表示にする必要がある。つまり、黒挿入（黒あるいは低輝度の表示画面を表示する）する必要がある。ＣＲＴの表示のように駆動（表示）する。つまり、任意の画素行に画像が表示すると、所定の期間の表示後、黒（低輝度）表示にする。この画素行は、点滅（画像表示と非表示（黒表示あるいは低輝度表示）が交互に繰り返される）することになる。黒表示期間は４ｍｓｅｃ以上にする必要がある。もしくは、１フレーム（１フィールド）の１／４以上の期間を黒表示（低輝度表示）にする。好ましくは、１フレーム（１フィールド）の１／２の期間以上を黒表示（低輝度表示）にする。

この条件は、人間の目の残像特性による。つまり、所定周期より速く点滅する画像は、人

間の目の残像特性により、連続して点灯しているように見える。これが、動画ボケにつながる。しかし、所定周期より遅く点滅する画像は、視覚的には、連続しているように見えるが、間に挿入された非点灯（黒表示）状態を認識することができるようになり、表示画像が飛び飛びの状態になる（視覚的には変には感じないが）。そのため、動画表示で、画像が飛び飛びになり、画像ぶれが発生しない。つまり、動画ボケがなくなる。

図１７４の（ａ）において、Ａの領域は、４画素行に１画素行が表示（点灯状態）状態である。したがって、４水平走査期間（４Ｈ）に１回点灯する（４Ｈ期間に１Ｈ期間の間点灯する）。この期間（画素行が点灯し、非点灯となり、次に点灯するまでの期間）は、４ｍｓｅｃ以下である。したがって、人間の目には、画像が完全に連続して表示されているように見える（任意の画素行がたえず、点灯しているのと大差がない）。図１２４の（ａ）のＢの領域では、画素行が表示されてから、次に表示されるまで、４ｍｓｅｃ以上、好ましくは８ｍｓｅｃ以上となるように黒挿入（低輝度表示）されている。したがって、画像は飛び飛びとなり、良好な動画表示を実現できる。

なお、以上の説明でＡの領域あるいはＢの領域として説明したが、以上の事項は説明を容易にするためである。図１７４において、Ａの領域は矢印方向（画面の上から下）に順次走査される。ＣＲＴで電子ビームの走査されるごとくにである。つまり、画像は順次書き換えられる（図１７４の（ａ）は図１７５を参照のこと。図１７５の（ａ）→（ｂ）→（ｃ）→（ａ）のように走査（駆動）される。図１７４の（ｂ）は図１７６を参照のこと。図１７６の（ａ）→（ｂ）→（ｃ）→（ａ）のように走査（駆動）される）。

以上のように、本発明の駆動方式において、任意の画素行は、図１７４の（ａ）において、１フィールド（１フレーム）の４ｍｓｅｃ（好ましくは８ｍｓｅｃ）以上の期間は、４Ｈに１Ｈの期間表示され、その他の期間（１フィールド（１フレーム）の残りの期間）は、連続して非点灯（黒表示（黒挿入）あるいは低輝度表示）状態が維持される。したがって、説明を容易にするために、Ａ領域あるいはＢ領域と表現したが、時間的な観点から、Ａ期間あるいはＢ期間と表現するほうが適切である。つまり、Ａ領域（Ａ期間）は、連続して画像が点灯する期間であり、Ｂ領域（Ｂ期間）は画素行（画面５０）が間欠表示される期間である。以上の事項は図１７４の（ｂ）あるいは他の本発明の実施例においても同様である。

図１７４の（ｂ）では、２画素行を連続して点灯状態にし、つづく、２画素行を非点灯状態にしている。つまり、Ａ領域（Ａ期間）では、２Ｈの期間点灯し、２Ｈの期間非点灯状態となることを繰り返す。Ｂ領域（Ｂ期間）は所定の期間、連続して非点灯状態が維持される。図１７４の（ｂ）の駆動方式においても、Ａ領域は見かけ上、連続表示状態であり、Ｂ領域は見かけ上、間欠表示である。

以上のように、本発明の駆動方式は、任意の画素行（画素）に着目して表示状態を観測したとき、４ｍｓｅｃ未満の期間（もしくは１フレーム（１フィールド）の１／４未満の期間）で画像表示と非表示（黒表示または所定以下の低輝度表示）が少なくとも１回以上繰り返させる第１の期間と、前記画素行（画素）が表示状態から非表示（黒表示または所定以下の低輝度表示）状態になり、次に表示状態になる期間が、４ｍｓｅｃ以上となる第２の期間（もしくは１フレーム（１フィールド）の１／４以上の期間）を実施するものである。以上の駆動を実施することのより、良好な動画表示を実現でき、また、その制御回路（ゲートドライバ回路１２など）の構成も容易であり、低コスト化を実現できる。

図１７４においても、点灯画素行数を変化させることにより、画面５０の明るさを調整（変化）させることができる（図１６８と同様に、表示画素数５３を変化あるいは調整すればよい）。また、黒挿入領域（図１７４のＢ領域）の割合を変化させることにより、画像表示状態に応じて最適状態にすることができる。たとえば、静止画では、Ｂ領域が長くなることを避けるべきである。フリッカの発生の原因となるからである。静止画の場合は、表示領域５３を分散して表示（画面５０内に配置）すべきである。たとえば、ＱＣＩＦパネルの場合は、画素行数が２２０本である。このうち、静止画で５５画素行を表示するのであれば、２２０／４４＝４であるから、４画素行ごとに１画素行を表示させればよい。２２０画素行のうち１０画素行を表示するのであれば、２２０／１０＝２２画素行に１画

素行を表示させればよい。
なお、図１７４においてＢ領域（Ｂ期間）は１つとしているが、これに限定するものではなく、２つ以上（複数）に分割あるいは分散させてもよいことはいうまでもない。
しかし、図１７４の（ａ）では、４画素行組で１画素行を点灯させるか否かの表示しか実現できない。したがって、２２画素行に１画素行を点灯させることはできない。そのため、４画素行組を５回＝２０画素行に１画素行を表示する（つまり、２０画素行に１画素行を表示する。言い換えれば、４画素行組の４つは、まったく画素行を点灯状態とせず、１画素行組の１画素行を点灯状態とする）。残りの２０画素行（２２０－４×５＝２００）はすべてを非点灯状態にする。つまり、本発明では、制約（規制あるいは規定）される画素行組を１単位として、この画素行組の組み合わせ（ブロック）内で、このブロック内にいくつの画素行組の画素行を点灯させるか否かの制御を行う。以上の事項は、図１７４の（ｂ）においても適用され、また、本発明の他の実施例においても適用される。
逆に動画表示の場合は、図１７４で説明したように、少なくとも４ｍｓｅｃ以上の黒挿入を実施する必要がある。また、黒挿入の割合（黒表示の連続時間、表示画面に対する黒表示面積）を変化させることにより、動画表示状態を変化することができる（最適状態に調整できる）。非常に高速な動画表示（画像の動きが激しい場合など）は、黒挿入面積を増大させるとよい。この際、画像を表示する画素数が減少することにより輝度低下は、１画素行の発光輝度を高くすることにより対応する。また、黒表示が連続する期間を長くするとよい。比較的全画面に対する動画表示領域の割合が少ない場合、あるいは比較的動画の動きがゆっくりとしている場合は、黒挿入の割合を減少させるとよい。この場合の点灯画素行５３が増加することによる表示輝度の増大は、１画素行あたりの発光輝度を低下させることにより容易に調整できる。この調整はプログラム電流Ｉｗなどで変更できるからである。もしくは、黒挿入期間を複数に分散させるとよい。フリッカが減少し良好な画像表示を実現できる。
以上のような、動画表示においても黒挿入状態を変更あるいは調整することにより、より最適な画像表示を実現できる。以上の事項は以下の実施例においても適用されることは言うまでもない。
入力映像信号の動画検出（ＩＤ検出）を行い、動画の場合あるいは動画が多い画像では、図１７４の駆動方式（黒挿入による間欠表示）を実施する。静止画の場合は、図１６８の駆動方式（点灯画素行位置が極力分散して配置する）を実施する。もちろん、本発明の表示パネルあるいは表示装置を用いる用途に応じて切り替えてもよい。たとえば、コンピュータモニターのように静止画の場合は図１６８の駆動方式を採用する。テレビのようにＡＶ用途の場合は、図１７４の駆動方式を採用する。この駆動方式の切り替えは、ゲートドライバ回路１２ｂのＳＳＴＡデータのより、容易に変更することができる。図１などのＥＬ素子１５に流れる電流をオンオフさせるトランジスタを制御するだけであるからである。
図１７４と図１６８の切り替え（動画対応かあるいは静止画対応か、もしくは、より動画対応かより静止画対応か）は、ユーザーが操作できる切り替えスイッチなどを状況に応じて実施してもよいし、本発明の表示パネルの製造業者が実施してもよい。また、ホトセンサなどを用いて、周囲環境状態を検出し、自動で切り替えてもよい。また、本発明が受信する映像信号に制御信号（切り替え信号）をあらかじめ乗せておき、この制御信号を検出して、表示状態（駆動方式）を切り替えてもよい。
図１７７は図１７４の（ａ）の駆動方式の場合の、ゲート信号線１７ｂの出力波形である。図１の画素構成では、ゲート信号線１７ｂに印加されるオンオフ信号（Ｖｇｈがオフ電圧、Ｖｇｌがオン電圧）でトランジスタ１１ｄをオンオフ制御し、ＥＬ素子１５に流れる電流をオンオフさせる。図１において、上段は水平走査期間を示しており、Ｌ記号は、画素行数Ｌ（ＱＣＩＦパネルの場合は、Ｌ＝２２０本）を示している。なお、図１６８、図１７４においても、本発明の駆動方式は、図１の画素構成に限定されるものではない。たとえば他の画素構成（図３８など）においても適用できることは言うまでもない。
図１７７でわかるように、Ａ期間（Ａ領域）では、４Ｈ期間に１Ｈ期間の割合で各ゲート

信号線１７ｂにオン電圧（Ｖｈｌ）が印加される。Ｂ期間（Ｂ領域）では、連続してオフ電圧（Ｖｇｈ）が引加される。したがって、この期間にはＥＬ素子１５には電流が流れない。そして、各ゲート信号線１７ｂのオン電圧位置が１画素行ずつ走査されている。
なお、以上の実施例では、１画素行ずつ走査されるとしたが、本発明はこれ限定されるものではない。たとえば、インターレース走査では、１画素行飛ばしで走査される。つまり、第１フレームでは偶数画素行が走査される。第２フレームでは奇数画素行が走査される。また、第１フレームを書き換えているときは、第２フレームで書き込まれた画像はそのまま保持される。ただし、点滅動作を実施する（実施しなくともよい）。第２フレームを書き換えているときは、第１フレームで書き込まれた画像はそのまま保持される。もちろん、図１７４の実施例のように点滅動作を実施してもよい。
インターレース走査は２フレームで１フィールドがＣＲＴで通常である。しかし、本発明はこれに限定するものではない。たとえば、４フレーム＝１フィールドでもよい。この場合は、第１フレームでは、（４Ｎ＋１）画素行（ただし、Ｎは以上の整数）の画像が書き換えられる。第２フレームでは、（４Ｎ＋２）画素行の画像が書き換えられる。次の第３フレームでは（４Ｎ＋３）画素行の画像が書き換えられる。また、最後の第４フレームでは、（４Ｎ＋４）画素行の画像が書き換えられる。以上のように、本発明は、画素行への書き込みは、順次走査のみに限定するものではない。以上の事項は他の実施例においても適用される。また、本発明において、インターレース走査とは広く一般的な飛び越し走査を意味し、２フレーム＝１フィールドに限定されるものではない。つまり、複数フレーム＝１フィールドである。
なお、図１７７、図１７８においても、図１７１、図１７２、図１７３などの１水平走査期間（１Ｈ）あるいは複数の水平走査期間内において、ＥＬ素子１５に流れる電流を制御すること（オン期間を制御すること）により、表示画面５０の明るさを調整する駆動方式を併用できることは言うまでもない。
図１７８は図１７７と同様に、図１７４の（ｂ）におけるゲート信号線１７ｂの印加波形である。図１７７との差異は、Ａ期間（Ａ領域、図１６８の（ｂ）を参照のこと）において、各ゲート信号線１７ｂには、２水平走査期間（２Ｈ）の間、オン電圧（Ｖｇｌ）が印加され、その後、２Ｈの期間、オフ電圧（Ｖｇｈ）が印加されている。また、このオン電圧とオフ電圧とは交互に繰り返されている。Ｂ期間（Ｂ領域）では連続してオフ電圧が印加される。各ゲート信号線１７ｂのオン電圧の印加位置は、１Ｈごとに走査される。
図１７７は図１７４の（ａ）の駆動方式の場合の、ゲート信号線１７ｂの出力波形である。図１の画素構成では、ゲート信号線１７ｂに印加されるオンオフ信号（Ｖｇｈがオフ電圧、Ｖｇｌがオン電圧）でトランジスタ１１ｄをオンオフ制御し、ＥＬ素子１５に流れる電流をオンオフさせる。図１において、上段は水平走査期間を示しており、Ｌ記号は、画素行数Ｌ（ＱＣＩＦパネルの場合は、Ｌ＝２２０本）を示している。なお、図１６８、図１７４においても、本発明の駆動方式は、図１の画素構成に限定されるものではない。たとえば他の画素構成（図３８、図４３、図５１、図６２、図６３など）においても適用できることは言うまでもない。
図１７８は図１７７と同様に、図１７４の（ｂ）におけるゲート信号線１７ｂの印加波形である。図１７７との差異は、Ａ期間（Ａ領域、図１６８の（ｂ）を参照のこと）において、各ゲート信号線１７ｂには、２水平走査期間（２Ｈ）の間、オン電圧（Ｖｇｌ）が印加され、その後、２Ｈの期間、オフ電圧（Ｖｇｈ）が印加されている。また、このオン電圧とオフ電圧とは交互に繰り返されている。Ｂ期間（Ｂ領域）では連続してオフ電圧が印加される。各ゲート信号線１７ｂのオン電圧の印加位置は、１Ｈごとに走査される。他の事項は、図１７７と同様あるいは類似であるので説明を省略する。
なお、以上の実施例では、表示画面５０内で、Ａ領域とＢ領域とが混在する駆動方式である。つまり、画面表示状態のいずれの期間でも、かならず、Ａ領域をＢ領域がある（もちろん、Ａ領域がどこにあるかは、異なる）。このことは、１フィールド（１フレーム、つまり画面の書き換え周期）内に、Ａ期間とＢ期間があるということである。しかし、動画表示を良好にするためには、黒挿入（黒表示あるいは低輝度表示）を行えばよいのである

から、図１２４の駆動方式に限定されるものではない。
たとえば、図１７９の駆動方式が例示される。理解を容易にするために、図１７９では、４つの表示期間（（ａ）、（ｂ）、（ｃ）、（ｄ））で構成されているとする。また、４フレー＝１フィールドとし、図１７９の（ａ）を第１フレーム、図１７９の（ｂ）を第２フレーム、図１７９の（ｃ）を第３フレーム、図１７９の（ｄ）を第４フレームとする。表示は図１７９の（ａ）→（ｂ）→（ｃ）→（ｄ）→（ａ）→（ｂ）→・・・・・・・と繰り返される。
第１フレームでは、図１７９の（ａ）に図示するように、偶数番目の画素行を順次選択し、画像を書き換える。第１フレームの書き換えが終わると、図１７９の（ｂ）に図示するように、画面５０の上から順次黒表示としていく（図１７９の（ｂ）は黒表示書き込みが終了した状態である）。次の第３フレームでは、図１７９の（ｃ）に図示するように、奇数番目の画素行を、画面５０の上から順次、画像を書き込んでいく。つまり、奇数番目の画像が、画面の上部から順次表示される。次の第４フレームでは、画面５０の上部から、画像が非点灯状態（黒表示）にされていく（図１７９の（ｄ）も完全に非点灯状態にした時の状態を示す）。
なお、図１７９において、（ａ）、（ｃ）では、画像を書き込むと表現し、かつ画像を表示すると表現したが、本発明は基本的に、画像を表示する（点灯させる）状態に特徴がある。したがって、画像を書き込むこと（プログラムを実施すること）と画像を表示することとは同一である必要はない。つまり、図１７９の（ａ）、（ｃ）では、ゲート信号線１７ｂの制御により、ＥＬ素子１５に流れる電流を制御し、点灯あるいは非点灯状態にすると考えてよい。したがって、図１７９の（ａ）の状態と図１７９の（ｂ）の状態との切り替えは、一括で（たとえば、１Ｈ期間で）行うことができる。たとえば、イネーブル端子を制御することで実施できる（ゲートドライバ１２ｂのシフトレジスタにオンオフ状態（図１７９の（ａ）では、偶数画素行に対応するシフトレジスタがオンデータ）を保持しておき、イネーブル端子がオフの時は、図１７９の（ｂ）、（ｄ）の状態を表示し、イネーブル端子をオンにすることのより、図１７９の（ａ）の表示状態になるなど）。したがって、ゲート信号線１７ｂのオンオフ状態で図１７９の（ａ）、（ｃ）の表示を実施できる（あらかじめ、画像データは図１の画素構成で例示すれば、コンデンサ１９に保持させておく）。以上の説明では、図１７９の（ａ）、（ｂ）（ｃ）、（ｄ）の状態は、各１１フレーム期間の間実施するとした。
しかし、本発明がこの表示状態に限定するものではない。少なくとも動画表示状態を改善あるいは良好なものとするには、図１７９の（ｂ）、（ｄ）などの黒挿入状態を４ｍｓｅｃの期間、実施すればよいからである。したがって、本発明の実施例において、ゲートドライバ回路１２ｂのシフトレジスタ回路を用いて、ゲート信号線１７ｂを走査し、図１７９の（ａ）、（ｃ）の表示状態を実現することの限定されるものではない。奇数番目のゲート信号線１７ｂ（奇数ゲート信号線組と呼ぶ）を一括接続しておき、また、偶数番目のゲート信号線１７ｂ（偶数ゲート信号線組と呼ぶ）を一括接続しておき、奇数ゲート信号線組と偶数ゲート信号線組とを交互にオンオフ電圧を印加するようにすればよい。奇数ゲート信号線組にオン電圧を印加し、偶数ゲート信号線組にオフ電圧を印加すれば、図１７９の（ｃ）の表示状態が実現される。偶数ゲート信号線組にオン電圧を印加し、奇数ゲート信号線組にオフ電圧を印加すれば、図１７９の（ａ）の表示状態が実現される。奇数ゲート信号線組と偶数ゲート信号線組の両方にオフ電圧を印加すれば、図１７９の（ｂ）、ｄ）の表示状態が実現される。図１２９の（ａ）、（ｂ）、（ｃ）、（ｄ）の各状態は、４ｍｓｅｃ（特に図１７９の（ｂ）、（ｄ）は）以上の期間、実施すればよい。
以上の図１７９の駆動方式では、画面表示状態（図１７９の（ａ）、（ｃ））と黒表示状態（黒挿入、図１７９の（ｂ）、（ｄ））が交互に繰り返される。したがって、画像表示が間欠表示となり、動画表示性能が向上する（動画ボケが発生しない）。
図１７９の実施例では、第１フレームと第３フレームでは、奇数画素行または偶数画素行に画像を表示し、この２つの画面間に黒画面（図１７９の（ｂ）、（ｄ））を挿入する駆動方式であった。しかし、本発明はこれに限定するものではなく、図１６８の表示状態を

第１フレームおよび第３フレームに実施し、この２つのフレーム間に黒表示を挿入してもよい。
以上の実施例におけるタイミングチャートを図１８０に示す。図１８０の（ａ）は第１フレームであり、図１８０の（ｂ）は黒挿入状態の第２フレームである。図１８０の（ｃ）は第３フレームである。なお、第４フレームは図１８０の（ｂ）と同様であるので省略している。ただし、第４フレームは必ずしも必要ではない。３フレーム＝１フィールド構成でもよい。第２フレームで黒画面が挿入されるから動画ボケは大幅に改善されるからである。つまり、図１８０の（ａ）→（ｂ）→（ｃ）→（ａ）→・・・・と繰り返す。
図１８０の（ａ）は、図１６８の（ａ）に４水平走査期間（４Ｈ）に１Ｈの期間、画像を表示する（各ゲート信号線１７ｂは４Ｈごとに１Ｈの期間、Ｖｇｌ電圧（オン電圧）が印加される。次の第２フレームでは、すべてのゲート信号線１７ｂはオフ電圧（Ｖｇｈ）が印加されている。この制御は先の実施例と同様に、イネーブル端子を制御することのより、一括で行うことができる。したがって、図１８０の（ｂ）の状態は、１フレーム期間実施することに限定されるものではない。動画表示を良好なものとするには、４ｍｓｅｃ以上の期間、維持されればよいからである。ただし、図１８０の（ａ）が画面の上（上からに限定するものではないが）から順次画像を書き換えるとすると、画像が飛んでしまう。
図１７９説明したように、複数のゲート信号線１７ｂを一括接続し、また、イネーブル端子を制御することによれば、容易に実施することができる。
図１８０は、各画素行は、４Ｈ期間に１Ｈ期間、点灯するなど、規則正しく、画像表示を実施するものであった。しかし、各画素行は、単位期間（たとえば、１フレーム、１フィールドなど）で、点灯（表示）期間が一致していればよい。つまり、規則正しく、点灯状態と非点灯状態とを実施する必要はない。
図１８１は、規則正しくない点灯状態の場合の実施例である。ゲート信号線１７ｂ（１）は第１Ｈ、第５Ｈ、第６Ｈ、第９Ｈ、第１３Ｈ、第１４Ｈ、・・・・・にオン電圧が印加されている。他の期間にはオフ電圧が印加されている。したがって、周期的にオン電圧が印加されているのではなく（長期間でみれば、周期的であるが）、ランダム的である。この１フレーム期間（単位期間）に各ゲート信号線１７ｂにオン電圧が印加される期間を加算したものが、他のゲート信号線１７ｂと略一致させておけばよい。このように各画素行の点灯時間（ゲート信号線１７ｂにオン電圧を印加することのより、画素行が点灯（表示）するとしている）が略一致する。
なお、図１８１では、各ゲート信号線１７ｂに印加する信号波形は、１Ｈずつ走査されたようにしている。このように、基本パターン波形を、各ゲート信号線１７ｂを１Ｈ（所定クロックあるいは単位）でずらして走査する（印加する）ことにより、表示画面の輝度を全画面で均一化できる。なお、図１８１においてもオン電圧（Ｖｇｌ）の印加期間を調整することにより、画面の明るさを制御（調整）することができることはいうまでもない。
以上の実施例では、各フレーム（単位期間）において、ゲート信号線１７ｂには、同一のオンオフ電圧パターンを印加する実施例であった。しかし、本発明は、所定期間で、各画素行（画素）が点灯（表示）もしくは非点灯（非表示）となる期間が略等しくするものである。したがって、２フレーム＝１フィールドの駆動方式において、第１フレームと第２フレームとに印加する各ゲート信号線１７ｂの信号波形が異なっていてもよい。たとえば、任意の画素行が第１フレームで１０Ｈの期間の間、オン電圧が印加され、第２フレームで２０Ｈの期間の間、オン電圧が印加されるように駆動してもよい（２フレームという単位期間で、１０Ｈ＋２０Ｈの期間の間、オン電圧が印加される）。他の画素行も、３０Ｈの期間、オン電圧が印加されるようにする。
この実施例を図１８２に図示する。図１８２の（ａ）（第１フレームとする）では、各画素行に対応するゲート信号線１７ｂには、４水平走査期間（４Ｈ）周期で１水平走査期間（１Ｈ）オン電圧が印加される。図１８２の（ｂ）（第２フレームとする）では、各画素行に対応するゲート信号線１７には、４Ｈ周期で２Ｈの期間オン電圧が印加されている。つまり、２フレームでは、（４＋４）Ｈ周期で（１＋２）Ｈの期間オン電圧が印加されることになる。このように駆動しても、単位期間（図１３２では２フレーム）では、各ゲー

ト信号線１７ｂにはオン電圧が同一期間印加されることになる。したがって、各画素行は、同一輝度で表示される（白ラスター表示と仮定した場合）。
なお、図１８０では、４Ｈ周期で１Ｈの期間オン電圧を印加するとしたが、これに限定するこのではない。たとえば、図１８３に図示するように、８Ｈ周期で１Ｈの期間オン電圧を印加するとしてもよい。また、各フレームでの各ゲート信号線１７ｂに印加する信号波形は、周期性をもたせることはなく、完全にランダム化してもよい。単位周期（単位期間）でオン電圧を印加する総和期間が、すべてのゲート信号線１７ｂで一致していればよいからである。
しかし、以上の実施例では、すべてのゲート信号線１７ｂで単位期間において、オン電圧を印加する総和期間を一致させるとしたが、以下の場合には適用されない。１画面５０内（つまり、１つの表示パネル）で、複数の輝度が異なる画面５０を有する場合である。画面５０が、第１の画面５０ａと第２の画面５０ｂが構成されており、画面５０ａと５０ｂとの輝度が異なる場合である。２つの画面５０の輝度を異ならせるのは、プログラム電流Ｉｗを調整することのよっても変化することができるが、ゲート信号線１７ｂを走査し、第１の画面５０ａにおける各画素行の点灯（表示）期間と第２の画面５０ｂにおける各画素行の点灯（表示）期間とを異ならせる方式が実現容易である。たとえば、第１の画面５０ａの各画素行は、４Ｈに１Ｈの期間、ゲート信号線１７ｂにオン電圧を印加する。第２の画面５０ｂの各画素行は、８Ｈに１Ｈの期間、ゲート信号線１７ｂにオン電圧を印加する。このように、各画面でオン電圧を印加する期間を変化させることにより、画面の明るさを調整でき、また、そのときのガンマカーブも相似にすることができる。
電源回路（ＩＣ）８２（図８を参照のこと）は、ゲートドライバ回路１２からゲート信号線１７に出力するオン電圧（画素１６トランジスタの選択電圧）、オフ電圧（画素１６トランジスタの非選択電圧）に必要な電位の電圧を作成する。そのため、電源ＩＣ（回路）８２の使用する半導体の耐圧プロセスは、十分な耐圧がある。
電源ＩＣ８２でロジック信号をレベルシフト（ＬＳ）すると都合がよい。したがって、コントローラ（図示せず）から出力されるゲートドライバ回路１２の制御信号は、電源ＩＣ８２に入力し、レベルシフトしてから、本発明のゲートドライバ回路１２に入力する。コントローラ（図示せず）から出力されるソーストドライバ回路１４の制御信号は、直接に本発明のソースドライバ回路１４などに入力する（レベルシフトの必要がない）。
しかし、本発明はアレイ基板７１に形成するトランジスタをすべてＰチャンネルで形成することに限定するものではない。ゲートドライバ回路１２を後に説明する図１１１、図１１３のようにＰチャンネルで形成することにより、ＣＭＯＳ構造のゲートドライバ回路１２に比較して小型に形成することができる。したがって、狭額縁化することができる。２．２インチのＱＣＩＦパネルの場合、ゲートドライバ回路１２の幅は、６μｍルールの採用時で、６００μｍで構成できる。供給するゲートドライバ回路１２の電源配線の引き回しを含めても７００μｍに構成することができる。同様の回路構成をＣＭＯＳ（Ｎチャンネルとトランジスタ）で構成すると、１．２ｍｍになってしまう。したがって、ゲートドライバ回路１２をＰチャンネルで形成することのより、狭額縁化をいう特徴ある効果を発揮できる。
また、画素１６をＰチャンネルのトランジスタで構成することのより、Ｐチャンネルトランジスタで形成したゲートドライバ回路１２とのマッチングが良くなる。Ｐチャンネルトランジスタ（図１の画素構成では、トランジスタ１１ｂ、１１ｃ、トランジスタ１１ｄ）はＬ電圧（Ｖｇｌ）でオンする。一方、ゲートドライバ回路１２もＬ電圧が選択電圧である。Ｐチャンネルのゲートドライバは図１１３の構成でもわかるが、Ｌレベルを選択レベルとするとマッチングが良い。Ｌレベルが長期間保持できないからである。一方、Ｈ電圧（Ｖｇｈ）は長時間保持することができる。
また、ＥＬ素子１５に電流を供給する駆動用トランジスタ（図１ではトランジスタ１１ａ）もＰチャンネルで構成することにより、ＥＬ素子１５のカソードが金属薄膜のグランド電極に構成することができる。また、アノード電位Ｖｄｄから順方向にＥＬ素子１５に電流を流すことができる。以上の事項から、画素１６のトランジスタをＰチャンネルとし、

ゲートドライバ１２のトランジスタもＰチャンネルとすることがよい。以上のことから、本発明の画素１６を構成するトランジスタ（駆動用トランジスタ１１ａ、スイッチング用トランジスタ１１ｄ、１１ｂ、１１ｃ）をＰチャンネルで形成し、ゲートドライバ回路１２のトランジスタをＰチャンネルで構成するという事項は単なる設計事項ではない。

レベルシフタ（ＬＳ）回路を、基板７１に直接に形成してもよい。つまり、レベルシフタ（ＬＳ）回路をＮチャンネルとＰチャンネルトランジスタで形成する。コントローラ（図示せず）からのロジック信号は、基板７１に直接形成されたレベルシフタ回路で、Ｐチャンネルトランジスタで形成されたゲートドライバ回路１２のロジックレベルに適合するように昇圧する。この昇圧したロジック電圧を前記ゲートドライバ回路１２に印加する。

レベルシフタ回路を半導体チップで形成し、基板７１にＣＯＧ実装などしてもよい。また、ソースドライバ回路１４は、基本的に半導体チップで形成し、基板７１にＣＯＧ実装する。ただし、ソースドライバ回路１４を半導体チップで形成することに限定するものではなく、ポリシリコン技術を用いて基板７１に直接に形成してもよい。画素１６を構成するトランジスタ１１ａをＰチャンネルで構成すると、プログラム電流は画素１６からソース信号線１８に流れ出す方向になる。そのため、ソースドライバ回路内の定電流回路は、Ｎチャンネルのトランジスタで構成する必要がある。つまり、ソースドライバ回路１４はプログラム電流Ｉｗを引き込むように回路構成する必要がある。

したがって、画素１６の駆動用トランジスタ１１ａ（図１の場合）がＰチャンネルトランジスタの場合は、必ず、ソースドライバ回路１４はプログラム電流Ｉｗを引き込むように、ソースドライバ回路１４内の定電流回路（階調電流を出力する回路）をＮチャンネルトランジスタで構成する。ソースドライバ回路１４をアレイ基板７１に形成するには、Ｎチャンネル用マスク（プロセス）とＰチャンネル用マスク（プロセス）の両方を用いる必要がある。概念的に述べれば、画素１６とゲートドライバ１２をＰチャンネルトランジスタで構成し、ソースドライバの引き込み電流源のトランジスタはＮチャンネルで構成するのが本発明の表示パネル（表示装置）である。

図８は本発明の表示装置の信号、電圧の供給の構成図あるいは表示装置の構成図である。コントロールＩＣ８１からソースドライバ回路１４ａに供給する信号（電源配線、データ配線など）はフレキシブル基板８４を介して供給する。

図８ではゲートドライバ１２の制御信号はコントロールＩＣで発生させ、ソースドライバ１４で、レベルシフトを行った後、ゲートドライバ１２に印加している。ソースドライバ１４の駆動電圧は４～８（Ｖ）であるから、コントロールＩＣ８１から出力された３．３（Ｖ）振幅の制御信号を、ゲートドライバ１２が受け取れる５（Ｖ）振幅に変換することができる。もちろん、コントローラで信号電圧をレベルシフトし、ゲートドライバ回路１２などに供給してもよい。

ソースドライバ１４内には画像メモリを持たせることが好ましい。画像メモリの画像データは誤差拡散処理あるいはディザ処理を行った後のデータをメモリしてもよい。

なお、図８などにおいて１４をソースドライバと記載したが、単なるドライバだけでなく、電源回路、バッファ回路（シフトレジスタなどの回路を含む）、データ変換回路、ラッチ回路、コマンドデコーダ、シフト回路、アドレス変換回路、画像メモリなどを内蔵させてもよい。なお、図８などで説明する構成にあっても、図９などで説明する３辺フリー構成あるいは構成、駆動方式などを適用できることはいうまでもない。

表示パネルを携帯電話などの情報表示装置に使用する場合、ソースドライバＩＣ（回路）１４、ゲートドライバＩＣ（回路）１２を、図９に示すように、表示パネルの一辺に実装（形成）することが好ましい（なお、このように一辺にドライバＩＣ（回路）を実装（形成）する形態を３辺フリー構成（構造）と呼ぶ。従来は、表示領域のＸ辺にゲートドライバＩＣ１２が実装され、Ｙ辺にソースドライバＩＣ１４が実装されていた）。画面５０の中心線が表示装置の中心になるように設計し易く、また、ドライバＩＣの実装も容易となるからである。なお、ゲートドライバ回路を高温ポリシリコンあるいは低温ポリシリコン技術などで３辺フリーの構成で作製してもよい（つまり、図９のソースドライバ回路１４とゲートドライバ回路１２のうち、少なくとも一方をポリシリコン技術で基板７１に直接

形成する）。
なお、３辺フリー構成とは、基板７１に直接ＩＣを積載あるいは形成した構成だけでなく、ソースドライバＩＣ（回路）１４、ゲートドライバＩＣ（回路）１２などを取り付けたフィルム（ＴＣＰ、ＴＡＢ技術など）を基板７１の一辺（もしくはほぼ一辺）にはりつけた構成も含む。つまり、２辺にＩＣが実装あるいは取り付けられていない構成、配置あるいはそれに類似するすべてを意味する。
図９のようにゲートドライバ回路１２をソースドライバ回路１４の横に配置すると、ゲート信号線１７は辺ｃにそって形成する必要がある。
なお、図９などにおいて太い実線で図示した箇所はゲート信号線１７が並列して形成した箇所を示している。したがって、ｂの部分（画面下部）は走査信号線の本数分のゲート信号線１７が並列して形成され、ａの部分（画面上部）はゲート信号線１７が１本形成されている。
Ｃ辺に形成するゲート信号線１７のピッチは５μｍ以上１２μｍ以下にする。５μｍ未満では隣接ゲート信号線に寄生容量の影響によりノイズが乗ってしまう。実験によれば７μ以下で寄生容量の影響が顕著に発生する。さらに５μｍ未満では表示画面にビート状などの画像ノイズが激しく発生する。特にノイズの発生は画面の左右で異なり、このビート状などの画像ノイズを低減することは困難である。また、１２μｍを越えると表示パネルの額縁幅Ｄが大きくなりすぎ実用的でない。
前述の画像ノイズを低減するためには、ゲート信号線１７を形成した部分の下層あるいは上層に、グラントパターン（一定電圧に電圧固定あるいは全体として安定した電位に設定されている導電パターン）を配置することにより低減できる。また、別途設けたシールド板（シールド箔（一定電圧に電圧固定あるいは全体として安定した電位に設定されている導電パターン））をゲート信号線１７上に配置すればよい。
図９のｃ辺のゲート信号線１７はＩＴＯ材料を用いて形成してもよいが、低抵抗化するため、ＩＴＯと金属薄膜とを積層して形成することが好ましい。また、多層の金属膜で形成することが好ましい。ＩＴＯと積層する場合は、ＩＴＯ上にチタン膜を形成し、その上にアルミニウムあるいはアルミニウムとモリブデンの合金薄膜を形成する。もしくはＩＴＯ上にクロム膜を形成する。金属膜の場合は、アルミニウム薄膜、クロム薄膜で形成する。
以上の事項は本発明の他の実施例でも同様である。
なお、図９などにおいて、ゲート信号線１７などは表示領域の片側に配置するとしたがこれに限定するものではなく、両方に配置してもよい。たとえば、ゲート信号線１７ａを表示領域５０の右側に配置（形成）し、ゲート信号線１７ｂを表示領域５０の左側に配置（形成）してもよい。以上の事項は他の実施例でも同様である。
また、ソースドライバＩＣ１４とゲートドライバＩＣ１２とを１チップ化してもよい。１チップ化すれば、表示パネルへのＩＣチップの実装が１個で済む。したがって、実装コストも低減できる。また、１チップドライバＩＣ内で使用する各種電圧も同時に発生することができる。
図１などで図示した構成ではＥＬ素子１５のトランジスタ１１ａを介してＶｄｄ電位に接続されている。しかし、各色を構成する有機ＥＬの駆動電圧が異なるという問題がある。たとえば、単位平方センチメートルあたり０．０１（Ａ）の電流を流した場合、青（Ｂ）ではＥＬ素子の端子電圧は５（Ｖ）であるが、緑（Ｇ）および赤（Ｒ）では９（Ｖ）である。つまり、端子電圧がＢとＧ、Ｒで異なる。したがって、ＢとＧ、Ｒでは保持するトランジスタ１１ａのソース－ドレイン電圧（ＳＤ電圧）が異なる。そのため、各色でトランジスタのソース－ドレイン電圧（ＳＤ電圧）間オフリーク電流が異なることになる。オフリーク電流が発生し、かつオフリーク特性が各色で異なると、色バランスのずれた状態でフリッカが発生する、発光色に相関してガンマ特性がずれるという複雑な表示状態をなる。
この課題に対応するため、少なくともＲ、Ｇ、Ｂ色のうち、１つのカソード電極の電位を他色のカソード電極の電位と異ならせるように構成することが好ましい。もしくはＲ、Ｇ、Ｂ色のうち、１つのＶｄｄの電位（アノード電位）を他色のＶｄｄの電位と異ならせる

ように構成することが好ましい。
R、G、BのＥＬ素子１５の端子電圧は極力一致させることが好ましいことは言うまでもない。少なくとも、白ピーク輝度を表示しており、色温度が７０００K以上１２０００K以下の範囲で、R、G、BのＥＬ素子の端子電圧は１０（V）以下となるように材料あるいは構造選定をする必要がある。また、R、G、Bののうち、ＥＬ素子の最大の端子電圧と最小の端子電圧との差は、２．５（V）以内にする必要がある。たとえば、RのＥＬ素子１５に最大電流を流したとき7（V）であれば、GおよびBに最大電流を流した時のＥＬ素子１５の端子電圧は、７－２．５（V）（最低）以上７＋２．５（V）（最大）以下の条件を満足させることが好ましい。さらに好ましくは１．５（V）以下にする必要がある。
なお、画素は、R、G、Bの３原色としたがこれに限定するものではなく、シアン、イエロー、マゼンダの３色でもよい。また、Bとイエローなどの２色でもよい。もちろん、単色でもよい。また、R、G、B、シアン、イエロー、マゼンダの６色でもよい。R、G、B、シアン、マゼンダの５色でもよい。これらはナチュラルカラーとして色再現範囲が拡大し良好な表示を実現できる。その他、R、G、B、白の４色でもよい。R、G、B、シアン、イエロー、マゼンダ、黒、白の７色でもよい。また、白色発光の画素を表示領域５０全体に形成（作製）し、RGBなどのカラーフィルタで３原色表示としてもよい。また、１画素をBとイエローのように塗り分けても良い。以上のように本発明のＥＬ表示装置は、RGBの３原色でカラー表示を行うものに限定されるものではない。
有機ＥＬ表示パネルのカラー化には主に三つの方式があり、色変換方式はこのうちの一つである。発光層として青色のみの単層を形成すればよく、フルカラー化に必要な残りの緑色と赤色は、青色光から色変換によって作り出す。したがって、RGBの各層を塗り分ける必要がない、RGBの各色の有機ＥＬ材料をそろえる必要がないという利点がある。色変換方式は、塗り分け方式のようは歩留まり低下がない。本発明のＥＬ表示パネルなどはこのいずれの方式でも適用される。
また、３原色の他に、白色発光の画素を形成してもよい。白色発光の画素はR、G、B発光の構造を積層することのより作製（形成または構成）することにより実現できる。１組の画素は、RGBの３原色と、白色発光の画素１６から構成する。白色発光の画素を形成することにより、白色のピーク輝度が表現しやすくなる。したがって、輝き感のある画像表示実現できる。
RGBなどの３原色を１組の画素をする場合であっても、各色の画素電極の面積は異ならせることが好ましい。もちろん、各色の発光効率がバランスよく、色純度もバランスがよければ、同一面積でもかまわない。しかし、１つまたは複数の色のバランスが悪ければ、画素電極（発光面積）を調整することが好ましい。各色の電極面積は電流密度を基準に決定すればよい。つまり、色温度が７０００K（ケルビン）以上１２０００K以下の範囲で、ホワイトバランスを調整した時、各色の電流密度の差が±３０％以内となるようにする。さらに好ましくは±１５％以内となるようにする。たとえば、電流密度が１００A／平方メーターをすれば、３原色がいずれも７０A／平方メーター以上１３０A／平方メーター以下となるようにする。さらに好ましくは、３原色がいずれも８５A／平方メーター以上１１５A／平方メーター以下となるようにする。
有機ＥＬ１５は自己発光素子である。この発光による光がスイッチング素子としてのトランジスタに入射するとホトコンダクタ現象（ホトコン）が発生する。ホトコンとは、光励起によりトランジスタなどのスイッチング素子のオフ時でのリーク（オフリーク）が増える現象を言う。
この課題に対処するため、本発明ではゲートドライバ１２（場合によってはソースドライバ１４）の下層、画素トランジスタ１１の下層に遮光膜を形成している。遮光膜はクロムなどの金属薄膜で形成し、その膜厚は５０nm以上１５０nm以下にする。膜厚が薄いと遮光効果が乏しく、厚いと凹凸が発生して上層のトランジスタ１１A１のパターニングが困難になる。
遮光膜上に２０以上１００nm以下の無機材料からなる平滑化膜を形成する。この遮光膜

のレイヤーを用いて蓄積容量１９の一方の電極を形成してもよい。この場合、平滑膜は極力薄く作り、蓄積容量の容量値を大きくすることが好ましい。また、遮光膜をアルミで形成し、陽極酸化技術を用いて酸化シリコン膜を遮光膜の表面に形成し、この酸化シリコン膜を蓄積容量１９の誘電体膜として用いてもよい。平滑化膜上にはハイアパーチャ（ＨＡ）構造の画素電極が形成される。

ドライバ回路１２などは裏面だけでなく、表面からの光の進入も抑制するべきである。ホトコンの影響により誤動作するからである。したがって、本発明では、カソード電極が金属膜の場合は、ドライバ１２などの表面にもカソード電極を形成し、この電極を遮光膜として用いている。

また、基板７１の光出射面には、反射防止膜を形成する。反射防止膜は、酸化チタンおよびフッ化マグネシウムなどの薄膜多層膜から形成する。

ドライバ１２の上にカソード電極を形成すると、このカソード電極からの電界によるドライバの誤動作あるいはカソード電極とドライバ回路の電気的接触が発生する可能性がある。この課題に対処するため、本発明ではドライバ回路１２などの上に少なくとも１層、好ましくは複数層の有機ＥＬ膜を画素電極上の有機ＥＬ膜形成と同時に形成する。有機ＥＬ膜は絶縁物であるから、ドライバ上に有機ＥＬ膜を形成することにより、カソードとドライバ間が隔離される。したがって、前述の課題を解消することができる。

画素の１つ以上のトランジスタ１１の端子間あるいはトランジスタ１１と信号線とが短絡すると、ＥＬ素子１５が常時、点灯する輝点となる場合がある。この輝点は視覚的にめだつので黒点化（非点灯）する必要がある。輝点に対しては、該当画素１６を検出し、コンデンサ１９にレーザー光を照射してコンデンサの端子間を短絡させる。したがって、コンデンサ１９には電荷を保持できなくなるので、トランジスタ１１ａは電流を流さなくすることができる。そのため、レーザー光を照射した画素は常時、非点灯状態となり黒表示となる。

なお、レーザー光を照射する位置にあたる。カソード膜を除去しておくことが望ましい。レーザー照射により、コンデンサ１９の端子電極とカソード膜とがショートすることを防止するためである。したがって、あらかじめ、レーザー修整を行う箇所において、カソード電極をパターニングしておき、穴あけを行っておく。

画素１６のトランジスタ１１の欠陥は、ドライバＩＣ１４にも影響を与える。例えば、図５６では駆動用トランジスタ１１ａにソース－ドレイン（ＳＤ）ショート５６２が発生していると、パネルのＶｄｄ電圧がソースドライバＩＣ１４に印加される。したがって、ソースドライバＩＣ１４の電源電圧は、パネルの電源電圧Ｖｄｄ（アノード電圧）と同一かもしくは高くしておくことが好ましい。なお、ソースドライバＩＣで使用する基準電流は電子ボリウム５６１で調整できるように構成しておくことが好ましい。

図５６のように、トランジスタ１１ａにＳＤショート５６２が発生していると、ＥＬ素子１５に過大な電流が流れる。つまり、ＥＬ素子１５が常時点灯状態（輝点）となる。輝点は欠陥として目立ちやすい。たとえば、図５６において、トランジスタ１１ａのソース－ドレイン（ＳＤ）ショートが発生していると、トランジスタ１１ａのゲート（Ｇ）端子電位の大小に関わらず、Ｖｄｄ電圧からＥＬ素子１５に電流が常時流れる（トランジスタ１１ｄがオンの時）。したがって、輝点となる。

一方、トランジスタ１１ａにＳＤショートが発生していると、トランジスタ１１ｃがオン状態の時、Ｖｄｄ電圧がソース信号線１８に印加されソースドライバ１４にＶｄｄ電圧が印加される。もし、ソースドライバ１４の電源電圧がＶｄｄ以下であれば、耐圧を越えて、ソースドライバ１４が破壊される恐れがある。

トランジスタ１１ａのＳＤショートなどは、点欠陥にとどまらず、パネルのソースドライバ回路を破壊につながる恐れがあり、また、輝点は目立つためパネルとしては不良となる。したがって、トランジスタ１１ａとＥＬ素子１５間を接続する配線を切断し、輝点を黒点欠陥にする必要がある。この切断には、レーザー光などの光学手段を用いてトランジスタ１１ａのソース端子（Ｓ）またはドレイン端子（Ｄ）を切断するか、もしくはトランジスタ１１ａのチャンネルを破壊する。

なお、以上の実施例は配線を切断させるとしたが、黒表示するためにはこれに限定されるものではない。たとえば、図１でもわかるように、トランジスタ１１ａの電源Ｖｄｄが、トランジスタ１１ａのゲート（Ｇ）端子に常時印加されるように修正してもよい。たとえば、コンデンサ１９の２つの電極間をショートさせれば、Ｖｄｄ電圧がトランジスタ１１ａのゲート（Ｇ）端子に印加されるようになる。したがって、トランジスタ１１ａは完全にオフ状態になり、ＥＬ素子１５に電流を流さなくすることができる。これば、コンデンサ１９にレーザー光を照射することによりコンデンサ電極をショートできるから、容易に実現できる。

また、実際には、画素電極の下層にＶｄｄ配線が配置されているから、Ｖｄｄ配線と画素電極とにレーザー光を照射することにより、画素の表示状態を制御（修正）することができる。

画素１６を黒表示するためには、ＥＬ素子１５を劣化させてもよい。たとえば、レーザー光をＥＬ層１５に照射し、ＥＬ層１５を物理的にあるいは化学的に劣化させ、発光しないようにする（常時黒表示）。レーザー光の照射によりＥＬ層１５を加熱し、容易に劣化させることができる。また、エキシマレーザーを用いれば、ＥＬ膜１５の化学的変化を容易に行うことができる。

なお、以上の実施例は、図１に図示した画素構成を例示したが、本発明はこれに限定するものではない。レーザー光を用いて配線あるいは電極をオープンあるいはショートさせることは、カレントミラーなどの他の電流駆動の画素構成あるいは図６２、図５１などで図示する電圧駆動の画素構成であっても適用できることは言うまでもない。したがって、画素の構成、構造には限定されない。

以下、図１の画素構成について、その駆動方法について説明をする。図１に示すように、ゲート信号線１７ａは行選択期間に導通状態（ここでは図１のトランジスタ１１がｐチャネルトランジスタであるためローレベルで導通となる）となり、ゲート信号線１７ｂは非選択期間時に導通状態とする。

ソース信号線１８には寄生容量（図示せず）が存在する。寄生容量は、ソース信号線１８とゲート信号線１７とのクロス部の容量、トランジスタ１１ｂ、１１ｃのチャンネル容量などにより発生する。

ソース信号線１８の電流値変化に要する時間ｔは浮遊容量の大きさをＣ、ソース信号線の電圧をＶ、ソース信号線に流れる電流をＩとするとｔ＝Ｃ・Ｖ／Ｉであるため電流値を１０倍大きくできることは電流値変化に要する時間が１０分の１近くまで短くできる。またはソース信号線１８の寄生容量が１０倍になっても所定の電流値に変化できるということを示す。従って、短い水平走査期間内に所定の電流値を書きこむためには電流値を増加させることが有効である。

たとえば、ソースドライバＩＣ１４からの出力電流を１０倍にすると、画素１６にプログラムされる電流が１０倍となる。そのため、ＥＬ素子１５の発光輝度も１０倍となる。したがって、所定の輝度を得るために、図１のトランジスタ１７ｄの導通期間（オン時間）を従来の１０分の１とし、発光期間を１０分の１とする。

つまり、ソース信号線１８の寄生容量の充放電を十分に行い、所定の電流値を画素１６のトランジスタ１１ａにプログラムを行うためには、ソースドライバ１４から比較的大きな電流を出力する必要がある。しかし、このように大きな電流をソース信号線１８に流すとこの大きな電流値が画素にプログラムされてしまう。したがって、所定の電流に対し大きな電流がＥＬ素子１５に流れる。たとえば、１０倍の電流でプログラムすれば、当然、１０倍の電流がＥＬ素子１５に流れ、ＥＬ素子１５は１０倍の輝度で発光する。所定の発光輝度にするためには、ＥＬ素子１５に流れる時間を１／１０にすればよい。このように駆動することにより、ソース信号線１８の寄生容量を十分に充放電でき、所定の発光輝度を得ることができる。

なお、１０倍の電流値を画素のトランジスタ１１ａ（正確にはコンデンサ１９の端子電圧を設定している）に書き込み、ＥＬ素子１５のオン時間を１／１０にするとしたが、これは一実施例である。他の実施例として、１０倍の電流値を画素のトランジスタ１１ａに書

き込み、ＥＬ素子１５のオン時間を１／５にしてもよい。逆に１０倍の電流値を画素のトランジスタ１１ａに書き込み、ＥＬ素子１５のオン時間を１／２倍にしてもよい。
また、明るい画像表示を行うときは、１／１（たえず、トランジスタ１１ｄがオン状態を維持する）にし、暗い画像のときは、１／１０（トランジスタ１１ｄは１フレームの１／１０の期間だけオンする）にしてもよい。また、これらの表示を画像表示データにもとづき、リアルタイムで変更するように制御してもよい。
本発明は、画素への書き込み電流を所定値以外の値にし、ＥＬ素子１５に流れる電流を間欠状態にして駆動することに特徴がある。本明細書では説明を容易にするため、Ｎ倍の電流値を画素のトランジスタ１１に書き込み、ＥＬ素子１５のオン時間を１／Ｎ倍にするとして説明する。しかし、これに限定するものではなく、Ｎ１倍の電流値を画素のトランジスタ１１に書き込み、ＥＬ素子１５のオン時間を１／（Ｎ２）倍（Ｎ１とＮ２とは異なる）でもよいことは言うまでもない。
なお、間欠状態にするとは、本発明の表示パネルの駆動方法にたえず間欠表示で駆動することに限定するものではない。画像表示状態によっては、１／１（間欠表示でない）表示を実施してもよい。つまり、本発明は、画像表示において、間欠表示にする状態が発生する駆動方法である。また、間欠表示とは１フレーム期間に少なくとも２水平走査期間（２Ｈ）以上発生する状態をいう。
また、間欠表示において、間欠する間隔は等間隔に限定するものではない。たとえば、ランダムでもよい（全体として、表示期間もしくは非表示期間が所定値（一定割合）となればよい）。また、ＲＧＢで異なっていてもよい。たとえば、Ｒの画素が１フレームで１／３の期間の間、非常時状態に駆動し、ＧとＢの画素が１フレームで１／４の期間の間、非常時状態に駆動してもよい。間欠表示の期間は、白（ホワイト）バランスが最適になるように、Ｒ、Ｇ、Ｂ表示期間もしくは非表示期間が所定値（一定割合）となるように調整（設定）すればよい
また、説明を容易にするため、１／Ｎとは、１Ｆ（１フィールドまたは１フレーム）を基準にしてこの１Ｆを１／Ｎにするとして説明する。しかし、１画素行が選択され、電流値がプログラムされる時間（通常、１水平走査期間（１Ｈ））があるし、また、走査状態によっては誤差も生じる。したがって、以上の説明はあくまでも説明を容易にするための便宜状の問題だけであり、これに限定するものではない。また、Ｎは整数に限定されるものではなく、Ｎ＝３．５など整数以外であってもよい。本発明では、説明を容易にするため、断りがない限り、Ｎは整数として説明をする。
Ｎ＝１０倍の電流で画素１６に電流プログラムし、１／５の期間の間、ＥＬ素子１５を点灯させてもよい。ＥＬ素子１５は、１０／５＝２倍の輝度で点灯する。逆に、Ｎ＝２倍の電流で画素１６に電流プログラムし、１／４の期間の間、ＥＬ素子１５を点灯させてもよい。ＥＬ素子１５は、２／４＝０．５倍の輝度で点灯する。つまり、本発明は、Ｎ＝１倍でない電流でプログラムし、かつ、常時点灯（１／１、つまり、間欠駆動でない）状態以外の表示を実施するものである。また、広義には、ＥＬ素子１５に供給する電流を１フレーム（あるいは１フィールド）の期間において、少なくとも１回、オフする駆動方式である。また、所定値よりも大きな電流で画素１６にプログラムし、少なくとも、間欠表示を実施する駆動方式である。
有機（無機）ＥＬ表示装置は、ＣＲＴのように電子銃で線表示の集合として画像を表示するディスプレイとは表示方法が基本的に異なる点にも課題がある。つまり、ＥＬ表示装置では、１Ｆ（１フィールドあるいは１フレーム）の期間の間は、画素に書き込んだ電流（電圧）を保持する。そのため、動画表示を行うと表示画像の輪郭ぼけが発生するという課題が発生する。
本発明では、１Ｆ／Ｎの期間の間だけ、ＥＬ素子１５に電流を流し、他の期間（１Ｆ（Ｎ－１）／Ｎ）は電流を流さない。この駆動方式を実施し画面の一点を観測した場合を考える。
この表示状態では１Ｆごとに画像データ表示、黒表示（非点灯）が繰り返し表示される。つまり、画像データ表示状態が時間的に飛び飛び表示（間欠表示）状態となる。動画デー

タ表示を、この間欠表示状態でみると画像の輪郭ぼけがなくなり良好な表示状態を実現できる。つまり、ＣＲＴに近い動画表示を実現することができる。また、間欠表示を実現するが、回路のメインクロックは従来と変わらない。したがって、回路の消費電力が増加することもない。

液晶表示パネルの場合は、光変調をする画像データ（電圧）は液晶層に保持される。したがって、黒挿入表示を実施しようとすると液晶層に印加しているデータを書き換える必要がある。そのため、ソースドライバＩＣ１４の動作クロックを高くし、画像データと黒表示データとを交互にソース信号線１８に印加する必要がある。したがって、黒挿入（黒表示などの間欠表示）を実現しょうとすると回路のメインクロックをあげる必要がある。また、時間軸伸張を実施するための画像メモリも必要になる。

図１、図２、図３８などに示す本発明のＥＬ表示パネルの画素構成では、画像データはコンデンサ１９に保持されている。このコンデンサ１９の端子電圧に対応する電流をＥＬ素子１５に流す。したがって、画像データは液晶表示パネルのように光変調層に保持されているのではない。

本発明はスイッチングのトランジスタ１１ｄ、あるいはトランジスタ１１ｅなどをオンオフさせるだけでＥＬ素子１５に流す電流を制御する。つまり、ＥＬ素子１５に流れる電流Ｉｗをオフしても、画像データはそのままコンデンサ１９の保持されている。したがって、次のタイミングでスイッチング素子１１ｄなどをオンさせ、ＥＬ素子１５に電流を流せば、その流れる電流は前に流れていた電流値と同一である。本発明では黒挿入（黒表示などの間欠表示）を実現する際においても、回路のメインクロックをあげる必要がない。また、時間軸伸張を実施する必要もないための画像メモリも不要である。また、有機ＥＬ素子１５は電流を印加してから発光するまでの時間が短く、高速に応答する。そのため、動画表示に適し、さらに間欠表示を実施することのより従来のデータ保持型の表示パネル（液晶表示パネル、ＥＬ表示パネルなど）の問題である動画表示の問題を解決できる。

さらに、大型の表示装置でソース容量が大きくなる場合はソース電流を１０倍以上にしてやればよい。一般にソース電流値をＮ倍にした場合、ゲート信号線１７ｂ（トランジスタ１１ｄ）の導通期間を１Ｆ／Ｎとすればよい。これによりテレビ、モニター用の表示装置などにも適用が可能である。

以下、図面を参照しながら、本発明の駆動方法についてさらに詳しく説明をする。ソース信号線１８の寄生容量は、隣接したソース信号線１８間の結合容量、ソースドライブＩＣ（回路）１４のバッファ出力容量、ゲート信号線１７とソース信号線１８とのクロス容量などにより発生する。この寄生容量は通常１０ｐＦ以上となる。電圧駆動の場合は、ドライバＩＣ１４からは低インピーダンスで電圧がソース信号線１８に印加されるため、寄生容量が多少大きくとも駆動では問題とならない。

しかし、電流駆動では特に黒レベルの画像表示では２０ｎＡ以下の微小電流で画素のコンデンサ１９をプログラムする必要がある。したがって、寄生容量が所定値以上の大きさで発生すると、１画素行にプログラムする時間（通常、１Ｈ以内、ただし、２画素行を同時に書き込む場合もあるので１Ｈ以内に限定されるものではない。）内に寄生容量を充放電することができない。１Ｈ期間で充放電できなれば、画素への書き込み不足となり、解像度がでない。

図１の画素構成の場合、図３の（ａ）に示すように、電流プログラム時は、プログラム電流Ｉｗがソース信号線１８に流れる。この電流Ｉｗがトランジスタ１１ａを流れ、Ｉｗを流す電流が保持されるように、コンデンサ１９に電圧設定（プログラム）される。このとき、トランジスタ１１ｄはオープン状態（オフ状態）である。

次に、ＥＬ素子１５に電流を流す期間は図３の（ｂ）のように、トランジスタ１１ｃ、１１ｂがオフし、トランジスタ１１ｄが動作する。つまり、ゲート信号線１７ａにオフ電圧（Ｖｇｈ）が印加され、トランジスタ１１ｂ、１１ｃがオフする。一方、ゲート信号線１７ｂにオン電圧（Ｖｇｌ）が印加され、トランジスタ１１ｄがオンする。

今、電流Ｉ１が本来流す電流（所定値）のＮ倍であるとすると、図３の（ｂ）のＥＬ素子１５に流れる電流もＩｗとなる。したがって、所定値の１０倍の輝度でＥＬ素子１５は発

光する。つまり、図１２に図示するように、倍率Ｎを高くするほど、表示パネルの表示輝度Ｂも高くなる。したがって、倍率と輝度とは比例関係となる。逆には、１／Ｎと駆動することにより、輝度と倍率とは反比例の関係となる。
そこで、トランジスタ１１ｄを本来オンする時間（約１Ｆ）の１／Ｎの期間だけオンさせ、他の期間（Ｎ－１）／Ｎ期間はオフさせれば、１Ｆ全体の平均輝度は所定の輝度となる。この表示状態は、ＣＲＴが電子銃で画面を走査しているのと近似する。異なる点は、画像を表示している範囲が画面全体の１／Ｎ（全画面を１とする）が点灯している点である（ＣＲＴでは、点灯している範囲は１画素行（厳密には１画素である）。
本発明では、この１Ｆ／Ｎの画像表示領域５３が図１３の（ｂ）に示すように画面５０の上から下に移動する。本発明では、１Ｆ／Ｎの期間の間だけ、ＥＬ素子１５に電流が流れ、他の期間（１Ｆ・（Ｎ－１）／Ｎ）は電流を流れない。したがって、各画素は間欠表示となる。しかし、人間の目には残像により画像が保持された状態となるので、全画面が均一に表示されているように見える。
なお、図１３に図示するように、書き込み画素行５１ａは非点灯表示５２ａとする。しかし、これは、図１、図２などの画素構成の場合である。図３８などで図示するカレントミラーの画素構成では、書き込み画素行５１ａは点灯状態としてもよい。しかし、本明細書では、説明を容易にするため、主として、図１の画素構成を例示して説明をする。また、図１３、図１６などの所定駆動電流Ｉｗよりも大きい電流でプログラムし、間欠駆動する駆動方法をＮ倍パルス駆動と呼ぶ。
この表示状態では１Ｆごとに画像データ表示、黒表示（非点灯）が繰り返し表示される。つまり、画像データ表示状態が時間的に飛び飛び表示（間欠表示）状態となる。液晶表示パネル（本発明以外のＥＬ表示パネル）では、１Ｆの期間、画素にデータが保持されているため、動画表示の場合は画像データが変化してもその変化に追従することができず、動画ボケとなっていた（画像の輪郭ボケ）。しかし、本発明では画像を間欠表示するため、画像の輪郭ぼけがなくなり良好な表示状態を実現できる。つまり、ＣＲＴに近い動画表示を実現することができる。
このタイミングチャートを図１４に図示する。なお、本発明などにおいて、特に断りがない時の画素構成は図１であるとする。しかし、図３８、図６３、図６４、図６５などでの間欠表示を実現できることは言うまでもないから、本発明は図１に限定されるものではないことは言うまでもない。
図１４でわかるように、各選択された画素行（選択期間は、１Ｈとしている）において、ゲート信号線１７ａにオン電圧（Ｖｇｌ）が印加されている時（図１４の（ａ）を参照）には、ゲート信号線１７ｂにはオフ電圧（Ｖｇｈ）が印加されている（図１４の（ｂ）を参照）。また、この期間は、ＥＬ素子１５には電流が流れていない（非点灯状態）。選択されていない画素行において、ゲート信号線１７ａにオフ電圧（Ｖｇｈ）が印加され、ゲート信号線１７ｂにはオン電圧（Ｖｇｌ）が印加されている。また、この期間は、ＥＬ素子１５に電流が流れている（点灯状態）。また、点灯状態では、ＥＬ素子１５は所定のＮ倍の輝度（Ｎ・Ｂ）で点灯し、その点灯期間は１Ｆ／Ｎである。したがって、１Ｆを平均した表示パネルの表示輝度は、（Ｎ・Ｂ）×（１／Ｎ）＝Ｂ（所定輝度）となる。
なお、以上の説明は白表示での画像表示について説明しているようであるが、黒表示についても同様に明るさは１／１０になる。したがって、たとえ、画像表示に黒浮きが発生していても、黒浮きの輝度も１／１０になるから良好な画像表示になる。
図１５は、図１４の動作を各画素行に適用した実施例である（各画素のゲート信号線１７ａ、１７ｂの信号波形を図示している）。ゲート信号線の電圧はオフ電圧をＶｇｈ（Ｈレベル）とし、オン電圧をＶｇｌ（Ｌレベル）としている。（１）（２）などの添え字は選択している画素行番号を示している。
図１５において、ゲート信号線１７ａ（１）が選択され（Ｖｇｌ電圧）、選択された画素行のトランジスタ１１ａからソースドライバ１４に向かってソース信号線１８にプログラム電流が流れる。なお、プログラム電流の流れる方向は、画素構成により異なる。画素１６の駆動トランジスタ１１ａがＰチャンネルトランジスタの場合は、プログラム電流Ｉｗ

は画素１６からソースドライバ回路１６に向かって流れる。画素１６の駆動トランジスタ１１ａがＮチャンネルトランジスタの場合は、プログラム電流Ｉｗはソースドライバ回路１６から画素１６に向かって流れる。
このプログラム電流は所定値のＮ倍（説明を容易にするため、Ｎ＝１０として説明する。もちろん、所定値とは画像を表示するデータ電流であるから、白ラスター表示などでない限り固定値ではない。自然画の表示状態のより各画素１６に電流プログラムされる電流の大きさは異なる）である。したがって、コンデンサ１９には１０倍に電流がトランジスタ１１ａに流れるようにプログラムされる。画素行（１）が選択されている時は、図１の画素構成ではゲート信号線１７ｂ（１）はオフ電圧（Ｖｇｈ）が印加され、ＥＬ素子１５には電流が流れない。
１Ｈ後には、ゲート信号線１７ａ（２）が選択され（Ｖｇｌ電圧）、選択された画素行のトランジスタ１１ａからソースドライバ１４に向かってソース信号線１８にプログラム電流が流れる。このプログラム電流は所定値のＮ倍（説明を容易にするため、Ｎ＝１０として説明する）である。したがって、コンデンサ１９には１０倍に電流がトランジスタ１１ａに流れるようにプログラムされる。
画素行（２）が選択されている時は、図１の画素構成ではゲート信号線１７ｂ（２）はオフ電圧（Ｖｇｈ）が印加され、ＥＬ素子１５には電流が流れない。しかし、先の画素行（１）のゲート信号線１７ａ（１）にはオフ電圧（Ｖｇｈ）が印加され、ゲート信号線１７ｂ（１）にはオン電圧（Ｖｇｌ）が印加されるため、点灯状態となっている。
次の１Ｈ後には、ゲート信号線１７ａ（３）が選択され、ゲート信号線１７ｂ（３）はオフ電圧（Ｖｇｈ）が印加され、画素行（３）のＥＬ素子１５には電流が流れない。しかし、先の画素行（１）（２）のゲート信号線１７ａ（１）（２）にはオフ電圧（Ｖｇｈ）が印加され、ゲート信号線１７ｂ（１）（２）にはオン電圧（Ｖｇｌ）が印加されるため、点灯状態となっている。
以上の動作を１Ｈの同期信号に同期して画像を表示していく。しかし、図１５の駆動方式では、ＥＬ素子１５には１０倍の電流が流れる。したがって、表示画面５０は約１０倍の輝度で表示される。もちろん、この状態で所定の輝度表示を行うためには、プログラム電流を１／１０にしておけばよいことは言うまでもない（間欠期間を１／１０にするのではなく、プログラム電流を制御する）。しかし、１／１０の電流であれば寄生容量などにより書き込み不足が発生する。この課題を解決するために、Ｎ倍の高い電流でプログラムし、黒画面５２挿入（間欠表示）により所定の輝度を得るのは本発明の基本的な主旨である。
なお、本発明の駆動方法において、所定電流よりも高い電流がＥＬ素子１５に流れるようにし、ソース信号線１８の寄生容量を十分に充放電するという概念である。つまり、ＥＬ素子１５にＮ倍の電流を流さなくともよい。たとえば、ＥＬ素子１５に並列に電流経路を形成し（ダミーのＥＬ素子を形成し、このＥＬ素子は遮光膜を形成して発光させないなど）、ダミーＥＬ素子とＥＬ素子１５に分流して電流を流しても良い。
たとえば、信号電流が０．２μＡのとき、プログラム電流を２．２μＡとして、トランジスタ１１ａには２．２μＡを流す。この電流のうち、信号電流０．２μＡをＥＬ素子１５に流して、２μＡをダミーのＥＬ素子に流すなどの方式が例示される（図１３６を参照のこと）。つまり、図２７のダミー画素行２８１を常時選択状態にする。なお、ダミー画素行は発光させないか、もしくは、遮光膜などを形成し、発光していても視覚的に見えないように構成する。
以上のように構成することにより、ソース信号線１８に流す電流をＮ倍に増加させることにより、駆動用トランジスタ１１ａにＮ倍の電流が流れるようにプログラムすることができ、かつ、電流ＥＬ素子１５には、Ｎ倍よりは十分小さい電流をながることができることになる。以上の方法では、図５に図示するように、非点灯領域５２を設けることなく、全表示領域５０を画像表示領域５３とすることができる。
図１３の（ａ）は表示画像５０への書き込み状態を図示している。図１３の（ａ）において、５１ａは書き込み画素行である。ソースドライバＩＣ１４から各ソース信号線１８に

プログラム電流が供給される。なお、図１３などでは１Ｈ期間に書き込む画素行は１行である。しかし、何ら１Ｈに限定するものではなく、０．５Ｈ期間でも、２Ｈ期間でもよい。

また、ソース信号線１８にプログラム電流を書き込むとしたが、本発明は電流プログラム方式に限定するものではなく、ソース信号線１８に書き込まれるのは電圧である電圧プログラム方式（図６２など）でもよい。たとえば、電圧駆動方式でも、所定輝度が得られるよりの高い電圧をソース信号線１８に印加し、画素１６をプログラムし、所定輝度になるように間欠表示する駆動方法が例示される。

図１３の（ａ）において、ゲート信号線１７ａが選択されるとソース信号線１８に流れる電流がトランジスタ１１ａにプログラムされる。この時、ゲート信号線１７ｂはオフ電圧が印加されＥＬ素子１５には電流が流れない。これは、ＥＬ素子１５側にトランジスタ１１ｄがオン状態であると、ソース信号線１８からＥＬ素子１５の容量成分が見え、この容量に影響されてコンデンサ１９に十分に正確な電流プログラムができなくなるためである。したがって、図１の構成を例にすれば、図１３の（ｂ）で示すように電流を書き込まれている画素行は非点灯領域５２となる。

今、Ｎ（ここでは、先に述べたようにＮ＝１０とする）倍の電流でプログラムしたとすれば、画面の輝度は１０倍になる。したがって、表示領域５０の９０％の範囲を非点灯領域５２とすればよい。したがって、画像表示領域の水平走査線がＱＣＩＦの２２０本（Ｓ＝２２０）とすれば、２２本と表示領域５３とし、２２０－２２＝１９８本を非表示領域５２とすればよい。一般的に述べれば、水平走査線（画素行数）をＳとすれば、Ｓ／Ｎの領域を表示領域５３とし、この表示領域５３をＮ倍の輝度で発光させる。そして、この表示領域５３を画面の上下方向に走査する。したがって、Ｓ（Ｎ－１）／Ｎの領域は非点灯領域５２とする。この非点灯領域は黒表示（非発光）である。また、この非発光部５２はトランジスタ１１ｄをオフさせることにより実現する。なお、Ｎ倍の輝度で点灯させるとしたが、当然のことながら明るさ調整、ガンマ調整によりＮ倍の値と調整することは言うまでもない。

また、先の実施例で、１０倍の電流でプログラムしたとすれば、画面の輝度は１０倍になり、表示領域５０の９０％の範囲を非点灯領域５２とすればよいとした。しかし、これは、ＲＧＢの画素を共通に非点灯領域５２とすることに限定するものではない。例えば、Ｒの画素は、１／８を非点灯領域５２とし、Ｇの画素は、１／６を非点灯領域５２とし、Ｂの画素は、１／１０を非点灯領域５２と、それぞれの色により変化させてもよい。

ＲＧＢの色で個別に非点灯領域５２（あるいは点灯領域５３）を調整できるようにしてもよい。これらを実現するためには、Ｒ、Ｇ、Ｂで個別のゲート信号線１７ｂが必要になる。しかし、以上のＲＧＢの個別調整を可能にすることにより、ホワイトバランスを調整することが可能になり、各階調において色のバランス調整が容易になる（図４１を参照のこと）。

図１３の（ｂ）に図示するように、書き込み画素行５１ａを含む画素行が非点灯領域５２とし、書き込み画素行５１ａよりも上画面のＳ／Ｎ（時間的には１Ｆ／Ｎ）の範囲を表示領域５３とする（書き込み走査が画面の上から下方向の場合、画面を下から上に走査する場合は、その逆となる）。画像表示状態は、表示領域５３が帯状になって、画面の上から下に移動する。

図１３の表示では、１つの表示領域５３が画面の上から下方向に移動する。フレームレートが低いと、表示領域５３が移動するのが視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。

この課題に対しては、図１６に図示するように、表示領域５３を複数に分割するとよい。この分割された総和がＳ（Ｎ－１）／Ｎの面積となれば（なお、Ｓは表示パネルの有効表示領域５０の面積）、図１３の明るさと同等になる。なお、分割された表示領域５３は等しく（等分に）する必要はない。たとえば、表示領域を４つの領域に分割し、分割された表示領域５３ａが面積１で、分割された表示領域５３ｂが面積２で、分割された表示領域５３ｃが面積１で、分割された表示領域５３ｄが面積４でもよい。また、分割された非表

示領域５２と厳密に等しくする必要はない。
また、数フレーム（フィールド）での表示領域５３の面積が平均して目標の大きさになるように制御してもよいことは言うまでもない。表示領域５３の面積をＳ／１０にするとした時、１フレーム（フィールド）目は表示領域５３の面積をＳ／１０とし、２フレーム（フィールド）目は表示領域５３の面積をＳ／２０とし、３フレーム（フィールド）目は表示領域５３の面積をＳ／２０とし、４フレーム（フィールド）目は表示領域５３の面積をＳ／５とし、以上の４フレーム（フィールド）で所定の表示面積（表示輝度）のＳ／１０を得る駆動方法が例示される。また、Ｒ、Ｇ、Ｂのそれぞれが、数フレーム（フィールド）でＬの期間の平均が等しくなるように駆動してもよい。しかし、前記数フレーム（フィールド）は４フレーム（フィールド）以下にすることが好ましい。表示画像によってはフリッカが発生する場合があるからである。
なお、本発明での１フレームあるいは１フィールドとは、画素１６の画像書き換え周期または表示画面５０が上から下まで（下から上まで）走査される周期と同義あるは類似の意味と考えてもよい。
また、Ｒ、Ｇ、Ｂで、数フレーム（フィールド）でＬの期間の平均を異ならせ、適度なホワイトバランスがとれるように駆動してもよい。この駆動方法は、ＲＧＢの発光効率が異なるときに特に有効である。また、ＲＧＢで分割数Ｋを異ならせても良い。特にＧでは視覚的にめだつため、Ｇでは分割数をＲＢに対して多くすることが有効である。
なお、以上の実施例では理解を容易にするために表示領域５３の面積を分割するとして説明している。しかし、面積を分割するとは、期間（時間）を分割することである。したがって、図１ではトランジスタ１１ｄのオン期間を分割することになるから、面積を分割することは、期間（時間）を分割することと同義あるいは類似である。
以上のように、表示領域５３を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。しかし、分割するほど動画表示性能は低下する。また、画像表示のフレームレートを低減することができ、低消費電力化を実現できる。たとえば、非点灯領域５２を一括にした場合は、フレームレート４５Ｈｚ以下になるとフリッカが発生する。しかし、非点灯領域５２を６分割以上とした場合は、２０Ｈｚ以下までフリッカが発生しない。
図１７はゲート信号線１７の電圧波形およびＥＬの発光輝度を図示している。図１７で明らかなように、ゲート信号線１７ｂをＶｇｌにする期間（１Ｆ／Ｎ）を複数に分割（分割数Ｋ）している。つまり、Ｖｇｌにする期間は１Ｆ／（Ｋ・Ｎ）の期間をＫ回実施する。１Ｆ／（Ｋ・Ｎ）の期間をＫ回実施することにより点灯期間５３の総和は、１Ｆ／Ｎとなる。このように制御すれば、フリッカの発生を抑制でき、低フレームレートの画像表示を実現できる。
画像の分割数も可変できるように構成することが好ましい。たとえば、ユーザーが明るさ調整スイッチを押すことにより、あるいは明るさ調整ボリウムを回すことにより、この変化を検出してＫの値を変更してもよい。また、ユーザーが輝度を調整するように構成してもよい。表示する画像の内容、データにより手動で、あるいは自動的に変化させるように構成してもよい。
また、画像データの状態により分割数を変更してもよい。画像データが動画の場合は、非点灯領域５２を一括にすることにより動画ぼけが発生しなくなる。また、動画の場合は、たえず画像が変化するため、フレームレートを遅くしてもフリッカの発生はない。画像データが静止画の場合は、非点灯領域５２を複数に分割にすることにより低フレームレートでもフリッカの発生がなくなる。つまり、画像データをリアルタイムで動画／静止画の判定をし、判定結果にもとづいて非表示領域５２の分割数を制御することにより、低消費電力かつ動画ぼけの発生のない高画質表示を実現できる。
ゲート信号線１７ａにオン電圧（Ｖｇｌ）が印加された状態からオフ電圧（Ｖｇｈ）が印加された状態に変化するタイミングと、ゲート信号線１７ｂにオフ電圧（Ｖｇｈ）が印加された状態からオン電圧（Ｖｇｌ）が印加された状態に変化するタイミングとが一致する

と、画像の保持状態にバラツキが発生しやすくなる。これは、トランジスタ１１ｂ、１１ｄの特性により、オフまたはオンとなるタイミングにずれが発生し、コンデンサ１９にプログラムされた電圧が放電したり、リークしたりするためと思われる。
この課題に対応するため、図６６に図示するように、書込み画素行５１の前後は、非表示領域５３となるように駆動するのが好ましい。書込み画素行の電流（電圧）プログラムを行ない、１水平走査期間の経過後に前記画素行のゲート信号線１７ｂにオン電圧を印加して、ＥＬ素子１５に電流を流すように制御することが好ましい。また、各画素行を選択するゲート信号線１７ａにオフ電圧を印加した後、少なくとも、３μｓｅｃ以上の時間を経過した後、各画素行のゲート信号線１７ｂにオン電圧を印加するように制御することが好ましい。ＥＬ素子１５に流す電流タイミングに制約がない場合は、図６６に図示するように、書込み画素行５１の前後の画素行が非表示領域５２内となるように駆動することが好ましい。
図６７は、以上の駆動方法を説明するための説明図である。図６７では、説明を容易にするため画素構成は図１で説明した画素構成を想定している。
図６７の（ａ）では、ゲート信号線１７ａにオン電圧（Ｖｇｌ）を印加する期間は１水平走査期間（１Ｈ）としている。ゲート信号線１７ａがオン電圧からオフ電圧を印加状態に変化するときは、ゲート信号線１７ｂはオフ電圧を印加された状態を維持している。ゲート信号線１７ｂには、図６７の（ａ）に図示するようにＡ時間の経過後、オン電圧（Ｖｇｌ）が印加される。Ａ期間は１μｓｅｃ以上とすることが好ましい。さらに好ましくは、Ａ期間は３μｓｅｃ以上とすることが好ましい。
図６７の（ａ）のように、ゲート信号線１７ａにオン電圧が印加されている時は、ゲート信号線１７ｂにはオフ電圧を印加した状態を維持し、ゲート信号線１７ａに印加された電圧がオン電圧からオフ電圧に変化し、図１の画素１６のトランジスタ１１ｂ、１１ｃが完全にオフ状態となった後、ゲート信号線１７ｂにオン電圧を印加することにより、画素１６にプログラムされる電流バラツキが少なくなり良好な画像表示が行われる。
図６７の（ｂ）では、ゲート信号線１７ａにオン電圧（Ｖｇｌ）を印加する期間は１水平走査期間（１Ｈ）より短い期間としている。ゲート信号線１７ａがオン電圧からオフ電圧を印加状態に変化するときは、ゲート信号線１７ｂはオフ電圧を印加された状態を維持している。ゲート信号線１７ｂには、図６７の（ｂ）に図示するようにＣ時間の経過後、オン電圧（Ｖｇｌ）が印加される。Ｃ期間は１μｓｅｃ以上とすることが好ましい。さらに好ましくは、Ｃ期間は３μｓｅｃ以上とすることが好ましい。
図６７の（ｂ）のように、ゲート信号線１７ａにオン電圧が印加されている時は、ゲート信号線１７ｂにはオフ電圧を印加した状態を維持し、ゲート信号線１７ａに印加された電圧がオン電圧からオフ電圧に変化し、図１の画素１６のトランジスタ１１ｂ、１１ｃが完全にオフ状態となった後、ゲート信号線１７ｂにオン電圧を印加することにより、画素１６にプログラムされる電流バラツキが少なくなり良好な画像表示が行われる。
図６７の（ｃ）では、ゲート信号線１７ａにオン電圧（Ｖｇｌ）を印加する期間は１水平走査期間（１Ｈ）としている。ゲート信号線１７ａがオン電圧からオフ電圧を印加状態に変化するときは、ゲート信号線１７ｂはオフ電圧を印加された状態を維持している。さらに、ゲート信号線１７ｂには、ゲート信号線１７ａにオン電圧（Ｖｇｌ）が印加される期間の後１Ｈ期間にはオフ電圧が印加されている。
図６７の（ｃ）のように、ゲート信号線１７ａにオン電圧が印加されている時は、ゲート信号線１７ｂにはオフ電圧を印加した状態を維持し、ゲート信号線１７ａに印加された電圧がオン電圧からオフ電圧に変化し、図１の画素１６のトランジスタ１１ｂ、１１ｃが完全にオフ状態となった後、ゲート信号線１７ｂにオン電圧を印加することにより、画素１６にプログラムされる電流バラツキが少なくなり良好な画像表示が行われる。
なお、以上の実施例は、図１などの画素構成を例示して説明したが、図６３、図６４、図６５などの画素構成においても適用できることは言うまでもない。
なお、図１７などにおいて、ゲート信号線１７ｂをＶｇｌにする期間（図１ではトランジスタ１１ｄがオンする期間、１Ｆ／Ｎ）を複数に分割（分割数Ｋ）し、Ｖｇｌにする期間

は１Ｆ／（Ｋ・Ｎ）の期間をＫ回実施するとしたがこれ限定するものではない。１Ｆ／（Ｋ・Ｎ）の期間をＬ（Ｌ≠Ｋ）回実施してもよい。つまり、本発明は、ＥＬ素子１５に流す期間（時間）を制御することにより画像５０を表示するものである。したがって、１Ｆ／（Ｋ・Ｎ）の期間をＬ（Ｌ≠Ｋ）回実施することは本発明の技術的思想に含まれる。また、分割する期間は等しくすることに限定されるものでもない。また、Ｒ、Ｇ、ＢでＬの制御方法、Ｌの期間、Ｌの周期などを異ならせても良い。

Ｌの値を変化させることにより、画像５０の輝度をデジタル的に変更することができる。たとえば、Ｌ＝２とＬ＝３では５０％の輝度（コントラスト）変化となる。Ｌの期間を順次、変化させることにより、画面５０の明るさはＬの期間に比例してリニアに調整することができる。明るさを調整しても階調数は維持される。なお、Ｌの期間は１水平走査期間（１Ｈ）の整数倍に限定されるものではない。１Ｈの５／２、１Ｈの１／２あるいは１Ｈの１／８など、１Ｈよりも短い期間で操作あるいは制御してもよいことは言うまでもない。

以上の実施例は、ＥＬ素子１５に流れる電流を遮断し、また、ＥＬ素子に流れる電流を接続することにより、表示画面５０をオンオフ（点灯、非点灯）するものであった。つまり、コンデンサ１９に保持された電荷によりトランジスタ１１ａに複数回、略同一電流を流すものである。本発明はこれに限定するものではない。たとえば、コンデンサ１９に保持された電荷を充放電させることにより、表示画面５０をオンオフ（点灯、非点灯）する方式でもよい（図３２、図３３、図５３、図５４などの実施例を参照のこと）。

図１８は図１６の画像表示状態を実現するための、ゲート信号線１７に印加する電圧波形である。図１８と図１５の差異は、ゲート信号線１７ｂの動作である（図１、図２、図６４、図６５ではトランジスタ１１ｄの動作である、なお、図６３ではスイッチ６３１の動作である。スイッチ６３１はゲート信号線１７ｂで制御されているのではないが、業界の技術者であれば容易にスイッチ６３１のオンオフを制御できるので説明を省略する。）。ゲート信号線１７ｂは画面を分割する個数に対応して、その個数分だけオンオフ（ＶｇｌとＶｇｈ）動作する。他の点は図１５と同一であるので説明を省略する。

ＥＬ表示装置では黒表示は完全に非点灯であるから、液晶表示パネルを間欠表示した場合のようにコントラスト低下もない。また、図１の構成においては、トランジスタ１１ｄをオンオフ操作するだけで間欠表示を実現できる。また、図３８、図５１の構成においては、トランジスタ素子１１ｅをオンオフ操作するだけで、間欠表示を実現することができる。このように１回以上の画素１６の点灯および非点灯を実施しても同一の画像表示を再現できるのは、コンデンサ１９に画像データがメモリ（アナログ値であるから階調数は無限大）しているからである。つまり、各画素１６に、画像データは１Ｆの期間中は保持されている（次のフレームで画像データが書き換えられるまで保持されている）。保持されている画像データに相当する電流をＥＬ素子１５に流すか否かをトランジスタ１１ｄ、１１ｅあるいはスイッチ６３１の制御により実現する。

以上の駆動方法は、電流駆動方式に限定されるものではなく、電圧駆動方式にも適用できるものである。つまり、ＥＬ素子１５に流す電流が各画素内で保存している構成において、駆動用トランジスタ１１をＥＬ素子１５間の電流経路をオンオフすることにより、間欠駆動を実現するものである。たとえば、図４３のトランジスタ１１ｄ、図５１のトランジスタ１１ｅの制御により実現することができることは言うまでもない。

電流あるいは電圧プログラムされたコンデンサ１９の端子電圧を維持することは重要である。１フィールド（フレーム）期間でコンデンサ１９の端子電圧が変化（充放電）すると、画面輝度が変化し、フレームレートが低下した時にちらつき（フリッカなど）が発生するからである。トランジスタ１１ａが１フレーム（１フィールド）期間でＥＬ素子１５に流す電流は、少なくとも６５％以下に低下しないようにする必要がある。この６５％とは、画素１６に書き込み、ＥＬ素子１５に流す電流の最初が１００％とした時、次のフレーム（フィールド）で前記画素１６に書き込む直前のＥＬ素子１５に流す電流が６５％以上とすることである。以上の条件を満足するようにコンデンサ１９の容量、保持トランジスタ１１ｂのオフ特性を決定する。

図１などの画素構成では、間欠表示を実現する場合としない場合では、１画素を構成するトランジスタ１１の個数に変化はない。つまり、トランジスタ１１ｄを制御することのより、画素構成はそのままで、ソース信号線１８の寄生容量の影響と除去し、良好な電流プログラムを実現している。その上、ＣＲＴに近い動画表示を実現しているのである。
また、ゲートドライバ回路１２の動作クロックはソースドライバ回路１４の動作クロックに比較して十分に遅いため、回路のメインクロックが高くなるということはない（間欠動作する場合としない場合では同一のクロックで対応できる）。また、Ｎ、Ｋの値の変更も容易である。単に、トランジスタ１１ｄなどのオンオフ制御で実現できるからである。
なお、画像表示方向（画像書き込み方向）は、１フィールド（１フレーム）目では画面の上から下方向とし、つぎの第２フィールド（フレーム）目では画面の下から上方向としてもよい。つまり、上から下方向と、下から上方向とを交互にくりかえす。以上のように走査方向を切り替えることにより、低フレームレートでもフリッカの発生は低減する。
さらに、１フィールド（１フレーム）目では画面の上から下方向とし、いったん、全画面を黒表示（非表示）とした後、つぎの第２フィールド（フレーム）目では画面の下から上方向としてもよい。また、全画面を黒表示（非表示）とし、次に画面の上から下方向に画像を書き換えてもよい。つまり、画像を書き換え、画像表示した後、全画面を黒表示にする。以上のように全画面を黒表示にすることにより、動画表示性能が向上する。
本発明の駆動方法の説明では、説明を容易にするため、画面の書き込み方法を画面の上から下あるいは下から上とする。しかし、本発明はこれに限定するものではない。画面の書き込み方向は絶えず、画面の上から下あるいは下から上と固定し、非表示領域５２の動作方向を１フィールド（フレーム）目では画面の上から下方向とし、つぎの第２フィールド（フレーム）目では画面の下から上方向としてもよい。また、１フレームを３フィールドに分割し、第１のフィールドではＲ、第２のフィールドではＧ、第３のフィールドではＢとして、３フィールドで１フレームを形成するとしてもよい。また、１水平走査期間（１Ｈ）ごとに、Ｒ、Ｇ、Ｂを切り替えて表示してもよい（図７５から図８２などを参照のこと）。以上の事項は他の本発明の実施例でも同様に適用されることは言うまでもない。
非表示領域５２は完全に非点灯状態である必要はない。微弱な発光あるいは弱い画像表示があっても実用上は問題ない。つまり、非表示領域（非点灯領域）５２とは画像表示領域５３よりも表示輝度が低い領域と解釈するべきである。検討結果によれば、非表示領域５２は、表示領域５３の輝度の１／３以下の輝度に設定すれば、動画表示性能が低下することなく、良好な画像表示を実現できる。１／３以下の輝度は図１の画素構成などではトランジスタ１１ｄのオン電圧Ｖｇｌを高くし、完全にオンしない状態を発生することにより実現できる。また、非表示領域５２とは、Ｒ、Ｇ、Ｂ画像表示のうち、１色または２色のみが非表示状態という場合も含まれる。
表示領域５３の輝度（明るさ）が所定値に維持される場合、表示領域５３の面積が広くなるほど、画面５０の輝度は高くなる。たとえば、表示領域５３の輝度が１００（ｎｔ）の場合、表示領域５３が全画面５０に占める割合が１０％から２０％にすれば、画面の輝度は２倍となる。したがって、全画面５０に占める表示領域５３の面積を変化させることにより、画面の表示輝度を変化することができる。本発明は、表示５０の面積に対する表示領域５２の大きさを制御することにより、画像表示を制御する方式である。
表示領域５３の面積はシフトレジスタ６１（図６を参照のこと）へのデータパルス（ＳＴ２）を制御することにより、任意に設定できる。また、データパルスの入力タイミング、周期を変化させることにより、図１６の表示状態と図１３の表示状態とを切り替えることができる（なお、図１３と図１６では説明を容易にするため非表示領域５２の面積を異ならせている。非表示領域５２の面積を同一にすれば同一の輝度を実現できる（ただし、後に説明するソースドライバＩＣに印加する基準電流が同一の場合））。１Ｆ周期でのデータパルス数を多くし、表示領域５２を長くすれば、画面５０は明るくなり、短くすれば、画面５０は暗くなるまた、連続してデータパルスを印加すれば図１３の表示状態となり、間欠にデータパルスを入力すれば図１６の表示状態となる。したがって、シフトレジスタ６１に印加するデータパルスを制御するだけで画像表示の輝度を容易に制御することがで

きる。
図１９の（ａ）は図１３のように表示領域５３が連続している場合の明るさ調整方式である。図１９（ａ１）の画面５０の表示輝度が最も明るい。図１９（ａ２）の画面５０の表示輝度が次に明るく、図１９（ａ３）の画面５０の表示輝度が最も暗い。図１９（ａ１）から図１９（ａ３）への変化（あるいはその逆）は、先にも記載したようにゲートドライバ回路１２のシフトレジスタ回路６１などの制御により、容易に実現できる。この際、図１のＶｄｄ電圧（アノード電圧など）は変化させる必要がない。また、ソースドライバ回路１４が出力するプログラム電流あるいはプログラム電圧の大きさも変化させる必要がない。つまり、電源電圧を変化させず、また、映像信号を変化させずに表示画面５０の輝度変化を実施できる。
また、図１９（ａ１）から図１９（ａ３）への変化の際、画面のガンマ特性は全く変化しない。したがって、画面５０の輝度によらず、表示画像のコントラスト、階調特性が維持される。これは本発明の効果のある特徴である。
従来の画面の輝度調整では、画面５０の輝度が低い時は、階調性能が低下する。つまり、高輝度表示の時は６４階調表示を実現できても、低輝度表示の時は、半分以下の階調数しか表示できない。これに比較して、本発明の駆動方法では、画面の表示輝度に依存せず、最高の６４階調表示を実現できる。
図１９の（ｂ）は、図１６で説明したように表示領域５３が分散している場合の明るさ調整方式である。図１９（ｂ１）の画面５０の表示輝度が最も明るい。図１９（ｂ２）の画面５０の表示輝度が次に明るく、図１９（ｂ３）の画面５０の表示輝度が最も暗い。図１９（ｂ１）から図１９（ｂ３）への変化（あるいはその逆）は、先にも記載したようにゲートドライバ回路１２のシフトレジスタ回路６１などの制御により、容易に実現できる。図１９の（ｂ）のように表示領域５３を分散させれば、低フレームレートでもフリッカが発生しない。
さらに、低フレームレートでも、フリッカが発生しないようにするには、図１９の（ｃ）のように表示領域５３を細かく分散させればよい。しかし、動画の表示性能は低下する。したがって、動画を表示するには、図１９の（ａ）の駆動方法が適している。静止画を表示し、低消費電力化を要望する時は、図１９の（ｃ）の駆動方法が適している。図１９の（ａ）から図１９の（ｃ）の駆動方法の切り替えも、シフトレジスタ６１の制御により容易に実現できる。
図１９は非表示領域５２が等間隔で構成されているが、これに限定するものではない。画面５０の１／２の面積が連続して表示領域５３をし、残りの面積５０が図１９（ｃ１）のように等間隔に表示領域５３と非表示領域５２が繰り返すように駆動してもよいことは言うまでもない。
図２０は本発明の駆動方法の他の実施例の説明である。図２０は複数の画素行を同時に選択し、複数の画素行を駆動するプログラム電流でソース信号線１８の寄生容量などを充放電し電流書き込み不足を大幅に改善する方式である。複数の画素行を同時に選択するため、１画素あたりの駆動する電流を減少させることができる。したがって、ＥＬ素子１５に流れる電流を減少させることができる。ここで、説明を容易にするため、一例として、Ｎ＝１０とし、同時に選択される画素行Ｍを５として説明する（ソース信号線１８に流すプログラム電流を１０倍にする。同時に５画素行が選択されるから、１画素にはプログラム電流の１／５が流れる。）。
図２０で説明する本発明は、画素行は同時にＭ画素行を選択する。ソースドライバＩＣ１４からは所定電流のＮ倍電流をソース信号線１８に印加する。各画素にはＥＬ素子１５に流す電流のＮ／Ｍ倍の電流がプログラムされる。ＥＬ素子１５を所定発光輝度とするために、ＥＬ素子１５に流れる時間を１フレーム（１フィールド）のＭ／Ｎ時間にする。このように駆動することにより、ソース信号線１８の寄生容量を十分に充放電でき、良好な解像度を所定の発光輝度を得ることができる。
なお、本発明の駆動方法では理解を容易にするために、所定電流のＮ倍の電流をソース信号線に印加するとするが、これに限定するものではない。本発明はソースドライバ回路１

４から出力する信号（電流または電圧）を、同時に選択した（タイミングがずれていてもよい）画素に分割して印加することが特徴である。同時に選択し各ソース信号線１８に接続された画素１６の駆動トランジスタ１１ａ特性が同一であれば、ソースドライバ回路１４から出力される電流を選択した画素行Ｍで割った電流が、画素１６にプログラムされる。

つまり、１フレーム（１フィールド）のＭ／Ｎの期間の間だけ、ＥＬ素子１５に電流を流し、他の期間（１Ｆ（Ｎ－１）Ｍ／Ｎ）は電流を流さない。この表示状態では１Ｆごとに画像データ表示、黒表示（非点灯）が繰り返し表示される。つまり、画像データ表示状態が時間的に飛び飛び表示（間欠表示）状態となる。したがって、画像の輪郭ぼけがなくなり良好な動画表示を実現できる。また、ソース信号線１８にはＮ倍の電流で駆動するため、寄生容量の影響をうけず、高精細表示パネルにも対応できる。

なお、以上の実施例では、理解を容易にするため、Ｍ画素行を同時に選択し、Ｎ倍の電流をソースドライバ回路１４から出力するとした。しかし、本発明はこれに限定するものではない。Ｍ画素行を同時に選択し、１倍の電流をソースドライバ回路１４から出力してもよい。この場合は、表示画面５０の輝度が低くなるだけで、本発明を実施している。もちろん、ソースドライバ回路１４から２倍あるいは、２．５倍あるいは５．２５倍など大きい電流を出力すれば、画面５０の輝度を高くすることができる。

また、以上の実施例では、理解を容易にするため、Ｍ画素行を同時に選択し、各画素１６はＭ／Ｎの期間だけ点灯するとしたが、本発明はこれに限定するものではない。Ｍ画素行を同時に選択し、Ｍ／１０倍の電流、Ｍ／５倍の電流、Ｍ／２．５倍の電流をソースドライバ回路１４から出力してもよい。つまり、Ｎに依存せず、表示期間を自由に設定することができる。表示期間を長くすれば、画面５０の輝度は高くなり、表示期間を短くすれば画面５０の輝度は低くなる。つまり、Ｍ画素行を同時に選択する本発明においても、表示期間を制御することにより、画面５０の輝度を容易に制御あるいは調整することができる。

図２１は、図２０の駆動方法を実現するための駆動波形の説明図である。ゲート信号線１７の電圧波形は、オフ電圧をＶｇｈ（Ｈレベル）とし、オン電圧をＶｇｌ（Ｌレベル）としている。各信号線の添え字は画素行の番号（（１）（２）（３）など）を記載している。なお、行数はＱＣＩＦ表示パネルの場合は２２０本であり、ＶＧＡパネルでは４８０本である。

図２１において、ゲート信号線１７ａ（１）が選択され（画素行（１）のゲート信号線１７ａにＶｇｌ電圧が印加される）、選択された画素行のトランジスタ１１ａからソースドライバ１４に向かってソース信号線１８にプログラム電流が流れる（図１の場合）。ここでは説明を容易にするため、まず、図２０における書き込み画素行５１ａが画素行（１）番目であるとして説明する。

また、ソース信号線１８に流れるプログラム電流は所定値のＮ倍（説明を容易にするため、Ｎ＝１０として説明する。もちろん、所定値とは画像を表示するデータ電流であるから、白ラスター表示などでない限り固定値ではない。画像データにより各画素１６にプログラムされる電流値は異なる）である。また、５画素行が同時に選択（Ｍ＝５）として説明をする。したがって、理想的には１つの画素のコンデンサ１９には２倍（Ｎ／Ｍ＝１０／５＝２）に電流がトランジスタ１１ａに流れるようにプログラムされる。

書き込み画素行が（１）画素行目である時、図２１で図示したように、画素行（１）（２）（３）（４）（５）のゲート信号線１７ａが選択されている。つまり、画素行（１）（２）（３）（４）（５）のスイッチングトランジスタ１１ｂ、トランジスタ１１ｃがオン状態である。また、画素行（１）（２）（３）（４）（５）の駆動トランジスタ１１ａにプログラム電流が流れている。また、図２１で明らかなように、５Ｈ番目の時、画素行（１）（２）（３）（４）（５）のゲート信号線１７ａにオン電圧が印加され、（１）（２）（３）（４）（５）のゲート信号線１７ｂにはオフ電圧が印加されている。したがって、画素行（１）（２）（３）（４）（５）のスイッチングトランジスタ１１ｄがオフ状態であり、対応する画素行のＥＬ素子１５には電流が流れていない。つまり、非点灯状態５

２である。
なお、説明を容易にするため、ゲート信号線１７ａに選択電圧が印加された画素行（上記説明では画素行（１）（２）（３）（４）（５）が該当する）において、ゲート信号線１７ｂにはオフ電圧を印加して、画素行のトランジスタ１１ｄをオフ状態にする（画素行（１）（２）（３）（４）（５）が該当する）とした。しかし、図２０で図示しているように、選択された画素行以外の画素行のトランジスタ１１ｄをオフしてもよいことは言うまでもない。図２０では、書込み画素行５１を含む広い範囲でトランジスタ１１ｄをオフにして、非表示領域５２をしている。非表示領域５２は図１９などで説明したように分散させたり、一括したりすればよいことは言うまでもない。
本発明は、図１、図２などの画素構成において、少なくとも電流プログラムを行っている画素行では、最終的にプログラム電流を画素に保持するときには、ＥＬ素子１５の電流経路を遮断する点が重要である。しかし、図３８のカレントミラーの画素構成にあっては、前述の事項も非制約事項である。
本発明は、画像データを書き込むために、同時に選択した（ゲート信号線１７ａにオン電圧を印加した）画素行のうち、１画素行もしくはすべての画素行を非表示状態にすることが重要な事項である。１画素行以上を表示状態にすると表示画像の解像度が低下するからである。
理想的には、５画素のトランジスタ１１ａが、それぞれＩｗ×２の電流をソース信号線１８に流す（つまり、ソース信号線１８にはＩｗ×２×Ｎ＝Ｉｗ×２×５＝Ｉｗ×１０。したがって、本発明のＮ倍パルス駆動を実施しない場合が所定電流Ｉｗとすると、Ｉｗの１０倍の電流がソース信号線１８に流れる）。
以上の動作（駆動方法）により、各画素行（１）（２）（３）（４）（５）のコンデンサ１９には、２倍のプログラム電流がプログラムされる。ここでは、理解を容易にするため、各トランジスタ１１ａは特性（Ｖｔ、Ｓ値）が一致しているとして説明をする。
同時に選択する画素行が５画素行（Ｋ＝５）であるから、５つの駆動用トランジスタ１１ａが動作する。つまり、１画素あたり、１０／５＝２倍の電流がトランジスタ１１ａに流れる。ソース信号線１８には、５つの画素１６のトランジスタ１１ａのプログラム電流を加えた電流が流れる。たとえば、書き込み画素行５１ａに、本来、書き込む電流Ｉｗとし、ソース信号線１８には、Ｉｗ×１０の電流を流す。書き込み画素行（１）より以降に画像データを書き込む書き込み画素行５１ｂソース信号線１８への電流量を増加させるため、補助的に用いる画素行（画素行（１）を電流プログラムしている場合は、画素行（２）（３）（４）（５）が該当する。しかし、書き込み画素行５１ｂ（図２０を参照のこと。図２０において５１ａが画素行（１）とし、５１ｂが画素行（２）（３）（４）（５）が対応しているとした場合である）には、後に正規の画像データが書き込まれるので問題がない。
したがって、４画素行５１ｂにおいて、１Ｈ期間の間は５１ａと同一表示である。そのため、書き込み画素行５１ａと電流を増加させるために選択した画素行５１ｂとを少なくとも非表示状態５２とするのである（図２０の（ｂ）を参照のこと）。ただし、図３８のようなカレントミラーの画素構成、その他の電圧プログラム方式の画素構成では５１ａも表示状態としてもよいことは言うまでもない。
１Ｈ後には、ゲート信号線１７ａ（１）は非選択となり（図２１の、ゲート信号線１７ｂにはオン電圧（Ｖｇｌ）が印加される。図２１の６Ｈ番目のゲート信号線波形を参照のこと。また、同時に、ゲート信号線１７ａ（６）が選択され（Ｖｇｌ電圧が印加される）、選択された画素行（６）のトランジスタ１１ａからソースドライバ１４に向かってソース信号線１８にプログラム電流が流れる。このように動作することのより、画素行（１）には正規の画像データが保持される。つまり、画素行（１）のプログラム電流が確定し、画素行（６）にプログラム電流が流れる。
次の、１Ｈ後には、ゲート信号線１７ａ（２）は非選択となり、画素行（２）のゲート信号線１７ｂにはオン電圧（Ｖｇｌ）が印加される（図２１の７Ｈ番目を参照のこと）。また、同時に、ゲート信号線１７ａ（７）が選択され（Ｖｇｌ電圧が印加される）、選択さ

れた画素行（７）のトランジスタ１１ａからソースドライバ１４に向かってソース信号線１８にプログラム電流が流れる。このように動作することのより、画素行（２）には正規の画像データが保持される。以上の動作を１画素行ずつシフトしながら走査することにより１画面５０が書き換えられる。

図２０の駆動方法では、各画素には２倍の電流（電圧）でプログラムを行うため、各画素のＥＬ素子１５の発光輝度は理想的には２倍となる（ただし、２倍というのは一実施例である）。したがって、表示画面の輝度は所定値よりも２倍となる。これを所定の輝度とするためには、図１６に図示するように、書き込み画素行５１を含み、かつ画面５０の１／２の範囲を非表示領域５２とすればよい。

図１３と同様に、図２０のように１つの表示領域５３が、画面の上から下方向に移動する場合は、フレームレートが低いと、表示領域５３が移動するのが視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。この課題に対しては、図２２に図示するように、表示領域５３を複数に分割（分割数Ｋ）するとよい。

図２３はゲート信号線１７に印加する電圧波形である。図２１と図２３との差異は、基本的にはゲート信号線１７ｂの動作である。ゲート信号線１７ｂは画面を分割する個数に対応して、その個数分だけオンオフ（ＶｇｌとＶｇｈ）動作する。他の点は図２１とほぼ同一あるいは類推できるので説明を省略する。

以上のように、表示領域５３を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。しかし、分割すればするほどフリッカは軽減する。特にＥＬ素子１５の応答性は速いため、５μｓｅｃよりも小さい時間でオンオフしても、表示輝度の低下はない。

本発明の駆動方法において、ＥＬ素子１５のオンオフは、ゲート信号線１７ｂに印加する信号のオンオフで制御できる。そのため、クロック周波数はＫＨｚオーダーの低周波数で制御が可能である。また、黒画面挿入（非表示領域５２挿入）を実現するのには、画像メモリなどを必要としない。したがって、低コストで本発明の駆動回路あるいは方法を実現できる。

図２４は同時に選択する画素行が２画素行の場合である。検討した結果によると、低温ポリシリコン技術で形成した表示パネルでは、２画素行を同時に選択する方法では実用上問題ない画像表示を得ることができた。これは、隣接した画素の駆動用トランジスタ１１ａの特性が極めて一致しているためと推定される。また、レーザーアニールする際に、ストライプ状のレーザーの照射方向はソース信号線１８と平行に照射することで良好な結果が得られた（図７およびその説明を参照のこと）。

これは同一時間にアニールされる範囲の半導体膜は特性が均一であるためである。つまり、ストライプ状のレーザー照射範囲内では半導体膜が均一に作製され、この半導体膜を利用したトランジスタのＶｔ、モビリティ、Ｓ値がほぼ等しくなるためである。したがって、ソース信号線１８の形成方向に平行にストライプ状のレーザーショットを照射し、この照射位置を移動させることにより（図７を参照のこと）、ソース信号線１８に沿った画素（画素列、画面の上下方向の画素）の特性は、ほぼ等しく作製される。したがって、複数の画素行を同時にオンさせて電流プログラムを行った時、プログラム電流は、同時に選択されて複数の画素にはプログラム電流を選択された画素数で割った電流が、ほぼ同一に電流プログラムされる。したがって、目標値に近い電流プログラムを実施でき、均一表示を実現できる。したがって、レーザーショット方向で作製したアレイ基板７１を用い、図２４などで説明する駆動方式を実施することのより良好な画像表示を実現できる。

以上のように、レーザーショットの方向をソース信号線１８の形成方向と略一致させることにより、画素の上下方向に形成されたトランジスタ１１ａの特性がほぼ同一になる。したがって、目標電圧を画素に精度よくプログラムできるため、良好な画像表示を実現できる（画素の左右方向のトランジスタ１１ａの特性が一致していなくとも）。以上の動作は、１Ｈ（１水平走査期間）に同期して、１画素行あるいは複数画素行ずつ選択画素行位置

をずらせて実施する。
なお、本発明は、レーザーショットの方向をソース信号線１８と平行にするとしたが、必ずしも平行でなくともよい。ソース信号線１８に対して斜め方向にレーザーショットを照射しても１つのソース信号線１８に沿った画素の上下方向のトランジスタ１１ａの特性はほぼ一致して形成されるからある。したがって、ソース信号線に平行にレーザーショットを照射するとは、ソース信号線１８の沿った任意の画素の上または下に隣接した画素を、１つのレーザー照射範囲に入るように形成するということである。また、ソース信号線１８とは一般的には、映像信号となるプログラム電流あるいは電圧を伝達する配線である。
なお、本発明の実施例では１Ｈごとに、書き込み画素行位置をシフトさせるとしたが、これに限定するものではなく、２Ｈごとにシフトしてもよく、また、それ以上の画素行ずつシフトさせてもよい。また、任意の時間単位でシフトしてもよい。また、画面位置に応じて、シフトする時間を変化させてもよい。たとえば、画面の中央部でのシフト時間を短くし、画面の上下部でシフト時間を長くしてもよい。また、フレームごとにシフト時間を変化させてもよい。
また、連続した複数画素行を選択することに限定するものではない。例えば、１画素行へだてた画素行を選択してもよい。つまり、第１番目の水平走査期間に第１番目の画素行と第３番目の画素行を選択し、第２番目の水平走査期間に第２番目の画素行と第４番目の画素行を選択し、第３番目の水平走査期間に第３番目の画素行と第５番目の画素行を選択し、第４番目の水平走査期間に第４番目の画素行と第６番目の画素行を選択する駆動方法である。もちろん、第１番目の水平走査期間に第１番目の画素行と第３番目の画素行と第５番目の画素行を選択するという駆動方法も技術的範疇である。もちろん、複数画素行へだてた画素行位置を選択してもより。
なお、以上のレーザーショット方向と、複数本の画素行を同時に選択するという組み合わせは、図１、図２、図３２、図６３、図６４、図６５などの画素構成のみに限定されるものではなく、カレントミラーの画素構成である図３８、図４２、図５０などの他の電流駆動方式の画素構成にも適用できることはいうまでもない。また、図４３、図５１、図５４、図６２などの電圧駆動の画素構成にも適用できる。つまり、画素上下のトランジスタの特性が一致しておれば、同一のソース信号線１８に印加した電圧値により良好に電圧プログラムを実施できるからである。
図２１は５画素行を同時に選択する本発明の駆動方法であった。図２４、図２５は２画素行を同時に選択する駆動方法の実施例である。図２４において、書き込み画素行が（１）画素行目である時、ゲート信号線１７ａは（１）（２）が選択されている（図２５を参照のこと）。つまり、画素行（１）（２）のスイッチングトランジスタ１１ｂ、トランジスタ１１ｃがオン状態である。また、各画素行のゲート信号線１７ａにオン電圧が印加されている時、ゲート信号線１７ｂにはオフ電圧が印加される。
したがって、１Ｈおよび２Ｈ番目の期間では、画素行（１）（２）のスイッチングトランジスタ１１ｄがオフ状態であり、対応する画素行のＥＬ素子１５には電流が流れていない。つまり、非点灯状態５２である。なお、図２４では、フリッカの発生を低減するため、表示領域５３を５分割している。
理想的には、２画素（行）のトランジスタ１１ａが、それぞれがＩｗ×５（Ｎ＝１０の場合。つまり、Ｋ＝２であるから、ソース信号線１８に流れる電流はＩｗ×Ｋ×５＝Ｉｗ×１０となる）の電流をソース信号線１８に流す。そして、各画素１６のコンデンサ１９には、５倍の電流がプログラムされ、保持される。
同時に選択する画素行が２画素行（Ｋ＝２）であるから、２つの駆動用トランジスタ１１ａが動作する。つまり、１画素あたり、１０／２＝５倍の電流がトランジスタ１１ａに流れる。ソース信号線１８には、２つのトランジスタ１１ａのプログラム電流を加えた電流が流れる。
たとえば、書き込み画素行５１ａに、本来、書き込む電流Ｉｄとし、ソース信号線１８には、Ｉｗ×１０の電流を流す。書き込み画素行５１ｂは後に正規の画像データが書き込まれるので問題がない。画素行５１ｂは、１Ｈ期間の間は５１ａと同一表示である。そのた

め、書き込み画素行５１ａと電流を増加させるために選択した画素行５１ｂとを少なくとも非表示状態５２とするのである。
次の、１Ｈ後には、ゲート信号線１７ａ（１）は非選択となり、ゲート信号線１７ｂにはオン電圧（Ｖｇｌ）が印加される。また、同時に、ゲート信号線１７ａ（３）が選択され（Ｖｇｌ電圧）、選択された画素行（３）のトランジスタ１１ａからソースドライバ１４に向かってソース信号線１８にプログラム電流が流れる。このように動作することのより、画素行（１）には正規の画像データが保持される。
次の、１Ｈ後には、ゲート信号線１７ａ（２）は非選択となり、ゲート信号線１７ｂにはオン電圧（Ｖｇｌ）が印加される。また、同時に、ゲート信号線１７ａ（４）が選択され（Ｖｇｌ電圧）、選択された画素行（４）のトランジスタ１１ａからソースドライバ１４に向かってソース信号線１８にプログラム電流が流れる。このように動作することのより、画素行（２）には正規の画像データが保持される。以上の動作と１画素行ずつシフト（もちろん、複数画素行ずつシフトしてもよい。たとえば、擬似インターレース駆動であれば、２行ずつシフトするであろう。また、画像表示の観点から、複数の画素行に同一画像を書き込む場合もあるであろう）しながら走査することにより１画面が書き換えられる。
図１６と同様であるが、図２４の駆動方法では、各画素には５倍の電流（電圧）でプログラムを行うため、各画素のＥＬ素子１５の発光輝度は理想的には５倍となる。したがって、表示領域５３の輝度は所定値よりも５倍となる。これを所定の輝度とするためには、図１６などに図示するように、書き込み画素行５１を含み、かつ表示画面１の１／５の範囲を非表示領域５２とすればよい。
図２７に図示するように、２本の書き込み画素行５１（５１ａ、５１ｂ）が選択され、画面５０の上辺から下辺に順次選択されていく（図２６も参照のこと。図２６では画素行１６ａと１６ｂが選択されている）。しかし、図２７の（ｂ）のように、画面の下辺までくると書き込み画素行５１ａは存在するが、５１ｂはなくなる。つまり、選択する画素行が１本しかなくなる。そのため、ソース信号線１８に印加された電流は、すべて画素行５１ａに書き込まれる。したがって、画素行５１ａに比較して、２倍の電流が画素にプログラムされてしまう。
この課題に対して、本発明は、図２７の（ｂ）に図示するように画面５０の下辺にダミー画素行２８１を形成（配置）している。したがって、選択画素行が画面５０の下辺まで選択された場合は、画面５０の最終画素行とダミー画素行２８１が選択される。そのため、図２７の（ｂ）の書き込み画素行には、規定どおりの電流が書き込まれる。なお、ダミー画素行２８１は表示領域５０の上端あるいは下端に隣接して形成したように図示したが、これに限定するものではない。表示領域５０から離れた位置に形成されていてもよい。また、ダミー画素行２８１は、図１のスイッチングトランジスタ１１ｄ、ＥＬ素子１５などは形成する必要はない。形成しないことにより、ダミー画素行２８１のサイズは小さくなるからパネルの額縁を短くすることができる。
図２８は図２７の（ｂ）の状態を示している。図２８で明らかのように、選択画素行が画面５０の下辺の画素１６ｃ行まで選択された場合は、画面５０の最終画素行２８１が選択される。ダミー画素行２８１は表示領域５０外に配置する。つまり、ダミー画素行２８１は点灯しない、あるいは点灯させない、もしくは点灯しても表示として見えないように構成する。たとえば、画素電極とトランジスタ１１とのコンタクトホールをなくすとか、ダミー画素行にはＥＬ素子１５を形成しないとかである。図２８のダミー画素行２８１はＥＬ素子１５、トランジスタ１１ｄ、ゲート信号線１７ｂを図示しているが、駆動方法の実施には不必要である。実際に開発した本発明の表示パネルでは、ダミー画素行２８１にはＥＬ素子１５、トランジスタ１１ｄ、ゲート信号線１７ｂを形成していない。ただし、画素電極を形成することが好ましい。画素内の寄生容量が他の画素１６と同一にならず、保持されるプログラム電流に差異が発生する場合があるからである。
図２７では、画面５０の下辺にダミー画素（行）２８１を設ける（形成する、配置する）としたが、これに限定するものではない。たとえば、図２９の（ａ）に図示するように、画面の下辺から上辺に走査する。上下逆転走査する場合は、図２９の（ｂ）に図示するよ

うに画面５０の上辺にもダミー画素行２８１を形成すべきである。つまり、画面５０の上辺を下辺のそれぞれにダミー画素行２８１を形成（配置）する。以上のように構成することにより、画面の上下反転走査にも対応できるようになる。

以上の実施例は、２画素行を同時選択する場合であった。本発明はこれに限定するものではなく、たとえば、５画素行を同時選択する方式（図２３を参照のこと）でもよい。つまり、５画素行同時駆動の場合は、ダミー画素行２８１は４行分形成すればよい。図１３４にその実施例の説明図を記載している。図１３４は画面５０の下部の構成を説明するための説明図である。５画素行同時書込みの実施例である。ダミー画素行２８１が４画素行分形成または配置されている。ダミー画素行２８１にはＥＬ素子１５などは形成されていない。したがって、ダミー画素行２８１には画素トランジスタ（トランジスタ１１ａ、１１ｂ、１１ｃ）、コンデンサ１９などプログラム電流を流す構成要素のみが形成されている。もちろん、ゲート信号線１７ｂ、ＥＬ素子１５などを形成してもよいことは言うまでもない。

以上のことから、ダミー画素行２８１数は、同時に選択する画素行数Ｍ－１の画素行を形成すればよい。たとえば、同時に選択する画素行が５画素行であれば、５－１＝４画素行である。同時に選択する画素行が１０画素行であれば、１０－１＝９画素行である。

図１３５はダミー画素行２８１を形成する場合において、ダミー画素行の配置位置の説明図である。基本的に、表示パネルは上下反転駆動するとして、ダミー画素行２８１を画面５０の上下に配置している。

図１３５の（ａ）は２画素行（Ｍ＝２）同時選択駆動を実施する場合のダミー画素行２８１の形成位置である。図１３５の（ｂ）は３画素行（Ｍ＝３）同時選択駆動を実施する場合のダミー画素行２８１の形成位置である。図１３５の（ｃ）は４画素行（Ｍ＝４）同時選択駆動を実施する場合のダミー画素行２８１の形成位置である。図１３５の（ｄ）は５画素行（Ｍ＝５）同時選択駆動を実施する場合のダミー画素行２８１の形成位置である。

なお、図１３５のようにダミー画素行２８１を４画素行分形成すれば、同時選択駆動は２画素行同時選択駆動から５画素行同時選択駆動まで実施できる。

以上の実施例は、１画素行ごとに異なる画像データを保持する駆動方法の実施例である。２画素行に同一の画像データを保持する場合は、画素行は、２倍必要になることは言うまでない。つまり、２画素行ごとに順次走査する場合は、２倍のダミー画素行数が必要となる。つまり、ダミー画素行は、（同時に選択する画素行数Ｍ－１）×同一画像を書き込む画素行数が必要になる。

以上の実施例は、隣接した画素行を同時に選択する駆動方法であった。しかし、本発明の駆動方式は、これに限定するものではない。図１３６、図１３７は本発明の他の駆動方法（駆動方式）の実施例である。図１３６の駆動方法は、２画素行同時選択の実施例である。図１３６では、ダミー画素行２８１は図１３５と同様に画面５０の下辺に形成している。

２画素行を同時に選択する駆動方法では、下辺に形成したダミー画素行２８１を必ず選択する。つまり、ダミー画素行２８１を選択するダミー画素行２８１のトランジスタ１１ｂ、１１ｃは絶えずオン状態である。

図１３６の（ａ）は画面５０の上部を走査している（電流プログラム行っている）時の状態である。図１３６の（ｂ）は画面５０の中央部を走査している（電流プログラム行っている）時の状態である。図１３６の（ｃ）は画面５０の下部を走査している（電流プログラム行っている）時の状態である。いずれの場合も、ダミー画素行２８１を同時に選択している。したがって、ダミー画素行２８１と電流プログラムを行っている画素行の２画素行を同時に選択し、画像を書き込む。

図１３６の駆動方法では、表示領域５０の画素行を順次選択し、同時に固定された位置のダミー画素行２８１を選択する。そして、ダミー画素行２８１と選択した画素行からの電流をソースドライバＩＣ（回路）１４に供給する（図１３７を参照のこと）。図１３７の（ａ）がある時点の駆動状態であれば、図１３７の（ｂ）はその１水平走査期間後の状態である。

なお、図１３６において、ダミー画素行２８１は、順次選択する画素行５１と同一の電流をソース信号線１８に流す。しかし、本発明はこれに限定するものではない。ダミー画素行２８１が順次選択する画素行５１の１倍以上流すように構成してもよい。たとえば、２倍とか、３．５倍にしてもよい。

ダミー画素行２８１がソース信号線１８に流す電流の倍数を設定するのには、ダミー画素行２８１の駆動トランジスタ１１ａのW（チャンネル幅）、L（チャンネル長）を設計により形成すればよい。Wを大きくするとソース信号線１８に流す駆動電流は大きくなり、Wを小さくするとソース信号線１８に流す駆動電流は小さくなる。したがって、表示領域５０の画素１６の駆動トランジスタ１１ａのW／Lよりも、ダミー画素行２８１の駆動トランジスタ１１ａのW／Lの方が大きくすれば、ダミー画素行２８１の方が、表示領域５０の駆動電流が大きくすることができる。なお、ダミー画素行２８１の駆動電流を大きくする方が好ましいことは言うまでもない。

なお、図１３６は電流プログラムする画素行は１画素行ずつ選択する駆動方法であったが、本発明はこれに限定されるものではない。たとえば、図２４に図示するように複数画素行を同時に選択してもよい。

図１３６の構成では、ダミー画素行２８１を絶えず選択するため、ダミー画素行２８１のバラツキを少なくすることにより、均一な画像表示を実現できる。なお、画像の走査方向を反転させる場合は、図１３６において、ダミー画素行２８１を画面５０の上辺にも形成することが好ましい。

以上の実施例は、フィールドあるいはフレームでは走査する画素行の開始位置が同一の場合の実施例である。ＮＴＳＣなどは、インターレース駆動を実施している。インターレース駆動では、１フレームは２フィールドで構成され、第１フィールドでは、奇数画素行が走査され、第２フィールドでは偶数画素行が走査される。

図１３３の実施例は、図１３３の（ａ）は第１フィールドの駆動方法を図示しており、図１３３の（ｂ）は第２フィールドの駆動方法を図示している。駆動方法は、図２４で説明した２画素行同時選択駆動を実施する。

第１フィールドでは第１画素行から２画素行を同時に選択し、順次画素行の選択位置をずらしていく。このことは、図２４などで説明をしたのと同様であるから詳細な説明は不要であろう。

第２フィールドでは第２画素行から２画素行を同時に選択し、順次画素行の選択位置をずらしていく。１画素行をずらせた２画素行目から走査することがポイントである。インターレース駆動では、第１フィールドでは、奇数画素行が走査され、第２フィールドでは偶数画素行が走査されるからである。つまり、第１フィールドと第２フィールドでは走査開始位置を変化させる。なお、図１３４などで説明したダミー画素行２８１を形成してもよいことは言うまでもない。

本発明は、複数画素行同時選択駆動を実施することの限定されるものではない。たとえば、画素行への書込み速度を２倍速にしてもよい。つまり、選択する画素行は１画素行とし、１画素行のみを順次選択して画像を書き換える（図１３を参照のこと）。かつ、隣接する画素行には、同一の画像データを書き込む。たとえば、第１フィールドでは、画素行１番目と画素行２番目には同一画像を書き込む。同様に、画素行３番目と画素行４番目には同一画像を書き込み、画素行５番目と画素行６番目には同一画像を書き込む。以上の動作を画素行４７９番目と画素行４８０番目まで行い、第１フィールドで画像を書き換える。

第２フィールドでは、画素行２番目と画素行３番目には同一画像を書き込む。同様に、画素行４番目と画素行５番目には同一画像を書き込み、画素行６と画素行７には同一画像を書き込む。以上の動作を画素行４７８番目と画素行４７９番目もしくは、画素行４８０番目と画素行４８１番目まで行い、第２フィールドで画像を書き換える。

また、２画素行を同時に選択する複数画素行同時選択駆動に限定されるものではない。たとえば、第１フィールドでは、奇数画素行（１、３、５、７、９、・・・・・・・・４７９）を走査し、次の第２フィールドでは、偶数画素行（２、４、６、８、１０、・・・・・・４８０）を走査する駆動方式を実施してもよいことは言うまでもない。第１フィー

ルドでの偶数画素行は非点灯表示としてもよいし、図２４に図示するように順次、非点灯領域５２として走査してもよい。また、第２フィールドでの奇数画素行は非点灯表示としてもよいし、図２４に図示するように順次、非点灯領域５２として走査してもよい。
また、図１５、図２１などは水平同期信号に同期して１画素行ずつ選択する画素行を１画素行ずつ移動させる方法であった。しかし、本発明はこれに限定するものではなく、２画素以上の複数画素行ずつ選択する画素行を移動させてもよいことは言うまでもない。
本発明のダミー画素行構成あるいはダミー画素行駆動は、少なくとも１つ以上のダミー画素行を用いる方式である。もちろん、ダミー画素行駆動方法とＮ倍パルス駆動とを組み合わせて用いることが好ましい。
以下、さらに詳しく、本発明のインターレース駆動について説明をする。図１２７はインターレース駆動を行う本発明の表示パネルの構成である。図１２７において、奇数画素行のゲート信号線１７ａはゲートドライバ回路１２ａ１に接続されている。偶数画素行のゲート信号線１７ａはゲートドライバ回路１２ａ２に接続されている。一方、奇数画素行のゲート信号線１７ｂはゲートドライバ回路１２ｂ１に接続されている。偶数画素行のゲート信号線１７ｂはゲートドライバ回路１２ｂ２に接続されている。
したがって、ゲートドライバ回路１２ａ１の動作（制御）により奇数画素行の画像データが順次書き換えられる。奇数画素行は、ゲートドライバ回路１２ｂ１の動作（制御）によりＥＬ素子の点灯、非点灯制御が行われる。また、ゲートドライバ回路１２ａ２の動作（制御）により偶数画素行の画像データが順次書き換えられる。また、偶数画素行は、ゲートドライバ回路１２ｂ２の動作（制御）によりＥＬ素子の点灯、非点灯制御が行われる。
図１２８の（ａ）は、第１フィールドでの表示パネルの動作状態である。図１２８の（ｂ）は、第２フィールドでの表示パネルの動作状態である。図１２８において、斜線を記入したゲートドライバ１２はデータの走査動作がしていないことを示している。つまり、図１２８の（ａ）の第１フィールドでは、プログラム電流の書込み制御としてゲートドライバ回路１２ａ１が動作し、ＥＬ素子１５の点灯制御としてゲートドライバ回路１２ｂ２が動作する。図１２８の（ｂ）の第２フィールドでは、プログラム電流の書込み制御としてゲートドライバ回路１２ａ２が動作し、ＥＬ素子１５の点灯制御としてゲートドライバ回路１２ｂ１が動作する。以上の動作が、フレーム内で繰り返される。
図１２９が第１フィールドでの画像表示状態である。図１２９の（ａ）が書込み画素行（電流（電圧）プログラムを行っている奇数画素行位置を図示している。図１２９（ａ１）→（ａ２）→（ａ３）と書込み画素行位置が順次シフトされる。第１フィールドでは、奇数画素行が順次書き換えられる（偶数画素行の画像データは保持されている）。図１２９の（ｂ）が奇数画素行の表示状態を図示している。なお、図１２９の（ｂ）は奇数画素行のみを図示している。偶数画素行は図１２９の（ｃ）に図示している。図１２９の（ｂ）でも明らかなように、奇数画素行に対応する画素のＥＬ素子１５は非点灯状態である。一方、偶数画素行は、図１２９の（ｃ）に図示しているように表示領域５３と非表示領域５２を走査する（Ｎ倍パルス駆動）。
図１３０が第２フィールドでの画像表示状態である。図１３０の（ａ）が書込み画素行（電流（電圧）プログラムを行っている奇数画素行位置を図示している。図１３０（ａ１）→（ａ２）→（ａ３）と書込み画素行位置が順次シフトされる。第２フィールドでは、偶数画素行が順次書き換えられる（奇数画素行の画像データは保持されている）。図１３０の（ｂ）が奇数画素行の表示状態を図示している。なお、図１３０の（ｂ）は奇数画素行のみを図示している。偶数画素行は図１３０の（ｃ）に図示している。図１３０の（ｂ）でも明らかなように、偶数画素行に対応する画素のＥＬ素子１５は非点灯状態である。一方、奇数画素行は、図１３０の（ｃ）に図示しているように表示領域５３と非表示領域５２を走査する（Ｎ倍パルス駆動）。
以上のように駆動することにより、インターレース駆動をＥＬ表示パネルで容易に実現することができる。また、Ｎ倍パルス駆動を実施することにより書込み不足も発生せず、動画ボケも発生することがない。また、電流（電圧）プログラムの制御と、ＥＬ素子１５の点灯制御も容易であり、回路も容易に実現できる。

なお、本発明の駆動方式は、図１２９、図１３０の駆動方式に限定されるものではない。たとえば、図１３１の駆動方式も例示される。図１２９、図１３０は、電流（電圧）プログラムを行っている奇数画素行または偶数画素行は非表示領域５２（非点灯、黒表示）とするものであった。図１３１の実施例は、ＥＬ素子１５の点灯制御を行うゲートドライバ回路１２ｂ１、１２ｂ２の両方を同期させて動作させるものである。ただし、電流（電圧）プログラムを行っている画素行５１は非表示領域となるように制御することはいうまでもない（図３８のカレントミラー画素構成ではその必要はない）。図１３１では、奇数画素行と偶数画素行の点灯制御が同一であるので、ゲートドライバ回路１２ｂ１と１２ｂ２の２つと設ける必要はない。ゲートドライバ回路１２ｂを１つで点灯制御することができる。

図１３１は、奇数画素行と偶数画素行の点灯制御を同一にする駆動方法であった。しかし、本発明はこれに限定するものではない。図１３２は、奇数画素行と偶数画素行の点灯制御を異ならせた実施例である。とくに、図１３２は奇数画素行の点灯状態（表示領域５３、非表示領域５２）の逆パターンを偶数画素行の点灯状態にした例である。したがって、表示領域５３の面積と非表示領域５２の面積とは同一になるようにしている。もちろん、表示領域５３の面積と非表示領域５２の面積とは同一になることに限定されるものではない。

以上の実施例は、１画素行ずつ電流（電圧）プログラムを実施する駆動方法であった。しかし、本発明の駆動方法はこれに限定されるものではなく、図１３３に図示するように２画素（複数画素）を同時に電流（電圧）プログラム行っても良いことは言うまでもない。

また、図１３０、図１２９において、奇数画素行あるいは偶数画素行ですべての画素行が非点灯状態にすることに限定されるものではなく、図６６などのように駆動してもよいことは言うまでもない。

複数本の画素行を同時に選択する駆動方法では、同時に選択する画素行数が増加するほど、トランジスタ１１ａの特性バラツキを吸収することが困難になる。しかし、選択本数が低下すると、１画素にプログラムする電流が大きくなり、ＥＬ素子１５に大きな電流を流すことになる。ＥＬ素子１５に流す電流が大きいとＥＬ素子１５が劣化しやすくなる。

図３０はこの課題を解決するものである。図３０の基本概念は、１／２Ｈ（水平走査期間の１／２）は、図２２、図２９で説明したように、複数の画素行を同時に選択する方法である。その後の１／２Ｈ（水平走査期間の１／２）は図５、図１３などで説明したように、１画素行を選択する方法を組み合わせたものである。このようにくみあわせることにより、トランジスタ１１ａの特性バラツキを吸収しより、高速にかつ面内均一性を良好にすることができる。

図３０において、説明を容易にするため、第１の期間では５画素行を同時に選択し、第２の期間では１画素行を選択するとして説明をする。まず、第１の期間（前半の１／２Ｈ）では、図３０（ａ１）に図示するように、５画素行を同時に選択する。この動作は図２２を用いて説明したので省略する。一例としてソース信号線１８に流す電流は所定値の２５倍とする。したがって、各画素１６のトランジスタ１１ａ（図１の画素構成の場合）には５倍の電流（２５／５画素行＝５）がプログラムされる。２５倍の電流であるから、ソース信号線１８などに発生する寄生容量は極めて短期間に充放電される。したがって、ソース信号線１８の電位は、短時間で目標の電位となり、各画素１６のコンデンサ１９の端子電圧も５倍電流を流すようにプログラムされる。この２５倍電流の印加時間は前半の１／２Ｈ（１水平走査期間の１／２）とする。

当然のことながら、書き込み画素行の５画素行は同一画像データが書き込まれるから、表示しないように５画素行のトランジスタ１１ｄはオフ状態とされる。したがって、表示状態は図３０（ａ２）となる。

次の後半の１／２Ｈ期間は、１画素行を選択し、電流（電圧）プログラムを行う。この状態を図３０（ｂ１）に図示している。書き込み画素行５１ａは先と同様に５倍の電流を流すように電流（電圧）プログラムされる。図３０（ａ１）と図３０（ｂ１）とで各画素に流す電流を同一にするのは、プログラムされたコンデンサ１９の端子電圧の変化を小さく

して、より高速に目標の電流を流せるようにするためである。
つまり、図３０（ａ１）で、複数の画素に電流を流し、高速に概略の電流が流れる値まで近づける。この第１の段階では、複数のトランジスタ１１ａでプログラムしているため、目標値に対してトランジスタのバラツキによる誤差が発生している。次の第２の段階で、データを書き込みかつ保持する画素行のみを選択して、概略の目標値から、所定の目標値まで完全なプログラムを行うのである。
なお、非点灯領域５２を画面の上から下方向に走査し、また、書き込み画素行５１ａも画面の上から下方向に走査することは図１３などの実施例と同様であるので説明を省略する。
図３１は図３０の駆動方法を実現するための駆動波形である。図３１でわかるように、１Ｈ（１水平走査期間）は２つのフェーズで構成されている。この２つのフェーズはＩＳＥＬ信号で切り替える。ＩＳＥＬ信号は図３１に図示している。
まず、ＩＳＥＬ信号について説明をしておく。図３０を実施するドライバ回路１４は、電流出力回路Ａと電流出力回路Ｂとを具備している。それぞれの電流出力回路は、８ビットの階調データをＤＡ変換するＤＡ回路とオペアンプなどから構成される。図３０の実施例では、電流出力回路Ａは２５倍の電流を出力するように構成されている。一方、電流出力回路Ｂは５倍の電流を出力するように構成されている。電流出力回路Ａと電流出力回路Ｂの出力はＩＳＥＬ信号により電流出力部に形成（配置）されたスイッチ回路が制御され、ソース信号線１８に印加される。この電流出力回路は各ソース信号線に配置されている。ＩＳＥＬ信号は、Ｌレベルの時、２５倍電流を出力する電流出力回路Ａが選択されてソース信号線１８からの電流をソースドライバＩＣ１４が吸収する（より適切には、ソースドライバ回路１４内に形成された電流出力回路Ａが吸収する）。２５倍、５倍などの電流出力回路電流の大きさ調整は容易である。複数の抵抗とアナログスイッチで容易に構成できるからである。
図３０に示すように書き込み画素行が（１）画素行目である時（図３０の１Ｈの欄を参照）、ゲート信号線１７ａは（１）（２）（３）（４）（５）が選択されている（図１の画素構成の場合）。つまり、画素行（１）（２）（３）（４）（５）のスイッチングトランジスタ１１ｂ、トランジスタ１１ｃがオン状態である。また、ＩＳＥＬがＬレベルであるから、２５倍電流を出力する電流出力回路Ａが選択され、ソース信号線１８と接続されている。また、ゲート信号線１７ｂには、オフ電圧（Ｖｇｈ）が印加されている。したがって、画素行（１）（２）（３）（４）（５）のスイッチングトランジスタ１１ｄがオフ状態であり、対応する画素行のＥＬ素子１５には電流が流れていない。つまり、非点灯状態５２である。
理想的には、５画素のトランジスタ１１ａが、それぞれＩｗ×２の電流をソース信号線１８に流す。そして、各画素１６のコンデンサ１９には、５倍の電流がプログラムされる。ここでは、理解を容易にするため、各トランジスタ１１ａは特性（Ｖｔ、Ｓ値）が一致しているとして説明をする。
同時に選択する画素行が５画素行（Ｋ＝５）であるから、５つの駆動用トランジスタ１１ａが動作する。つまり、１画素あたり、２５／５＝５倍の電流がトランジスタ１１ａに流れる。ソース信号線１８には、５つのトランジスタ１１ａのプログラム電流を加えた電流が流れる。たとえば、書き込み画素行５１ａに、従来の駆動方法で画素に書き込む電流Ｉｗとする時、ソース信号線１８には、Ｉｗ×２５の電流を流す。書き込み画素行（１）より以降に画像データを書き込む書き込み画素行５１ｂソース信号線１８への電流量を増加させるため、補助的に用いる画素行である。しかし、書き込み画素行５１ｂは後に正規の画像データが書き込まれるので問題がない。
したがって、画素行５１ｂは、１Ｈ期間の間は５１ａと同一表示である。そのため、書き込み画素行５１ａと電流を増加させるために選択した画素行５１ｂとを少なくとも非表示状態５２とするのである。
次の１／２Ｈ（水平走査期間の１／２）では、書き込み画素行５１ａのみを選択する。つまり、（１）画素行目のみを選択する。図３１で明らかなように、ゲート信号線１７ａ（

１）のみが、オン電圧（Ｖｇｌ）が印加され、ゲート信号線１７ａ（２）（３）（４）（５）はオフ（Ｖｇｈ）が印加されている。したがって、画素行（１）のトランジスタ１１ａは動作状態（ソース信号線１８に電流を供給している状態）であるが、画素行（２）（３）（４）（５）のスイッチングトランジスタ１１ｂ、トランジスタ１１ｃがオフ状態である。つまり、非選択状態である。また、ＩＳＥＬがＨレベルであるから、５倍電流を出力する電流出力回路Ｂが選択され、この電流出力回路Ｂとソース信号線１８とが接続されている。また、ゲート信号線１７ｂの状態は先の１／２Ｈの状態と変化がなく、オフ電圧（Ｖｇｈ）が印加されている。したがって、画素行（１）（２）（３）（４）（５）のスイッチングトランジスタ１１ｄがオフ状態であり、対応する画素行のＥＬ素子１５には電流が流れていない。つまり、非点灯状態５２である。

以上のことから、画素行（１）のトランジスタ１１ａが、それぞれＩｗ×５の電流をソース信号線１８に流す。そして、各画素行（１）のコンデンサ１９には、５倍の電流がプログラムされる。

次の水平走査期間では１画素行、書き込み画素行がシフトする。つまり、今度は書き込み画素行が（２）である。最初の１／２Ｈの期間では、図３１に示すように書き込み画素行が（２）画素行目である時、ゲート信号線１７ａは（２）（３）（４）（５）（６）が選択されている。つまり、画素行（２）（３）（４）（５）（６）のスイッチングトランジスタ１１ｂ、トランジスタ１１ｃがオン状態である。また、ＩＳＥＬがＬレベルであるから、２５倍電流を出力する電流出力回路Ａが選択され、ソース信号線１８と接続されている。また、ゲート信号線１７ｂには、オフ電圧（Ｖｇｈ）が印加されている。したがって、画素行（２）（３）（４）（５）（６）のスイッチングトランジスタ１１ｄがオフ状態であり、対応する画素行のＥＬ素子１５には電流が流れていない。つまり、非点灯状態５２である。一方、画素行（１）のゲート信号線１７ｂ（１）はＶｇｌ電圧が印加されているから、トランジスタ１１ｄはオン状態であり、画素行（１）のＥＬ素子１５は点灯する。

同時に選択する画素行が５画素行（Ｋ＝５）であるから、５つの駆動用トランジスタ１１ａが動作する。つまり、１画素あたり、２５／５＝５倍の電流がトランジスタ１１ａに流れる。ソース信号線１８には、５つのトランジスタ１１ａのプログラム電流を加えた電流が流れる。

次の１／２Ｈ（水平走査期間の１／２）では、書き込み画素行５１ａのみを選択する。つまり、（２）画素行目のみを選択する。図３１で明らかなように、ゲート信号線１７ａ（２）のみが、オン電圧（Ｖｇｌ）が印加され、ゲート信号線１７ａ（３）（４）（５）（６）はオフ（Ｖｇｈ）が印加されている。したがって、画素行（１）（２）のトランジスタ１１ａは動作状態（画素行（１）はＥＬ素子１５に電流を流し、画素行（２）はソース信号線１８に電流を供給している状態）であるが、画素行（３）（４）（５）（６）のスイッチングトランジスタ１１ｂ、トランジスタ１１ｃがオフ状態である。つまり、非選択状態である。また、ＩＳＥＬがＨレベルであるから、５倍電流を出力する電流出力回路Ｂが選択され、この電流出力回路１２２２ｂとソース信号線１８とが接続されている。また、ゲート信号線１７ｂの状態は先の１／２Ｈの状態と変化がなく、オフ電圧（Ｖｇｈ）が印加されている。したがって、画素行（２）（３）（４）（５）（６）のスイッチングトランジスタ１１ｄがオフ状態であり、対応する画素行のＥＬ素子１５には電流が流れていない。つまり、非点灯状態５２である。

以上のことから、画素行（２）のトランジスタ１１ａが、それぞれＩｗ×５の電流をソース信号線１８に流す。そして、各画素行（２）のコンデンサ１９には、５倍の電流がプログラムされる。以上の動作を順次、実施することにより１画面を表示することができる。

図３０で説明した駆動方法は、第１の期間でＧ画素行（Ｇは２以上）を選択し、各画素行にはＮ倍の電流を流すようにプログラムする。第１の期間後の第２の期間ではＢ画素行（ＢはＧよりも小さく、１以上）を選択し、画素にはＮ倍の電流を流すようにプログラムする方式である。

しかし、他の方策もある。第１の期間でＧ画素行（Ｇは２以上）を選択し、各画素行の総

和電流がＮ倍の電流となるようにプログラムする。第１の期間後の第２の期間ではＢ画素行（ＢはＧよりも小さく、１以上）を選択し、選択された画素行の総和の電流（ただし、選択画素行が１の時は、１画素行の電流）がＮ倍となるようにプログラムする方式である。たとえば、図３０（ａ１）において、５画素行を同時に選択し、各画素のトランジスタ１１ａには２倍の電流を流す。したがって、ソース信号線１８には５×２倍＝１０倍の電流が流れる。次の第２の期間では図３０（ｂ１）において、１画素行を選択する。この１画素のトランジスタ１１ａには１０倍の電流を流す。

なお、図３１において、複数の画素行を同時に選択する期間を１／２Ｈとし、１画素行を選択する期間を１／２Ｈとしたがこれに限定するものではない。複数の画素行を同時に選択する期間を１／４Ｈとし、１画素行を選択する期間を３／４Ｈとしてもよい。また、複数の画素行を同時に選択する期間と、１画素行を選択する期間とを加えた期間は１Ｈとしたがこれに限定するものではない。たとえば、２Ｈ期間でも、１．５Ｈ期間であっても良い。

また、図３０において、５画素行を同時に選択する期間を１／２Ｈとし、次の第２の期間では２画素行を同時に選択するとしてもよい。この場合でも実用上、支障のない画像表示を実現できる。

また、図３０において、５画素行を同時に選択する第１の期間を１／２Ｈとし、１画素行を選択する第２の期間を１／２Ｈとする２段階としたがこれに限定するものではない。たとえば、第１の段階は、５画素行を同時に選択し、第２の期間は前記５画素行のうち、２画素行を選択し、最後に、１画素行を選択する３つの段階としてもよい。つまり、複数の段階で画素行に画像データを書き込んでも良い。

以上の実施例は、１画素行を順次選択し画素に電流プログラムを行う方式、あるいは、複数の画素行を順次選択し画素に電流プログラムを行う方式である。しかし、本発明はこれに限定するものではない。画像データに応じて１画素行を順次選択し画素に電流プログラムを行う方式と、複数の画素行を順次選択し画素に電流プログラムを行う方式を組み合わせてもよい。

図１２６は、１画素行を順次選択する駆動方式と複数画素行を順次選択する駆動方法を組み合わせたものである。理解を容易にするため、図１２６（ａ２）に図示するように、複数画素行を同時に選択する場合は２画素行を例にして説明をする。したがって、ダミー画素行２８１は画面の上と下に各１行形成する。１画素行を順次選択する駆動方式の場合は、ダミー画素行は使用しなくてもよい。

なお、理解を容易にするため、図１２６（ａ１）（１画素行を選択する）と図１２６（ａ２）（２画素行を選択する）のどちらの駆動方式でもソースドライバＩＣ１４が出力する電流は同一とする。したがって、図１２６（ａ２）のように２画素行を同時に選択する駆動方式の場合は、１画素行を順次選択する駆動方式（図１２６（ａ１））よりも画面輝度は１／２になる。画面輝度を一致させる場合は、図１２６（ａ２）のｄｕｔｙを２倍（たとえば、図１２６（ａ１）がｄｕｔｙ１／２であれば、図１２６（ａ２）のｄｕｔｙを１／２×２＝１／１）にすればよい。また、ソースドライバＩＣ１４に入力する基準電流の大きさを２倍変化させればよい。あるいは、プログラム電流を２倍にすればよい。

図１２６（ａ１）は、本発明の通常の駆動方法である。入力される映像信号がノンインターレース（プログレッシブ）信号の場合は、図１２６（ａ１）の駆動方式を実施する。入力される映像信号がインターレース信号の場合は、図１２６（ａ２）を実施する。また、映像信号の画像解像度がない場合は、図１２６（ａ２）を実施する。また、動画では図１２６（ａ２）を実施し、静止画では図１２６（ａ１）を実施するように制御してもよい。図１２６（ａ１）と図１２６（ａ２）との切り替えは、ゲートドライバ回路１２へのスタートパルスの制御により容易に変更することができる。

課題は、図１２６（ａ２）のように２画素行を同時に選択する駆動方式の場合は、１画素行を順次選択する駆動方式（図１２６（ａ１））よりも画面輝度は１／２になるという点である。画面輝度を一致させる場合は、図１２６（ａ２）のｄｕｔｙを２倍（たとえば、図１２６（ａ１）がｄｕｔｙ１／２であれば、図１２６（ａ２）のｄｕｔｙを１／２×２

＝１／１）にすればよい。つまり、図１２６の（ｂ）の非表示領域５２と表示領域５３の割合を変化させればよい。
非表示領域５２と表示領域５３の割合は、ゲートドライバ回路１２のスタートパルスの制御により容易に実現できる。つまり、図１２６（ａ１）と図１２６（ａ２）の表示状態に応じて図１２６の（ｂ）の駆動状態を可変すればよい。
なお、図１２６（ａ２）は２画素を同時に順次駆動する方式である。しかし、２画素行の選択は隣接した画素行を選択する必要はなく、図１２３のように、隣接しない２画素行を選択し、順次走査してもよい。
以上の本発明のＮ倍パルス駆動方法では、各画素行で、ゲート信号線１７ｂの波形を同一にし、１Ｈの間隔でシフトさせて印加していく。このように走査することにより、ＥＬ素子１５が点灯している時間を１Ｆ／Ｎに規定しながら、順次、点灯する画素行をシフトさせることができる。このように、各画素行で、ゲート信号線１７ｂの波形を同一にし、シフトさせていることを実現することは容易である。図６のシフトレジスタ回路６１ａ、６１ｂに印加するデータであるＳＴ１、ＳＴ２を制御すればよいからである。たとえば、入力ＳＴ２がＬレベルの時、ゲート信号線１７ｂにＶｇｌが出力され、入力ＳＴ２がＨレベルの時、ゲート信号線１７ｂにＶｇｈが出力されるとすれば、シフトレジスタ１７ｂに印加するＳＴ２を１Ｆ／Ｎの期間だけＬレベルで入力し、他の期間はＨレベルにする。この入力されたＳＴ２を１Ｈに同期したクロックＣＬＫ２でシフトしていくだけである。
なお、ＥＬ素子１５をオンオフする周期は０．５ｍｓｅｃ以上にする必要がある。この周期が短いと、人間の目の残像特性により完全な黒表示状態とならず、画像がぼやけたようになり、あたかも解像度が低下したようになる。また、データ保持型の表示パネルの表示状態となる。しかし、オンオフ周期を１００ｍｓｅｃ以上になると、点滅状態に見える。したがって、ＥＬ素子のオンオフ周期は０．５μｓｅｃ以上１００ｍｓｅｃ以下にすべきである。さらに好ましくは、オンオフ周期を２ｍｓｅｃ以上３０ｍｓｅｃ以下にすべきである。さらに好ましくは、オンオフ周期を３ｍｓｅｃ以上２０ｍｓｅｃ以下にすべきである。
先にも記載したが、黒画面１５２の分割数は、１つにすると良好な動画表示を実現できるが、画面のちらつきが見えやすくなる。したがって、黒挿入部を複数に分割することが好ましい。しかし、分割数をあまりに多くすると動画ボケが発生する。分割数は１以上８以下とすべきである。さらに好ましくは１以上５以下とすることが好ましい。
なお、黒画面の分割数は静止画と動画で変更できるように構成することが好ましい。分割数とは、Ｎ＝４では、７５％が黒画面（非表示領域５２）であり、２５％が画像表示（表示領域５３）である。このとき、７５％の黒表示部（非表示領域５２）を７５％の黒帯状態で画面の上下方向に走査するのが分割数１である。２５％の黒画面と２５／３％の表示画面の３ブロックで走査するのが分割数３である。静止画は分割数を多くする。動画は分割数を少なくする。切り替えは入力画像に応じて自動的（動画検出など）に行っても良く、ユーザーが手動で行ってもよい。また、表示装置の映像などに入力コンセントに対応して切り替えええするように構成すればよい。
たとえば、携帯電話などにおいて、壁紙表示、入力画面は静止画であるので、分割数を１０以上とする（極端には１Ｈごとにオンオフしてもよい）。ＮＴＳＣの動画を表示するときは、分割数を１以上５以下とする。なお、分割数は３以上の多段階に切り替えできるように構成することが好ましい。たとえば、分割数なし、２、４、８、１６などである。また、分割数なしから、表示走査線数／２まで分割できるように制御できるようにすることが好ましい。分割数の切り替えは、画像データの内容によりリアルタイムで変更できるように構成することが好ましい。また、ユーザーが切り替えスイッチなどにより変更できるように構成してもよい。また、外光の明るさによりリアルタイムで変更できるように構成してもよい。
また、全表示画面に対する黒画面の割合は、全画面の面積を１とした時、０．２以上０．９以下（Ｎで表示すれば１．２以上９以下）とすることが好ましい。また、特に０．２５以上０．６以下（Ｎで表示すれば１．２５以上６以下）とすることが好ましい。０．２０

以下であると動画表示での改善効果が低い。０．９以上であると、表示部分の輝度が高くなり、表示部分が上下に移動することが視覚的に認識されやすくなる。
また、１秒あたりのフレーム数は、１０以上１００以下（１０Ｈｚ以上１００Ｈｚ以下）が好ましい。さらには１２以上６５以下（１２Ｈｚ以上６５Ｈｚ以下）が好ましい。フレーム数が少ないと、画面のちらつきが目立つようになり、あまりにもフレーム数が多いと、ドライバ回路１４などからの書き込みが苦しくなり解像度が劣化する。
いずれにせよ、本発明では、ゲート信号線１７の制御により画像の明るさを変化させることができる。ただし、画像の明るさはソース信号線１８に印加する電流（電圧）を変化させて行ってもよいことは言うまでもない。また、先に説明した（図３３、図３５などを用いて）ゲート信号線１７の制御と、ソース信号線１８に印加する電流（電圧）を変化させることを組み合わせて行ってもよいことは言うまでもない。
なお、以上の事項は、図３８などの電流プログラムの画素構成、図４３、図５１、図５４などの電圧プログラムの画素構成でも適用できることは言うまでもない。図３８では、トランジスタ１１ｄを、図４３ではトランジスタ１１ｄを、図５１ではトランジスタ１１ｅをオンオフ制御すればよい。また、図６３では切り替えスイッチ６３１の接続端子を切り替えればよい。このように、ＥＬ素子１５に電流を流す配線をオンオフすることにより、本発明のＮ倍パルス駆動を容易に実現できる。
また、ゲート信号線１７ｂの１Ｆ／Ｎの期間だけ、Ｖｇｌにする時刻は１Ｆ（１Ｆに限定するものではない。単位期間でよい。）の期間のうち、どの時刻でもよい。単位時間にうち、所定の期間だけＥＬ素子１５をオンさせることにより、所定の平均輝度を得るものだからである。ただし、電流プログラム期間（１Ｈ）後、すぐにゲート信号線１７ｂをＶｇｌにしてＥＬ素子１５を発光させる方がよい。図１のコンデンサ１９の保持率特性の影響を受けにくくなるからである。
また、この画像の分割数も可変できるように構成することが好ましい。たとえば、ユーザーが明るさ調整スイッチを押すことにより、あるいは明るさ調整ボリウムを回すことにより、この変化を検出して分割数Ｋの値を変更する。表示する画像の内容、データにより手動で、あるいは自動的に変化させるように構成してもよい。
このようにＫの値（画像表示部５３の分割数）を変化させることも容易に実現できる。図６においてＳＴに印加するデータのタイミング（１Ｆのいつにレベルにするか）を調整あるいは可変できるように構成しておけばよいからである。
なお、図１６などでは、ゲート信号線１７ｂをＶｇｌにする期間（１Ｆ／Ｎ）を複数に分割（分割数Ｋ）し、Ｖｇｌにする期間は１Ｆ／（Ｋ／Ｎ）の期間をＫ回実施するとしたがこれ限定するものではない。１Ｆ／（Ｋ／Ｎ）の期間をＬ（Ｌ≠Ｋ）回実施してもよい。つまり、本発明は、ＥＬ素子１５に流す期間（時間）を制御することにより画像５０を表示するものである。したがって、１Ｆ／（Ｋ／Ｎ）の期間をＬ（Ｌ≠Ｋ）回実施することは本発明の技術的思想に含まれる。また、Ｌの値を変化させることにより、画像５０の輝度をデジタル的に変更することができる。たとえば、Ｌ＝２とＬ＝３では５０％の輝度（コントラスト）変化をなる。これらの制御も、本発明の他の実施例にも適用できることは言うまでもない（もちろん、以降に説明する本発明にも適用できる）。これらも本発明のＮ倍パルス駆動である。
以上の実施例は、ＥＬ素子１５と駆動用トランジスタ１１ａとの間にスイッチング素子としてのトランジスタ１１ｄを配置（形成）し、このトランジスタ１１ｄを制御することにより、画面５０をオンオフ表示するものであった。この駆動方法により、電流プログラム方式の黒表示状態での電流書き込み不足をなくし、良好な解像度あるいは黒表示を実現するものであった。つまり、電流プログラム方式では、良好な黒表示を実現することが重要である。次に説明する駆動方法は、駆動用トランジスタ１１ａをリセットし、良好な黒表示を実現するものである。以下、図３２を用いて、その実施例について説明をする。
図３２は基本的には図１の画素構成である。図３２の画素構成では、プログラムされたＩｗ電流がＥＬ素子１５に流れ、ＥＬ素子１５が発光する。つまり、駆動用トランジスタ１１ａはプログラムされることにより、電流を流す能力を保持している。この電流を流す能

力を利用してトランジスタ１１ａをリセット（オフ状態）にする方式が図３２の駆動方式である。以降、この駆動方式をリセット駆動と呼ぶ。
図１の画素構成でリセット駆動を実現するためには、トランジスタ１１ｂとトランジスタ１１ｃを独立してオンオフ制御できるように構成する必要がある。つまり、図３２で図示するようにトランジスタ１１ｂをオンオフ制御するゲート信号線１１ａ（ゲート信号線ＷＲ）、トランジスタ１１ｃをオンオフ制御するゲート信号線１１ｃ（ゲート信号線ＥＬ）を独立して制御できるようにする。ゲート信号線１１ａとゲート信号線１１ｃの制御は図６に図示するように独立した２つのシフトレジスタ６１で行えばよい。
ゲート信号線ＷＲとゲート信号線ＥＬの駆動電圧は変化させるとよい。ゲート信号線ＷＲの振幅値（オン電圧とオフ電圧との差）は、ゲート信号線ＥＬの振幅値よりも小さくする。基本的にゲート信号線の振幅値が大きいと、ゲート信号線と画素との突き抜け電圧が大きくなり、黒浮きが発生する。ゲート信号線ＷＲの振幅は、ソース信号線１８の電位が画素１６に印加されない（印加する（選択時））を制御すればよいのである。ソース信号線１８の電位変動は小さいから、ゲート信号線ＷＲの振幅値は小さくすることができる。一方、ゲート信号線ＥＬはＥＬのオンオフ制御を実施する必要がある。したがって、振幅値は大きくなる。これに対応するため、シフトレジスタ６１ａと６１ｂとの出力電圧を変化させる。画素がＰチャンネルトランジスタで形成されている場合は、シフトレジスタ６１ａと６１ｂのＶｇｈ（オフ電圧）を略同一にし、シフトレジスタ６１ａのＶｇｌ（オン電圧）をシフトレジスタ６１ｂのＶｇｌ（オン電圧）よりも低くする。
以下、図３３を参照しながら、リセット駆動方式について説明をする。図３３はリセット駆動の原理説明図である。まず、図３３の（ａ）に図示するように、トランジスタ１１ｃ、トランジスタ１１ｄをオフ状態にし、トランジスタ１１ｂをオン状態にする。すると、駆動用トランジスタ１１ａのドレイン（Ｄ）端子とゲート（Ｇ）端子はショート状態となり、Ｉｂ電流が流れる。一般的に、トランジスタ１１ａは１つ前のフィールド（フレーム）で電流プログラムされ、電流を流す能力がある。この状態でトランジスタ１１ｄがオフ状態となり、トランジスタ１１ｂがオン状態にすれば、駆動電流Ｉｂがトランジスタ１１ａのゲート（Ｇ）端子に流れる。そのため、トランジスタ１１ａのゲート（Ｇ）端子とドレイン（Ｄ）端子とが同一電位となり、トランジスタ１１ａはリセット（電流を流さない状態）になる。
このトランジスタ１１ａのリセット状態（電流を流さない状態）は、図５１などで説明する電圧オフセットキャンセラ方式のオフセット電圧を保持した状態と等価である。つまり、図３３の（ａ）の状態では、コンデンサ１９の端子間には、オフセット電圧が保持されていることになる。このオフセット電圧はトランジスタ１１ａの特性に応じて異なる電圧値である。したがって、図３３の（ａ）の動作を実施することにより、各画素のコンデンサ１９にはトランジスタ１１ａが電流を流さない（つまり、黒表示電流（ほとんど０に等しい）が保持されることになるのである。
なお、図３３の（ａ）の動作の前に、トランジスタ１１ｂ、トランジスタ１１ｃをオフ状態にし、トランジスタ１１ｄをオン状態にし、駆動用トランジスタ１１ａに電流を流すという動作を実施することが好ましい。この動作は、極力短時間にすることが好ましい。ＥＬ素子１５に電流が流れてＥＬ素子１５が点灯し、表示コントラストを低下させる恐れがあるからである。この動作時間は、１Ｈ（１水平走査期間）の０．１％以上１０％以下とすることが好ましい。さらに好ましくは０．２％以上２％以下となるようにすることが好ましい。もしくは０．２μｓｅｃ以上５μｓｅｃ以下となるようにすることが好ましい。
また、全画面の画素１６に一括して前述の動作（図３３の（ａ）の前に行う動作）を実施してもよい。以上の動作を実施することにより、駆動用トランジスタ１１ａのドレイン（Ｄ）端子電圧が低下し、図３３の（ａ）の状態でスムーズなＩｂ電流を流すことができるようになる。なお、以上の事項は、本発明の他のリセット駆動方式にも適用される。
図３３の（ａ）の実施時間を長くするほど、Ｉｂ電流が流れ、コンデンサ１９の端子電圧が小さくなる傾向がある。したがって、図３３の（ａ）の実施時間は固定値にする必要がある。実験および検討によれば、図３３の（ａ）の実施時間は、１Ｈ以上５Ｈ以下にする

ことが好ましい。なお、この期間は、Ｒ、Ｇ、Ｂの画素で異ならせることが好ましい。各色の画素でＥＬ材料が異なり、このＥＬ材料の立ち上がり電圧などに差異があるためである。ＲＧＢの各画素で、ＥＬ材料に適応して、もっとも最適な期間を設定する。なお、実施例において、この期間は１Ｈ以上５Ｈ以下にするとしたが、黒挿入（黒画面を書き込む）を主とする駆動方式では、５Ｈ以上であってもよいことは言うまでもない。なお、この期間が長いほど、画素の黒表示状態は良好となる。

図３３の（ａ）を実施後、１Ｈ以上５Ｈ以下の期間おいて、図３３の（ｂ）の状態にする。図３３の（ｂ）はトランジスタ１１ｃ、トランジスタ１１ｂをオンさせ、トランジスタ１１ｄをオフさせた状態である。図３３の（ｂ）の状態は、以前にも説明したが、電流プログラムを行っている状態である。つまり、ソースドライバ回路１４からプログラム電流Ｉｗを出力（あるいは吸収）し、このプログラム電流Ｉｗを駆動用トランジスタ１１ａに流す。このプログラム電流Ｉｗが流れるように、駆動用トランジスタ１１ａのゲート（Ｇ）端子の電位を設定するのである（設定電位はコンデンサ１９に保持される）。

もし、プログラム電流Ｉｗが０（Ａ）であれば、トランジスタ１１ａは電流を図３３の（ａ）の電流を流さない状態が保持されたままとなるから、良好な黒表示を実現できる。また、図３３の（ｂ）で白表示の電流プログラムを行う場合であっても、各画素の駆動用トランジスタの特性バラツキが発生していても、完全に黒表示状態のオフセット電圧から電流プログラムを行う。したがって、目標の電流値にプログラムされる時間が階調に応じて等しくなる。そのため、トランジスタ１１ａの特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

図３３の（ｂ）の電流プログラミング後、図３３の（ｃ）に図示するように、トランジスタ１１ｂ、トランジスタ１１ｃとオフし、トランジスタ１１ｄをオンさせて、駆動用トランジスタ１１ａからのプログラム電流Ｉｗ（＝Ｉｅ）をＥＬ素子１５に流し、ＥＬ素子１５を発光させる。図３３の（ｃ）に関しても、図１などで以前に説明をしたので詳細は省略する。

つまり、図３３で説明した駆動方式（リセット駆動）は、駆動用トランジスタ１１ａとＥＬ素子１５間を切断（電流が流れない状態）し、かつ、駆動用トランジスタのドレイン（Ｄ）端子とゲート（Ｇ）端子（もしくはソース（Ｓ）端子とゲート（Ｇ）端子、さらに一般的に表現すれば駆動用トランジスタのゲート（Ｇ）端子を含む２端子）間をショートする第１の動作と、前記動作の後、駆動用トランジスタに電流（電圧）プログラムを行う第２の動作とを実施するものである。そして、少なくとも第２の動作は第１の動作後に行うものである。なお、リセット駆動を実施するためには、図３２の構成のように、トランジスタ１１ｂとトランジスタ１１ｃとを独立に制御できるように、構成しておかねばならない。

画像表示状態は（もし、瞬時的な変化が観察できるのであれば）、まず、電流プログラムを行われる画素行は、リセット状態（黒表示状態）になり、１Ｈ後に電流プログラムが行われる（この時も黒表示状態である。トランジスタ１１ｄがオフだからである。）。次に、ＥＬ素子１５に電流が供給され、画素行は所定輝度（プログラムされた電流）で発光する。つまり、画面の上から下方向に、黒表示の画素行が移動し、この画素行が通りすぎた位置で画像が書き換わっていくように見えるはずである。なお、リセット後、１Ｈ後に電流プログラムを行うとしたがこの期間は、５Ｈ程度以内としてもよい。図３３の（ａ）のリセットが完全に行われるのに比較的長時間を必要とするからである。もし、この期間を５Ｈとすれば、５画素行が黒表示（電流プログラムの画素行もいれると６画素行）となるはずである。

また、リセット状態は１画素行ずつ行うことに限定するものではなく、複数画素行ずつ同時にリセット状態にしてもよい。また、複数画素行ずつ同時にリセット状態にし、かつオーバーラップしながら走査してもよい。たとえば、４画素行を同時にリセットするのであれば、第１の水平走査期間（１単位）に、画素行（１）（２）（３）（４）をリセット状態にし、次の第２の水平走査期間に、画素行（３）（４）（５）（６）をリセット状態にし、さらに次の第３の水平走査期間に、画素行（５）（６）（７）（８）をリセット状態

にする。また、次の第４の水平走査期間に、画素行（７）（８）（９）（１０）をリセット状態にするという駆動状態が例示される。なお、当然、図３３の（ｂ）、図３３の（ｃ）の駆動状態も図３３の（ａ）の駆動状態と同期して実施される。
また、１画面の画素すべてを同時にあるいは走査状態でリセット状態にしてから、図３３の（ｂ）（ｃ）の駆動を実施してもよいことはいうまでもない。また、インターレース駆動状態（１画素行あるいは複数画素行の飛び越し走査）で、リセット状態（１画素行あるいは複数画素行飛び越し）にしてもよいことは言うまでもない。また、ランダムのリセット状態を実施してもよい。また、本発明のリセット駆動の説明は、画素行を操作する方式である（つまり、画面の上下方向の制御する）。しかし、リセット駆動の概念は、制御方向が画素行に限定されるものではない。たとえば、画素列方向にリセット駆動を実施してもよいことは言うまでのない。
図３２はリセット駆動の画素構成であると説明をした。しかし、ゲート信号線１７ａとゲート信号線１７ｃを個別に制御することより、電流プログラムされた画像データのバラツキが少なくなるという特徴がある。以下にその駆動方法について説明をする。
まず、図１の画素構成で電流プログラムされた画像データのバラツキが発生する理由について説明をする。図１の画素構成では、ゲート信号線１７ａに印加した電圧により、トランジスタ１１ｂ、１１ｃが同時にオンオフ動作するとして構成している。しかし、実際には、トランジスタ１１ｂとトランジスタ１１ｃでは特性が微妙に異なって形成されている場合がり、トランジスタ１１ｂとトランジスタ１１ｃとは同時にオンオフ動作しない場合がある。たとえば、ゲート信号線１７ａにオン電圧が印加された状態からオフ電圧が印加されると、トランジスタ１１ｂがトランジスタ１１ｃよりも後にオフになる場合がある。トランジスタ１１ｃがオフになった状態で、トランジスタ１１ｂがオンしていると、図３３の（ａ）に図示する状態となる。つまり、リセット状態である。そのため、Ｉｂ電流が流れることのより、コンデンサ１９に保持された電圧が充電あるいは放電してしまう。画素１６のトランジスタのばらつきにより、充電あるいは放電状態は異なる。トランジスタ１１ｂがトランジスタ１１ｃよりも先にオフ状態になると、コンデンサ１９に保持された電圧が充放電することはない。トランジスタ１１ｂがトランジスタ１１ｃよりも後にオフ状態になると、コンデンサ１９に保持された電圧が充放電してしまう。また、充放電期間によりコンデンサ１９に保持された電圧に誤差が発生する。
この課題を解決するためには、ゲート信号線１７ａをオン電圧印加状態からオフ電圧印加状態にした後（オフ電圧の印加によりトランジスタ１１ｂがオフする。）、ゲート信号線１７ｃをオン電圧印加状態からオフ電圧印加状態にする（オフ電圧の印加によりトランジスタ１１ｃがオフする。）。つまり、画素１６に電流（電圧）プログラムを行なった後（プログラム中はゲート信号線１７ａ、１７ｃにオン電圧が印加され、トランジスタ１１ｂ、１１ｃがオンしている。）、まず、ゲート信号線１７ａにオフ電圧を印加し、一定の時間が経過した後、ゲート信号線１７ｃにオフ電圧が印加する。以上の動作により、図３３の（ａ）の状態は発生せず、良好な電流（電圧）プログラムを実現することができる。トランジスタ１１ｄの動作あるいは制御などは図１などと同様であるので説明を省略する。
なお、一定の時間とは、０．１μｓｅｃ以上１０μｓｅｃ以内の時間である。もしくは１Ｈの１／１０００以上１／１０以下の時間である。短いと良好な電流（電圧）プログラムを実現できずコンデンサ１９の保持電圧にばらつきが発生する。長いと電流（電圧）プログラム時間が短くなり、書込み不足が発生する。このように、電圧保持用のトランジスタ１１ｂのオンオフタイミングと、駆動トランジスタ１１ａに電流（電圧）を書き込むトランジスタ１１ｃのオンオフタイミングとを制御する駆動方法をタイム制御駆動方法と呼ぶ。
以上のタイム制御方法は、図３２の画素構成に限定されるものではなく、図３８などの画素構成でも適用される。図３２では、トランジスタ１１ｄが電圧保持用のトランジスタである。トランジスタ１１ｃが駆動トランジスタ１１ａに電流（電圧）を書き込むトランジスタである。トランジスタ１１ｄはゲート信号線１７ａ２に印加するオンオフ電圧によりオンオフ制御を行なうことができる。トランジスタ１１ｃはゲート信号線１７ａ１に印加

するオンオフ電圧によりオンオフ制御を行なうことができる。画素１６に電流（電圧）プログラムを行なった後（プログラム中はゲート信号線１７ａ１、１７ａ２にオン電圧が印加され、トランジスタ１１ｃ、１１ｄがオンしている。）、まず、ゲート信号線１７ａ２にオフ電圧を印加し、一定の時間が経過した後、ゲート信号線１７ａ１にオフ電圧が印加する。以上の動作により、良好な電流（電圧）プログラムを実現することができる。トランジスタ１１ｅの動作あるいは制御などは図１などと同様であるので説明を省略する。

なお、図３３のリセット駆動、図３２のタイム制御駆動方法は、本発明のＮ倍パルス駆動などと組み合わせること、インターレース駆動と組み合わせることによりさらに良好な画像表示を実現できる。特に図２２の構成は、間欠Ｎ／Ｋ倍パルス駆動（１画面に点灯領域を複数設ける駆動方法である。この駆動方法は、ゲート信号線１７ｂを制御し、トランジスタ１１ｄをオンオフ動作させることにより容易に実現できる。このことは以前に説明をした。）を容易に実現できる。したがって、フリッカの発生もなく、良好な画像表示を実現できる。これは、図２２あるいはその変形構成のすぐれた特徴である。

また、他の駆動方法、たとえば、以降の説明する逆バイアス駆動方式、プリチャージ駆動方式、突き抜け電圧駆動方式などと組み合わせることによりさらに優れた画像表示を実現できることは言うまでもない。以上のように、本発明と同様にリセット駆動も本明細書の他の実施例と組み合わせて実施することができることは言うまでもない。以上の駆動方式の組み合わせに関する事項は、本発明の他の実施例においても同様に適用される。

図３４はリセット駆動を実現する表示装置の構成図である。ゲートドライバ回路１２ａは、図３２におけるゲート信号線１７ａおよびゲート信号線１７ｂを制御する。ゲート信号線１７ａにオンオフ電圧を印加することによりトランジスタ１１ｂがオンオフ制御される。また、ゲート信号線１７ｂにオンオフ電圧を印加することによりトランジスタ１１ｄがオンオフ制御される。ゲートドライバ回路１２ｂは、図３２におけるゲート信号線１７ｃを制御する。ゲート信号線１７ｃにオンオフ電圧を印加することによりトランジスタ１１ｃがオンオフ制御される。

ゲート信号線１７ａはゲートドライバ回路１２ａで操作し、ゲート信号線１７ｃはゲートドライバ回路１２ｂで操作する。そのため、トランジスタ１１ｂをオンさせて駆動用トランジスタ１１ａをリセットするタイミングと、トランジスタ１１１ｃをオンさせて駆動用トランジスタ１１ａに電流プログラムを行うタイミングとを自由に設定できる。他の構成などは、図６などで説明したものと同一または類似するため説明を省略する。なお、ゲートドライバ回路１２はポリシリコン技術で形成する。また、ゲートドライバ回路１２ａと１２ｂは一体化してもよいことは言うまでもない。

図３５はリセット駆動のタイミングチャートである。ゲート信号線１７ａにオン電圧を印加し、トランジスタ１１ｂをオンさせ、駆動用トランジスタ１１ａをリセットしている時には、ゲート信号線１７ｂにはオフ電圧を印加し、トランジスタ１１ｄをオフ状態にしている。したがって、図３２の（ａ）の状態となっている。この期間にＩｂ電流が流れる。たとえば、画素行（１）に着目すれば、１Ｈ番目にはゲート信号線１７ｃにオフ電圧が印加され、ゲート信号線１７ａにオン電圧が印加され、ゲート信号線１７ｂにオフ電圧が印加されている。したがって、画素行（１）の１Ｈ番目は、リセット状態であり、トランジスタ１１ｄはオフ状態であり、ＥＬ素子１５には電流が流れていない状態である。

２Ｈ番目にはゲート信号線１７ｃにオン電圧が印加され、ゲート信号線１７ａにオン電圧が印加され、ゲート信号線１７ｂにオフ電圧が印加されている。したがって、画素行（１）の２Ｈ番目は、電流プログラム状態であり、トランジスタ１１ｄはオフ状態であり、ＥＬ素子１５には電流が流れていない状態である。

３Ｈ番目にはゲート信号線１７ｃにオフ電圧が印加され、ゲート信号線１７ａにオフ電圧が印加され、ゲート信号線１７ｂにオン電圧が印加されている。したがって、画素行（１）の３Ｈ番目は、画像表示状態であり、トランジスタ１１ｄはオン状態であり、ＥＬ素子１５に電流が流れている状態である。

以上のことから、１Ｈの期間（１水平走査期間）、コンデンサ１９はリセットされる。したがって、トランジスタ１１ａのゲート端子Ｇはアノード電圧Ｖｄｄ近傍の電圧となる。

そのため、トランジスタ１１ａはカットオフする（リセット状態）。１度、リセットしてから電流プログラムを行うため、精度のよい電流プログラムを行うことができる。また、リセットしている状態は、画素は非表示状態となる（トランジスタ１１ｄがオン状態でも）。つまり、黒画面を挿入している状態と近似している。したがって、リセット状態を一定期間以上持続させることにより、動画ボケの発生をなくすことができる。

図３５のタイミングチャートでは、リセット時間は２Ｈ期間（ゲート信号線１７ａにオン電圧が印加され、トランジスタ１１ｂがオンしている状態。ただし、２Ｈ期間のうち、１Ｈ期間は電流プログラム期間である。）としているが、これに限定するものではない。２Ｈ以上でもよい。

リセットが極めて高速に行える場合は、リセット時間は１Ｈ未満であってもよい。また、リセット期間を何Ｈ期間にするかはゲートドライバ回路１２に入力するＤＡＴＡ（ＳＴ）パルス期間で容易に変更できる。たとえば、ＳＴ端子に入力するＤＡＴＡを２Ｈ期間の間Ｈレベルとすれば、各ゲート信号線１７ａから出力されるリセット期間は２Ｈ期間となる。同様に、ＳＴ端子に入力するＤＡＴＡを５Ｈ期間の間Ｈレベルとすれば、各ゲート信号線１７ａから出力されるリセット期間は５Ｈ期間となる。

１Ｈ期間のリセット後、画素行（１）のゲート信号線１７ｃ（１）に、オン電圧が印加される。トランジスタ１１ｃがオンすることにより、ソース信号線１８に印加されたプログラム電流Ｉｗがトランジスタ１１ｃを介して駆動用トランジスタ１１ａに書き込まれる。電流プログラム後、画素（１）のゲート信号線１７ｃにオフ電圧が印加され、トランジスタ１１ｃがオフし、画素がソース信号線と切り離される。同時に、ゲート信号線１７ａにもオフ電圧が印加され、駆動用トランジスタ１１ａのリセット状態が解消される（なお、この期間は、リセット状態と表現するよりも、電流プログラム状態と表現する方が適切である）。また、ゲート信号線１７ｂにはオン電圧が印加され、トランジスタ１１ｄがオンして、駆動用トランジスタ１１ａにプログラムされた電流がＥＬ素子１５に流れる。なお、画素行（２）以降についても、画素行（１）と同様であり、また、図３５からその動作は明らかであるから説明を省略する。

図３５において、リセット期間は１Ｈ期間であった。図３６はリセット期間を５Ｈとした実施例である。リセット期間を何Ｈ期間にするかはゲートドライバ回路１２に入力するＤＡＴＡ（ＳＴ）パルス期間で容易に変更できる。図３６ではゲートドライバ回路１２ａのＳＴ１端子に入力するＤＡＴＡを５Ｈ期間の間Ｈレベルし、各ゲート信号線１７ａから出力されるリセット期間を５Ｈ期間とした実施例である。リセット期間は、長いほど、リセットが完全に行われ、良好な黒表示を実現できる。また、動画ボケも抑制できる。図３６において、他の動作などは図３５と同様であるので説明を省略する。

リセット期間の割合分は表示輝度が低下することになる。しかし、Ｎ倍パルス駆動のようにプログラム電流を所定値のＮ倍とすることにより画面輝度の低下を防止することができる。したがって、リセット駆動は、Ｎ倍パルス駆動の一実施形態である。

図３６はリセット期間を５Ｈとした実施例であった。また、このリセット状態は連続状態であった。しかし、リセット状態は連続して行うことに限定されるものではない。たとえば、各ゲート信号線１７ａから出力される信号を１Ｈごとにオンオフ動作させてもよい。このようにオンオフ動作させるのは、シフトレジスタの出力段に形成されたイネーブル回路（図示せず）を操作することにより容易に実現できる。また、ゲートドライバ回路１２に入力するＤＡＴＡ（ＳＴ）パルスを制御することで容易に実現できる。

図３４の回路構成では、ゲートドライバ回路１２ａは少なくとも２つのシフトレジスタ回路（１つはゲート信号線１７ａ制御用、他の１つはゲート信号線１７ｂ制御用）が必要であった。そのため、ゲートドライバ回路１２ａの回路規模が大きくなるという課題があった。図３７はゲートドライバ回路１２ａのシフトレジスタを１つにした実施例である。図３７の回路を動作させた出力信号のタイミングチャートは図３５のごとくなる。なお、図３５と図３７とはゲートドライバ回路１２ａ、１２ｂから出力されているゲート信号線１７の記号が異なっているので注意が必要である。

図３７のＯＲ回路３７１が付加されていることから明らかであるが、各ゲート信号線１７

ａの出力は、シフトレジスタ回路６１ａの前段出力とのＯＲをとり、この結果により、ゲート信号線１７ａにオン電圧またはオフ電圧が出力される。なお、説明を容易にするために、画素構成は図３２の画素構成を想定しており、ＯＲの出力がＨレベル（正論理）の時に、ゲート信号線１７ａにオン電圧が出力されるものとして説明をする。

図３７の実施例では、２Ｈ期間、ゲート信号線１７ａからはオン電圧が出力される。一方、ゲート信号線１７ｃはシフトレジスタ回路６１ａの出力がそのまま出力される。したがって、１Ｈ期間の間、オン電圧が印加される。

たとえば、シフトレジスタ回路６１ａの２番目にＨレベル信号が出力されている時、画素１６（１）のゲート信号線１７ｃにオン電圧が出力され、画素１６（１）が電流（電圧）プログラムの状態である。同時に、画素１６（２）のゲート信号線１７ａにもオン電圧が出力され、画素１６（２）のトランジスタ１１ｂがオン状態となり、画素１６（２）の駆動用トランジスタ１１ａがリセットされる。

同様に、シフトレジスタ回路６１ａの３番目にＨレベル信号が出力されている時、画素１６（２）のゲート信号線１７ｃにオン電圧が出力され、画素１６（２）が電流（電圧）プログラムの状態である。同時に、画素１６（３のゲート信号線１７ａにもオン電圧が出力され、画素１６（３）トランジスタ１１ｂがオン状態となり、画素１６（３）駆動用トランジスタ１１ａがリセットされる。つまり、２Ｈ期間、ゲート信号線１７ａからはオン電圧が出力され、ゲート信号線１７ｃに１Ｈ期間、オン電圧が出力される。

プログラム状態の時は、トランジスタ１１ｂとトランジスタ１１ｃが同時にオン状態となる（図３３の（ｂ））ら、非プログラム状態（図３３の（ｃ））に移行する際、トランジスタ１１ｃがトランジスタ１１ｂよりも先にオフ状態となると、図３３の（ｂ）のリセット状態となってしまう。これと防止するためには、トランジスタ１１ｃがトランジスタ１１ｂよりもあとからオフ状態にする必要がある。そのためには、ゲート信号線１７ａがゲート信号線１７ｃよりも先にオン電圧が印加されるように制御する必要がある。

以上の実施例は、図３２（基本的には図１）の画素構成に関する実施例であった。しかし、本発明はこれに限定されるものではない。たとえば、図３８に示すようなカレントミラーの画素構成であっても実施することができる。なお、図３８ではトランジスタ１１ｅをオンオフ制御することにより、図１３、図１５などで図示するＮ倍パルス駆動を実現できる。図３９は図３８のカレントミラーの画素構成での実施例の説明図である。以下、図３９を参照しながら、カレントミラーの画素構成におけるリセット駆動方式について説明をする。

図３９の（ａ）に図示するように、トランジスタ１１ｃ、トランジスタ１１ｅをオフ状態にし、トランジスタ１１ｄをオン状態にする。すると、電流プログラム用トランジスタ１１ｂのドレイン（Ｄ）端子とゲート（Ｇ）端子はショート状態となり、図に示すようにＩｂ電流が流れる。一般的に、トランジスタ１１ｂは１つ前のフィールド（フレーム）で電流プログラムされ、電流を流す能力がある（ゲート電位はコンデンサ１９に１Ｆ期間保持され、画像表示をおこなっているから当然である。ただし、完全な黒表示を行っている場合、電流は流れない）。この状態でトランジスタ１１ｅがオフ状態とし、トランジスタ１１ｄがオン状態にすれば、駆動電流Ｉｂがトランジスタ１１ａのゲート（Ｇ）端子の方向に流れる（ゲート（Ｇ）端子とドレイン（Ｄ）端子がショートされる）。そのため、トランジスタ１１ａのゲート（Ｇ）端子とドレイン（Ｄ）端子とが同一電位となり、トランジスタ１１ａはリセット（電流を流さない状態）になる。また、駆動用トランジスタ１１ｂのゲート（Ｇ）端子は電流プログラム用トランジスタ１１ａのゲート（Ｇ）端子と共通であるから、駆動用トランジスタ１１ｂもリセット状態となる。

このトランジスタ１１ａ、トランジスタ１１ｂのリセット状態（電流を流さない状態）は、図５１などで説明する電圧オフセットキャンセラ方式のオフセット電圧を保持した状態と等価である。つまり、図３９の（ａ）の状態では、コンデンサ１９の端子間には、オフセット電圧（電流が流れ始める開始電圧。この電圧の絶対値以上の電圧を印加することにより、トランジスタ１１に電流が流れる）が保持されていることになる。このオフセット電圧はトランジスタ１１ａ、トランジスタ１１ｂの特性に応じて異なる電圧値である。し

たがって、図３９の（ａ）の動作を実施することにより、各画素のコンデンサ１９にはトランジスタ１１ａ、トランジスタ１１ｂが電流を流さない（つまり、黒表示電流（ほとんど0に等しい））状態が保持されることになるのである（電流が流れ始める開始電圧にリセットされた）。

なお、図３９の（ａ）においても図３３の（ａ）と同様に、リセットの実施時間を長くするほど、Ｉｂ電流が流れ、コンデンサ１９の端子電圧が小さくなる傾向がある。したがって、図３９の（ａ）の実施時間は固定値にする必要がある。実験および検討によれば、図３９の（ａ）の実施時間は、１Ｈ以上１０Ｈ（１０水平走査期間）以下とすることが好ましい。さらには１Ｈ以上５Ｈ以下にすることが好ましい。あるいは、２０μｓｅｃ以上２ｍｓｅｃ以下とすることが好ましい。このことは図３３、図３４の駆動方式でも同様である。

図３３の（ａ）も同様であるが、図３９の（ａ）のリセット状態と、図３９の（ｂ）の電流プログラム状態とを同期をとって行う場合は、図３９の（ａ）のリセット状態から、図３９の（ｂ）の電流プログラム状態までの期間が固定値（一定値）となるから問題はない（固定値にされている）。つまり、図３３の（ａ）あるいは図３９の（ａ）のリセット状態から、図３３の（ｂ）あるいは図３９の（ｂ）の電流プログラム状態までの期間が、１Ｈ以上１０Ｈ（１０水平走査期間）以下とすることが好ましい。さらには１Ｈ以上５Ｈ以下にすることが好ましいのである。あるいは、２０μｓｅｃ以上２ｍｓｅｃ以下とすることが好ましいのである。この期間が短いと駆動用トランジスタ１１が完全にリセットされない。また、あまりにも長いと駆動用トランジスタ１１が完全にオフ状態となり、今度は電流をプログラムするのに長時間を要するようになる。また、画面５０の輝度も低下する。ただし、図１３のように黒挿入（非点灯領域５２を発生させる）を実施する場合はこの限りでない。黒挿入（非点灯領域５２を発生させる）により、Ｎ倍パルス駆動など実施することを目的とするからである。

図３９の（ａ）を実施後、図３９の（ｂ）の状態にする。図３９の（ｂ）はトランジスタ１１ｃ、トランジスタ１１ｄをオンさせ、トランジスタ１１ｅをオフさせた状態である。図３９の（ｂ）の状態は、電流プログラムを行っている状態である。つまり、ソースドライバ回路１４からプログラム電流Ｉｗを出力（あるいは吸収）し、このプログラム電流Ｉｗを電流プログラム用トランジスタ１１ａに流す。このプログラム電流Ｉｗが流れるように、駆動用トランジスタ１１ｂのゲート（Ｇ）端子の電位をコンデンサ１９に設定するのである。

もし、プログラム電流Ｉｗが０（Ａ）（黒表示）であれば、トランジスタ１１ｂは電流を図３３の（ａ）の電流を流さない状態が保持されたままとなるから、良好な黒表示を実現できる。また、図３９の（ｂ）で白表示の電流プログラムを行う場合は、各画素の駆動用トランジスタの特性バラツキが発生していても、完全に黒表示状態のオフセット電圧（各駆動用トランジスタの特性に応じて設定された電流が流れる開始電圧）から電流プログラムを行う。したがって、目標の電流値にプログラムされる時間が階調に応じて等しくなる。そのため、トランジスタ１１ａあるいはトランジスタ１１ｂの特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

図３９の（ｂ）の電流プログラミング後、図３９の（ｃ）に図示するように、トランジスタ１１ｃ、トランジスタ１１ｄとオフし、トランジスタ１１ｅをオンさせて、駆動用トランジスタ１１ｂからのプログラム電流Ｉｗ（＝Ｉｅ）をＥＬ素子１５に流し、ＥＬ素子１５を発光させる。図３９の（ｃ）に関しても、以前に説明をしたので詳細は省略する。

図３３、図３９で説明した駆動方式（リセット駆動）は、駆動用トランジスタ１１ａあるいはトランジスタ１１ｂとＥＬ素子１５間を切断（電流が流れない状態。トランジスタ１１ｅあるいはトランジスタ１１ｄで行う）し、かつ、駆動用トランジスタのドレイン（Ｄ）端子とゲート（Ｇ）端子（もしくはソース（Ｓ）端子とゲート（Ｇ）端子、さらに一般的に表現すれば駆動用トランジスタのゲート（Ｇ）端子を含む２端子）間をショートする第１の動作と、前記動作の後、駆動用トランジスタに電流（電圧）プログラムを行う第２の動作とを実施するものである。そして、少なくとも第２の動作は第１の動作後に行うも

のである。
なお、第１の動作における駆動用トランジスタ１１ａあるいはトランジスタ１１ｂとＥＬ素子１５間を切断するという動作は、必ずしも必須の条件ではない。もし、第１の動作における駆動用トランジスタ１１ａあるいはトランジスタ１１ｂとＥＬ素子１５間を切断せずに、駆動用トランジスタのドレイン（Ｄ）端子とゲート（Ｇ）端子間をショートする第１の動作を行っても多少のリセット状態のバラツキが発生する程度で済む場合があるからである。これは、作製したアレイのトランジスタ特性を検討して決定する。
図３９のカレントミラーの画素構成は、電流プログラムトランジスタ１１ａをリセットすることにより、結果として駆動用トランジスタ１１ｂをリセットする駆動方法であった。
図３９のカレントミラーの画素構成では、リセット状態では、必ずしも駆動用トランジスタ１１ｂとＥＬ素子１５間を切断する必要はない。したがって、電流プログラム用トランジスタａのドレイン（Ｄ）端子とゲート（Ｇ）端子（もしくはソース（Ｓ）端子とゲート（Ｇ）端子、さらに一般的に表現すれば電流プログラム用トランジスタのゲート（Ｇ）端子を含む２端子、あるいは駆動用トランジスタのゲート（Ｇ）端子を含む２端子）間をショートする第１の動作と、前記動作の後、電流プログラム用トランジスタに電流（電圧）プログラムを行う第２の動作とを実施するものである。そして、少なくとも第２の動作は第１の動作後に行うものである。
画像表示状態は（もし、瞬時的な変化が観察できるのであれば）、まず、電流プログラムを行われる画素行は、リセット状態（黒表示状態）になり、所定Ｈ後に電流プログラムが行われる。画面の上から下方向に、黒表示の画素行が移動し、この画素行が通りすぎた位置で画像が書き換わっていくように見えるはずである。
以上の実施例は、電流プログラムの画素構成を中心として説明をしたが、本発明のリセット駆動は電圧プログラムの画素構成にも適用することができる。図４３は電圧プログラムの画素構成におけるリセット駆動を実施するための本発明の画素構成（パネル構成）の説明図である。
図４３の画素構成では、駆動用トランジスタ１１ａをリセット動作させるためのトランジスタ１１ｅが形成されている。ゲート信号線１７ｅにオン電圧が印加されることにより、トランジスタ１１ｅがオンし、駆動用トランジスタ１１ａのゲート（Ｇ）端子とドレイン（Ｄ）端子間をショートさせる。また、ＥＬ素子１５と駆動用トランジスタ１１ａとの電流経路を切断するトランジスタ１１ｄが形成されている。以下、図４４を参照しながら、電圧プログラムの画素構成における本発明のリセット駆動方式について説明をする（図４３は電圧プログラム方式の画素構成である）。
図４４の（ａ）に図示するように、トランジスタ１１ｂ、トランジスタ１１ｄをオフ状態にし、トランジスタ１１ｅをオン状態にする。駆動用トランジスタ１１ａのドレイン（Ｄ）端子とゲート（Ｇ）端子はショート状態となり、図に示すようにＩｂ電流が流れる。そのため、トランジスタ１１ａのゲート（Ｇ）端子とドレイン（Ｄ）端子とが同一電位となり、駆動用トランジスタ１１ａはリセット（電流を流さない状態）になる。なお、トランジスタ１１ａをリセットする前に、図３３あるいは図３９で説明したように、ＨＤ同期信号に同期して、最初にトランジスタ１１ｄをオンさせ、トランジスタ１１ｅをオフさせて、トランジスタ１１ａに電流を流しておく。その後、図４４の（ａ）の動作を実施する。
なお、リセットはＨＤ信号に同期させることに限定するものではない。
このトランジスタ１１ａ、トランジスタ１１ｂのリセット状態（電流を流さない状態）は、図４１などで説明した電圧オフセットキャンセラ方式のオフセット電圧を保持した状態と等価である。つまり、図４４の（ａ）の状態では、コンデンサ１９の端子間には、オフセット電圧（リセット電圧）が保持されていることになる。このリセット電圧は駆動用トランジスタ１１ａの特性に応じて異なる電圧値である。つまり、図４４の（ａ）の動作を実施することにより、各画素のコンデンサ１９には駆動用トランジスタ１１ａが電流を流さない（つまり、黒表示電流（ほとんど０に等しい））状態が保持されることになるのである（電流が流れ始める開始電圧にリセットされた）。
なお、電圧プログラムの画素構成においても、電流プログラムの画素構成と同様に、図４

４の（ａ）のリセットの実施時間を長くするほど、Ｉｂ電流が流れ、コンデンサ１９の端子電圧が小さくなる傾向がある。したがって、図４４の（ａ）の実施時間は固定値にする必要がある。実施時間は、０．２Ｈ以上５Ｈ（５水平走査期間）以下とすることが好ましい。さらには０．５Ｈ以上４Ｈ以下にすることが好ましい。あるいは、２μｓｅｃ以上４００μｓｅｃ以下とすることが好ましい。

また、ゲート信号線１７ｅは前段の画素行のゲート信号線１７ａと共通にしておくことが好ましい。つまり、ゲート信号線１７ｅと前段の画素行のゲート信号線１７ａとをショート状態で形成する。この構成を前段ゲート制御方式と呼ぶ。なお、前段ゲート制御方式とは、着目画素行より少なくとも１Ｈ前以上に選択される画素行のゲート信号線波形を用いるものである。したがって、１画素行前に限定されるものではない。たとえば、２画素行前のゲート信号線の信号波形を用いて着目画素の駆動用トランジスタ１１ａのリセットを実施してもよい。

前段ゲート制御方式をさらに具体的に記載すれば以下のようになる。着目する画素行が（Ｎ）画素行とし、そのゲート信号線がゲート信号線１７ｅ（Ｎ）、ゲート信号線１７ａ（Ｎ）とする。１Ｈ前に選択される前段の画素行は、画素行が（Ｎ－１）画素行とし、そのゲート信号線がゲート信号線１７ｅ（Ｎ－１）、ゲート信号線１７ａ（Ｎ－１）とする。また、着目画素行の次の１Ｈ後に選択される画素行が（Ｎ＋１）画素行とし、そのゲート信号線がゲート信号線１７ｅ（Ｎ＋１）、ゲート信号線１７ａ（Ｎ＋１）とする。

第（Ｎ－１）Ｈ期間では、第（Ｎ－１）画素行のゲート信号線１７ａ（Ｎ－１）にオン電圧が印加されると、第（Ｎ）画素行のゲート信号線１７ｅ（Ｎ）にもオン電圧が印加される。ゲート信号線１７ｅ（Ｎ）と前段の画素行のゲート信号線１７ａ（Ｎ－１）とがショート状態で形成されているからである。したがって、第（Ｎ－１）画素行の画素のトランジスタ１１ｂ（Ｎ－１）がオンし、ソース信号線１８の電圧が駆動用トランジスタ１１ａ（Ｎ－１）のゲート（Ｇ）端子に書き込まれる。同時に、第（Ｎ）画素行の画素のトランジスタ１１ｅ（Ｎ）がオンし、駆動用トランジスタ１１ａ（Ｎ）のゲート（Ｇ）端子とドレイン（Ｄ）端子間がショートされ、駆動用トランジスタ１１ａ（Ｎ）がリセットされる。

第（Ｎ－１）Ｈ期間の次の第（Ｎ）期間では、第（Ｎ）画素行のゲート信号線１７ａ（Ｎ）にオン電圧が印加されると、第（Ｎ＋１）画素行のゲート信号線１７ｅ（Ｎ＋１）にもオン電圧が印加される。したがって、第（Ｎ）画素行の画素のトランジスタ１１ｂ（Ｎ）がオンし、ソース信号線１８に印加されている電圧が駆動用トランジスタ１１ａ（Ｎ）のゲート（Ｇ）端子に書き込まれる。同時に、第（Ｎ＋１）画素行の画素のトランジスタ１１ｅ（Ｎ＋１）がオンし、駆動用トランジスタ１１ａ（Ｎ＋１）のゲート（Ｇ）端子とドレイン（Ｄ）端子間がショートされ、駆動用トランジスタ１１ａ（Ｎ＋１）がリセットされる。

以下同様に、第（Ｎ）Ｈ期間の次の第（Ｎ＋１）期間では、第（Ｎ＋１）画素行のゲート信号線１７ａ（Ｎ＋１）にオン電圧が印加されると、第（Ｎ＋２）画素行のゲート信号線１７ｅ（Ｎ＋２）にもオン電圧が印加される。したがって、第（Ｎ＋１）画素行の画素のトランジスタ１１ｂ（Ｎ＋１）がオンし、ソース信号線１８に印加されている電圧が駆動用トランジスタ１１ａ（Ｎ＋１）のゲート（Ｇ）端子に書き込まれる。同時に、第（Ｎ＋２）画素行の画素のトランジスタ１１ｅ（Ｎ＋２）がオンし、駆動用トランジスタ１１ａ（Ｎ＋２）のゲート（Ｇ）端子とドレイン（Ｄ）端子間がショートされ、駆動用トランジスタ１１ａ（Ｎ＋２）がリセットされる。

以上の本発明の前段ゲート制御方式では、１Ｈ期間、駆動用トランジスタ１１ａはリセットされ、その後、電圧（電流）プログラムが実施される。

図３３の（ａ）も同様であるが、図４４の（ａ）のリセット状態と、図４４の（ｂ）の電圧プログラム状態とを同期をとって行う場合は、図４４の（ａ）のリセット状態から、図４４の（ｂ）の電流プログラム状態までの期間が固定値（一定値）となるから問題はない（固定値にされている）。この期間が短いと駆動用トランジスタ１１が完全にリセットされない。また、あまりにも長いと駆動用トランジスタ１１ａが完全にオフ状態となり、今

度は電流をプログラムするのに長時間を要するようになる。また、画面１２の輝度も低下する。
図４４の（ａ）を実施後、図４４の（ｂ）の状態にする。図４４の（ｂ）はトランジスタ１１ｂをオンさせ、トランジスタ１１ｅ、トランジスタ１１ｄをオフさせた状態である。図４４の（ｂ）の状態は、電圧プログラムを行っている状態である。つまり、ソースドライバ回路１４からプログラム電圧を出力し、このプログラム電圧を駆動用トランジスタ１１ａのゲート（Ｇ）端子に書き込む（駆動用トランジスタ１１ａのゲート（Ｇ）端子の電位をコンデンサ１９に設定する）。なお、電圧プログラム方式の場合は、電圧プログラム時にトランジスタ１１ｄを必ずしもオフさせる必要はない。また、図１３、図１５などのＮ倍パルス駆動などと組み合わせること、あるいは以上のような、間欠Ｎ／Ｋ倍パルス駆動（１画面に点灯領域を複数設ける駆動方法である。この駆動方法は、トランジスタ１１ｅをオンオフ動作させることにより容易に実現できる）を実施する必要がなければ、トランジスタ１１ｅが必要でない。このことは以前に説明をしたので、説明を省略する。
図４３の構成あるいは図４４の駆動方法で白表示の電圧プログラムを行う場合は、各画素の駆動用トランジスタの特性バラツキが発生していても、完全に黒表示状態のオフセット電圧（各駆動用トランジスタの特性に応じて設定された電流が流れる開始電圧）から電圧プログラムを行う。したがって、目標の電流値にプログラムされる時間が階調に応じて等しくなる。そのため、トランジスタ１１ａの特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。
図４４の（ｂ）の電流プログラミング後、図４４の（ｃ）に図示するように、トランジスタ１１ｂをオフし、トランジスタ１１ｄをオンさせて、駆動用トランジスタ１１ａからのプログラム電流をＥＬ素子１５に流し、ＥＬ素子１５を発光させる。
以上のように、図４３の電圧プログラムにおける本発明のリセット駆動は、まず、ＨＤ同期信号に同期して、最初にトランジスタ１１ｄをオンさせ、トランジスタ１１ｅをオフさせて、トランジスタ１１ａに電流を流す第１の動作と、トランジスタ１１ａとＥＬ素子１５間を切断し、かつ、駆動用トランジスタ１１ａのドレイン（Ｄ）端子とゲート（Ｇ）端子（もしくはソース（Ｓ）端子とゲート（Ｇ）端子、さらに一般的に表現すれば駆動用トランジスタのゲート（Ｇ）端子を含む２端子）間をショートする第２の動作と、前記動作の後、駆動用トランジスタ１１ａに電圧プログラムを行う第３の動作を実施するものである。
以上の実施例では、駆動用トランジスタ１１ａ（図１の画素構成の場合）からＥＬ素子１５に流す電流を制御するのに、トランジスタ１１ｄをオンオフさせて行う。トランジスタ１１ｄをオンオフさせるためには、ゲート信号線１７ｂを走査する必要があり、走査のためには、シフトレジスタ６１（ゲート回路１２）が必要となる。しかし、シフトレジスタ６１は規模が大きく、ゲート信号線１７ｂの制御にシフトレジスタ６１を用いたのでは狭額縁化できない。図４０で説明する方式は、この課題を解決するものである。
なお、本発明は、主として図１などに図示する電流プログラムの画素構成を例示して説明をするが、これに限定するものではなく、図３８などで説明した他の電流プログラム構成（カレントミラーの画素構成）であっても適用できることはいうまでもない。
また、ブロックでオンオフする技術的概念は、図４１などの電圧プログラムの画素構成であっても適用できることは言うまでもない。また、本発明は、ＥＬ素子１５に流れる電流を間欠にする方式であるから、図５０などで説明する逆バイアス電圧を印加する方式とも組み合わせることができることは言うまでもない。以上のように、本発明は他の実施例と組み合わせて実施することができる。
図４０はブロック駆動方式の実施例である。まず、説明を容易にするため、ゲートドライバ回路１２は基板７１に直接形成したか、もしくはシリコンチップのゲートドライバＩＣ１２を基板７１に積載したとして説明をする。また、ソースドライバ１４およびソース信号線１８は図面が煩雑になるため省略する。
図４０において、ゲート信号線１７ａはゲートドライバ回路１２と接続されている。一方、各画素のゲート信号線１７ｂは点灯制御線４０１と接続されている。図４０では４本の

ゲート信号線１７ｂが１つの点灯制御線４０１と接続されている。
なお、４本のゲート信号線１７ｂでブロックするというのはこれに限定するものではなく、それ以上であってもよいことは言うまでもない。一般的に表示領域５０は少なくとも５以上に分割することが好ましい。さらに好ましくは、１０以上に分割することが好ましい。さらには、２０以上に分割することが好ましい。分割数が少ないと、フリッカが見えやすい。あまりにも分割数が多いと、点灯制御線４０１の本数が多くなり、制御線４０１のレイアウトが困難になる。
したがって、ＱＣＩＦ表示パネルの場合は、垂直走査線の本数が２２０本であるから、少なくとも、２２０／５＝４４本以上でブロック化する必要があり、好ましくは、２２０／１０＝１１以上でブロック化する必要がある。ただし、奇数行と偶数行で２つのブロック化を行った場合は、低フレームレートでも比較的フリッカの発生が少ないため、２つのブロック化で十分の場合がある。
図４０の実施例では、点灯制御線４０１ａ、４０１ｂ、４０１ｃ、４０１ｄ……４０１ｎと順次、オン電圧（Ｖｇｌ）を印加するか、もしくはオフ電圧（Ｖｇｈ）を印加し、ブロックごとにＥＬ素子１５に流れる電流をオンオフさせる。
なお、図４０の実施例では、ゲート信号線１７ｂと点灯制御線４０１とがクロスすることがない。したがって、ゲート信号線１７ｂと点灯制御線４０１とのショート欠陥は発生しない。また、ゲート信号線１７ｂと点灯制御線４０１とが容量結合することがないため、点灯制御線４０１からゲート信号線１７ｂ側を見た時の容量付加が極めて小さい。したがって、点灯制御線４０１を駆動しやすい。
ゲートドライバ１２にはゲート信号線１７ａが接続されている。ゲート信号線１７ａにオン電圧を印加することにより、画素行が選択され、選択された各画素のトランジスタ１１ｂ、１１ｃはオンして、ソース信号線１８に印加された電流（電圧）を各画素のコンデンサ１９にプログラムする。一方、ゲート信号線１７ｂは各画素のトランジスタ１１ｄのゲート（Ｇ）端子と接続されている。したがって、点灯制御線４０１にオン電圧（Ｖｇｌ）が印加されたとき、駆動用トランジスタ１１ａとＥＬ素子１５との電流経路を形成し、逆にオフ電圧（Ｖｇｈ）が印加された時は、ＥＬ素子１５のアノード端子をオープンにする。
なお、点灯制御線４０１に印加するオンオフ電圧の制御タイミングと、ゲートドライバ回路１２がゲート信号線１７ａに出力する画素行選択電圧（Ｖｇｌ）のタイミングは１水平走査クロック（１Ｈ）に同期していることが好ましい。しかし、これに限定するものではない。
点灯制御線４０１に印加する信号は単に、ＥＬ素子１５への電流をオンオフさせるだけである。また、ソースドライバ１４が出力する画像データと同期がとれている必要もない。点灯制御線４０１に印加する信号は、各画素１６のコンデンサ１９にプログラムされた電流を制御するものだからである。したがって、必ずしも、画素行の選択信号と同期がとれている必要はない。また、同期する場合であってもクロックは１Ｈ信号に限定されるものではなく、１／２Ｈでも、１／４Ｈであってもよい。
図３８に図示したカレントミラーの画素構成の場合であっても、ゲート信号線１７ｂを点灯制御線４０１に接続することにより、トランジスタ１１ｅをオンオフ制御できる。したがって、ブロック駆動を実現できる。
なお、図３２において、ゲート信号線１７ａを点灯制御線４０１に接続し、リセットを実施すれば、プロック駆動を実現できる。つまり、本発明のブロック駆動とは、１つの制御線で、複数の画素行を同時に非点灯（あるいは黒表示）とする駆動方法である。
以上の実施例は、１画素行ごとに１本の選択画素行を配置（形成）する構成であった。本発明は、これに限定するものではなく、複数の画素行で１本の選択ゲート信号線を配置（形成）してもよい。
図４１はその実施例である。なお、説明を容易にするため、画素構成は図１の場合を主として例示して説明をする。図４１では画素行の選択ゲート信号線１７ａは３つの画素（１６Ｒ、１６Ｇ、１６Ｂ）を同時に選択する。Ｒの記号とは赤色の画素関連を意味し、Ｇの

記号とは緑色の画素関連を意味し、Ｂの記号とは青色の画素関連を意味するものとする。したがって、ゲート信号線１７ａの選択により、画素１６Ｒ、画素１６Ｇおよび画素１６Ｂが同時に選択されデータ書き込み状態となる。画素１６Ｒはソース信号線１８Ｒからデータをコンデンサ１９Ｒに書き込み、画素１６Ｇはソース信号線１８Ｇからデータをコンデンサ１９Ｇに書き込む。画素１６Ｂはソース信号線１８Ｂからデータをコンデンサ１９Ｂに書き込む。

画素１６Ｒのトランジスタ１１ｄはゲート信号線１７ｂＲに接続されている。また、画素１６Ｇのトランジスタ１１ｄはゲート信号線１７ｂＧに接続され、画素１６Ｂのトランジスタ１１ｄはゲート信号線１７ｂＢに接続されている。したがって、画素１６ＲのＥＬ素子１５Ｒ、画素１６ＧのＥＬ素子１５Ｇ、画素１６ＢのＥＬ素子１５Ｂは別個にオンオフ制御することができる。つまり、ＥＬ素子１５Ｒ、ＥＬ素子１５Ｇ、ＥＬ素子１５Ｂはそれぞれのゲート信号線１７ｂＲ、１７ｂＧ、１７ｂＢを制御することにより、点灯時間、点灯周期を個別に制御可能である。

この動作を実現するためには、図６の構成において、ゲート信号線１７ａを走査するシフトレジスタ回路６１と、ゲート信号線１７ｂＲを走査するシフトレジスタ回路６１と、ゲート信号線１７ｂＧを走査するシフトレジスタ回路６１と、ゲート信号線１７ｂＢを走査するシフトレジスタ回路６１の４つを形成（配置）することが適切である。

なお、ソース信号線１８に所定電流のＮ倍の電流を流し、ＥＬ素子１５に所定電流のＮ倍の電流を１／Ｎの期間流すとしたが、実用上はこれを実現できない。実際にはゲート信号線１７に印加した信号パルスがコンデンサ１９に突き抜け、コンデンサ１９に所望の電圧値（電流値）を設定できないからである。一般的にコンデンサ１９には所望の電圧値（電流値）よりも低い電圧値（電流値）が設定される。たとえば、１０倍の電流値を設定するように駆動しても、５倍程度の電流しかコンデンサ１９には設定されない。たとえば、Ｎ＝１０としても実際にＥＬ素子１５に流れる電流はＮ＝５の場合と同一となる。したがって、本発明はＮ倍の電流値を設定し、Ｎ倍に比例したあるいは対応する電流をＥＬ素子１５に流れるように駆動する方法である。もしくは、所望値よりも大きい電流をＥＬ素子１５にパルス状に印加する駆動方法である。

また、所望値より電流（そのまま、ＥＬ素子１５に連続して電流を流すと所望輝度よりも高くなるような電流）を駆動用トランジスタ１１ａ（図１を例示する場合）に電流（電圧）プログラムを行い、ＥＬ素子１５に流れる電流を間欠にすることにより、所望のＥＬ素子の発光輝度を得るものである。

なお、このコンデンサ１９への突き抜けによる補償回路は、ソースドライバ回路１４内に導入する。この事項については後ほど説明をする。

また、図１などのスイッチングトランジスタ１１ｂ、１１ｃなどはＮチャンネルで形成することが好ましい。コンデンサ１９への突き抜け電圧が低減するからである。また、コンデンサ１９のオフリークも減少するから、１０Ｈｚ以下の低いフレームレートにも適用できるようになる。

また、画素構成によっては、突き抜け電圧がＥＬ素子１５に流れる電流を増加させる方向に作用する場合は、白ピーク電流が増加し、画像表示のコントラスト感が増加する。したがって、良好な画像表示を実現できる。

逆に、図１のスイッチングトランジスタ１１ｂ、１１ｃをＰチャンネルにすることのより突き抜けを発生させて、より黒表示を良好にする方法も有効である。Ｐチャンネルトランジスタ１１ｂがオフするときにはＶｇｈ電圧となる。そのため、コンデンサ１９の端子電圧がＶｄｄ側に少しシフトする。そのため、トランジスタ１１ａのゲート（Ｇ）端子電圧は上昇し、より黒表示となる。また、第１階調表示とする電流値を大きくすることができるから（階調１までに一定のベース電流を流すことができる）、電流プログラム方式で書き込み電流不足を軽減できる。

その他、ゲート信号線１７ａとトランジスタ１１ａのゲート（Ｇ）端子間に積極的にコンデンサ１９ｂを形成し、突き抜け電圧を増加させる構成も有効である（図４２の（ａ）を参照）。このコンデンサ１９ｂの容量は正規のコンデンサ１９ａの容量の１／５０以上１

／１０以下にすることが好ましい。さらには１／４０以上１／１５以下とすることが好ましい。もしくはトランジスタ１１ｂのソース－ゲート（ソース－ドレイン（ＳＧ）もしくはゲート－ドレイン（ＧＤ））容量の１倍以上１０倍以下にする。さらに好ましくは、ＳＧ容量の２倍以上６倍以下にすることが好ましい。なお、コンデンサ１９ｂの形成位置は、コンデンサ１９ａの一方の端子（トランジスタ１１ａのゲート（Ｇ）端子）とトランジスタ１１ｄのソース（Ｓ）端子間に形成または配置してもよい。この場合も容量などは先に説明した値と同様である。

突き抜け電圧発生用のコンデンサ１９ｂの容量（容量をＣｂ（ｐＦ）とする）は、電荷保持用のコンデンサ１９ａの容量（容量とＣａ（ｐＦ）とする）と、トランジスタ１１ａの白ピーク電流時（画像表示で表示最大輝度の白ラスター時）のゲート（Ｇ）端子電圧Ｖｗを黒表示での電流を流す（基本的には電流は０である。つまり、画像表示で黒表示としている時）時のゲート（Ｇ）端子電圧Ｖｂが関連する。これらの関係は、

Ｃａ／（２００Ｃｂ）　≦　｜Ｖｗ－Ｖｂ｜　≦　Ｃａ／（８Ｃｂ）

の条件を満足させることが好ましい。なお、｜Ｖｗ－Ｖｂ｜とは、駆動用トランジスタの白表示時の端子電圧と黒表示時の端子電圧との差の絶対値である（つまり、変化する電圧幅）。

さらに好ましくは、

Ｃａ／（１００Ｃｂ）　≦　｜Ｖｗ－Ｖｂ｜　≦　Ｃａ／（１０Ｃｂ）

の条件を満足させることが好ましい。

トランジスタ１１ｂはＰチャンネルにし、このＰチャンネルは少なくともダブルゲート以上にする。このましくは、トリプルゲート以上にする。さらに好ましくは、４ゲート以上にする。そして、トランジスタ１１ｂのソース－ゲート（ＳＧもしくはゲート－ドレイン（ＧＤ））容量（トランジスタがオンしているときの容量）の１倍以上１０倍以下のコンデンサを並列に形成または配置することが好ましい。

なお、以上の事項は、図１の画素構成だけでなく、他の画素構成でも有効である。たとえば、図４２の（ｂ）に図示するようにカレントミラーの画素構成において、突き抜けを発生させるコンデンサをゲート信号線１７ａまたは１７ｂとトランジスタ１１ａのゲート（Ｇ）端子間に配置または形成する。スイッチングトランジスタ１１ｃのＮチャンネルはダブルゲート以上とする。もしくはスイッチングトランジスタ１１ｃ、１１ｄをＰチャンネルとし、トリプルゲート以上とする。

４１の電圧プログラムの構成にあっては、ゲート信号線１７ｃと駆動用トランジスタ１１ａのゲート（Ｇ）端子間に突き抜け電圧発生用のコンデンサ１９ｃを形成または配置する。また、スイッチングトランジスタ１１ｃはトリプルゲート以上とする。突き抜け電圧発生用のコンデンサ１９ｃはトランジスタ１１ｃのドレイン（Ｄ）端子（コンデンサ１９ｂ側）と、ゲート信号線１７ａ間に配置してもよい。また、突き抜け電圧発生用のコンデンサ１９ｃはトランジスタ１１ａのゲート（Ｇ）端子と、ゲート信号線１７ａ間に配置してもよい。また、突き抜け電圧発生用のコンデンサ１９ｃはトランジスタ１１ｃのドレイン（Ｄ）端子（コンデンサ１９ｂ側）と、ゲート信号線１７ｃ間に配置してもよい。

また、電荷保持用のコンデンサ１９ａの容量をＣａとし、スイッチング用のトランジスタ１１ｃまたは１１ｄ）のソース－ゲート容量Ｃｃ（突き抜け用のコンデンサがある場合には、その容量を加えた値）とし、ゲート信号線に印加される高電圧信号（Ｖｇｈ）とし、ゲート信号線に印加される低電圧信号（Ｖｇｌ）とした時、以下の条件を満足するように構成することにより、良好な黒表示を実現できる。

０．０５（Ｖ）　≦　（Ｖｇｈ－Ｖｇｌ）×（Ｃｃ／Ｃａ）　≦　０．８（Ｖ）

さらに好ましくは、以下の条件を満足させることが好ましい。

０．１（Ｖ）　≦　（Ｖｇｈ－Ｖｇｌ）×（Ｃｃ／Ｃａ）　≦　０．５（Ｖ）

以上の事項は図４３などの画素構成にも有効である。図４３の電圧プログラムの画素構成では、トランジスタ１１ａのゲート（Ｇ）端子とゲート信号線１７ａ間に突き抜け電圧発生用のコンデンサ１９ｂを形成または配置する。

なお、突き抜け電圧を発生させるコンデンサ１９ｂは、トランジスタのソース配線とゲー

ト配線で形成する。ただし、トランジスタ１１のソース幅を広げて、ゲート信号線１７と重ねて形成する構成であるから、実用上は明確にトランジスタと分離できない構成である場合がある。

また、スイッチングトランジスタ１１ｂ、１１ｃ（図１の構成の場合）を必要以上に大きく形成することにより、見かけ上、突き抜け電圧用のコンデンサ１９ｂを構成する方式も本発明の範疇である。スイッチングトランジスタ１１ｂ、１１ｃはチャンネル幅Ｗ／チャンネル長Ｌ＝６／６μｍで形成することが多い。これをＷと大きくすることも突き抜け電圧用のコンデンサ１９ｂを構成することになる。例えば、Ｗ：Ｌの比を２：１以上２０：１以下にする構成が例示される。好ましくは、Ｗ：Ｌの比を３：１以上１０：１以下にすることがよい。

また、突き抜け電圧用のコンデンサ１９ｂは、画素が変調するＲ、Ｇ、Ｂで大きさ（容量）を変化させることが好ましい。Ｒ、Ｇ、Ｂの各ＥＬ素子１５の駆動電流が異なるためである。また、ＥＬ素子１５のカットオフ電圧が異なるためである。そのため、ＥＬ素子１５の駆動用トランジスタ１１ａのゲート（Ｇ）端子にプログラムする電圧（電流）が異なるからである。たとえば、Ｒの画素のコンデンサ１１ｂＲを０．０２ｐＦとした場合、他の色（Ｇ、Ｂの画素）のコンデンサ１１ｂＧ、１１ｂＢを０．０２５ｐＦとする。また、Ｒの画素のコンデンサ１１ｂＲを０．０２ｐＦとした場合、Ｇの画素のコンデンサ１１ｂＧと０．０３ｐＦとし、Ｂの画素のコンデンサ１１ｂＢを０．０２５ｐＦとするなどである。このように、Ｒ、Ｇ、Ｂの画素ごとにコンデンサ１１ｂの容量を変化させることのよりオフセットの駆動電流をＲＧＢごとに調整することができる。したがって、各ＲＧＢの黒表示レベルを最適値にすることができる。

以上は、突き抜け電圧発生用のコンデンサ１９ｂの容量を変化させるとしたが、突き抜け電圧は、保持用のコンデンサ１９ａと突き抜け電圧発生用のコンデンサ１９ｂとの容量の相対的なものである。したがって、コンデンサ１９ｂをＲ、Ｇ、Ｂの画素で変化することに限定するものではない。つまり、保持用コンデンサ１９ａの容量を変化させてもよい。たとえば、Ｒの画素のコンデンサ１１ａＲを１．０ｐＦとした場合、Ｇの画素のコンデンサ１１ａＧと１．２ｐＦとし、Ｂの画素のコンデンサ１１ａＢを０．９ｐＦとするなどである。この時、突き抜け用コンデンサ１９ｂの容量は、Ｒ、Ｇ、Ｂで共通の値とする。したがって、本発明は、保持用のコンデンサ１９ａと突き抜け電圧発生用のコンデンサ１９ｂとの容量比を、Ｒ、Ｇ、Ｂの画素のうち、少なくとも１つを他と異ならせたものである。なお、保持用のコンデンサ１９ａの容量と突き抜け電圧発生用のコンデンサ１９ｂとの容量との両方をＲ、Ｇ、Ｂ画素で変化させてもよい。

また、画面５０の左右で突き抜け電圧用のコンデンサ１９ｂの容量を変化させてもよい。ゲートドライバ１２に近い位置にある画素１６は信号供給側に配置されているので、ゲート信号の立ち上がりが速い（スルーレートが高いからである）ため、突き抜け電圧が大きくなる。ゲート信号線１７端に配置（形成）されている画素は、信号波形が鈍っている（ゲート信号線１７には容量があるためである）。ゲート信号の立ち上がりが遅い（スルーレートが遅い）ため、突き抜け電圧が小さくなるためである。したがって、ゲートドライバ１２との接続側に近い画素１６の突き抜け電圧用コンデンサ１９ｂを小さくする。また、ゲート信号線１７端はコンデンサ１９ｂを大きくする。たとえば、画面の左右でコンデンサの容量は１０％程度変化させる。

発生する突き抜け電圧は、保持用コンデンサ１９ａと突き抜け電圧発生用のコンデンサ１９ｂの容量比で決定される。したがって、画面の左右で突き抜け電圧発生用のコンデンサ１９ｂの大きさを変化させるとしたが、これに限定するものではない。突き抜け電圧発生用のコンデンサ１９ｂは画面の左右で一定にし、電荷保持用のコンデンサ１９ａの容量を画面の左右で変化させてもよい。また、突き抜け電圧発生用のコンデンサ１９ｂと、電荷保持用のコンデンサ１９ａ容量の両方を画面の左右で変化させてもよいことは言うまでもない。

本発明のＮ倍パルス駆動の課題にＥＬ素子１５に印加する電流が瞬時的ではあるが、従来と比較してＮ倍大きいという問題がある。電流が大きいとＥＬ素子の寿命を低下させる場

合がある。この課題を解決するためには、ＥＬ素子１５に逆バイアス電圧Ｖｍを印加することが有効である。
以上の実施例は、１フィールド（１フレーム）内でＲＧＢの画像データを書き換える駆動方法であった。ＲＧＢデータの書き換えは、シーケンス的に行っても良い。シーケンス的とは、１フレームと３フィールドとし、第１フィールドでＲの画像データを書き換え、第２フィールドでＧの画像データを書き換え、第３フィールドでＢの画像データを書き換える駆動方法である。この駆動をシーケンス駆動と呼ぶ。
なお、シーケンス駆動とＮ倍パルス駆動、リセット駆動などの本発明の他の駆動方法と組み合わせてもよいことは言うまでもない。また、各駆動方法を組み合わせた駆動方法を実施した表示パネル、前記表示パネルを用いた表示装置は本発明に包含される。
図７５はシーケンス駆動を実施するための表示パネルの説明図である。ソースドライバ回路１４は接続端子９９６にＲ、Ｇ、Ｂデータを切り替えて出力する。したがって、ソースドライバ回路１４の出力端子数は図４８などの場合に比較して１／３の出力端子数ですむ。
ソースドライバ回路１４から接続端子９９６に出力する信号は、出力切り替え回路７５１のよりソース信号線１８Ｒ、１８Ｇ、１８Ｂに振り分けられる。出力切り替え回路７５１はポリシリコン技術で基板７１に直接形成する。また、出力切り替え回路７５１はシリコンチップで形成し、ＣＯＧ技術で基板７１に実装してもよい。また、出力切り替え回路７５１は切り替えスイッチ７５１をソースドライバ回路１４の回路として、ソースドライバ回路１４に内蔵させてもよい。
切り替えスイッチ７５２がＲ端子に接続されている時は、ソースドライバ回路１４からの出力信号は、ソース信号線１８Ｒに印加される。切り替えスイッチ７５２がＧ端子に接続されている時は、ソースドライバ回路１４からの出力信号は、ソース信号線１８Ｇに印加される。切り替えスイッチ７５２がＢ端子に接続されている時は、ソースドライバ回路１４からの出力信号は、ソース信号線１８Ｂに印加される。
なお、図７６の構成では、切り替えスイッチ７５２がＲ端子に接続されている時は、切り替えスイッチのＧ端子およびＢ端子はオープンである。したがって、ソース信号線１８Ｇおよび１８Ｂに入力される電流は０Ａである。したがって、ソース信号線１８Ｇおよび１８Ｂに接続された画素１６は黒表示となる。
切り替えスイッチ７５２がＧ端子に接続されている時は、切り替えスイッチのＲ端子およびＢ端子はオープンである。したがって、ソース信号線１８Ｒおよび１８Ｂに入力される電流は０Ａである。したがって、ソース信号線１８Ｒおよび１８Ｂに接続された画素１６は黒表示となる。
なお、図７６の構成では、切り替えスイッチ７５２がＢ端子に接続されている時は、切り替えスイッチのＲ端子およびＧ端子はオープンである。したがって、ソース信号線１８Ｒおよび１８Ｇに入力される電流は０Ａである。したがって、ソース信号線１８Ｒおよび１８Ｇに接続された画素１６は黒表示となる。
基本的には、１フレームが３フィールドで構成される場合、第１フィールドで、表示領域５０の画素１６に順次Ｒ画像データが書き込まれる。第２フィールドでは、表示領域５０の画素１６に順次Ｇ画像データが書き込まれる。また、第３フィールドでは、表示領域５０の画素１６に順次Ｂ画像が書き込まれる。
以上のように、フィールドごとにＲデータ→Ｇデータ→Ｂデータ→Ｒデータ→・・・・・が順次書き換えられシーケンス駆動が実現される。図１のようにスイッチングトランジスタ１１ｄをオンオフさせて、Ｎ倍パルス駆動を実現することなどは、図５、図１３、図１６などで説明をした。これらの駆動方法をシーケンス駆動と組み合わせることができることは言うまでもない。
また、先に説明した実施例では、Ｒ画素１６に画像データを書き込む時は、Ｇ画素およびＢ画素には黒データを書き込むとした。Ｇ画素１６に画像データを書き込む時は、Ｒ画素およびＢ画素には黒データを書き込むとした。Ｂ画素１６に画像データを書き込む時は、Ｒ画素およびＧ画素には黒データを書き込むとした。本発明はこれに限定するものではな

い。
たとえば、Ｒ画素１６に画像データを書き込む時は、Ｇ画素およびＢ画素の画像データは前フィールドで書き換えられた画像データを保持するようにしてもよい。このように駆動すれば画面５０輝度を明るくすることができる。Ｇ画素１６に画像データを書き込む時は、Ｒ画素およびＢ画素の画像データは前フィールドで書き換えられた画像データを保持するようにしする。Ｂ画素１６に画像データを書き込む時は、Ｇ画素およびＲ画素の画像データは前フィールドで書き換えられた画像データを保持する。
以上のように、書き換えている色画素以外の画素の画像データを保持するには、ＲＧＢ画素でゲート信号線１７ａを独立に制御できるようにすればよい。たとえば、図７５に図示するように、ゲート信号線１７ａＲは、Ｒ画素のトランジスタ１１ｂ、トランジスタ１１ｃのオンオフを制御する信号線とする。また、ゲート信号線１７ａＧは、Ｇ画素のトランジスタ１１ｂ、トランジスタ１１ｃのオンオフを制御する信号線とする。ゲート信号線１７ａＢは、Ｂ画素のトランジスタ１１ｂ、トランジスタ１１ｃのオンオフを制御する信号線とする。一方、ゲート信号線１７ｂはＲ画素、Ｇ画素、Ｂ画素のトランジスタ１１ｄを共通でオンオフさせる信号線とする。
以上のように構成すれば、ソースドライバ回路１４がＲの画像データを出力し、スイッチ７５２がＲ接点に切り替わっているときは、ゲート信号線１７ａＲにオン電圧を印加し、ゲート信号線ａＧとゲート信号線ａＢとにオフ電圧を印加することができる。したがって、Ｒの画像データをＲ画素１６に書き込み、Ｇ画素１６およびＢ画素１６は前にフィールドの画像データを保持したままにできる。
第２フィールドでソースドライバ回路１４がＧの画像データを出力し、スイッチ７５２がＧ接点に切り替わっているときは、ゲート信号線１７ａＧにオン電圧を印加し、ゲート信号線ａＲとゲート信号線ａＢとにオフ電圧を印加することができる。したがって、Ｇの画像データをＧ画素１６に書き込み、Ｒ画素１６およびＢ画素１６は前にフィールドの画像データを保持したままにできる。
第３フィールドでソースドライバ回路１４がＢの画像データを出力し、スイッチ７５２がＢ接点に切り替わっているときは、ゲート信号線１７ａＢにオン電圧を印加し、ゲート信号線ａＲとゲート信号線ａＧとにオフ電圧を印加することができる。したがって、Ｂの画像データをＢ画素１６に書き込み、Ｒ画素１６およびＧ画素１６は前にフィールドの画像データを保持したままにできる。
図７５の実施例では、ＲＧＢごとに画素１６のトランジスタ１１ｂをオンオフさせるゲート信号線１７ａを形成あるは配置するとした。しかし、本発明はこれに限定されるものではない。たとえば、図７６に図示するように、ＲＧＢの画素１６に共通のゲート信号線１７ａを形成または配置する構成であってもよい。
図７５などの構成において、切り替えスイッチ７５２がＲのソース信号線を選択しているときは、Ｇのソース信号線とＢのソース信号線はオープンになるとして説明をした。しかし、オープン状態は電気的にはフローティング状態であり、好ましいことではない。
図７６では、このフローティング状態をなくすために対策を行った構成である。出力切り替え回路７５１のスイッチ７５２のａ端子はＶａａ電圧（黒表示となる電圧）に接続されている。ｂ端子はソースドライバ回路１４の出力端子と接続されている。スイッチ７５２はＲＧＢそれぞれに設けられている。
図７６の状態では、スイッチ７５２ＲはＶａａ端子に接続されている。したがって、ソース信号線１８Ｒには、Ｖａａ電圧（黒電圧）が印加されている。スイッチ７５２ＧはＶａａ端子に接続されている。したがって、ソース信号線１８Ｇには、Ｖａａ電圧（黒電圧）が印加されている。スイッチ７５２Ｂはソースドライバ回路１４の出力端子に接続されている。したがって、ソース信号線１８Ｂには、Ｂの映像信号が印加されている。
以上の状態では、Ｂ画素の書き換え状態であり、Ｒ画素とＧ画素には黒表示電圧が印加される。以上のようにスイッチ７５２を制御することにより、画素１６の画像は書き換えられる。なお、ゲート信号線１７ｂの制御などに関しては以前説明した実施例と同様であるので説明を省略する。

以上の実施例では、第１フィールドでＲ画素１６を書き換え、第２フィールドでＧ画素１６を書き換え、第３フィールドでＢ画素１６を書き換えるとした。つまり、１フィールドごとに書き換えられる画素の色が変化する。本発明はこれに限定されるものではない。１水平走査期間（１Ｈ）ごとに書き換える画素の色を変化させてもよい。たとえば、１Ｈ目にＲ画素を書き換え、２Ｈ番目にＧ画素を書き換え、３Ｈ番目にＢ画素を書き換え、４Ｈ番目にＲ画素を書き換え、・・・・・・と駆動する方法である。もちろん、２Ｈ以上の複数水平走査期間ごとに書き換える画素の色を変化させてもよいし、１／３フィールドごとに書き換える画素の色を変化させてもよい。

図７７は１Ｈごとに書き換える画素の色を変化させた実施例である。なお、図７７から図７９において、斜線でしめした画素１６は、画素を書き換えずに前フィールドの画像データを保持していること、もしくは、黒表示にされていることを示している。もちろん、画素を黒表示したり、前フィールドのデータを保持したりと繰り返し実施してもよい。

なお、図７５から図７９の駆動方式において、図１３などのＮ倍パルス駆動やＭ行同時駆動を実施してもよいことは言うまでもない。図７５から図７９などは画素１６の書き込み状態を説明している。ＥＬ素子１５の点灯制御は説明しないが、以前あるいは以降に説明する実施例を組み合わせることができることは言うまでもない。

また、１フレームは３フィールドで構成されることに限定されるものではない。２フィールドでもよいし、４フィールド以上でもよい。１フレームが２フィールドで、ＲＧＢの３原色の場合は、第１フィールドで、ＲとＧ画素を書き換え、第２フィールドでＢ画素を書き換えるという実施例が例示される。また、１フレームが４フィールドで、ＲＧＢの３原色の場合は、第１フィールドで、Ｒ画素を書き換え、第２フィールドでＧ画素を書き換え、第３フィールドと第４フィールドでＢ画素を書き換えるという実施例が例示される。これらのシーケンスは、ＲＧＢのＥＬ素子１５の発光効率を考慮して検討することのより効率よくホワイトバランスをとることができる。

以上の実施例では、第１フィールドでＲ画素１６を書き換え、第２フィールドでＧ画素１６を書き換え、第３フィールドでＢ画素１６を書き換えるとした。つまり、１フィールドごとに書き換えられる画素の色が変化する。

図７７の実施例では、第１フィールドの１Ｈ目にＲ画素を書き換え、２Ｈ番目にＧ画素を書き換え、３Ｈ番目にＢ画素を書き換え、４Ｈ番目にＲ画素を書き換え、・・・・・・と駆動する方法である。もちろん、２Ｈ以上の複数水平走査期間ごとに書き換える画素の色を変化させてもよいし、１／３フィールドごとに書き換える画素の色を変化させてもよい。

図７７の実施例では、第１フィールドの１Ｈ目にＲ画素を書き換え、２Ｈ番目にＧ画素を書き換え、３Ｈ番目にＢ画素を書き換え、４Ｈ番目にＲ画素を書き換える。第２フィールドの１Ｈ目にＧ画素を書き換え、２Ｈ番目にＢ画素を書き換え、３Ｈ番目にＲ画素を書き換え、４Ｈ番目にＧ画素を書き換える。第３フィールドの１Ｈ目にＢ画素を書き換え、２Ｈ番目にＲ画素を書き換え、３Ｈ番目にＧ画素を書き換え、４Ｈ番目にＢ画素を書き換える。

以上のように、各フィールドでＲ、Ｇ、Ｂ画素を任意にあるいは所定の規則性を持って書き換えることにより、Ｒ、Ｇ、Ｂのカラーセパレーションを防止することができる。また、フリッカの発生も抑制できる。

図７８では、１Ｈごとに書き換えられる画素１６の色数は複数となっている。図７７では、第１フィールドにおいて、１Ｈ番目は書き換えられる画素１６はＲ画素であり、２Ｈ番目は書き換えられる画素１６はＧ画素である。また、３Ｈ番目は書き換えられる画素１６はＢ画素であり、４Ｈ番目は書き換えられる画素１６はＲ画素である。

図７８では、１Ｈごとに、書き換える画素の色位置を異ならせている。各フィールドでＲ、Ｇ、Ｂ画素を異ならせ（所定の規則性を持っていてもよいことは言うまでもない）、順次書き換えることにより、Ｒ、Ｇ、Ｂのカラーセパレーションを防止することができる。また、フリッカの発生も抑制できる。

なお、図７８の実施例においても、各絵素（ＲＧＢ画素の組）では、ＲＧＢの点灯時間あ

るいは発光強度を一致させる。このことは、図７６、図７７などの実施例においても同然、実施することは言うまでもない。色ムラになるからである。
図７８のように、１Ｈごとに書き換える画素の色数（図７８の第１フィールドの１Ｈ番目は、Ｒ、Ｇ、Ｂの３色が書き換えられている）を複数にするのは、図７５において、ソースドライバ回路１４が各出力端子に任意（一定の規則性があってもよい）の色の映像信号を出力できるように構成し、スイッチ７５２が接点Ｒ、Ｇ、Ｂを任意（一定の規則性があってもよい）に接続できるように構成すればよい。
図７９の実施例の表示パネルでは、ＲＧＢの３原色に加えて、Ｗ（白）の画素１６Ｗを有している。画素１６Ｗを形成または配置することのより、色ピーク輝度を良好に実現できる。また、高輝度表示を実現できる。図７９の（ａ）は１画素行に、Ｒ、Ｇ、Ｂ、Ｗ画素１６を形成した実施例である。図７９の（ｂ）は、１画素行ごとに、ＲＧＢＷの画素１６を配置した構成である。
図７９の駆動方法においても、図７７、図７８などの駆動方式を実施できることは言うまでもない。また、Ｎ倍パルス駆動や、Ｍ画素行同時駆動などを実施できることは言うまでもない。これらの事項は、当業者であれば本明細書により容易に具現化できるので説明を省略する。
なお、本発明は説明を容易にするため、本発明の表示パネルはＲＧＢの３原色を有するとして説明しているが、これに限定するものではない。ＲＧＢに加えて、シアン、イエロー、マゼンダを加えても良いし、Ｒ、Ｇ、Ｂのいずれかの単色、Ｒ、Ｇ、Ｂのいずれかの２色を用いた表示パネルであってもよい。
また、以上のシーケンス駆動方式では、フィールドごとにＲＧＢを操作するとしてが、本発明はこれに限定されるものではないことは言うまでもない。また、図７５から図７９の実施例は、画素１６に画像データを書き込む方法について説明したものである。図１などのトランジスタ１１ｄを操作し、ＥＬ素子１５に電流を流して画像を表示する方式を説明したものではない（もちろん、関連している）。ＥＬ素子１５に流れる電流は、図１の画素構成では、トランジスタ１１ｄを制御することにより行う。
また、図７７、図７８などの駆動方法では、トランジスタ１１ｄ（図１の場合）を制御することにより、ＲＧＢ画像を順次表示することができる。たとえば、図８０の（ａ）は１フレーム（１フィールド）期間にＲ表示領域５３Ｒ、Ｇ表示領域５３Ｇ、Ｂ表示領域５３Ｂを画面の上から下方向（下方向から上方向でもよい）に走査する。ＲＧＢの表示領域以外の領域は非表示領域５２とする。つまり、間欠駆動を実施する。
図８０の（ｂ）は１フィールド（１フレーム）期間にＲＧＢ表示領域５３を複数発生するように実施した実施例である。この駆動方法は、図１６の駆動方法と類似である。したがって、説明を必要としないであろう。図８０の（ｂ）に表示領域５３を複数に分割することにより、フリッカの発生はより低フレームレートでもなくなる。
図８１の（ａ）は、ＲＧＢの表示領域５３で表示領域５３の面積を異ならせたものである（表示領域５３の面積は点灯期間に比例することは言うまでもない）。図８１の（ａ）では、Ｒ表示領域５３ＲとＧ表示領域５３Ｇと面積を同一にしている。Ｇ表示領域５３ＧよりＢ表示領域５３Ｂの面積を大きくしている。有機ＥＬ表示パネルでは、Ｂの発光効率が悪い場合が多い、図８１の（ａ）のようにＢ表示領域５３Ｂを他の色の表示領域５３よりも大きくすることにより、効率よくホワイトバランスをとることができるようになる。
図８１の（ｂ）は、１フィールド（フレーム）期間で、Ｂ表示期間５３Ｂが複数（５３Ｂ１、５３Ｂ２）となるようにした実施例である。図８１の（ａ）は１つのＢ表示領域５３Ｂを変化させる方法であった。変化させることによりホワイトバランスを良好に調整できるようにする。図８１の（ｂ）は、同一面積のＢ表示領域５３Ｂを複数表示させることにより、ホワイトバランスを良好にする。
本発明の駆動方式は図８１の（ａ）と図８１の（ｂ）のいずれに限定するものではない。Ｒ、Ｇ、Ｂの表示領域５３を発生し、また、間欠表示することにより、結果として動画ボケを対策し、画素１６への書き込み不足を改善することを目的としている。なお、図１６の駆動方法では、Ｒ、Ｇ、Ｂが独立の表示領域５３は発生しない。ＲＧＢが同時に表示さ

れる（W表示領域５３が表示されると表現すべきである）。なお、図８１の（ａ）と図８１の（ｂ）とは組み合わせてもよいことはいうまでもない。たとえば、図８１の（ａ）のＲＧＢの表示面積５３を変化し、かつ図８１の（ｂ）のＲＧＢの表示領域５３を複数発生させる駆動方法の実施である。

なお、図８０から図８１の駆動方式は、図７５から図７９の本発明の駆動方式に限定されるものではない。図４１のように、ＲＧＢごとにＥＬ素子１５（ＥＬ素子１５Ｒ、ＥＬ素子１５Ｇ、ＥＬ素子１５Ｂ）に流れる電流を制御できる構成あれば、図８０、図８１の駆動方式を容易に実施できることは言うでもないであろう。ゲート信号線１７ｂＲにオンオフ電圧を印加することにより、Ｒ画素１６Ｒをオンオフ制御することができる。ゲート信号線１７ｂＧにオンオフ電圧を印加することにより、Ｇ画素１６Ｇをオンオフ制御することができる。

ゲート信号線１７ｂＢにオンオフ電圧を印加することにより、Ｂ画素１６Ｂをオンオフ制御することができる。

また、以上の駆動を実現するためには、図８２に図示するように、ゲート信号線１７ｂＲを制御するゲートドライバ回路１２ｂＲ、ゲート信号線１７ｂＧを制御するゲートドライバ回路１２ｂＧ、ゲート信号線１７ｂＢを制御するゲートドライバ回路１２ｂＢを形成または配置すればよい。図８２のゲートドライバ１２ｂＲ、１２ｂＧ、１２ｂＢを図６などで説明した方法で駆動することにより、図８０、図８１の駆動方法を実現できる。もちろん、図８２の表示パネルの構成で、図１６の駆動方法なども実現できることは言うまでもない。

また、図７５から図７８の構成で、画像データを書き換える画素１６以外の画素１６に、黒画像データを書き換える方式であれば、ＥＬ素子１５Ｒを制御するゲート信号線１７ｂＲ、ＥＬ素子１５Ｇを制御するゲート信号線１７ｂＧ、ＥＬ素子１５Ｂを制御するゲート信号線ｂＢが分離されておらず、ＲＧＢ画素に共通のゲート信号線１７ｂであっても、図８０、図８１の駆動方式を実現できることは言うまでもない。

ＥＬ素子１５において、電子は陰極（カソード）より電子輸送層に注入されると同時に正孔も陽極（アノード）から正孔輸送層に注入される。注入された電子、正孔は印加電界により対極に移動する。その際、有機層中にトラップされたり、発光層界面でのエネルギー準位の差によりのようにキャリアが蓄積されたりする。

有機層中に空間電荷が蓄積されると分子が酸化もしくは還元され、生成されたラジカル陰イオン分子もしくはラジカル陽イオン分子が不安定であることで、膜質の低下により輝度の低下および定電流駆動時の駆動電圧の上昇を招くことが知られている。これを防ぐために、一例としてデバイス構造を変化させ、逆方向電圧を印加している。

逆バイアス電圧が印加されると、逆方向電流が印加されるため、注入された電子及び正孔がそれぞれ陰極及び陽極へ引き抜かれる。これにより、有機層中の空間電荷形成を解消し、分子の電気化学的劣化を抑えることで寿命を長くすることが可能となる。

図４５は、逆バイアス電圧ＶｍとＥＬ素子１５の端子電圧の変化を示している。この端子電圧とは、ＥＬ素子１５に定格電流を印加した時である。図４５はＥＬ素子１５に流す電流が電流密度１００Ａ／平方メーターの場合であるが、図４５の傾向は、電流密度５０～１００Ａ／平方メーターの場合とほとんど差がなかった。したがって、広い範囲の電流密度で適用できると推定される。

縦軸は初期のＥＬ素子１５の端子電圧に対して、２５００時間後の端子電圧との比である。たとえば、経過時間０時間において、電流密度１００Ａ／平方メーターの電流の印加した時の端子電圧が８（Ｖ）とし、経過時間２５００時間において、電流密度１００Ａ／平方メーターの電流の印加した時の端子電圧が１０（Ｖ）とすれば、端子電圧比は、１０／８＝１．２５である。

横軸は、逆バイアス電圧Ｖｍと１周期に逆バイアス電圧を印加した時間ｔ１の積に対する定格端子電圧Ｖ０の比である。たとえば、６０Ｈｚ（とくに６０Ｈｚに意味はないが）で、逆バイアス電圧Ｖｍを印加した時間が１／２（半分）であれば、ｔ１＝０．５である。

また、経過時間０時間において、電流密度１００Ａ／平方メーターの電流の印加した時の

端子電圧（定格端子電圧）が８（Ｖ）とし、逆バイアス電圧Ｖｍを８（Ｖ）とすれば、｜逆バイアス電圧×ｔ１｜／（定格端子電圧×ｔ２）＝｜－８（Ｖ）×０．５｜／（８（Ｖ）×０．５）＝１．０となる。

図４５によれば、｜逆バイアス電圧×ｔ１／（定格端子電圧×ｔ２）が１．０以上で端子電圧比の変化はなくなる（初期の定格端子電圧から変化しない）。逆バイアス電圧Ｖｍの印加による効果がよく発揮されている。しかし、｜逆バイアス電圧×ｔ１｜／（定格端子電圧×ｔ２）が１．７５以上で端子電圧比は増加する傾向にある。したがって、｜逆バイアス電圧×ｔ１｜／（定格端子電圧×ｔ２）は１．０以上にするように逆バイアス電圧Ｖｍの大きさおよび印加時間比ｔ１（もしくはｔ２、あるいはｔ１とｔ２との比率）を決定するとよい。また、好ましくは、｜逆バイアス電圧×ｔ１｜／（定格端子電圧×ｔ２）は１．７５以下になるように逆バイアス電圧Ｖｍの大きさおよび印加時間比ｔ１などを決定するとよい。

ただし、バイアス駆動を行う場合は、逆バイアスＶｍと定格電流とを交互に印加する必要がある。図４６のようにサンプルＡとＢとの単位時間あたりの平均輝度を等しくしようとすると、逆バイアス電圧を印加する場合は、印加しない場合に比較して瞬時的には高い電流を流す必要がある。そのため、逆バイアス電圧Ｖｍを印加する場合（図４６のサンプルＡ）のＥＬ素子１５の端子電圧も高くなる。

しかし、図４５では、逆バイアス電圧を印加する駆動方法でも、定格端子電圧Ｖ０とは、平均輝度を満足する端子電圧（つまり、ＥＬ素子１５を点灯する端子電圧）とする（本明細書の具体例によれば、電流密度２００Ａ／平方メーターの電流の印加した時の端子電圧である。ただし、１／２デューティであるので、１周期の平均輝度は電流密度２００Ａ／平方メーターでの輝度となる）。

以上の事項は、ＥＬ素子１５を、白ラスター表示（画面全体のＥＬ素子に最大電流を印加している場合）を想定している。しかし、ＥＬ表示装置の映像表示を行う場合は、自然画であり、階調表示を行う。したがって、たえず、ＥＬ素子１５の白ピーク電流（最大白表示で流れる電流。本明細書の具体例では、平均電流密度１００Ａ／平方メーターの電流）が流れているのではない。

一般的に、映像表示を行う場合は、各ＥＬ素子１５に印加される電流（流れる電流）は、白ピーク電流（定格端子電圧時に流れる電流。本明細書の具体例によれば、電流密度１００Ａ／平方メーターの電流）の約０．２倍である。

したがって、図４５の実施例では、映像表示を行う場合は横軸の値に０．２をかけるものとする必要がある。したがって、｜逆バイアス電圧×ｔ１｜／（定格端子電圧×ｔ２）は０．２以上にするように逆バイアス電圧Ｖｍの大きさおよび印加時間比ｔ１（もしくはｔ２、あるいはｔ１とｔ２との比率など）を決定するとよい。また、好ましくは、｜逆バイアス電圧×ｔ１｜／（定格端子電圧×ｔ２）は１．７５×０．２＝０．３５以下になるように逆バイアス電圧Ｖｍの大きさおよび印加時間比ｔ１などを決定するとよい。

つまり、図４５の横軸（｜逆バイアス電圧×ｔ１｜／（定格端子電圧×ｔ２））において、１．０の値を０．２とする必要がある。したがって、表示パネルに映像を表示する（この使用状態が通常であろう。白ラスターを常時表示することはないであろう）時は、｜逆バイアス電圧×ｔ１｜／（定格端子電圧×ｔ２）が０．２よりも大きくなるように、逆バイアス電圧Ｖｍを所定時間ｔ１印加するようにする。また、｜逆バイアス電圧×ｔ１｜／（定格端子電圧×ｔ２）の値が大きくなっても、図４５で図示するように、端子電圧比の増加は大きくない。したがって、上限値は白ラスター表示を実施することも考慮して、｜逆バイアス電圧×ｔ１｜／（定格端子電圧×ｔ２）の値が１．７５以下を満足するようにすればよい。

以下、図面を参照しながら、本発明の逆バイアス方式について説明をする。なお、本発明はＥＬ素子１５に電流が流れていない期間に逆バイアス電圧Ｖｍ（電流）を印加することを基本とする。しかし、これに限定するものではない。たとえば、ＥＬ素子１５に電流が流れている状態で、強制的に逆バイアス電圧Ｖｍを印加してもよい。なお、この場合は、結果としてＥＬ素子１５には電流が流れず、非点灯状態（黒表示状態）となるであろう。

また、本発明は、主として電流プログラムの画素構成で逆バイアス電圧Ｖｍを印加することを中心として説明するがこれに限定するものではない。
逆バイアス駆動の画素構成では、図４７に図示するように、トランジスタ１１ｇをＮチャンネルとする。もちろん、Ｐチャンネルでもよい。
図４７では、ゲート電位制御線４７３に印加する電圧を逆バイアス線４７１に印加している電圧よりも高くすることにより、トランジスタ１１ｇ（Ｎ）がオンし、ＥＬ素子１５のアノード電極に逆バイアス電圧Ｖｍが印加される。
また、図４７の画素構成などにおいて、ゲート電位制御線４７３を常時、電位固定して動作させてもよい。たとえば、図４７においてＶｋ電圧が０（Ｖ）とする時、ゲート電位制御線４７３の電位を０（Ｖ）以上（好ましくは２（Ｖ）以上）にする。なお、この電位をＶｓｇとする。この状態で、逆バイアス線４７１の電位を逆バイアス電圧Ｖｍ（０（Ｖ）以下、好ましくはＶｋより－５（Ｖ）以上小さい電圧）にすると、トランジスタ１１ｇ（Ｎ）がオンし、ＥＬ素子１５のアノードに、逆バイアス電圧Ｖｍが印加される。逆バイアス線４７１の電圧をゲート電位制御線４７３の電圧（つまり、トランジスタ１１ｇのゲート（Ｇ）端子電圧）よりも高くすると、トランジスタ１１ｇはオフ状態であるため、ＥＬ素子１５には逆バイアス電圧Ｖｍは印加されない。もちろん、この状態の時に、逆バイアス線４７１をハイインピーダンス状態（オープン状態など）としてもよいことは言うまでもない。
また、図４８に図示するように、逆バイアス線４７１を制御するゲートドライバ回路１２ｃを別途形成または配置してもよい。ゲートドライバ回路１２ｃは、ゲートドライバ回路１２ａと同様に順次シフト動作し、シフト動作に同期して、逆バイアス電圧を印加する位置がシフトされる。
以上の駆動方法では、トランジスタ１１ｇのゲート（Ｇ）端子は電位固定し、逆バイアス線４７１の電位を変化させるだけで、ＥＬ素子１５に逆バイアス電圧Ｖｍを印加することができる。したがって、逆バイアス電圧Ｖｍの印加制御が容易である。また、トランジスタ１１ｇのゲート（Ｇ）端子とソース（Ｓ）端子間に印加される電圧を低減できる。このことは、トランジスタ１１ｇがＰチャンネルの場合も同様である。
また、逆バイアス電圧Ｖｍの印加は、ＥＬ素子１５に電流を流していない時に行うものである。したがって、トランジスタ１１ｄがオンしていない時に、トランジスタ１１ｇをオンさせることにより行えばよい。つまり、トランジスタ１１ｄのオンオフロジックの逆をゲート電位制御線４７３に印加すればよい。たとえば、図４７では、ゲート信号線１７ｂにトランジスタ１１ｄおよびトランジスタ１１ｇのゲート（Ｇ）端子を接続すればよい。トランジスタ１１ｄはＰチャンネルであり、トランジスタ１１ｇはＮチャンネルであるため、オンオフ動作は反対となる。
図４９は逆バイアス駆動のタイミングチャートである。なお、チャート図において（１）（２）などの添え字は、画素行を示している。説明を容易にするため、（１）とは、第１画素行目と示し、（２）とは第２画素行目を示すとして説明をするが、これに限定するものではない。（１）がＮ画素行目を示し、（２）がＮ＋１画素行目を示すと考えても良い。以上のことは他の実施例でも、特例を除いて同様である。また、図４９などの実施例では、図１などの画素構成を例示して説明をするがこれに限定されるものではない。たとえば、図４１、図３８などの画素構成においても適用できるものである。
第１画素行目のゲート信号線１７ａ（１）にオン電圧（Ｖｇｌ）が印加されている時には、第１画素行目のゲート信号線１７ｂ（１）にはオフ電圧（Ｖｇｈ）が印加される。つまり、トランジスタ１１ｄはオフであり、ＥＬ素子１５には電流が流れていない。
逆バイアス線４７１（１）には、Ｖｓｌ電圧（トランジスタ１１ｇがオンする電圧）が印加される。したがって、トランジスタ１１ｇがオンし、ＥＬ素子１５には逆バイアス電圧が印加されている。逆バイアス電圧は、ゲート信号線１７ｂにオフ電圧（Ｖｇｈ）が印加された後、所定期間（１Ｈの１／２００以上の期間、または、０．５μｓｅｃ）後に、逆バイアス電圧が印加される。また、ゲート信号線１７ｂにオン電圧（Ｖｇｌ）が印加される所定期間（１Ｈの１／２００以上の期間、または、０．５μｓｅｃ）前に、逆バイアス

電圧がオフされる。これは、トランジスタ１１ｄとトランジスタ１１ｇが同時にオンとなることを回避するためである。
次の水平走査期間（１Ｈ）には、ゲート信号線１７ａにはオフ電圧（Ｖｇｈ）が印加され、第２画素行が選択される。つまり、ゲート信号線１７ｂ（２）にオン電圧が印加される。一方、ゲート信号線１７ｂにはオン電圧（Ｖｇｌ）が印加され、トランジスタ１１ｄがオンして、ＥＬ素子１５にトランジスタ１１ａから電流が流れＥＬ素子１５が発光する。また、逆バイアス線４７１（１）にはオフ電圧（Ｖｓｈ）が印加されて、第１画素行（１）のＥＬ素子１５には逆バイアス電圧が印加されないようになる。第２画素行の逆バイアス線４７１（２）にはＶｓｌ電圧（逆バイアス電圧）が印加される。
以上の動作を順次くりかえすことにより、１画面の画像が書き換えられる。以上の実施例では、各画素にプログラムされている期間に、逆バイアス電圧を印加するという構成であった。しかし、図４８の回路構成はこれに限定されるものではない。複数の画素行に連続して逆バイアス電圧を印加することもできることは明らかである。また、ブロック駆動（図４０参照）や、Ｎ倍パルス駆動、リセット駆動、ダミー画素駆動とも組み合わせることができることは明らかである。
また、逆バイアス電圧の印加は、画像表示の途中に実施することに限定するものではない。ＥＬ表示装置の電源オフ後、一定の期間の間、逆バイアス電圧が印加されるように構成してもよい。
以上の実施例は、図１の画素構成の場合であったが、他の構成においても、図３８、図４１などの逆バイアス電圧を印加する構成に適用できることは言うまでもない。たとえば、図５０は電流プログラム方式の画素構成である。
図５０は、カレントミラーの画素構成である。トランジスタ１１ｃは画素選択素子である。ゲート信号線１７ａ１にオン電圧を印加することにより、トランジスタ１１ｃがオンする。トランジスタ１１ｄはリセット機能と、駆動用トランジスタ１１ａのドレイン（Ｄ）－ゲート（Ｇ）端子間をショート（ＧＤショート）する機能を有するスイッチ素子である。トランジスタ１１ｄはゲート信号線１７ａ２にオン電圧を印加することによりオンする。
トランジスタ１１ｄは、該当画素が選択する１Ｈ（１水平走査期間、つまり１画素行）以上前にオンする。好ましくは３Ｈ前にはオンさせる。３Ｈ前とすれば、３Ｈ前にトランジスタ１１ｄがオンし、トランジスタ１１ａのゲート（Ｇ）端子とドレイン（Ｄ）端子がショートされる。そのため、トランジスタ１１ａはオフする。したがって、トランジスタ１１ｂには電流が流れなくなり、ＥＬ素子１５は非点灯となる。
ＥＬ素子１５が非点灯状態の時、トランジスタ１１ｇがオンし、ＥＬ素子１５に逆バイアス電圧が印加される。したがって、逆バイアス電圧は、トランジスタ１１ｄがオンされている期間、印加されることになる。そのため、ロジック的にはトランジスタ１１ｄとトランジスタ１１ｇとは同時にオンすることになる。
トランジスタ１１ｇのゲート（Ｇ）端子はＶｓｇ電圧が印加されて固定されている。逆バイアス線４７１をＶｓｇ電圧より十分に小さな逆バイアス電圧を逆バイアス線４７１に印加することによりトランジスタ１１ｇがオンする。
その後、前記該当画素に映像信号が印加（書き込まれる）される水平走査期間がくると、ゲート信号線１７ａ１にオン電圧が印加され、トランジスタ１１ｃがオンする。したがって、ソースドライバ回路１４からソース信号線１８に出力された映像信号電圧がコンデンサ１９に印加される（トランジスタ１１ｄはオン状態が維持されている）。
トランジスタ１１ｄをオンさせると黒表示となる。１フィールド（１フレーム）期間に占めるトランジスタ１１ｄのオン期間が長くなるほど、黒表示期間の割合が長くなる。したがって、黒表示期間が存在しても１フィールド（１フレーム）の平均輝度を所望値とするためには、表示期間の輝度を高くする必要がある。つまり、表示期間にＥＬ素子１５に流す電流と大きくする必要がある。この動作は、本発明のＮ倍パルス駆動である。したがって、Ｎ倍パルス駆動と、トランジスタ１１ｄをオンさせて黒表示とする駆動とを組み合わせることが本発明の１つの特徴ある動作である。また、ＥＬ素子１５が非点灯状態で、逆

バイアス電圧をＥＬ素子１５に印加することが本発明の特徴ある構成（方式）である。
以上の実施例では、画像表示時において、画素が非点灯時に逆バイアス電圧を印加する方式であったが、逆バイアス電圧を印加する構成はこれに限定するものではない。画像を非表示に逆バイアス電圧を印加するのであれば、逆バイアス用のトランジスタ１１ｇを各画素に形成する必要はない。非点灯時とは、表示パネルの使用を終了した後、あるいは使用前に逆バイアス電圧を印加する構成である。
例えば、図１の画素構成において、画素１６を選択し（トランジスタ１１ｂ、トランジスタ１１ｃをオンさせる）、ソースドライバＩＣ（回路）１４から、ソースドライバＩＣが出力できる低い電圧Ｖ０（例えば、ＧＮＤ電圧）を出力して駆動用トランジスタ１１ａのドレイン端子（Ｄ）に印加する。この状態でトランジスタ１１ｄもオンさせればＥＬのアノード端子にＶ０電圧が印加される。同時に、ＥＬ素子１５のカソードＶｋにＶ０電圧に対し、－５～－１５（Ｖ）低い電圧Ｖｍ電圧を印加すればＥＬ素子１５に逆バイアス電圧が印加される。また、Ｖｄｄ電圧もＶ０電圧より０～－５（Ｖ）低い電圧を印加することにより、トランジスタ１１ａもオフ状態となる。以上のようにソースドライバ回路１４から電圧を出力し、ゲート信号線１７を制御することにより、逆バイアス電圧をＥＬ素子１５に印加することができる。
Ｎ倍パルス駆動は、１フィールド（１フレーム）期間内において、１度、黒表示をしても再度、ＥＬ素子１５に所定の電流（プログラムされた電流（コンデンサ１９に保持されている電圧による））を流すことができる。しかし、図５０の構成では、一度、トランジスタ１１ｄがオンすると、コンデンサ１９の電荷は放電（減少を含む）されるため、ＥＬ素子１５に所定の電流（プログラムされた電流を流すことができない。しかし、回路動作が容易であるという特徴がある。
なお、以上の実施例は画素が電流プログラムの画素構成であったが、本発明はこれに限定するものではなく、図３８、図５０のような他の電流方式の画素構成にも適用することができる。また、図５１、図５４、図６２に図示するような電圧プログラムの画素構成でも適用することができる。
図５１は電圧プログラム方式の画素構成である。トランジスタ１１ｂが選択スイッチング素子であり、トランジスタ１１ａがＥＬ素子１５に電流を印加する駆動用トランジスタである。この構成で、ＥＬ素子１５のアノードに逆バイアス電圧印加用のトランジスタ（スイッチング素子）１１ｇを配置（形成）している。
図５１の画素構成では、ＥＬ素子１５に流す電流は、ソース信号線１８に印加され、トランジスタ１１ｂが選択されることにより、トランジスタ１１ａのゲート（Ｇ）端子に印加される。
まず、図５１の構成を説明するために、基本動作について図５２を用いて説明をする。図５１の画素構成は電圧オフセットキャンセラという構成であり、初期化動作、リセット動作、プログラム動作、発光動作の４段階で動作する。
水平同期信号（ＨＤ）後、初期化動作が実施される。ゲート信号線１７ｂにオン電圧が印加され、トランジスタ１１ｇがオンする。また、ゲート信号線１７ａにもオン電圧が印加され、トランジスタ１１ｃがオンする。この時、ソース信号線１８にはＶｄｄ電圧が印加される。したがって、コンデンサ１９ｂのａ端子にはＶｄｄ電圧が印加されることになる。この状態で、駆動用トランジスタ１１ａはオンし、ＥＬ素子１５に僅かな電流が流れる。この電流により駆動用トランジスタ１１ａのドレイン（Ｄ）端子は少なくともトランジスタ１１ａの動作点よりも大きな絶対値の電圧値となる。
次にリセット動作が実施される。ゲート信号線１７ｂにオフ電圧が印加され、トランジスタ１１ｅがオフする。一方、ゲート信号線１７ｃにＴ１の期間、オン電圧が印加され、トランジスタ１１ｂがオンする。このＴ１の期間がリセット期間である。また、ゲート信号線１７ａには１Ｈの期間、継続してオン電圧が印加される。なお、Ｔ１は１Ｈ期間の２０％以上９０％以下の期間とすることが好ましい。もしくは、２０μｓｅｃ以上１６０μｓｅｃ以下の時間とすることが好ましい。また、コンデンサ１９ｂ（Ｃｂ）とコンデンサ１９ａ（Ｃａ）の容量の比率は、Ｃｂ：Ｃａ＝６：１以上１：２以下とすることが好ましい

。
リセット期間では、トランジスタ１１ｂのオンにより、駆動用トランジスタ１１ａのゲート（Ｇ）端子とドレイン（Ｄ）端子間がショートされる。したがって、トランジスタ１１ａのゲート（Ｇ）端子電圧とドレイン（Ｄ）端子電圧が等しくなり、トランジスタ１１ａはオフセット状態（リセット状態：電流が流れない状態）となる。このリセット状態とはトランジスタ１１ａのゲート（Ｇ）端子が、電流を流し始める開始電圧近傍になる状態である。このリセット状態を維持するゲート電圧はコンデンサ１９ｂのｂ端子に保持される。したがって、コンデンサ１９には、オフセット電圧（リセット電圧）が保持されていることになる。
次のプログラム状態では、ゲート信号線１７ｃにオフ電圧が印加されトランジスタ１１ｂがオフする。一方、ソース信号線１８には、Ｔｄの期間、ＤＡＴＡ電圧が印加される。したがって、駆動用トランジスタ１１ａのゲート（Ｇ）端子には、ＤＡＴＡ電圧＋オフセット電圧（リセット電圧）が加えられたものが印加される。そのため、駆動用トランジスタ１１ａはプログラムされた電流を流せるようになる。
プログラム期間後、ゲート信号線１７ａにはオフ電圧が印加され、トランジスタ１１ｃはオフ状態となり、駆動用トランジスタ１１ａはソース信号線１８から切り離される。また、ゲート信号線１７ｃにもオフ電圧が印加され、トランジスタ１１ｂがオフし、このオフ状態は１Ｆの期間保持される。一方、ゲート信号線１７ｂには、必要に応じてオン電圧とオフ電圧とが周期的に印加される。つまり、図１３、図１５などのＮ倍パルス駆動などと組み合わせること、インターレース駆動と組み合わせることによりさらに良好な画像表示を実現できる。また、逆バイアス駆動と組み合わせることができる。以上のように本発明の駆動方式は、図１などの電流駆動方式の画素構成に限定されるものではなく、電圧プログラム方式の画素構成にも適用できる。
図５２の駆動方式では、リセット状態でコンデンサ１９には、トランジスタ１１ａの開始電流電圧（オフセット電圧、リセット電圧）が保持される。そのため、このリセット電圧がトランジスタ１１ａのゲート（Ｇ）端子に印加されている時が、最も暗い黒表示状態である。しかし、ソース信号線１８と画素１６とのカップリング、コンデンサ１９への突き抜け電圧あるいはトランジスタの突き抜けにより、黒浮き（コントラスト低下）が発生する。したがって、図５３で説明した駆動方法では、表示コントラストを高くすることができない。
逆バイアス電圧ＶｍをＥＬ素子１５に印加するためには、トランジスタ１１ａがオフさせる必要がある。トランジスタ１１ａをオフさせるためには、トランジスタ１１ａのＶｄｄ端子とゲート（Ｇ）端子間をショートすればよい。この構成については、後に図５３を用いて説明をする。
また、ソース信号線１８にＶｄｄ電圧またはトランジスタ１１ａをオフさせる電圧を印加し、トランジスタ１１ｂをオンさせてトランジスタ１１ａのゲート（Ｇ）端子に印加させてもよい。この電圧によりトランジスタ１１ａがオフする（もしくは、ほとんど、電流が流れないような状態にする（略オフ状態：トランジスタ１１ａが高インピーダンス状態））。その後、トランジスタ１１ｇをオンさせて、ＥＬ素子１５に逆バイアス電圧を印加する。この逆バイアス電圧Ｖｍの印加は、全画素同時に行ってもよい。つまり、ソース信号線１８にトランジスタ１１ａを略オフする電圧を印加し、すべての（複数の）画素行のトランジスタ１１ｂをオンさせる。したがって、トランジスタ１１ａがオフする。その後、トランジスタ１１ｇをオンさせて、逆バイアス電圧をＥＬ素子１５に印加する。その後、順次、各画素行に映像信号を印加し、表示装置に画像を表示する。
次に、図５１の画素構成におけるリセット駆動について説明をする。図５３はその実施例である。図５３に示すように画素１６ａのトランジスタ１１ｃのゲート（Ｇ）端子に接続されたゲート信号線１７ａは次段画素１６ｂのリセット用トランジスタ１１ｂのゲート（Ｇ）端子にも接続されている。同様に、画素１６ｂのトランジスタ１１ｃのゲート（Ｇ）端子に接続されたゲート信号線１７ａは次段画素１６ｃのリセット用トランジスタ１１ｂのゲート（Ｇ）端子に接続されている。

したがって、画素１６ａのトランジスタ１１ｃのゲート（Ｇ）端子に接続されたゲート信号線１７ａにオン電圧を印加すると、画素１６ａが電圧プログラム状態となるとともに、次段画素１６ｂのリセット用トランジスタ１１ｂがオンし、画素１６ｂの駆動用トランジスタ１１ａがリセット状態となる。同様に、画素１６ｂのトランジスタ１１ｃのゲート（Ｇ）端子に接続されたゲート信号線１７ａにオン電圧を印加すると、画素１６ｂが電流プログラム状態となるとともに、次段画素１６ｃのリセット用トランジスタ１１ｂがオンし、画素１６ｃの駆動用トランジスタ１１ａがリセット状態となる。したがって、容易に前段ゲート制御方式によるリセット駆動を実現できる。また、各画素あたりのゲート信号線の引き出し本数を減少させることができる。

さらに詳しく説明する。図５３の（ａ）のようにゲート信号線１７に電圧が印加されているとする。つまり、画素１６ａのゲート信号線１７ａにオン電圧が印加され、他の画素１６のゲート信号線１７ａにオフ電圧が印加されているとする。また、ゲート信号線１７ｂは画素１６ａ、１６ｂにはオフ電圧が印加され、画素１６ｃ、１６ｄにはオン電圧が印加されているとする。

この状態では、画素１６ａは電圧プログラム状態で非点灯、画素１６ｂはリセット状態で非点灯、画素１６ｃはプログラム電流の保持状態で点灯、画素１６ｄはプログラム電流の保持状態で点灯状態である。

１Ｈ後、制御用ゲートドライバ回路１２のシフトレジスタ回路６１内のデータが１ビットシフトし、図５３の（ｂ）の状態となる。図５３の（ｂ）の状態は、画素１６ａはプログラム電流保持状態で点灯、画素１６ｂは電流プログラム状態で非点灯、画素１６ｃはリセット状態で非点灯、画素１６ｄはプログラム保持状態で点灯状態である。

以上のことから、各画素は前段に印加されたゲート信号線１７ａの電圧により、次段の画素の駆動用トランジスタ１１ａがリセットされ、次の水平走査期間に電圧プログラムが順次行われることがわかる。

図４３に図示する電圧プログラムの画素構成でも前段ゲート制御を実現できる。図５４は図４３の画素構成を前段ゲート制御方式の接続とした実施例である。

図５４に示すように画素１６ａのトランジスタ１１ｂのゲート（Ｇ）端子に接続されたゲート信号線１７ａは次段画素１６ｂのリセット用トランジスタ１１ｅのゲート（Ｇ）端子に接続されている。同様に、画素１６ｂのトランジスタ１１ｂのゲート（Ｇ）端子に接続されたゲート信号線１７ａは次段画素１６ｃのリセット用トランジスタ１１ｅのゲート（Ｇ）端子に接続されている。

したがって、画素１６ａのトランジスタ１１ｂのゲート（Ｇ）端子に接続されたゲート信号線１７ａにオン電圧を印加すると、画素１６ａが電圧プログラム状態となるとともに、次段画素１６ｂのリセット用トランジスタ１１ｅがオンし、画素１６ｂの駆動用トランジスタ１１ａがリセット状態となる。同様に、画素１６ｂのトランジスタ１１ｂのゲート（Ｇ）端子に接続されたゲート信号線１７ａにオン電圧を印加すると、画素１６ｂが電流プログラム状態となるとともに、次段画素１６ｃのリセット用トランジスタ１１ｅがオンし、画素１６ｃの駆動用トランジスタ１１ａがリセット状態となる。したがって、容易に前段ゲート制御方式によるリセット駆動を実現できる。

さらに詳しく説明する。図５５の（ａ）のようにゲート信号線１７に電圧が印加されているとする。つまり、画素１６ａのゲート信号線１７ａにオン電圧が印加され、他の画素１６のゲート信号線１７ａにオフ電圧が印加されているとする。また、すべての逆バイアス用トランジスタ１１ｇはオフ状態であるとする。

この状態では、画素１６ａは電圧プログラム状態、画素１６ｂはリセット状態、画素１６ｃはプログラム電流の保持状態、画素１６ｄはプログラム電流の保持状態である。

１Ｈ後、制御用ゲートドライバ回路１２のシフトレジスタ回路６１内のデータが１ビットシフトし、図５５の（ｂ）の状態となる。図５５の（ｂ）の状態は、画素１６ａはプログラム電流保持状態、画素１６ｂは電流プログラム状態、画素１６ｃはリセット状態、画素１６ｄはプログラム保持状態である。

以上のことから、各画素は前段に印加されたゲート信号線１７ａの電圧により、次段の画

素の駆動用トランジスタ１１ａがリセットされ、次の水平走査期間に電圧プログラムが順次行われることがわかる。
電流駆動方式では、完全黒表示では、画素の駆動用トランジスタ１１にプログラムされる電流は０である。つまり、ソースドライバ回路１４からは電流が流れない。電流が流れなければ、ソース信号線１８に発生した寄生容量を充放電することができず、ソース信号線１８の電位を変化させることができない。したがって、駆動用トランジスタのゲート電位も変化しないことになり、１フレーム（フフィールド）（１Ｆ）前の電位がコンデンサ１９に蓄積されたままとなる。たとえば、１フレーム前が白表示で、次のフレームが完全黒表示であっても白表示が維持されることになる。この課題を解決するため、本発明では、１水平走査期間（１Ｈ）の最初に黒レベルの電圧をソース信号線１８に書き込んでから、ソース信号線１８にプログラムする電流を出力する。たとえが、映像データが黒レベルに近い０階調目～７階調目の場合、１水平期間のはじめの一定期間だけ黒レベルに相当する電圧が書き込まれて、電流駆動の負担が減り、書き込み不足を補うことが可能となる。なお、完全黒表示を０階調目とし、完全白表示を６３階調目とする（６４階調表示の場合）。
なお、プリチャージを行う階調は、黒表示領域に限定すべきである。つまり、書き込み画像データを判定し、黒領域階調（低輝度、つまり、電流駆動方式では、書き込み電流が小さい（微小））を選択しプリチャージする（選択プリチャージ）。全階調データに対し、プリチャージすると、今度は、白表示領域で、輝度の低下（目標輝度に到達しない）が発生する。また、画像に縦筋が表示される。
好ましくは、階調データの階調０から１／８の領域の階調で、選択プリチャージを行う（たとえば、６４階調の時は、０階調目から７階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）。さらに、好ましくは、階調データの階調０から１／１６の領域の階調で、選択プリチャージを行う（たとえば、６４階調の時は、０階調目から３階調目までの画像データと時、プリチャージを行ってから、画像データを書き込む）。
特に黒表示で、コントラストを高くするためには、階調０のみを検出してプリチャージする方式も有効である。極めて黒表示が良好になる。問題は、画面全体が階調１、２の場合に画面が黒浮きして見えることである。したがって、階調データの階調０から１／８の領域の階調と、一定の範囲で選択プリチャージを行う。
なお、プリチャージの電圧、階調範囲は、Ｒ、Ｇ、Ｂで異ならせることも有効である。ＥＬ表示素子１５は、Ｒ、Ｇ、Ｂで発光開始電圧、発光輝度が異なっているからである。たとえば、Ｒは、階調データの階調０から１／８の領域の階調で、選択プリチャージを行う（たとえば、６４階調の時は、０階調目から７階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）。他の色（Ｇ、Ｂ）は、階調データの階調０から１／１６の領域の階調で、選択プリチャージを行う（たとえば、６４階調の時は、０階調目から３階調目までの画像データと時、プリチャージを行ってから、画像データを書き込む）などの制御を行う。また、プリチャージ電圧も、Ｒは７（Ｖ）であれば、他の色（Ｇ、Ｂ）は、７．５（Ｖ）の電圧をソース信号線１８に書き込むようにする。最適なプリチャージ電圧は、ＥＬ表示パネルの製造ロットで異なることが多い。したがって、プリチャージ電圧は、外部ボリウムなどで調整できるように構成しておくことが好ましい。この調整回路も電子ボリウム回路を用いることにより容易に実現できる。
画素１６には電荷保持用のコンデンサ１９が形成されている。このコンデンサ１９に保持された電荷が１フィールド（１フレーム）期間に１０％以上放電すると、黒表示状態を維持できなくなる。画像表示状態は、トランジスタ１１のオフ特性が悪い画素が輝点（オフリーク輝点と呼ぶ）となる。したがって、特に図１などのトランジスタ１１ｂのオフ特性は良好にする必要がある。
本発明はこの課題を解決するために、ゲート信号線１７ｂを操作し、オン状態のトランジスタ１１ｄを短期間オフさせる。この駆動方法により、保持用のトランジスタ１１ｂのオフ特性が悪くともオフリーク輝点の発生を抑制できる。また、保持用のトランジスタ１１

ｂのオフ期間を変化させることのよりオフリーク輝点の抑制効果を調整することができる。

図１１５の（ａ）に図示するように、オフリーク輝点はコンデンサ１９に保持された電荷が、トランジスタ１１ｂを介してリークすることにより発生すると考えられる。トランジスタ１１ｄがオン状態のとき、基本的には、Ａ点の電位は低くなるからである。したがって、トランジスタ１１ｄのオン状態が長時間継続すると、コンデンサ１９の電荷はどんどんと放電され、オフリーク輝点が発生する。図１６のように表示領域５３と非表示領域５２が短期間で繰り返されるとき、図１３のように非表示領域５２の割合が高いときは、オフリーク輝点は発生しない。しかし、図５のように表示領域５３が長時間継続するとオフリーク輝点が発生してしまう。

また、本発明の表示パネルの駆動方法は、画像データの内容によって、図５の状態、図１３の状態、図１６の状態を切り替えて画像表示する。したがって、画像表示の内容によっては、図５の表示状態が継続する場合がありえる。この図５の状態が発生した場合に以下に説明する駆動方法を実施すると効果がある。つまり、以下に説明する実施例は、常時行う必要はない。トランジスタ１１ｄのオン状態が一定期間、継続する場合に実施すればよい。

トランジスタ１１ｄがオフすると、Ａ点の電位が少なくとも一度、高くなる。そのため、図１１５の（ｂ）に図示するように、Ａ点からＢ点に向かって電流が流れ、コンデンサ１９が再充電される。したがって、オフリーク輝点は発生しない。つまり、トランジスタ１１ｄをオンオフさせることにより、コンデンサ１９の電荷が充電される。

なお、以上の説明は、現象に対して理論的に推定される考察である。したがって、理解が間違っている可能性はある。しかし、実際のパネルにおいて、本発明の駆動方法を実施することのよりオフリーク輝点の抑制に効果があることは事実である。

図１（図１１５）の画素構成は、駆動用トランジスタ１１ａとスイッチトランジスタ１１ｄがＰチャンネルトランジスタである。したがって、トランジスタ１１ｄがオン状態のとき、トランジスタ１１ｂがリークする。一方、トランジスタ１１ｄがオフするとＡ点の電位が高くなり、電荷のリークを抑制し、または、再充電される。したがって、トランジスタ１１ｄがＮチャンネルの時は、トランジスタ１１ｄがオフ状態で、コンデンサ１９の電荷がリークし、トランジスタ１１ｄがオン状態で再充電される。なお、駆動用トランジスタがＮチャンネルの場合は、オフリーク輝点とならず、白表示でさらに輝度が高くなるという現象になる。この場合も、本発明の実施により対策できることは言うまでもない。

ここで説明を容易にするため、ｄｕｔｙという概念を導入する。ＳＴＮ液晶表示パネルでｄｕｔｙという言葉があるが、本発明ではこのｄｕｔｙと異なる。本発明のｄｕｔｙ１／１とは、たえず、１フィールド（１フレーム）の期間、ＥＬ素子１５に電流が流れている駆動状態を意味する。つまり、表示画面５０で非表示領域５２が０％の状態をいう。ただし、実際の駆動状態では、電流（電圧）プログラムを行っている画素行は、非表示状態にされるから、厳密には図１の構成では、ｄｕｔｙ１／１の状態は発生しない。ただし、画素行数は表示パネルにおいて２００画素行以上形成されるため、非表示領域が１画素行程度は誤差の範疇である。一方、ｄｕｔｙ０／１とは、１フィールド（１フレーム）の期間、全くＥＬ素子１５に電流が流れない状態をいう。つまり、表示画面５０で非表示領域５２が１００％の状態をいう。ＥＬ表示パネルの画素行が２２０本形成されている場合について説明をする。

ｄｕｔｙに関し、例をあげれば、ｄｕｔｙ２２０／２２０は約分してｄｕｔｙ１／１とする。ｄｕｔｙ５５／２２０＝１／４であるから、ｄｕｔｙ１／４と呼ぶ。ｄｕｔｙ１／４は３／４の領域が非表示領域５２である。したがって、Ｎ倍パルス駆動では、Ｎ＝４とすることにより、目標（所定）の表示輝度を得ることができる。ｄｕｔｙ１１０／２２０＝１／２であるから、ｄｕｔｙ１／２と呼ぶ。ｄｕｔｙ１／２は、５０％が非表示領域５２である。したがって、Ｎ倍パルス駆動ではＮ＝２とすることにより、所定の表示輝度を得ることができる。

本発明の表示パネルでは、電流プログラムを行う画素行を選択するゲート信号線１７ａ（

図１の場合）であるとして説明をする。また、ゲート信号線１７ａを制御するゲートドライバ回路１２ａの出力をＷＲ側選択信号線と呼ぶ。ＥＬ素子１５を選択するゲート信号線１７ｂ（図１の場合）であるとして説明をする。また、ゲート信号線１７ｂを制御するゲートドライバ回路１２ｂの出力をゲート信号線１７Ｂ（ＥＬ側選択信号線）と呼ぶ。
ゲートドライバ回路１２は、スタートパルスが入力され、入力されたスタートパルスが保持データとして順次シフトレジスタ内をシフトする。ゲートドライバ回路１２ａのシフトレジスタ内の保持データにより、ＷＲ側選択信号線に出力される電圧がオン電圧（Ｖｇｌ）かオフ電圧（Ｖｇｈ）かが決定される。さらに、ゲートドライバ回路１２ａの出力段には、強制的に出力をオフにするＯＥＶ１回路（図示せず）が形成または配置されている。
ＯＥＶ１回路がＬレベルの時には、ゲートドライバ回路１２ａの出力であるＷＲ側選択信号をそのままゲート信号線１７ａに出力する。以上の関係をロジック的に図示すれば、図１１６の（ａ）の関係となる。なお、オン電圧をロジックレベルのＬ（０）とし、オフ電圧をロジック電圧のＨ（１）としている。
つまり、ゲートドライバ回路１２ａがオフ電圧を出力している場合は、ゲート信号線１７ａにオフ電圧が印加される。ゲートドライバ回路１２ａがオン電圧（ロジックではＬレベル）を出力している場合は、ＯＲ回路でＯＥＶ１回路の出力とＯＲが取られてゲート信号線１７ａに出力される。つまり、ＯＥＶ１回路は、Ｈレベルの時、ゲートドライバ信号線１７ａに出力する電圧をオフ電圧（Ｖｇｈ）にする。
ゲートドライバ回路１２ｂのシフトレジスタ内の保持データにより、ゲート信号線１７Ｂ（ＥＬ側選択信号線）に出力される電圧がオン電圧（Ｖｇｌ）かオフ電圧（Ｖｇｈ）かが決定される。さらに、ゲートドライバ回路１２ｂの出力段には、強制的に出力をオフにするＯＥＶ２回路（図示せず）が形成または配置されている。ＯＥＶ２回路がＬレベルの時には、ゲートドライバ回路１２ｂの出力をそのままゲート信号線１７ｂに出力する。以上の関係をロジック的に図示すれば、図１１６の（ａ）の関係となる。なお、オン電圧をロジックレベルのＬ（０）とし、オフ電圧をロジック電圧のＨ（１）としている。
つまり、ゲートドライバ回路１２ｂがオフ電圧を出力している場合（ＥＬ側選択信号はオフ電圧）は、ゲート信号線１７ｂにオフ電圧が印加される。ゲートドライバ回路１２ｂがオン電圧（ロジックではＬレベル）を出力している場合は、ＯＲ回路でＯＥＶ２回路の出力とＯＲが取られてゲート信号線１７ｂに出力される。つまり、ＯＥＶ２回路は、入力信号がＨレベルの時、ゲートドライバ信号線１７ｂに出力する電圧をオフ電圧（Ｖｇｈ）にする。したがって、ＯＥＶ２回路のよりＥＬ側選択信号がオン電圧出力状態であっても、強制的にゲート信号線１７ｂに出力される信号はオフ電圧（Ｖｇｈ）になる。なお、ＯＥＶ２回路の入力がＬであれば、ＥＬ側選択信号がスルーでゲート信号線１７ｂに出力される。
以下の実施例では、ＯＥＶ２回路を操作することにより、図１１５の状態を実施し、オフリーク輝点対策を行う。つまり、ゲート信号線１７Ｂ（ＥＬ側選択信号線）の出力において、オン電圧が継続する場合であっても、周期的にＯＥＶ２回路にＨレベルロジックを入力し、トランジスタ１１ｄをオフさせる。この強制的なトランジスタ１１ｄのオフ動作によりオフリーク輝点の発生を解決できる。
図１１６は本発明の駆動方法の実施例である。ＯＥＶ１回路はＬレベルであるから、ゲートドライバ回路１２ａの出力に基づいて、１画素行ずつ画素行が選択され、電流（電圧）プログラムが実施される。したがって、画素行を選択する信号は画素側選択信号と同一である。ゲートドライバ回路１２ｂ（ＥＬ側選択信号線）の方は、図１１６に図示するように、ＯＥＶ２回路を操作し、１水平走査期間（１Ｈ）ごとにＯＥＶ２回路にＨロジックを印加し、ゲート信号線１７Ｂ（ＥＬ側選択信号線）に強制的にオフ電圧を印加する。したがって、ゲートドライバ回路１２ｂが出力する信号が常時オン電圧（Ｖｇｌ）であっても、ＯＥＶ２回路の信号のより、１Ｈごとに一定の期間オフ電圧がゲート信号線１７ｂに出力される。ＯＥＶ２回路によるオフ電圧の印加によりコンデンサ１９の放電が抑制され（図１１５を参照のこと）、オフリーク輝点を抑制できる。
図１１６はＯＥＶ１によるゲート信号線１７ａに出力される電圧変化と、ＯＥＶ２による

ゲート信号線１７ｂに出力される電圧変化とを図示している。ゲート信号線１７ａはＯＥＶ１が常時Ｌレベルであるので、ＷＲ側選択信号線の波形がそのままゲート信号線１７ａの印加波形となる。ゲート信号線１７ｂはＯＥＶ２がＨレベルとＬレベルを変化するので、ゲート信号線１７Ｂ（ＥＬ側選択信号線）の出力とＯＥＶ２回路の出力とがＯＲされてゲート信号線１７ｂの印加波形となる。したがって、図１１６では、ＯＥＶ２回路にＨ電圧印加された部分（Ａで示す）と、ＥＬ選択信号線のオフ部分（Ｂで示す）が加えた期間（Ａ＋Ｂ）の間、ゲート信号線１７ｂには、オフ電圧が印加される。また、ＯＥＶ２回路にＨ電圧印加された期間もゲート信号線１７ｂにオフ電圧が印加される。

なお、ＯＥＶ２回路の操作により、ＥＬ素子１５が点灯する期間を制御することができる。したがって、ＯＥＶ２回路の制御により表示パネルの画面５０の輝度を変更できる。つまり、ＯＥＶ２回路により、オフリーク輝点を抑制できるとともに、画面輝度を制御できる効果がある。

図１１７は、従来の駆動方法ではｄｕｔｙ１／１駆動が該当する（ゲート信号線１７Ｂ（ＥＬ側選択信号線）はたえず、オン電圧が印加されている状態である。ただし、図１の画素構成では、ＷＲ側選択信号線にオン電圧が印加されている時は、ゲート信号線１７Ｂ（ＥＬ側選択信号線）にもオフ電圧を印加する必要がある。そのため、ゲート信号線１７ａにオン電圧が印加されている時は、ゲート信号線１７ｂにはオフ電圧が印加される。

ｄｕｔｙ１／１駆動状態では、オフリーク輝点が発生する。トランジスタ１１ｂのチャンネル間（ＳＤ間）電圧が大きく、トランジスタ１１ｂがリークするからである。図１１７の図示するように、ＯＥＶ２を１Ｈに所定期間の間Ｈレベルにすることにより、ゲート信号線１７ｂに印加される電圧はオフ電圧印加状態となる。そのため、トランジスタ１１ｄがオンオフし、図１１５の状態が発生する。トランジスタ１１ｄがオフするとトランジスタ１１ｂのチャンネル間（ＳＤ間）電圧が小さくなる。また、図１１５の（ｂ）の状態となる。したがって、トランジスタ１１ｂのリークが減少し、オフリーク輝点の発生はなくなるか、もしくは大幅に改善する。

なお、図１１７は、１ＨごとにＯＥＶ２回路を操作するとしたが、これに限定するものではない。たとえば、図１１８に図示するように、２Ｈ以上ごとにオンオフさせてもよいことは言うまでもない。もちろん、３Ｈ以上に、１回かつ所定期間の間、ＯＥＶ２回路を制御してトランジスタ１１ｄをオンオフ動作させてもよい。２画素行に対応するゲート信号線１７ｂにオン電圧を印加にし、２画素行ずつ選択する場合（図２４などを参照のこと）も同様に、本発明の駆動方法を適用することができることはいうまでもない。

図１１９はゲート信号線１７ｂに印加される電圧がオン電圧またはオフ電圧が周期的に印加される場合である。ゲート信号線１７ｂに印加される電圧はオン電圧印加状態が継続せずに、オフ電圧とオン電圧が周期的に印加される。オン電圧とオフ電圧とをゲート信号線１７ｂに印加する場合であっても、一定の期間以上、オン電圧印加状態が継続すると、オフリーク輝点が発生する場合がある。この場合もＯＥＶ２回路の操作により、所定期間ごとにゲート信号線１７ｂにオフ電圧が印加するように制御する。この制御により、トランジスタ１１ｄは周期的にオフ状態になる。そのため、トランジスタ１１ｂのリークが減少し、オフリーク輝点の発生はなくなるか、もしくは大幅に改善する

図１１７、図１１８などは、１Ｈの始まり期間あるいは１Ｈの終わり期間にＯＥＶ２をＨレベルにしてゲート信号線１７ｂに周期的にオフ電圧を印加するとした。しかし、本発明はこれに限定するものではない。たとえば、図１２０に図示するように、１Ｈの中央部でゲート信号線１７ｂにオフ電圧を印加するように制御してもよい。

以上のようにゲート信号線１７ｂにオフ電圧を印加することにより、オフリーク輝点を抑制することができる。しかし、ゲート信号線１７ｂに印加するオフ電圧時間が短すぎると、オフリーク輝点を抑制する効果はない。図１２１は、ゲート信号線１７ｂにオフ電圧を印加する時間とオン電圧を印加する時間が、オフリーク輝点の抑制にどのような状態で効果あるかを説明したものである。

黒表示でオフリーク輝点が発生する。オフリーク輝点が発生すると、黒照度（表示パネルの表示画面を照度計で測定した照度）が上昇する（黒浮き）。図１２１の（ａ）は、ある

ゲート信号線１７ｂに印加される電圧波形である。オフ電圧に印加時間をＣとし、印加されるオフ電圧の周期をＣとする。なお、周期Ｃは、１Ｈ期間を想定しているがこれに限定されるものではない。

図１２１において、Ｃ／Ｓが０．０２以下では黒照度が高い（オフリーク輝点が多発している）が、Ｃ／Ｓが０．０２に近づくにつれ黒照度が０になる（オフリーク輝点が発生していない）。１Ｈ＝Ｓ＝１００μｓｅｃとすると、Ｃ／Ｓ＝０．０２は２μｓｅｃである。しがたって、１Ｈ＝１００μｓｅｃでは、ｄｕｔｙ１／１であっても、約２％の期間、ゲート信号線１７ｂにオフ電圧を印加することにより、オフリーク輝点の発生を完全に対策することできる。

図１２２において、ゲート信号線１７ｂ（Ａ）は、本発明の駆動方法を実施していない場合の信号波形である。ゲート信号線１７ｂ（Ｂ）はＯＥＶ２回路の操作により、オンオフ動作させた本発明の駆動方法による信号波形である。

以上の実施例では、ＯＥＶ２回路の制御はｄｕｔｙによらず、１フィールド（１フレーム）期間全般に操作するとしている。しかし、本発明はこれに限定するものではない。画像データにより、ｄｕｔｙが１／１の時にのみ、ＯＥＶ２回路制御を実施してもよい。また、ｄｕｔｙ１／１などの状態が一定期間の間、継続する場合にＯＥＶ２回路制御を実施してもよい。

検討結果によれば、ＯＥＶ２回路の操作は、ｄｕｔｙは１／１以下１／２以上の場合に行うことが好ましく、さらに好ましくは、ｄｕｔｙは１／１以下３／４以上の場合に行うことが好ましい。また、ｄｕｔｙは１／１以下１／２以上が１０フレーム（フィールド）の期間継続する場合に、ＯＥＶ２回路制御を実施することが好ましい。

また、ＯＥＶ２の操作により、画面輝度を調整することができる。ＯＥＶ２をＨレベルにする期間を長くすると、画面輝度が低下する。ＯＥＶ２をＨレベルにする期間を短くすれば、画面輝度が高くなる。このようにＯＥＶ２の操作により画面輝度を調整（変更）する駆動方法も本発明の駆動方法の大きな特徴である。

なお、以上の実施例では、ゲート信号線１７ｂにオフ電圧を印加することにより、オフリーク輝点の発生を抑制するとした。しかし、これは、画素構成が図１のようにＰチャンネルトランジスタで構成されている場合である。画素がＮチャンネルトランジスタで構成されている場合は、ゲート信号線１７ｂにオン電圧を印加する。以上のように、本発明は、ゲート信号線１７ｂにオンオフ電圧を印加することによりオフリーク輝点を抑制するものではなく、図１１５に図示するように、コンデンサ１９の印加電圧（Ｂ点）よりもＡ点の印加電圧が高くなる期間を設けることにより、オフリーク輝点を抑制するものである。また、保持用のトランジスタ１１ｂのチャンネル間電圧（ＳＤ電圧）が小さくなる期間を設けることにより、オフリークを軽減するものである。

図１１６から図１２２は、ＯＥＶ２の操作し、周期的にゲート信号線１７ｂにオフ電圧を印加することにより、オフリーク輝点の発生を抑制するものであった。しかし、本発明の駆動方法はこれに限定するものではない。ＯＥＶ２回路を操作することなく、ゲートドライバ回路１２ｂの動作により、ゲート信号線１７ｂに所定周期でオフ電圧を印加してもよい。図１２３はその実施例である。

図１２３では、所定周期で１画素行の非表示領域５２を発生させ、前記非表示領域５２を走査している。非表示領域５２を発生させることは、図１の画素構成において、ゲート信号線１７もちろん、非表示領域５２が１画素行に限定されるものではなく、複数画素行であってもよい。

図１２３では、非表示領域５２は、図１２３の（ａ）→図１２３の（ｂ）→図１２３の（ｃ）と移動する。１フィールド（１フレーム）での、非表示領域５２の繰り返し回数は、図１２４に図示するように、４回以上とすることが好ましい。

なお、図１２３、図１２４の実施例において、ゲート信号線１７ｂに印加するオフ電圧印加期間は、１Ｈに限定されるものではない。たとえば、図１２５のＥ期間と図示するように、１Ｈ以下の期間であってもよい。

以上の実施例は、ＯＥＶ２回路の操作などにより、ゲート信号線１７ｂ（図１ではゲート

信号線１７ｂ）に少なくとも所定周期期間オン電圧印加状態が継続するときに、所定期間の間オフ電圧を印加してオフリーク輝点の発生を防止するものであった。
画素１６の設計でオフリーク輝点の発生を対策する場合には、トランジスタ１１ｂのオフ特性を良好にすればよい。たとえば、図１５０に図示するように、トランジスタ１１ｂを複数のトランジスタを直列に配置することにより対応する。検討結果によれば、トランジスタ１１ｂは、３個以上のトランジスタを直列に形成あるいは配置することが好ましい。さらに好ましくは、図１５０に図示するように５個以上のトランジスタを直列に形成または配置することが好ましい。
なお、図１１５から図１２６の実施例は、図１の画素構成を例示して説明したがこれに限定するものではない。図１１５などで説明する駆動方法は、コンデンサ１９が保持する電荷のリークを防止することになる。したがって、図１のようにコンデンサ１９と保持用のトランジスタ１１ｂを有する画素構成であえば適用できる。
たとえば、図３８の画素構成であっても、コンデンサ１９と保持用のトランジスタ１１ｄを有している。したがって、図３８の画素構成にあっても、トランジスタ１１ｅを制御することにより本発明の駆動方法による効果を得ることができる。同様に、図４３の画素構成でも、コンデンサ１９と保持用のトランジスタ１１ｅを有している。したがって、トランジスタ１１ｄを操作することにより、本発明の効果を得ることができる。
図５１の画素構成でも、コンデンサ１９ａと保持用のトランジスタ１１ｂを有している。したがって、トランジスタ１１ｅを操作することにより、本発明の効果を得ることができる。図５０などについても同様である。さらには、図６３の画素構成でも同様である。図６３の画素構成でも、コンデンサ１９と保持用のトランジスタ１１ｂを有している。したがって、スイッチ６３１を切り替え、ＥＬ素子１５を解して、トランジスタ素子１１ｂに影響を与えることにより、結果として保持効果を高めることができる。したがって、本発明の効果を得ることができる。
図１、図３８などの画素構成では、ゲート信号線１２ａの振幅により、コンデンサ１９の電荷が変化し、所定の階調を実現できないという課題がある。理解を容易にするため、図１の画素構成を例示して説明をする。図１３８は図１の画素構成で従来の電流プログラム方式を実施した場合の画素１６の電位の変化を図示している。
図１３８において、ゲート信号線１７ａ（１）は画素（１）のゲート信号線１７ａの電圧波形を示している。ゲート信号線１７ａ（２）は画素（１）の次の画素（２）のゲート信号線１７ａの電圧波形を示している。ゲート信号線１７ａ（３）は画素（２）の次の画素（３）のゲート信号線１７ａの電圧波形を示している。ソース信号線１８の欄はソース信号線に印加されている電圧（電流）波形を示している。画素電位は、画素（２）のコンデンサ電位（駆動トランジスタ１１ａのゲート端子Ｇの電圧波形を図示しいている。ゲート信号線１７ａは（１）→（２）→（３）→（４）→（５）→・・・・・（１）→（２）→・・・・・と順次走査される。
図１の画素構成（図１の画素構成に特定されるものではない）では、トランジスタ１１ｂのゲートＧ－ソースＳ端子間に寄生容量１３８１が発生する。ゲート信号線１７ａがＶｇｈ（オフ電圧）からＶｇｌ（オン電圧）に変化、あるいはゲート信号線１７ａがＶｇｌからＶｇｈに変化すると、この電圧変化は寄生容量１３８１を介して駆動トランジスタ１１ａのゲートＧ端子（コンデンサ１９端子）に伝達される。駆動トランジスタ１１ａのゲート端子の電位変化は、駆動トランジスタ１１ａにプログラムされた電流値（電圧値）を所定値からずらせることになる。所定値からのずれ量は、寄生容量１３８１の容量をコンデンサ１９の容量比で決定される。所定値からのずれ量は、寄生容量１３８１の容量が小さいほど小さく、また、コンデンサ１９の容量が大きいほど小さい。
着目すべき点は、変化点ＡとＢにおける画素電位の変化である。Ａでは、ゲート信号線１７ａ（２）がＶｇｈからＶｇｌに変化する。Ｂでは、ゲート信号線１７ａ（２）がＶｇｌからＶｇｈに変化する（図１３８の画素電位を参照のこと）。
Ａ点ではゲート信号線１７ａの電位変化（Ｖｇｈ（オフ電圧）からＶｇｌ（オン電圧）に変化し、駆動用トランジスタ１１ａのゲート端子Ｇ電位が低下する。しかし、トランジス

タ１１ｂ、１１ｃがオン状態であるから、ソース信号線１８の電位（電流）を画素１６に書きこみ、コンデンサ１９が充電（放電）される。コンデンサ１９の充電（放電）により、駆動トランジスタ１１ａが所定電流を流すようにプログラムされる（画素電位はＶｂ電圧となる）。プログラムは１Ｈ期間以内で完了するように画素設計がされているため、Ｃ点では駆動トランジスタ１１ａが所定電流を流すようになる。
Ｂ点ではゲート信号線１７ａの電位変化（Ｖｇｌ（オン電圧）からＶｇｈ（オフ電圧）に変化する。この電圧変化により、駆動用トランジスタ１１ａのゲート端子Ｇ電位が上昇する（画素電位はＶｃ電圧となる）。ゲート信号線１７ａの電位がＶｇｈ（オフ電圧）に変化するとトランジスタ１１ｂおよびトランジスタ１１ｃがオフするため、コンデンサ１９端子はソース信号線１８と切り離されＶｃ電圧が保持される。
したがって、プログラムしたい電流を流す画素電位はＶｂ電圧であるが、実際に保持される画素電位はＶｃ電圧である。そのため、プログラム電流は目的の電流と異なった値がＥＬ素子１５に流れることになる。
この課題を解決する駆動方法を図１３９で説明をする。しかし、図１３８の駆動方法はかならずしも課題ではない。まず、その理由を記載する。
駆動用トランジスタ１１ａは、ゲート信号線１７ａの電位変化（Ｖｇｌ（オン電圧）からＶｇｈ（オフ電圧）に変化し、この状態が１フレーム（フィールド）期間保持される。ゲート信号線１７ａがＶｇｌ（オン電圧）からＶｇｈ（オフ電圧）に変化は、駆動用トランジスタ１１ａの電位をアノード電圧Ｖｄｄ側にシフトすることになる。
アノード電圧Ｖｄｄのシフトは、駆動トランジスタ１１ａはＰチャンネルであるから、電流を流さない方向である。電流プログラム方式では、本明細書でも記載したように黒表示時でのプログラム電流が小さいという課題がある。この課題に対処するため、本発明ではＮ倍パルス駆動などを実施する。しかし、図１３８では、最終的に画素電位は黒電位側にシフトして保持されるため、良好な黒表示を実現できる。
このような効果を発揮できるのは、本発明は、画素の駆動トランジスタ１１ａをＰチャンネルで構成している点、アノード電圧がカソード電圧よりも高い電圧構成である点、ＷＲ側選択信号線（ゲート信号線１７ａ）が低電圧（Ｖｇｌ）でソース信号線１８に印加された電流を画素１６の駆動用トランジスタ１１ａに流すように構成されており、かつＷＲ側選択信号線（ゲート信号線１７ａ）が高電圧（Ｖｇｈ）でソース信号線１８から画素１６を切り離すように構成されている点の相乗効果である。つまり、トランジスタ１１ｂ、トランジスタ１１ｃ（図１を参照）をＰチャンネルで構成されることが重要である。また、図１１１などで説明したように、ゲートドライバ回路１２をＰチャンネルで構成することにより、さらに相乗効果を発揮できる。
また、プログラム電流が良好に行われるようにＥＬ素子１５への経路を切断するトランジスタ１１ｄがＰチャンネルで構成されている点も重要である。さらに、Ｎ倍パルス駆動などの実施により、スイッチトランジスタ１１ｄのゲート端子Ｇが高電圧（Ｖｇｈ）に保持される期間があり、またその期間が一定の期間（少なくとも２Ｈ以上）あることにより、駆動用トランジスタ１１ａのドレインＤ端子が、比較的高電圧に保持される点も相乗効果がある。トランジスタ１１ｂのリークの発生を抑制できるからである。以上のように、図１などの構成と図１３８の方式などの組み合わせは本発明の特徴ある構成である。
次に、図１３９の駆動方法について説明をする。なお、明細書中で説明したが、ゲートドライバ回路１２ａの出力段にはＯＥＶ１回路が構成されており（図１１６などを参照のこと）、ＯＥＶ１回路にＨレベル信号を印加することにより、ゲート信号線１７ａにはＶｇｈ電圧が印加される。Ｖｇｈ電圧の印加によりトランジスタ１１ｂ、１１ｃ（図１などの画素構成の場合）はオフ状態となる。
ＯＥＶ１は、１Ｈ期間に１回、Ｈレベル電圧が印加され、ゲート信号線１７ａにＶｇｈ（オフ電圧）を出力する。ただし、選択されていないゲート信号線１７ａは当初からオフ電圧（Ｖｇｈ）が出力されていないから、出力の変化はない。選択されているゲート信号線１７ａはオン電圧（Ｖｇｌ）が印加されているから、ＯＥＶ１回路のＨレベル電圧印加によりオン電圧出力期間内にＶｇｈ（オフ電圧）期間が発生する。

ＯＥＶ１回路にＨレベルが印加されると、すべてのゲート信号線１７ａにはオフ電圧（Ｖｇｈ）が印加される。ソースドライバ回路１４はソース信号線からプログラム電流を吸収し（図１の画素構成の場合）、ソース信号線１８へは選択された画素１６のアノード端子Ｖｄｄから駆動用トランジスタ１１ａ、スイッチ用トランジスタ１１ｃを介してプログラム電流が供給される。したがって、ソースドライバ回路１４がプログラム電流を吸収している状態で、すべてのゲート信号線１７ａがオフ状態になると、プログラム電流の供給経路がなくなる。そのため、ソースドライバ回路１４はソース信号線１８の寄生容量の電荷を吸収し、ソース信号線１８の電位は時間とともに低下する。

図１３８の駆動方法の課題は、ゲート信号線１７ａがオン状態からオフ状態に変化する電圧が寄生容量１３８１によりコンデンサ１９に突き抜け（突き抜け電圧）、所定電圧よりも高い電圧で保持されてしまう点である。

ＯＥＶ１回路の制御により、ソース信号線１８の電位を低下させ、寄生容量１３８１の突き抜け電圧を補償すれば、ほぼ所定の電圧がコンデンサ１９に保持されることになる。図１３９の駆動方法はこの原理を用いたものである。

図１３９でも明らかなように、ＯＥＶ１回路の制御により、ゲート信号線１７ａに選択電圧（オン電圧：Ｖｇｌ）が印加された期間（１Ｈ）にオフ電圧になる期間がｔ１発生する（ｔ１がＯＥＶ１回路にＨレベル電圧を印加した期間である）。このｔ１の期間をゲートオープン期間と呼ぶ。ゲートオープン期間は、１Ｈが終わる時刻よりもｔ２期間前に終了するように発生させる。また、ゲートオープン期間は、１Ｈの始まりからｔ３期間後に発生させる。したがって、１Ｈ期間＝ｔ３＋ｔ１＋ｔ２である。

図１３９において、ゲート信号線１７ａ（１）は画素（１）のゲート信号線１７ａの電圧波形を示している。ゲート信号線１７ａ（２）は画素（１）の次の画素（２）のゲート信号線１７ａの電圧波形を示している。ゲート信号線１７ａ（３）は画素（２）の次の画素（３）のゲート信号線１７ａの電圧波形を示している。ソース信号線１８の欄はソース信号線に印加されている電圧（電流）波形を示している。画素電位は、画素（３）のコンデンサ電位（駆動トランジスタ１１ａのゲート端子Ｇの電圧波形を図示しいている。ゲート信号線１７ａは（１）→（２）→（３）→（４）→（５）→・・・・・（１）→（２）→・・・・・・と順次走査される。

画素電位は画素（３）であるとし、また、画素構成は図１の画素構成を例示して説明をする。画素電位（３）は第１Ｈ番目、第２Ｈ番目では前フィールド（フレーム）電位を保持している。第３Ｈ番目に、ゲート信号線１７ａ（３）にオン電圧（Ｖｇｌ）が印加され、画素行（３）のトランジスタ１１ｂ、１１ｃがオンする。

図１３９のＡ点ではゲート信号線１７ａの電位変化（Ｖｇｈ（オフ電圧）からＶｇｌ（オン電圧）に変化し、駆動用トランジスタ１１ａのゲート端子電位が低下する。しかし、トランジスタ１１ｂ、１１ｃがオン状態であるから、ソース信号線１８の電位（電流）を画素１６に書きこみ、コンデンサ１９が充電（放電）される。コンデンサ１９の充電（放電）により、駆動トランジスタ１１ａが所定電流を流すようにプログラムされる（画素電位はＶｂ電圧となる）。プログラムは１Ｈ期間以内で完了するように画素設計がされているため、Ｃ点では駆動トランジスタ１１ａが所定電流を流すようになる。

Ｂ点では、画素へのプログラム電流の書込みは完了し、Ｖａ電圧となる（Ｖａ電圧が目標電圧とする。図１４２の（ａ）を参照のこと）。Ｃ点ではゲート信号線１７ａの電位変化（Ｖｇｌ（オン電圧）からＶｇｈ（オフ電圧）に変化する。この電圧変化により、駆動用トランジスタ１１ａのゲート端子電位が上昇する（画素電位（３）は突き抜け電圧によりＶｄ電圧となる）。ゲート信号線１７ａの電位がＶｇｈ（オフ電圧）に変化するとトランジスタ１１ｂおよびトランジスタ１１ｃがオフするため、コンデンサ１９端子はソース信号線１８と切り離されて、ゲートオープン期間ｔ１の期間、画素電位はＶｄ電圧に保持される。

ゲートオープン期間ｔ１では、ソース信号線１８の電位は、ソースドライバ回路１４がプログラム電流を吸収しつづけるため、電位が低下し、ｔ１期間の経過後ではソース信号線電位欄に示すようにＶｃ電圧となる（図１４２の（ｂ）を参照のこと）。次に、ｔ２期間

では、再び、ゲート信号線１７ａ（３）にオン電圧が印加され、トランジスタ１１ｂ、１１ｃがオンする。トランジスタ１１ｂ、１１ｃのオンにより、ソース信号線１８の電位が画素のコンデンサ１９に書き込まれる。したがって、画素電位（３）はＶｃ電圧となる。ｔ２期間は、再び電流プログラム状態となり、画素電位（３）はＶｂに変化する。しかし、ｔ２期間は電圧書込みができるくらいの短時間であるので、Ｖｃ電圧からＶｂ電圧への変化量はわずかである（わずかになるように、ｔ２期間を設定する。検討によれば、ｔ２期間は、０．５μｓｅｃ以上５μｓｅｃ以下に設定する。）。また、ｔ１期間は、０．５μｓｅｃ以上１０μｓｅｃ以下が適切である。

Ｅ点ではゲート信号線１７ａ（３）の電位変化（Ｖｇｌ（オン電圧）からＶｇｈ（オフ電圧）に変化する。この電圧変化により、駆動用トランジスタ１１ａのゲート端子電位が上昇する（画素電位はＶａ電圧となる）。ゲート信号線１７ａの電位がＶｇｈ（オフ電圧）に変化するとトランジスタ１１ｂおよびトランジスタ１１ｃがオフするため、コンデンサ１９端子はソース信号線１８と切り離されＶａ電圧が保持される。したがって、プログラムしたい電流を流す画素電位はＶａ電圧が画素電位（３）として保持される（突き抜け電圧が補償されたことになる）。

図１３９の駆動方法は、映像信号データ（プログラム電流）に対応して突き抜け電圧の補償量を調整できるという特徴がある。突き抜け電圧の大きさは、基本的にＶｇｈとＶｇｌの電位差と寄生容量１３８１、コンデンサ１９の容量で決定される（ただし、駆動トランジスタ１１ａのゲート端子電圧で多少の差異は生じる）。したがって、突き抜け電圧の大きさは固定値である。ＯＥＶ１回路にH電圧を印加する期間も一定とすると、プログラム電流が黒表示の電流であれば、ソースドライバ回路１４が吸収する電流量は小さい。したがって、画素に書き込む画像データが黒表示では、ソース信号線１８の電位低下も小さい。プログラム電流が白表示の電流であれば、ソースドライバ回路１４が吸収する電流量は大きい。したがって、画素に書き込む画像データが白表示では、ソース信号線１８の電位低下が大きい。

一方、ゲート信号線１７ａにより発生する突き抜け電圧は固定値である。そのため、画素に書き込むプログラム電流が黒表示データであれば、ＯＥＶ１回路の制御による突き抜け電圧の補償量は小さい。ゲート信号線１７ａによる突き抜け電圧が支配的になる。そのため、黒表示がより完全な黒表示となる。黒表示では視感度が低いため、突き抜け電圧による所定値からのずれが大きくとも問題ない。

画素に書き込むプログラム電流が白表示データであれば、ＯＥＶ１回路の制御による突き抜け電圧の補償量は大きい。ソース信号線１８の電位はＯＥＶ１回路がHレベル入力の時、短時間で電位低下を起こすからである。したがって、ＯＥＶ１回路の制御により、降下した電圧の大きさと、ゲート信号線１７ａによる突き抜け電圧の大きさとが一致するようにＯＥＶ１回路のHレベル期間を制御すると、突き抜け電圧の影響を完全に無くすことができる。そのため、白表示では、完全に突き抜け電圧を補償することができる。白表示では視感度が高いため、突き抜け電圧をキャンセルする駆動方法の効果は高い。

以上のことから、本発明の駆動方法では、画像表示データにより、突き抜け電圧の補償量を調整することができる。

なお、表示画像データにより、ＯＥＶ１回路をHレベルにする期間を可変してもよい。たとえば、表示画像データを総和し、総和により画面輝度を求め、求められた結果によりＯＥＶ１のHレベル期間を制御する方式が例示される。

なお、ゲートオープン期間ｔ１およびｔ２期間を調整できるように構成しておくことにより、突き抜け電圧の補償量を変更することができる。したがって、パネル特性に合わせて、突き抜け電圧の補償量が最適になるように調整できる。ただし、ｔ２期間はラフでも良い。

図１３９の実施例では、ＯＥＶ１回路の制御により、ゲート信号線１７ａが選択されている時に、ゲートオープン期間ｔ１を設けるとした。しかし、本発明はこれに限定するものではない。１水平走査期間あるいは選択する画素行ごとに、ゲートオープン期間ｔ１を設けるか否かを判断し、駆動してもよい。

たとえば、１画素行の画像データが、ほぼ黒表示データの時はゲートオープン期間を設けず、１画素行の画像データが、ほぼ白表示データの時はゲートオープン期間を設け、完全に白表示データの時はゲートオープン期間を通常よりも長くするなどという駆動方法である。

図１４０は本発明の駆動方法の説明図である。第１Ｈ番目と第５Ｈ番目にはゲートオープン期間を設けていない。第２Ｈ番目から第４Ｈ番目にはゲートオープン期間を設けているため、ソース信号線１８の電位低下が発生している。

ゲートオープン期間ｔ１（図１４１の（ａ）ではＢ）と電流プログラム期間（図１４１の（ａ））とは相関がある。図１４１の（ｂ）のグラフは縦軸を所定輝度との差（％）である。ただし、数値は絶対値にしている。所定輝度との差とは、電流プログラムを行ったときの目標輝度と突き抜け電圧の発生などによりに実際に表示された輝度との差を％で示したものである。図１４１の（ｂ）でも明らかなように、誤差はＢ／Ａが０．０２以上でほぼ最低となる（Ｂ＝ｔ１、Ａ＝１Ｈ、Ｃ＝２μｓｅｃとしている）。したがって、Ｂ／Ａは０．０２以上となるようにすることが好ましい。ただし、Ｂがあまりにも大きくなると、電流プログラム時間が短くなり書込み不足が発生する。したがって、Ｂ／Ａは０．３以下となるようにすることが好ましい。

Ｂ／Ａ（ＢはＯＥＶ１回路にＨレベル状態の時間＝選択されたゲート信号線１７ａがオフになる時間。Ａは１Ｈ（１水平走査期間））をモードできりかえることにより、パネルへの突き抜け電圧の影響を調整できる。Ｂ／Ａは階調に応じて変化させることが好ましい（図１４５を参照のこと）。一般的にＢ／Ａは、低階調（黒表示＝階調１、２、３・・・・）で短く、高階調（白表示＝階調・・・・６２、６３、６４）で長くすることが好ましい。Ｂ／Ａは、モード（ＭＯＤＥ）を４段階程度きり返れるように構成しておき、画像のシーン、内容などに応じて変更できるようにしておくことが好ましい。

図１４５では、ＭＯＤＥ１、ＭＯＤＥ２、ＭＯＤＥ３、ＭＯＤＥ４がある。ＭＯＤＥ１はＢ＝０（つまり、ＯＥＶ１回路は常にＬレベルで選択されたゲート信号線１７ａはオン電圧に維持される）の場合である。ＭＯＤＥ２は低階調側でＢ＝０（つまり、ＯＥＶ１回路は常にＬレベルで選択されたゲート信号線１７ａはオン電圧に維持される）、高階調側でＢ／Ａ＝０．０５Ｈの場合である。ＭＯＤＥ３は全階調でＢ／Ａ＝０．０５の場合である。ＭＯＤＥ４は階調に応じてＢ／Ａの値を変化させるモードである。

また、１画素行の画像データの平均階調レベルにより、Ｂの値を選定し、ＭＯＤＥを切り替えても良い。また、一定階調以上でＯＥＶ１の制御を変更してもよい。一定階調レベル以下でＯＥＶ１を使用しないように制御してもよい。

以上の実施例は、ゲートドライバ回路１２のＯＥＶ１回路を制御することのよりソース信号線１８の電位を変化させ、突き抜け電圧などによる影響を対策するものであった。図１４３は、ソース信号線１８に外部から矩形波を印加することにより突き抜け電圧などによる影響を対策するものである。

図１４３において、コンデンサドライバ１４３１は矩形波（ソース結合信号と呼ぶ。図１４４を参照のこと）を発生し、この矩形波は結合コンデンサ１４３４でソース信号線１８に印加される。結合コンデンサ１４３３の一端はコンデンサ信号線１４３３に接続されている。矩形波はこのコンデンサ信号線１４３３に印加される。ソース結合信号は水平同期信号と同期をとって、ソース信号線に印加される。

理解を容易にするため、画素電位は（２）に着目して説明をする。第３Ｈ番目ではゲート信号線１７ａ（２）にオン電圧が印加される。オン電圧の印加により、画素（２）のトランジスタ１１ｂ、１１ｃがオンし、ソース信号線１８に印加された電流が駆動用トランジスタ１１ａに印加される（Ａ点）。Ｂ点では、コンデンサ信号線１４３３に印加されたソース結合信号がＶｓｌからＶｓｈに変化する。したがって、ソース結合信号がソース信号線１８にカップリング（突き抜ける）ために、画素電位（２）は、Ｖａ電圧まで跳ね上がる。しかし、この跳ね上がりはプログラム電流のより短時間で解消し、画素電位（２）はＣ点までには目標電位Ｖｂに到達する。

Ｃ点では、コンデンサ信号線１４３３に印加されたソース結合信号がＶｓｈからＶｓｌに

変化する。したがって、ソース結合信号がソース信号線１８にカップリング（突き抜ける）ために、画素電位（２）は、Ｖｃ電圧まで低下する。Ｃ点では、ゲート信号線１７ａ（２）にオン電圧が印加されているため、Ｖｃ電圧はプログラム電流により変化する。しかし、Ｃ点からＤ点までの時間が短時間であればほとんど変化しない。
Ｄ点では、ゲート信号線１７ａ（２）がオン電圧からオフ電圧に変化するため、突き抜け電圧により画素電位（２）の電位はＶｂ電圧にシフトする。したがって、目標のＶｂ電圧が画素１６に保持される。以上のようにソース結合信号をソース信号線１８にカップリングさせることにより、突き抜け電圧を補償することができる。なお、ソース結合信号の振幅を変化させることにより、突き抜け電圧の補償割合を調整することができることは言うまでもない。
図１３９はＯＥＶ１を制御することにより、ソース信号線１８の電位を変化させるものであった。しかし、ソース信号線１８の電位変化させるのは、ソースドライバ回路１４側でも実現できる。ソースドライバ回路１４には、図１４７に図示するように、ソース信号線１８と接続する端子１４７１と電流出力回路１４６１間にアナログスイッチ７５２が形成または配置されている（図１４６を参照のこと）。また、ソースドライバ回路１４内にも寄生容量１４７２が発生している。
スイッチ７５２が閉じた状態では、図１４７の（ａ）に図示するように、プログラム電流Ｉｗが電流出力回路１４６１に流れ込む。スイッチ７５２がオープン（図１４７の（ｂ）を参照のこと）すると、電流出力回路１４６１は定電流回路であるから、継続して電流Ｉｗを吸収する。そのため、寄生容量１４７２の電荷を吸収し、内部配線１４７３の電位が低下する。この状態で、スイッチ７５２をオンする（図１４７の（ｃ）を参照のこと）と、プログラム電流Ｉｗは、寄生容量１４７２の充電と電流出力回路に分流される。したがって、ソース信号線１８の電位が低下する。以上のソース信号線１８の電位低下状態を図１３９のＣ点からＤ点の状態に当てはめれば、図１３９と同様に、電圧が低下したソース信号線１８電位を画素１６に書き込むことができる。
図１４３はコンデンサ信号線１４３３により、ソース信号線１８に突き抜け電圧を補償する信号を印加する構成であった。図１５１は画素行ごとに、突き抜け電圧を補償する構成である。
図１５１はコンデンサ１９の一端は駆動用トランジスタ１１ａに接続されており、他端は共通信号線１５１１に接続されている。共通信号線１５１１は１画素行に共通に形成されている信号線である。共通信号線１５１１は共通ドライバ回路１５１２に接続されている。共通ドライバ回路１５１２は図１５２に図示するように矩形波の信号を出力し、各共通信号線１５１１に印加する。他の構成は、図１と同様であるので説明を省略する。
図１５２において、ゲート信号線１７ａ（１）は画素（１）のゲート信号線１７ａの電圧波形を示している。ゲート信号線１７ａ（２）は画素（１）の次の画素（２）のゲート信号線１７ａの電圧波形を示している。ゲート信号線１７ａ（３）は画素（２）の次の画素（３）のゲート信号線１７ａの電圧波形を示している。
共通信号線（１）は画素（１）の共通信号線１５１１の電圧波形を示している。また、共通信号線（２）は画素（２）の共通信号線１５１１の電圧波形を示し、共通信号線（３）は画素（３）の共通信号線１５１１の電圧波形を示している。
ソース信号線１８の欄はソース信号線に印加されている電圧（電流）波形を示している。
画素電位（２）は、画素（２）のコンデンサ電位（駆動トランジスタ１１ａのゲート端子Ｇの電圧波形を図示している。ゲート信号線１７ａは（１）→（２）→（３）→（４）→（５）→・・・・・（１）→（２）→・・・・・・と順次走査される。また、共通信号線１５１１も（１）→（２）→（３）→（４）→（５）→・・・・・（１）→（２）→・・・・・・と順次走査される。以降、説明を容易にするため、画素（２）の画素電位（駆動トランジスタ１１ａのゲートＧ端子電位）に着目して説明をする。なお、最初は画素１６には、全フィールドの画像データが保持されている。
Ａ点ではゲート信号線１７ａの電位変化（Ｖｇｈ（オフ電圧）からＶｇｌ（オン電圧）に変化し、駆動用トランジスタ１１ａのゲート端子Ｇ電位が低下する（Ｖａ→Ｖｃ）。また

、トランジスタ１１ｂ、１１ｃがオン状態であるから、ソース信号線１８の電位（電流）を画素１６に書きこまれ、コンデンサ１９の充電（放電）が開始される。なお、１Ｈ開始時は、共通信号線１５１１の電位は、Ｖｃｌであるとする（Ｖｃｌ＜Ｖｃｈ）。
１Ｈの開始からＴａ期間後、共通信号線１５１１の電位が、ＶｃｌからＶｃｈに変化する（図１５２のＢ点を参照のこと）。ただし、前記動作は、１Ｈの開始と同時に行っても良いことは言うまでもない。共通信号線１５１１の電位変化により、コンデンサ１９の電位（画素電位（２））もシフトし、Ｖｅ電圧となる。トランジスタ１１ｂ、１１ｃがオン状態であるから、ソース信号線１８の電位（電流）を画素１６に書きこまれ、コンデンサ１９が充電（放電）され、１Ｈの終わりのＣ点では、目標のＶｂ電圧が画素１６に書き込まれる。なお、Ｔａ時間は、０（１Ｈ期間の開始と同時）ｓｅｃであってもよい。好ましくは、Ｔａ時間は、０以上１Ｈの１／５時間に設定することが好ましい。Ｔａ時間が長いと本来の電流プログラム期間が短くなるからである。
Ｃ点では、ゲート信号線１７ａの電位変化（Ｖｇｌ（オン電圧）からＶｇｈ（オフ電圧）に変化し、この電圧変化が、突き抜け電圧として、寄生容量１３８１を介して画素電位（２）を変動させる。この電位変化により、画素電位（２）はＶｄ電圧となる。Ｃ点では、ゲート信号線１７ａの電位がＶｇｈ（オフ電圧）に変化し、トランジスタ１１ｂおよびトランジスタ１１ｃがオフするため、コンデンサ１９端子はソース信号線１８と切り離されＶｄ電圧が保持される。
１Ｈ期間（画素（２）に選択期間）が完了してからＴｂの経過後、共通信号線１５１１の電位が、ＶｃｈからＶｃｌに変化する（図１５２のＤ点を参照のこと）。共通信号線１５１１の電位変化により、コンデンサ１９の電位（画素電位（２））もシフトし、目標電圧のＶｂ電圧となる。以上の動作により、コンデンサ１９には、画像データに基づいた所定電流が駆動用トランジスタ１１ａに流れるように、電圧Ｖｂが保持される。
以上の動作でも明らかであるが、寄生容量１３８１なでにより発生する突き抜け電圧を、共通信号線１５１１に信号を印加することにより補償している。この補償により画素１６には精度のより電流プログラムを実施することができる。なお、１Ｈ後が完了してＴａ時間後に、共通信号線１５１１の電位をＶｃｈからＶｃｌに変化させるとした。しかし、Ｔｂは０ｓｅｃ（１Ｈの終了と同時）でもよく、１Ｈ以上であってもよい。
以上のことから、本発明の駆動方法は、画素選択期間内に、共通信号線の電位をＶｃｌからＶｃｈに変化させる（ただし、選択期間より前に変化させても選択期間中に電流プログラムが実施されるから問題は発生しない。したがって、該当画素が電流プログラム終了前に共通信号線の電位をＶｃｌからＶｃｈに変化させればよい）。また、画素選択期間後（選択期間終了と同時でもよい）、共通信号線の電位をＶｃｈからＶｃｌに変化させる駆動方法である。
なお、共通信号線１５１１の振幅（Ｖｃｈ、Ｖｃｌ）は、電圧発生回路（図示せず）のボリウムにより変更できるように構成しておく。また、共通ドライバ回路１５１２の構成、動作は、ゲートドライバ回路１２と同様あるいは類似であるので説明を省略する。また、他の動作は、図１３９と同様であるので説明を省略する。
図１５１、図１５２は共通信号線の動作により、突き抜け電圧を補償する方式であった。図１５３は、共通ドライバ回路１５１２を設けず、画素の前段のゲート信号線１７ａの動作により突き抜け電圧を補償する構成である。
図１５３はコンデンサ１９の一端は駆動用トランジスタ１１ａに接続されており、他端は前段（１つ前に選択される画素）のゲート信号線１７ａに接続されている。コンデンサ１９の一端の電極はゲート信号線１７ａである。他の構成は、図１、図１５１などと同様である。
図１５４において、ゲート信号線１７ａ（１）は画素（１）のゲート信号線１７ａの電圧波形を示している。ゲート信号線１７ａ（２）は画素（１）の次の画素（２）のゲート信号線１７ａの電圧波形を示している。ゲート信号線１７ａ（３）は画素（２）の次の画素（３）のゲート信号線１７ａの電圧波形を示している。
ソース信号線１８の欄はソース信号線に印加されている電圧（電流）波形を示している。

画素電位（２）は、画素（２）のコンデンサ電位（駆動トランジスタ１１ａのゲート端子Ｇの電圧波形を図示している。ゲート信号線１７ａは（１）→（２）→（３）→（４）→（５）→・・・・・（１）→（２）→・・・・・・と順次走査される。

以降、説明を容易にするため、画素（２）の画素電位（駆動トランジスタ１１ａのゲートＧ端子電位）に着目して説明をする。なお、最初は画素１６には、全フィールドの画像データが保持されている。また、図１５３の実施例では、ゲートドライブ回路１２ａは、１つのオン電圧（Ｖｇｌ）と２つのオフ電圧（Ｖｇｈ２、Ｖｇｈ１）をゲート信号線１７ａに印加する。ただし、オフ電圧Ｖｇｈ２＞オフ電圧Ｖｇｈ１とし、０．０２（Ｖ）＜Ｖｇｈ２－Ｖｇｈ１＜０．４（Ｖ）の条件を満足させる。

Ａ点では前段のゲート信号線１７ａ（１）の電位変化（Ｖｇｈ１（オフ電圧）からＶｇｌ（オン電圧）に変化することにより、画素（２）のコンデンサ１９の電位が変動する（画素電位はＶｅからＶｄに変化する）。したがって、駆動用トランジスタ１１ａのゲート端子Ｇ電位が低下する。

Ｂ点では、画素（２）のゲート信号線１７ａ（２）の電位変化（Ｖｇｈ１（オフ電圧）からＶｇｌ（オン電圧）に変化することにより、画素電位が変化するが、トランジスタ１１ｂ、１１ｃがオン状態であるから、ソース信号線１８の電位（電流）を画素１６に書きこまれ、コンデンサ１９の充電（放電）が開始される。１Ｈの選択期間内に、目標電圧のＶｂ電圧となる。以上の動作により、コンデンサ１９には、画像データに基づいた所定電流が駆動用トランジスタ１１ａに流れるように設定される。

Ｃ点では、ゲート信号線１７ａ（２）の電位変化（Ｖｇｌ（オン電圧）からＶｇｈ２（オフ電圧）に変化し、この電圧変化が、突き抜け電圧として、寄生容量１３８１を介して画素電位（２）を変動させる。この電位変化により、画素電位（２）はＶｃ電圧となる。Ｃ点では、ゲート信号線１７ａの電位がＶｇｈ（オフ電圧）に変化し、トランジスタ１１ｂおよびトランジスタ１１ｃがオフするため、コンデンサ１９端子はソース信号線１８と切り離されＶｃ電圧が保持される。

１Ｈ期間（画素（２）に選択期間）が完了してから１Ｈ期間の経過後（図１５４のＤ点）、ゲート信号線１７ａ（２）の電位が、Ｖｇｈ２からＶｇｈ１に変化する（図１５２のＤ点を参照のこと）。ゲート信号線１７ａ（２）の電位変化により、コンデンサ１９の電位（画素電位（２））もシフトし、目標電圧のＶｂ電圧となる。以上の動作により、コンデンサ１９には、画像データに基づいた所定電流が駆動用トランジスタ１１ａに流れるように、電圧Ｖｂが保持される。

以上の動作でも明らかであるが、寄生容量１３８１なでにより発生する突き抜け電圧を、ゲート信号線１７ａに3つの電圧（Ｖｇｈ１、Ｖｇｈ２、Ｖｇｌ）を印加することにより補償している。この補償により画素１６には精度のより電流プログラムを実施することができる。なお、選択期間から１Ｈ期間が経過後（図１５４のＤ点）に、ゲート信号線１７ａ（２）の電位をＶｇｈ２からＶｇｈ１に変化させるとしたが、これに限定するものではない。たとえば、図１５５に図示するように、１Ｈ以内のＴａ時間後（図１５５のＤ点を参照のこと）に変化させてもよい。また、１Ｈ以上経過後に変化させてもよい。

また、図１５３は前段のゲート信号線１７ａを後段のコンデンサ１９の端子電極とする構成であったが、本発明はこれに限定するものではない。図１５６に図示するように、前段よりも前の画素のゲート信号線１７ａをコンデンサ１９の電極としてもよい。このタイミングチャートを図１５７に示す。

Ａ点では前前段のゲート信号線１７ａ（１）の電位変化（Ｖｇｈ１（オフ電圧）からＶｇｌ（オン電圧）に変化することにより、画素（３）のコンデンサ１９の電位が変動する（画素電位はＶａからＶｅに変化する）。したがって、駆動用トランジスタ１１ａのゲート端子Ｇ電位が低下する。

Ｂ点では、前前段のゲート信号線１７ａ（１）の電位変化（Ｖｇｌ（オン電圧）からＶｇｈ２（オフ電圧）に変化することにより、画素（３）のコンデンサ１９の電位が変動する（画素電位はＶｅからＶａに変化する）。したがって、駆動用トランジスタ１１ａのゲート端子Ｇ電位が上昇する。

Ｃ点ではゲート信号線１７ａ（３）の電位変化（Ｖｇｈ１（オフ電圧）からＶｇｌ（オン電圧）に変化することにより、画素（３）のコンデンサ１９の電位が変動するが、トランジスタ１１ｂ、１１ｃがオン状態であるから、ソース信号線１８の電位（電流）を画素１６に書きこまれ、コンデンサ１９の充電（放電）が開始される。１Ｈの選択期間内に、目標電圧のＶｃ電圧となる。以上の動作により、コンデンサ１９には、画像データに基づいた所定電流が駆動用トランジスタ１１ａに流れるように設定される。
Ｄ点では、ゲート信号線１７ａ（３）の電位変化（Ｖｇｌ（オン電圧）からＶｇｈ２（オフ電圧）に変化し、この電圧変化が、突き抜け電圧として、寄生容量１３８１を介して画素電位（３）を変動させる。この電位変化により、画素電位（３）はＶｂ電圧となる。Ｃ点では、ゲート信号線１７ａの電位がＶｇｈ（オフ電圧）に変化し、トランジスタ１１ｂおよびトランジスタ１１ｃがオフするため、コンデンサ１９端子はソース信号線１８と切り離されＶｂ電圧が保持される。
１Ｈ期間（画素（３）に選択期間）が完了してから１Ｈ期間の経過後（図１５７のＤ点）、ゲート信号線１７ａ（３）の電位が、Ｖｇｈ２からＶｇｈ１に変化する（図１５７のＤ点を参照のこと）。ゲート信号線１７ａ（３）の電位変化により、コンデンサ１９の電位（画素電位（３））もシフトし、目標電圧のＶｃ電圧となる。以上の動作により、コンデンサ１９には、画像データに基づいた所定電流が駆動用トランジスタ１１ａに流れるように、電圧Ｖｃが保持される。
以上の動作でも明らかであるが、寄生容量１３８１なでにより発生する突き抜け電圧を、ゲート信号線１７ａに3つの電圧（Ｖｇｈ１、Ｖｇｈ２、Ｖｇｌ）を印加することにより補償している。この補償により画素１６には精度のより電流プログラムを実施することができる。
以上の実施例は、駆動方式の改良あるいは発明により、突き抜け電圧の影響を補償するものであった。画素１６の構成によっても突き抜け電圧の発生を抑制することができる。図１４６は図１のＰチャンネルのスイッチングトランジスタ１１ｂを、Ｐチャンネルトランジスタ１１ｂｎとＮチャンネルトランジスタ１１ｂｎで構成したものである。つまりアナログスイッチである。Ｐチャンネルトランジスタ１１ｂｎとＮチャンネルトランジスタ１１ｂｎを同時にオンさせるため、インバータ１４８１を配置している。
図１４８に図示するように、トランジスタ１１ｂをＰチャンネルとＮチャンネルのトランジスタで構成することにより両トランジスタに印加されるゲート信号線１７ａからの電圧が打ち消しあう。したがって、突き抜け電圧による電位シフトを大幅に改善することが可能である。なお、図１４９に図示するように、トランジスタ１１ｂｎなどをダイオード構成にしてもその効果は発揮されることは言うまでもない。
以上のように、画素構成を図１４８、１４９などのように構成することにより突き抜け電圧の影響を補償することができる。また、図１３９などで説明した本発明と組み合わせることにより相乗効果で突き抜け電圧を補償でき、均一な画像表示を実現できる。
以上の実施例は、ゲート信号線１７ａ（ＷＲ側選択信号線）の動作を中心に説明した。ゲート信号線１７ｂ（ＥＬ側選択信号線）の駆動方法について補足しておく。ゲート信号線１７ｂ（ＥＬ側選択信号線）は、ＥＬ素子１５に流す電流を制御する信号線である。ただし、図６３では、スイッチ６３１のオンオフ制御により、ＥＬ素子１５に流す電流を制御する。したがって、以下に補足するゲート信号線１７ｂ（ＥＬ側選択信号線）の制御方法は、ＥＬ素子１５に電流を流すタイミングあるいは時間として言い換えることができる。ここで説明を容易にするため、ゲート信号線１７ｂ（ＥＬ側選択信号線）を例示して説明をする。以降に説明する事項は、本発明の駆動方式のすべてに適用できることは言うまでもない。
図１５、図１８、図２１などでは、ゲート信号線１７ｂ（ＥＬ側選択信号線）は１水平走査期間（１Ｈ）を単位として、オン電圧（Ｖｇｌ）、オフ電圧（Ｖｇｈ）を印加するとして説明をした。しかし、ＥＬ素子１５の発光量は、流す電流が定電流の時、流す時間に比例する。したがって、流す時間は１Ｈ単位に限定する必要はない。
図１５８は、１／４ｄｕｔｙ駆動である。４Ｈ期間に１Ｈ期間の間、ゲート信号線１７ｂ

（ＥＬ側選択信号線）にオン電圧が印加され、水平同期信号（ＨＤ）に同期してオン電圧が印加されている位置が走査される。したがって、オン時間は１Ｈ単位である。
しかし、本発明はこれに限定するものではなく、図１６１に図示するように１Ｈ未満（図１６１は１／２Ｈ）としてもよく、また、１Ｈ以下としてもよい。つまり、１Ｈ単位に限定されるものではなく、１Ｈ単位以外の発生も容易である。ゲートドライバ回路１２ｂ（ゲート信号線１７ｂを制御する回路である）の出力段に形成または配置されたＯＥＶ２回路を用いればよい。ＯＥＶ２回路は先に説明したＯＥＶ１回路と同様であるので説明を省略する。
図１５９は、ゲート信号線１７ｂ（ＥＬ側選択信号線）のオン時間は１Ｈを単位としていない。奇数画素行のゲート信号線１７ｂ（ＥＬ側選択信号線）は１Ｈ弱の期間オン電圧が印加される。偶数画素行のゲート信号線１７ｂ（ＥＬ側選択信号線）は、極短い期間オン電圧が印加される。また、奇数画素行のゲート信号線１７ｂ（ＥＬ側選択信号線）に印加されるオン電圧時間Ｔ１と偶数画素行のゲート信号線１７ｂ（ＥＬ側選択信号線）に印加されるオン電圧時間Ｔ２を加えた時間を１Ｈ期間となるようにしている。図１５９を第１フィールドの状態とする。
第１フィールドの次の第２フィールドでは、偶数画素行のゲート信号線１７ｂ（ＥＬ側選択信号線）は１Ｈ弱の期間オン電圧が印加される。奇数画素行のゲート信号線１７ｂ（ＥＬ側選択信号線）は、極短い期間オン電圧が印加される。また、偶数画素行のゲート信号線１７ｂ（ＥＬ側選択信号線）に印加されるオン電圧時間Ｔ１と奇数画素行のゲート信号線１７ｂ（ＥＬ側選択信号線）に印加されるオン電圧時間Ｔ２を加えた時間を１Ｈ期間となるようにしている。
以上のように、複数画素行でのゲート信号線１７ｂ（ＥＬ側選択信号線）に印加するオン時間の和を一定となるようにし、また、複数フィールドで各画素行のＥＬ素子１５の点灯時間を一定となるようにしてもよい。
図１６０は、ゲート信号線１７ｂ（ＥＬ側選択信号線）のオン時間を１．５Ｈをしている。また、Ａ点におけるゲート信号線１７ｂ（ＥＬ側選択信号線）の立ち上りと立下りが重なるようにしている。ゲート信号線１７ｂ（ＥＬ側選択信号線）とソース信号線１８とはカップリングしている。そのため、ゲート信号線１７ｂ（ＥＬ側選択信号線）の波形が変化すると波形の変化がソース信号線１８に突き抜ける。この突き抜けによりソース信号線１８に電位変動が発生すると電流（電圧）プログラムの精度が低下し、駆動用トランジスタ１１ａの特性ムラが表示されるようになる。
図１６０において、Ａ点において、ゲート信号線１７Ｂ（ＥＬ側選択信号線）（１）はオン電圧（Ｖｇｌ）印加状態からオフ電圧（Ｖｇｈ）印加状態に変化する。ゲート信号線１７Ｂ（ＥＬ側選択信号線）（２）はオフ電圧（Ｖｇｈ）印加状態からオン電圧（Ｖｇｌ）印加状態に変化する。したがって、Ａ点では、ゲート信号線１７Ｂ（ＥＬ側選択信号線）（１）の信号波形とゲート信号線１７Ｂ（ＥＬ側選択信号線）（２）の信号波形が打ち消しあう。したがって、ソース信号線１８とゲート信号線１７Ｂ（ＥＬ側選択信号線）とがカップリングしていても、ゲート信号線１７Ｂ（ＥＬ側選択信号線）の波形変化がソース信号線１８に突き抜けることはない。そのため、良好な電流（電圧）プログラム精度を得ることができ、均一な画像表示を実現できる。
なお、図１６０は、オン時間が１．５Ｈの実施例であった。しかし、本発明はこれに限定するものではなく、図１６２に図示するように、オン電圧の印加時間を１Ｈ以下としてもよいことは言うまでもない。
ゲート信号線１７Ｂ（ＥＬ側選択信号線）にオン電圧を印加する期間を調整することにより、表示画面５０の輝度をリニアに調整することができる。これはＯＥＶ２回路を制御することにより容易に実現できる。たとえば、図１６３では、図１６３の（ａ）よりも図１６３の（ｂ）の方が表示輝度は低くなる。また、図１６３の（ｂ）よりも図１６３の（ｃ）の方が表示輝度は低くなる。
また、図１６４に図示するように、１Ｈ期間にオン電圧を印加する期間とオフ電圧を印加する期間の組を複数回設けてもより。図１６４の（ａ）は６回設けた実施例である。図１

６４の（ｂ）は３回設けた実施例である。図１６４の（ｃ）は１回設けた実施例である。図１６４では、図１６４の（ａ）よりも図１６４の（ｂ）の方が表示輝度は低くなる。また、図１６４の（ｂ）よりも図１６４の（ｃ）の方が表示輝度は低くなる。したがって、オン期間の回数を制御することにより表示輝度を容易に調整（制御）できる。

また、図９８の（ａ）に図示するように、非表示領域５２と表示領域５３とを規則正しく制御する駆動モードと、図９８の（ｃ）に図示するように、非表示領域５２と表示領域５３とをランダムに制御する駆動モードと、図９８の（ｂ）に図示するようにフレーム（フィールド）ごとに非表示領域５２と表示領域５３とを繰り返す駆動モードとを選択できるようにしてもよい。また、ユーザーの制御により、また、画像データの内容により、図９８の（ａ）、（ｂ）、（ｃ）を切り替えるように構成してもよい。

図１８４に、本発明の電流駆動方式のソースドライバＩＣ（回路）１４の１実施例における構成図を示す。図１８４は、一例として電流源を３段構成（１８４１、１８４２、１８４３）とした場合の多段式カレントミラー回路を示している。

図１８４において、第１段の電流源１８４１の電流値は、Ｎ個（ただし、Ｎは任意の整数）の第２段電流源１８４２にカレントミラー回路によりコピーされる。更に、第２段電流源１８４２の電流値は、Ｍ個（ただし、Ｍは任意の整数）の第３段電流源１８４３にカレントミラー回路によりコピーされる。この構成により、結果として第１段電流源１８４１の電流値は、Ｎ×Ｍ個の第３段電流源１８４３にコピーされることになる。

例えば、ＱＣＩＦ形式の表示パネルのソース信号線１８に１個のドライバＩＣ１４で駆動する場合は、１７６出力（ソース信号線が各ＲＧＢで１７６出力必要なため）となる。この場合は、Ｎを１６個とし、Ｍ＝１１個とする。しがたって、１６×１１＝１７６となり、１７６出力に対応できる。このように、ＮまたはＭのうち、一方を８または１６もしくはその倍数とすることにより、ドライバＩＣの電流源のレイアウト設計が容易になる。

本発明の多段式カレントミラー回路による電流駆動方式のソースドライバＩＣ（回路）１４では、前記したように、第１段電流源１８４１の電流値を直接Ｎ×Ｍ個の第３段電流源１８４３にカレントミラー回路でコピーするのではなく、中間に第２段電流源１８４２を配備しているので、そこでトランジスタ特性のばらつきを吸収することが可能である。

特に、本発明は、第１段のカレントミラー回路（電流源１８４１）と第２段にカレントミラー回路（電流源１８４２）を密接して配置するところに特徴がある。第１段の電流源１８４１から第３段の電流源１８４３（つまり、カレントミラー回路の２段構成）であれば、第１段の電流源と接続される第２段の電流源１８４３の個数が多く、第１段の電流源１８４１と第３段の電流源１８４３を密接して配置することができない。

本発明のソースドライバ回路１４のように、第１段のカレントミラー回路（電流源１８４１）の電流を第２段のカレントミラー回路（電流源１８４２）にコピーし、第２段のカレントミラー回路（電流源１８４２）の電流を第３段にカレントミラー回路（電流源１８４２）にコピーする構成である。この構成では、第一段のカレントミラー回路（電流源１８４１）に接続される第２段のカレントミラー回路（電流源１８４２）の個数は少ない。したがって、第１段のカレントミラー回路（電流源１８４１）と第２段のカレントミラー回路（電流源１８４２）とを密接して配置することができる。

密接してカレントミラー回路を構成するトランジスタを配置できれば、当然のことながら、トランジスタのばらつきは少なくなるから、コピーされる電流値のバラツキも少なくなる。また、第２段のカレントミラー回路（電流源１８４２）に接続される第３段のカレントミラー回路（電流源１８４３）の個数も少なくなる。したがって、第２段のカレントミラー回路（電流源１８４２）と第３段のカレントミラー回路（電流源１８４３）とを密接して配置することができる。

つまり、全体として、第１段のカレントミラー回路（電流源１８４１）、第２段のカレントミラー回路（電流源１８４２）、第３段のカレントミラー回路（電流源１８４３）の電流受け取り部のトランジスタを密接して配置することができる。したがって、密接してカレントミラー回路を構成するトランジスタを配置できるから、トランジスタのばらつきは少なくなり、出力端子からの電流信号のバラツキは極めて少なくなる（精度が高い）。

本発明において、電流源１８４１、１８４２、１８４３と表現したり、カレントミラー回路と表現したりしている。これらは同義に用いている。つまり、電流源とは、本発明の基本的な構成概念であり、電流源を具体的に構成するとカレントミラー回路となるからである。

図１８５はさらに具体的なソースドライバＩＣ（回路）１４の構造図である。図１８５は第３の電流源１８４３の部分を図示している。つまり、１つのソース信号線１８に接続される出力部である。最終段のカレントミラー構成として、複数の同一サイズのカレントミラー回路（単位トランジスタ１８５４（１単位））で構成されており、その個数が画像データのビットに対応して、ビット重み付けされている。

なお、本発明のソースドライバＩＣ（回路）１４を構成するトランジスタは、ＭＯＳタイプに限定するものではなく、バイポーラタイプでもよい。また、シリコン半導体に限定するものではなく、ガリ砒素半導体でもよい。また、ゲルマニウム半導体でもよい。また、基板に低温ポリシリコンなどのポリシリコン技術、アモルファスシリコン技術で直接形成したものでもよい。

図１８５で明らかであるが、本発明の１実施例として、６ビットのデジタル入力の場合を図示している。つまり、２の６乗であるから、６４階調表示である。このソースドライバＩＣ１４をアレイ基板に積載することにより、赤（Ｒ）、緑（Ｇ）、青（Ｂ）が各６４階調であるから、６４×６４×６４＝約２６万色を表示できることになる。

６４階調の場合は、Ｄ０ビットの単位トランジスタ１８５４は１個、Ｄ１ビットの単位トランジスタ１８５４は２個、Ｄ２ビットの単位トランジスタ１８５４は４個、Ｄ３ビットの単位トランジスタ１８５４は８個、Ｄ４ビットの単位トランジスタ１８５４は１６個、Ｄ５ビットの単位トランジスタ１８５４は３２個であるから、計単位トランジスタ１８５４は６３個である。つまり、本発明は階調の表現数（この実施例の場合は、６４階調）－１個の単位トランジスタ１８５４を１出力と構成（形成）する。なお、単位トランジスタ１個が複数のサブ単位トランジスタに分割されている場合であっても、単位トランジスタが単にサブ単位トランジスタに分割されているだけである。したがって、本発明が、階調の表現数－１個の単位トランジスタで構成されていることには差異はない（同義である）。

図１８５において、Ｄ０はＬＳＢ入力を示しており、Ｄ５はＭＳＢ入力を示している。Ｄ０入力端子にＨレベル（正論理時）の時、スイッチ１８５１ａ（オンオフ手段である。もちろん、単体トランジスタで構成してもよいし、ＰチャンネルトランジスタとＮチャンネルトランジスタとを組み合わせたアナログスイッチなどでもよい）がオンする。すると、カレントミラーを構成する電流源（１単位）１８５４に向かって電流が流れる。この電流はＩＣ１４内の内部配線１８５３に流れる。この内部配線１８５３はＩＣ１４の端子電極を介してソース信号線１８に接続されているから、この内部配線１８５３に流れる電流が画素１６のプログラム電流となる。

たとえば、Ｄ１入力端子にＨレベル（正論理時）の時、スイッチ１８５１ｂがオンする。すると、カレントミラーを構成する２つの電流源（１単位）１８５４に向かって電流が流れる。この電流はＩＣ１４内の内部配線１８５３に流れる。この内部配線１８５３はＩＣ１４の端子電極を介してソース信号線１８に接続されているから、この内部配線１８５３に流れる電流が画素１６のプログラム電流となる。

他のスイッチ１８５１でも同様である。Ｄ２入力端子にＨレベル（正論理時）の時は、スイッチ１８５１ｃがオンする。すると、カレントミラーを構成する４つの電流源（１単位）１８５４に向かって電流が流れる。Ｄ５入力端子にＨレベル（正論理時）の時は、スイッチ１８５１ｆがオンする。すると、カレントミラーを構成する３２つの電流源（１単位）１８５４に向かって電流が流れる。

以上のように、外部からのデータ（Ｄ０～Ｄ５）に応じて、それに対応する電流源（１単位）に向かって電流が流れる。したがって、データに応じて、０個から６３個に電流源（１単位）に電流が流れるように構成されている。

なお、本発明は説明を容易にするため、電流源は６ビットの６３個としているが、これに

限定するものではない。８ビットの場合は、２５５個の単位トランジスタ１８５４を形成（配置）すればよい。また、４ビットの時は、１５個の単位トランジスタ１８５４を形成（配置）すればよい。単位電流源を構成するトランジスタ１８５４は同一のチャンネル幅W、チャンネル幅Ｌとする。このように同一のトランジスタで構成することにより、ばらつきの少ない出力段を構成することができる。

また、単位トランジスタ１８５４はすべてが、同一の電流を流すことに限定するものではない。たとえば、各単位トランジスタ１８５４を重み付けしてもよい。たとえば、１単位の単位トランジスタ１８５４と、２倍の単位トランジスタ１８５４と、４倍の単位トランジスタ１８５４などを混在させて電流出力回路を構成してもよい。しかし、単位トランジスタ１８５４を重み付けして構成すると、各重み付けした電流源が重み付けした割合にならず、バラツキが発生する可能性がある。したがって、重み付けする場合であっても、各電流源は、１単位の電流源となるトランジスタを複数個形成することにより構成することが好ましい。

単位トランジスタ１８５４を構成するトランジスタの大きさは一定以上の大きさが必要である。トランジスタサイズが小さいほど出力電流のバラツキが大きくなる。トランジスタ１８５４の大きさとは、チャンネル長Ｌとチャンネル幅Wをかけたサイズをいう。たとえば、Ｗ＝３μｍ、Ｌ＝４μｍであれば、１つの単位電流源を構成するトランジスタ１８５４のサイズは、Ｗ×Ｌ＝１２平方μｍである。トランジスタサイズが小さくなるほどバラツキが大きくなるのはシリコンウエハの結晶界面の状態が影響しているためと考えられる。したがって、１つのトランジスタが複数の結晶界面にまたがって形成されているとトランジスタの出力電流バラツキは小さくなる。

単位トランジスタ１８５４はＮチャンネルで構成することが好ましい。Ｐチャンネルトランジスタで構成した単位トランジスタは、Ｎチャンネルトランジスタで構成した単位トランジスタに比較して、出力バラツキが１．５倍になる。

ソースドライバＩＣ１４の単位トランジスタ１８５４は、Ｎチャンネルトランジスタで構成することが好ましいことから、ソースドライバＩＣ１４のプログラム電流は、画素１６からソースドライバＩＣへの引き込み電流となる。したがって、画素１６の駆動用トランジスタ１１ａはＰチャンネルで構成される。また、図１のスイッチング用トランジスタ１１ｄもＰチャンネルトランジスタで構成される。

以上のことから、ソースドライバＩＣ（回路）１４の出力段の単位トランジスタ１８５４をＮチャンネルトランジスタで構成し、画素１６の駆動用トランジスタ１１ａをＰチャンネルトランジスタで構成するという構成は、本発明の特徴ある構成である。なお、画素１６を構成するトランジスタ１１のすべて（トランジスタ１１ａ、１１ｂ、１１ｃ、１１ｄ）をＰチャンネルと形成するとよい。Ｎチャンネルトランジスタを形成するプロセスとなくすことができるから、低コスト化と高歩留まり化を実現できる。

なお、単位トランジスタ１８５４はＩＣ１４に形成するとしたが、これに限定するものではない。低温ポリシリコン技術でソースドライバ回路１４を形成してもよい。この場合も、ソースドライバ回路１４内の単位トランジスタ１８５４はＮチャンネルトランジスタで構成することが好ましい。

画素１６のトランジスタ１１をＰチャンネルトランジスタで形成し、ゲートドライバ回路１２をＰチャンネルトランジスタで形成する。このように画素１６のトランジスタ１１とゲートドライバ回路１２の両方をＰチャンネルトランジスタで形成することにより基板７１を低コスト化できる。しかし、ソースドライバ１４は、単位トランジスタ１８５４をＮチャンネルトランジスタで形成することが必要になる。したがって、ソースドライバ回路１４は基板７１に直接形成することができない。そこで別途、シリコンチップなどでソースドライバ回路１４を作製し、基板７１に積載する。つまり、本発明は、ソースドライバＩＣ１４（映像信号としてのプログラム電流を出力する手段）を外付けする構成である。

また、ゲートドライバ１２をＰチャンネルで形成すると、オフ電圧（Ｖｇｈ）を保持（維持）しやすい。したがって、画素１６の駆動用トランジスタ１１ａ、１１ｂ、１１ｃをオフ電位に保持しやくいため、本発明のＰチャンネルトランジスタから構成された画素構成

とマッチングがよく、相乗効果を発揮する。
なお、ソースドライバ回路１４はシリコンチップで構成するとしたがこれに限定するものではない。たとえば、低温ポリシリコン技術などでガラス基板に多数個を同時に形成し、チップ状に切断して、基板７１に積載してもよい。なお、基板７１にソースドライバ回路を積載するとして説明しているが、積載に限定するものではない。ソースドライバ回路１４の出力端子を基板７１のソース信号線１８に接続するのであればいずれの形態でもよい。たとえば、ＴＡＢ技術でソースドライバ回路１４をソース信号線１８に接続する方式が例示される。シリコンチップなどに別途ソースドライバ回路１４を形成することにより、出力電流のバラツキが低減し、良好な画像表示を実現できる。また、低コスト化が可能である。
また、画素１６の選択トランジスタをＰチャンネルで構成し、ゲートドライバ回路をＰチャンネルトランジスタで構成するという構成は、有機ＥＬなどの自己発光デバイス（表示パネルあるいは表示装置）に限定されるものではない。たとえば、液晶表示デバイス、ＦＥＤ（フィールドエミッションディスプレイ）にも適用することができる。
画素１６のスイッチング用トランジスタ１１ｂ、１１ｃがＰチャンネルトランジスタで形成されていると、Ｖｇｈで画素１６が選択状態となる。Ｖｇｌで画素１６が非選択状態となる。以前にも説明したが、ゲート信号線１７ａがオン（Ｖｇｌ）からオフ（Ｖｇｈ）になる時に電圧が突き抜ける（突き抜け電圧）。画素１６の駆動用トランジスタ１１ａがＰチャンネルトランジスタで形成されていると、黒表示状態の時、この突き抜け電圧によりトランジスタ１１ａがより電流が流れないようになる。したがって、良好な黒表示を実現できる。黒表示を実現することが困難であるという点が、電流駆動方式の課題である。
本発明では、ゲートドライバ回路１２をＰチャンネルトランジスタで構成することにより、オン電圧はＶｇｈとなる。したがって、Ｐチャンネルトランジスタで形成された画素１６とマッチングがよい。また、黒表示を良好にする効果を発揮させるためには、図１、図２の画素１６の構成のように、アノード電圧Ｖｄｄから駆動用トランジスタ１１ａ、ソース信号線１８を介してソースドライバ回路１４の単位トランジスタ１８５４にプログラム電流Ｉｗが流入するように構成することが重要である。したがって、ゲートドライバ回路１２および画素１６をＰチャンネルトランジスタで構成し、ソースドライバ回路１４を基板に積載し、かつソースドライバ回路１４の単位トランジスタ１８５４をＮチャンネルトランジスタで構成することは、すぐれた相乗効果を発揮する。また、Ｎチャンネルで形成した単位トランジスタ１８５４はＰチャンネルで形成した単位トランジスタ１８５４に比較して出力電流のバラツキが小さい。同一面積（Ｗ・Ｌ）のトランジスタ１８５４で比較した場合、Ｎチャンネルの単位トランジスタ１８５４はＰチャンネルの単位トランジスタ１８５４に比較して、出力電流のばらつきは、１／１．５から１／２になる。この理由からもソースドライバＩＣ１４の単位トランジスタ１８５４はＮチャンネルで形成することが好ましい。
図１８６に、３段式カレントミラー回路による１７６出力（Ｎ×Ｍ＝１７６）の回路図の一例を示す。図１８６では、第１段カレントミラー回路による電流源１８４１を親電流源、第２段カレントミラー回路による電流源１８４２を子電流源、第３段カレントミラー回路による電流源１８４３を孫電流源と記している。最終段カレントミラー回路である第３段カレントミラー回路による電流源の整数倍の構成により、１７６出力のばらつきを極力抑え、高精度な電流出力が可能である。
なお、密集して配置するとは、第１の電流源１８４１と第２の電流源１８４２とを少なくとも８ｍｍ以内の距離に配置（電流あるいは電圧の出力側と電流あるいは電圧の入力側）することをいう。さらには、５ｍｍ以内に配置することが好ましい。この範囲であれば、検討によりシリコンチップ内で配置されてトランジスタの特性（Ｖｔ、モビリティ（μ））差がほとんど発生しないからである。また、同様に、第２の電流源１８４２と第３の電流源１８４３（電流の出力側と電流の入力側）も少なくとも８ｍｍ以内の距離に配置する。さらに好ましくは、５ｍｍ以内の位置に配置することが好ましい。以上の事項は、本発明の他の実施例においても適用されることは言うまでもない。

この電流あるいは電圧の出力側と電流あるいは電圧の入力側とは、以下の関係を意味する。図１８７の電圧受け渡しの場合は、第（Ｉ）段の電流源のトランジスタ１８４１（出力側）と第（Ｉ＋１）の電流源のトランジスタ１８４２ａ（入力側）とを密集して配置する関係である。図１８８の電流受け渡しの場合は、第（Ｉ）段の電流源のトランジスタ１８４１ａ（出力側）と第（Ｉ＋１）の電流源のトランジスタ１８４２ｂ（入力側）とを密集して配置する関係である。

なお、図１８６、図１８７などにおいて、トランジスタ１８４１は１個としたが、これに限定するものではない。たとえば、小さなサブトランジスタ１８４１を複数個形成し、この複数個のサブトランジスタのソースまたはドレイン端子を抵抗４９１と接続して単位トランジスタ１８５４を構成してもよい。小さなサブトランジスタを複数個並列に接続することのより、単位トランジスタ１８５４のばらつきを低減することができる。

同様に、トランジスタ１８４２ａは１個としたが、これに限定するものではない。たとえば、小さなトランジスタ１８４２ａを複数個形成し、このトランジスタ１８４２ａの複数個のゲート端子を、トランジスタ１８４１のゲート端子と接続してもよい。小さなトランジスタ１８４２ａを複数個並列に接続することのより、トランジスタ１８４２ａのばらつきを低減することができる。

したがって、本発明の構成としては、１つのトランジスタ１８４１と複数個のトランジスタ１８４２ａとを接続する構成、複数個のトランジスタ１８４１と１個のトランジスタ１８４２ａとを接続する構成、複数個のトランジスタ１８４１と複数個のトランジスタ１８４２ａとを接続する構成が例示される。以上の実施例は後に詳細に説明する。

以上の事項は、図１８９のトランジスタ１８４３ａとトランジスタ１８４３ｂとの構成にも適用される。１つのトランジスタ１８４３ａと複数個のトランジスタ１８４３ｂａとを接続する構成、複数個のトランジスタ１８４３ａと１個のトランジスタ１８４３ｂとを接続する構成、複数個のトランジスタ１８４３ａと複数個のトランジスタ１８４３ｂとを接続する構成が例示される。小さなトランジスタ１８４３を複数個並列に接続することのより、トランジスタ１８４３のばらつきを低減することができるからである。

以上の事項は、図１８９のトランジスタ１８４２ａ、１８４２ｂとの関係にも適用することができる。また、図１８５のトランジスタ１８４３ｂも複数個のトランジスタで構成することが好ましい。

ここで、ソースドライバＩＣ１４はシリコンチップで形成するとして説明するが、これに限定するものではない。ソースドライバＩＣ１４は、ガリウム基板、ゲルマニウム基板など形成された他の半導体チップでもよい。また、単位トランジスタ１８５４は、バイポーラトランジスタ、ＣＭＯＳトランジスタ、ＦＥＴ、バイＣＭＯＳトランジスタ、ＤＭＯＳトランジスタのいずれでもよい。しかし、単位トランジスタ１８５４の出力バラツキを小さくする観点から、単位トランジスタ１８５４はＣＭＯＳトランジスタで構成することが好ましい。

単位トランジスタ１８５４はＮチャンネルで構成することが好ましい。Ｐチャンネルトランジスタで構成した単位トランジスタは、Ｎチャンネルトランジスタで構成した単位トランジスタに比較して、出力バラツキが１．５倍になる。

ソースドライバＩＣ１４の単位トランジスタ１８５４は、Ｎチャンネルトランジスタで構成することが好ましいことから、ソースドライバＩＣ１４のプログラム電流は、画素１６からソースドライバＩＣへの引き込み電流となる。したがって、画素１６の駆動用トランジスタ１１ａはＰチャンネルで構成される。また、図１のスイッチング用トランジスタ１１ｄもＰチャンネルトランジスタで構成される。

以上のことから、ソースドライバＩＣ（回路）１４の出力段の単位トランジスタ１８５４をＮチャンネルトランジスタで構成し、画素１６の駆動用トランジスタ１１ａをＰチャンネルトランジスタで構成するという構成は、本発明の特徴ある構成である。なお、画素１６を構成するトランジスタ１１のすべて（トランジスタ１１ａ、１１ｂ、１１ｃ、１１ｄ）をＰチャンネルと形成するとよい。Ｎチャンネルトランジスタを形成するプロセスとなくすことができるから、低コスト化と高歩留まり化を実現できる。

なお、単位トランジスタ１８５４はＩＣ１４に形成するとしたが、これに限定するものではない。低温ポリシリコン技術でソースドライバ回路１４を形成してもよい。この場合も、ソースドライバ回路１４内の単位トランジスタ１８５４はＮチャンネルトランジスタで構成することが好ましい。

図１８８は電流受け渡し構成の実施例である。なお、図１８７は電圧受け渡し構成の実施例である。図１８７、図１８８とも回路図としては同じであり、レイアウト構成すなわち配線の引き回し方が異なる。図１８７において、１８４１は第１段電流源用Ｎチャンネルトランジスタ、１８４２ａは第２段電流源用Ｎチャンネルトランジスタ、１８４２ｂは第２段電流源用Ｐチャンネルトランジスタである。

図１８８において、１８４１ａは第１段電流源用Ｎチャンネルトランジスタ、１８４２ａは第２段電流源用Ｎチャンネルトランジスタ、１８４２ｂは第２段電流源用Ｐチャンネルトランジスタである。

図１８７では、可変抵抗４９１（電流を変化するために用いるものである）とＮチャンネルトランジスタ１８４１で構成される第１段電流源のゲート電圧が、第２段電流源のＮチャンネルトランジスタ１８４２ａのゲートに受け渡されているので、電圧受け渡し方式のレイアウト構成となる。

一方、図１８８では、可変抵抗４９１とＮチャンネルトランジスタ１８４１ａで構成される第１段電流源のゲート電圧が、隣接する第２段電流源のＮチャンネルトランジスタ１８４２ａのゲートに印加され、その結果トランジスタに流れる電流値が、第２段電流源のＰチャンネルトランジスタ１８４２ｂに受け渡されているので、電流受け渡し方式のレイアウト構成となる。

なお、本発明の実施例では説明を容易にするため、あるいは理解を容易にするために、第１の電流源と第２の電流源との関係を中心に説明しているが、これに限定されるものではなく、第２の電流源と第３の電流源との関係、あるいはそれ以外の電流源との関係においても適用される（適用できる）ことは言うまでもない。

図１８７に示した電圧受け渡し方式のカレントミラー回路のレイアウト構成では、カレントミラー回路を構成する第１段の電流源のＮチャンネルトランジスタ１８４１と第２段の電流源のＮチャンネルトランジスタ１８４２ａが離れ離れになる（離れ離れになりやすいというべきではある）ので、両者のトランジスタ特性に相違が生じやすい。したがって、第１段電流源の電流値が第２段電流源に正確に伝達されず、ばらつきが生じやすい。

それに対して、図１８８に示した電流受け渡し方式のカレントミラー回路のレイアウト構成では、カレントミラー回路を構成する第１段電流源のＮチャンネルトランジスタ１８４１ａと第２段電流源のＮチャンネルトランジスタ１８４２ａが隣接している（隣接して配置しやすい）ので、両者のトランジスタ特性に相違は生じにくく、第１段電流源の電流値が第２段電流源に正確に伝達され、ばらつきが生じにくい。

以上のことから、本発明の多段式カレントミラー回路の回路構成（本発明の電流駆動方式のソースドライバ回路（ＩＣ）１４として、電圧受け渡しではなく、電流受け渡しとなるレイアウト構成とすることにより、よりばらつきの小さくでき好ましい。以上の実施例は本発明の他の実施例にも適用できることは言うまでもない。

なお、説明の都合上、第１段電流源から第２段電流源の場合を示したが、第２段電流源から第３段電流源、第３段電流源から第４段電流源、・・・などの多段の場合も同様であることは言うまでもない。また、本発明は１段の電流源構成を採用してもよいことは言うまでもない

図１８９は、図１８６の３段構成のカレントミラー回路（３段構成の電流源）を、電流受け渡し方式にした場合の例を示している（したがって、図１８６は電圧受け渡し方式の回路構成である）。

図１８９では、まず、可変抵抗４９１とＮチャンネルトランジスタ１８４１で基準電流が作成される。なお、可変抵抗４９１で基準電流を調整するように説明しているが、実際は、ソースドライバＩＣ（回路）１４内に形成（もしくは配置）された電子ボリウム回路によりトランジスタ１８４１のソース電圧が設定され、調整されるように構成される。もし

くは、図１８５に図示するような多数の電流源（１単位）１８５４から構成される電流方式の電子ボリウムから出力される電流を直接にトランジスタ１８４１のソース端子に供給することにより基準電流は調整される。
トランジスタ１８４１による第１段電流源のゲート電圧が、隣接する第２段電流源のＮチャンネルトランジスタ１８４２ａのゲートに印加され、その結果トランジスタに流れる電流値が、第２段電流源のＰチャンネルトランジスタ１８４２ｂに受け渡される。また、第２の電流源のトランジスタ１８４２ｂによるゲート電圧が、隣接する第３段電流源のＮチャンネルトランジスタ１８４３ａのゲートに印加され、その結果トランジスタに流れる電流値が、第３段電流源のＮチャンネルトランジスタ１８４３ｂに受け渡される。第３段電流源のＮチャンネルトランジスタ１８４３ｂのゲートには図１８５に図示する多数のＮチャンネルの単位トランジスタ１８５４が必要なビット数に応じて形成（配置）される。
以下、本発明の表示パネルについて説明をする。本発明の表示パネルは、画素およびゲートドライバ回路１２をポリシリコン技術で形成している。ソースドライバ回路１４はシリコンウエハを加工したＩＣチップから構成されている。したがって、ソースドライバ回路１４はソースドライバＩＣである。ソースドライバＩＣ１４は、ＣＯＧ技術でアレイ基板７１に積載する。そのため、ソースドライバＩＣ１４下には空間がある。この空間（アレイ基板面）にアノード線を形成する。
図８３に図示するようにアノード接続端子からアノード線８３２が配線され、ソースドライバＩＣの両側に形成されたアノード線８３２は、ＩＣ１４下に形成されたアノード結合線８３５で電気的に接続されている。
ＩＣ１４の出力側には共通アノード線８３３が形成または配置されている。共通アノード線８３３からアノード配線８３４が分岐されている。アノード配線８３４はＱＣＩＦパネルの場合は、１７６×ＲＧＢ＝５２８本である。アノード配線８３４を介して、図１などで図示するＶｄｄ電圧（アノード電圧）が供給される。１本のアノード配線８３４には、ＥＬ素子１５が低分子材料の場合は、最大で２００μＡ程度の電流が流れる。したがって、共通アノード配線８３３には、２００μＡ×５２８で約１００ｍＡの電流が流れる。
したがって、共通アノード配線８３３での電圧降下を０．２（Ｖ）以内にするには、電流が流れる最大経路の抵抗値が２Ω（１００ｍＡ流れるとして）以下にする必要がある。
アノード結合線８３５はＩＣチップ１４の下に形成（配置）する。形成する線幅は、低抵抗化の観点から、極力太い方がよいことは言うまでのない。その他、アノード結合線８３５は遮光の機能を持たせることが好ましい。ＥＬ素子１５が発生する光のよって、ソースドライバＩＣ１４にホトコンダクタ現象が発生し、誤動作を防止するためである。なお、アノード結合線８３５を金属材料で所定膜厚形成すれば、遮光の効果があることはいうまでもない。
アノード結合線８３５が太くできない時、あるいは、ＩＴＯなどの透明材料で形成するときは、アノード結合線８３５に積層して、あるいは多層に、光吸収膜あるいは光反射膜をＩＣチップ１４下（基本的にはアレイ７１の表面）に形成する。また、アノード結合線８３５は、完全な遮光膜であることを必要としない。部分に開口部があってもよく。また、回折効果、散乱効果を発揮するものでもよい。また、アノード結合線８３５に積層させて、光学的干渉多層膜からなる遮光膜を形成または配置してもよい。
もちろん、アレイ基板７１とＩＣチップ１４との空間に、金属箔あるいは板あるいはシートからなる反射板（シート）、光吸収板（シート）を配置あるいは挿入あるいは形成してもよいことは言うまでもない。また、金属箔に限定されず、有機材料あるいは無機材料からなる箔あるいは板あるいはシートからなる反射板（シート）、光吸収板（シート）を配置あるいは挿入あるいは形成してもよいことは言うまでもない。また、アレイ基板７１とＩＣチップ１４との空間に、ゲルあるいは液体からなる光吸収材料、光反射材料を注入あるいは配置してもよい。さらに前記ゲルあるいは液体からなる光吸収材料、光反射材料を加熱により、あるいは光照射により硬化させることが好ましい。なお、ここでは説明を容易にするために、アノード結合線８３５を遮光膜（反射膜）にするとして説明をする。
アノード結合線８３５はアレイ基板７１の表面（なお、表面に限定するものではない。遮

光膜／反射膜とするという思想を満足させるためには、ＩＣチップ１４の裏面に光が入射しなければよいのである。したがって、基板７１の内面あるいは内層にアノード結合線８３５などを形成してもよいことは言うまでもない。また、基板７１の裏面にアノード結合線８３５（反射膜、光吸収膜として機能する構成または構造）を形成することのより、ＩＣ１４に光が入射することを防止または抑制できるのであれば、アレイ基板７１の裏面でもよい。

また、図８３などでは、遮光膜などはアレイ基板７１に形成するとしたがこれに限定するものではなく、ＩＣチップ１４の裏面に直接に遮光膜などを形成してもよい。この場合は、ＩＣチップ１４の裏面に絶縁膜（図示せず）を形成し、この絶縁膜上に遮光膜もしくは反射膜などを形成する。

また、ソースドライバ回路１４がアレイ基板７１に直接に形成する構成（低温ポリシリコン技術、高温ポリシリコン技術、固相成長技術、アモルファスシリコン技術によるドライバ構成）の場合は、遮光膜、光吸収膜あるいは反射膜を基板７１に形成し、その上にドライバ回路１４を形成（配置）すればよい。

ＩＣチップ１４には電流出力回路１４６１など、微少電流を流すトランジスタ素子が多く形成されている（図１４６）。微少電流を流すトランジスタ素子に光が入射すると、ホトコンダクタ現象が発生し、出力電流（プログラム電流Ｉｗ）などが異常な値（バラツキが発生するなど）となる。特に、有機ＥＬなどの自発光素子は、基板７１内でＥＬ素子１５から発生した光が乱反射するため、表示領域５０以外の箇所から強い光が放射される。この放射された光が、ＩＣチップ１４の回路形成部１４６１に入射するとホトコンダクタ現象を発生する。したがって、ホトコンダクタ現象の対策は、ＥＬ表示デバイスに特有の対策である。

この課題に対して、本発明では、アノード結合線８３５を基板７１上に構成し、遮光膜する。アノード結合線８３５の形成領域は図８３に図示するように、回路形成部１４６１を被覆するようにする。以上のように、遮光膜（アノード結合線８３５）を形成することにより、ホトコンダクタ現象を完全に防止できる。特にアノード結合線８３５などのＥＬ電源線は、画面書き換えに伴い、電流がながれて多少の電位が変化する。しかし、電位の変化量は、１Ｈタイミングで少しずつ変化するため、ほど、グランド電位（電位変化しないという意味）として見なせる。したがって、アノード結合線８３５は遮光の機能だけでなく、シールドの効果も発揮する。

共通アノード線８３２の電圧降下、アノード配線８３４の電圧降下を抑制するため、図８４に図示するように、表示画面５０の上側に共通アノード線８３２ａを形成し、表示画面５０の下側に共通アノード線８３２ｂを形成して、アノード配線８３４の上下でショート状態にするとよい。

また、図８５に図示するように、画面５０の上下にソースドライバ回路１４を配置することも好ましい。また、図８６に図示するように、表示画面５０を表示画面５０ａと表示画面５０ｂに分割し、表示画面５０ａをソースドライバ回路１４ａで駆動し、表示画面５０ｂをソースドライバ回路１４ｂで駆動するようにしてもよい。

有機ＥＬなどの自発光素子は、基板７１内でＥＬ素子１５から発生した光が乱反射するため、表示領域５０以外の箇所から強い光が放射される。この乱反射光を防止あるいは抑制するため、画像表示に有効な光が通過しない箇所（無効領域）に光吸収膜を形成するとよい。光吸収膜を形成する箇所は、封止フタ８５の外面、封止フタ８５の内面、基板７０の側面、基板の画像表示領域以外（光吸収膜１０１１ｂ）などである。なお、光吸収膜に限定するものではなく、光吸収シートを取り付けてもよく、また、光吸収壁でもよい。また、光吸収の概念には、光を散乱させることのより、光を発散させる方式あるいは構造も含まれる、また、広義には反射により光を封じこめる方式あるいは構成も含まれる。

光吸収膜を構成する物質としては、アクリル樹脂などの有機材料にカーボンを含有させたもの、黒色の色素あるいは顔料を有機樹脂中に分散させたもの、カラーフィルタの様にゼラチンやカゼインを黒色の酸性染料で染色したものが例示される。その他、単一で黒色となるフルオラン系色素を発色させて用いたものでもよく、緑色系色素と赤色系色素とを混

合した配色ブラックを用いることもできる。また、スパッタにより形成されたＰｒＭｎＯ３膜、プラズマ重合により形成されたフタロシアニン膜等が例示される。
図９４は本発明の電源回路の構成図である。９４２は制御回路である。抵抗９４５ａと９５４ｂの中点電位を制御し、トランジスタ９４６のゲート信号を出力する。トランス９４１の１次側には電源Ｖｐｃが印加され、１次側の電流がトランジスタ９４６のオンオフ制御により２次側に伝達される。９４３は整流ダイオードであり、９４４は平滑化コンデンサである。
アノード電圧Ｖｄｄは抵抗９４５ｂに出力電圧が調整される。Ｖｓｓはカソード電圧である。カソード電圧Ｖｓｓは図９５に図示するように２つの電圧を選択して出力できるように構成されている。選択はスイッチ９５１で行う。図９５では、スイッチ９５１により－９（Ｖ）が選択されている。
スイッチ９５１の選択は温度センサ９５２からの出力結果による。パネル温度が低いときは、Ｖｓｓ電圧として、－９（Ｖ）を選択する。一定以上のパネル温度の時は、－６（Ｖ）を選択する。これは、ＥＬ素子１５に温特があり、低温側でＥＬ素子１５の端子電圧が高くなるためである。なお、図９５では、２つの電圧から１つの電圧を選択し、Ｖｓｓ（カソード電圧）とするとしたが、これに限定するものではなく、３つ以上の電圧からＶｓｓ電圧を選択できるように構成してもよい。以上の事項は、Ｖｄｄについても同様に適用される。
図９５のように、複数の電圧をパネル温度により選択できるように構成することで、パネルの消費電力を低減することができる。一定温度以下の時に、Ｖｓｓ電圧を低下させればよいからである。通常は、電圧が低いＶｓｓ＝－６（Ｖ）を使用することができる。なお、スイッチ９５１は図９６に図示するように構成してもよい。なお、複数のカソード電圧Ｖｓｓを発生させるのは、図９６のトランス９４１から中間タップをとりだすことにより容易に実現できる。アノード電圧Ｖｄｄの場合も同様である。
図９７は電位設定の説明図である。ソースドライバＩＣ１４はＧＮＤを基準にする。ソースドライバＩＣ１４の電源はＶｃｃである。Ｖｃｃはアノード電圧（Ｖｄｄ）と一致させてもよい。本発明では消費電力の観点から、Ｖｃｃ＜Ｖｄｄにしている。
ゲートドライバ回路１２のオフ電圧Ｖｇｈは、Ｖｄｄ電圧以上にする。好ましくは、Ｖｄｄ＋０．５（Ｖ）＜Ｖｇｈ＜Ｖｄｄ＋２．５（Ｖ）の関係を満足させる。オン電圧ＶｇｌはＶｓｓと一致させてもよいが、好ましくは、Ｖｓｓ（Ｖ）＜Ｖｇｌ＜－０．５（Ｖ）の関係を満足させる。以上の電圧設定は、画素構成が図１の場合に重要である。
本発明は有機ＥＬ表示装置について説明をしているが、有機ＥＬ表示装置に用いる表示パネルは有機ＥＬ表示パネルのみに限定されるものではない。たとえば、図９９に図示するように有機ＥＬ表示パネルをメイン表示パネルとして用い、液晶表示パネル９９１をサブ表示パネルとして用いる表示装置を構成してもよい。
図１００は、メイン表示用のアレイ基板７１ａとサブ表示用のアレイ基板７１ｂをもちいたＥＬ表示パネルの構成図である。アレイ基板７１ａとアレイ基板７１ｂ間に乾燥剤１０７が配置されている（封入されている）（図１０１を参照のこと）。
１００１はＡＣＦなどの接続樹脂である。ソースドライバ回路１４からの信号は、アレイ基板７１ａのソース信号線１８、接続樹脂１００１を介してアレイ基板７１ｂのソース信号線１８に伝達される。
１００４は偏光板あるいは円偏光板である。偏光板１００４とアレイ基板７１間には拡散剤１００３が配置または形成されている。拡散剤１００３は偏光板１００４とアレイ基板７１とをはり合わせる接着剤としても機能する。拡散剤１００４は、アクリル系接着剤内に酸化チタンの微粉末が添加されたもの、アクリル系接着剤内に炭酸カルシウムの微粉末が添加されたものが例示される。拡散剤１００４によりＥＬ素子１５から発生した光の取り出し効率が向上する。
図１０１はアレイ基板７１ａとアレイ基板７１ｂ間にガラスリング１０１１を配置した構成である。ガラスリング１０１１を使用することにより、アレイ基板７１ａとアレイ基板７１ｂ間の距離を自由に設定できるようになる。

図１０２は本発明のパネルモジュールの構成図である。フレキ１０２１はコネクタ端子１０２３に入力された信号をソースドライバＩＣ１４およびゲートドライバ回路１２に伝達する機能を有する。また、１０２２はコントロールＩＣである。
コントロールＩＣ１０２２はシリアルの映像データをパラレル変換してソースドライバＩＣ１４に入力する。また、パネルの制御データを解読してソースドライバ回路１４などを制御する機能を有する。
図１０３は信号の流れを模式的に示したものである。シリアルデータ１０３１がフレキ１０２１の配線を介してコントロールＩＣ１０２２に入力される。コントロールＩＣ１０２２はシリアル／パラレルデータ変換を行い、パラレル映像データ１０３２、ゲートドライフ回路制御データ１０３３に展開する。
図１０４はコントローラＩＣ１０２２が展開するデータを記載したものである。入力はシリアルの映像信号ＤＡＴＡ、シリアルの制御データＩＤおよびクロックＣＬＫである。出力は、パラレルの映像データ（ＲＤＡＴＡ（赤データ）、ＧＤＡＴＡ（緑データ）、ＢＤＡＴＡ（青データ））、プリチャージ電圧（ＲＰＶ（赤用プリチャージ電圧）、ＧＰＶ（緑用プリチャージ電圧）、ＢＰＶ（青用プリチャージ電圧））、クロック（ＣＬＫ）、上下反転信号（ＵＤ）、ＥＬ側のゲート回路制御信号（ＥＬＣＮＴＬ）、ＷＲ側のゲート回路制御信号（ＷＲＣＮＴＬ）などである。
図１０８は入力データ信号のタイムングチャートである。ＩＤはＨレベルの時、ＤＡＴＡが映像信号であることを示し、Ｌレベルの時、ＤＡＴＡが制御データであることを示す。データはＣＬＫの立ち上りで検出する。図１０９は制御データＩＤもシリアル入力にした実施例である。また、図１１０は入力信号をＬＶＤＳ信号とした実施例である。
図１０５は本発明の表示パネルの構成図である。図１０５の（ａ）は表示パネルの裏面であり、図１０５の（ｂ）はＡＡ'線での断面図である。表示パネルの裏面には、放熱板１０５１が取り付けられている。また、図１１で説明した薄膜封止が実施されている。放熱板１０５１は薄膜封止膜１１１上にシリコン系の接着剤（図示せず）で接着されている。前記接着剤は、ＥＬ素子１５で発熱した熱の伝導体としても作用する。放熱板には複数の穴１０５２が形成されている。この穴１０５２内を空気が通過し、パネルの熱を放熱する。
図１０６に図示するように、回路基板（プリント基板）１０６２上には実装部品１０６１が実装されている。回路基板１０６２はパネルの接続端子とフレキ基板１０２１で取り付けられている。したがって、回路基板１０６２からの信号は、フレキ基板１０２１を介してパネル基板７１に伝達される。
プリント基板１０６２と基板７１とは接触し、薄膜封止膜１１１に傷がつかないように、プリント基板１０６２上に緩衝部材（緩衝突起）１０６３が形成されている（図１０６の（ａ））。緩衝部材１０６３はアクリル樹脂、ポリウレタン樹脂、ポリイミド樹脂で形成するとよい。なお、緩衝部材１０６３は図１０６の（ｂ）に図示するように、パネル基板７１側に形成してもよい。図１０７に図示するように、筐体５７３上にパネル基板７１を配置する場合は、筐体５７３とパネル基板７１間に緩衝部材１０６３を配置するとよい。
つぎに、本発明の駆動方式を実施する本発明の表示機器についての実施例について説明をする。図５７は情報端末装置の一例としての携帯電話の平面図である。筐体５７３にアンテナ５７１、テンキー５７２などが取り付けられている。５７２などが表示色切換キーあるいは電源オンオフ、フレームレート切り替えキーである。
キー５７２を１度押さえると表示色は８色モードに、つづいて同一キー５７２を押さえると表示色は２５６色モード、さらにキー５７２を押さえると表示色は４０９６色モードとなるようにシーケンスを組んでもよい。キーは押さえるごとに表示色モードが変化するトグルスイッチとする。なお、別途表示色に対する変更キーを設けてもよい。この場合、キー５７２は３つ（以上）となる。
キー５７２はプッシュスイッチの他、スライドスイッチなどの他のメカニカルなスイッチでもよく、また、音声認識などにより切換るものでもよい。たとえば、４０９６色を受話器に音声入力すること、たとえば、「高品位表示」、「２５６色モード」あるいは「低表

示色モード」と受話器に音声入力することにより表示パネルの表示画面５０に表示される表示色が変化するように構成する。これは現行の音声認識技術を採用することにより容易に実現することができる。
また、表示色の切り替えは電気的に切換るスイッチでもよく、表示パネルの表示部２１に表示させたメニューを触れることにより選択するタッチパネルでも良い。また、スイッチを押さえる回数で切換る、あるいはクリックボールのように回転あるいは方向により切換るように構成してもよい。
５７２は表示色切換キーとしたが、フレームレートを切換るキーなどとしてもよい。また、動画と静止画とを切換るキーなどとしてもよい。また、動画と静止画とフレームレートなどの複数の要件を同時に切り替えてもよい。また、押さえ続けると徐々に（連続的に）フレームレートが変化するように構成してもよい。この場合は発振器を構成するコンデンサＣ、抵抗Ｒのうち、抵抗Ｒを可変抵抗にしたり、電子ボリウムにしたりすることにより実現できる。また、コンデンサはトリマコンデンサとすることにより実現できる。また、半導体チップに複数のコンデンサを形成しておき、１つ以上のコンデンサを選択し、これらを回路的に並列に接続することにより実現してもよい。
なお、表示色などによりフレームレートを切換るという技術的思想は携帯電話に限定されるものではなく、パームトップコンピュータや、ノートパソコン、ディスクトップパソコン、携帯時計など表示画面を有する機器に広く適用することができる。
図５７で説明した本発明の携帯電話では図示していないが、筐体の裏側にＣＣＤカメラを備えている。ＣＣＤカメラで撮影し画像は即時に表示パネルの表示画面５０に表示できる。ＣＣＤカメラで撮影したデータは、表示画面５０に表示することができる。ＣＣＤカメラの画像データは２４ビット（１６７０万色）、１８ビット（２６万色）、１６ビット（６．５万色）、１２ビット（４０９６色）、８ビット（２５６色）をキー５７２入力で切り替えることができる。
図５８は本発明の実施の形態におけるビューファインダの断面図である。但し、説明を容易にするため模式的に描いている。また一部拡大あるいは縮小した箇所が存在し、また、省略した箇所もある。たとえば、図５８において、接眼カバーを省略している。以上のことは他の図面においても該当する。
ボデー５７３の裏面は暗色あるいは黒色にされている。これは、ＥＬ表示パネル（表示装置）５７４から出射した迷光がボデー５７３の内面で乱反射し表示コントラストの低下を防止するためである。また、表示パネルの光出射側には位相板（λ／４板など）１０８、偏光板１０９などが配置されている。このことは図１０、図１１でも説明している。
接眼リング５８１には拡大レンズ５８２が取り付けられている。観察者は接眼リング５８１をボデー５７３内での挿入位置を可変して、表示パネル５７４の表示画像５０にピントがあうように調整する。
また、必要に応じて表示パネル５７４の光出射側に正レンズ５８３を配置すれば、拡大レンズ５８２に入射する主光線を収束させることができる。そのため、拡大レンズ５８２のレンズ径を小さくすることができ、ビューファインダを小型化することができる。
図５９はビデオカメラの斜視図である。ビデオカメラは撮影（撮像）レンズ部５９２とビデオかメラ本体５７３と具備し、撮影レンズ部５９２とビューファインダ部５７３とは背中合わせとなっている。また、ビューファインダ（図５８も参照）５７３には接眼カバーが取り付けられている。観察者（ユーザー）はこの接眼カバー部から表示パネル５７４の画像５０を観察する。
一方、本発明のＥＬ表示パネルは表示モニターとしても使用されている。表示部５０は支点５９１で角度を自由に調整できる。表示部５０を使用しない時は、格納部５９３に格納される。
スイッチ５９４は以下の機能を実施する切り替えあるいは制御スイッチである。スイッチ５９４は表示モード切り替えスイッチである。スイッチ５９４は、携帯電話などにも取り付けることが好ましい。この表示モード切り替えスイッチ５９４について説明をする。
本発明の駆動方法の１つにＮ倍の電流をＥＬ素子１５に流し、１Ｆの１／Ｍの期間だけ点

灯させる方法がある。この点灯させる期間を変化させることのより、明るさをデジタル的に変更することができる。たとえば、Ｎ＝４として、ＥＬ素子１５には４倍の電流を流す。点灯期間を１／Ｍとし、Ｍ＝１、２、３、４と切り替えれば、１倍から４倍までの明るさ切り替えが可能となる。なお、Ｍ＝１、１．５、２、３、４、５、６などと変更できるように構成してもよい。

以上の切り替え動作は、携帯電話の電源をオンしたときに、表示画面５０を非常に明るく表示し、一定の時間を経過した後は、電力セーブするために、表示輝度を低下させる構成に用いる。また、ユーザーが希望する明るさに設定する機能としても用いることができる。たとえば、屋外などでは、画面を非常に明るくする。屋外では周辺が明るく、画面が全く見えなくなるからである。しかし、高い輝度で表示し続けるとＥＬ素子１５は急激に劣化する。そのため、非常に明るくする場合は、短時間で通常の輝度に復帰させるように構成しておく。さらに、高輝度で表示させる場合は、ユーザーがボタンと押すことにより表示輝度を高くできるようの構成しておく。

したがって、ユーザーがボタン５９４で切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成しておくことが好ましい。また、表示輝度を５０％、６０％、８０％とユーザーなどが設定できるように構成しておくことが好ましい。

なお、表示画面５０はガウス分布表示にすることが好ましい。ガウス分布表示とは、中央部の輝度が明るく、周辺部を比較的暗くする方式である。視覚的には、中央部が明るければ周辺部が暗くとも明るいと感じられる。主観評価によれば、周辺部が中央部に比較して７０％の輝度を保っておれば、視覚的に遜色ない。さらに低減させて、５０％輝度としてもほぼ、問題がない。本発明の自己発光型表示パネルでは、以前に説明したＮ倍パルス駆動（Ｎ倍の電流をＥＬ素子１５に流し、１Ｆの１／Ｍの期間だけ点灯させる方法）を用いて画面の上から下方向に、ガウス分布を発生させている。

具体的には、画面の上部と下部ではＭの値と大きくし、中央部でＭの値を小さくする。これは、ゲートドライバ１２のシフトレジスタの動作速度を変調することなどにより実現する。画面の左右の明るさ変調は、テーブルのデータと映像データとを乗算することにより発生させている。以上の動作により、周辺輝度（画角０．９）を５０％にした時、１００％輝度の場合に比較して約２０％の低消費電力化が可能である。周辺輝度（画角０．９）を７０％にした時、１００％輝度の場合に比較して約１５％の低消費電力化が可能である。

なお、ガウス分布表示はオンオフできるように切り替えスイッチなどを設けることが好ましい。たとえば、屋外などで、ガウス表示させると画面周辺部が全く見えなくなるからである。したがって、ユーザーがボタンで切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成しておくことが好ましい。また、周辺輝度を５０％、６０％、８０％とユーザーなどが設定できるように構成しておくことがこのましい。

液晶表示パネルではバックライトで固定のガウス分布を発生させている。したがって、ガウス分布のオンオフを行うことはできない。ガウス分布をオンオフできるのは自己発光型の表示デバイス特有の効果である。

また、フレームレートが所定の時、室内の蛍光灯などの点灯状態と干渉してフリッカが発生する場合がある。つまり、蛍光灯が６０Ｈｚの交流で点灯しているとき、ＥＬ表示素子１５がフレームレート６０Ｈｚで動作していると、微妙な干渉が発生し、画面がゆっくりと点滅しているように感じられる場合がある。これをさけるにはフレームレートを変更すればよい。本発明はフレームレートの変更機能を付加している。また、Ｎ倍パルス駆動（Ｎ倍の電流をＥＬ素子１５に流し、１Ｆの１／Ｍの期間だけ点灯させる方法）において、ＮまたはＭの値を変更できるように構成している。

以上の機能をスイッチ５９４で実現できるようにする。スイッチ５９４は表示画面５０のメニューにしたがって、複数回おさえることにより、以上に説明した機能を切り替え実現する。

なお、以上の事項は、携帯電話だけに限定されるものではなく、テレビ、モニターなどに用いることができることはいうまでもない。また、どのような表示状態にあるかをユーザーがすぐに認識できるように、表示画面にアイコン表示をしておくことが好ましい。以上の事項は以下の事項に対しても同様である。

本実施の形態のＥＬ表示装置などはビデオカメラだけでなく、図６０に示すような電子カメラにも適用することができる。表示装置はカメラ本体６０１に付属されたモニター５０として用いる。カメラ本体６０１にはシャッタ６０３の他、スイッチ５９４が取り付けられている。

以上は表示パネルの表示領域が比較的小型の場合であるが、３０インチ以上と大型となると表示画面５０がたわみやすい。その対策のため、本発明では図６１に示すように表示パネルに外枠６１１をつけ、外枠６１１をつりさげられるように固定部材６１４で取り付けている。この固定部材６１４を用いて、壁などに取り付ける。

しかし、表示パネルの画面サイズが大きくなると重量も重たくなる。そのため、表示パネルの下側に脚取り付け部６１３を配置し、複数の脚６１２で表示パネルの重量を保持できるようにしている。

脚６１２はＡに示すように左右に移動でき、また、脚６１２はＢに示すように収縮できるように構成されている。そのため、狭い場所であっても表示装置を容易に設置することができる。

図６１のテレビでは、画面の表面を保護フィルム（保護板でもよい）で被覆している。これは、表示パネルの表面に物体があたって破損することを防止することが１つの目的である。保護フィルムの表面にはＡＩＲコートが形成されており、また、表面をエンボス加工することにより表示パネルに外の状況（外光）が写り込むことを抑制している。

保護フィルムと表示パネル間にビーズなどを散布することにより、一定の空間が配置されるように構成されている。また、保護フィルムの裏面に微細な凸部を形成し、この凸部で表示パネルと保護フィルム間に空間を保持させる。このように空間を保持することにより保護フィルムからの衝撃が表示パネルに伝達することを抑制する。

また、保護フィルムと表示パネル間にアルコール、エチレングリコールなど液体あるいはゲル状のアクリル樹脂あるいはエポキシなどの固体樹脂などの光結合剤を配置または注入することも効果がある。界面反射を防止できるとともに、前記光結合剤が緩衝材として機能するからである。

保護フィルムをしては、ポリカーボネートフィルム（板）、ポリプロピレンフィルム（板）、アクリルフィルム（板）、ポリエステルフィルム（板）、ＰＶＡフィルム（板）などが例示される。その他エンジニアリング樹脂フィルム（ＡＢＳなど）を用いることができることは言うまでもない。また、強化ガラスなど無機材料からなるものでもよい。保護フィルムを配置するかわりに、表示パネルの表面をエポキシ樹脂、フェノール樹脂、アクリル樹脂で０．５ｍｍ以上２．０ｍｍ以下の厚みでコーティングすることも同様の効果がある。また、これらの樹脂表面にエンボス加工などをすることも有効である。

また、保護フィルムあるいはコーティング材料の表面をフッ素コートすることも効果がある。表面についた汚れを洗剤などで容易にふき落とすことができるからである。また、保護フィルムを厚く形成し、フロントライトと兼用してもよい。

本発明の実施例における表示パネルは、３辺フリーの構成と組み合わせることも有効であることはいうまでもない。特に３辺フリーの構成は画素がアモルファスシリコン技術を用いて作製されているときに有効である。また、アモルファスシリコン技術で形成されたパネルでは、トランジスタ素子の特性バラツキのプロセス制御が不可能のため、本発明のＮ倍パルス駆動、リセット駆動、ダミー画素駆動などを実施することが好ましい。つまり、本発明におけるトランジスタなどは、ポリシリコン技術によるものに限定するものではなく、アモルファスシリコンによるものであってもよい。

なお、本発明のＮ倍パルス駆動（図１３、図１６、図１９、図２０、図２２、図２４、図３０など）などは、低温ポリシリコン技術でトランジスタ１１を形成して表示パネルよりも、アモルファスシリコン技術でトランジスタ１１を形成した表示パネルに有効である。

アモルファスシリコンのトランジスタ１１では、隣接したトランジスタの特性がほぼ一致しているからである。したがって、加算した電流で駆動しても個々のトランジスタの駆動電流はほぼ目標値となっている（特に、図２２、図２４、図３０のＮ倍パルス駆動はアモルファスシリコンで形成したトランジスタの画素構成において有効である）。
本発明の実施例で説明した技術的思想はビデオカメラ、プロジェクター、立体テレビ、プロジェクションテレビなどに適用できる。また、ビューファインダ、携帯電話のモニター、ＰＨＳ、携帯情報端末およびそのモニター、デジタルカメラおよびそのモニターにも適用できる。
また、電子写真システム、ヘッドマウントディスプレイ、直視モニターディスプレイ、ノートパーソナルコンピュータ、ビデオカメラ、電子スチルカメラにも適用できる。また、現金自動引き出し機のモニター、公衆電話、テレビ電話、パーソナルコンピュータ、腕時計およびその表示装置にも適用できる。
さらに、家庭電器機器の表示モニター、ポケットゲーム機器およびそのモニター、表示パネル用バックライトあるいは家庭用もしくは業務用の照明装置などにも適用あるいは応用展開できることは言うまでもない。照明装置は色温度を可変できるように構成することが好ましい。これは、ＲＧＢの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更できる。また、広告あるいはポスターなどの表示装置、ＲＧＢの信号器、警報表示灯などにも応用できる。
また、スキャナの光源としても有機ＥＬ表示パネルは有効である。ＲＧＢのドットマトリックスを光源として、対象物に光を照射し、画像を読み取る。もちろん、単色でもよいことは言うまでもない。また、アクティブマトリックスに限定するものではなく、単純マトリックスでもよい。色温度を調整できるようにすれば画像読み取り精度も向上する。
また、液晶表示装置のバックライトにも有機ＥＬ表示装置は有効である。ＥＬ表示装置（バックライト）のＲＧＢの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更でき、また、明るさの調整も容易である。その上、面光源であるから、画面の中央部を明るく、周辺部を暗くするガウス分布を容易に構成できる。また、Ｒ、Ｇ、Ｂ光を交互に走査する、フィールドシーケンシャル方式の液晶表示パネルのバックライトとしても有効である。また、バックライトを点滅しても黒挿入することにより動画表示用などの液晶表示パネルのバックライトとしても用いることができる。

産業上の利用可能性

本発明によれば、高画質、良好な動画表示性能、低消費電力、低コスト化、高輝度化等のそれぞれの構成に応じて特徴ある効果を発揮する。
なお、本発明を用いれば、低消費電力の情報表示装置などを構成できるので、電力を消費しない。また、小型軽量化できるので、資源を消費しない。また、高精細の表示パネルであっても十分に対応できる。したがって、地球環境、宇宙環境に優しいこととなる。

【図面の簡単な説明】

第１図は、本発明の表示パネルの画素構成図である。
第２図は、本発明の表示パネルの画素構成図である。
第３図は、本発明の表示パネルの動作の説明図である。
第４図は、本発明の表示パネルの動作の説明図である。
第５図は、本発明の表示装置の駆動方法の説明図である。
第６図は、本発明の表示装置の構成図である。
第７図は、本発明の表示パネルの製造方法の説明図である。
第８図は、本発明の表示装置の構成図である。
第９図は、本発明の表示装置の構成図である。
第１０図は、本発明の表示パネルの断面図である。
第１１図は、本発明の表示パネルの断面図である。
第１２図は、本発明の表示パネルの説明図である。
第１３図は、本発明の表示装置の駆動方法の説明図である。

第１４図は、本発明の表示装置の駆動方法の説明図である。
第１５図は、本発明の表示装置の駆動方法の説明図である。
第１６図は、本発明の表示装置の駆動方法の説明図である。
第１７図は、本発明の表示装置の駆動方法の説明図である。
第１８図は、本発明の表示装置の駆動方法の説明図である。
第１９図は、本発明の表示装置の駆動方法の説明図である。
第２０図は、本発明の表示装置の駆動方法の説明図である。
第２１図は、本発明の表示装置の駆動方法の説明図である。
第２２図は、本発明の表示装置の駆動方法の説明図である。
第２３図は、本発明の表示装置の駆動方法の説明図である。
第２４図は、本発明の表示装置の駆動方法の説明図である。
第２５図は、本発明の表示装置の駆動方法の説明図である。
第２６図は、本発明の表示装置の駆動方法の説明図である。
第２７図は、本発明の表示装置の駆動方法の説明図である。
第２８図は、本発明の表示装置の駆動方法の説明図である。
第２９図は、本発明の表示装置の駆動方法の説明図である。
第３０図は、本発明の表示装置の駆動方法の説明図である。
第３１図は、本発明の表示装置の駆動方法の説明図である。
第３２図は、本発明の表示装置の駆動方法の説明図である。
第３３図は、本発明の表示装置の駆動方法の説明図である。
第３４図は、本発明の表示装置の構成図である。
第３５図は、本発明の表示装置の駆動方法の説明図である。
第３６図は、本発明の表示装置の駆動方法の説明図である。
第３７図は、本発明の表示装置の構成図である。
第３８図は、本発明の表示装置の構成図である。
第３９図は、本発明の表示装置の駆動方法の説明図である。
第４０図は、本発明の表示装置の構成図である。
第４１図は、本発明の表示装置の構成図である。
第４２図は、本発明の表示パネルの画素構成図である。
第４３図は、本発明の表示パネルの画素構成図である。
第４４図は、本発明の表示装置の駆動方法の説明図である。
第４５図は、本発明の表示装置の駆動方法の説明図である。
第４６図は、本発明の表示装置の駆動方法の説明図である。
第４７図は、本発明の表示パネルの画素構成図である。
第４８図は、本発明の表示装置の構成図である。
第４９図は、本発明の表示装置の駆動方法の説明図である。
第５０図は、本発明の表示パネルの画素構成図である。
第５１図は、本発明の表示パネルの画素構成図である。
第５２図は、本発明の表示装置の駆動方法の説明図である。
第５３図は、本発明の表示装置の駆動方法の説明図である。
第５４図は、本発明の表示パネルの画素構成図である。
第５５図は、本発明の表示装置の駆動方法の説明図である。
第５６図は、本発明の表示装置の駆動方法の説明図である。
第５７図は、本発明の携帯電話の説明図である。
第５８図は、本発明のビューファインダの説明図である。
第５９図は、本発明のビデオカメラの説明図である。
第６０図は、本発明のデジタルカメラの説明図である。
第６１図は、本発明のテレビ（モニター）の説明図である。
第６２図は、従来の表示パネルの画素構成図である。
第６３図は、本発明の表示パネルの画素構成図である。

第６４図は、本発明の表示パネルの画素構成図である。
第６５図は、本発明の表示パネルの画素構成図である。
第６６図は、本発明の表示装置の駆動方法の説明図である。
第６７図は、本発明の表示装置の駆動方法の説明図である。
第６８図は、本発明の表示パネルの説明図である。
第６９図は、本発明の表示パネルの説明図である。
第７０図は、本発明の表示パネルの説明図である。
第７１図は、本発明の表示パネルの説明図である。
第７２図は、本発明の表示パネルの説明図である。
第７３図は、本発明の表示パネルの説明図である。
第７４図は、本発明の表示パネルの説明図である。
第７５図は、本発明の表示パネルの説明図である。
第７６図は、本発明の表示パネルの説明図である。
第７７図は、本発明の表示装置の駆動方法の説明図である。
第７８図は、本発明の表示装置の駆動方法の説明図である。
第７９図は、本発明の表示装置の駆動方法の説明図である。
第８０図は、本発明の表示装置の駆動方法の説明図である。
第８１図は、本発明の表示装置の駆動方法の説明図である。
第８２図は、本発明の表示パネルの説明図である。
第８３図は、本発明の表示パネルの説明図である。
第８４図は、本発明の表示パネルの説明図である。
第８５図は、本発明の表示パネルの説明図である。
第８６図は、本発明の表示パネルの説明図である。
第８７図は、本発明の検査方法の説明図である。
第８８図は、本発明の検査方法の説明図である。
第８９図は、本発明の検査方法の説明図である。
第９０図は、本発明の検査方法の説明図である。
第９１図は、本発明の検査方法の説明図である。
第９２図は、本発明の検査方法の説明図である。
第９３図は、本発明の検査方法の説明図である。
第９４図は、本発明の表示装置の電源回路の説明図である。
第９５図は、本発明の表示装置の電源回路の説明図である。
第９６図は、本発明の表示装置の電源回路の説明図である。
第９７図は、本発明の表示装置の電源回路の説明図である。
第９８図は、本発明の表示パネルの駆動方法の説明図である。
第９９図は、本発明の表示装置の説明用の概略の断面図である。
第１００図は、本発明の表示装置の説明図である。
第１０１図は、本発明の表示装置の説明図である。
第１０２図は、本発明の表示装置の説明図である。
第１０３図は、本発明の表示装置の説明図である。
第１０４図は、本発明の表示装置の説明図である。
第１０５図は、本発明の表示装置の説明図である。
第１０６図は、本発明の表示装置の説明図である。
第１０７図は、本発明の表示装置の説明図である。
第１０８図は、本発明の表示装置の説明図である。
第１０９図は、本発明の表示装置の説明図である。
第１１０図は、本発明の表示装置の説明図である。
第１１１図は、本発明の表示装置の説明図である。
第１１２図は、本発明の表示装置の説明図である。
第１１３図は、本発明の表示装置の説明図である。

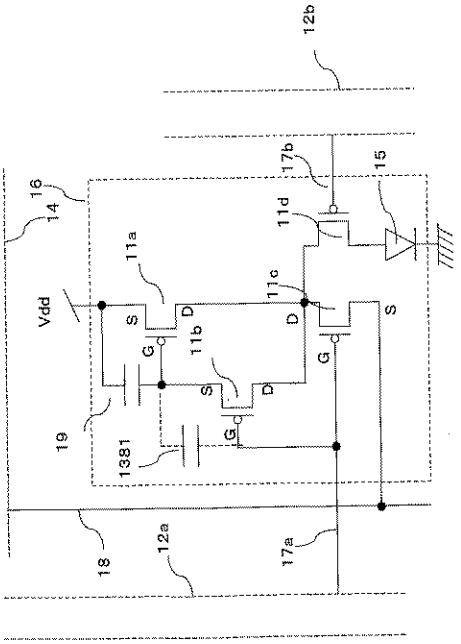
第１１４図は、本発明の表示装置の説明図である。
第１１５図は、本発明の表示パネルの駆動方法の説明図である。
第１１６図は、本発明の表示パネルの駆動方法の説明図である。
第１１７図は、本発明の表示パネルの駆動方法の説明図である。
第１１８図は、本発明の表示パネルの駆動方法の説明図である。
第１１９図は、本発明の表示パネルの駆動方法の説明図である。
第１２０図は、本発明の表示パネルの駆動方法の説明図である。
第１２１図は、本発明の表示パネルの駆動方法の説明図である。
第１２２図は、本発明の表示パネルの駆動方法の説明図である。
第１２３図は、本発明の表示パネルの駆動方法の説明図である。
第１２４図は、本発明の表示パネルの駆動方法の説明図である。
第１２５図は、本発明の表示パネルの駆動方法の説明図である。
第１２６図は、本発明の表示パネルの駆動方法の説明図である。
第１２７図は、本発明の表示パネルの駆動方法の説明図である。
第１２８図は、本発明の表示パネルの駆動方法の説明図である。
第１２９図は、本発明の表示パネルの駆動方法の説明図である。
第１３０図は、本発明の表示パネルの駆動方法の説明図である。
第１３１図は、本発明の表示パネルの駆動方法の説明図である。
第１３２図は、本発明の表示パネルの駆動方法の説明図である。
第１３３図は、本発明の表示パネルの駆動方法の説明図である。
第１３４図は、本発明の表示パネルの駆動方法の説明図である。
第１３５図は、本発明の表示パネルの駆動方法の説明図である。
第１３６図は、本発明の表示パネルの駆動方法の説明図である。
第１３７図は、本発明の表示パネルの駆動方法の説明図である。
第１３８図は、本発明の表示パネルの駆動方法の説明図である。
第１３９図は、本発明の表示パネルの駆動方法の説明図である。
第１４０図は、本発明の表示パネルの駆動方法の説明図である。
第１４１図は、本発明の表示パネルの駆動方法の説明図である。
第１４２図は、本発明の表示パネルの駆動方法の説明図である。
第１４３図は、本発明の表示パネルの駆動方法の説明図である。
第１４４図は、本発明の表示パネルの駆動方法の説明図である。
第１４５図は、本発明の表示パネルの駆動方法の説明図である。
第１４６図は、本発明の表示パネルの駆動方法の説明図である。
第１４７図は、本発明の表示パネルの駆動方法の説明図である。
第１４８図は、本発明の表示パネルの駆動方法の説明図である。
第１４９図は、本発明の表示パネルの駆動方法の説明図である。
第１５０図は、本発明の表示パネルの駆動方法の説明図である。
第１５１図は、本発明の表示パネルの駆動方法の説明図である。
第１５２図は、本発明の表示パネルの駆動方法の説明図である。
第１５３図は、本発明の表示パネルの駆動方法の説明図である。
第１５４図は、本発明の表示パネルの駆動方法の説明図である。
第１５５図は、本発明の表示パネルの駆動方法の説明図である。
第１５６図は、本発明の表示パネルの駆動方法の説明図である。
第１５７図は、本発明の表示パネルの駆動方法の説明図である。
第１５８図は、本発明の表示パネルの駆動方法の説明図である。
第１５９図は、本発明の表示パネルの駆動方法の説明図である。
第１６０図は、本発明の表示パネルの駆動方法の説明図である。
第１６１図は、本発明の表示パネルの駆動方法の説明図である。
第１６２図は、本発明の表示パネルの駆動方法の説明図である。
第１６３図は、本発明の表示パネルの駆動方法の説明図である。

第１６４図は、本発明の表示パネルの駆動方法の説明図である。
第１６５図は、本発明の表示装置の駆動方法の説明図である。
第１６６図は、本発明の表示装置の駆動方法の説明図である。
第１６７図は、本発明の表示装置の駆動方法の説明図である。
第１６８図は、本発明の表示装置の駆動方法の説明図である。
第１６９図は、本発明の表示装置の駆動方法の説明図である。
第１７０図は、本発明の表示装置の駆動方法の説明図である。
第１７１図は、本発明の表示装置の駆動方法の説明図である。
第１７２図は、本発明の表示装置の駆動方法の説明図である。
第１７３図は、本発明の表示装置の駆動方法の説明図である。
第１７４図は、本発明の表示装置の駆動方法の説明図である。
第１７５図は、本発明の表示装置の駆動方法の説明図である。
第１７６図は、本発明の表示装置の駆動方法の説明図である。
第１７７図は、本発明の表示装置の駆動方法の説明図である。
第１７８図は、本発明の表示装置の駆動方法の説明図である。
第１７９図は、本発明の表示装置の駆動方法の説明図である。
第１８０図は、本発明の表示装置の駆動方法の説明図である。
第１８１図は、本発明の表示装置の駆動方法の説明図である。
第１８２図は、本発明の表示装置の駆動方法の説明図である。
第１８３図は、本発明の表示装置の駆動方法の説明図である。
第１８４図は、本発明のソースドライバ回路の説明図である。
第１８５図は、本発明のソースドライバ回路の説明図である。
第１８６図は、本発明のソースドライバ回路の説明図である。
第１８７図は、本発明のソースドライバ回路の説明図である。
第１８８図は、本発明のソースドライバ回路の説明図である。
第１８９図は、本発明のソースドライバ回路の説明図である。
（符号の説明）
１１　トランジスタ（薄膜トランジスタ）
１２　ゲートドライバＩＣ（回路）
１４　ソースドライバＩＣ（回路）
１５　ＥＬ（素子）（発光素子）
１６　画素
１７　ゲート信号線
１８　ソース信号線
１９　蓄積容量（付加コンデンサ、付加容量）
５０　表示画面
５１　書き込み画素（行）
５２　非表示画素（非表示領域、非点灯領域）
５３　表示画素（表示領域、点灯領域）
６１　シフトレジスタ
６２　インバータ
６３　出力バッファ
７１　アレイ基板（表示パネル）
７２　レーザー照射範囲（レーザースポット）
７３　位置決めマーカー
７４　ガラス基板（アレイ基板）
８１　コントロールＩＣ（回路）
８２　電源ＩＣ（回路）
８３　プリント基板
８４　フレキシブル基板

８５　封止フタ
８６　カソード配線
８７　アノード配線（Ｖｄｄ）
８８　データ信号線
８９　ゲート制御信号線
１０１　土手（リブ）
１０２　層間絶縁膜
１０４　コンタクト接続部
１０５　画素電極
１０６　カソード電極
１０７　乾燥剤
１０８　λ／４板
１０９　偏光板
１１１　薄膜封止膜
２８１　ダミー画素（行）
３４１　出力段回路
３７１　ＯＲ回路
４０１　点灯制御線
４７１　逆バイアス線
４７２　ゲート電位制御線
５６１　電子ボリウム回路
５６２　トランジスタのＳＤ（ソース－ドレイン）ショート
５７１　アンテナ
５７２　キー
５７３　筐体
５７４　表示パネル
５８１　接眼リング
５８２　拡大レンズ
５８３　凸レンズ
５９１　支点（回転部）
５９２　撮影レンズ
５９３　格納部
５９４　スイッチ
６０１　本体
６０２　撮影部
６０３　シャッタスイッチ
６１１　取り付け枠
６１２　脚
６１３　取り付け台
６１４　固定部
６３１　切り替えスイッチ
６８１　絶縁膜
６９１　回折格子
７２１　画素開口部
３４１　出力段回路
９９１　基準電圧回路
９９２　ＰＣ（データ入力手段、制御手段）
９９３　入力回路（オペアンプ、スイッチ、Ａ／Ｄ変換回路）
９９４　トランジスタ
９９５　オペアンプ

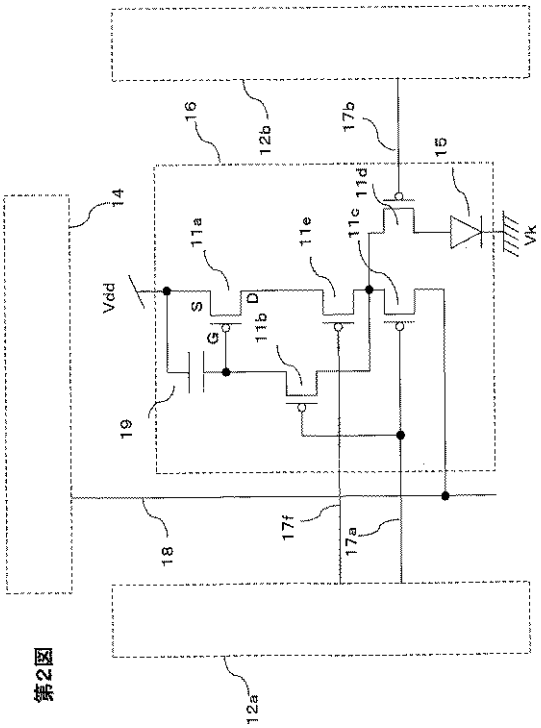
９９６　接続端子
９９７　プローブ（接続手段）
９４１　コイル（トランス）
９４２　制御回路
９４３　ダイオード
９４４　コンデンサ
９４５　抵抗
９４６　トランジスタ
９５１　スイッチ
９５２　温度センサ
９９１　液晶表示パネル
１００１　接続樹脂
１００２　封止樹脂
１００３　拡散剤
１００４　偏光板（偏光フィルム、円偏光板、円偏光フィルム）
１０１１　ガラスリング
１０２１　フレキシブル基板
１０２２　コントローラ
１０２３　コネクタ端子
１０３１　シリアルデータ
１０３２　パラレル映像データ
１０３３　ゲートドライバ回路制御データ
１０５１　放熱板（放熱フィルム）
１０５２　穴（空気穴、放熱穴）
１０６１　実装部品
１０６２　プリント基板
１０６３　緩衝部材（緩衝突起）
１１１１　単位ゲート出力回路
１３８１　寄生容量
１４３１　コンデンサドライバ
１４３３　コンデンサ信号線
１４３４　結合コンデンサ
１４６１　電流出力回路
１４７１　出力端子
１４７２　寄生容量
１４８１　インバータ
１５１１　共通信号線
１５１２　共通ドライバ回路
１８４１、１８４２、１８４３　電流源（トランジスタ）
１８５１　スイッチ（オンオフ手段）
１８５４　電流源（１単位）
１８５３　内部配線
１８６１　ボリウム（電流調節手段）
１８９１　トランジスタ群

【図１】



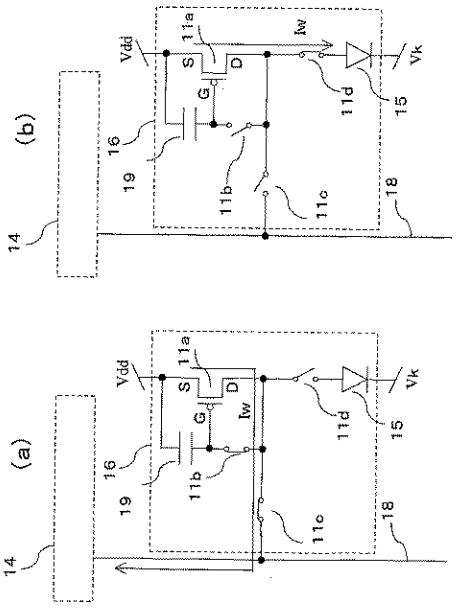
第1図

【図２】



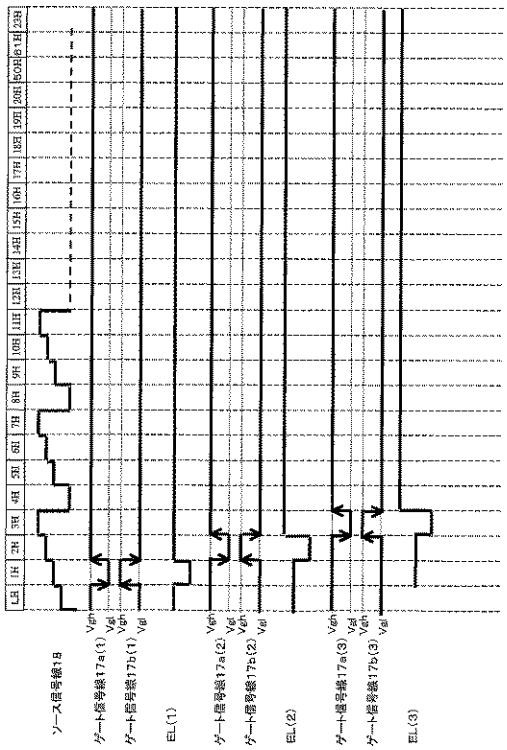
第2図

【図３】



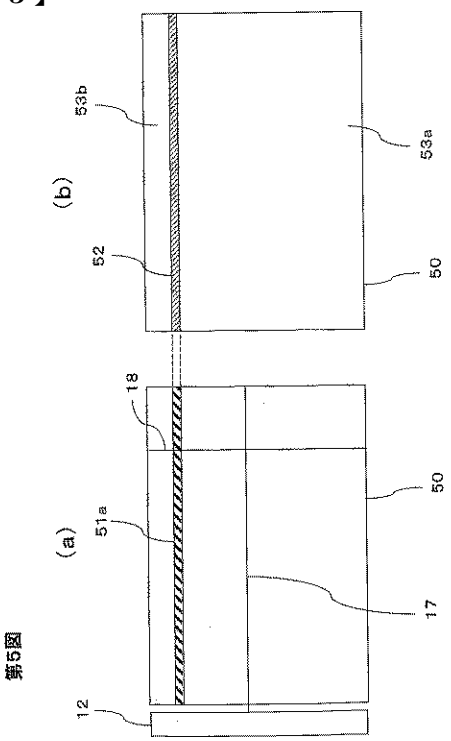
第3図

【図４】



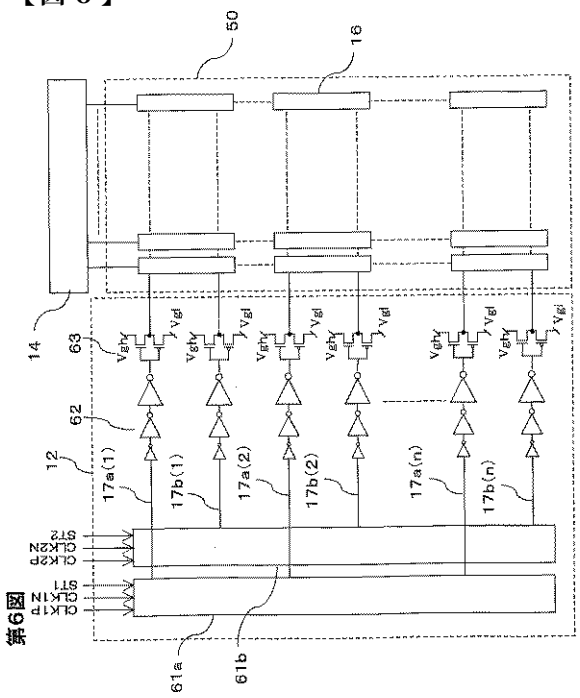
第4図

【図５】



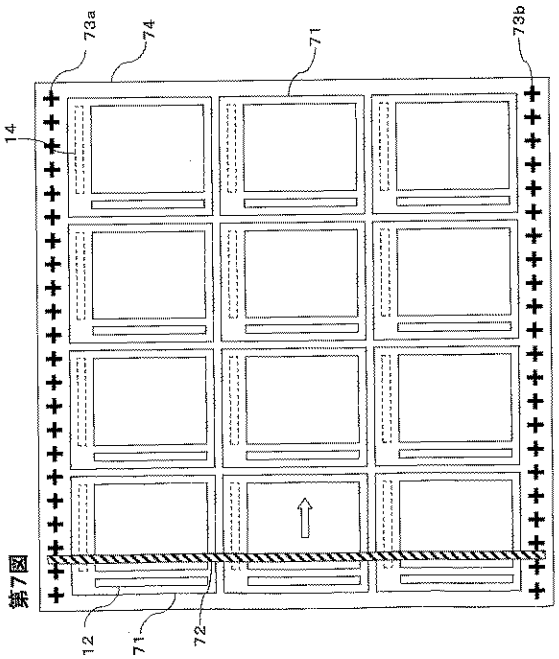
第5図

【図６】



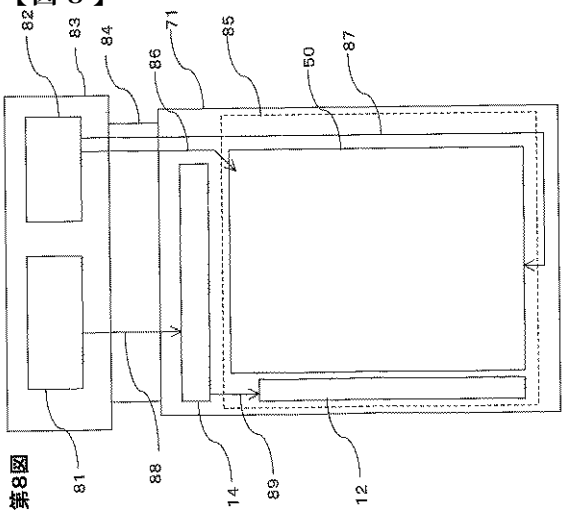
第6図

【図７】



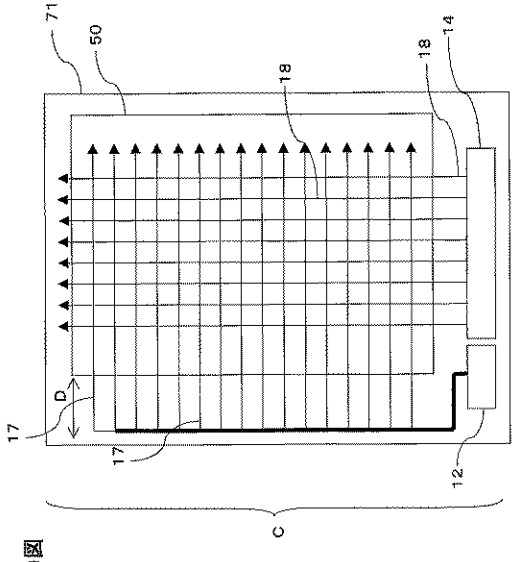
第7図

【図８】



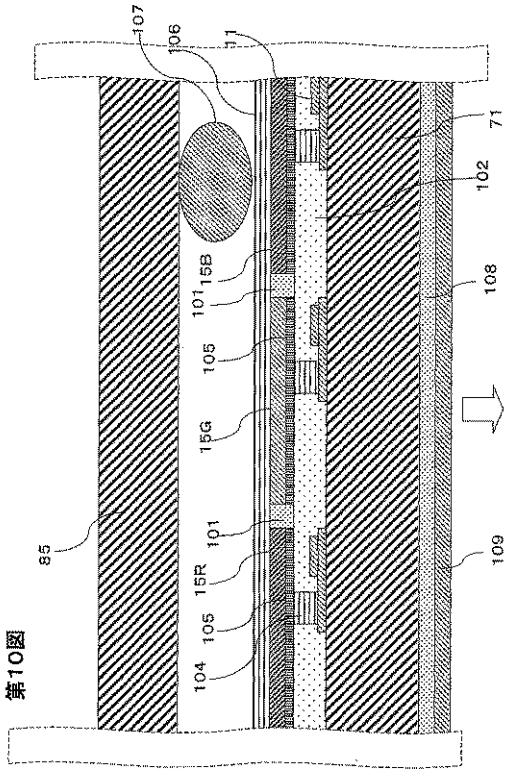
第8図

【図９】



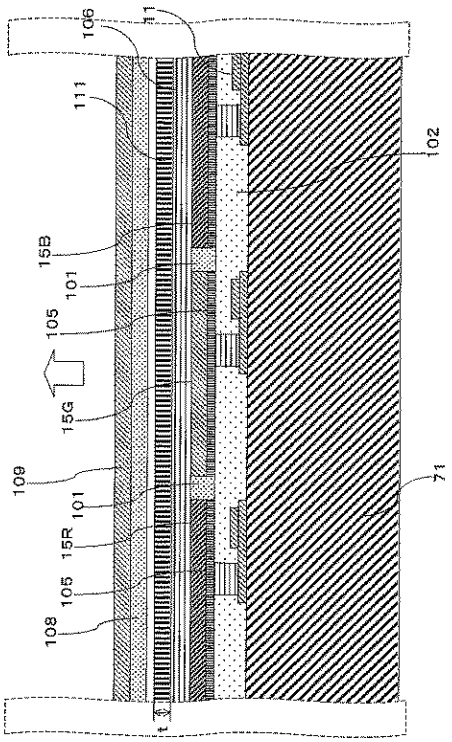
第9図

【図１０】



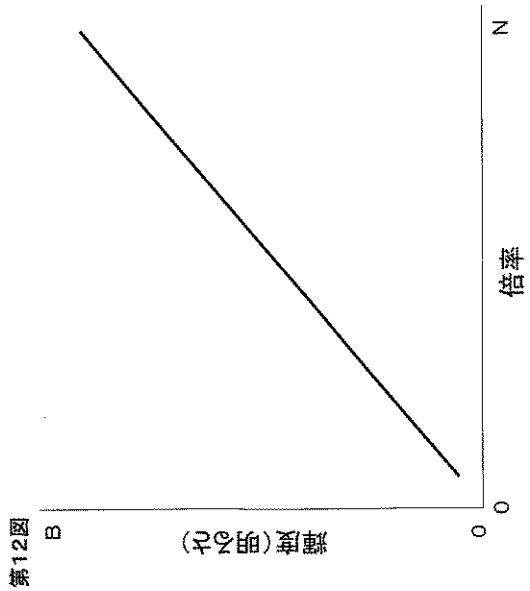
第10図

【図１１】



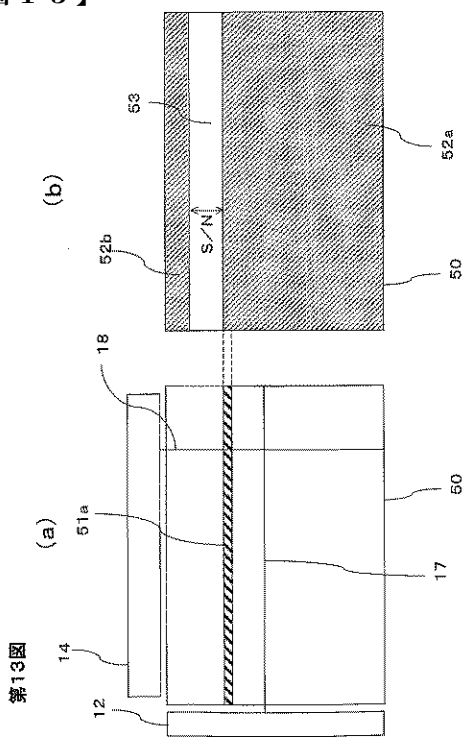
第11図

【図１２】



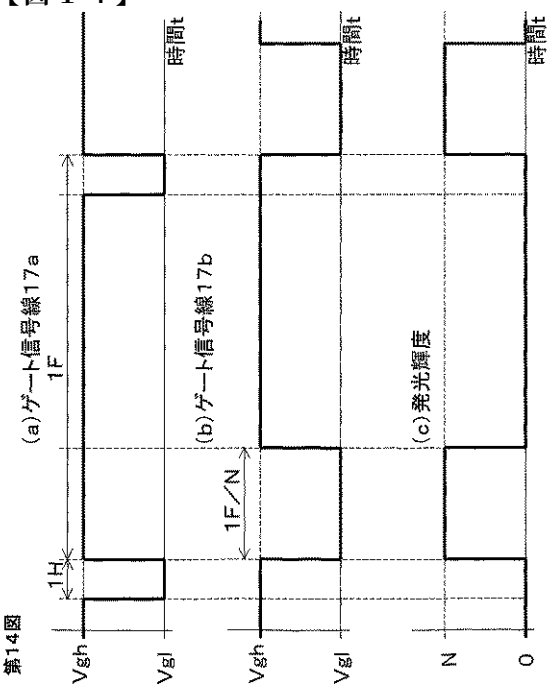
第12図

【図１３】



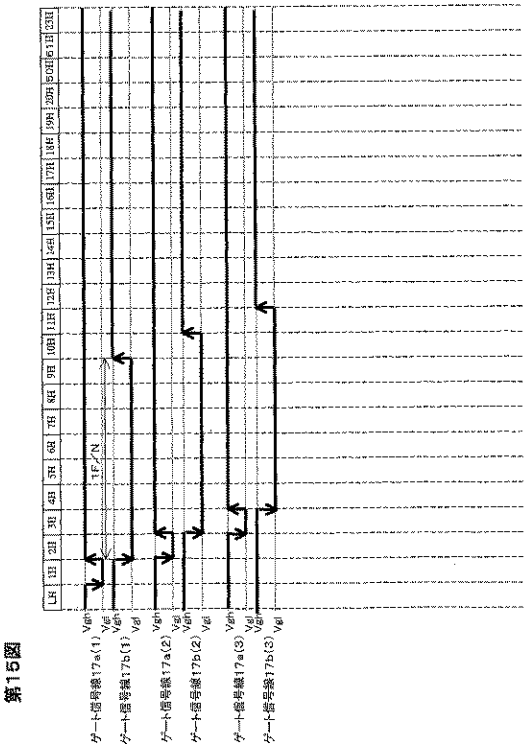
第13図

【図１４】



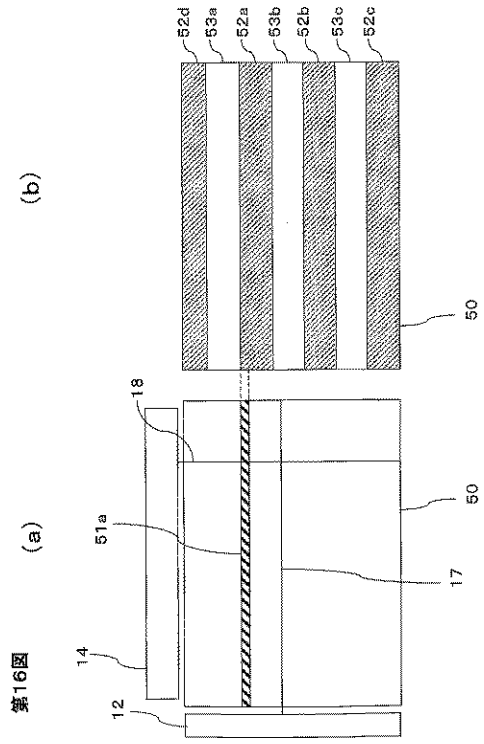
第14図

【図１５】



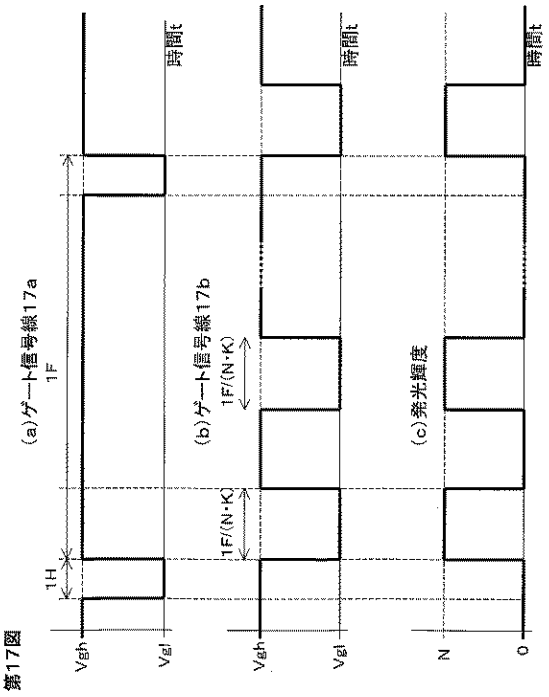
第15図

【図１６】



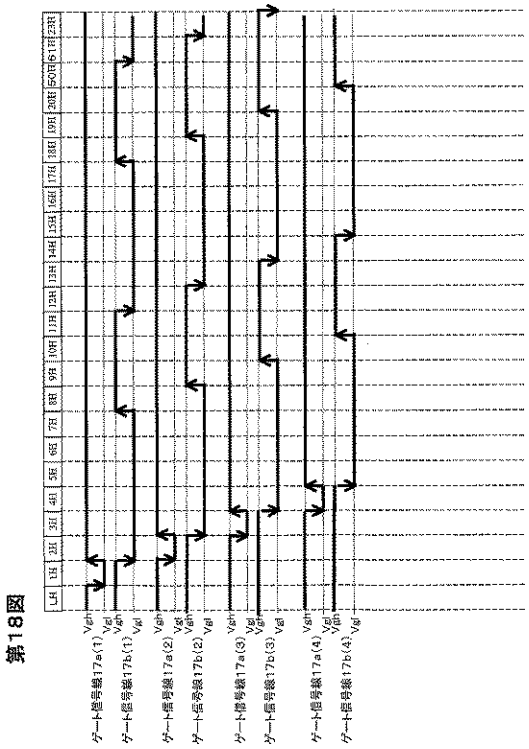
第16図

【図１７】



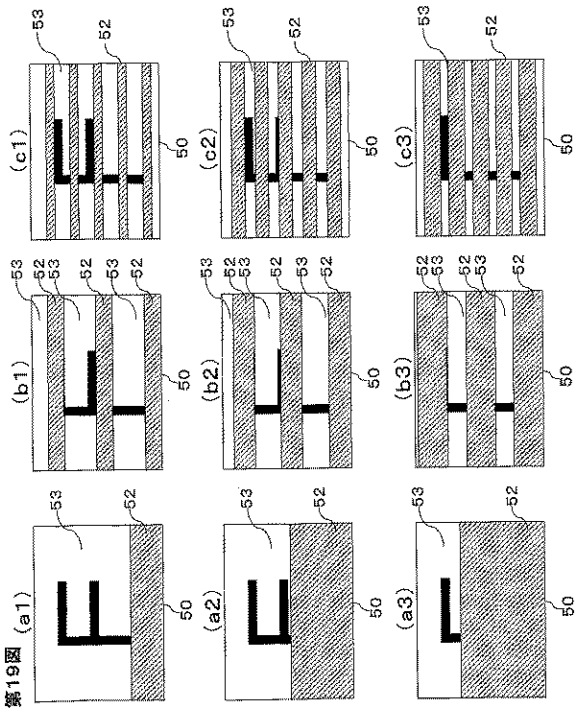
第17図

【図１８】



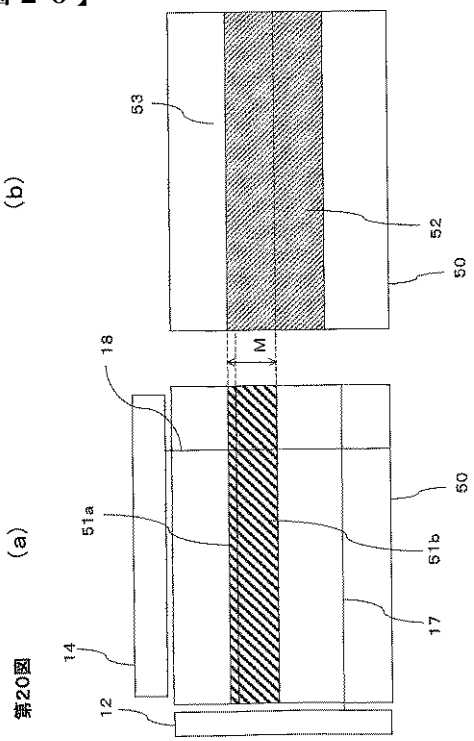
第18図

【図１９】



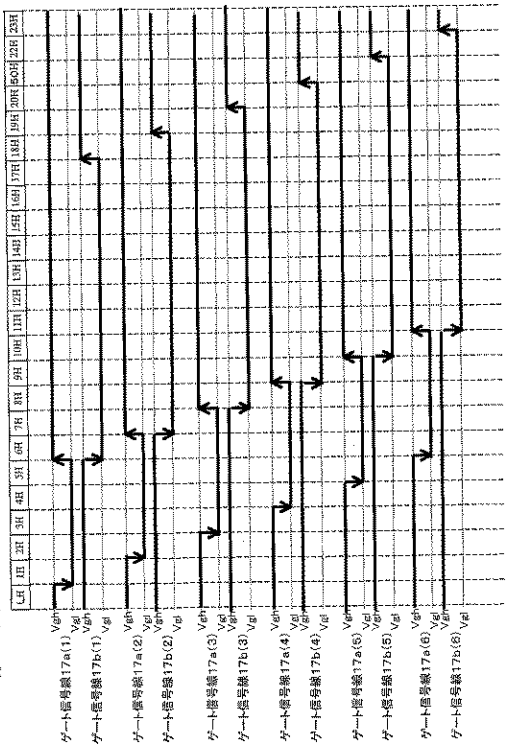
第19図

【図２０】



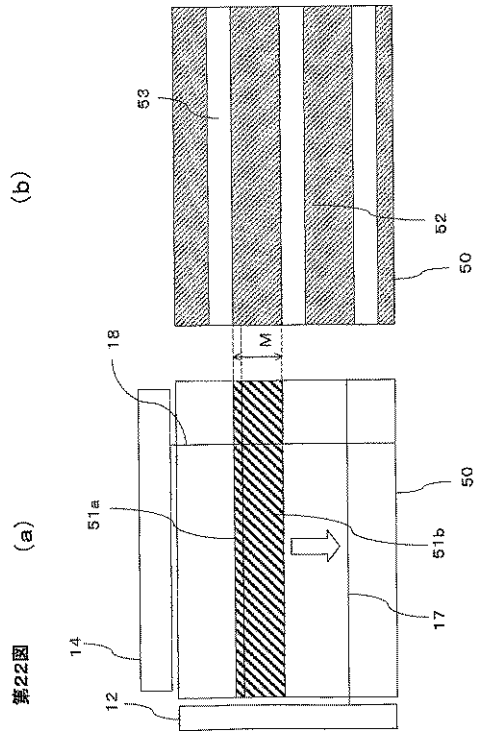
第20図

【図２１】



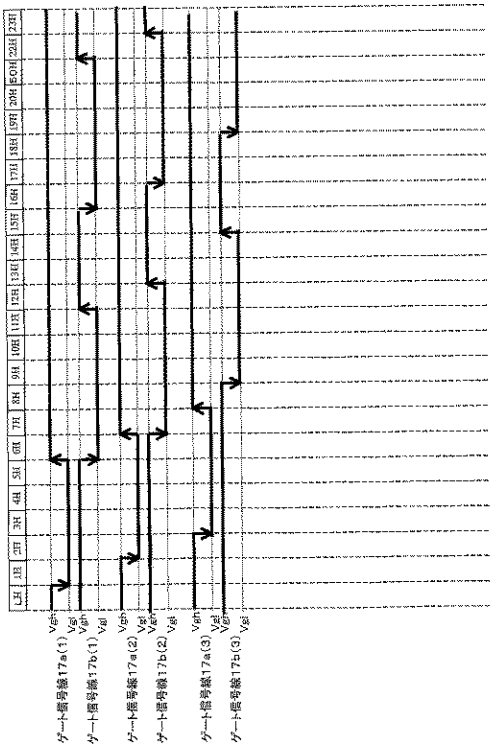
第21図

【図２２】



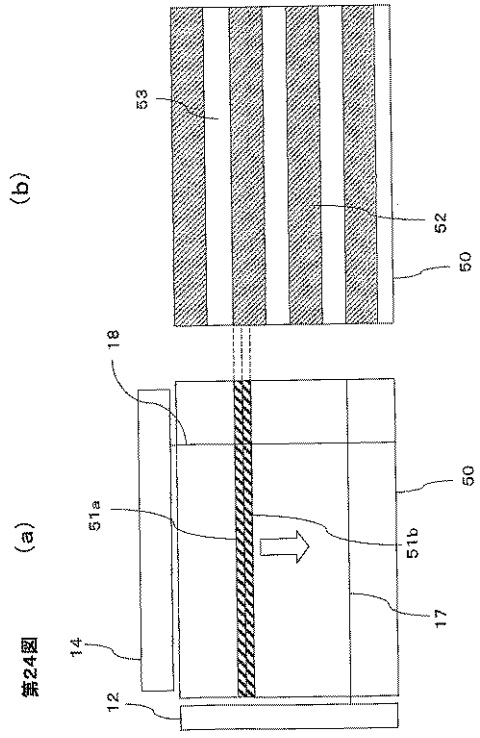
第22図

【図２３】



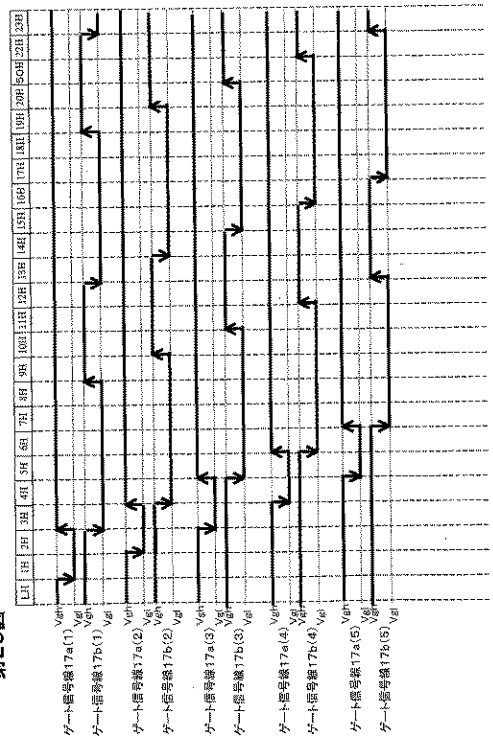
第23図

【図２４】



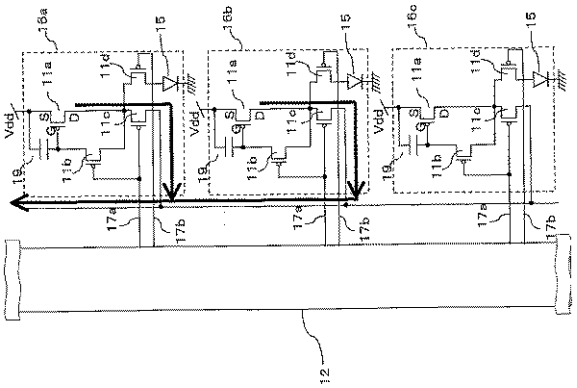
第24図

【図２５】



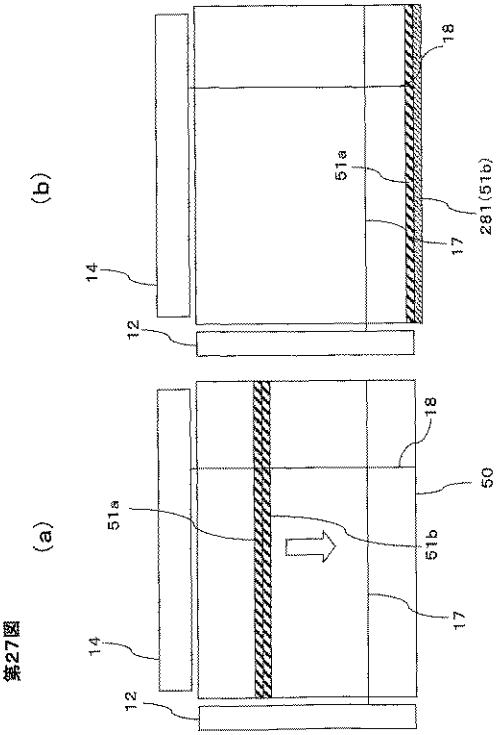
第25図

【図２６】



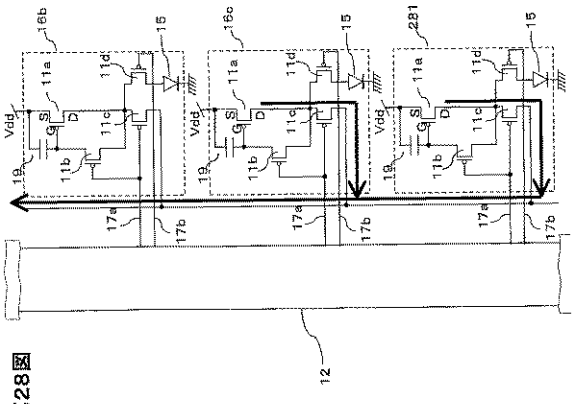
第26図

【図２７】



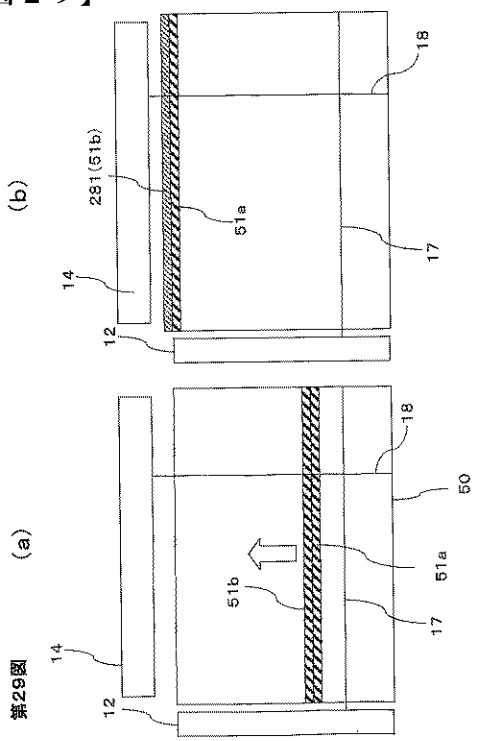
第27図

【図２８】



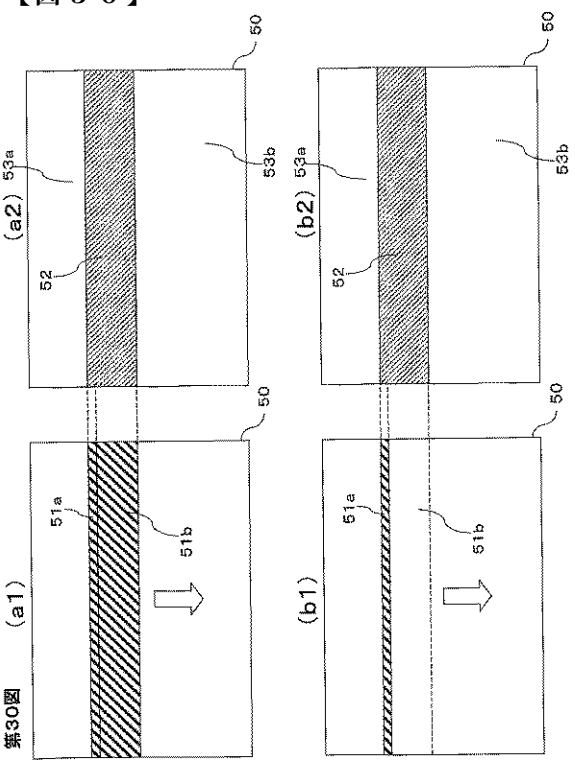
第28図

【図２９】



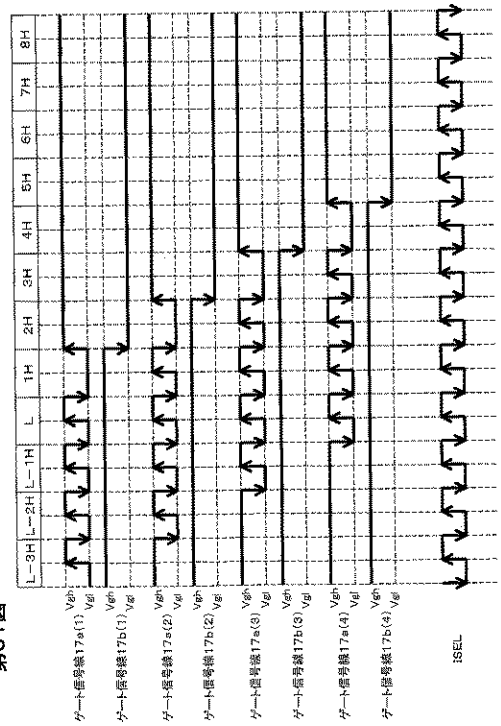
第29図

【図３０】



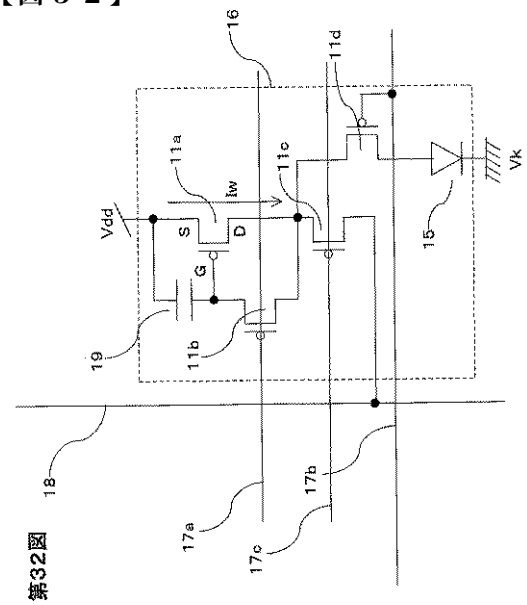
第30図

【図３１】



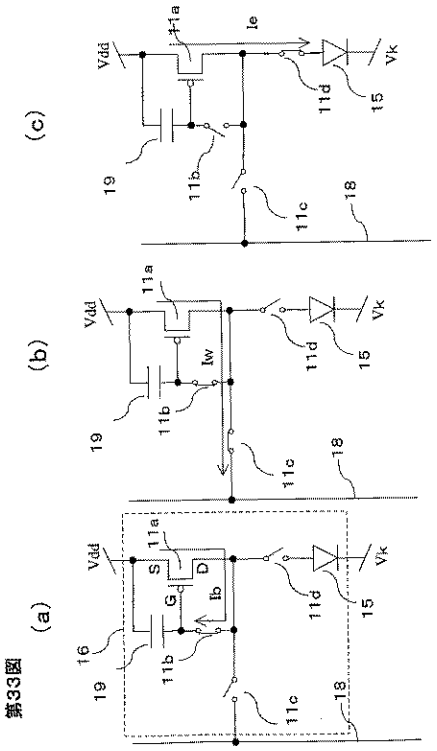
第31図

【図３２】



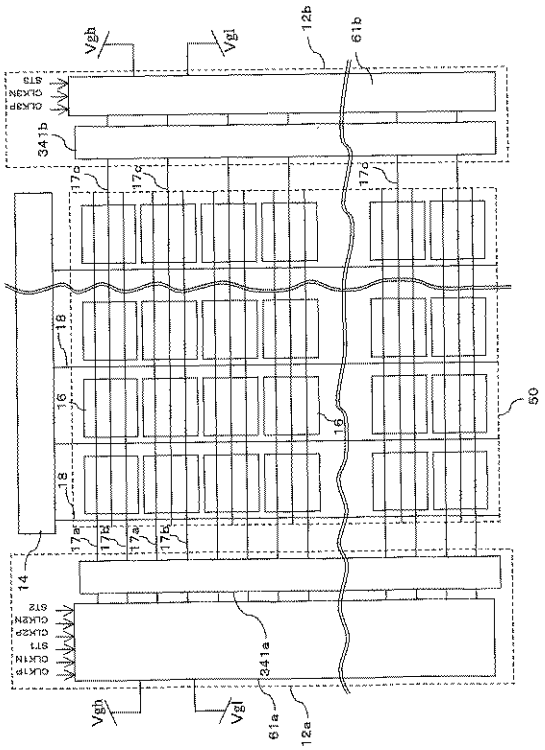
第32図

【図３３】



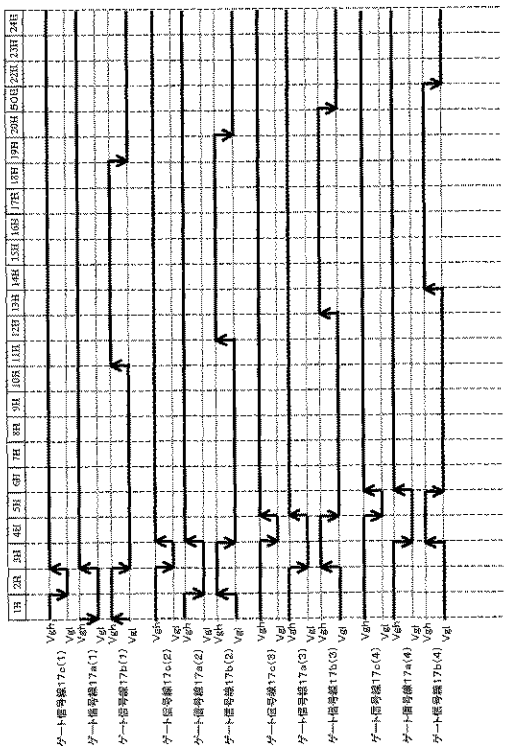
第33図

【図３４】



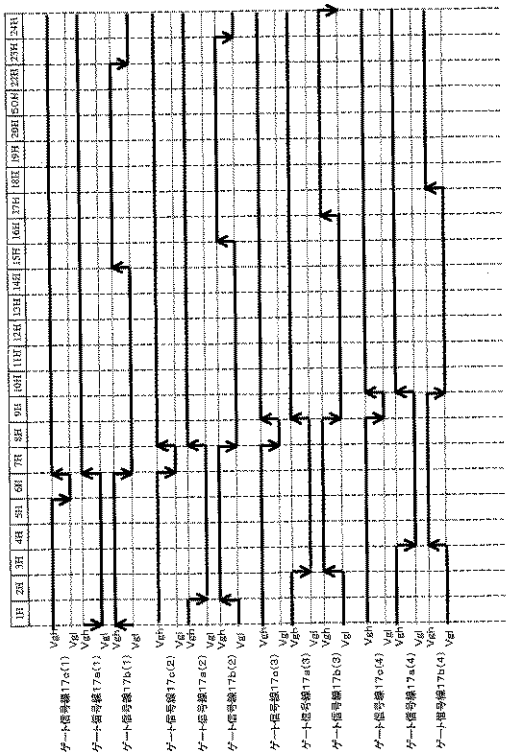
第34図

【図３５】



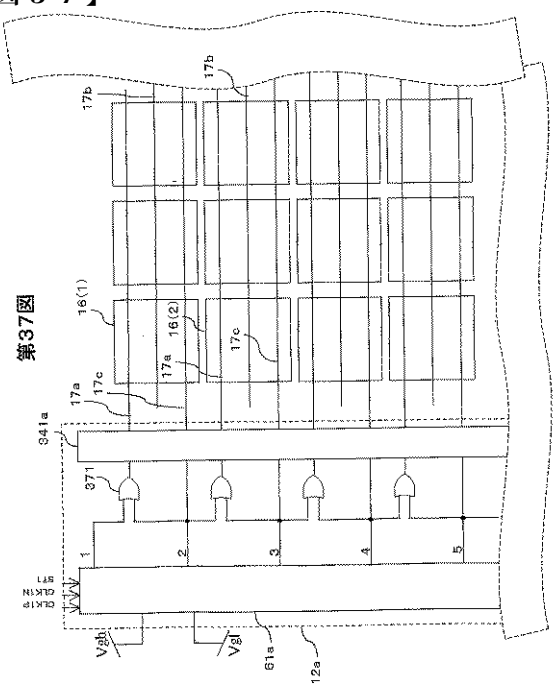
第35図

【図３６】



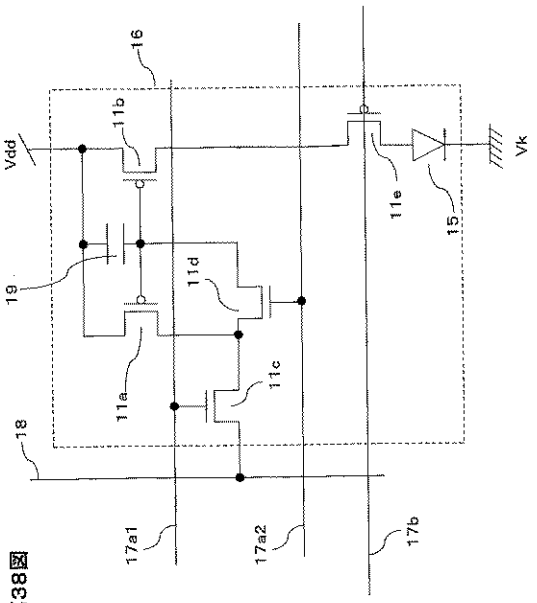
第36図

【図３７】



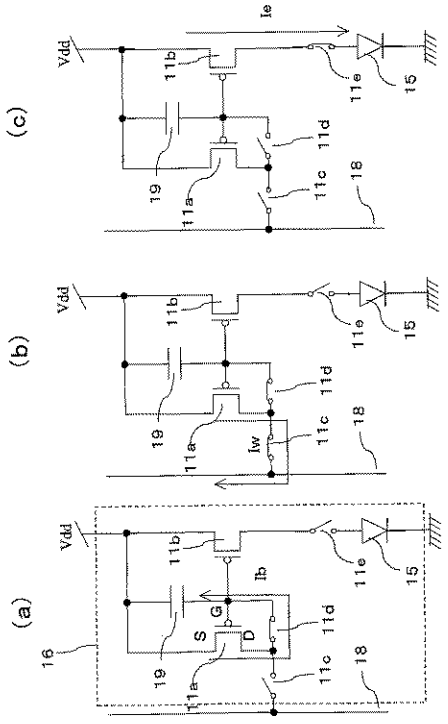
第37図

【図３８】



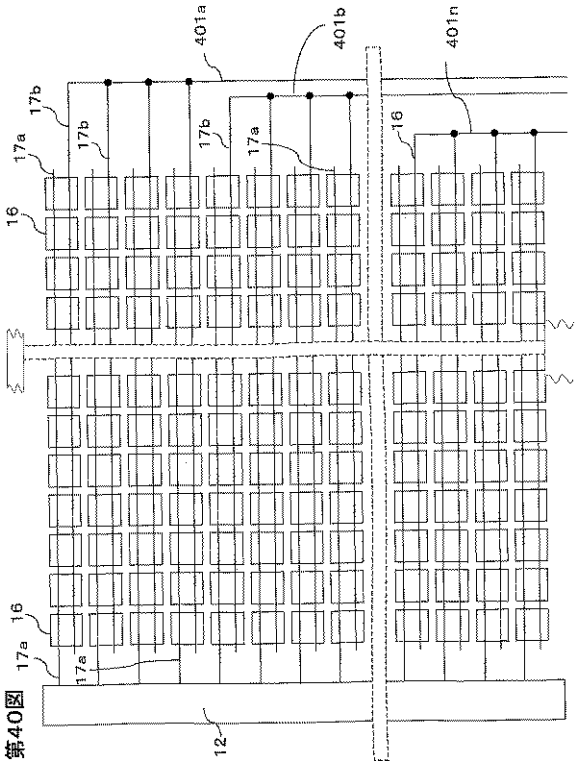
第38図

【図３９】



第39図

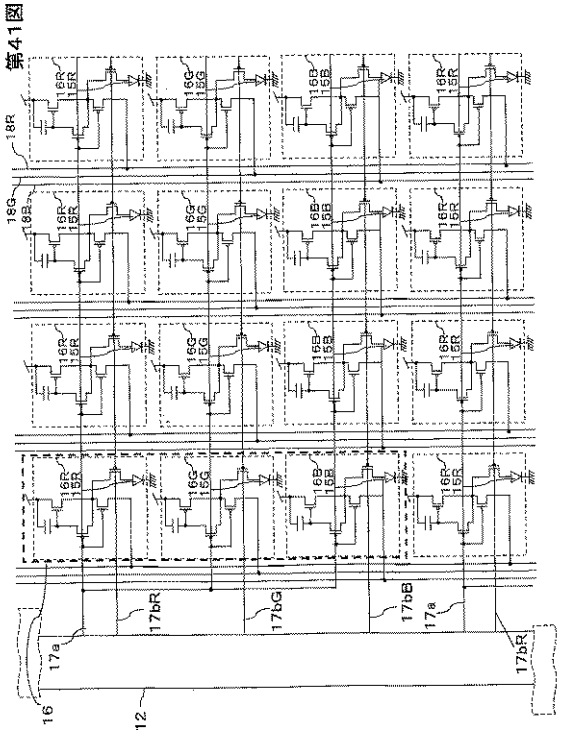
【図４０】



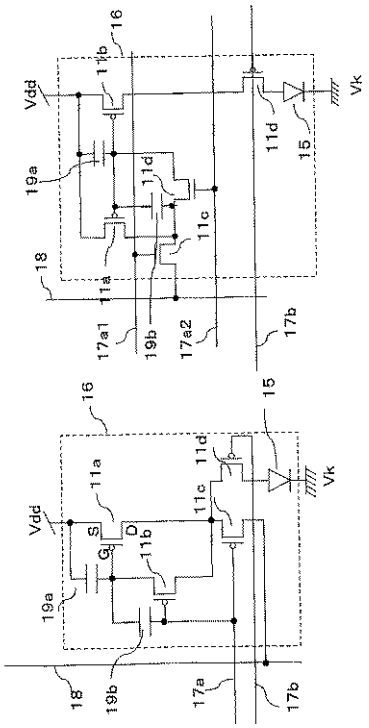
第40図

【図４１】

第41図

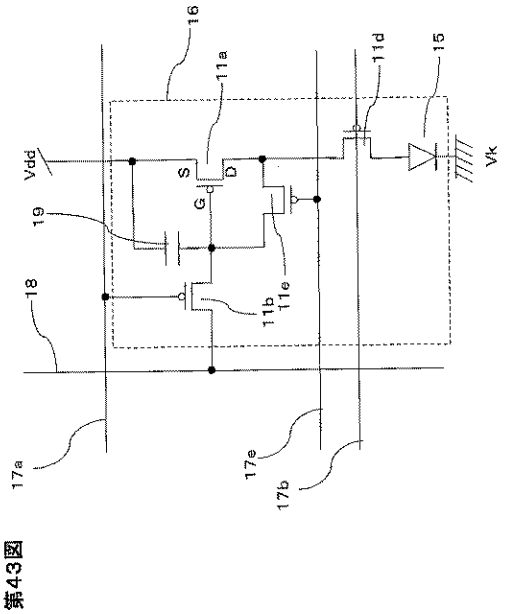


【図４２】



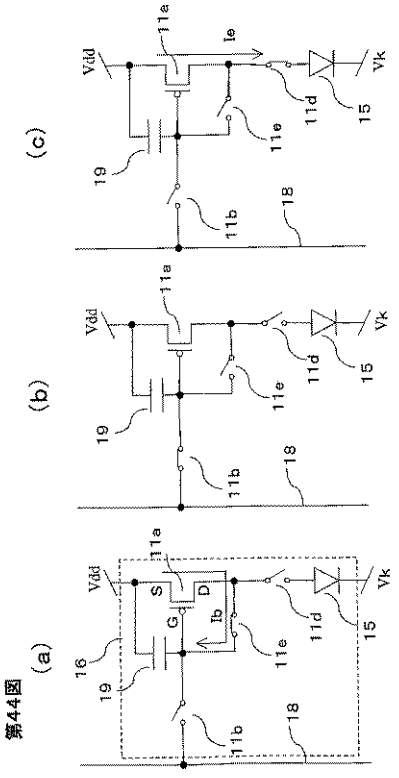
第42図

【図４３】



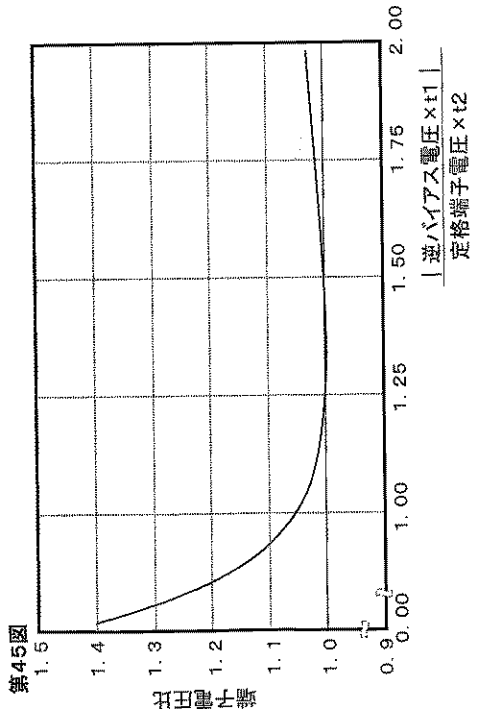
第43図

【図４４】

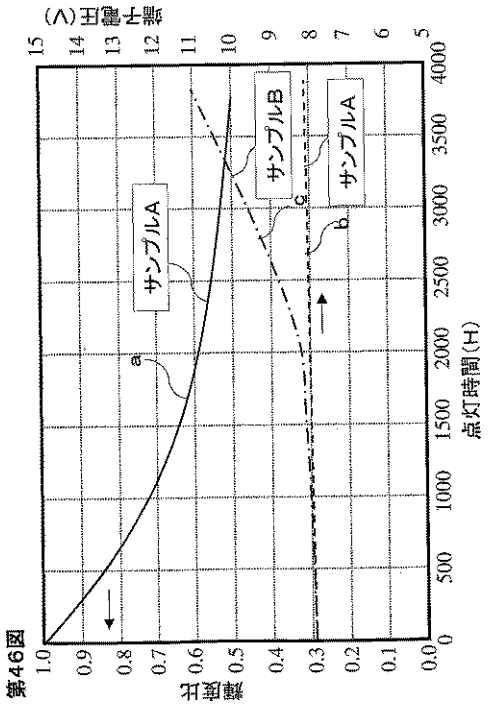


第44図

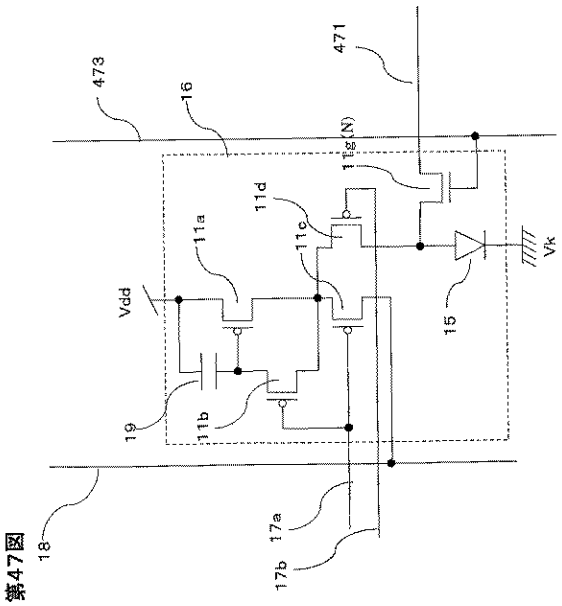
【図４５】



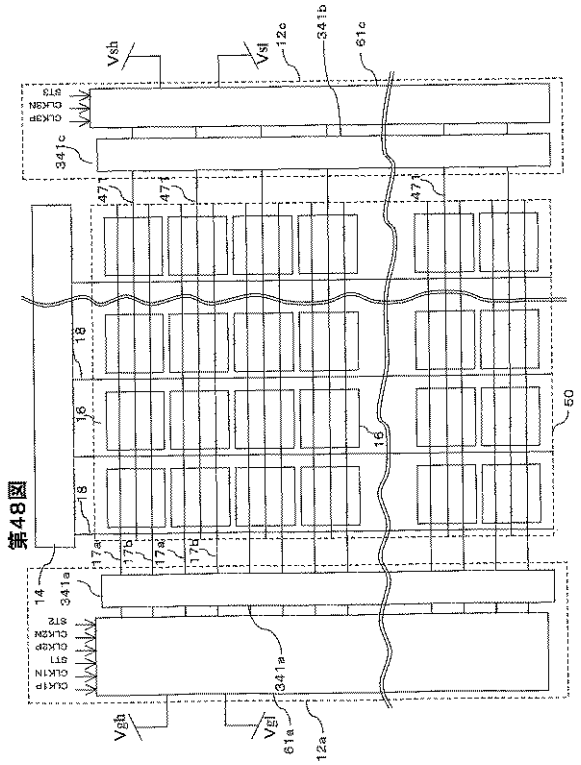
【図４６】



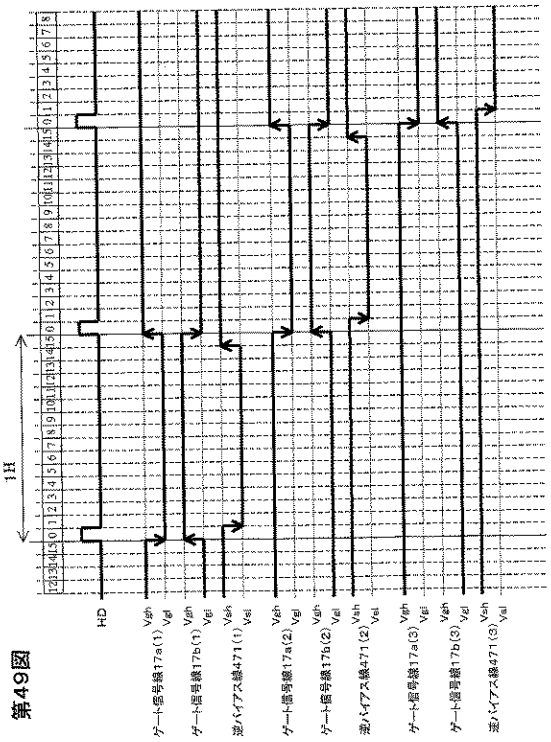
【図４７】



【図４８】

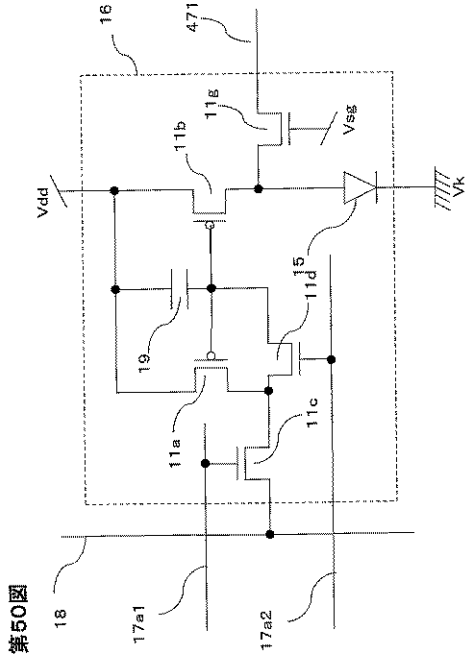


【図４９】



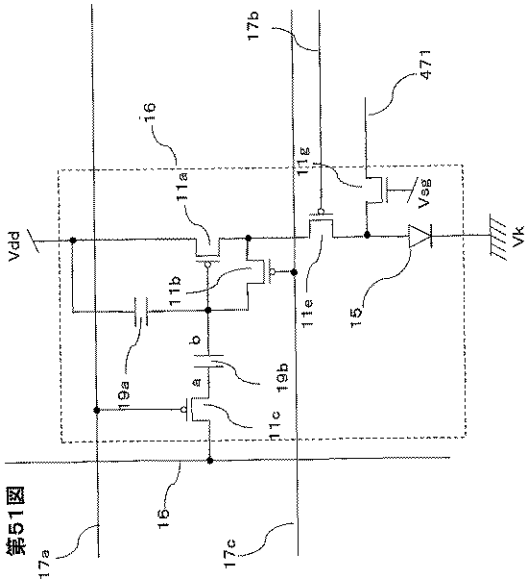
第49図

【図５０】



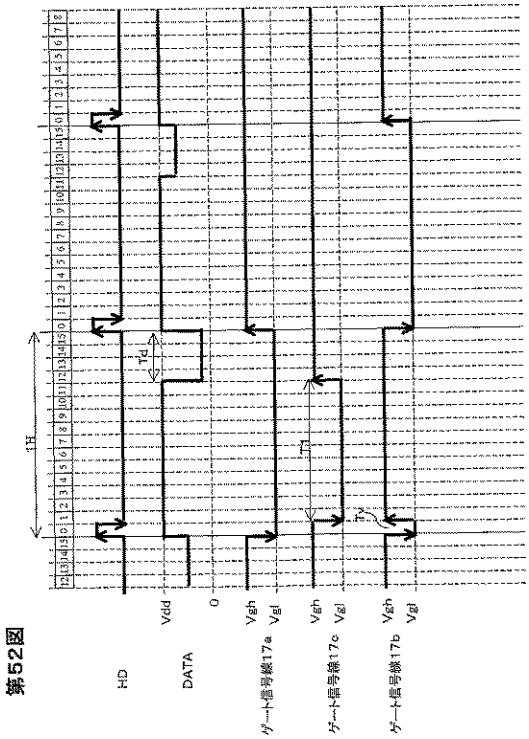
第50図

【図５１】



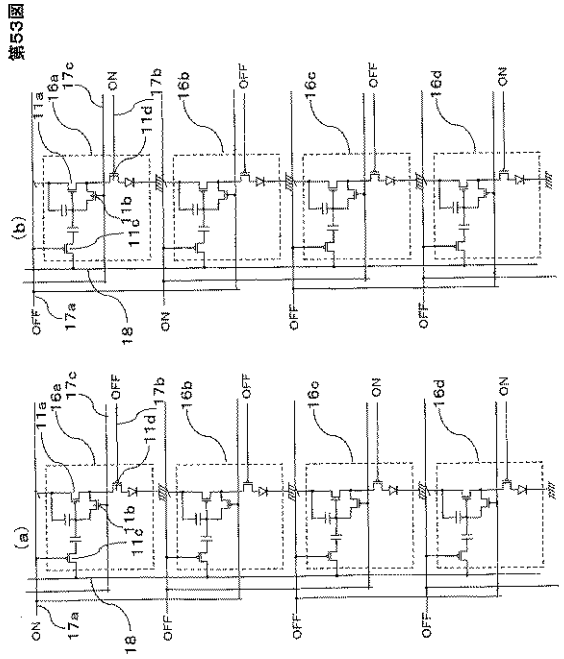
第51図

【図５２】

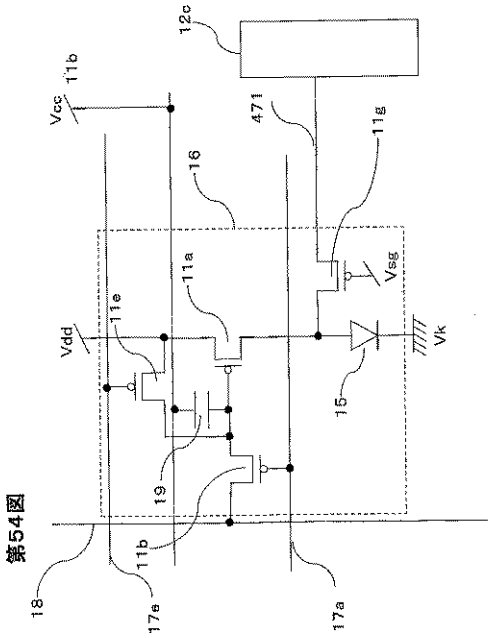


第52図

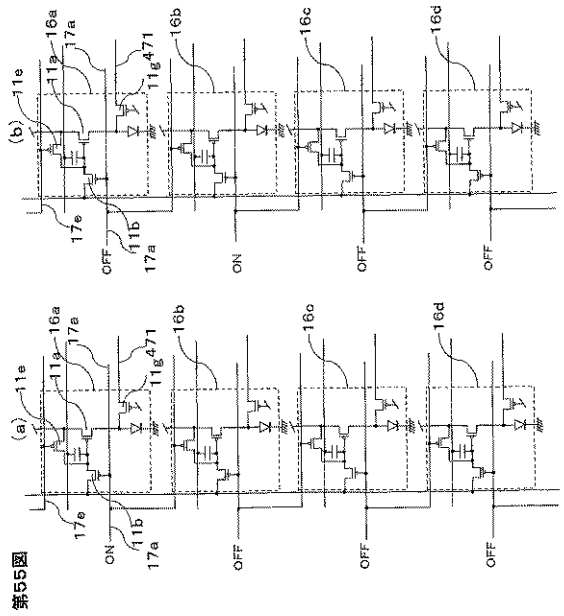
【図５３】



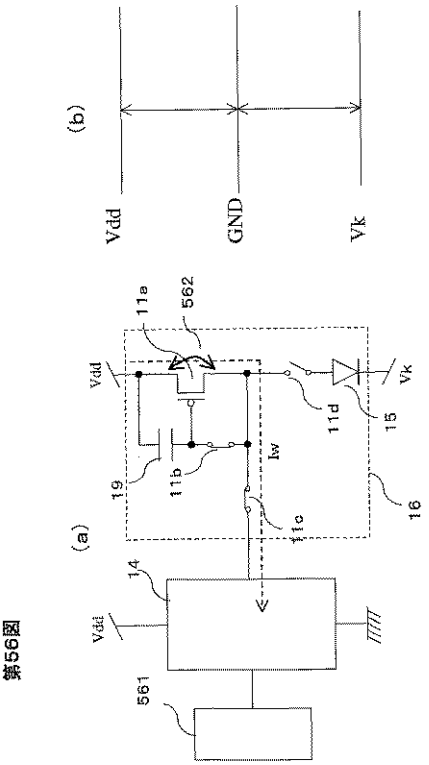
【図５４】



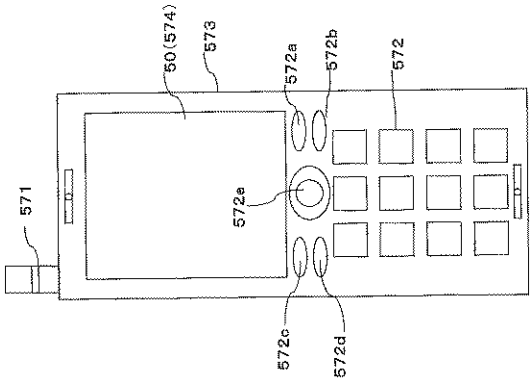
【図５５】



【図５６】

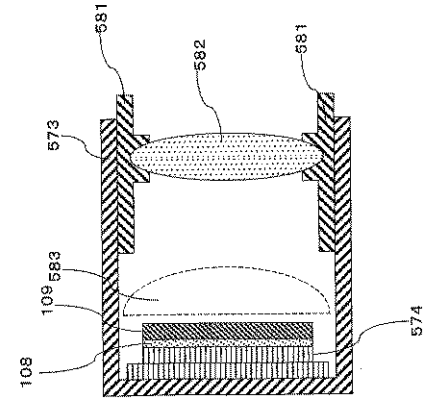


【図５７】



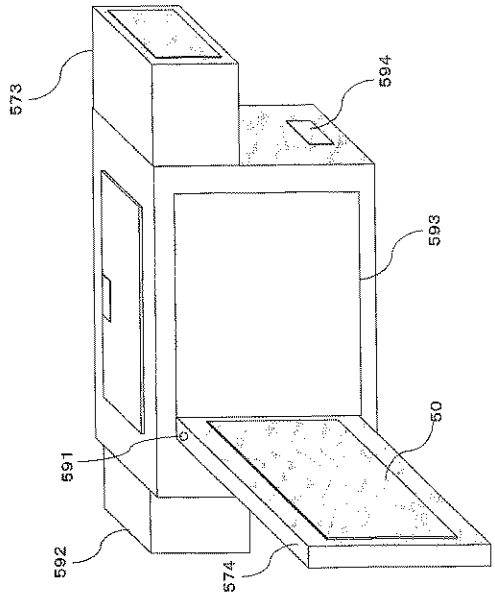
第57図

【図５８】



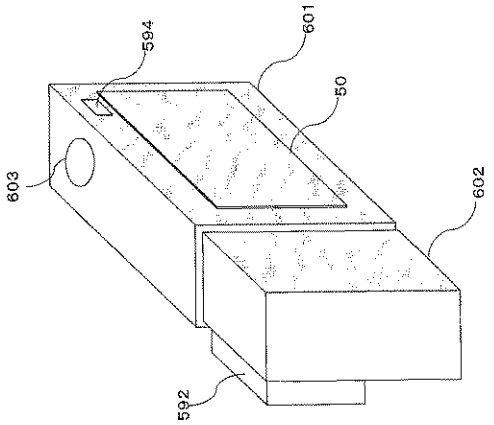
第58図

【図５９】



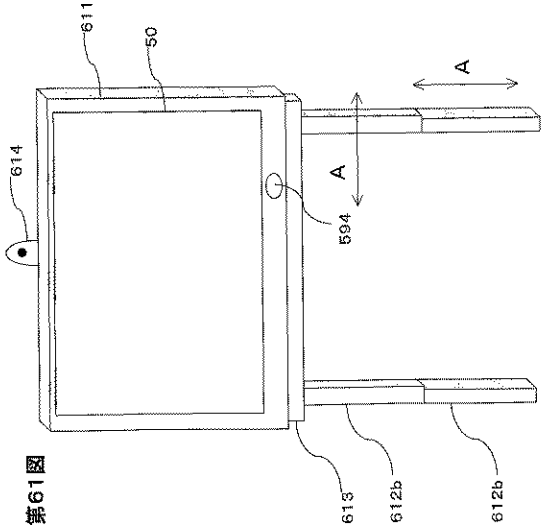
第59図

【図６０】



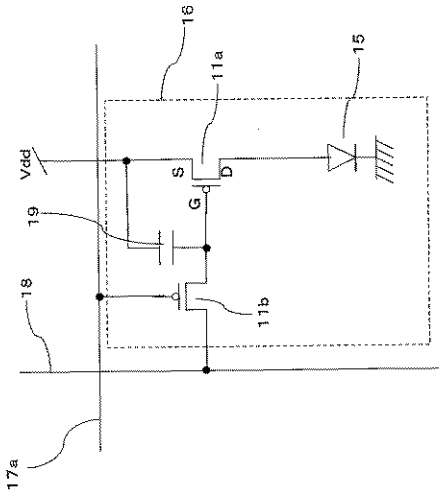
第60図

【図６１】



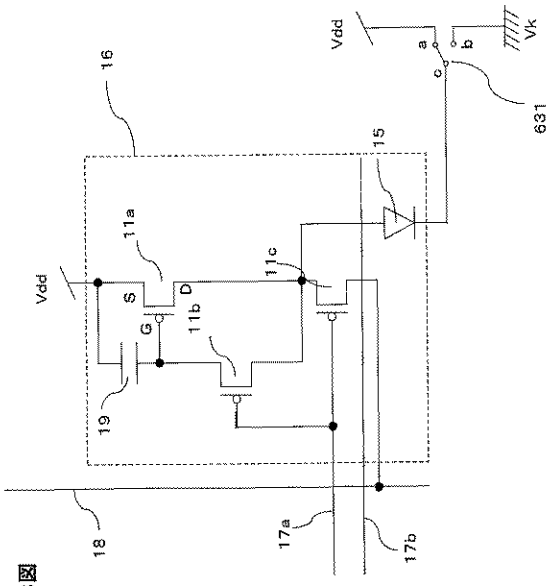
第61図

【図６２】



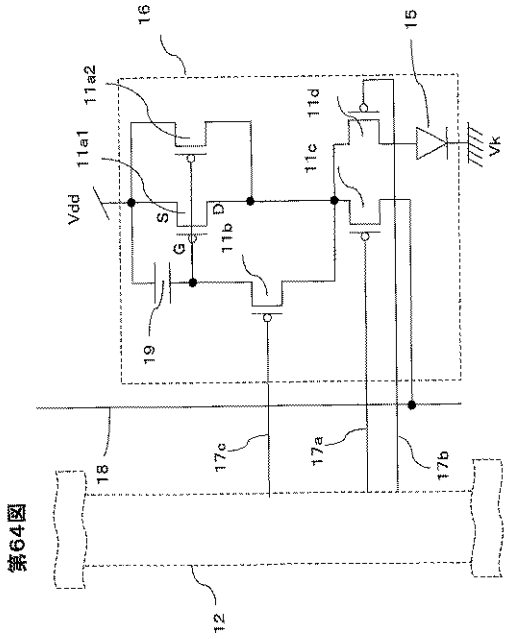
第62図

【図６３】



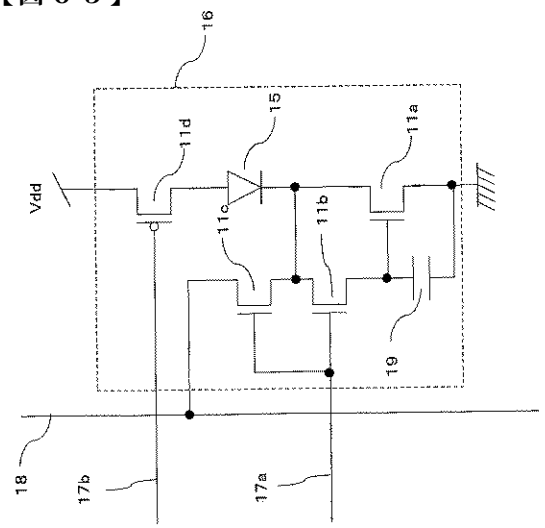
第63図

【図６４】



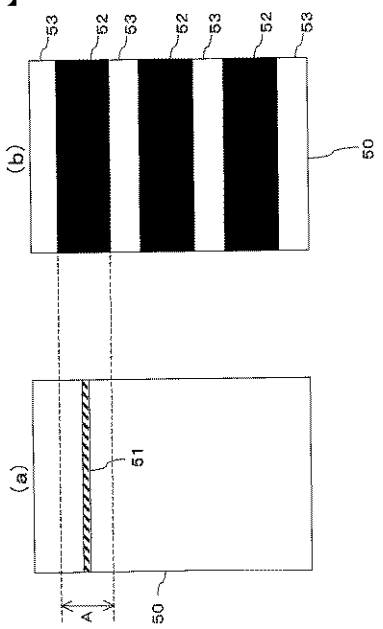
第64図

【図６５】



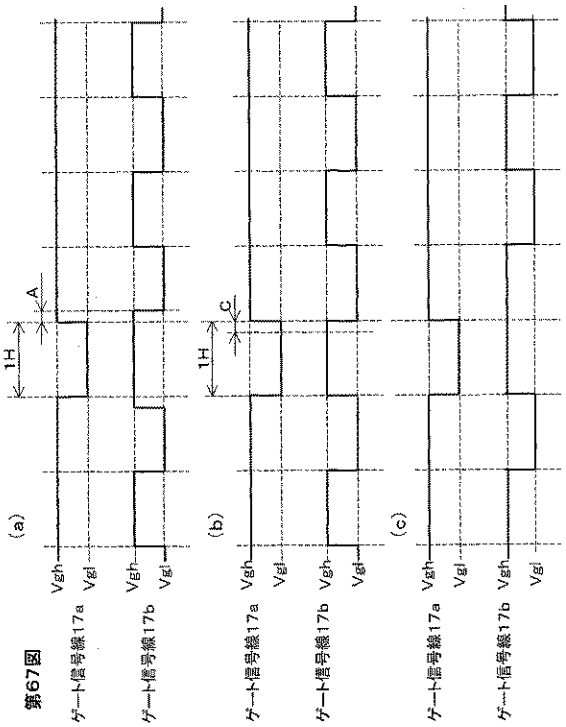
第65図

【図６６】



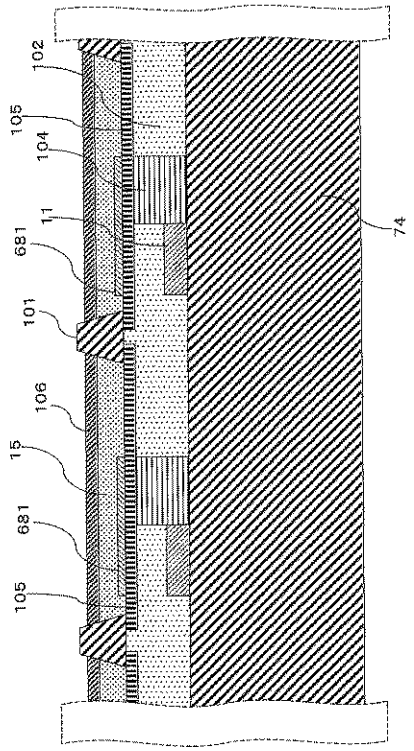
第66図

【図６７】



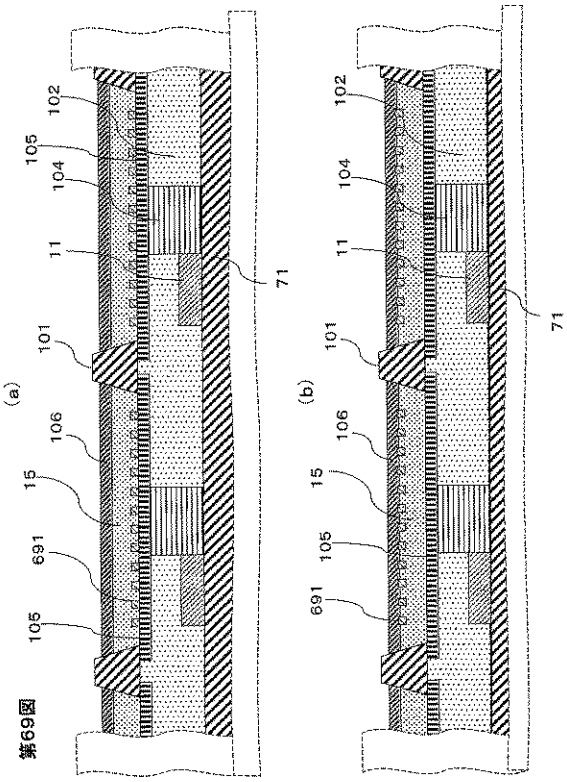
第67図

【図６８】



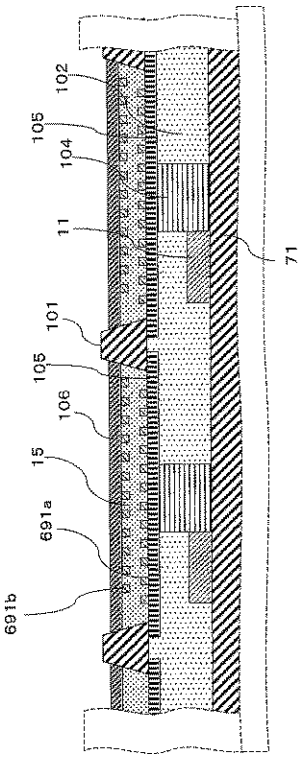
第68図

【図６９】



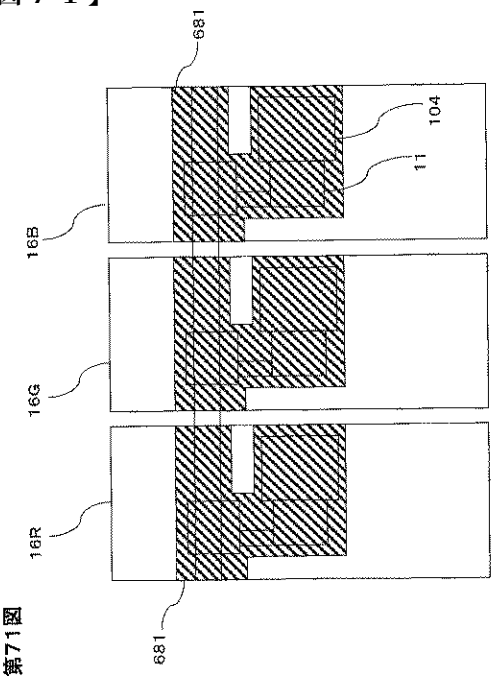
第69図

【図７０】



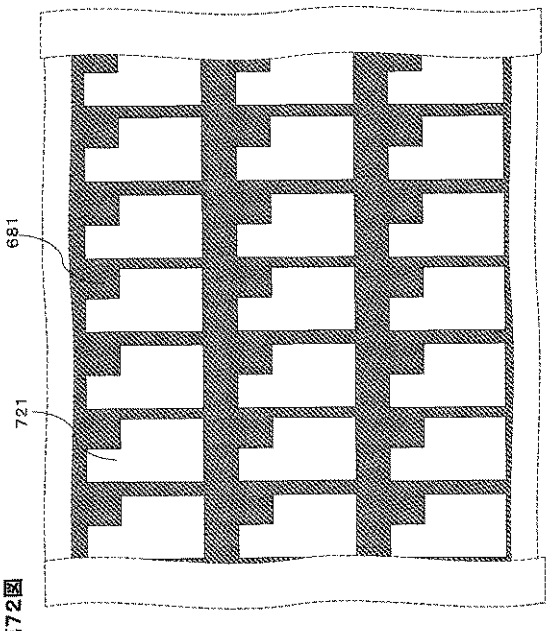
第70図

【図７１】



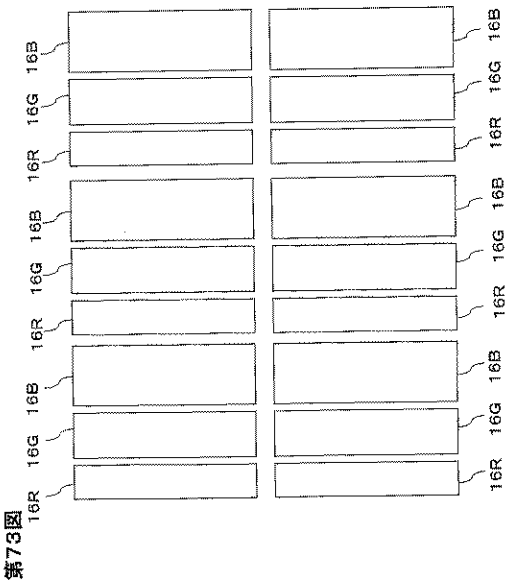
第71図

【図７２】



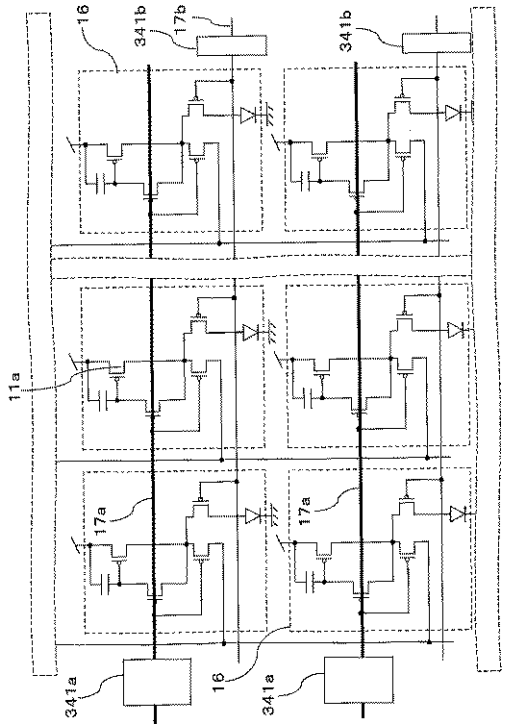
第72図

【図７３】



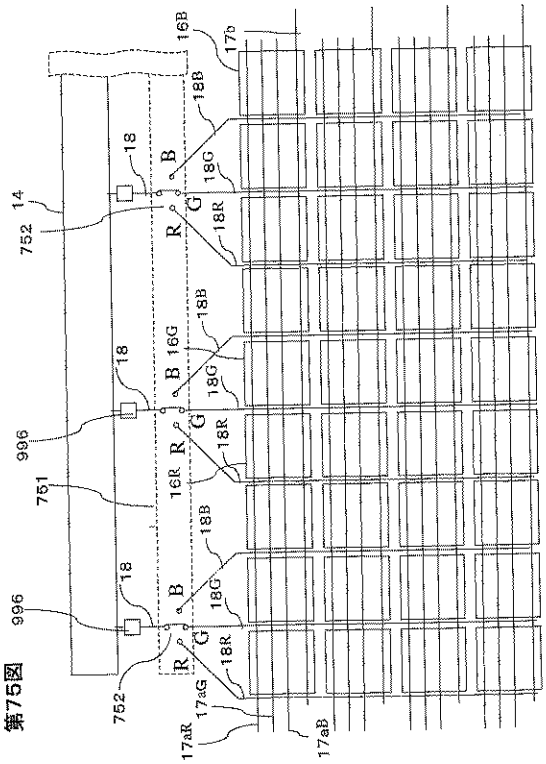
第73図

【図７４】



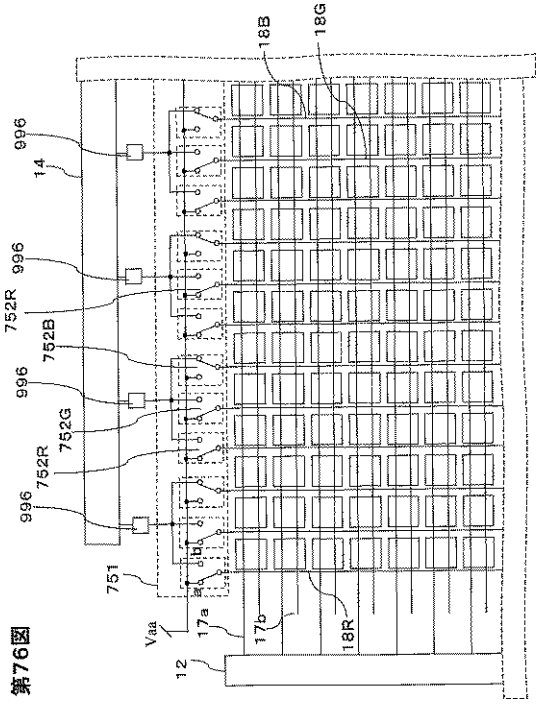
第74図

【図７５】



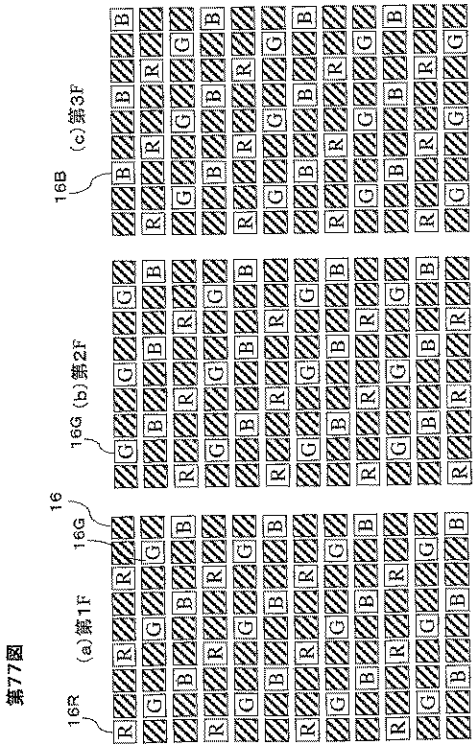
第75図

【図７６】

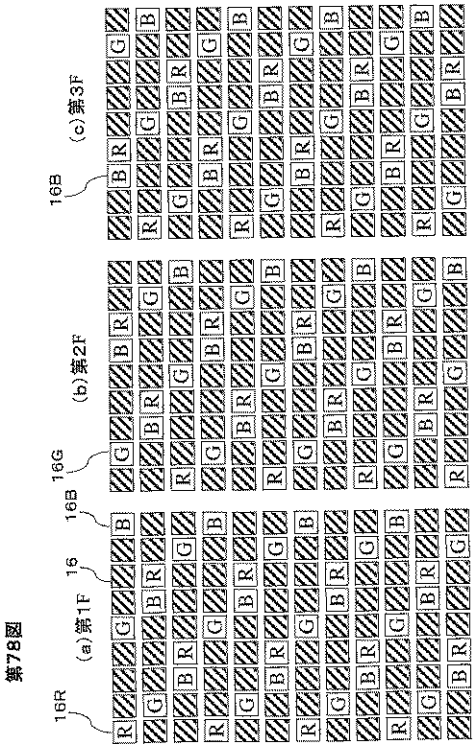


第76図

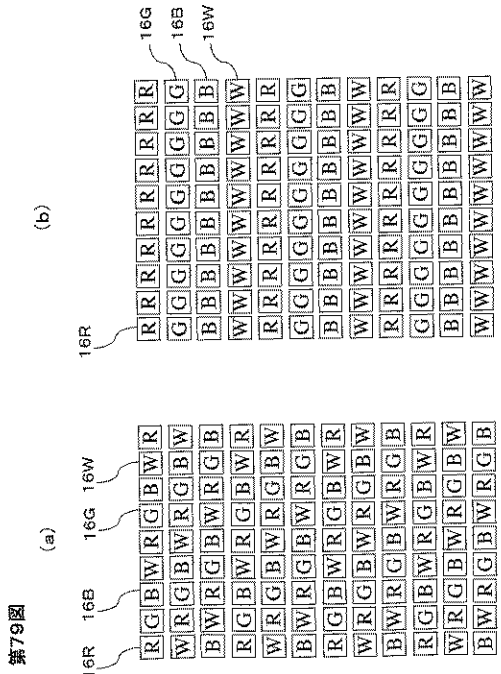
【図７７】



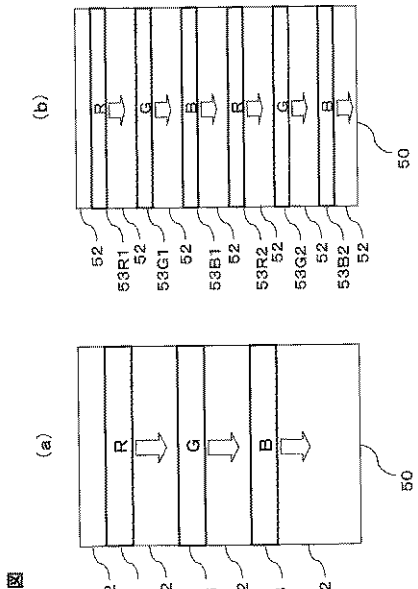
【図７８】



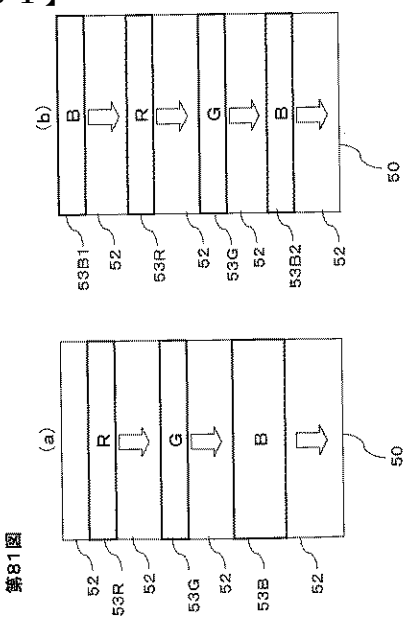
【図７９】



【図８０】

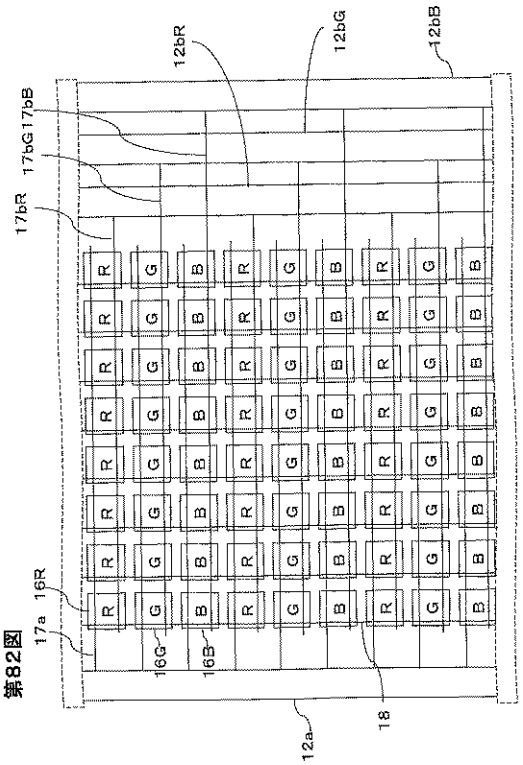


【図８１】



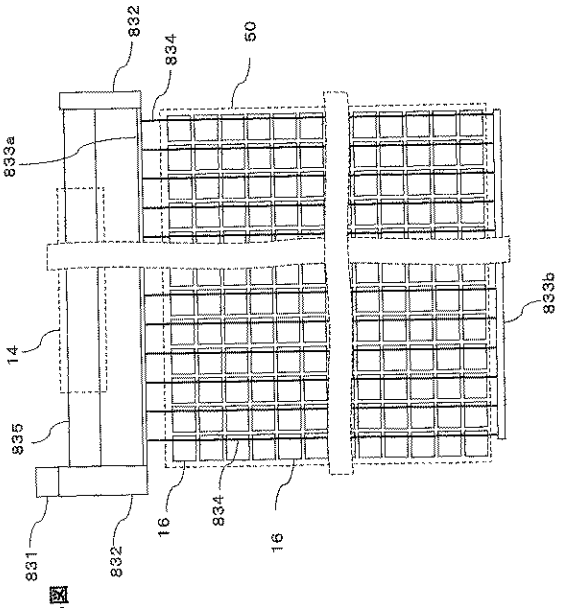
第81図

【図８２】



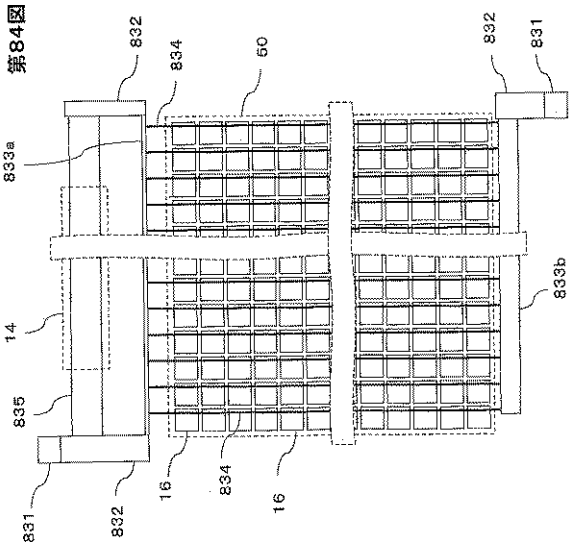
第82図

【図８３】



第83図

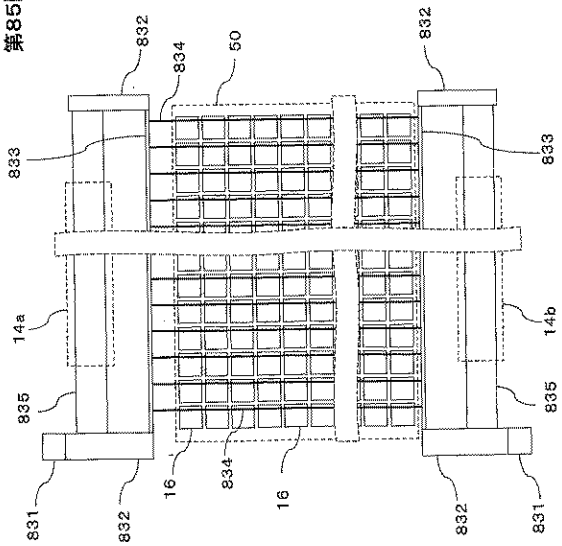
【図８４】



第84図

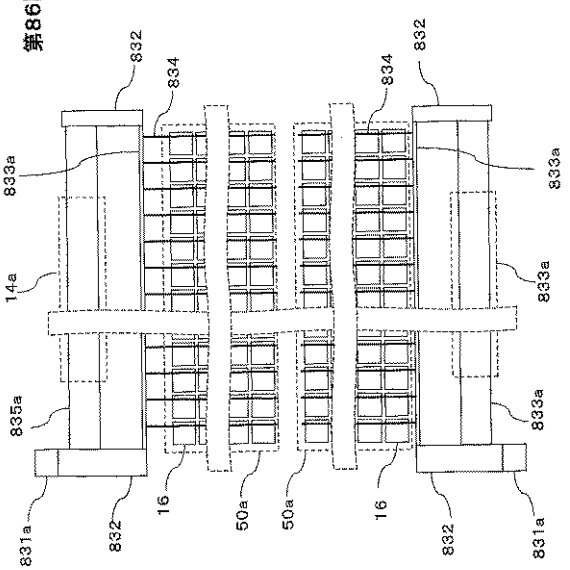
【図８５】

第85図



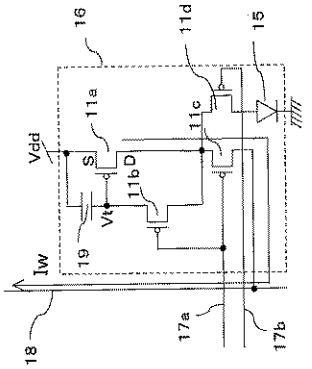
【図８６】

第86図



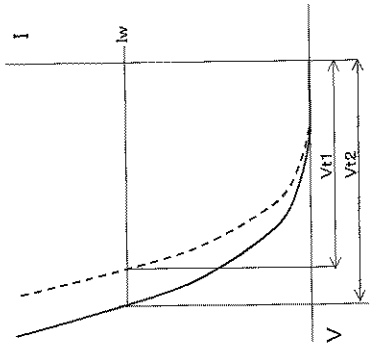
【図８７】

第87図



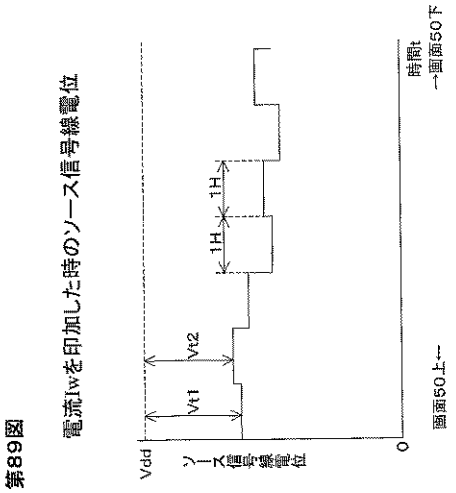
【図８８】

第88図

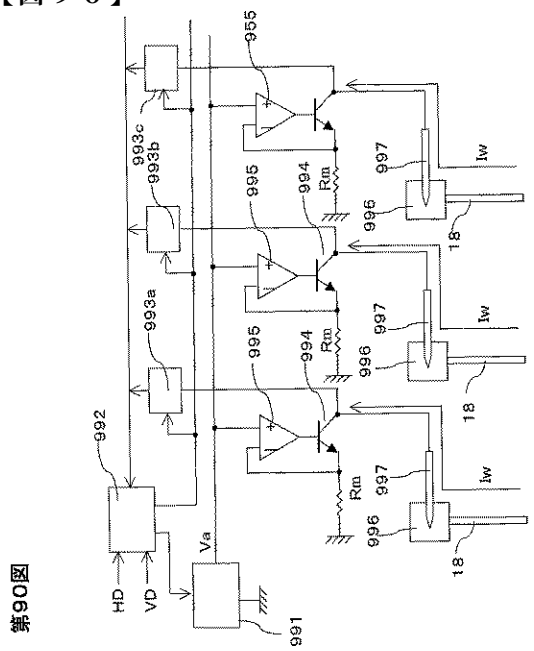


【図８９】

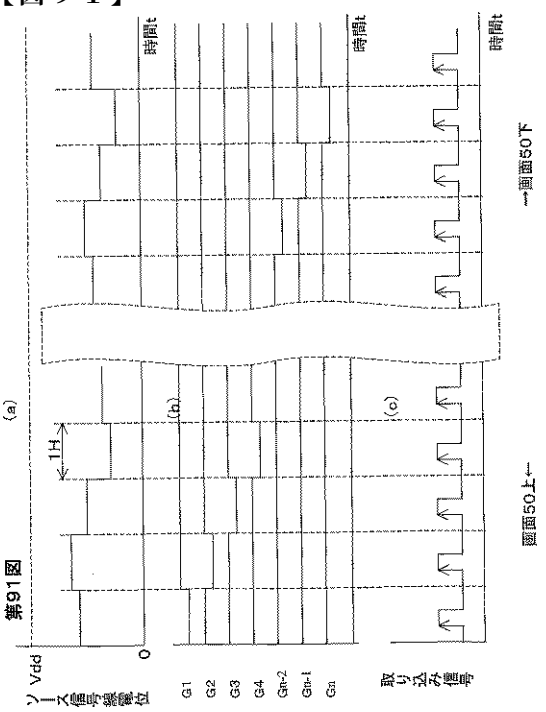
第89図



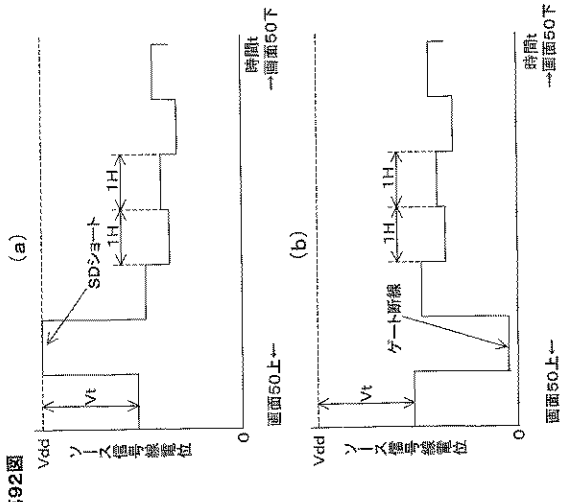
【図９０】



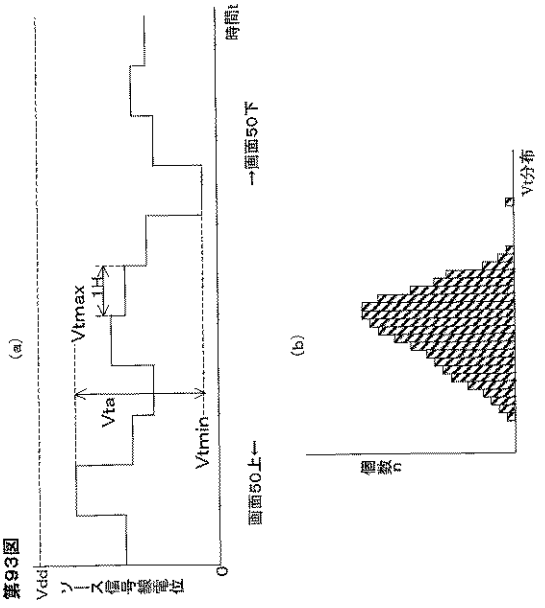
【図９１】



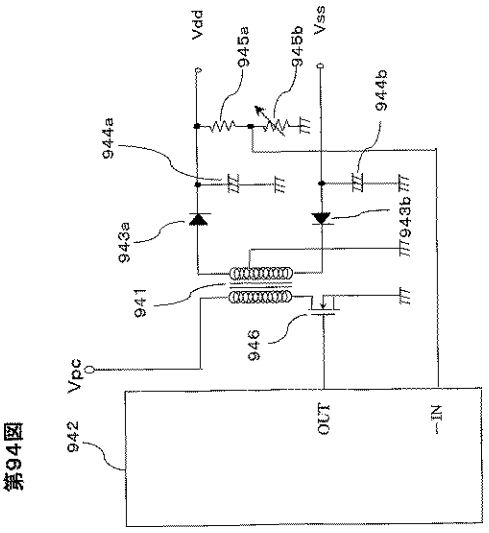
【図９２】



【図９３】

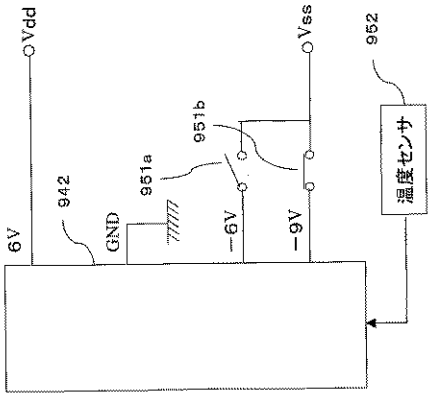


【図９４】



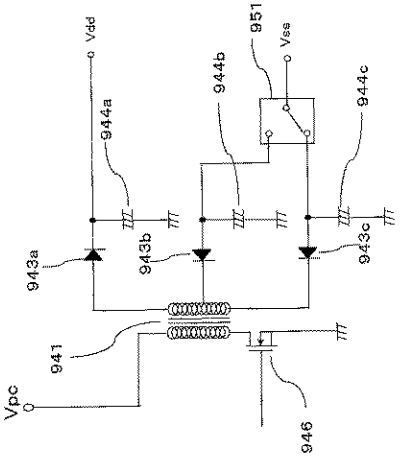
第94図

【図９５】



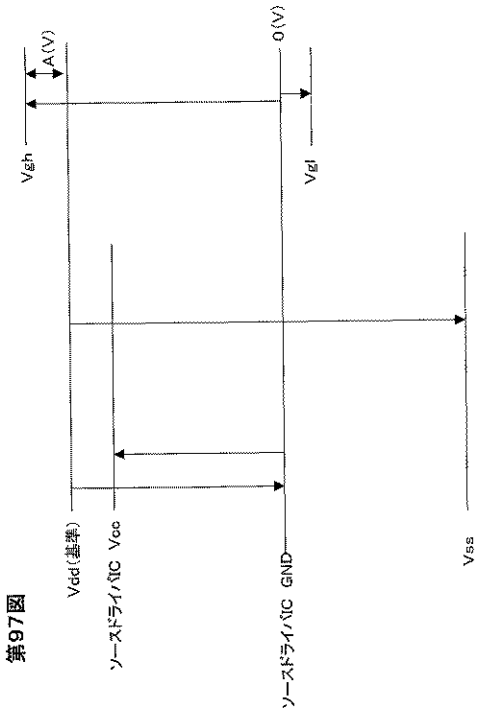
第95図

【図９６】



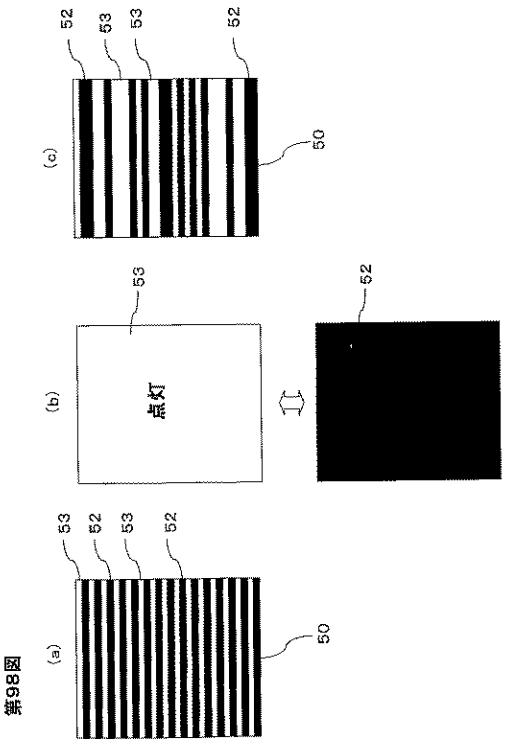
第96図

【図９７】



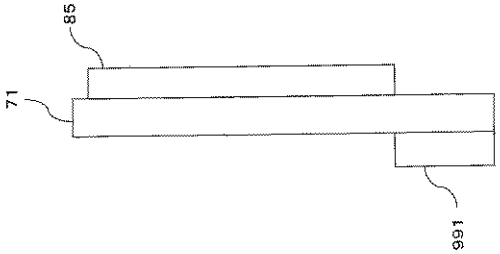
第97図

【図９８】



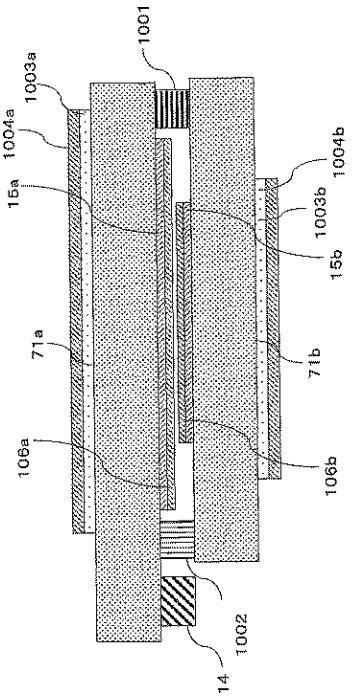
第98図

【図９９】



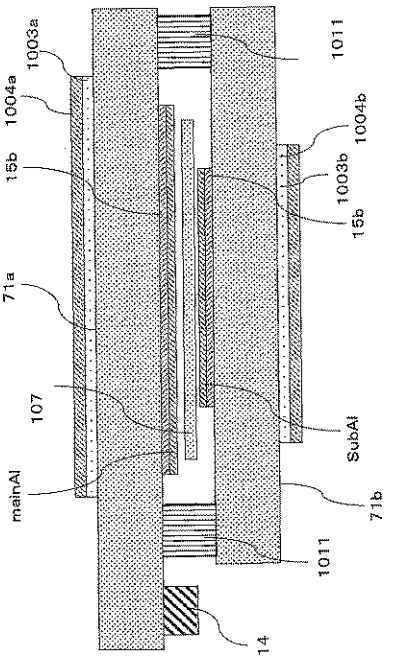
第99図

【図１００】



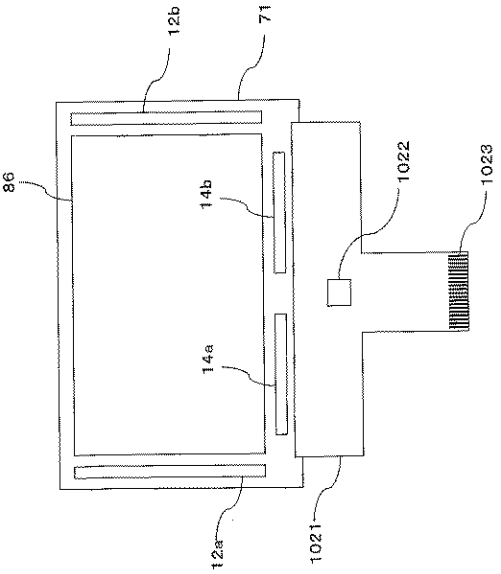
第100図

【図１０１】



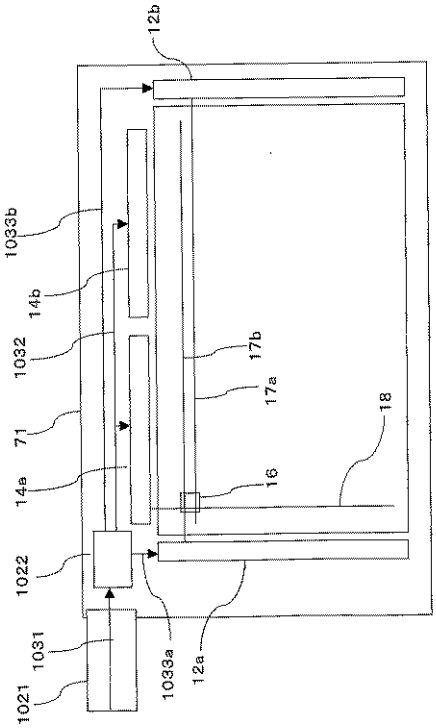
第101図

【図１０２】



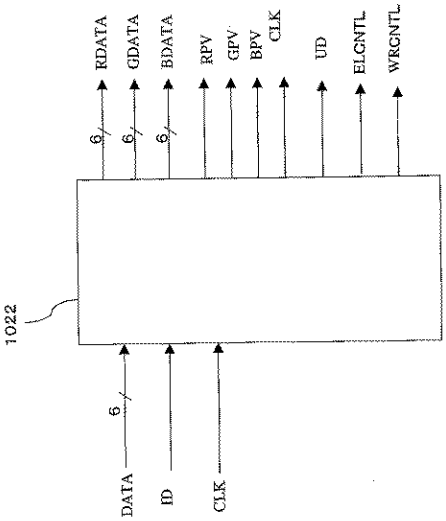
第102図

【図１０３】



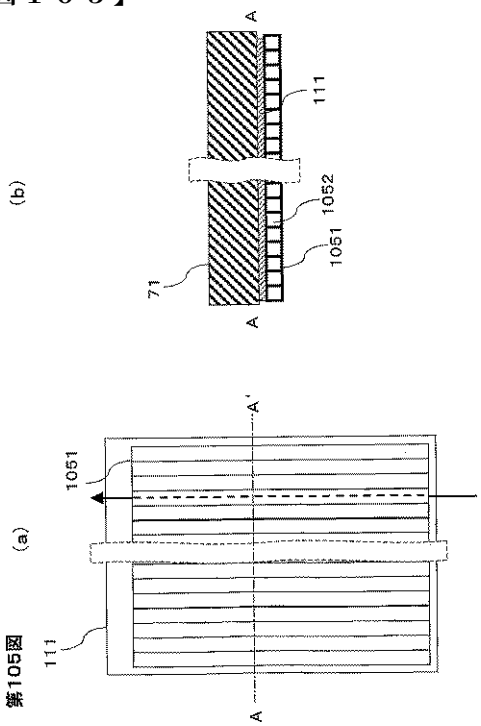
第103図

【図１０４】



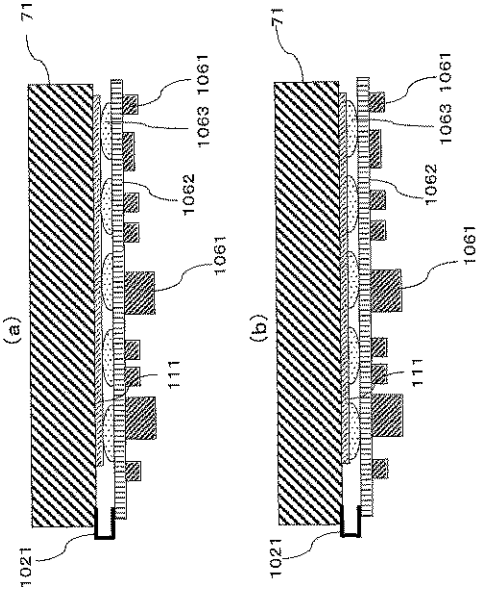
第104図

【図１０５】



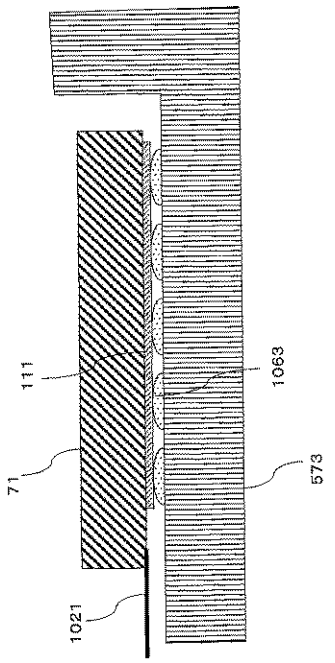
第105図

【図１０６】



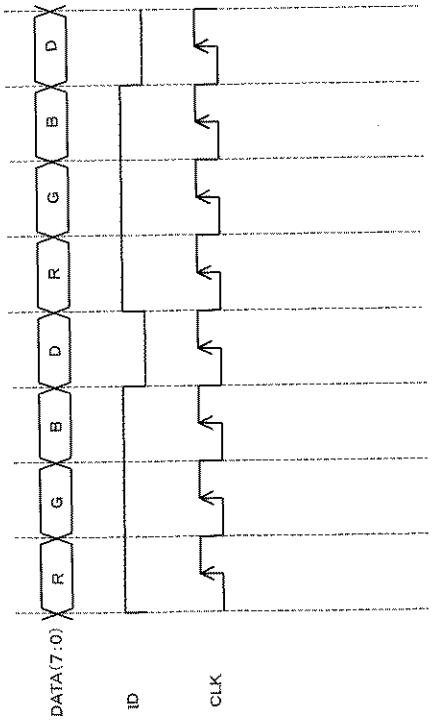
第106図

【図１０７】



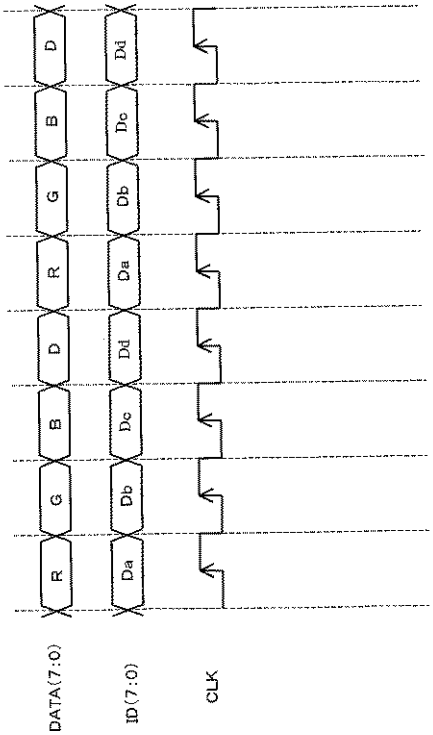
第107図

【図１０８】



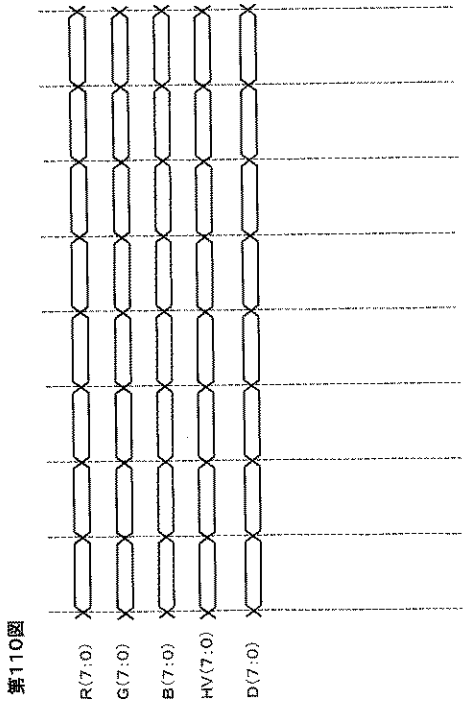
第108図

【図１０９】



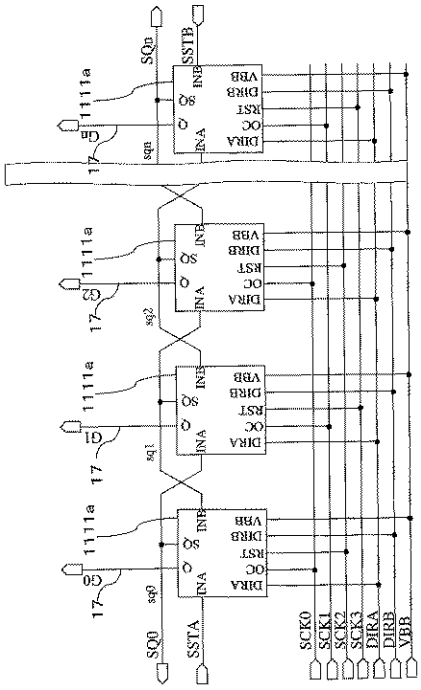
第109図

【図１１０】



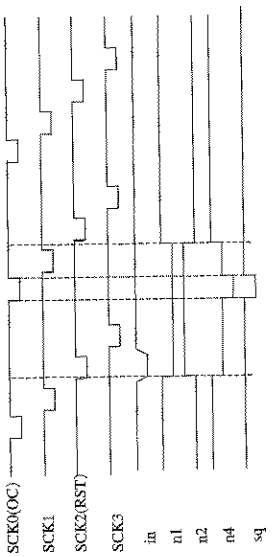
第110図

【図１１１】



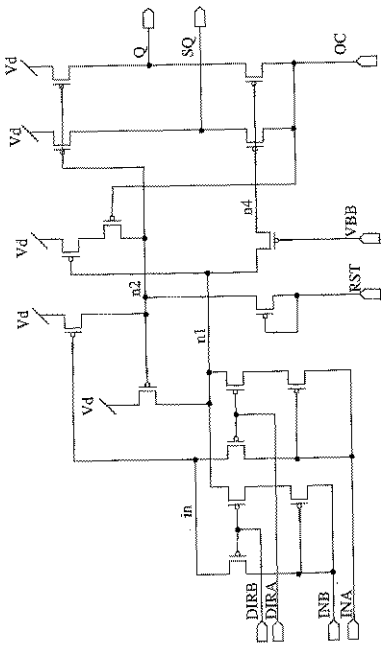
第111図

【図１１２】



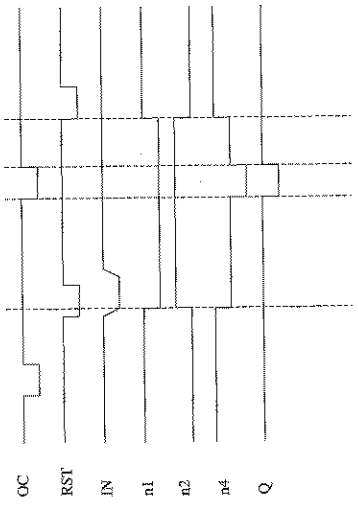
第112図

【図１１３】



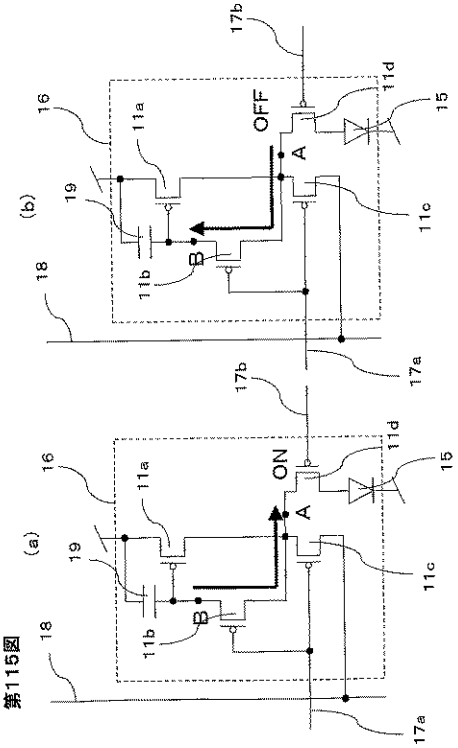
第113図

【図１１４】



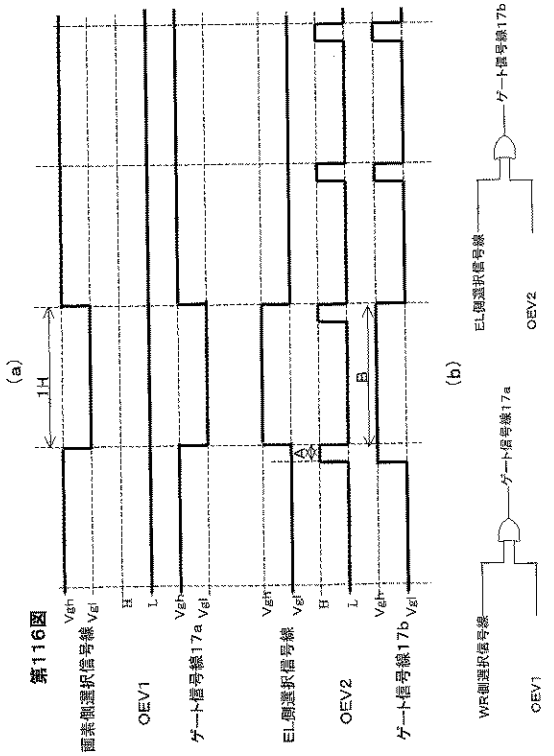
第114図

【図１１５】



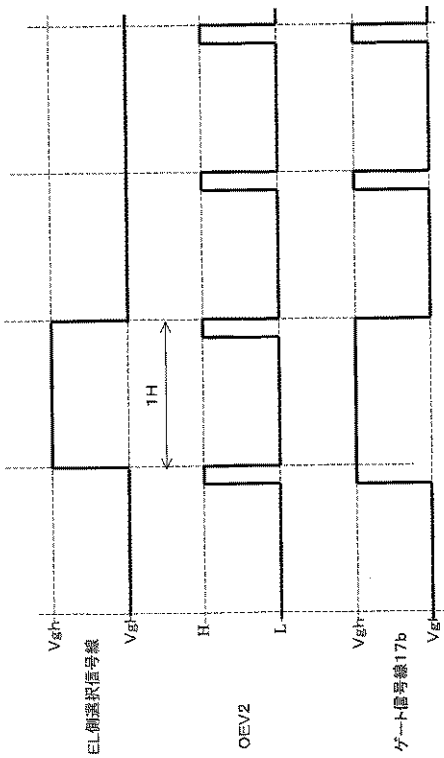
第115図

【図１１６】



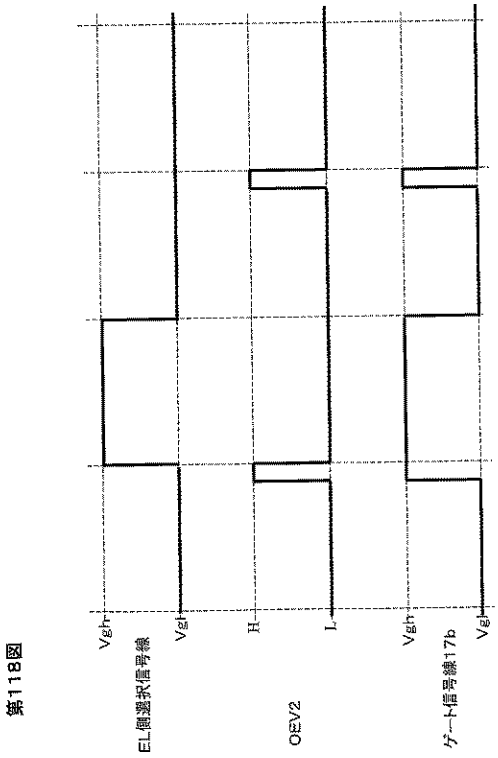
第116図

【図１１７】

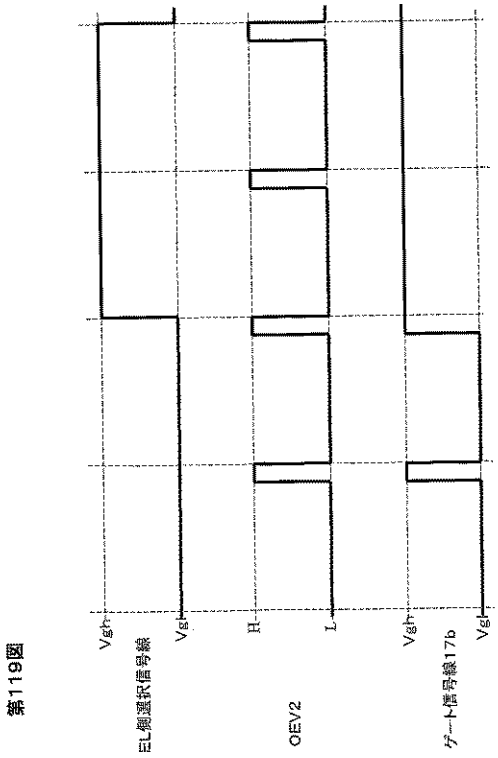


第117図

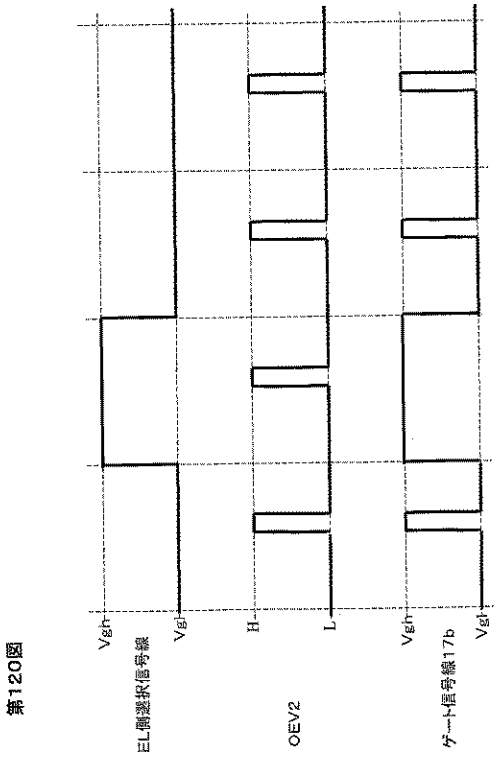
【図１１８】



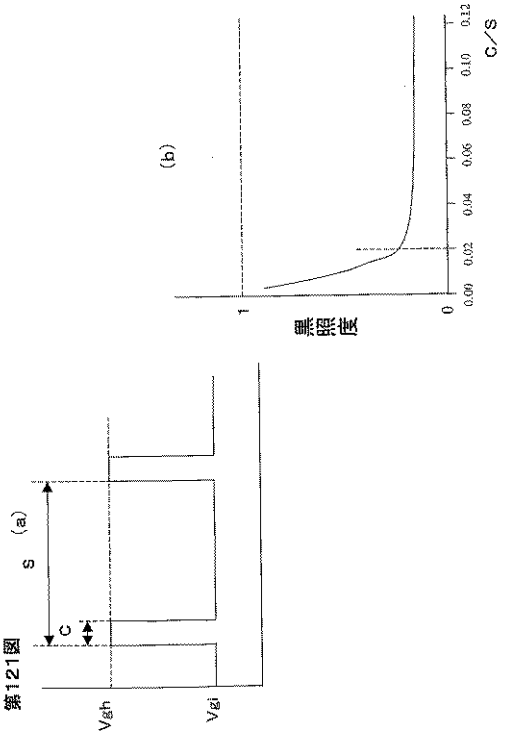
【図１１９】



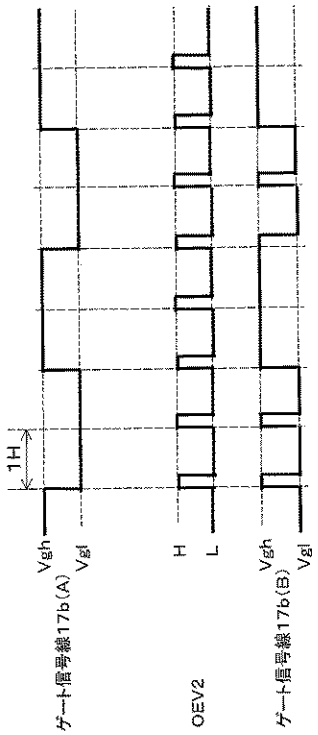
【図１２０】



【図１２１】

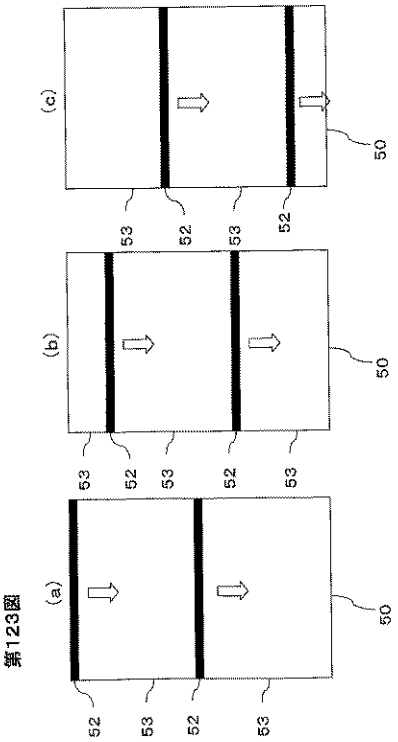


【図１２２】



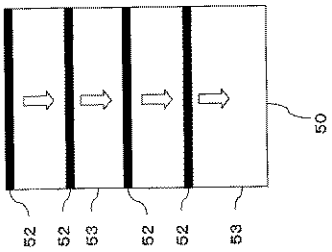
第122図

【図１２３】



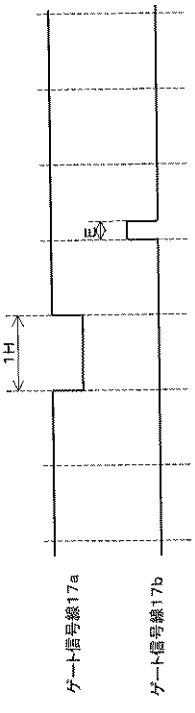
第123図

【図１２４】



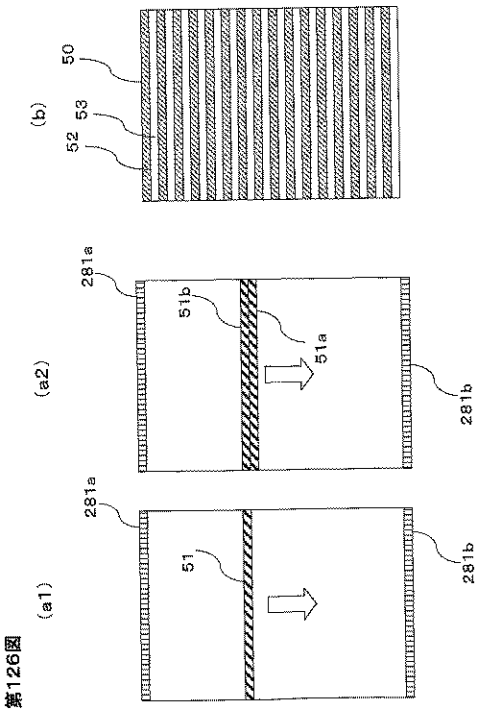
第124図

【図１２５】



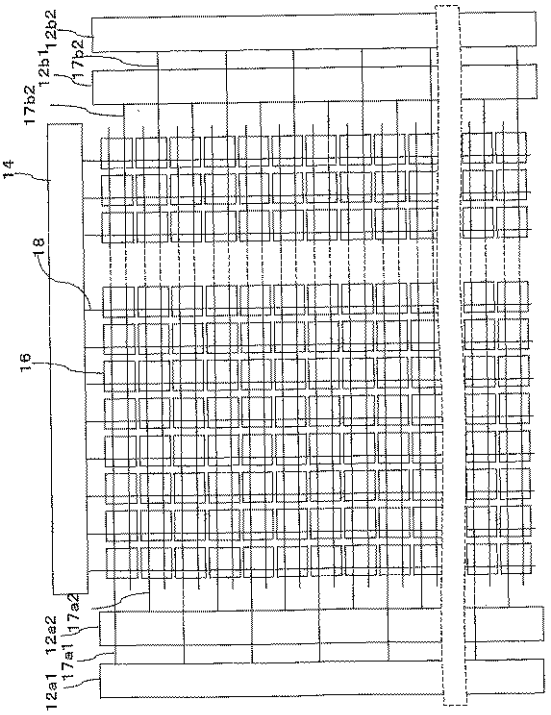
第125図

【図１２６】



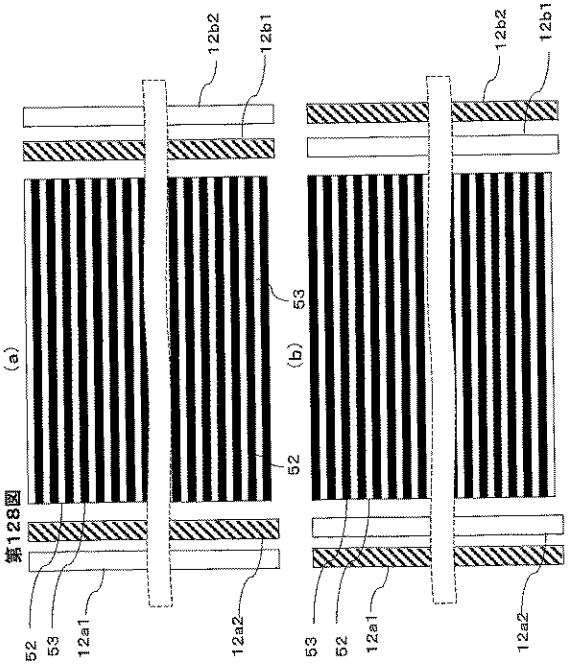
第126図

【図１２７】



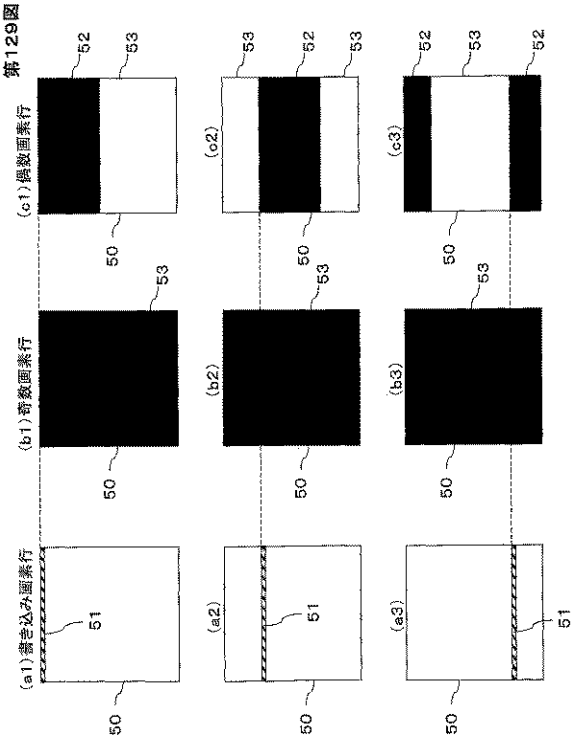
第127図

【図１２８】



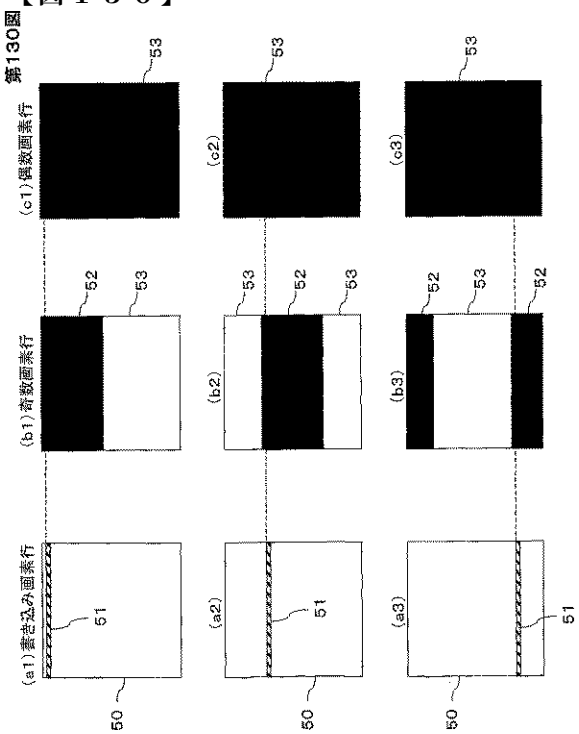
第128図

【図１２９】

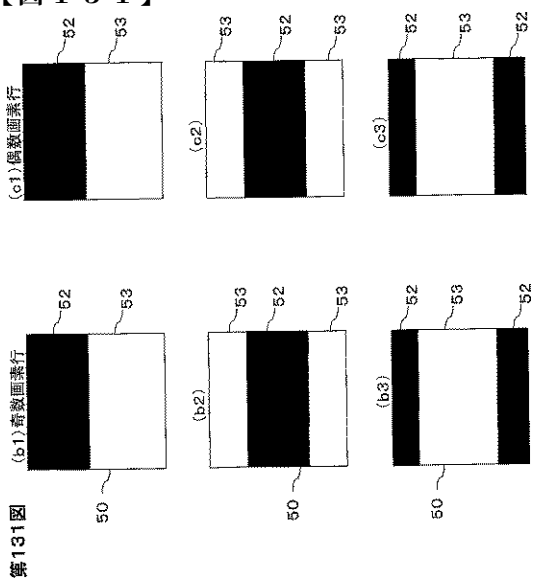


第129図

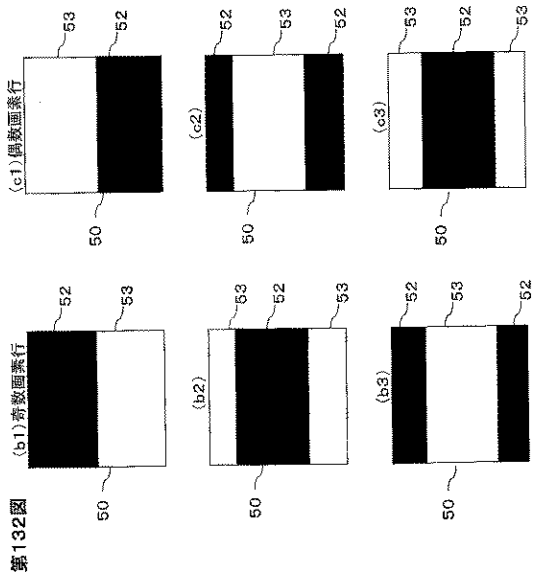
【図１３０】



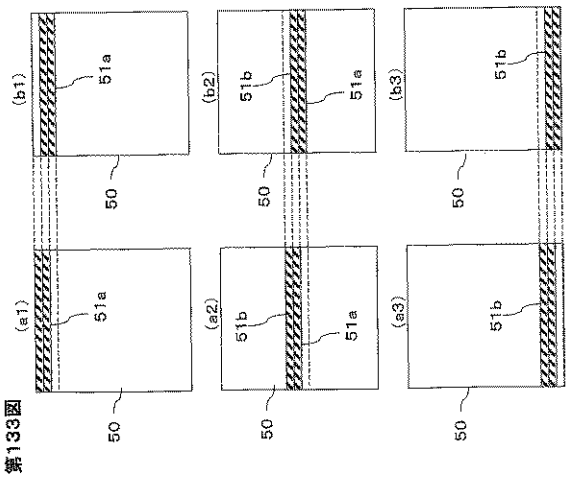
【図１３１】



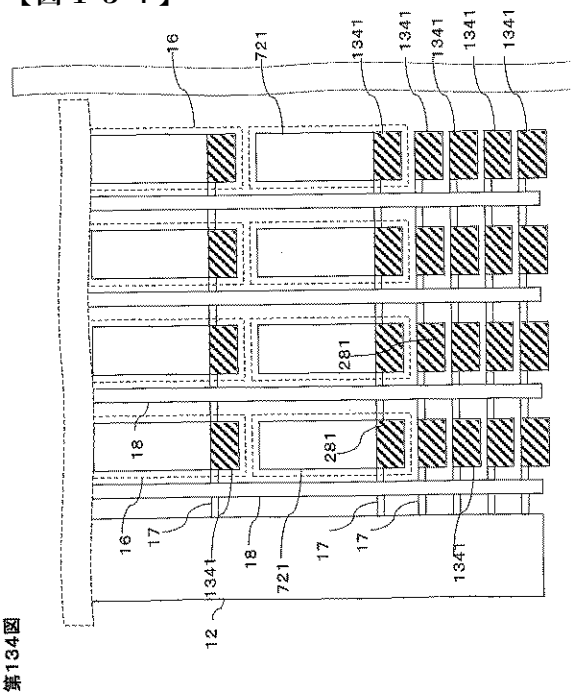
【図１３２】



【図１３３】

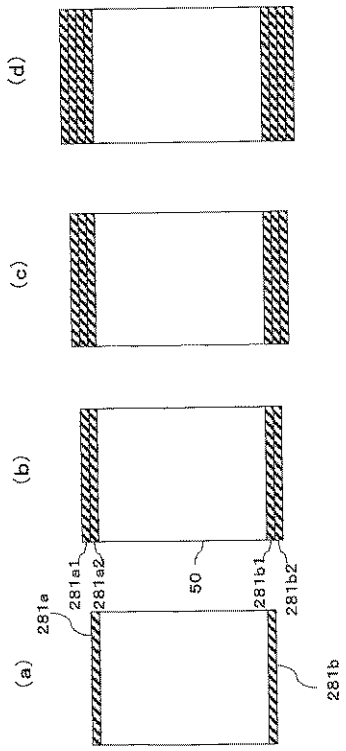


【図１３４】



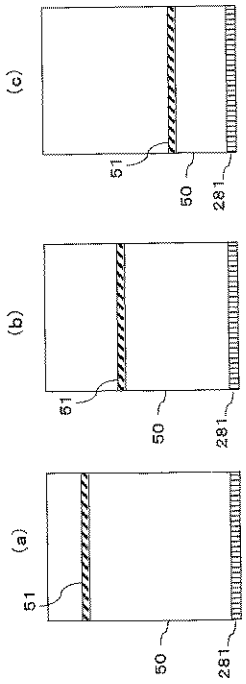
第134図

【図１３５】



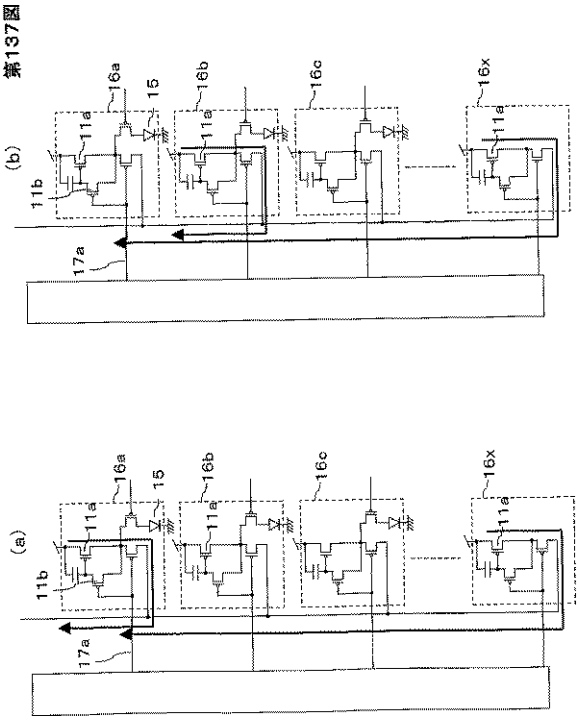
第135図

【図１３６】



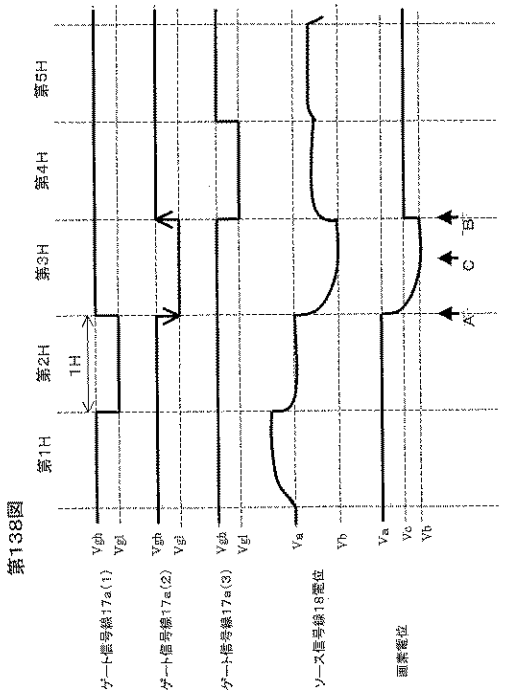
第136図

【図１３７】

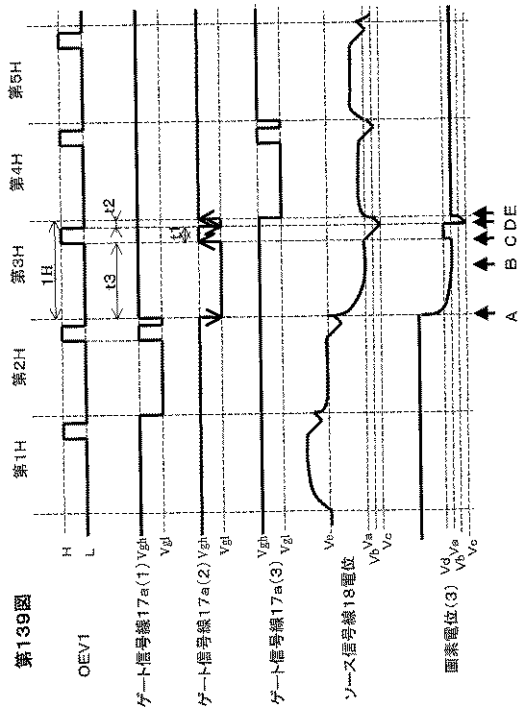


第137図

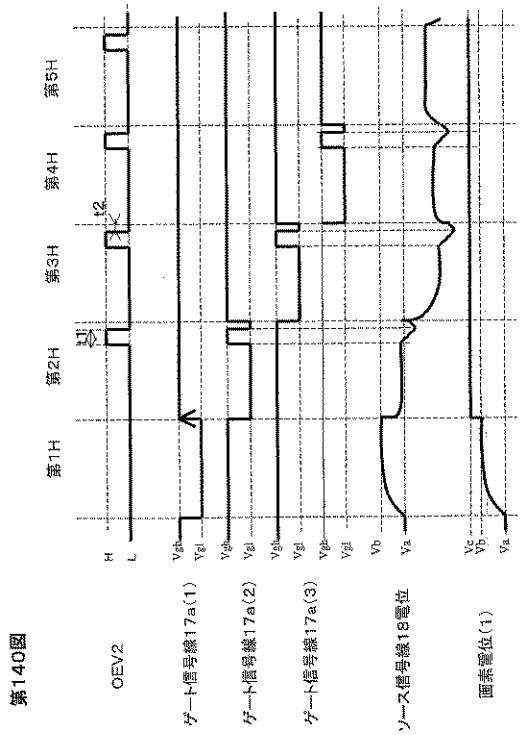
【図１３８】



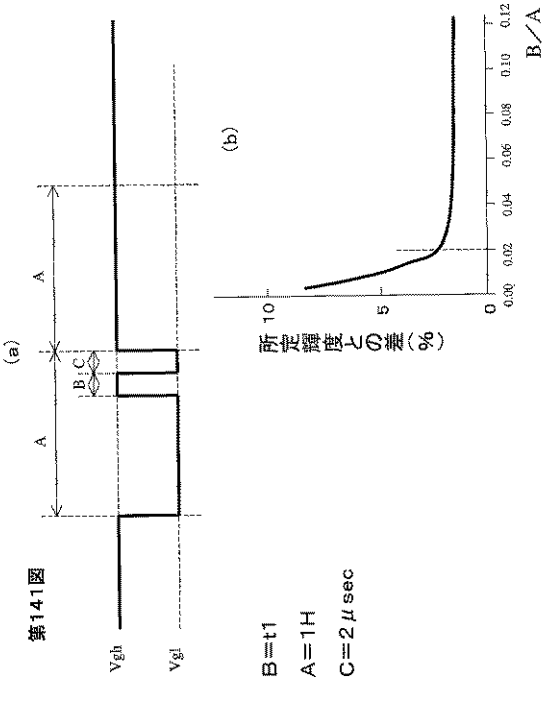
【図１３９】



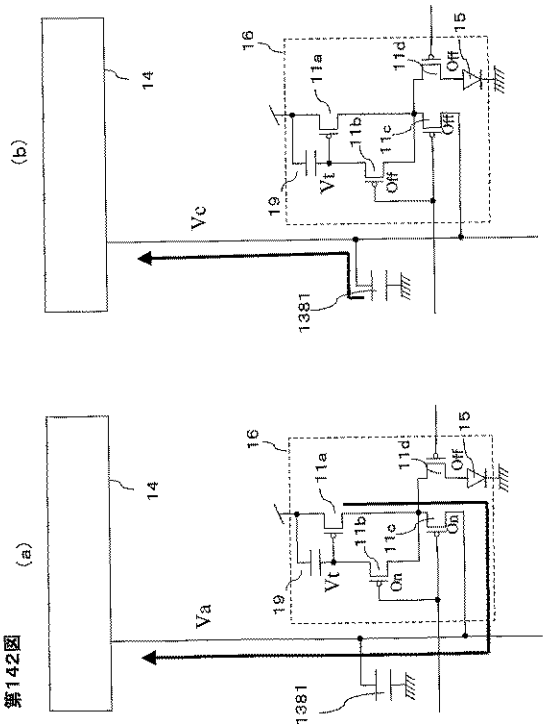
【図１４０】



【図１４１】

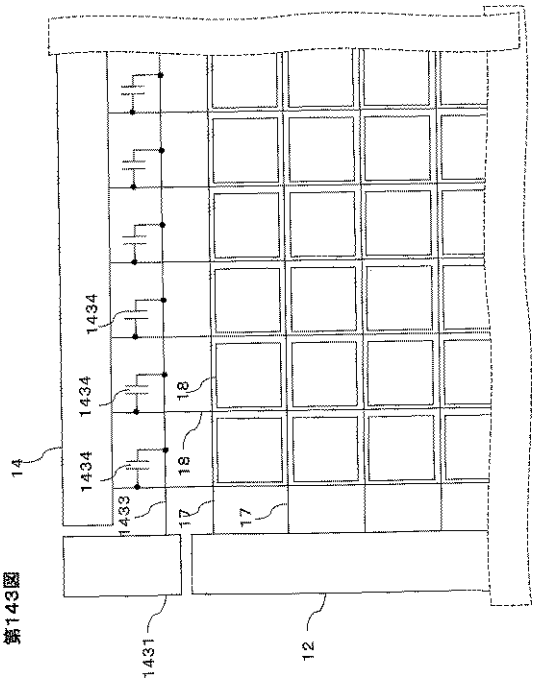


【図１４２】



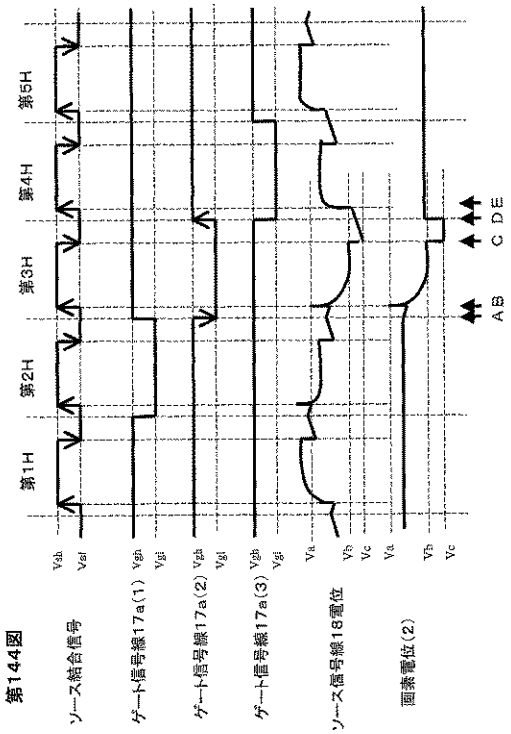
第142図

【図１４３】



第143図

【図１４４】



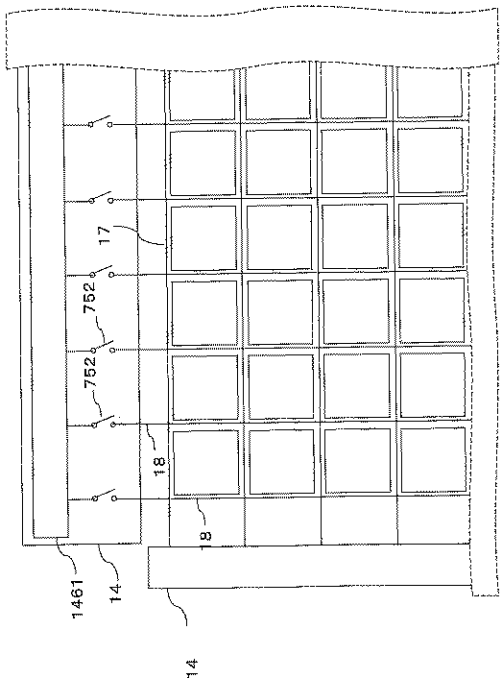
第144図

【図１４５】

(平均)階調	B/A (オン期間) MODE1	MODE2	MODE3	MODE4
1	0	0	0.05	0
2	0	0	0.05	0
3	0	0	0.05	0
4	0	0	0.05	0
5	0	0	0.05	0
17	0	0.05	0.05	0.05H
18	0	0.05	0.05	0.05H
19	0	0.06	0.05	0.04H
20	0	0.05	0.05	0.04H
21	0	0.05	0.05	0.03H
22	0	0.05	0.05	0.03H
61	0	0.05	0.05	0.22H
62	0	0.05	0.05	0.23H
63	0	0.05	0.05	0.24H
64	0	0.05	0.05	0.25H

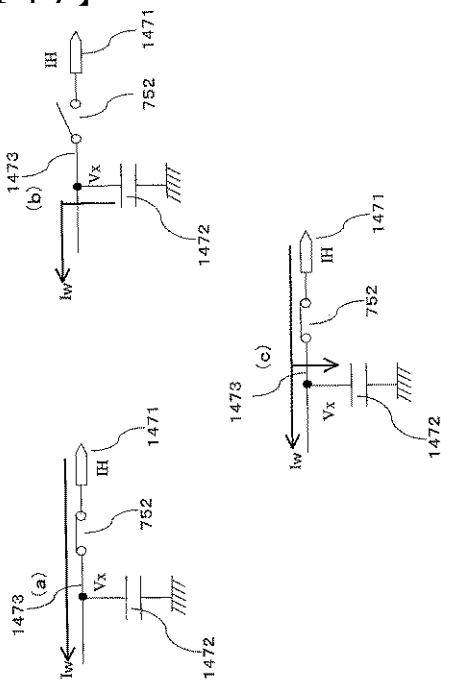
第145図

【図１４６】



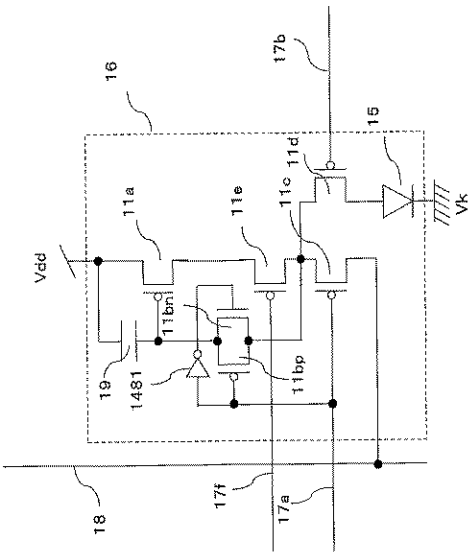
第146図

【図１４７】



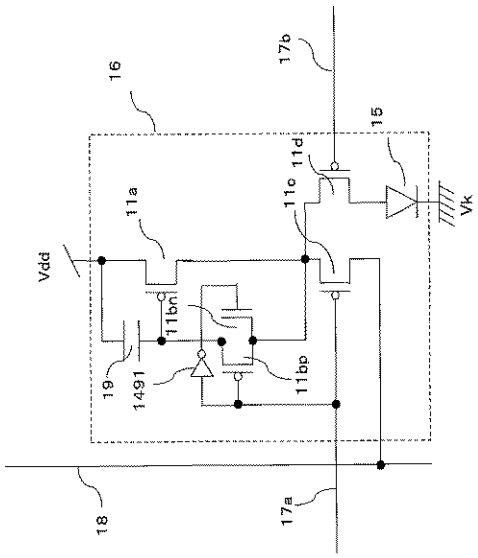
第147図

【図１４８】



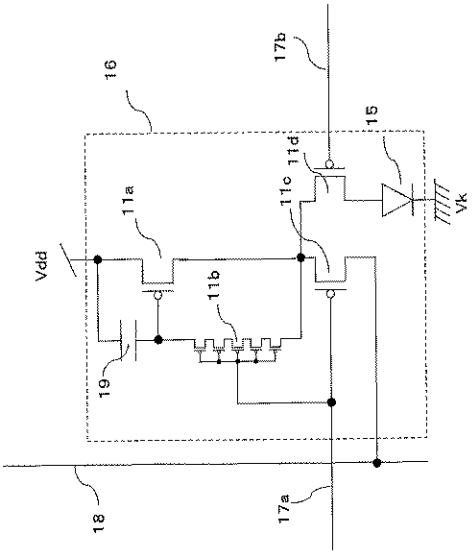
第148図

【図１４９】



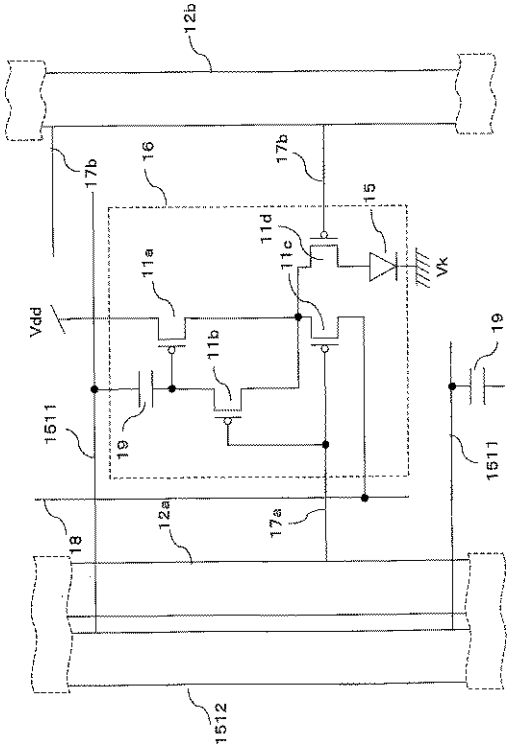
第149図

【図１５０】



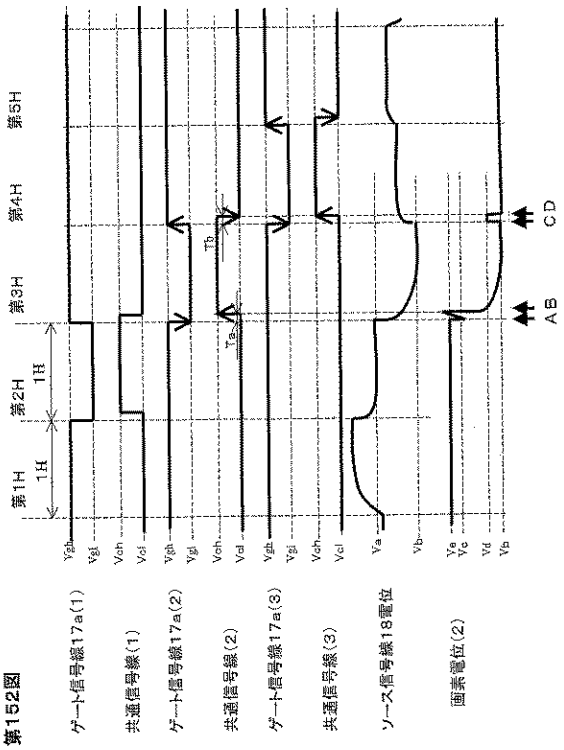
第150図

【図１５１】



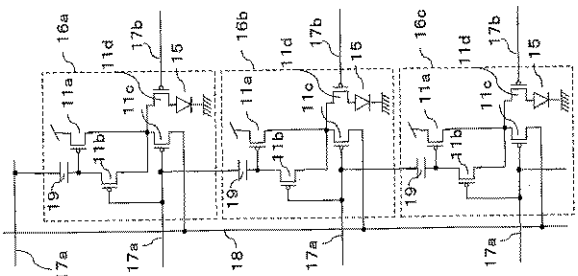
第151図

【図１５２】



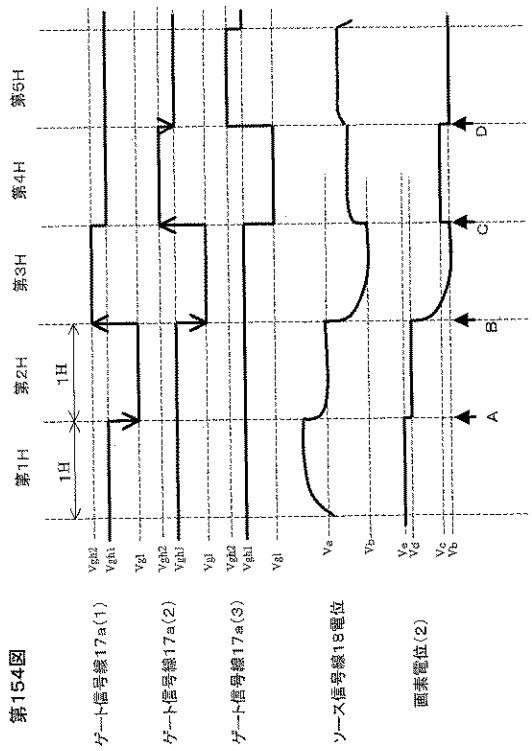
第152図

【図１５３】



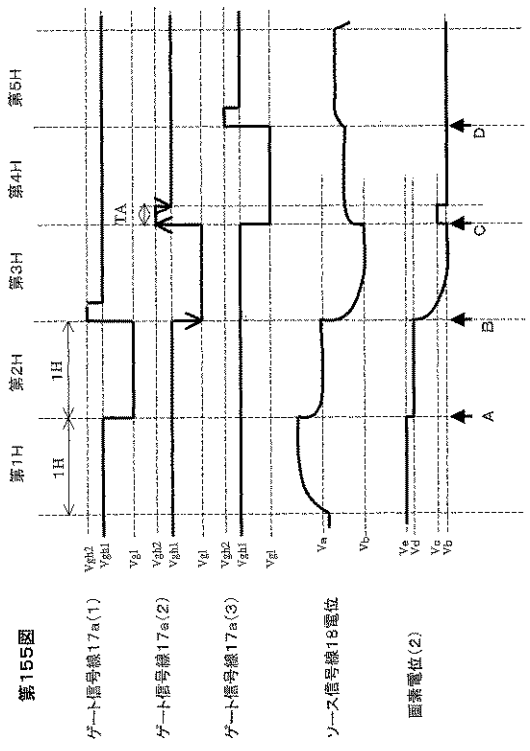
第153図

【図１５４】



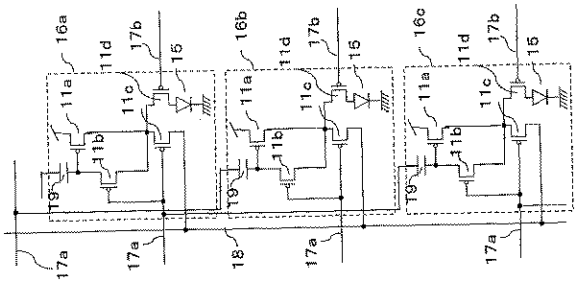
第154図

【図１５５】



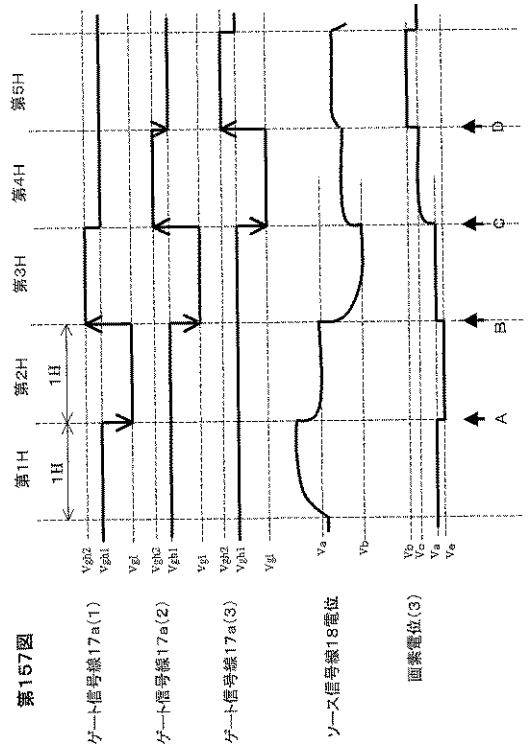
第155図

【図１５６】



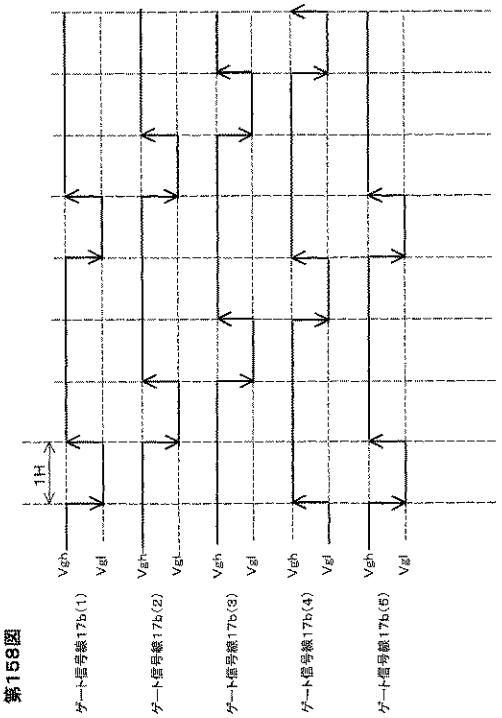
第156図

【図１５７】



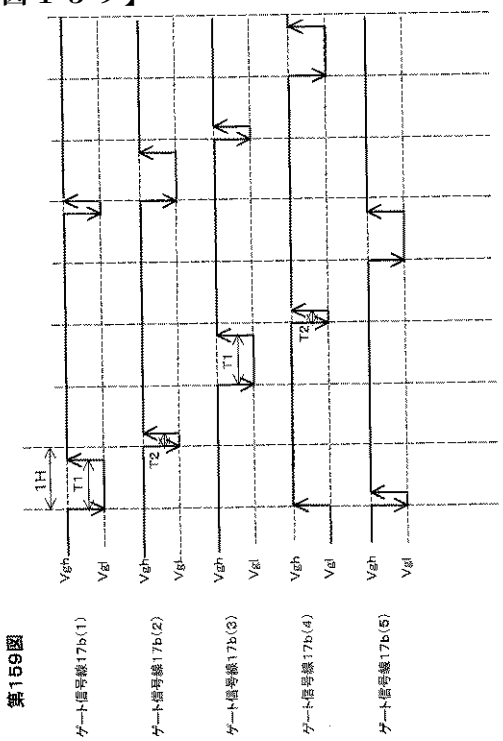
第157図

【図１５８】



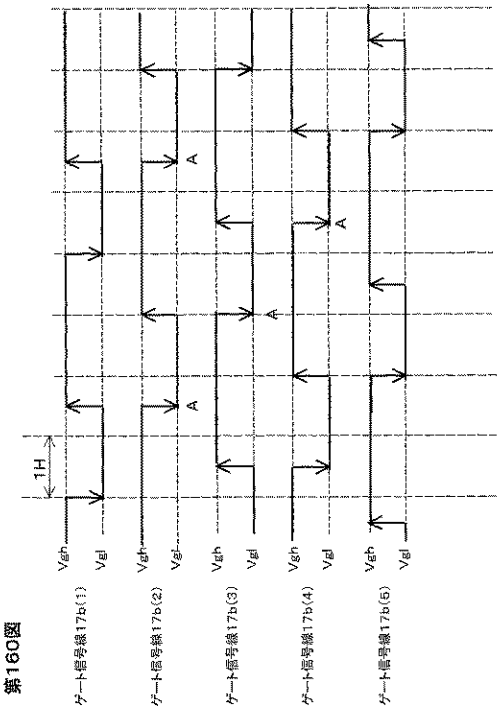
第158図

【図１５９】



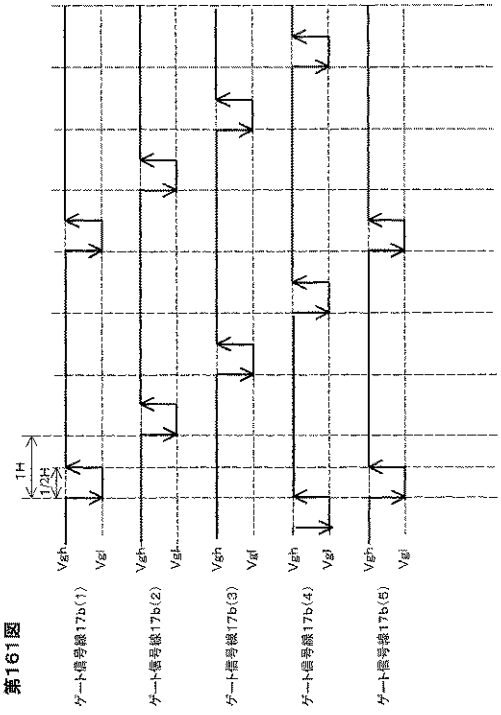
第159図

【図１６０】



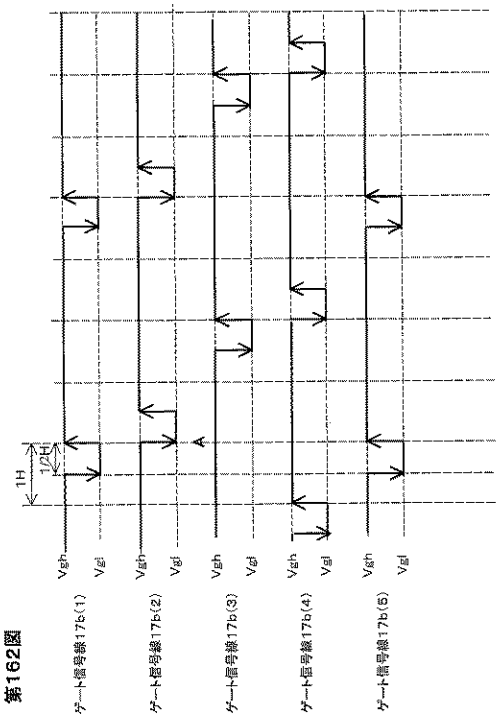
第160図

【図１６１】



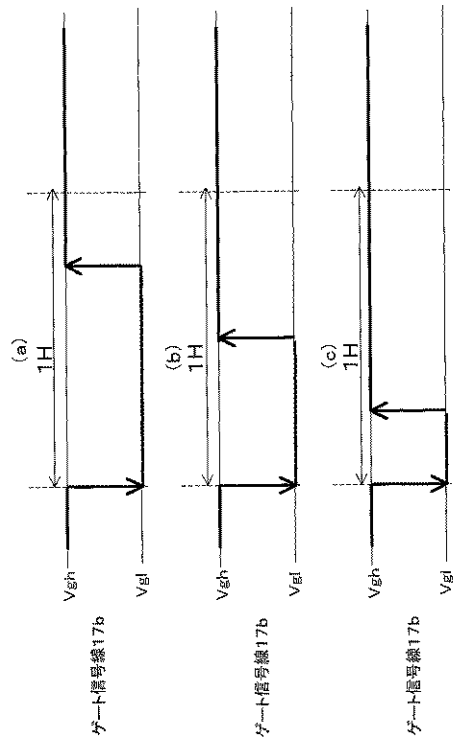
第161図

【図１６２】



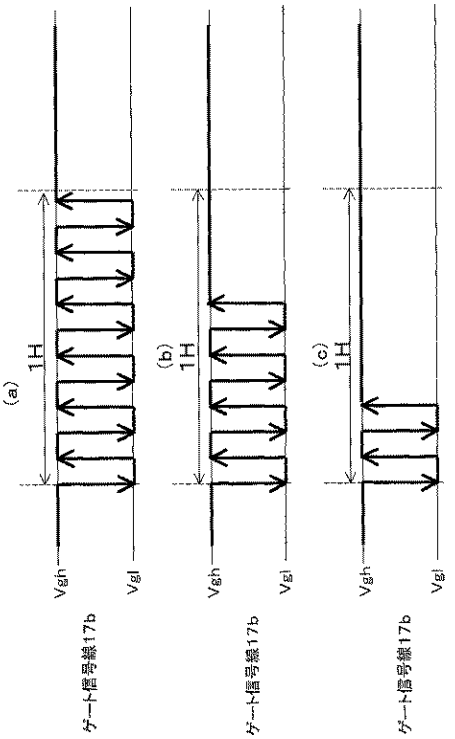
第162図

【図１６３】



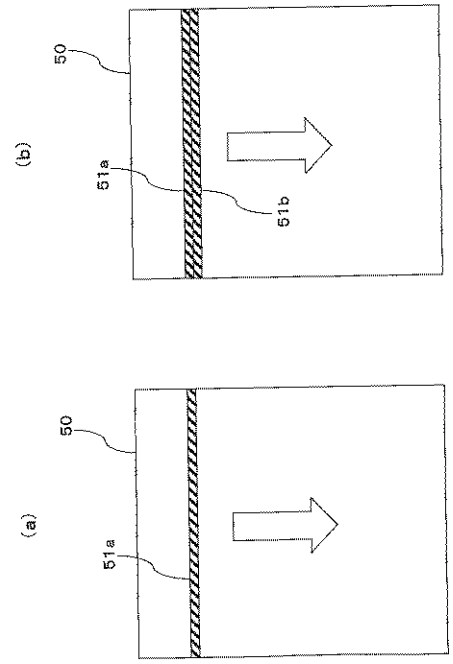
第163図

【図１６４】



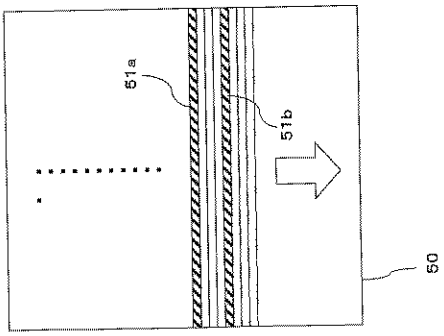
第164図

【図１６５】



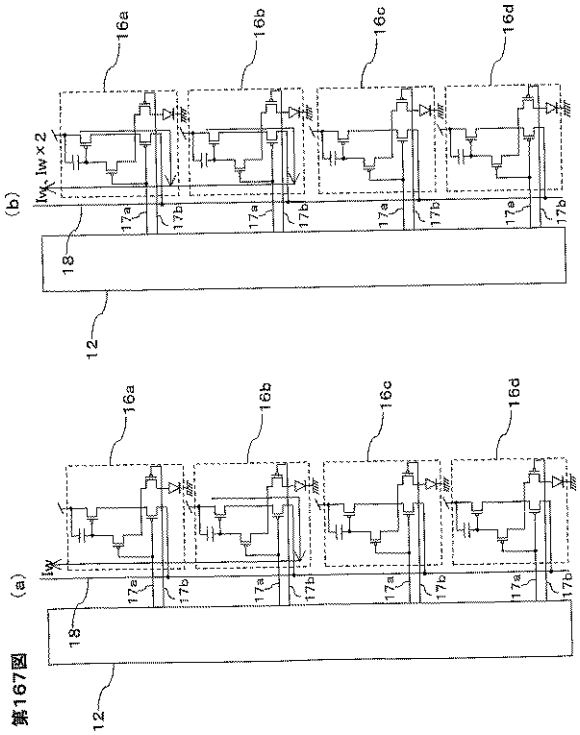
第165図

【図１６６】



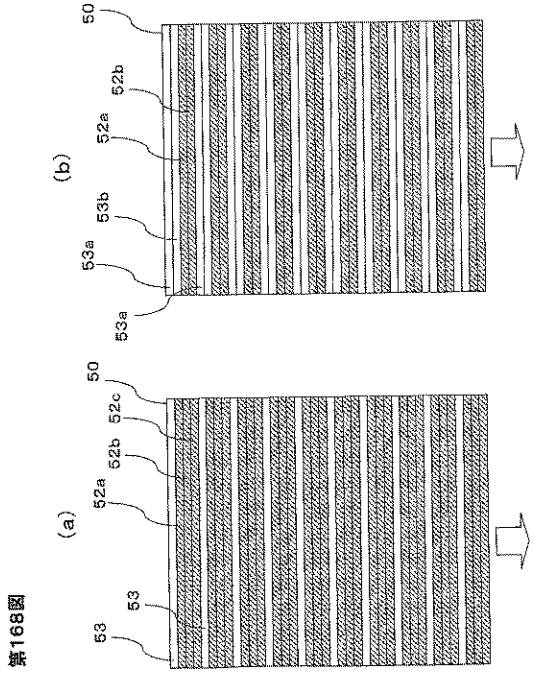
第166図

【図１６７】



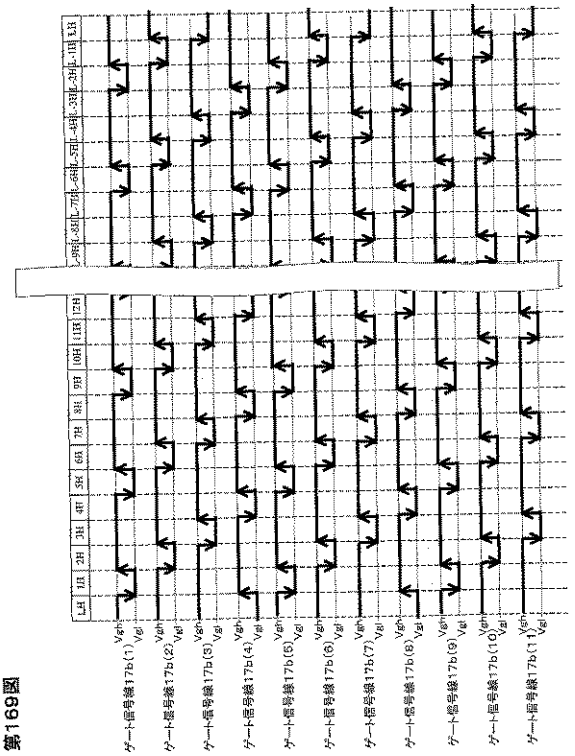
第167図

【図１６８】



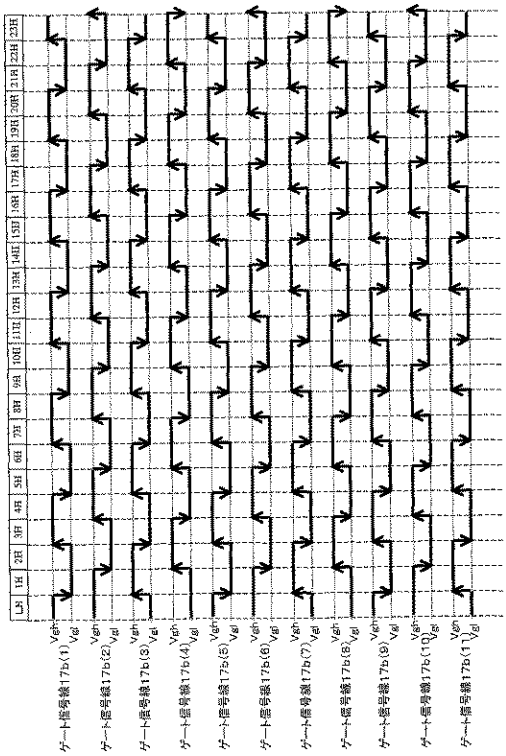
第168図

【図１６９】



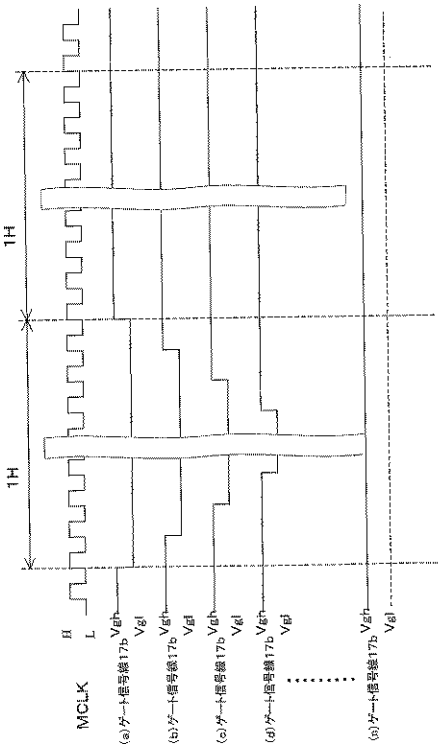
第169図

【図１７０】



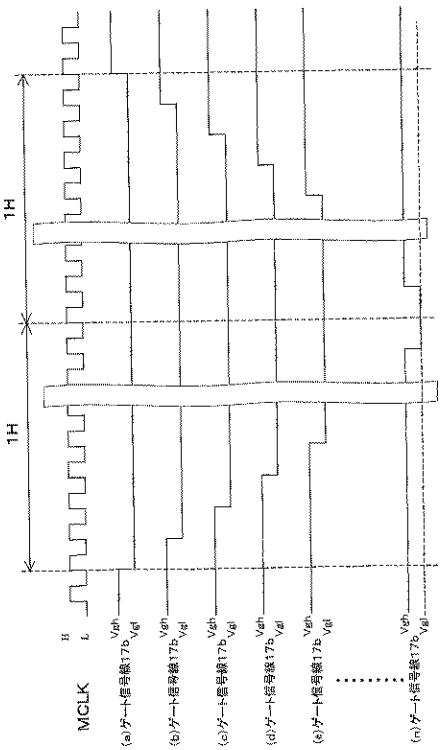
第170図

【図１７１】



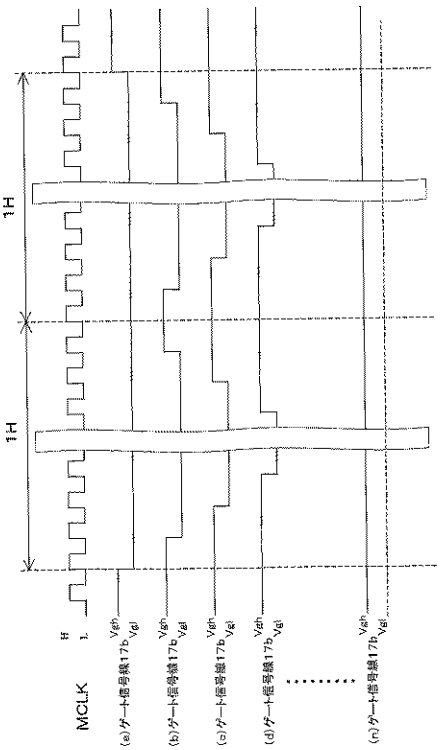
第171図

【図１７２】



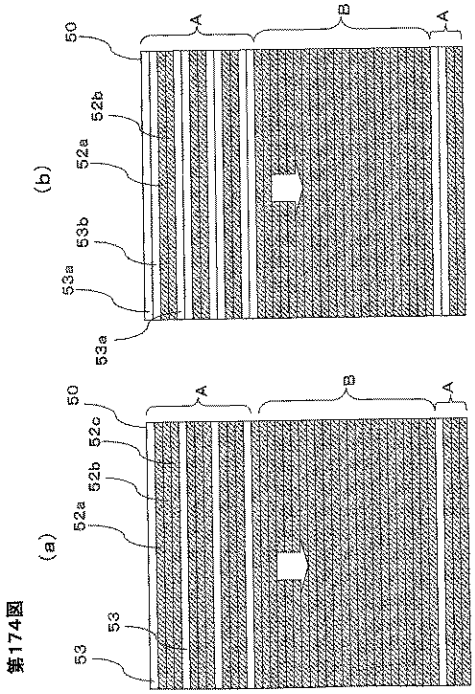
第172図

【図１７３】



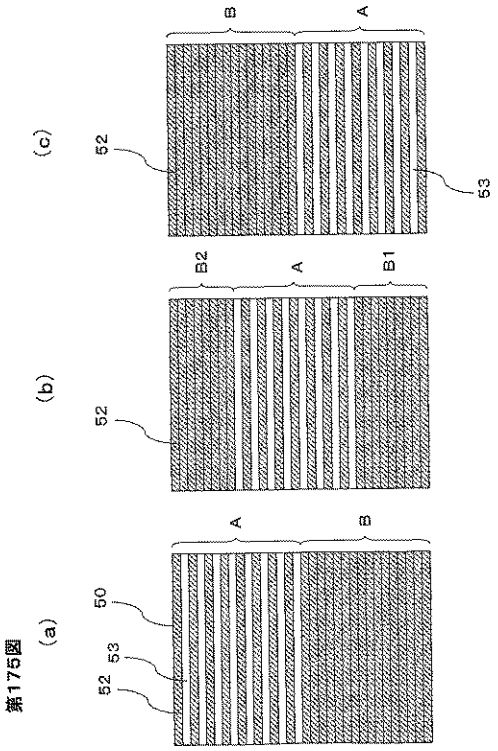
第173図

【図１７４】



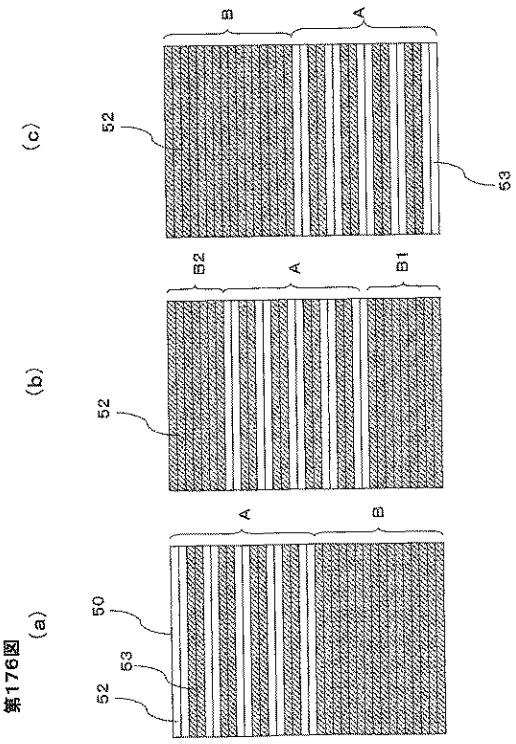
第174図

【図１７５】



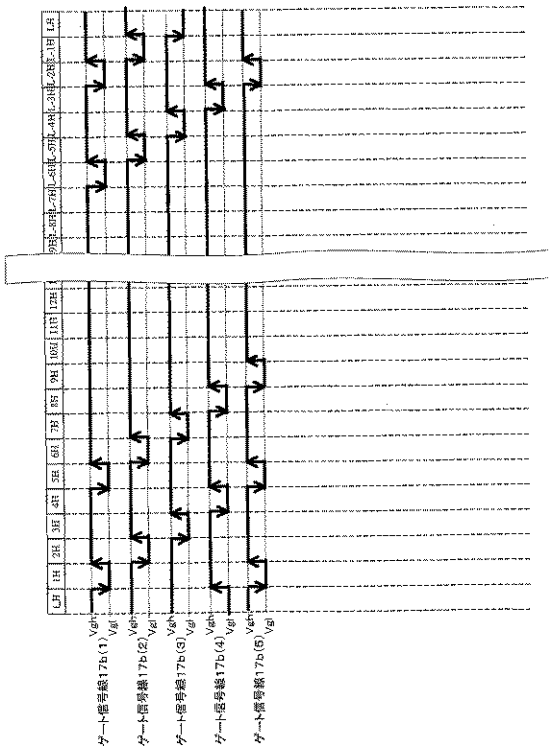
第175図

【図１７６】



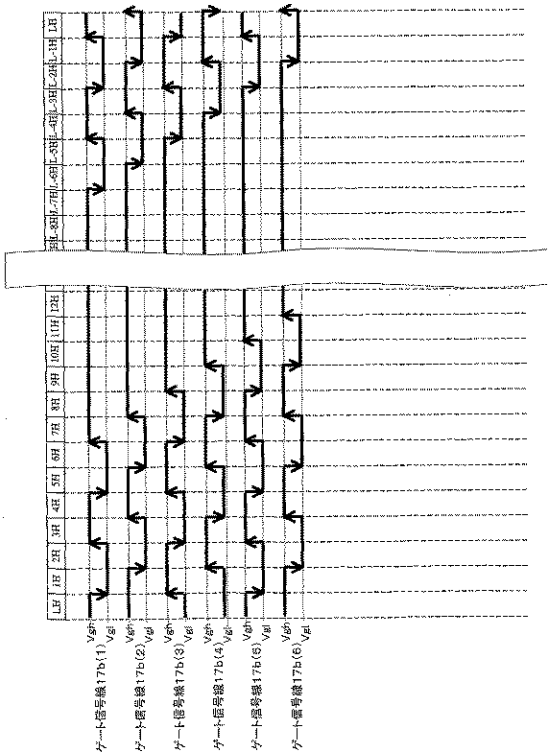
第176図

【図１７７】



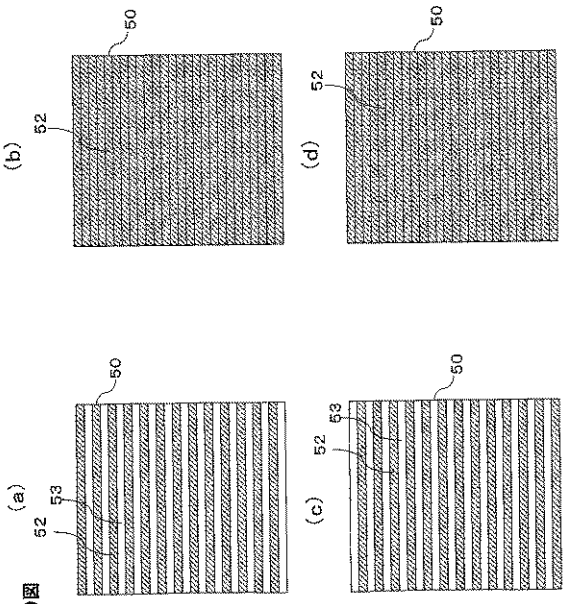
第177図

【図１７８】



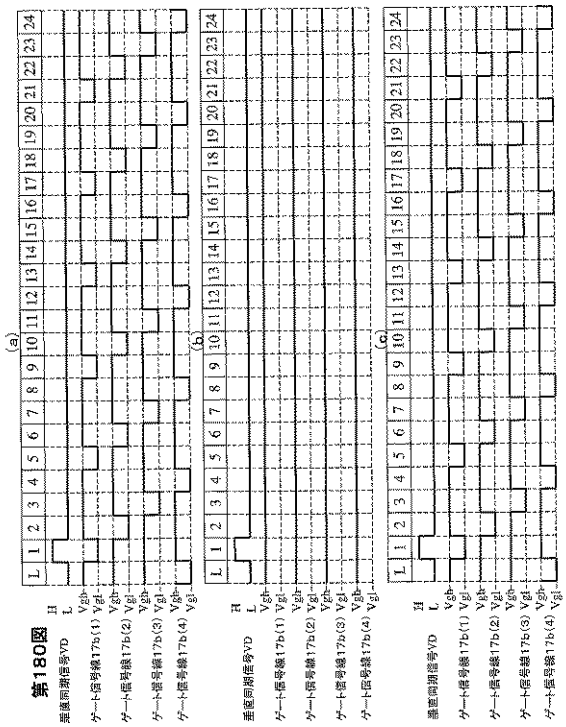
第178図

【図１７９】



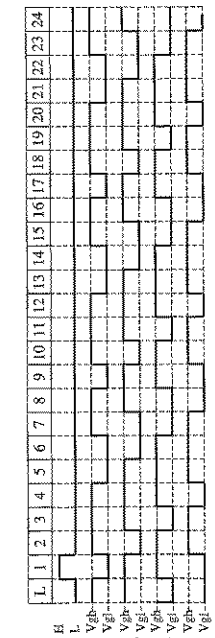
第179図

【図１８０】



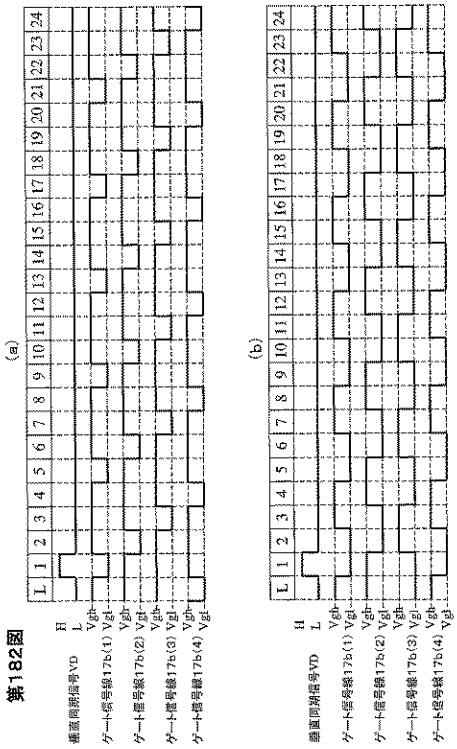
第180図

【図１８１】



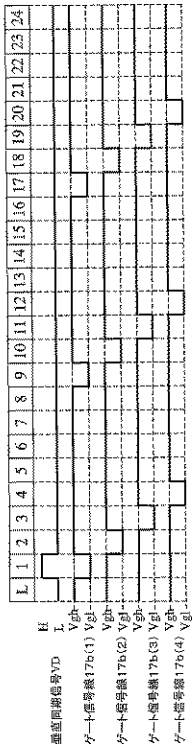
第181図

【図１８２】



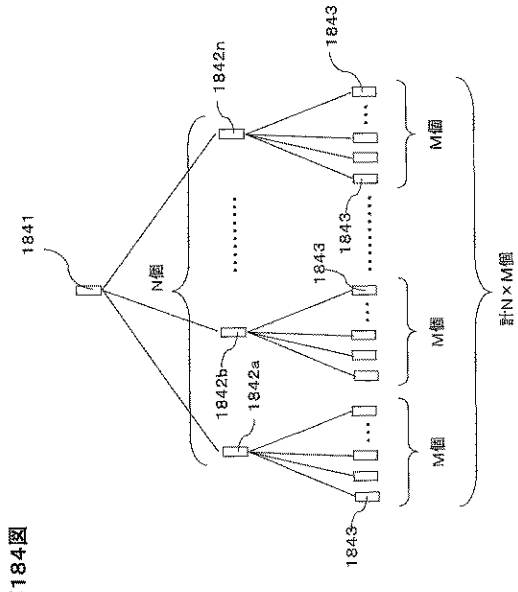
第182図

【図１８３】



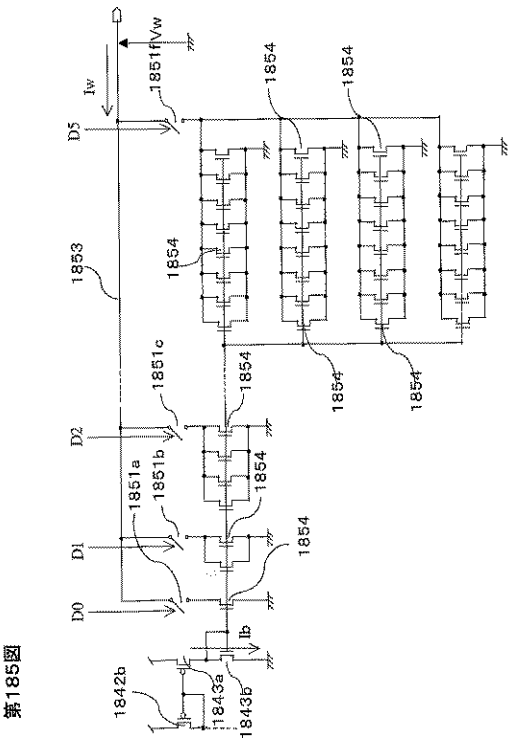
第183図

【図１８４】



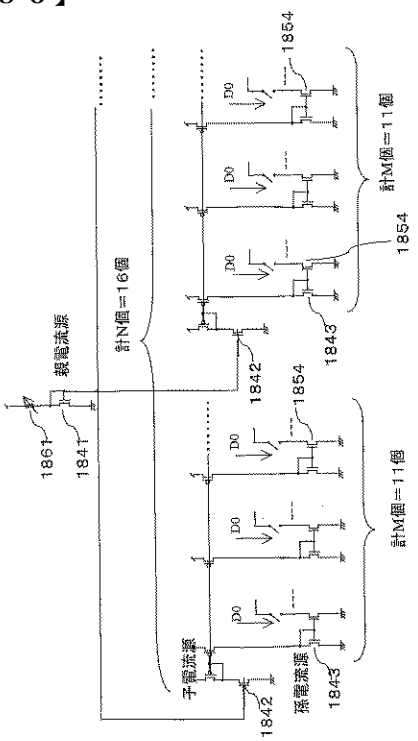
第184図

【図１８５】



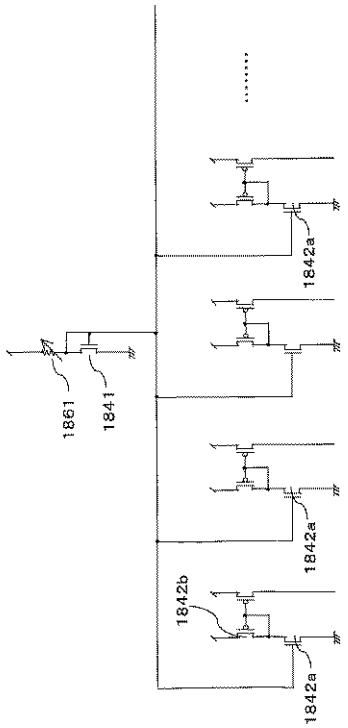
第185図

【図１８６】



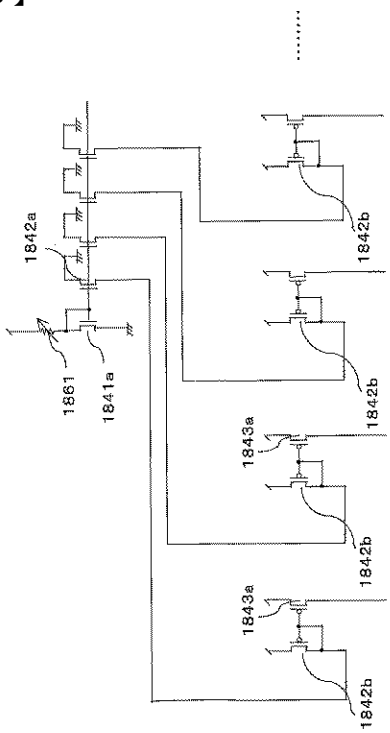
第186図

【図１８７】



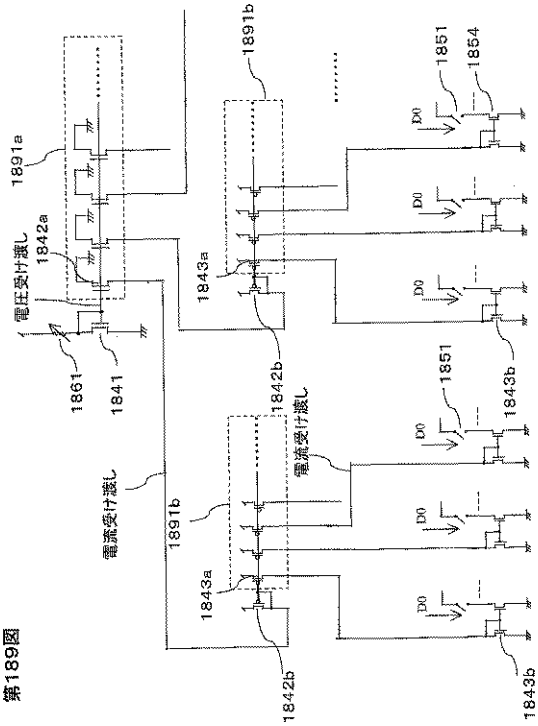
第187図

【図１８８】



第188図

【図１８９】



第189図

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/02597

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl[7] G09F3/30, G09G3/20, H05B33/14

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl[7] G09G3/30, G09G3/20, H05B33/14, G05F1/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-2003
Kokai Jitsuyo Shinan Koho 1971-2003 Jitsuyo Shinan Toroku Koho 1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
E,X	JP 2003-150104 A (Matsushita Electric Industrial Co., Ltd.), 23 May, 2003 (23.05.03), Par. Nos. [0372] to [0422]; Figs. 1 to 2, 37 to 38 (Family: none)	1-2
Y	JP 2002-40990 A (Semiconductor Energy Laboratory Co., Ltd.), 08 February, 2002 (08.02.02), Par. No. [0015] & KR 2001/105273 A & US 2001/048106 A1	1-2
Y	JP 2001-42822 A (Pioneer Electronic Corp.), 16 February, 2001 (16.02.01), Par. Nos. [0013] to [0023], [0026] to [0027]; Figs. 3, 5, 6, 9 to 11 (Family: none)	1-2

[X] Further documents are listed in the continuation of Box C. [ ] See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
05 June, 2003 (05.06.03)	17 June, 2003 (17.06.03)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

Form PCT/ISA/210 (second sheet) (July 1998)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/02597

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 10-232649 A (Casio Computer Co., Ltd.), 02 September, 1998 (02.09.98), Par. Nos. [0014] to [0023]; Figs. 1 to 5 & CN 1216135 A & EP 906609 A1 & KR 2000/064789 A & TW 441136 A & US 5990629 A & CA 2249592 C & WO 98/33165 A1	1-2
Y	JP 2001-60076 A (Sony Corp.), 06 March, 2001 (06.03.01), Par. Nos. [0025], [0032]; Fig. 5 & CN 1278635 A & EP 1061497 A1 & KR 2001/039666 A	1-2
Y	WO 01/006484 A1 (Sony Corp.), 25 January, 2001 (25.01.01), Pages 50 to 55; Figs. 11, 13 to 14 & EP 1130565 A1 & KR 2001/085788 A	1-2
P,Y	JP 2003-29708 A (Matsushita Electric Industrial Co., Ltd.), 31 January, 2003 (31.01.03), Par. Nos. [0127] to [0131]; Fig. 31 (Family: none)	1-2
P,Y	JP 2003-66865 A (Matsushita Electric Industrial Co., Ltd.), 05 March, 2003 (05.03.03), Par. Nos. [0098] to [0106]; Fig. 1 (Family: none)	1-2

国際調査報告

国際出願番号 PCT/JP03/02597

A. 発明の属する分野の分類（国際特許分類（IPC））
Int. Cl⁷ G09G3/30, G09G3/20, H05B33/14

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））
Int. Cl⁷ G09G3/30, G09G3/20, H05B33/14, G05F1/10

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1926－1996年
日本国公開実用新案公報	1971－2003年
日本国登録実用新案公報	1994－2003年
日本国実用新案登録公報	1996－2003年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー＊	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
E, X	JP 2003－150104 A（松下電器産業株式会社） 2003.05.23 段落番号【0372】－【0422】，図1－2，37－38 （ファミリーなし）	1－2
Y	JP 2002－40990 A（株式会社半導体エネルギー研究所），2002.02.08 段落番号【0015】 &KR 2001/105273 A &US 2001/048106 A1	1－2

☒ C欄の続きにも文献が列挙されている。　☐ パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー
「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日 05.06.03	国際調査報告の発送日 17.06.03
国際調査機関の名称及びあて先 日本国特許庁（ISA/JP） 郵便番号100－8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 橋本 直明　2G 9707 電話番号 03－3581－1101 内線 3225

様式PCT/ISA/210（第2ページ）（1998年7月）

国際調査報告	国際出願番号 PCT／JP03／02597

C（続き）． 関連すると認められる文献

引用文献のカテゴリー＊	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Y	JP 2001－42822 A（パイオニア株式会社） 2001．02．16 段落番号【0013】－【0023】，【0026】－【0027】，図3，5，6，9－11（ファミリーなし）	1－2
Y	JP 10－232649 A（カシオ計算機株式会社） 1998．09．02 段落番号【0014】－【0023】，図1－5 &CN 1216135 A &EP 906609 A1 &KR 2000／064789 A &TW 441136 A &US 5990629 A &CA 2249592 C &WO 98／33165 A1	1－2
Y	JP 2001－60076 A（ソニー株式会社） 2001．03．06 段落番号【0025】，【0032】，図5 &CN 1278635 A &EP 1061497 A1 &KR 2001／039666 A	1－2
Y	WO 01／006484 A1（ソニー株式会社） 2001．01．25 第50頁－第55頁，図11，13－14 &EP 1130565 A1 &KR 2001／085788 A	1－2
P，Y	JP 2003－29708 A（松下電器産業株式会社） 2003．01．31 段落番号【0127】－【0131】，図31 （ファミリーなし）	1－2
P，Y	JP 2003－66865 A（松下電器産業株式会社） 2003．03．05 段落番号【0098】－【0106】，図1 （ファミリーなし）	1－2

フロントページの続き

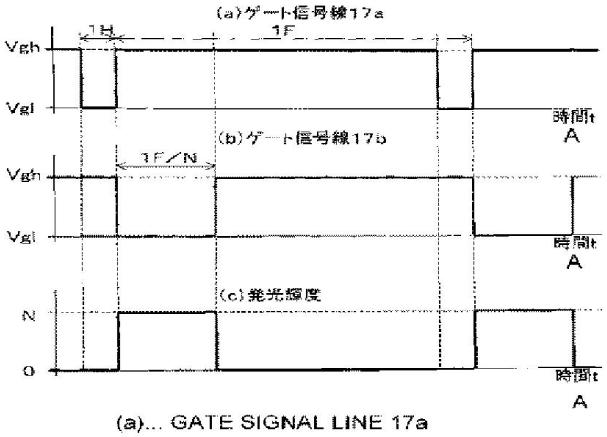
(51)Int.Cl.[7]	FI		
	G09G	3/20	624B
	G09G	3/20	641D
	G09G	3/20	642A
	H05B	33/14	A
	H05B	33/14	Z

（注）この公表は、国際事務局（ＷＩＰＯ）により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願（日本語実用新案登録出願）の国際公開の効果は、特許法第１８４条の１０第１項(実用新案法第４８条の１３第２項）により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	EL显示面板驱动方法		
公开(公告)号	JPWO2003091978A1	公开(公告)日	2005-09-02
申请号	JP2004500276	申请日	2003-03-06
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	高原博司 柘植仁志		
发明人	高原 博司 柘植 仁志		
IPC分类号	G09G3/30 G09G3/00 G09G3/20 G09G3/22 G09G3/32 H01L27/32 H01L51/52 H05B33/14		
CPC分类号	G09G3/006 G09G3/20 G09G3/2014 G09G3/22 G09G3/3241 G09G3/325 G09G3/3266 G09G3/3283 G09G2300/0408 G09G2300/0417 G09G2300/0452 G09G2300/0809 G09G2300/0842 G09G2300/0861 G09G2300/0866 G09G2310/02 G09G2310/0218 G09G2310/0251 G09G2310/0256 G09G2310/0262 G09G2310/027 G09G2310/0283 G09G2310/0297 G09G2310/06 G09G2310/061 G09G2320/0214 G09G2320/0223 G09G2320/0233 G09G2320/0261 G09G2320/043 G09G2320/0606 G09G2320/0626 G09G2320/066 G09G2320/08 G09G2330/02 G09G2330/12 H01L27/3213 H01L27/3218 H01L27/3223 H01L27/3244 H01L27/3276 H01L51/5253 H01L51/5259 H01L51/5262 H01L51/5281 H01L51/529 H01L2251/568		
FI分类号	G09G3/30.J G09G3/30.K G09G3/20.611.H G09G3/20.612.E G09G3/20.622.D G09G3/20.624.B G09G3/20.641.D G09G3/20.642.A H05B33/14.A H05B33/14.Z		
代理人(译)	松田 正道		
优先权	2002127532 2002-04-26 JP 2002127637 2002-04-26 JP 2002284393 2002-09-27 JP		
其他公开文献	JPWO2003091978A5		
外部链接	Espacenet		

摘要(译)

为了充分地充电和放电源信号线的寄生电容并将预定电流值编程到像素晶体管中，需要从源极驱动器电路输出相对大的电流。然而，如果这样大的电流通过源信号线，则该电流的值被编程到像素中，导致大于期望的电流流过EL元件。例如，如果使用10倍大的电流进行编程，则流过EL元件的电流大10倍，因此EL元件的亮度增加10倍。为了获得预定的发光亮度，电流流过EL元件的时间可以减少到一帧（1F）的1/10。这样，源信号线的寄生电容可以充分地充电和放电，并且可以获得预定的发光亮度。



(a)... GATE SIGNAL LINE 17a
(b)... GATE SIGNAL LINE 17b
(c)... LUMINANCE
A... TIME t